
CAPÍTULO 25

TRANSISTORES BIPOLARES DE COMPUERTA AISLADA

25-1 INTRODUCCIÓN

Los transistores bipolares de efecto de campo y MOSFET tienen características que se complementan en algunos aspectos. Los BJT tienen pérdidas de conducción más bajas en estado activo, sobre todo en dispositivos con mayores tensiones de bloqueo, pero tienen también tiempos de conmutación más largos, en particular durante la desconexión. Los MOSFET se encienden y apagan mucho más rápido, especialmente en dispositivos especificados para mayores tensiones de bloqueo (algunos cientos de voltios y mayores). Estas observaciones motivaron la combinación de BJT y MOSFET en forma monolítica sobre el mismo chip de silicio para obtener un circuito o quizás incluso un nuevo dispositivo que conjuntara las mejores cualidades de ambos tipos de dispositivos.

Así, se fabricó el transistor bipolar de compuerta aislada (IGBT, del inglés *insulated gate bipolar transistor*), ahora el dispositivo preferido para la mayoría de las aplicaciones nuevas. Otros nombres de este dispositivo son GEMFET, COMFET (transistor de efecto de campo modulado por conductividad), IGT (transistor de compuerta aislada) y MOSFET de modo bipolar o transistor MOS bipolar. En este capítulo describimos la estructura básica y operación física del IGBT así como las limitaciones operativas de este nuevo dispositivo.

25-2 ESTRUCTURA BÁSICA

La sección transversal vertical de un IGBT genérico de *n* canales se muestra en la figura 25-1a. Esta estructura es muy parecida a la del MOSFET de difusión vertical de la figura 22-1. La diferencia principal es la presencia de la capa p^+ que forma el drenaje del IGBT. Esta capa forma una unión *pn* (marcada con J_1 en la figura) que inyecta portadores minoritarios en lo que parece la zona de drenaje del MOSFET vertical. La compuerta y fuente del IGBT están dispuestas en una geometría interdigitada parecida a la del MOSFET vertical.

Los niveles de dopaje en cada capa del IGBT son similares a los de las capas comparables de las estructuras verticales del MOSFET, excepto en la zona del cuerpo, como explicaremos después. También es factible fabricar IGBT de canal *p*, al cambiar el tipo de dopaje en cada capa del dispositivo.

En la figura 25-1a se muestra que la estructura del IGBT tiene un tiristor parásito. El encendido de este tiristor no es deseable, y varios detalles estructurales de una geometría práctica de un IGBT, sobre todo en la zona del cuerpo del tipo *p* que forma las uniones J_2 y J_3 , son diferentes de la geometría simple que se muestra en la figura 25-1a para minimizar la posible activación de este tiristor. Analizaremos estos cambios estructurales en secciones posteriores de este capítulo. El IGBT no retiene la extensión de la metalización de la fuente sobre la zona del cuerpo que también se usa en MOSFET de potencia, como se ilustra en la figura 22-1. El cortocircuito de cuerpo-fuente en el IGBT reduce la posibilidad de encendido del tiristor parasítico, como explicaremos después.

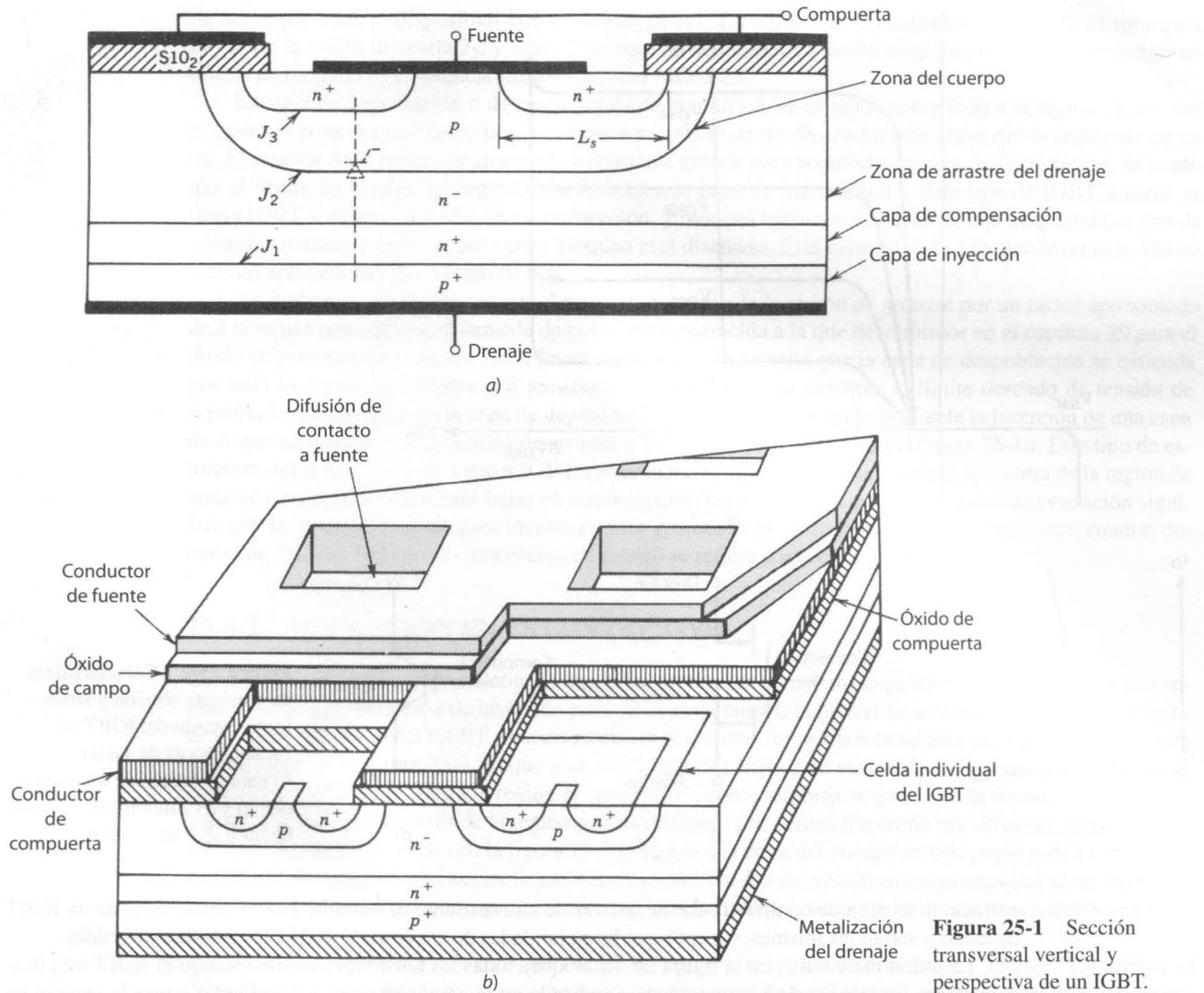


Figura 25-1 Sección transversal vertical y perspectiva de un IGBT.

La capa de compensación n^+ entre el contacto de drenaje p^+ y la capa de arrastre n^- no es esencial para la operación del IGBT, y algunos IGBT se fabrican sin ella (algunas veces se denominan NPT-IGBT, es decir, IGBT de no perforación, mientras que los que tienen esta capa intermedia se denominan PT-IGBT; IGBT de perforación). Si se selecciona bien la densidad de dopaje y el espesor de esta capa, su presencia mejora la operación del IGBT en forma considerable. Veremos la influencia de la capa de compensación en las características del IGBT en una sección posterior de este capítulo.

Un símbolo de circuito para un IGBT de canal n se muestra en la figura 25-2c. Las puntas de flecha tendrían una dirección contraria en un IGBT de canal p . Este símbolo es en esencia el mismo que el de un MOSFET de canal n , pero la punta de flecha en el cable de drenaje apunta hacia el interior del cuerpo del dispositivo, lo que indica el contacto inyector. En la comunidad de ingeniería existe un desacuerdo acerca del símbolo y nomenclatura correctos para el IGBT. Algunos prefieren considerar el IGBT básicamente un BJT con la entrada de compuerta de un MOSFET, y por tanto prefieren el símbolo modificado del BJT para el IGBT de la figura 25-2d. Este dispositivo simbólico tiene un colector y emisor en lugar de un drenaje y una fuente. Adoptamos el símbolo y la nomenclatura de la figura 25-2c.

25-3 CARACTERÍSTICAS I-V

Las características $i-v$ de un IGBT de canal n se muestran en la figura 25-2a. En el sentido directo, son cualitativamente similares a las de un BJT de nivel lógico, excepto que el parámetro de control es un voltaje de

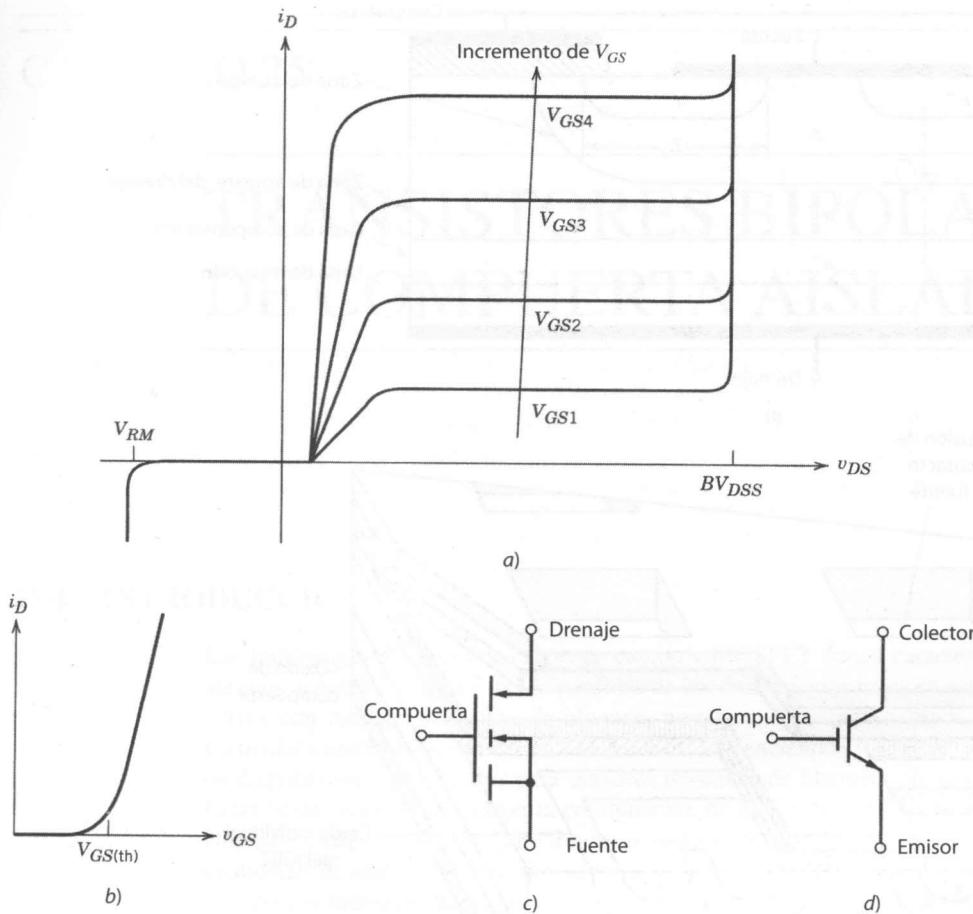


Figura 25-2 Características de corriente-tensión y símbolo de circuito del IGBT: *a)* características de salida; *b)* características de transferencia; *c)* y *d)* símbolos de circuito de un IGBT de canal *n*.

entrada, la tensión de compuerta-fuente, en vez de una corriente de entrada. Las características de un IGBT de canal *p* serían las mismas, excepto que las polaridades de tensiones y corrientes estarían invertidas.

La unión marcada J_2 en la figura 25-1*a* bloquea todas las tensiones directas cuando el IGBT está desconectado. La tensión de bloqueo inverso indicada en la característica i - v crece tanto como la tensión de bloqueo directo si el dispositivo se fabrica sin la capa de compensación n^+ . Esta capacidad de bloqueo inverso es útil en algunos tipos de aplicaciones de circuitos de CA. La unión marcada J_1 en la figura 25-1*a* es la unión de bloqueo inverso. Sin embargo, si se usa una capa de compensación n^+ en la construcción del dispositivo, la tensión de ruptura de esta unión disminuye en forma significativa a unas cuantas decenas de voltios, debido al fuerte dopaje ahora presente en ambos lados de esta unión, y el IGBT ya no tiene ninguna capacidad de bloqueo inverso.

La curva de transferencia i_D - v_{GS} de la figura 25-2*b* es idéntica a la del MOSFET de potencia. La curva es razonablemente lineal a través de la mayor parte del rango de corriente de drenaje, y se vuelve no lineal sólo con corrientes de bajo drenaje, donde la tensión de compuerta-fuente se aproxime al umbral. Si v_{GS} es menor que el voltaje de umbral $V_{GS(th)}$, el IGBT está en estado pasivo. El máximo voltaje que se debe aplicar a las terminales de compuerta-fuente suele estar limitado por la corriente de drenaje máxima que se debe permitir fluir en el IGBT, como analizaremos en la sección 25-7.

25-4 FÍSICA DE OPERACIÓN DEL DISPOSITIVO

25-4-1 OPERACIÓN EN ESTADO DE BLOQUEO

Como el IGBT es básicamente un MOSFET, la tensión de compuerta-fuente controla el estado del dispositivo. Cuando v_{GS} es menor que $V_{GS(th)}$, no se crea ninguna capa de inversión para conectar el drenaje a la

fuente, y por ende el dispositivo está en estado pasivo. La tensión de drenaje-fuente aplicada disminuye a través de la unión marcada J_2 , y sólo fluye una corriente de disipación muy pequeña. Esta operación en estado de bloqueo es en esencia idéntica a la del MOSFET.

La zona de degradación o de agotamiento de la unión J_2 se extiende sobre todo a la región de arrastre n^- , pues la zona del cuerpo de tipo p se dopa a propósito de modo mucho más grave que la región de arrastre. El espesor de la región de arrastre es lo bastante grande para acomodar la capa de degradación, de modo que el límite de la capa de degradación no toca a la capa de inyección p^+ . Este tipo de IGBT a veces se llama IGBT simétrico o IGBT de no perforación, y bloquea tensiones inversas de una magnitud tan grande como las tensiones directas para cuyo bloqueo está diseñado. Esta capacidad de bloqueo inverso es útil en algunas aplicaciones de circuito de CA.

Sin embargo, es posible reducir el espesor requerido de la región de arrastre por un factor aproximado de 2 si se usa una estructura llamada de perforación, parecida a la que describimos en el capítulo 20 para el diodo de potencia de la figura 20-3. En esta geometría se permite que la capa de despoblación se extienda por toda la región de arrastre con tensiones significativamente menores al límite deseado de tensión de ruptura. La penetración de la capa de degradación a la capa p^+ se impide mediante la inserción de una capa de compensación n^+ entre la zona de arrastre y la zona p^+ , como se ve en la figura 25-1a. Este tipo de estructura del IGBT se llama a veces IGBT asimétrico o de perforación. La longitud más corta de la región de arrastre significa pérdidas más bajas en estado activo, pero la presencia de la capa de compensación significa que la capacidad de bloqueo inverso de esta geometría de perforación será muy baja (unas cuantas decenas de voltios) y por tanto inexistente en cuanto se refiere a aplicaciones de circuito.

25-4-2 OPERACIÓN EN ESTADO ACTIVO

Cuando la tensión de compuerta-fuente excede el umbral, se forma una capa de inversión debajo de la compuerta del IGBT. Esta capa de inversión pone en cortocircuito a la región de arrastre n^- de la zona de fuente n^+ , igual que en el MOSFET. Una corriente de electrones fluye a través de esta capa de inversión, como se diagrama en la figura 25-3, lo que a su vez causa una inyección sustancial de huecos desde la capa de contacto del drenaje p^+ hasta la región de arrastre n^- , como también se indica en la figura. Los huecos injectados se mueven a través de la región de arrastre tanto por derivación como por difusión, por una multitud de rutas, como se indica en la figura 25-3, y llegan a la zona del cuerpo de tipo p que rodea a la zona de fuente n^+ . Tan pronto los huecos llegan a la zona del cuerpo de tipo p , su carga espacial atrae electrones de la metalización de la fuente que hace contacto con la zona del cuerpo, y los huecos excedentes se recombinan rápidamente.

La unión formada por la zona del cuerpo de tipo p y la región de arrastre n^- "recoge" los huecos de difusión y por tanto funciona como colector de un transistor de base espesa pnp . Este transistor, diagramado en la figura 25-3b, tiene la capa de drenaje de contacto p^+ como emisor, una base compuesta por la región de arrastre n^- y un colector formado por la zona de cuerpo del tipo p . A partir de esta descripción se puede desarrollar un circuito equivalente para modelar la operación del IGBT, lo que se muestra en la figura 25-4a. Este circuito modela el IGBT como un circuito Darlington con el transistor pnp como transistor principal y el MOSFET como dispositivo de accionamiento. La parte del MOSFET del circuito equivalente también se diagrama en la figura 25-4a, junto con la parte del BJT. La resistencia entre la base pnp y el drenaje del MOSFET representa la resistencia de la región de arrastre n^- .

A diferencia del circuito Darlington convencional, el MOSFET de accionamiento en el circuito equivalente del IGBT lleva la mayor parte de la corriente total de terminal. Esta división desigual del flujo de la corriente total es deseable por razones que tienen que ver con el encendido potencial del tiristor parásito, tema que abordaremos en breve. En esta situación, el voltaje de estado activo $V_{DS(\text{enc})}$, con el circuito equivalente de la figura 25-4a, se expresa como

$$V_{DS(\text{enc})} = V_{J1} + V_{\text{deriva}} + I_D R_{\text{canal}} \quad (25-1)$$

La caída de tensión a través de la unión J_1 es una caída de tensión de polarización directa normal a través de una unión pn , la cual depende en forma exponencial de la corriente y en cuyo primer orden tiene un valor constante aproximado de 0.7 a 1.0 V. La caída a través de la región de arrastre se parece a la que se desarrolla a través de la región de arrastre en una unión pn de alta potencia; es aproximadamente constante y una ecuación parecida a la ecuación 20-13 del capítulo 20 da una aproximación de ella. La tensión V_{deriva} es mucho menor en el IGBT que en el MOSFET debido a la modulación por conducción de la región de

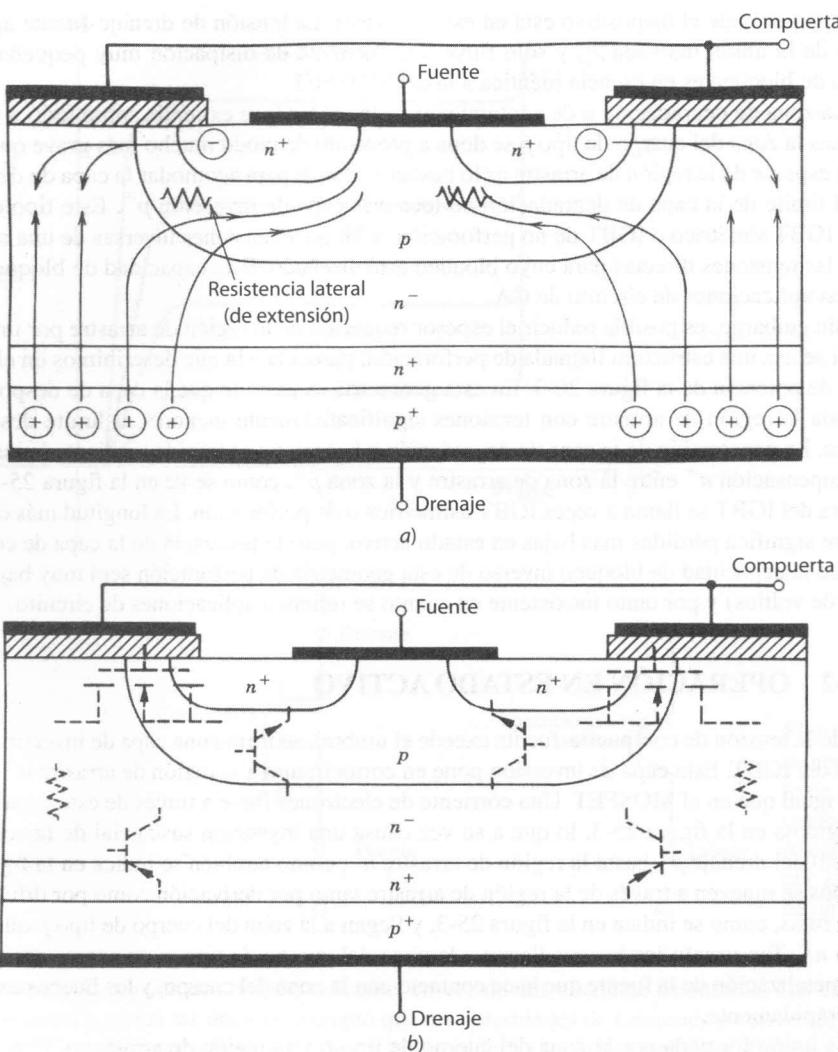


Figura 25-3 Sección transversal vertical de un IGBT que muestra *a)* las rutas de flujo de corrientes en estado activo y *b)* las partes operativas efectivas de la estructura del MOSFET y del BJT.

arrastre, y esto hace que la tensión general en estado activo del IGBT sea mucho menor que la de un MOSFET de potencia comparable. El uso de la estructura de perforación también ayuda a mantener a V_{deriva} pequeño. La caída de tensión a través del canal se debe a la resistencia óhmica del canal y se asemeja a la caída comparable en el MOSFET de potencia que analizamos en el capítulo 22.

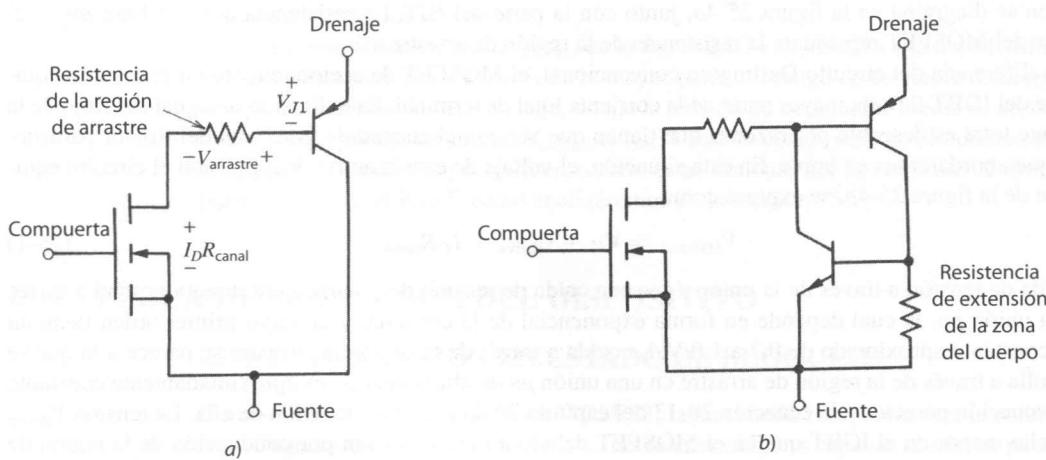


Figura 25-4 Circuitos equivalentes para el IGBT: *a)* circuito equivalente aproximado para condiciones normales de operación; *b)* circuito equivalente más completo que muestra los transistores que componen el tiristor parasítico.

25-5 EL LATCHUP EN IGBT

25-5-1 CAUSAS DEL LATCHUP

Las rutas que recorren los huecos inyectados en la región de arrastre (o transistor *pnp*) son cruciales para la operación del IGBT. Un componente de la corriente de huecos viaja por rutas de líneas muy rectas directamente a la metalización de la fuente. Sin embargo, la mayoría de los huecos es atraída a la cercanía de la capa de inversión por la carga negativa de los electrones en la capa. Esto produce un componente de la corriente de huecos que viaja lateralmente a través de la capa del cuerpo de tipo *p*, como se diagrama en la figura 25-3a. Este flujo de corriente lateral desarrolla una caída de tensión lateral en la resistencia óhmica de la capa del cuerpo (modelado como la resistencia de extensión en la figura 25-3a), como se indica en la figura. Esto tiende a polarizar en forma directa la unión n^+p (marcada como J_3 en la figura 25-1a), en que la tensión más grande a través de la unión se presenta donde la capa de inversión se junta con la fuente n^+ .

Si el voltaje es lo bastante grande, ocurre una inyección sustancial de electrones desde la fuente hasta la zona del cuerpo, y se enciende el transistor parásito *npn* de la figura 25-3b. Si esto ocurre, se encienden tanto el transistor *npn* como el *pnp*, y por ende se enclava el tiristor parásito y se presenta el latchup. Para un IGBT dado con una geometría especificada hay un valor crítico de corriente de drenaje que causa una caída de tensión lateral lo bastante grande para activar el tiristor. Por esta razón, el fabricante del dispositivo especifica la corriente de drenaje pico permisible I_{DN} que fluye sin que se presente el latchup. También existe un voltaje de compuerta-fuente correspondiente que permite que esta corriente fluya y que no se debe exceder.

Una vez que el IGBT está en latchup, la compuerta ya no tiene control alguno de la corriente de drenaje. La única forma de apagar el IGBT en esta situación es por medio de la conmutación forzada de la corriente, exactamente igual que para un tiristor convencional. Si el latchup no se termina rápido, el IGBT se destruye por la excesiva disipación de potencia. Un circuito equivalente más completo que incluye el transistor parásitico *npn* y la resistencia de extensión de la capa del cuerpo se muestra en la figura 25-4b.

La descripción del latchup que acabamos de presentar es el llamado modo de latchup estático, porque ocurre cuando el estado activo continuo excede un valor crítico. Por desgracia, en condiciones dinámicas, cuando el IGBT conmuta de encendido a apagado, puede enclavarse en valores de corriente de drenaje menores que el valor de corriente estática. Consideremos el IGBT incorporado en el circuito de un convertidor reductor. Cuando se apaga el IGBT, la parte de MOSFET del dispositivo se apaga rápidamente, y la parte de la corriente total del dispositivo que lleva se va a cero. Hay una acumulación rápida de tensión de drenaje-fuente correspondiente, como describiremos en detalle en la siguiente sección, que se debe soportar a través de la unión de deriva-cuerpo J_2 . Esto genera una expansión rápida de la zona de degradación debido a su bajo dopaje. Esto incrementa al factor de transporte α_{pnp} del transistor *pnp*, lo que significa que una fracción mayor de los huecos inyectados a la región de arrastre sobrevive la travesía de la región de arrastre y se recolecta por la unión J_2 . Así, aumenta la magnitud del flujo de la corriente lateral de huecos, y por tanto, también la tensión lateral. Como consecuencia, se cumplirán las condiciones para el latchup a pesar de que la corriente de estado activo antes del inicio de la desconexión haya sido inferior al valor estático necesario para el latchup. El valor de I_{DM} especificado por el fabricante del dispositivo suele referirse al modo de trabado dinámico.

25-5-2 CÓMO EVITAR EL LATCHUP

Hay varias medidas con las que el usuario del dispositivo puede evitar el latchup y el fabricante puede incrementar la corriente crítica necesaria para iniciar el latchup. El usuario tiene la responsabilidad de diseñar circuitos que reduzcan la posibilidad de sobrecorrientes en exceso de I_{DM} . Sin embargo, es imposible eliminar esta posibilidad por completo. Otra medida es desacelerar el IGBT en la desconexión de modo que también se desacelere la velocidad de crecimiento de la zona de degradación hacia la región de arrastre y los huecos presentes en la región de arrastre tengan más tiempo para la recombinación, lo que reduce el flujo de corriente lateral en la zona del cuerpo de tipo *p* durante la desconexión. El incremento del tiempo de desconexión se logra fácilmente mediante un mayor valor de resistencia de compuerta en serie R_g , como explicaremos en la siguiente sección.

El fabricante del dispositivo pretende incrementar el umbral de la corriente de latchup I_{DN} por medio de la disminución de la resistencia de extensión del cuerpo en el circuito equivalente de la figura 25-4b. Esto se hace de diferentes formas. Primero, el ancho lateral de las zonas de fuente, marcado L_s en la figura 25-1a,

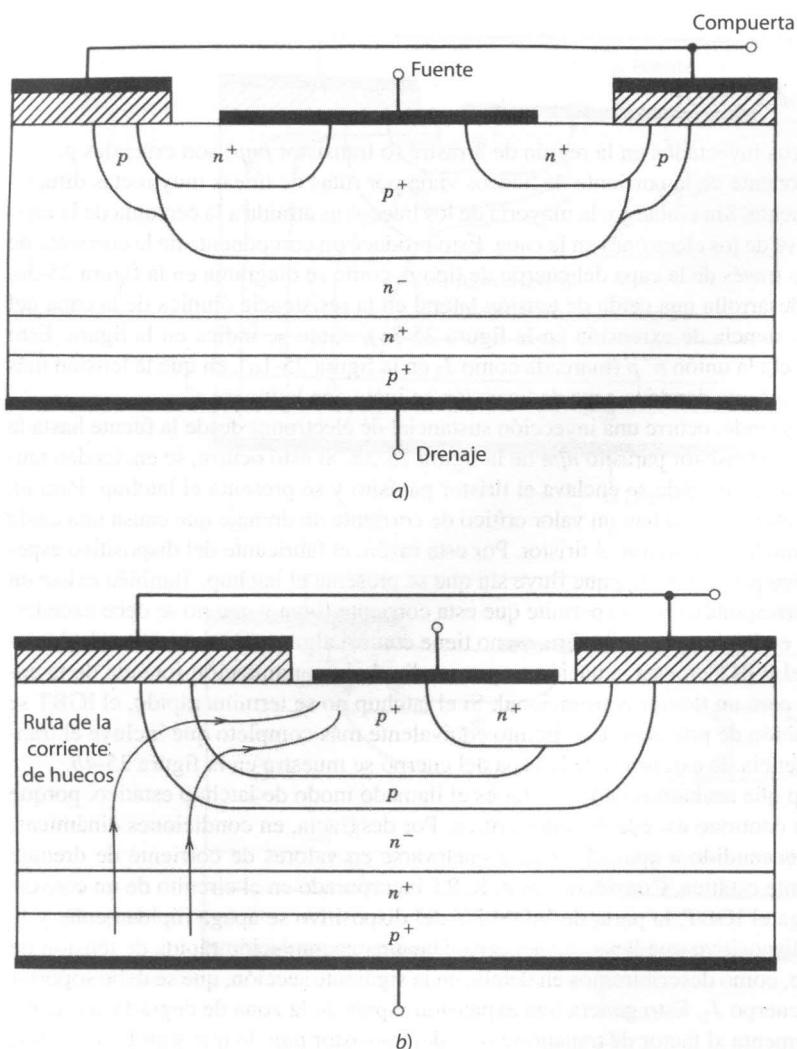


Figura 25-5 IGBT con zonas de cuerpo-fuente modificadas para disminuir la resistencia de expansión de modo que se incremente el umbral de corriente de drenaje para el latchup: a) modificación de la zona del cuerpo mediante un dopaje más fuerte y mayor profundidad para bajar la resistencia de expansión; b) IGBT modificado con una estructura de bypass de la corriente de huecos para reducir la resistencia de expansión.

se mantiene en el absoluto mínimo consistente con otros requisitos. En segundo término, la región del cuerpo de tipo p a menudo se encuentra particionada en dos zonas separadas de niveles diferentes de densidad de dopaje de aceptores, como se ilustra en la figura 25-5a. La zona del canal donde se forma la capa de inversión está dopada de manera moderada, es decir, en el orden de 10^{16} cm^{-3} , y la profundidad de la zona p no es mayor que la zona de fuente n^+ . La otra parte de la capa del cuerpo debajo de las zonas de fuente n^+ se dopa de manera mucho más fuerte, en el orden de 10^{19} cm^{-3} , y se hace mucho más espesa (o, de manera equivalente, más profunda). Esto hace que la resistencia lateral sea mucho más pequeña, debido tanto a la mayor área de sección transversal como a la mayor conductividad.

Otra posible modificación de la capa del cuerpo se muestra en la figura 25-5b, donde se elimina una de las zonas de fuente de la celda básica del IGBT. Esto permite que la corriente de huecos se recoja por el lado completo de la celda donde se retiró la fuente. Esta estructura de huecos, llamada de bypass, en efecto proporciona una ruta alterna para el componente de corriente de huecos que no tiene que fluir lateralmente debajo de la zona de fuente. Esta geometría es muy eficaz para elevar el umbral de trabado, pero a expensas de reducir la trasconductancia del IGBT, pues el ancho efectivo de la compuerta se reduce por la pérdida de la segunda zona de fuente en la celda básica.

Con estas acciones, el problema del latchup en los IGBT se reduce de manera considerable. Los IGBT modernos son en esencia resistentes al latchup.

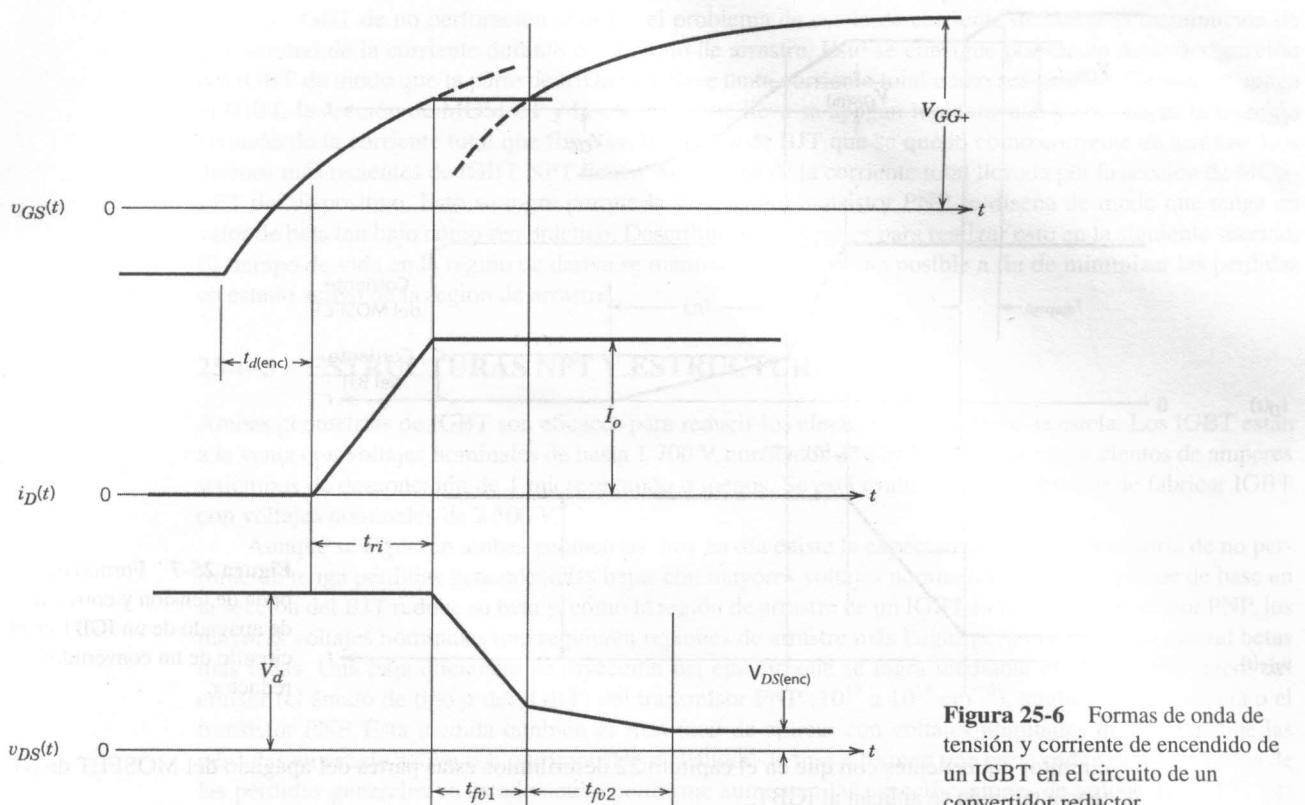


Figura 25-6 Formas de onda de tensión y corriente de encendido de un IGBT en el circuito de un convertidor reductor.

25-6 CARACTERÍSTICAS DE CONMUTACIÓN

25-6-1 TRANSITORIO DE ENCENDIDO

Las formas de corriente y tensión para el encendido de un IGBT integrado en el circuito de un convertidor reductor similar al de la figura 22-10 para el MOSFET se muestran en la figura 25-6. Las partes del encendido de las formas de onda se asemejan a las del MOSFET de potencia de la figura 22-11, del capítulo 22. El parecido es de esperarse, pues el IGBT actúa en esencia como un MOSFET durante la mayor parte del intervalo de encendido. Los mismos circuitos equivalentes con que analizamos en el capítulo 22 las formas de onda de encendido del MOSFET también sirven para calcular las características de encendido del IGBT.

El intervalo t_{fv2} que se observa en la forma de onda de tensión de drenaje-fuente del MOSFET en la figura 22-11 también suele presentarse en la forma de onda de tensión de drenaje-fuente del IGBT. Dos factores contribuyen al intervalo t_{fv2} en la forma de onda del IGBT. En primer lugar, la capacitancia de drenaje-fuente C_{gd} se incrementa en la parte de MOSFET del IGBT con tensiones de drenaje-fuente bajas, en forma similar al caso de los MOSFET de potencia. En segundo lugar, la parte de transistores *pnp* del IGBT atraviesa la zona activa a su estado activo (saturación dura) con más lentitud que la parte de MOSFET del IGBT. Sólo hasta que el transistor *pnp* está encendido por completo se obtiene el beneficio total de la modulación por conductividad de la zona de drenaje-arrastre, y por tanto el voltaje a través del IGBT no cae a su valor final de estado activo.

25-6-2 TRANSITORIO DE APAGADO

Las formas de corriente y tensión del IGBT en el circuito de un convertidor reductor se muestran en la figura 25-7. La secuencia observada de un aumento en el voltaje de drenaje-fuente hasta su valor de estado de bloqueo antes de cualquier disminución de la corriente de drenaje es idéntica a la de todos los dispositivos que se usan en el circuito de un convertidor reductor. Los intervalos iniciales, el tiempo de retraso de apagado $t_{d(apag)}$ y el tiempo de subida de voltaje t_{rv} se determinan por la parte de MOSFET del IGBT. Los

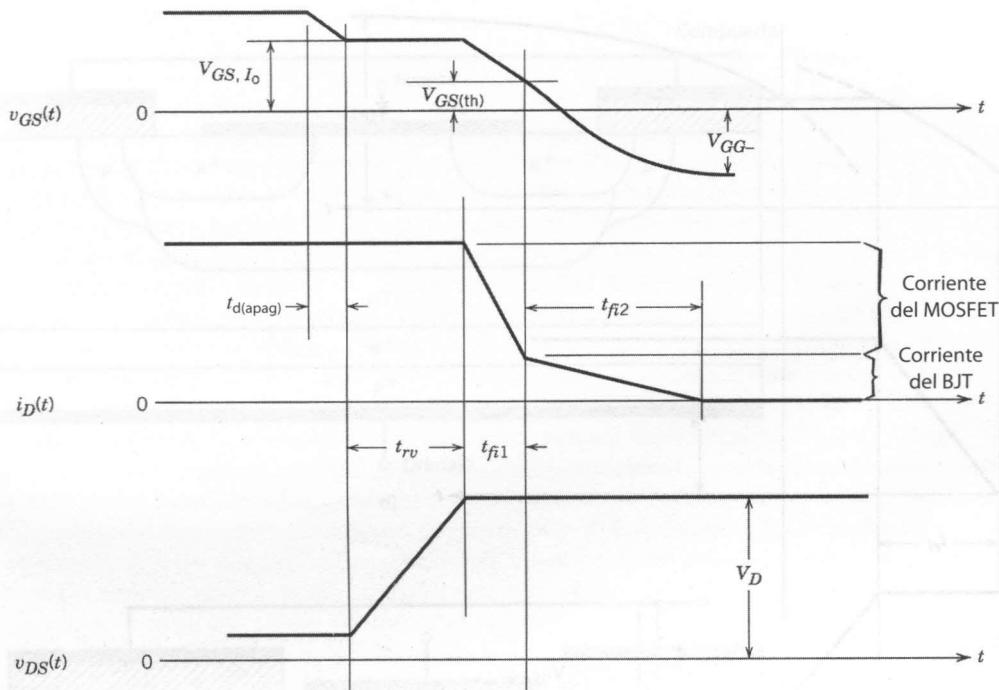


Figura 25-7 Formas de onda de tensión y corriente de apagado de un IGBT en el circuito de un convertidor reductor.

circuitos equivalentes con que en el capítulo 22 describimos estas partes del apagado del MOSFET de potencia también se aplican al IGBT.

La diferencia principal entre el apagado del IGBT y el del MOSFET se observa en la forma de onda de la corriente de drenaje, donde hay dos intervalos distintos. La caída rápida durante el intervalo t_{f1} corresponde a la desconexión de la sección de MOSFET del IGBT. La “estela o cola” de la corriente de drenaje durante el segundo intervalo t_{f2} se debe a la carga almacenada en la región de arrastre n^- . Como la parte de MOSFET está apagada y no se aplica ninguna tensión inversa a las terminales del IGBT que generen una corriente de drenaje negativa, no es posible eliminar la carga almacenada por medio de un barrido de portadores.

La única manera de retirar estos portadores excedentes es la recombinación dentro de un IGBT. Como es deseable que el tiempo de vida de los portadores excedentes en esta zona sea grande para que la caída de tensión en estado activo sea baja, la duración del intervalo t_{f2} en el apagado será correspondientemente larga. Sin embargo, un intervalo t_{f2} largo es indeseable, porque la disipación de potencia en este intervalo será grande, pues la tensión de drenaje-fuente está en su valor de estado inactivo. Este tiempo aumenta con la temperatura, igual que el tiempo de estela en un BJT de potencia. Así, se debe compensar entre las pérdidas en estado activo y los tiempos más rápidos de apagado en el IGBT, los cuales son muy similares a los de dispositivos de portadores minoritarios, como BJT, tiristores, diodos, etc. Con la irradiación de electrones del IGBT suele configurarse el tiempo de vida de los portadores en la región de arrastre para el valor deseado.

Con los IGBT de perforación se pretende reducir el problema de estela de corriente mediante el recorte de la duración del tiempo de estela. Esto se logra por medio de la capa del búfer n^+ que ya describimos y se muestra en la figura 25-1. Esta capa está diseñada para tener un tiempo de vida de portadores excedentes mucho más corto que la región de arrastre n^- , y por tanto la capa del búfer actúa como un disipador para huecos excedentes. La mayor velocidad de recombinación de los huecos en la capa del búfer establece una pendiente de densidad de huecos en la región de arrastre n^- durante la desconexión que causa un flujo grande de huecos en difusión hacia la capa del búfer en una manera análoga a los cortocircuitos anódicos en el GTO. Esto intensifica de manera considerable la velocidad de remoción de huecos de la región de arrastre y por tanto recorta el intervalo t_{f2} . La capa del búfer es relativamente delgada y está muy dopada, por lo que las pérdidas óhmicas en ella son insignificantes en estado activo cuando fluyen grandes corrientes a través del IGBT. La capa del búfer permite que la región de arrastre se reduzca por un factor máximo de dos para IGBT NPT (de no perforación). Por tanto, las pérdidas en estado activo en la región de arrastre de un dispositivo PT deben ser más bajas que las pérdidas de un dispositivo NPT comparable (con el mismo voltaje nominal y el mismo tiempo de vida de portadores de la región de arrastre).

Los IGBT de no perforación abordan el problema de estela de corriente mediante la disminución de la magnitud de la corriente durante el intervalo de arrastre. Esto se consigue por medio de la designación del IGBT de modo que la parte de MOSFET lleve tanta corriente total como sea posible. Cuando se apaga el IGBT, la sección de MOSFET y la corriente que lleva se apagan rápidamente, y sólo dejan la fracción pequeña de la corriente total que fluye en la sección de BJT que se quedó como corriente de arrastre. Los diseños más recientes de IGBT NPT tienen 90% o más de la corriente total llevada por la sección de MOSFET del dispositivo. Esto se logra porque la sección del transistor PNP se diseña de modo que tenga un valor de beta tan bajo como sea práctico. Describiremos los pasos para realizar esto en la siguiente sección. El tiempo de vida en la región de deriva se mantiene en el máximo posible a fin de minimizar las pérdidas en estado activo de la región de arrastre.

25-6-3 ESTRUCTURAS NPT Y ESTRUCTURAS PT

Ambas geometrías de IGBT son eficaces para reducir los efectos de la corriente de estela. Los IGBT están a la venta con voltajes nominales de hasta 1 700 V, corrientes de estado activo de varios cientos de amperes y tiempos de desconexión de 1 microsegundo o menos. Se está evaluando la posibilidad de fabricar IGBT con voltajes nominales de 2 500 V.

Aunque se exploran ambas geometrías, hoy en día existe la expectativa de que la geometría de no perforación tenga pérdidas generales más bajas con mayores voltajes nominales. Un ancho grande de base en la sección del BJT reduce su beta y, como la región de arrastre de un IGBT es la base del transistor PNP, los mayores voltajes nominales que requieren regiones de arrastre más largas permiten en forma natural betas más bajas. Una baja eficiencia de inyección del emisor, que se logra mediante un dopaje más ligero del emisor (el ánodo de tipo *p* del IGBT) del transmisor PNP (10^{17} a 10^{18} cm^{-3}), también reduce el beta o el transistor PNP. Esta medida también es más fácil de aplicar con voltajes nominales mayores porque las pérdidas en estado activo con que contribuye el ánodo de tipo *p* forman una parte cada vez más pequeña de las pérdidas generales en estado activo conforme aumentan las especificaciones de voltaje del IGBT. Las pérdidas en estado activo de IGBT de alta tensión están dominadas por las pérdidas del canal del MOSFET y por las pérdidas de la región de arrastre, que enmascaran por completo cualquier pequeño incremento de la resistencia óhmica del ánodo de tipo *p* debido a sus menores niveles de dopaje.

Con voltajes nominales más bajos, de 1 000 a 1 200 V y menores, la geometría de perforación parece tener pérdidas generales en estado activo más bajas en comparación con la estructura de no perforación, debido a las razones mencionadas. Las medidas necesarias para mantener el beta de la sección de BJT desablemente bajo en estructuras de NPT no son tan eficaces como en voltajes nominales más altos. Se espera que la estructura de perforación tenga problemas más graves con la ruptura de avalancha conforme el voltaje nominal aumente a más del rango de 1 000 a 1 200 V. Dos factores apoyan esta expectativa.

Primeramente, el BJT en un dispositivo de perforación tiene un beta más alto porque la región de arrastre y por tanto la base del BJT es más pequeña en comparación con una geometría NPT de especificaciones similares. Los betas más grandes permiten capacidades de tensiones de ruptura reducidas (recuerde el análisis del capítulo 21 referente a la reducción de BV_{CEO} en comparación con BV_{CBO} conforme se incrementa beta). En segundo lugar, el análisis detallado (que trasciende el alcance de este texto) indica que, en estado de bloqueo, el dispositivo PT tiene un campo eléctrico más grande (por casi un factor de dos) en la unión de bloqueo en comparación con una geometría similar de NPT. Como ambos tipos de dispositivos están destinados a la operación de tensión alta, el campo eléctrico en la estructura de PT alcanza magnitudes de ruptura con tensiones de ruptura más bajas con tensiones de bloqueo asimismo más bajas que la estructura de NPT.

Estas consideraciones apoyan la expectativa de que ambas geometrías se empleen en generaciones futuras de diseños de IGBT. Algunos fabricantes de dispositivos incluso cuestionan que las estructuras de PT sean la mejor opción para voltajes nominales mayores (más de 1 700 V), y planean geometrías de PT para estos voltajes nominales mayores.

25-7 LÍMITES DE DISPOSITIVOS Y AOS

La máxima corriente de drenaje I_{DM} se establece de manera que se evite el latchup y por ende los problemas con la conexión de dos cables desde el chip hasta la carcasa, o en metalizaciones de películas delgadas. También existe un máximo voltaje de compuerta-fuente permisible $V_{GS(\text{máx})}$. El valor de este voltaje se de-

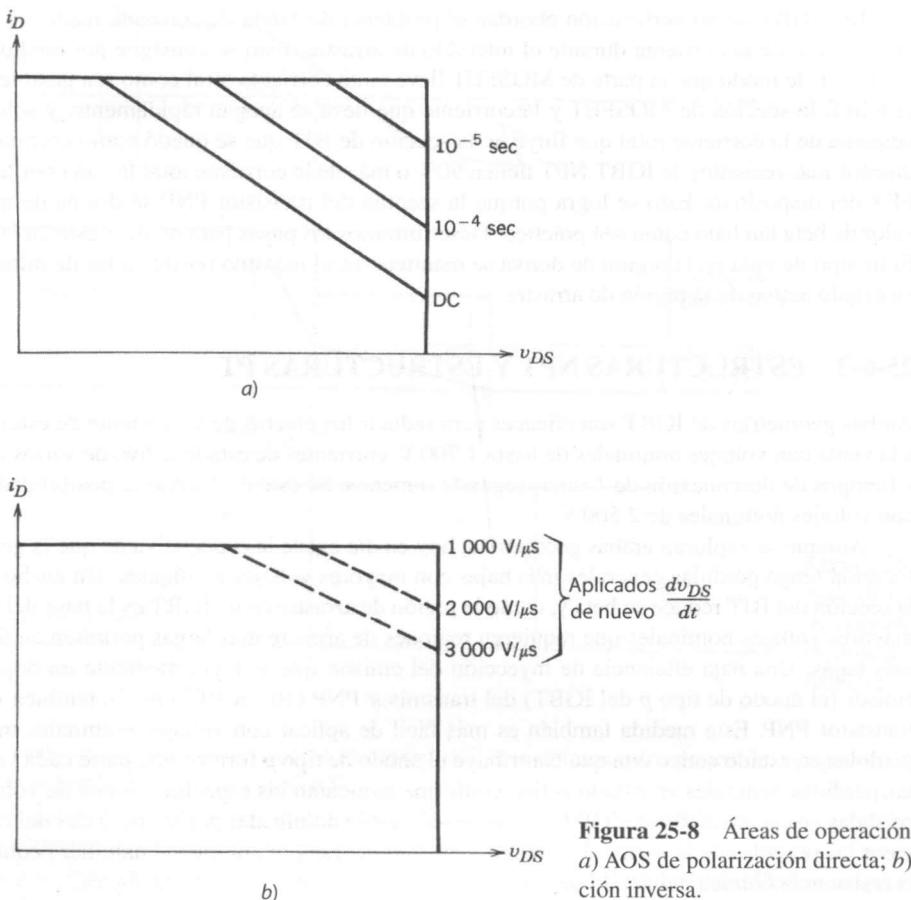


Figura 25-8 Áreas de operación segura de un IGBT:
a) AOS de polarización directa; b) AOS de polarización inversa.

termina por consideraciones de ruptura de óxido de la compuerta. El IGBT está diseñado para que, cuando se aplique este voltaje de compuerta-fuente, la máxima corriente que fluya en condiciones de avería (cortocircuito) sea aproximadamente de cuatro a 10 veces la corriente nominal especificada. En estas condiciones, el IGBT está en la zona activa con una tensión de drenaje-fuente igual a la tensión del estado inactivo. Mediciones recientes indican que el dispositivo resiste estas corrientes durante 5 a 10 microsegundos, según el valor de V_{DS} , y se apaga por V_{GS} .

La máxima tensión de drenaje-fuente se establece por la tensión de ruptura del transistor *pnp*. El beta del transistor es muy pequeño, por lo que su tensión de ruptura es en esencia BV_{CBO} , es decir, la tensión de ruptura de la unión de arrastre-cuerpo (la unión J_2 en la figura 25-1a). Hay a la venta dispositivos con capacidades de bloqueo de hasta 1 700 V, y los dispositivos con mayores voltajes especificados están en desarrollo.

La máxima temperatura permisible de la unión en IGBT disponibles es 150 °C. El IGBT se puede diseñar para tener una tensión en estado activo que varíe poco entre la temperatura ambiente y la máxima temperatura de la unión. La razón de esto es la combinación del coeficiente de temperatura positivo de la sección de MOSFET y el coeficiente de temperatura negativo de la caída de tensión a través de la región de arrastre.

Existen IGBT individuales con especificaciones de corrientes nominales de hasta 200 a 400 amperes. Los IGBT se conectan en paralelo sin problemas debido al buen control sobre la variación de los parámetros del IGBT de un dispositivo a otro, y también debido a la escasa variación de la tensión en estado activo con la temperatura. En el mercado existen módulos de hasta cuatro a seis IGBT conectados en paralelo con especificaciones de corriente de 1 000 a 1 500 amperios.

El IGBT tiene AOS (áreas operativas seguras) robustas durante el encendido y apagado. El área de operación segura de polarización directa de la figura 25-8a es el cuadrado para tiempos de conmutación cortos, idéntico a los FBAOS del MOSFET de potencia que se muestran en la figura 22-19 para tiempos de encendido menores que 1 ms. Para tiempos de conmutación más largos, el IGBT está limitado térmicamente, como se muestra en los FBAOS, y esto también es idéntico al comportamiento de FBOAS del MOSFET de potencia.

El área de operación segura con polarización inversa es un tanto diferente de los FBAOS, como lo ilustra la figura 25-8b. La esquina superior del lado derecho del RBAOS se recorta en forma progresiva, y el RBAOS se reduce conforme aumenta la velocidad de cambio del voltaje de drenaje-fuente dv_{DS}/dt . La razón de esta restricción del RBAOS como función del dv_{DS}/dt es evitar el latchup. Un valor de dv_{DS}/dt demasiado grande durante el apagado causa el latchup del IGBT exactamente como sucede en tiristores y GTO. Por fortuna, este valor es muy grande y se compara favorablemente con otros dispositivos de potencia. Además, el usuario del dispositivo puede controlar con facilidad el dv_{DS}/dt aplicado de nuevo mediante la selección correcta de la resistencia de V_{GG-} y del accionamiento de la compuerta.

RESUMEN

En este capítulo revisamos la estructura y características de un dispositivo de potencia relativamente nuevo, el transistor de compuerta aislado, o IGBT. Las conclusiones importantes son las siguientes:

1. El IGBT está diseñado para operar como MOSFET con una zona inyectora en su lado de drenaje para proporcionar modulación por conductividad de la región de arrastre con el fin de reducir pérdidas en línea.
2. Por tanto, el desempeño del IGBT se encuentra a la mitad del desempeño de un MOSFET y un BJT. Es más rápido que un BJT comparable, pero más lento que un MOSFET. Sus pérdidas en estado activo son mucho menores que las de un MOSFET y son comparables con las de un BJT.
3. La estructura del IGBT incluye un tiristor parasítico cuyo encendido no se debe permitir, pues la compuerta perdería la capacidad de apagar el dispositivo.
4. La prevención del encendido del tiristor parasítico implica modificaciones estructurales especiales de la estructura del IGBT por parte del fabricante de dispositivos y la observancia de las especificaciones de corriente y tensión máxima por parte del usuario. Los dispositivos nuevos parecen resistentes al latchup.
5. La velocidad de encendido del IGBT se controla mediante el índice de cambios de la tensión de compuerta-fuente.
6. El IGBT tiene una AOS rectangular para aplicaciones de modo conmutado, parecida a la del MOSFET, y por tanto, una necesidad mínima de circuitos de amortiguadores.

PROBLEMAS

- 25-1 Los MOSFET de canal p requieren más o menos el triple del área de un chip de silicio para lograr un desempeño comparable a un MOSFET de canal n . Sin embargo, los IGBT de canal p tienen la misma área que los IGBT de canal n . ¿Cuáles son las razones de las diferencias entre el comportamiento del IGBT y el del MOSFET?
- 25-2 Durante el apagado, la corriente de drenaje en un IGBT muestra diferentes comportamientos si el tiempo de vida de los portadores en la región de arrastre es más largo o más corto. Trace en forma cualitativa la corriente de drenaje respecto del tiempo durante la desconexión para un IGBT de tiempo de vida corto y un IGBT de tiempo de vida largo, y explique las razones de las diferencias.
- 25-3 Un IGBT de perforación tendrá una resistencia de salida más alta en la zona activa (curvas de i_D-v_{DS} más planas en la zona activa) que un IGBT de no perforación. Explique por qué.
- 25-4 Estime las tensiones de ruptura de polarización directa e inversa del IGBT de la figura 25-1. Los niveles de dopaje son $p^+ = n^+ = 10^{19} \text{ cm}^{-3}$, $p = 10^{17} \text{ cm}^{-3}$ y $n^- = 10^{14} \text{ cm}^{-3}$. La longitud (dimensión paralela al sentido del flujo de la corriente) de la región de arrastre es de $25 \mu\text{m}$.
- 25-5 Un IGBT y un MOSFET, ambos dispositivos de canal n , están diseñados para bloquear tensiones de hasta 750 voltios en estado apagado. El área de conducción efectiva de ambos dispositivos es 2 cm^2 . Si la tensión en estado activo está limitada a 3 V o menos, estime la corriente en estado activo que conduce cada dispositivo. Use $n_b = 10^{16} \text{ cm}^{-3}$ como densidad de los portadores excedentes en la que empiezan a disminuir las movilidades y el tiempo de vida de los portadores con la densidad creciente de los portadores.
- 25-6 Un IGBT de perforación (PT) y un IGBT de no perforación (NPT) están diseñados para bloquear 1 200 V, y ambos tienen la misma área de conducción efectiva en estado activo. Estime la capacidad relativa de corriente en estado activo de cada dispositivo. Suponga que ambos dispositivos tienen la misma tensión en estado activo.

- 25-7 Un IGBT tolera una sobrecorriente de considerable magnitud si su duración no es demasiado larga. En algunos diseños de circuitos se aprovecha esta característica. Estime en forma aproximada la capacidad de sobrecorriente de un IGBT especificado con $BV_{DSS} = 1\,000$ V. Suponga un área de conducción efectiva de 0.25 cm^2 , una duración de sobrecorriente de 10 microsegundos y una máxima temperatura de unión de 300°C . Use $n_b = 10^{16}\text{ cm}^{-3}$, como se propuso en el problema 25-5. *Pista:* Recuerde que $C_v dT = dQ$, donde dQ = incremento de energía térmica, dT = incremento de temperatura y C_v = calor específico por unidad de volumen.
- 25-8 Considere un IGBT y un MOSFET con las mismas especificaciones de BV_{DSS} y la misma especificación de corriente en estado activo. ¿Cuál de los dispositivos tiene los valores más pequeños de C_{gs} y C_{gd} , y por qué?
- 25-9 Se fabricó un módulo de circuito de un IGBT completo con su propio circuito de accionamiento con las siguientes especificaciones de desempeño:

$$V_{DSM} = 800 \text{ V } I_{DM} = 150 \text{ A } \frac{dv_{DS}}{dt} < 800 \text{ V}/\mu\text{s}, R_{0j-a} = 0.5^\circ\text{C/W}$$

$$t_{enc} = t_{d(enc)} + t_{ri} + t_{fv} = 0.3 \mu\text{s } t_{apag} = t_{d(apag)} = t_{rv} + t_{fi} = 0.75 \mu\text{s}, T_{j,\text{máx}} = 150^\circ\text{C}$$

Este módulo se va a usar en el circuito de un convertidor reductor con una carga inductiva bloqueada por un diodo. En este circuito, el diodo de libre circulación es ideal, el voltaje de alimentación CC es $V_d = 700$ V, la corriente de carga $I_o = 100$ A y la frecuencia de conmutación es de 50 kHz con un ciclo de trabajo de 50%. Determine si el módulo del IGBT está sobrecargado.

REFERENCIAS

1. T. Rogne, N. A. Ringheim, J. Eskedal, B. Odegard y T. M. Undeland, "Short Circuit Capability of IGBT (COMFET) Transistors", 1988 IEEE Industrial Applications Society Meeting, Pittsburgh, Pennsylvania, octubre de 1988.
2. B. Jayant Baliga, *Modern Power Devices*, Wiley, Nueva York, 1987, capítulo 7.
3. B. Jayant Baliga, "The Insulated Gate Transistor (IGT) – A New Power Switching Device", *Power Transistors: Device Design and Applications*, B. Jayant Baliga y D. Y. Chen (comps.), IEEE Press, Institute of Electrical and Electronic Engineers, Nueva York, 1984, pp. 354-363.
4. H. Yilmaz, J. L. Benjamin, R. F. Dyer, Jr., Li S. Chen, W. R. Van Dell y G. C. Pifer, "Comparison of Punch-Through and Non-Punch-Through IGT Structures", *IEEE Transactions on Industrial Applications*, vol. IA-22, núm. 3, mayo/junio de 1986, pp. 466-470.
5. A. Nakagawa, Y. Yamaguchi, K. Watanabe y H. Ohashi, "Safe Operating Area for 1200 V Nonlatchup Bipolar-Mode MOSFETs", *IEEE Transactions on Electron Devices*, vol. ED-34, núm. 2, febrero de 1987, pp. 351-355.
6. M. S. Adler, K. W. Owyang, B. Jayant Baliga y R. A. Kokosa, "The Evolution of Power Device Technology", *IEEE Transactions on Electron Devices*, vol. ED-31, núm. 11, noviembre de 1984, pp. 1570-1591.

CAPÍTULO 26

DISPOSITIVOS Y CIRCUITOS EMERGENTES

26-1 INTRODUCCIÓN

El número de dispositivos semiconductores de potencia disponibles hoy día es impresionante en comparación con la oferta de hace pocos años. La lista incluye diodos, transistores bipolares, Darlingtons monolíticos, MOSFET, tiristores, GTO e IGBT. Los avances continuarán para mejorar estos dispositivos, aumentar sus capacidades de voltajes de bloqueo, bajar sus pérdidas en estado activo e incrementar sus velocidades de conmutación.

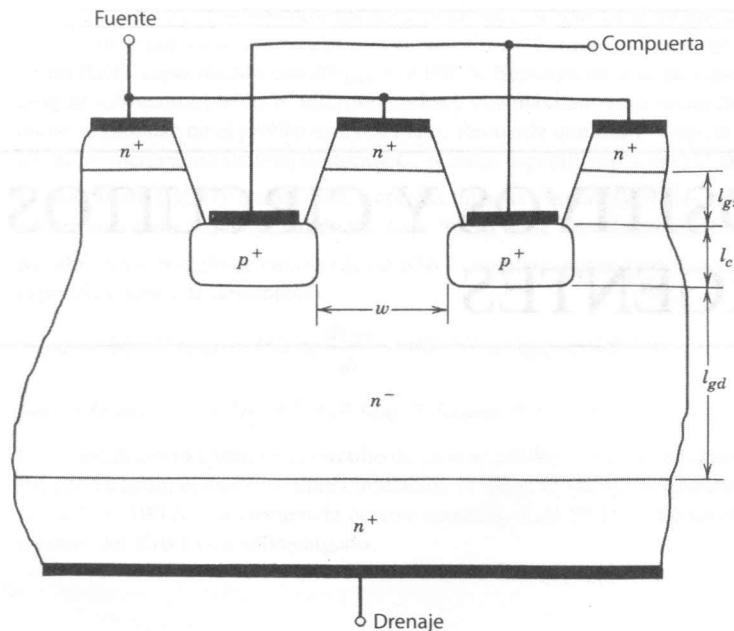
Otros conceptos de dispositivos y circuitos integrados también se están explorando en la actualidad y muestran un potencial significativo para aplicaciones futuras en la electrónica de potencia. Estos conceptos, que aún no tienen la aceptación comercial general o que todavía están en la etapa de prototipos de laboratorio, se denominan dispositivos y circuitos emergentes. Una lista de estos dispositivos emergentes debe incluir a los transistores de unión de efecto de campo (también se llaman transistores de inducción estática), tiristores controlados por el campo (tiristores bipolares de inducción estática), tiristores controlados por MOS (MCT), circuitos integrados de alta tensión y los llamados circuitos y dispositivos de potencia inteligentes. Algunos de estos dispositivos podrán tener un uso extenso en el futuro, así que es importante que los diseñadores de circuitos de electrónica de potencia estén al tanto de estos dispositivos potencialmente útiles. En este capítulo resumiremos de manera breve las características de estos dispositivos emergentes y analizaremos sus principios físicos de operación, así como sus limitaciones operacionales. También consideraremos otros materiales semiconductores que un día podrán sustituir al silicio en la fabricación de dispositivos de potencia.

26-2 TRANSISTORES DE POTENCIA DE UNIÓN DE EFECTO DE CAMBIO

26-2-1 ESTRUCTURA BÁSICA Y CARACTERÍSTICAS I-V

La sección transversal vertical de un transistor de potencia de unión de efecto de campo, JFET (a veces denominado transistor de inducción estática o SIT) se muestra en la figura 26-1a. Esta geometría particular utiliza una llamada estructura de compuerta empotrada, una de las estructuras más prometedoras para el JFET. Las zonas de compuerta y fuente están muy interdigitadas, de forma parecida a la interdigitación de los MOSFET. Cientos e incluso miles de estas celdas básicas de compuerta-fuente están conectadas en paralelo para formar un solo JFET de potencia. Los niveles de dopaje que se indican en forma cualitativa en la figura, son similares a los de otros dispositivos semiconductores y se designan con los mismos símbolos cualitativos. Las dimensiones que se muestran en forma simbólica en la figura desempeñan un papel importante en la determinación de las características del dispositivo, como explicaremos en breve.

En un JFET de potencia, el ancho del canal w es muy angosto, por lo general entre unos cuantos micrómetros y unas cuantas décimas de micrómetro, y la longitud del canal l_c se hace más pequeña que el ancho w . El dispositivo de fabricación también intenta minimizar la dimensión de l_{gs} . La longitud de la zona



a)

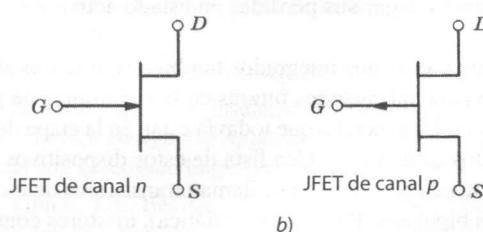


Figura 26-1 Estructura y símbolos de circuito de los JFET: a) sección transversal de un JFET de compuerta empotrada; b) símbolos de circuito del JFET.

de compuerta-drenaje l_{gd} depende del valor deseado de capacidad de voltaje de bloqueo. Esta zona un poco dopada es en esencia una zona de drenaje-arrastre análoga a la del MOSFET de potencia.

El símbolo de circuito para un JFET de canal n se muestra en la figura 26-1b. La flecha que apunta hacia la compuerta indica el sentido de la corriente de compuerta que fluiría si la unión de compuerta-fuente adquiriese una polarización directa. El símbolo para un JFET de canal p también se muestra en esta figura.

Las características $i-v$ para un JFET de potencia de canal n se muestran en la figura 26-2a. Estas características son muy diferentes de las de un MOSFET y a menudo se denominan características de tipo triodo, debido a su parecido con las características $i-v$ de los triodos de vacío. Una curva de transferencia aproximada del voltaje de drenaje-fuente versus voltaje de compuerta-fuente se muestra en la figura 26-2b. La pendiente de esta curva de transferencia suele denominarse ganancia de bloqueo μ , porque, cuando las curvas de i_D versus v_{DS} se extrapolan a cero corriente de drenaje, como se indica en la figura 26-2a, esta pendiente representa el aumento del voltaje de drenaje-fuente que se bloquea por el dispositivo en estado inactivo para un aumento dado en el voltaje de compuerta-fuente.

El elemento más importante de las características $i-v$ es que el JFET es un dispositivo normalmente encendido, lo que significa que, cuando la compuerta se pone en cortocircuito con la fuente, el dispositivo está en estado activo. En contraste, todos los demás dispositivos semiconductores de potencia que analizamos hasta ahora son dispositivos normalmente apagados. La característica de estar normalmente encendido es indeseable en la mayoría de las aplicaciones electrónicas de potencia, porque el dispositivo normalmente encendido puede permitir flujos de corrientes transitorias de forma inaceptable grandes en el arranque del sistema, mientras que un dispositivo normalmente apagado tiene un elemento integral de seguridad al estar apagado durante el arranque del sistema. Debido a este inconveniente, el JFET de potencia no se acepta mucho, aunque sí están a la venta algunos tipos.

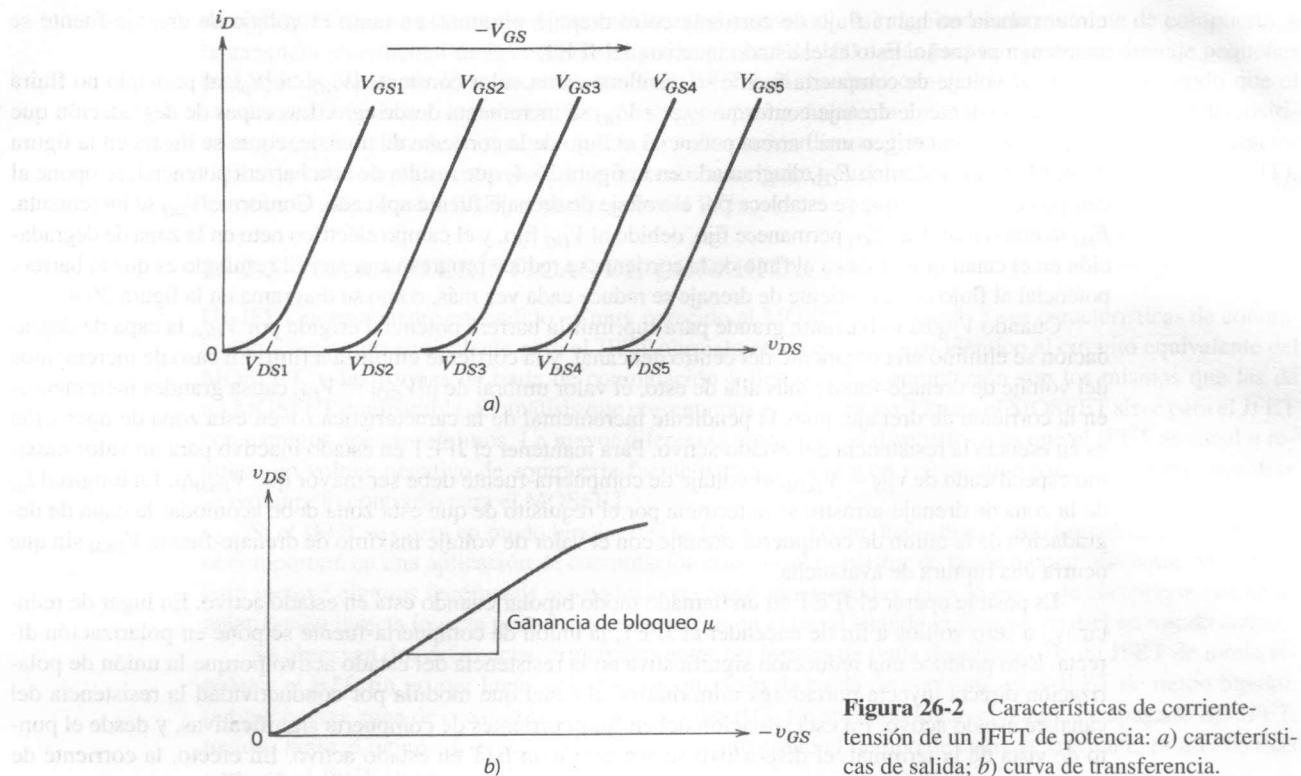


Figura 26-2 Características de corriente-tensión de un JFET de potencia: a) características de salida; b) curva de transferencia.

26-2-2 FÍSICA DE LA OPERACIÓN DEL DISPOSITIVO

Como ya indicamos, el JFET está en estado activo cuando el voltaje de compuerta-fuente es cero. Esto ocurre porque no hay impedimento para el flujo de la corriente entre drenaje y fuente en la estructura simplificada de la figura 26-3a. El ancho de la zona del canal entre las zonas de compuerta p^+ es lo bastante grande para que las zonas de degradación o agotamiento de la unión de compuerta-fuente con $v_{GS} = 0$ no se encuentren en el centro del canal y lo estrangulen de esta manera. En este estado activo, el diseñador del dispositivo procura reducir la resistencia óhmica entre drenaje y fuente al acortar la longitud del canal l_c , igual que la longitud de la zona de drenaje-deriva l_{gd} . La disposición lateral de las zonas de compuerta y fuente también tiene un efecto en la resistencia de estado activo del dispositivo.

Cuando se aplica una polarización inversa a la unión pn de compuerta-fuente, las capas de degradación aumentan su anchura, y en el valor particular de v_{GS} , que se llama voltaje de estrangulamiento V_p , las capas de degradación se juntan en el centro del canal y lo estrangulan, como se indica en la figura 26-3b. En esta

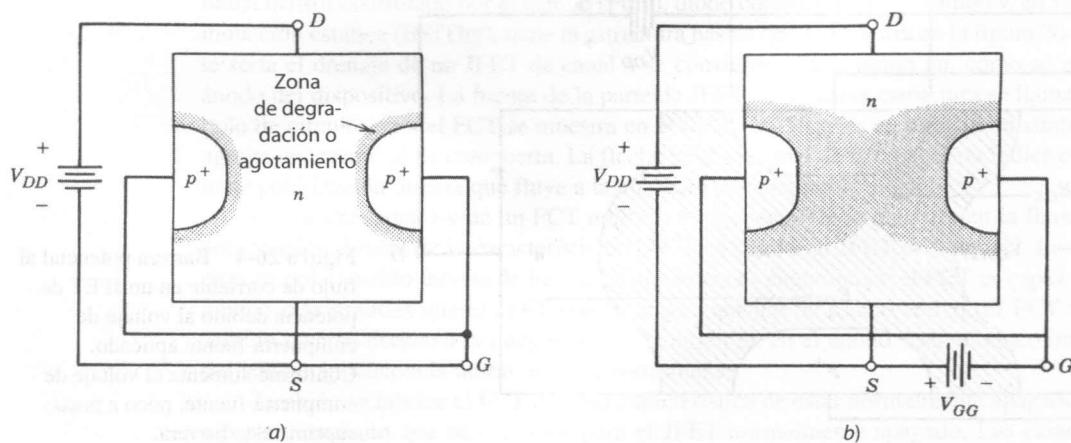


Figura 26-3 Capas de degradación o agotamiento de la compuerta de un JFET: a) en estado activo; b) en estado de bloqueo.

circunstancia no habrá flujo de corriente entre drenaje y fuente, en tanto el voltaje de drenaje-fuente se mantenga pequeño. Esto es el estado inactivo del JFET.

Si el voltaje de compuerta-fuente se mantiene en un valor constante $|V_{GG}| > |V_p|$, al principio no fluirá ninguna corriente de drenaje conforme $v_{DS} = V_{DD}$ se incrementa desde cero. Las capas de degradación que bloquean el canal erigen una barrera potencial al flujo de la corriente de drenaje, como se ilustra en la figura 26-4. El campo eléctrico E_{GS} , diagramado en la figura 26-4, que resulta de esta barrera potencial, se opone al campo eléctrico E_{DS} que se establece por el voltaje de drenaje-fuente aplicado. Conforme V_{DD} se incrementa, E_{DS} también mientras E_{GS} permanece fijo, debido al V_{GG} fijo, y el campo eléctrico neto en la zona de degradación en el canal que bloquea el flujo de la corriente se reduce progresivamente. El resultado es que la barrera potencial al flujo de la corriente de drenaje se reduce cada vez más, como se diagrama en la figura 26-4.

Cuando V_{DS} es lo bastante grande para suprimir la barrera potencial erigida por V_{GG} , la capa de degradación se eliminó efectivamente del centro del canal, y la corriente empieza a fluir. En caso de incrementos del voltaje de drenaje-fuente más allá de esto, el valor umbral de $\mu|V_{GG}| = V_{DD}$ causa grandes incrementos en la corriente de drenaje, pues la pendiente incremental de la característica $i-v$ en esta zona de operación es en esencia la resistencia del estado activo. Para mantener el JFET en estado inactivo para un valor máximo especificado de $v_{DS} = V_{DSM}$, el voltaje de compuerta-fuente debe ser mayor que V_{DSM}/μ . La longitud l_{gd} de la zona de drenaje-arrastre se determina por el requisito de que esta zona debe acomodar la capa de degradación de la unión de compuerta-drenaje con el valor de voltaje máximo de drenaje-fuente V_{DSM} sin que ocurra una ruptura de avalancha.

Es posible operar el JFET en un llamado modo bipolar cuando está en estado activo. En lugar de reducir v_{GS} a cero voltios a fin de encender el JFET, la unión de compuerta-fuente se pone en polarización directa. Esto produce una reducción significativa en la resistencia del estado activo porque la unión de polarización directa inyecta portadores minoritarios al canal que modula por conductividad la resistencia del canal en estado activo. En esta situación deben fluir corrientes de compuerta significativas, y desde el punto de vista de la terminal, el dispositivo se asemeja a un BJT en estado activo. En efecto, la corriente de

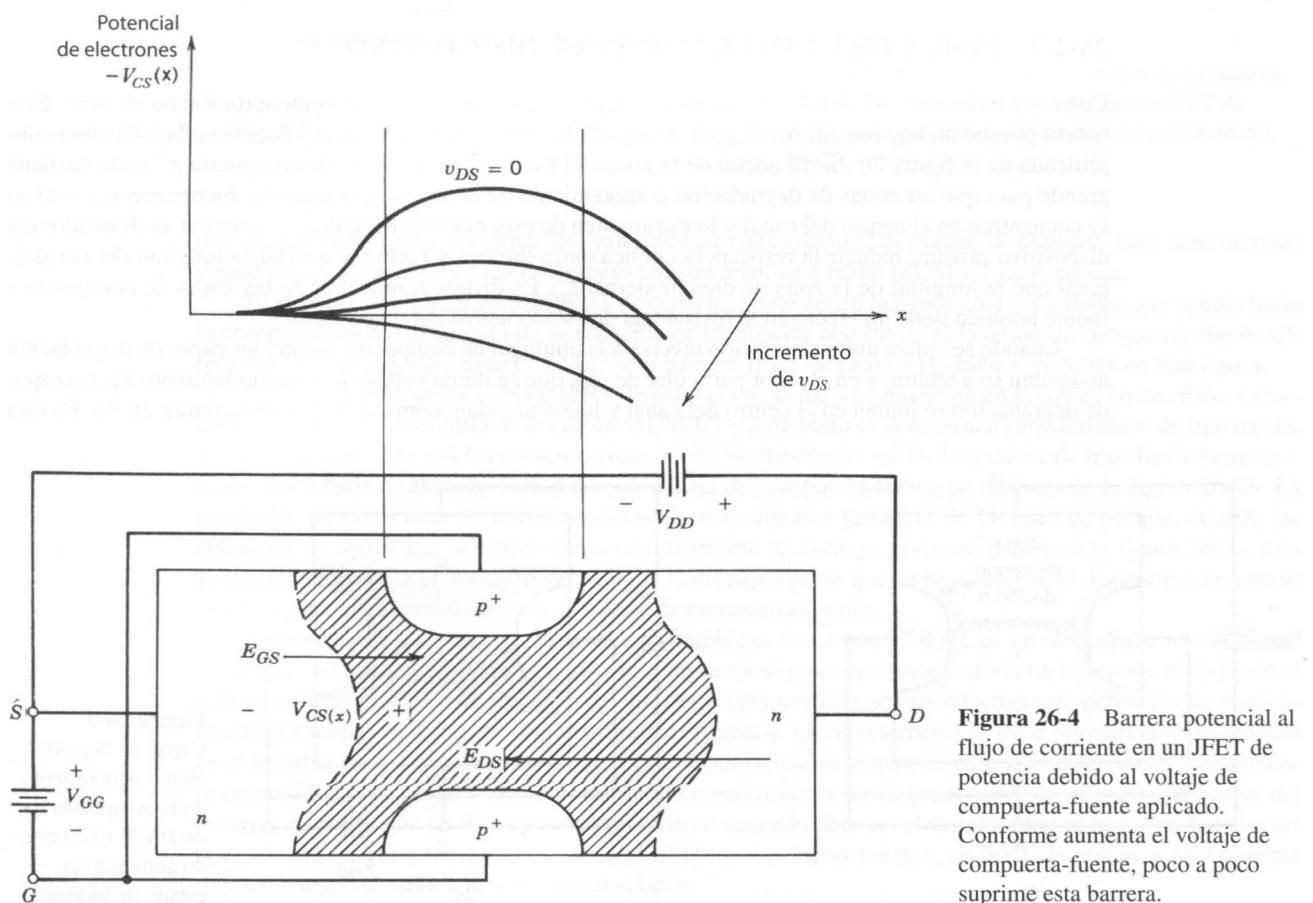


Figura 26-4 Barrera potencial al flujo de corriente en un JFET de potencia debido al voltaje de compuerta-fuente aplicado. Conforme aumenta el voltaje de compuerta-fuente, poco a poco suprime esta barrera.

drenaje que fluye en este modo de operación es proporcional a la magnitud de la corriente de compuerta, y la ganancia incremental de la corriente es por lo general de 100 o más para corrientes de drenaje pequeñas y se reduce conforme I_D se incrementa. Si el JFET está diseñado con canales angostos, de modo que el canal se estrangule con la polarización cero de compuerta-fuente, la única manera de encender el dispositivo es poner la unión de compuerta-fuente en polarización directa. Esto produce un JFET con una característica de estar normalmente apagado, que también se llama transistor bipolar de inducción estática (BSIT). La característica $i-v$ del BSIT se parece a la del BJT.

26-2-3 CARACTERÍSTICAS DE CONMUTACIÓN

Un JFET normalmente encendido es muy parecido al MOSFET en cuanto a sus características de conmutación. El circuito equivalente para el JFET normalmente encendido es idéntico al circuito equivalente del MOSFET, y las formas de onda de conmutación y tiempos de conmutación son los mismos que las de un MOSFET comparable. El análisis que presentamos en el capítulo 22 para el MOSFET sirve para el JFET con cambios apenas mínimos. La mayor diferencia entre los dos dispositivos es que el JFET de canal n requiere un voltaje negativo de compuerta-fuente para apagarse y un v_{GS} positivo para encenderse, mientras se requiere lo contrario para el MOSFET.

Si el JFET se opera en modo bipolar o si se fabrica como un dispositivo normalmente apagado (BSIT), se comportará en una aplicación de conmutación más como transistor de unión bipolar que como MOSFET. Esto incluye algunos fenómenos asociados con cargas almacenadas, pues la unión de compuerta-fuente de polarización directa inyecta portadores minoritarios en el canal cuando el dispositivo está en estado activo.

Se observan dos diferencias principales entre las formas de onda de apagado de un JFET de modo bipolar y el BJT. En primer lugar, sólo hay un intervalo de caída de corriente en el JFET de modo bipolar, porque no hay zona de cuasisaturación como la del BJT. En segundo lugar, el tiempo de apagado del JFET, incluso tanto el tiempo de retraso de almacenamiento como el tiempo de caída de corriente, es mucho más corto en el JFET que en el BJT.

La razón de esto es que el JFET no tiene una unión pn en la ruta de la corriente de drenaje que interrumpa el barrido de portadores excedentes cuando el dispositivo se apaga. Cuando se pone en polarización inversa una unión pn en línea, como la unión de colector-base o emisor-base, toda carga almacenada en el dispositivo queda atrapada en el dispositivo y sólo se retira por medio de recombinación interna. Esto desacelera en forma considerable la desconexión del dispositivo. Algunas modificaciones especiales de la estructura del dispositivo, como cortocircuitos de ánodos en el GTO o arreglos especiales del circuito del accionamiento, por ejemplo, la conmutación del emisor abierto con el BJT, suelen usarse para mitigar los efectos de esta carga almacenada atrapada.

26-3 TIRISTOR CONTROLADO POR EL CAMPO

26-3-1 ESTRUCTURA BÁSICA Y CARACTERÍSTICA $I-V$

Si se modifica el drenaje de la estructura de un JFET de potencia para formar un contacto inyector al convertirlo en una unión pn , se produce un nuevo dispositivo. Este nuevo dispositivo, que indistintamente se llama tiristor controlado por el campo (FCT), diodo controlado por el campo y, en Japón, tiristor bipolar de inducción estática (BSITh), tiene la estructura básica que se muestra en la figura 26-5. Lo que normalmente sería el drenaje de un JFET de canal n se convierte en una unión pn , como se muestra, y se vuelve el ánodo del dispositivo. La fuente de la parte de JFET de la nueva estructura se llama ahora cátodo. El símbolo de circuito para el FCT se muestra en la figura 26-5b, y es en esencia un símbolo de diodo al que se agrega una terminal de compuerta. La flecha en la terminal de la compuerta indica el sentido de la corriente de polarización directa que fluye a la unión pn de compuerta-fuente.

La característica $i-v$ de un FCT normalmente encendido se muestra en la figura 26-6. En la parte de polarización directa de la característica, el FCT es similar al JFET de potencia. La diferencia en la operación de polarización directa de los dos dispositivos es cuantitativa: el FCT es capaz de conducir corrientes mucho más grandes que el JFET con la misma tensión de estado activo. El FCT también bloquea en el sentido inverso debido a la integración de la unión pn en el ánodo. Este bloqueo inverso es independiente del voltaje aplicado a la unión de compuerta-fuente.

También se fabrica el FCT con una característica de estar normalmente apagado cuando se usa el mismo planteamiento que describimos para el JFET normalmente apagado. Las características $i-v$ del FCT

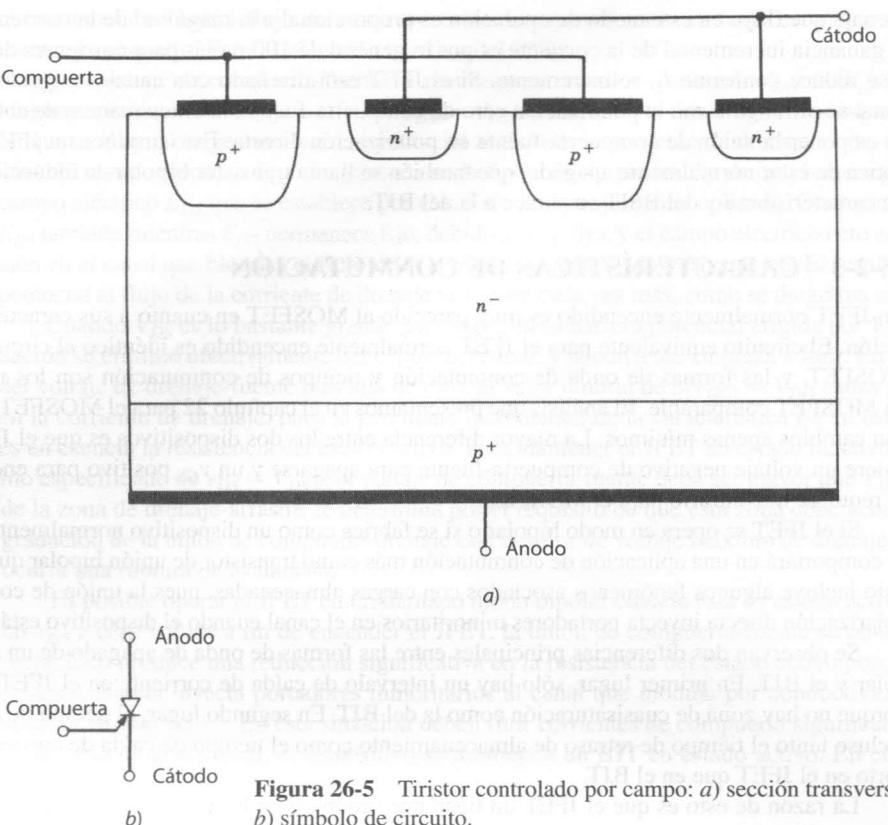


Figura 26-5 Tiristor controlado por campo: a) sección transversal vertical; b) símbolo de circuito.

normalmente apagado se parecen a las de un BSIT, excepto que los niveles de corriente son mucho más grandes debido a la resistencia más baja en estado encendido del FCT.

26-3-2 DESCRIPCIÓN FÍSICA DE LA OPERACIÓN DEL FCT

Como explicamos en la sección anterior, el FCT es básicamente la estructura de un JFET de potencia con un contacto inyector en el ánodo (drenaje del JFET). La inyección de portadores minoritarios desde el

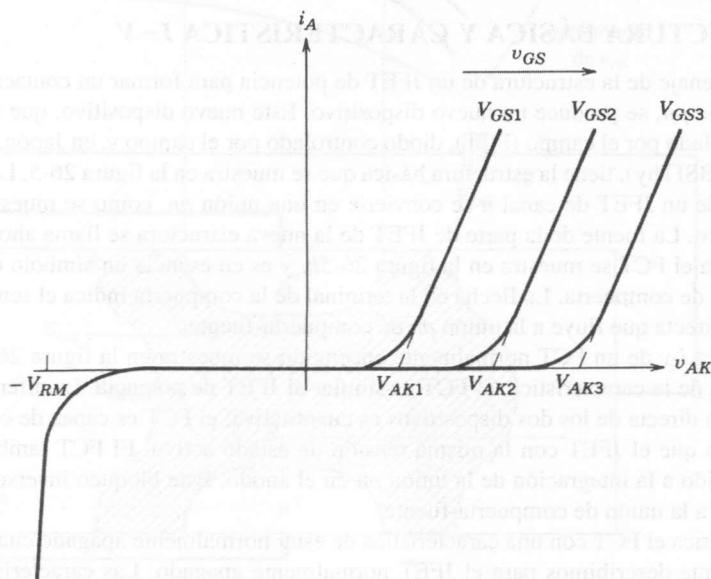


Figura 26-6 Característica de corriente-tensión de un FCT normalmente encendido.

no normalmente encendido. El ánodo hasta la región de arrastre del ánodo produce una gran modulación de conductividad de la zona. Por consiguiente, hay un valor pequeño de resistencia en estado activo en comparación con un JFET, así como un valor correspondientemente bajo de voltaje en estado activo, aun con valores grandes de corrientes.

La estructura de compuerta parecida al JFET le da al FCT la capacidad de apagado además de la capacidad de encendido. En el FCT normalmente encendido, el apagado se realiza mediante la aplicación de una polarización inversa grande a las terminales de compuerta-cátodo, por lo que la unión de compuerta-cátodo es de polarización inversa. Luego, la zona de despoblación de esta unión crece y estrangula al canal que conecta el ánodo al cátodo, lo que impide cualquier flujo de corriente. La polarización negativa en la compuerta jala a los portadores excedentes fuera del dispositivo como una gran corriente de compuerta negativa, en forma similar a la acción en un GTO. Si el FCT se fabrica como un dispositivo normalmente apagado, su encendido y apagado se parecen al encendido y apagado de un JFET normalmente apagado.

Aunque el FCT se llama tiristor controlado por el campo, es importante notar que el dispositivo no tiene conexión y desconexión regenerativa como un GTO. El FCT no se enclava y desenclava. Si se retira el accionamiento de compuerta que contiene el FCT normalmente encendido, el FCT se enciende. En forma similar, la eliminación del accionamiento de compuerta que contiene el FCT normalmente apagado causa que el dispositivo se apague.

26-3-3 CARACTERÍSTICAS DE CONMUTACIÓN

Los tiempos de comutación del FCT son mucho más lentos que los de un JFET normalmente encendido. Esto se debe a la gran cantidad de carga almacenada en la región de arrastre y la zona del canal del dispositivo. Las formas de onda de comutación son cualitativamente similares a las de un JFET normalmente apagado, aunque los tiempos de apagado son en forma significativa más largos debido a la gran cantidad de carga almacenada de la región de arrastre. Como ya explicamos, el apagado del FCT requiere un pulso grande de corriente de compuerta negativa, semejante a un GTO. El JFET normalmente apagado no tiene ni por mucho la cantidad de carga almacenada en la región de deriva, pues no cuenta con la inyección de carga desde el ánodo.

Se esperaría que el FCT tuviese grandes especificaciones de dv_{AK}/dt aplicado de nuevo, pues no tiene ningún mecanismo regenerativo de encendido como el que limita al tiristor convencional. Esta expectativa ya se verificó en prototipos de laboratorio de estructuras de FCT.

Los prototipos de laboratorio de FCT también demostraron que sí existen límites a los valores permitidos de di_A/dt , en especial durante el encendido del dispositivo. Varios factores provocan el encendido del FCT en zonas localizadas y luego le sigue la expansión de estas áreas localizadas para abarcar toda la zona activa del dispositivo conforme avanza el tiempo. El encendido localizado lleva a pequeñas zonas de disipación de alta potencia, que serán demasiado grandes si la velocidad de crecimiento de la corriente anódica di_A/dt excede una velocidad máxima. La disipación de potencia excesiva en esta área pequeña puede entonces causar la falla del dispositivo igual que puede causarla en situaciones comparables en BJT o tiristores. En los últimos años se hicieron mejoras en la especificación de di_A/dt , por lo que los FCT tienen ahora especificaciones de más de 1 000 A/ μ s.

26-4 DISPOSITIVOS BASADOS EN JFET Y OTROS DISPOSITIVOS DE POTENCIA

La capacidad de bloqueo de tensión del JFET que hasta la fecha se ha logrado se compara de manera razonable con el BJT o el MOSFET. El factor limitante en el JFET no es la ruptura de avalancha a través de la zona de degradación en la región de arrastre, sino el valor realizable de ganancia de bloqueo. La máxima tensión que se bloquea entre ánodo y cátodo o drenaje y fuente se modela de manera tosca como el producto de la ganancia de bloqueo y la tensión de ruptura de la unión de compuerta-fuente.

Las pérdidas en estado activo en un JFET son mayores que en un MOSFET comparable. Las razones son sobre todo tecnológicas y no tanto fundamentales, y las investigaciones adicionales van a acortar la brecha entre los dos tipos de dispositivos. Por intuición, cabe esperar que los JFET y MOSFET hechos para bloquear el mismo voltaje en el estado inactivo tengan las mismas pérdidas en estado activo. Si el JFET se opera en modo bipolar, las pérdidas en estado activo del JFET se ubican entre las del MOSFET y las del BJT. Las velocidades de comutación de JFET normalmente encendidos son en la actualidad en cierta medida más lentas que las de MOSFET comparables. Esto es básicamente una limitante tecnológica más que

una limitante fundamental. El JFET (BSIT) normalmente encendido tiene velocidades de conmutación en la actualidad comparables o mejores que las de un BJT similar. En principio, un BSIT debe tener tiempos de encendido más rápidos que un BJT, debido a la falta de una unión *pn* en línea que provoque problemas de apagado de base abierta que a su vez reduzcan la velocidad del BJT. El FCT es un tanto más rápido que un GTO, el dispositivo con el cual suele compararse.

Los JFET normalmente encendidos, igual que los MOSFET, son dispositivos de portadores mayoritarios y no tienen tendencias graves a la ruptura secundaria, como los BJT y otros dispositivos de portadores minoritarios. Los JFET y FCT de modo bipolar tienen el encendido no uniforme de las zonas activas y, por tanto, cierta medida de probabilidad de ruptura secundaria en condiciones apropiadas. Este problema potencial de limitaciones de corriente en JFET y FCT de modo bipolar también significa que al mismo tiempo pueden existir límites de dI/dt y dV/dt . La gravedad de estos problemas potenciales es un tanto confusa, y se necesitará más investigación para abordar este problema.

Quizá más que cualquier otra razón, la característica de estar normalmente encendido del JFET sea en mayor grado responsable de la demora en su uso en aplicaciones de modo conmutado en comparación con otros dispositivos. Ya analizamos en detalle las desventajas de esta característica de estar normalmente encendido. Aunque es posible fabricar dispositivos normalmente apagados con base en el JFET, aún no se igualan las capacidades de otros dispositivos normalmente apagados. Se necesitará más investigación y desarrollo de estructuras basadas en JFET para rectificar esta situación. Es probable que esto no se realice en forma muy extensiva, pues los demás dispositivos analizados en los capítulos anteriores ya encontraron una aceptación amplia y sus capacidades continúan en desarrollo. Es muy probable que los dispositivos basados en JFET encuentren aplicaciones en nichos donde sus propiedades únicas ofrezcan ventajas que otros dispositivos no puedan igualar.

26-5 TIRISTORES CONTROLADOS POR MOS

26-5-1 ESTRUCTURA BÁSICA

El tiristor controlado por MOS (MOS-controlled thyristor, MCT) es un dispositivo nuevo, a la venta desde hace poco (Harris Semiconductor). Es sobre todo un tiristor con dos MOSFET integrados en la estructura de la compuerta, con uno de los dos MOSFET, el ON-FET responsable del encendido del MCT, y el otro MOSFET, el OFF-FET, responsable de apagar el dispositivo. Existen dos tipos de MCT, el P-MCT y el N-MCT, y ambos combinan la capacidad de pérdidas en estado activo y de corrientes grandes de los tiristores con las ventajas del encendido y apagado controlado por el MOSFET así como velocidades de conmutación relativamente rápidas.

Una vista transversal de una sola celda de un P-MCT se muestra en la figura 26-7a. Un P-MCT completo está compuesto por muchos miles de estas celdas fabricadas en forma integral en el mismo chip de silicio, y todas las celdas se conectan eléctricamente en paralelo. La parte del tiristor del dispositivo tiene la misma estructura que un tiristor convencional. La zona de tipo *p* más cercana al cátodo, la zona base del transistor *npn* en el modelo de dos BJT de la sección del tiristor de la figura 26-7b, es la zona un poco dopada que debe contener la zona de despoblación de la unión de bloqueo J_2 cuando el dispositivo está apagado. El ON-FET es un MOSFET de canal *p*, y el OFF-FET, un MOSFET de canal *n*.

Estos MOSFET se ubican alrededor del ánodo del MCT, como lo muestra la figura 26-7a, y de esta manera los MOSFET comparten el mismo lado o superficie del chip de silicio que el ánodo. Cada celda contiene un OFF-FET, pero la mayoría de las celdas carece de ON-FET. Por lo regular, más o menos 1 de cada 20 celdas contiene un ON-FET. Debido al empaque estrecho de las celdas, si se enciende una de ellas, las celdas adyacentes se encienden también, pues algunos portadores excedentes en la celda con el ON-FET pueden difundirse a las celdas adyacentes y proporcionarles de este modo los portadores excedentes necesarios para el encendido. Un circuito equivalente para el P-MCT se muestra en la figura 26-7b, que no sólo incluye el modelo de dos BJT de la parte del tiristor del dispositivo, sino también el ON-FET y el OFF-FET. El símbolo de circuito del P-MCT se muestra en la figura 26-7c.

Una vista transversal de una celda individual de un N-MCT se muestra en la figura 26-8a. Igual que el P-MCT, un N-MCT completo está compuesto por muchos miles de estas celdas fabricadas de manera integral sobre el mismo chip de silicio, todas conectadas eléctricamente en paralelo. La parte del tiristor del dispositivo tiene la misma estructura *pnpn* que un tiristor convencional. La zona un poco dopada que debe contener la capa de degradación de la unión de bloqueo J_2 se coloca en la zona de tipo *n* más cercana al

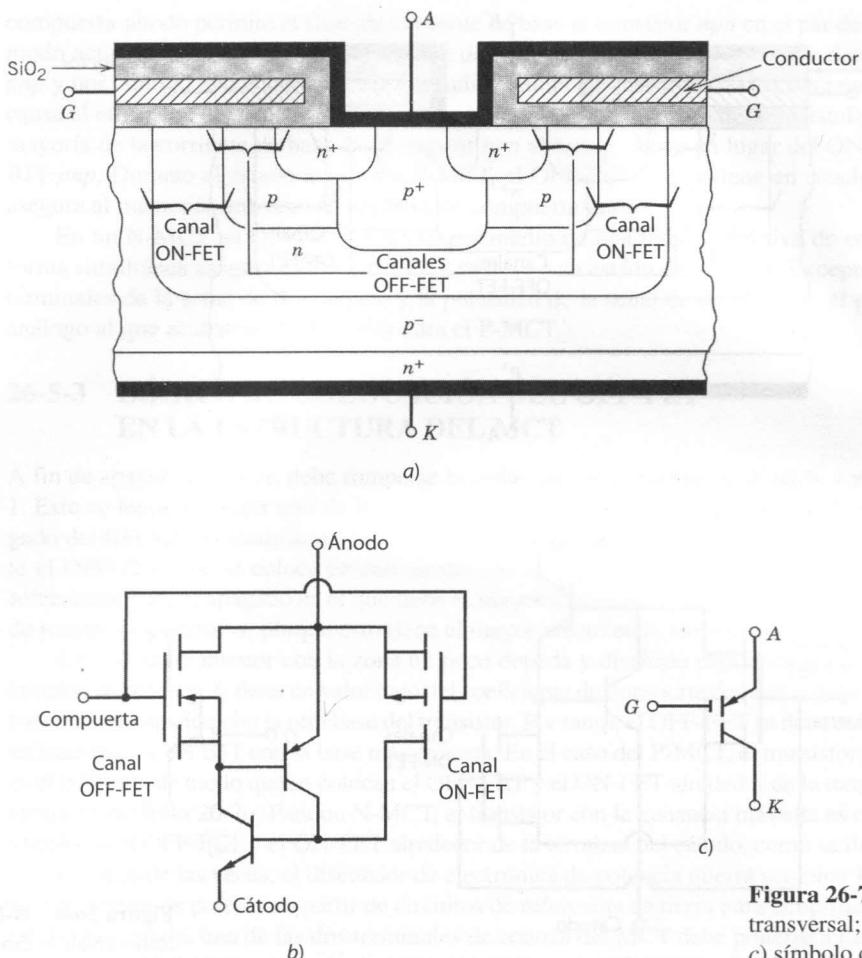


Figura 26-7 P-MCT: a) vista transversal; b) circuito equivalente; c) símbolo de circuito.

ánode. Esta zona de tipo *p* también funciona como base del transistor *pnp* en el modelo de dos BJT del tiristor. El ON-FET es un MOSFET de canal *n* y el OFF-FET es un MOSFET de canal *p*. Estos MOSFET se ubican alrededor del cátodo, como lo muestra la figura 26-8a, y comparten el mismo lado del chip de silicio que el cátodo. Cada celda contiene un OFF-FET, pero sólo una de cada 20 celdas tiene un ON-FET. Un circuito equivalente para el N-CMT se muestra en la figura 26-8b, que incluye no sólo el modelo de dos BJT de la parte del tiristor del dispositivo, sino también el ON-FET y el OFF-FET. El símbolo de circuito para el N-MCT se muestra en la figura 26-8c.

La característica estática *i-v* de ambos tipos de MCT es en esencia la misma que la de un GTO. Por tanto, no lo repetiremos aquí. Los MCT disponibles a la fecha están diseñados para el bloqueo asimétrico y tienen escasa capacidad de bloqueo inverso, por lo general sólo alrededor de 25 V. Aunque el dispositivo es un interruptor de enclave, es necesario mantener la señal de activación correctamente activada tanto en estado activo como inactivo. Si se permite que la señal de activación se vaya a cero se abre la posibilidad de un encendido o apagado no deseado, debido a los grandes valores dc/dt que se aplican a las terminales de ánodo-cátodo del MCT.

26-5-2 ENCENDIDO Y APAGADO CONTROLADO POR EL MOSFET

Suponga que el N-MCT de la figura 26-8 está encendido y se debe apagar. El apagado se realiza mediante el encendido del OFF-FET de canal *p* en el circuito equivalente de la figura 26-8b, al aplicar un voltaje negativo de compuerta-cátodo al MCT. Cuando el OFF-FET conduce, pone en cortocircuito la unión de base-emisor del transistor *npn* en el par de tiristores, y la corriente de base al transistor se desvía a través del OFF-FET. Esto causa que el transistor *npn* comience a apagarse, pues la carga almacenada en la base

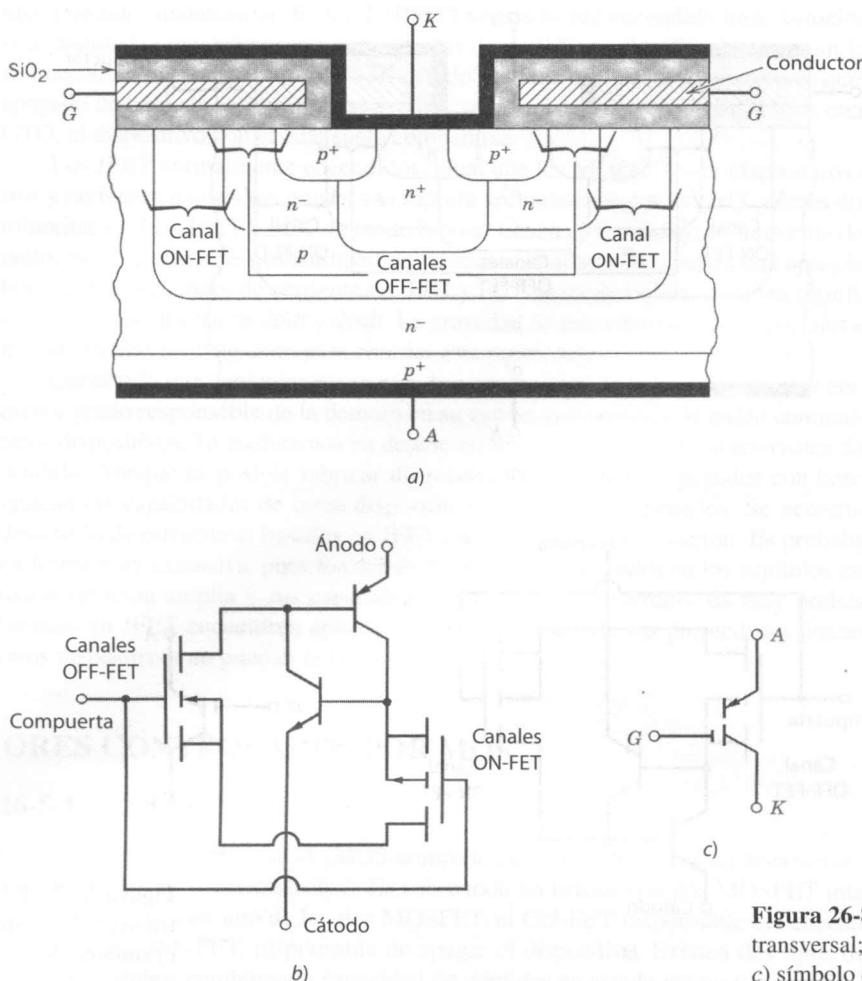


Figura 26-8 N-MCT: a) vista transversal; b) circuito equivalente; c) símbolo de circuito.

del transistor desaparece y no se repone. La ganancia de corriente npn del BJT cae a un valor bajo donde ya no se satisface la condición de enclave del tiristor. Una vez que esto ocurre, el tiristor se apaga a sí mismo por acción regenerativa. Durante la desconexión del tiristor, el otro MOSFET en el circuito, el ON-FET de canal n , se mantiene en estado de bloqueo por la tensión negativa de compuerta-cátodo.

El P-MCT se apaga en forma análoga. Sin embargo, debido a la diferencia de estructura, la señal de desbloqueo debe ser y aplicarse entre la compuerta y el ánodo (compuerta positiva y ánodo negativo). El OFF-FET de canal n pone en cortocircuito la unión de base-emisor del transistor pnp en el par de tiristores.

Para apagar cualquiera de los tipos de MCT es esencial que la tensión de drenaje-fuente del OFF-FET conducente se mantenga muy por debajo de 0.7 V, el valor de la tensión de base-emisor que causa que el BJT se encuentre en la zona activa. Este requisito significa que hay una corriente máxima de estado activo a través del MCT que se apaga por medio del control de compuerta. Cuando se activa el OFF-FET para apagar el MCT, la corriente de estado activo debe pasar a través del OFF-FET. Cuando esta corriente es más grande que un valor especificado, la caída de tensión a través del OFF-FET excede 0.7 V, y el BJT no se apaga.

Si un P-MCT y un N-MCT se fabrican para ser lo más equivalentes posible, es decir, si tienen el mismo tamaño y los mismos niveles de dopaje, el P-MCT es capaz de apagar una corriente más o menos tres veces más grande que un N-MCT. Esto se debe a que un OFF-FET en un P-MCT es un MOSFET de canal n con un valor de resistencia en estado activo tres veces más pequeño que la resistencia en estado activo de un dispositivo de canal p de tamaño similar. La diferencia en las resistencias de estado activo es resultado de que la movilidad de los electrones en el silicio es aproximadamente tres veces mayor que la movilidad de los huecos.

El encendido se realiza al llevar el ON-FET al estado conductor y al mismo tiempo llevar el OFF-FET a su estado de bloqueo. El encendido del ON-FET en un P-MCT por medio de una tensión negativa de

compuerta-ánodo permite el flujo de corriente de base al transistor *npn* en el par de tiristores, lo que de este modo activa el transistor *npn*. La corriente del colector al transistor *npn* fluye desde la base del transistor *pnp* y por tanto lo enciende. Una vez encendidos ambos transistores, la acción regenerativa de la conexión causa el enganche del tiristor. La mejor característica de conducción del transistor *pnp* asegura que lleve la mayoría de la corriente de base del transistor *npn* al estado activo en lugar del ON-FET en paralelo con el BJT *pnp*. Durante el estado activo del P-MCT, el OFF-FET se mantiene en estado de bloqueo, lo cual se asegura al mantener una tensión negativa de compuerta-ánodo.

En un N-MCT, el ON-FET se activa por medio de una tensión positiva de compuerta-cátodo que en forma simultánea asegura que el OFF-FET se lleve a su estado de bloqueo. Excepto por los cambios en las terminales de la señal de desbloqueo y la polaridad de la señal de desbloqueo, el proceso de encendido es análogo al que acabamos de describir para el P-MCT.

26-5-3 LÓGICA DE COLOCACIÓN DEL OFF-FET EN LA ESTRUCTURA DEL MCT

A fin de apagar un tiristor, debe romperse la condición de enganche $\alpha_1 + \alpha_2 \approx 1$ al hacer que $\alpha_1 + \alpha_2 \ll 1$. Esto se logra al apagar uno de los dos transistores en el circuito equivalente de dos transistores. El apagado del BJT seleccionado se realiza al poner en cortocircuito la base del transistor con su emisor mediante el OFF-FET, que se coloca en derivación con las terminales de base-emisor. El transistor que se debe seleccionar para el apagado es el que tiene la mayor ganancia, es decir, el valor más grande del coeficiente de transporte de base α , porque esto tiene el mayor efecto en la reducción de la suma $\alpha_1 + \alpha_2$.

La base del transistor con la zona un poco dopada y diseñada para contener la capa de degradación de la unión de bloqueo J_2 tiene un valor bajo del coeficiente de transporte de base α debido al mayor espesor de la base en comparación con la otra base del transistor. Por tanto, el OFF-FET se debe colocar entre las terminales de base-emisor del BJT con la base más angosta. En el caso del P-MCT, el transistor con la ganancia más alta es el BJT *pnp*, de modo que se colocan el OFF-FET y el ON-FET alrededor de la terminal del ánodo, como se ilustra en la figura 26-7a. Para un N-MCT, el transistor con la ganancia más alta es el BJT *npn*, de modo que se colocan el OFF-FET y el ON-FET alrededor de la terminal del cátodo, como se ilustra en la figura 26-8a.

Las más de las veces, el diseñador de electrónica de potencia querrá accionar las terminales de control del interruptor de potencia a partir de circuitos de referencia de tierra para simplificar los circuitos en general. De este modo, una de las dos terminales de control del MCT debe ponerse a tierra física. Esto significa que un N-MCT debe tener su cátodo conectado a tierra y un P-MCT debe tener su ánodo conectado a tierra. De este modo, el N-MCT se usa en circuitos con tensiones/fuentes de alimentación de CC como el convertidor reductor de la figura 26-9a. El mismo circuito accionado por una alimentación negativa de CC usaría un P-MCT, como se muestra en la figura 26-9b.

26-5-4 COMPORTAMIENTO DE CONMUTACIÓN DEL MCT

Los MCT comutan con gran velocidad de apagado a encendido y de encendido a apagado, con tiempos de conmutación normales de 1 μ s. La figura 26-10 muestra las formas de onda aproximadas de conmutación del N-MCT para el convertidor reductor de la figura 26-9a. El circuito no contiene amortiguadores protectores, por lo que el MCT opera en un modo de conmutación dura.

Se usan dos tiempos de conmutación para caracterizar las formas de onda del encendido del MCT. El tiempo de retraso de encendido $t_{d,enc}$, que se muestra en la figura 26-10, se establece básicamente por la

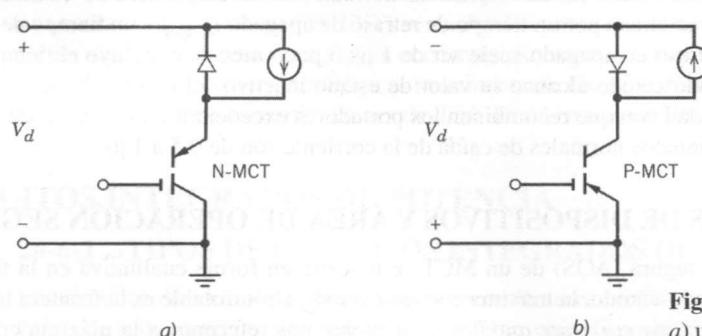


Figura 26-9 Convertidor reductor que usa a) un N-MCT y b) un P-MCT.

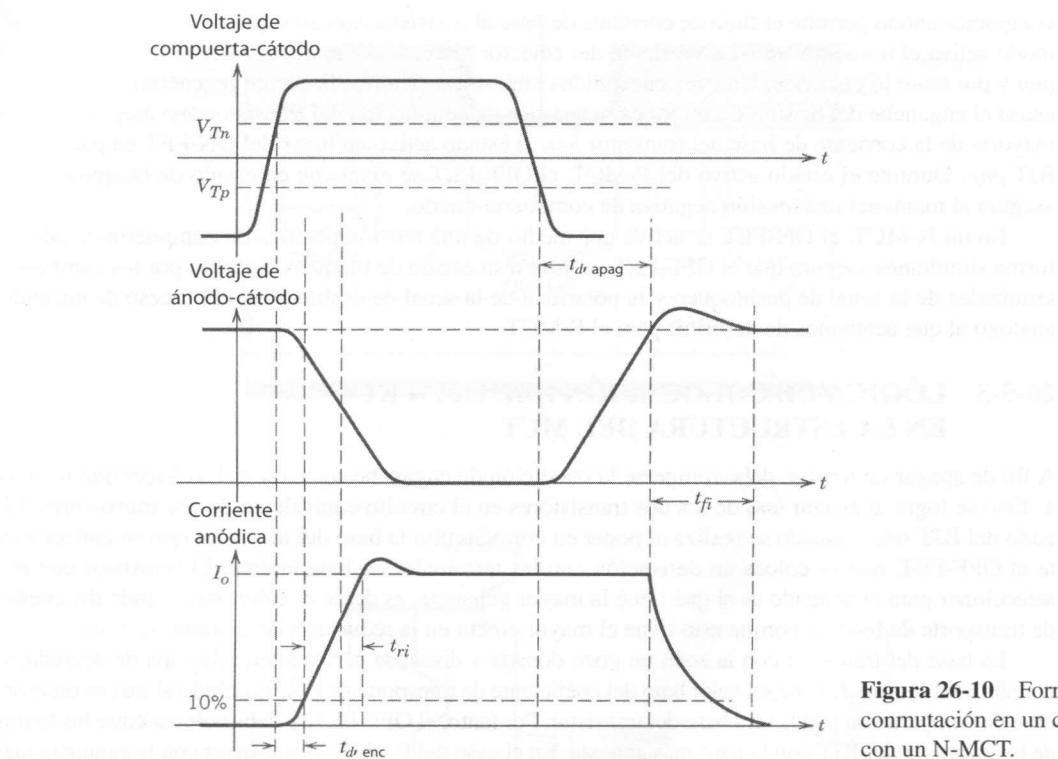


Figura 26-10 Formas de onda de conmutación en un convertidor reductor con un N-MCT.

velocidad con que ocurre la inyección sustancial de portadores excedentes a las bases de los transistores. En cuanto hay una cantidad sustancial de portadores excedentes en las zonas de bases, comienza la acción regenerativa del tiristor. Los valores normales del tiempo de retraso de encendido son más o menos de $0.5 \mu\text{s}$. Hacia el final del tiempo de retraso de encendido, la corriente empieza a subir rápidamente, y el tiempo de subida de la corriente t_{ri} caracteriza a este intervalo. Los valores normales de t_{ri} son $0.5 \mu\text{s}$, y se definen por la velocidad con que el plasma de portadores excedentes se extiende a través de toda el área transversal de cada celda. Como cada celda tiene un área relativamente pequeña, este tiempo es muy breve.

Durante el encendido, el MCT no parece tener las formas de onda normales de conmutación dura sino que parece protegido por un circuito de amortiguadores de encendido porque la corriente sube conforme baja la tensión de ánodo-cátodo. Esto se debe a que la corriente sube muy rápido en el MCT debido a la acción regenerativa de la estructura del tiristor. Fácilmente se alcanzan valores de di/dt en el rango de 500 a 1 000 A/ μs , y por tanto incluso una pequeña cantidad de inductancia parásita L_σ , como $0.3 \mu\text{H}$, actúa como amortiguador de encendido ($L_\sigma di/dt = (3 \times 10^{-7} \text{ H})(500 \text{ V}/\mu\text{s}) = 150 \text{ V}$).

Durante el encendido es necesario que el tiempo de subida del voltaje de compuerta-cátodo hasta su valor final de estado activo no sea más lento que un límite superior especificado, por lo general de alrededor de 200 ns. Este requerimiento proviene de la necesidad de asegurar que todas las celdas del MCT en paralelo (normalmente 10^5 o más) enciendan al mismo tiempo a fin de reducir los problemas de apiñamiento de corriente.

El apagado del MCT tiene las características normales de un dispositivo de conmutación dura, y las formas de onda se caracterizan por un tiempo de retraso de apagado $t_{d, \text{apag}}$ y un tiempo de caída de corriente t_{fi} . El tiempo de retraso de apagado suele ser de $1 \mu\text{s}$ o poco menos, e incluye el tiempo requerido para que la tensión de ánodo-cátodo alcance su valor de estado inactivo. El tiempo de caída de la corriente se controla por la velocidad con que recombinen los portadores excedentes en las zonas de base de la estructura del tiristor. Los tiempos normales de caída de la corriente son de 0.5 a $1 \mu\text{s}$.

26-5-5 LÍMITES DE DISPOSITIVOS Y ÁREA DE OPERACIÓN SEGURA

El área de operación segura (AOS) de un MCT se muestra en forma cualitativa en la figura 26-11. Con tensiones bajas de ánodo-cátodo, la máxima corriente anódica controlable es la frontera limitante del AOS. Con el término de *máxima corriente anódica controlable* nos referimos a la máxima corriente de estado



Figura 26-11 Esbozo cualitativo del área de operación segura del MCT.

activo que se apaga con el control de la compuerta. Este valor se determina por las características del OFF-FET, donde los P-MCT tienen capacidades más o menos tres veces más grandes que los N-MCT.

Más allá de alguna tensión de ánodo-cátodo que dependa mucho de la tecnología, se debe reducir el límite máximo de corriente conforme se incremente la tensión a valores más grandes. Esta reducción se relaciona tanto con consideraciones de disipación de potencia como con un mecanismo interno de avalancha del dispositivo. En un nivel de corriente muy reducido, los valores de tensión permitidos se incrementan rápido a un valor de transición conductiva de corriente cero. Como los MCT son dispositivos nuevos, las AOS se determinan en forma muy conservadora. Se volverán más cuadrados en forma ideal conforme avance la tecnología.

Los dispositivos individuales de MCT disponibles hoy en día tienen capacidades de corriente máximas de alrededor de 100 a 200 A en estado activo y bloquean de 2 000 a 3 000 V en estado inactivo. Si bien las especificaciones de corriente de MCT individuales van a aumentar conforme se mejore la tecnología, jamás van a igualar las capacidades del GTO individual. La razón es que los MCT tienen una estructura de celda muy densa con tamaños de elementos muy pequeños, que se aproximan a 1 μm . Con un gran número de celdas por área de unidad, entre más grande sea el área general del dispositivo, más probable será que una celda provoque un cortocircuito entre ánodo y cátodo. Las consideraciones de rendimiento razonable de producción limitan el área realizable del dispositivo en los MCT. Los tiristores de apagado de compuerta tienen una densidad de celdas mucho más baja porque las celdas son más grandes. Por consiguiente, el área general de un GTO es mucho más grande y por ende tiene una corriente especificada más grande que un MCT antes de que entren en juego consideraciones de rendimiento de producción.

Se obtienen especificaciones de corriente más grandes cuando se conectan varios MCT en paralelo. Se han probado módulos de cuatro a seis MCT conectados en paralelo, y las capacidades de corriente se aproximaron a 1 000 A en estado activo. Estas especificaciones se incrementarán conforme avance la tecnología.

Los MCT también están sujetos a limitaciones de dv/dt y di/dt . La limitación de dv/dt del MCT tiene el mismo origen físico que las limitaciones de dv/dt en tiristores y GTO. A fin de tener límites de dv/dt razonablemente grandes es necesario asegurar que el OFF-FET esté en estado conductor cuando se suponga que el MCT está apagado. Esto se logra mediante la aplicación de una señal de desbloqueo continua a la compuerta del MCT, de modo que el OFF-FET se mantenga en estado conductor. Si se permite que la señal de desbloqueo se vaya a cero durante la operación del estado de bloqueo, entonces incluso valores moderados de dv/dt encenderán el MCT. En la actualidad, los MCT tienen especificaciones de dv/dt de 500 a 1 000 V/ μs .

Los MCT tienen límites de di/dt debido a problemas de apiñamiento de corriente. Como los ON-FET no se distribuyen densamente (es decir, uno por celda) a través de toda la superficie del dispositivo, algunas celdas (las que tienen ON-FET) se encienden antes que el resto. Por ende, se necesitan algunos límites en di/dt para prevenir que fluyan corrientes excesivas en estas celdas. El aumento de la densidad de los ON-FET y otras mejoras tecnológicas incrementarán las especificaciones de di/dt . Los MCT disponibles en la actualidad tienen especificaciones de di/dt de más o menos 500 μs .

26-6 CIRCUITOS INTEGRADOS DE POTENCIA

26-6-1 TIPOS DE CIRCUITOS INTEGRADOS DE POTENCIA

Los circuitos de control de potencia de semiconductores modernos tienen una cantidad considerable de circuitos de accionamiento de control, además del propio dispositivo de potencia. En capítulos anteriores pre-

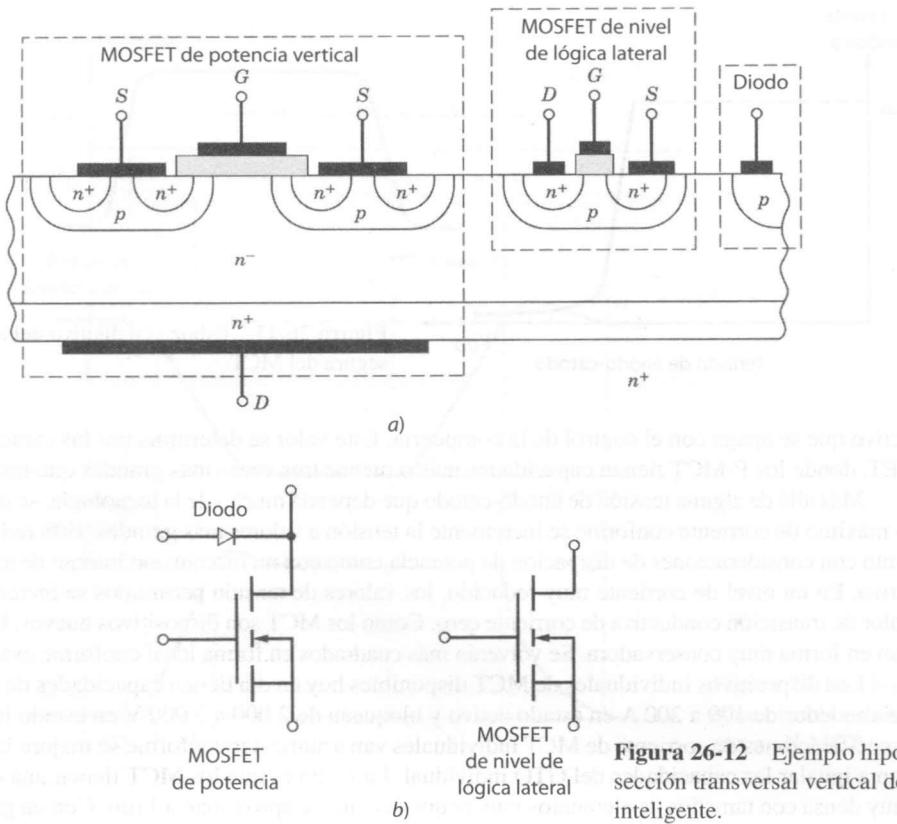


Figura 26-12 Ejemplo hipotético simple de la sección transversal vertical de un interruptor inteligente.

sentamos varios ejemplos de esto. Los circuitos de control a menudo incluyen conjuntos de circuitos lógicos controlados por microprocesadores. La inclusión de estos sistemas de circuitos de control y accionamiento en el mismo chip u oblea que el dispositivo de potencia, simplificaría en forma importante el diseño general de circuitos y ampliaría el rango de aplicaciones potenciales. De esta integración resultaría un sistema de control de potencia más económico y confiable. En general, se obtendría una reducción de la complejidad (menos componentes separados) de los circuitos y sistemas en estos circuitos integrados de potencia.

Tal integración ya se ha demostrado en muchas aplicaciones. Hay tres clases de circuitos integrados de potencia, incluso los *interruptores inteligentes*, circuitos integrados de alta tensión (HVIC) y módulos discretos. El dominio de los circuitos integrados de potencia, en particular los interruptores inteligentes y HVIC, se considera para niveles de corriente menores de 50 a 100 A y voltajes de más o menos 1 000 V o menores. Los módulos discretos cubren un rango de tensión-corriente mucho más amplio.

Los interruptores inteligentes son dispositivos de potencia a los que se agregan componentes, hasta que no se requieran cambios mayores a la secuencia de proceso de dispositivos de potencia verticales. Elementos como sensores integrados en el chip para sobrecorrientes y sobretemperaturas, así como partes de circuitos de accionamiento, son ejemplos de lo que se puede incluir. Un ejemplo hasta cierto grado hipotético de un interruptor inteligente se muestra en la figura 26-12. La unión pn formada a partir de la región de arrastre N⁻ y la región del cuerpo P siempre es de polarización inversa si el drenaje del MOSFET de potencia vertical es positivo respecto de la fuente, y por tanto esta unión provee el aislamiento eléctrico entre los MOSFET laterales y verticales.

Los circuitos integrados de alta tensión (HVIC) se fabrican mediante un proceso convencional de nivel lógico, pero con algunas modificaciones que permiten también fabricar dispositivos laterales de alta tensión en el chip compatibles con los dispositivos de baja tensión. Dos simples ejemplos hipotéticos de HVIC se muestran en la figura 26-13. Estos ejemplos se distinguen entre sí por la manera en que se realiza el aislamiento eléctrico entre los diversos dispositivos. Los HVIC actuales son mucho más complejos.

Los módulos discretos están compuestos por múltiples chips montados en un sustrato aislante común y herméticamente sellados en un solo paquete. Los diversos chips pueden incluir dispositivos de potencia verticales, un chip de circuito de accionamiento y un chip de circuito de control (quizás incluso un contro-

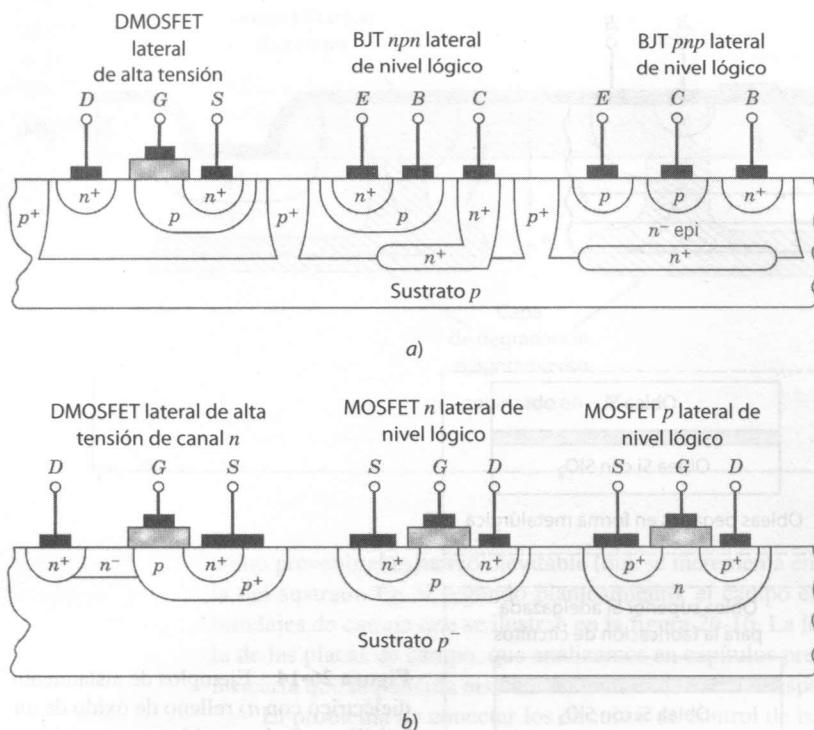


Figura 26-13 Ejemplos hipotéticos simples de circuitos integrados de alta tensión. En *a)* se realiza el aislamiento eléctrico mediante el aislamiento de la unión, mientras que en *b)* se usa el autoaislamiento.

lador PWM), y tal vez alguna otra funcionalidad. Aunque este planteamiento no es un método de fabricación por completo integral, lo incluimos debido a su potencial y su aplicación extensa en la actualidad en comparación con los interruptores inteligentes o los HVIC.

26-6-2 RETOS QUE ENFRENTA LA COMERCIALIZACIÓN DE CIP (POWER-INTEGRATED-CIRCUITS)

El uso de circuitos integrados de potencia (CIP) en aplicaciones de electrónica de potencia, enfrenta varios retos tanto técnicos como económicos. Los problemas técnicos incluyen los siguientes:

1. Aislamiento eléctrico de componentes de alta tensión contra componentes de baja tensión.
2. Los dispositivos de manejo de potencia térmicos suelen operar a temperaturas más altas que los dispositivos de baja tensión.
3. Las interconexiones integradas en los chips con un conductor de alta tensión corren a través de dispositivos de baja tensión o zonas de baja tensión.
4. El proceso de fabricación debe proveer el rango completo de dispositivos y componentes: transistores (BJT, MOSFET, IGBT), diodos, reóstatos, condensadores, etcétera.

Además, el uso de circuitos integrados de potencia enfrenta varios problemas económicos, como los siguientes:

1. Altos costos de desarrollo iniciales antes de cualquier corrida de producción.
2. Diferenciales de costos entre los tres tipos de CIP.
3. Necesidad de aplicaciones de alto volumen para recuperar grandes gastos de desarrollo.

26-6-3 AVANCE EN LA RESOLUCIÓN DE LOS RETOS

El aislamiento de dispositivos de baja tensión a partir de elementos de alta tensión se realiza por medio del aislamiento dieléctrico, aislamiento de la unión *pn* o autoaislamiento. El aislamiento dieléctrico se aplica de dos maneras. En la figura 26-14*a*, el aislamiento consiste básicamente en grabar o plasmar en el chip o la oblea para luego hacer crecer una capa de dióxido de silicio en ella. Luego se deposita una capa de silicio

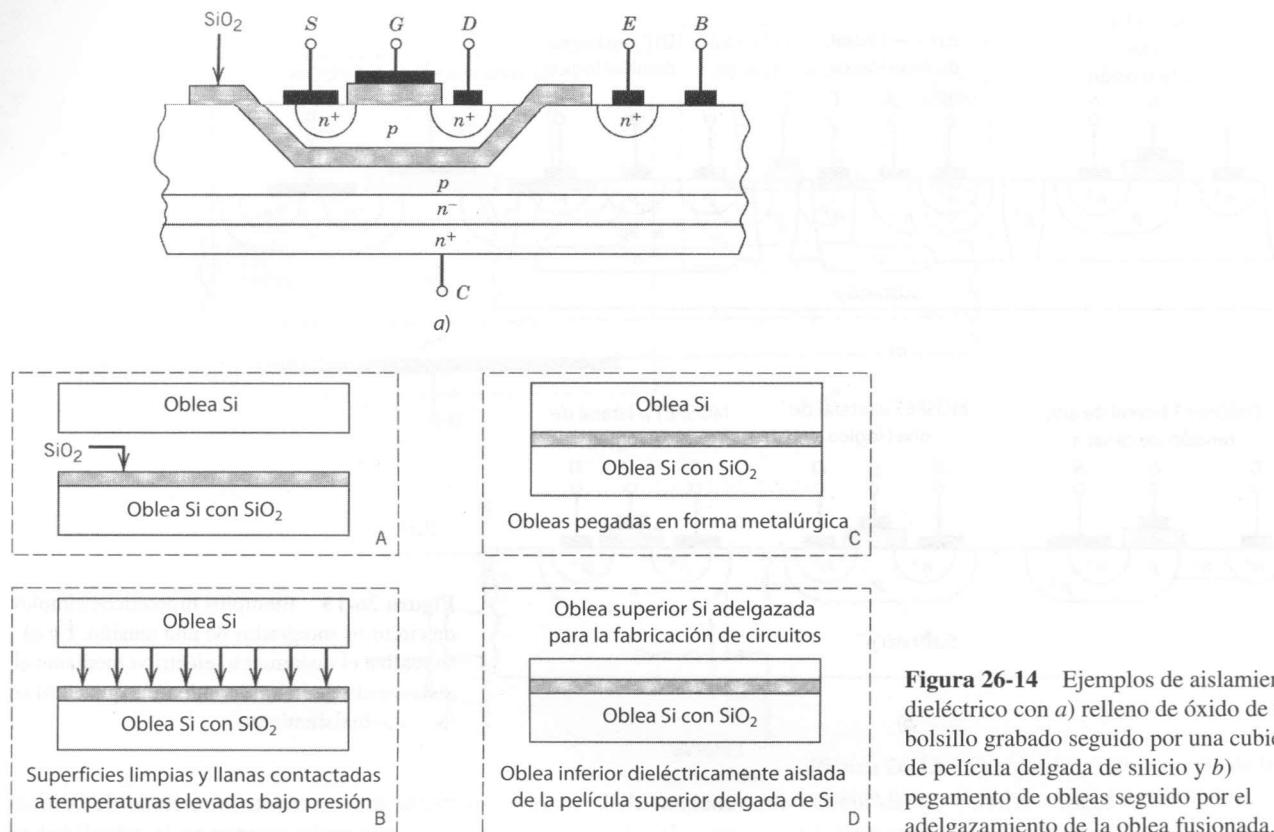


Figura 26-14 Ejemplos de aislamiento dieléctrico con a) relleno de óxido de un bolsillo grabado seguido por una cubierta de película delgada de silicio y b) pegamiento de obleas seguido por el adelgazamiento de la oblea fusionada.

en el SiO_2 . Después de recocer el silicio depositado a altas temperaturas, se recristaliza y entonces sirve para fabricar dispositivos de baja tensión. Otra forma es la técnica de adhesión de obleas, en la figura 26-14b. El aislamiento dieléctrico no tiene dispositivos parásitos, como diodos, que se activen en ciertas circunstancias e impidan el aislamiento. En la actualidad, el aislamiento dieléctrico es relativamente caro y provoca rendimientos más bajos en comparación con el aislamiento de la unión o el autoaislamiento, métodos que describiremos a continuación.

El aislamiento de la unión, por otro lado, es mucho más económico y sencillo. Se fabrica una unión pn de forma que rodee por completo el área por aislar, como se diagrama en la figura 26-13a para el HVIC. Esta unión se pone luego en polarización inversa en todo momento, con lo que se logra el aislamiento deseado. Se ha demostrado un aislamiento de unión de 1 000 voltios. La principal desventaja de este método de aislamiento es el diodo parásito que viene con él. Los problemas potenciales con este diodo incluyen el posible encendido y corrientes de disipación dependientes de la temperatura.

Si se usan sólo dispositivos de MOSFET en el circuito integrado, se puede usar también el autoaislamiento. En el autoaislamiento, todos los MOSFET tienen el mismo tipo de dopaje (tipo n o tipo p) para sus zonas de cuerpo, y el sustrato también tiene este tipo de dopaje. Esta situación se ilustra en la figura 26-13b. Los dopajes de drenaje y fuente están en las zonas del cuerpo y la unión pn de drenaje-cuerpo está en todo momento en polarización inversa, y por tanto provee el aislamiento entre los drenajes de los diferentes MOSFET. Las fuentes de todos los MOSFET están conectadas entre sí cuando se usan cortocircuitos de cuerpo-fuente.

Todavía no hay una medida por completo efectiva de interconexiones de alta tensión en el chip o la oblea. La dificultad básica es que donde sea necesario que pase una interconexión a través de una zona de aislamiento o alguna otra región muy dopada en un potencial significativamente diferente de la interconexión, las líneas equipotenciales entre las zonas de alta y baja tensión tienen una curvatura apreciable. Esto produce una cantidad considerable de “apiñamiento de campo”, como se ilustra en la figura 26-15 para el caso de una zona de aislamiento. Este apiñamiento de campo genera una ruptura prematura de la zona de aislamiento y pone de este modo en cortocircuito a la alta tensión con la tierra.

Dos posibles soluciones son los aislantes gruesos y los blindajes de campo. El uso de aislantes más espesos requiere más investigación y desarrollo. Todavía no se sabe cuál es el aislante más adecuado ni

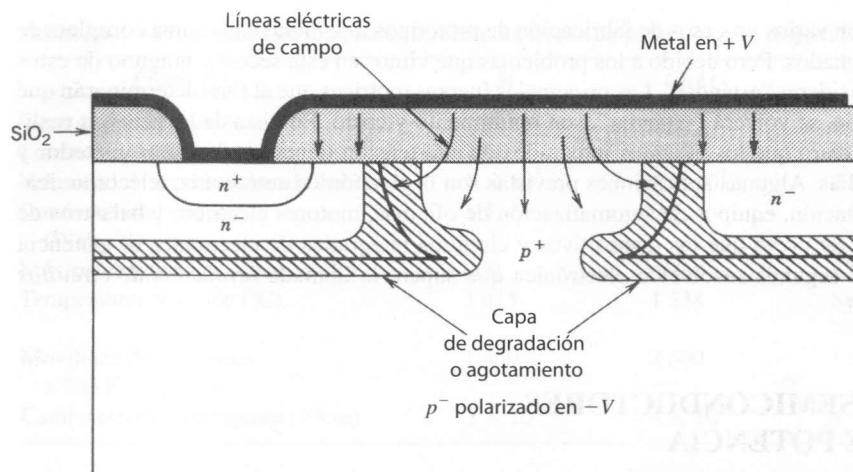


Figura 26-15 Apiñamiento de campos eléctricos donde las interconexiones de alta tensión se cruzan sobre una difusión de aislamiento.

cómo prevenir el esfuerzo inevitable (que se incrementa en el material depositado) de deslaminar la película del sustrato. En el segundo planteamiento, el campo en el aislante se uniforma más por medio de los blindajes de campo que se ilustran en la figura 26-16. La lógica de los blindajes de campo es la misma que la de las placas de campo, que analizamos en capítulos previos. Además, el uso de blindajes de campo significaría que la película aislante no tendría que ser tan espesa.

El problema de conectar los circuitos de control de baja tensión a los dispositivos de potencia de alta tensión sin abandonar el chip todavía no se resuelve por completo. Para los circuitos discretos, describiremos métodos especiales, como los transformadores u optoacopladores, en el capítulo 28 para lograr esta interconexión. Los transformadores quedan excluidos si la interconexión se debe hacer en el chip o la oblea. En la actualidad no es factible fabricar circuitos de optoacopladores sobre el chip de silicio donde residen el dispositivo de potencia y el sistema de circuitos de control de tensión baja. La dificultad básica es que la parte de emisión de luz del optoacoplador debe ser de arseniuro de galio, GaAs, y la integración de arseniuro de galio en silicio está aún en una fase temprana de investigación.

El método más factible de conectar circuitos de baja tensión a dispositivos de alta tensión es con circuitos de cambio de niveles. Estos circuitos mantienen una caída de tensión relativamente fija entre dos nodos mientras permiten el flujo de cualquier corriente deseada. Un diodo Zener en ruptura es un ejemplo de un dispositivo que serviría para el cambio de niveles. Se conocen otros circuitos viables, como las llamadas *bombas de carga* (también denominados *multiplicadores de voltaje*). El problema de mantener la diferencia de tensión sin disipación de potencia excesiva es básico, y requerirá más investigación antes de que esté disponible un método de aceptación general de conexión eléctrica.

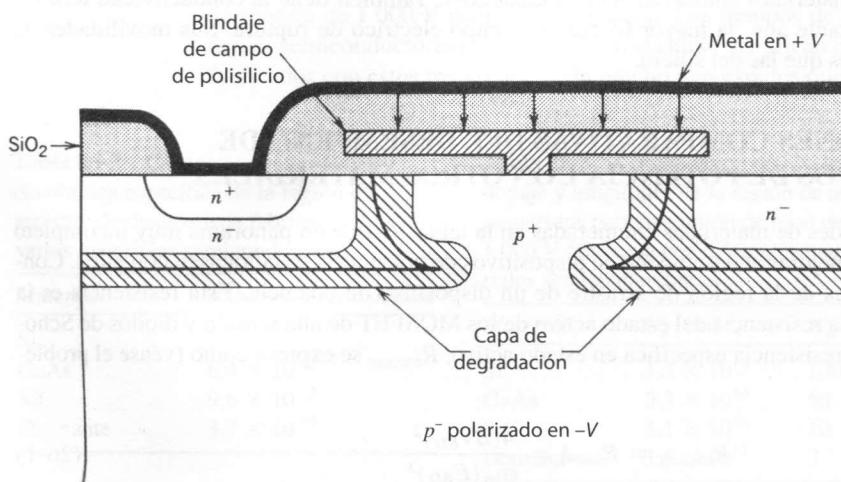


Figura 26-16 Blindaje de campo para reducir el apiñamiento de campos en caso de una interconexión a través de una zona de aislamiento.

Hace poco se probaron varios procesos de fabricación de prototipos que incluyen la gama completa de los dispositivos ya mencionados. Pero debido a los problemas que vimos en esta sección, ninguno de estos procesos aún se puede considerar “estándar”. Las principales fuerzas motrices que al final determinarán qué proceso, si acaso habrá uno, se volverá “estándar”, son rendimiento y costo. En vista de las pruebas realizadas hasta ahora, queda claro que los circuitos integrados de alta tensión tienen un futuro prometedor y tendrán aplicaciones amplias. Algunas aplicaciones previstas son la electrónica automotriz, telecomunicaciones, fuentes de alimentación, equipos de automatización de oficinas, motores eléctricos y balastros de iluminación fluorescente. Se prevé que los dispositivos y circuitos integrados de electrónica de potencia pueden desencadenar una segunda revolución electrónica que supere la llamada *revolución de circuitos integrales* de la actualidad.

26-7 NUEVOS MATERIALES SEMICONDUCTORES PARA DISPOSITIVOS DE POTENCIA

26-7-1 PROPIEDADES DE MATERIALES DE PRUEBA PARA LA SUSTITUCIÓN DE SILICIO

El silicio es hoy en día el único material semiconductor para la manufactura de dispositivos de potencia comerciales. Esto se debe a que el silicio se cultiva en forma de cristales individuales con diámetros mayores y se obtiene la pureza más grande de cualquier semiconductor disponible. Sin embargo, hay otros materiales con propiedades superiores a las del silicio para aplicaciones de dispositivos de potencia. Por desgracia, estos materiales no están disponibles con la pureza o tamaño lo bastante grandes para manufacturar dispositivos.

El arseniuro de galio es un material deseable para la fabricación de dispositivos. Tiene un salto de energía más grande que el silicio, lo que significa que los dispositivos de GaAs se pueden usar con temperaturas más altas que los de silicio (un salto de energía más grande se traduce en densidades intrínsecas de portadores más pequeñas en GaAs que en Si en la misma temperatura). Las movilidades de portadores en GaAs son más grandes que en el silicio, y esto significa que las resistencias en estado activo, en especial en dispositivos de portadores mayoritarios, serían más pequeñas en arseniuro de galio que en silicio. Además, tiene una fuerza de campo eléctrico de ruptura un poco mayor. La tabla 26-1 contiene una lista detallada de las propiedades importantes de GaAs.

El carburo de silicio es un material de gran interés para fabricar dispositivos de potencia. Tiene un salto de energía mucho mayor que el silicio, y esto lo hace más útil en temperaturas altas. Además, la conductividad de SiC es varias veces más grande que la del silicio. La ventaja más importante de SiC en comparación tanto con el silicio como con el GaAs es el orden de magnitud de la fuerza del campo eléctrico de ruptura más grande del carburo de silicio. Un resumen de las propiedades de SiC se da en la tabla 26-1.

El diamante es el material con el mayor potencial para dispositivos de potencia. Tiene el salto de banda más grande de todos los materiales enumerados en la tabla 26-1. También tiene la conductividad térmica más grande y, más importante aún, la mayor fuerza del campo eléctrico de ruptura. Sus movilidades de portadores son más grandes que las del silicio.

26-7-2 ESTIMACIONES COMPARATIVAS DEL DESEMPEÑO DE DISPOSITIVOS DE POTENCIA CON OTROS MATERIALES

Una mirada a las propiedades de materiales enumeradas en la tabla 26-1 da un panorama muy incompleto del grado al que se puede mejorar el desempeño de dispositivos de potencia si se fabrican con ellos. Considere la resistencia óhmica de la región de arrastre de un dispositivo de potencia. Esta resistencia es la contribución dominante a la resistencia del estado activo de los MOSFET de alta tensión y diodos de Schottky. Se comprueba que la resistencia específica en estado activo, $R_{\text{enc,esp}}$, se expresa como (véase el problema 26-7):

$$R_{\text{enc,esp}} = R_{\text{enc}} A = \frac{4(BV_{BD})^2}{\epsilon \mu_n (E_{BD})^3} \quad (26-1)$$

Tabla 26-1 Propiedades de materiales semiconductores con potencial para dispositivos de potencia

Propiedad	Si	GaAs	3C-SiC	6H-SiC	Diamante
Salto de banda a 300 K (eV)	1.12	1.43	2.2	2.9	5.5
Constante dieléctrica relativa	11.8	12.8	9.7	10	5.5
Velocidad de arrastre saturada (cm/s)	1×10^7	2×10^7	2.5×10^7	2.5×10^7	2.7×10^7
Conductividad térmica (W/cm°C)	1.5	0.5	5.0	5.0	20
Máxima temperatura operativa (K)	300	460	873	1 240	1 100
Temperatura de fusión (°C)	1 415	1 238	Sublime	Sublime	Cambio de fase
Movilidad de electrones a 300 K (cm²/V-s)	1 400	8 500	1 000	600	2 200
Campo eléctrico de ruptura (V/cm)	3×10^5	4×10^5	4×10^6	4×10^6	1×10^7

donde A es el área transversal de la región de arrastre. Una manera conveniente de comparar los beneficios potenciales de otros materiales es calcular, con la ecuación 26-1, la resistencia de regiones de arrastre específicas de dispositivos con especificaciones de tensión de ruptura idénticas, pero de otros materiales. Si se comparan todos los dispositivos con el silicio, una relación normalizada de resistencia específica sería

$$\frac{R_{enc}(x)}{R_{enc}(\text{Si})} = \text{relación de resistencia} = \frac{\epsilon_x \mu_x}{\epsilon_{\text{Si}} \mu_{\text{Si}}} \left[\frac{E_{BD,\text{Si}}}{E_{BD,x}} \right]^3 \quad (26-2)$$

donde x es el material que se compara con el silicio. En la tabla 26-2 se muestra una comparación de esta relación de resistencia para todos los materiales enumerados en la tabla 26-1. Los valores de los parámetros de la ecuación 26-2 se tomaron de la tabla 26-1.

Otra forma ilustrativa de comparar los beneficios de estos materiales es calcular el nivel de dopaje de la región de arrastre y la longitud necesaria para soportar un valor específico de tensión de ruptura en un diodo de unión pn. Este tipo de comparación numérica se hace en la tabla 26-3 para una simple unión de paso con una tensión de ruptura de 1 000 V. Se usan la ecuación 20-1 para estimar el nivel de dopaje y la ecuación 20-3 para estimar la longitud de la región de deriva. Los valores numéricos de los parámetros de la ecuación se toman de la tabla 26-1. Las densidades de dopaje más grandes y las longitudes de la región de deriva más cortas que se requieren conforme se avanza del silicio al diamante indican con claridad la superioridad de las propiedades de estos materiales en comparación con el silicio.

Una comparación final útil es estimar el tiempo de vida de los portadores requerido en un diodo de unión pn fabricado con cada material. Esta comparación se muestra en la tabla 26-4; se compiló con la ecuación 20-28 para el tiempo de vida, y expresa la longitud de la región de deriva W_d en la ecuación 20-28 en términos de la ecuación 20-3. Recordará que la ecuación 20-28 se deduce a partir de que la longitud de difusión de portadores debe ser más o menos igual a la longitud de la región de arrastre. Se usó una tensión de ruptura de 1 000 V para la comparación. Los tiempos de vida mucho menores que se requieren en los demás semiconductores comparados con el silicio significan que los dispositivos de portadores minoritarios fabricados con estos materiales serán mucho más rápidos que sus contrapartes de silicio.

Tabla 26-2 Comparación de la resistencia óhmica específica de la región de arrastre de dispositivos fabricados con varios materiales semiconductores

Material	Relación de resistencia
Si	1
GaAs	6.4×10^{-2}
SiC	9.6×10^{-3}
Diamante	3.7×10^{-5}

Tabla 26-3 Comparación de niveles de dopaje y longitudes de la región de arrastre requeridos para una unión de paso de 1 000 V fabricada con diferentes materiales semiconductores

Material	$N_d (\text{cm}^{-3})$	$W_d (\mu\text{m})$
Si	1.3×10^{14}	100
GaAs	5.7×10^{14}	50
SiC	1.1×10^{16}	10
Diamante	1.5×10^{17}	2

Tabla 26-4 Tiempo de vida de portadores requerido en la región de deriva de un diodo de unión pn de una tensión de ruptura especificada de 1 000 V fabricado con diferentes materiales.

Material	Tiempo de vida
Si	1.2 μseg
GaAs	0.11 μseg
SiC	40 nseg
Diamante	7 nseg

26-7-3 RETOS DE LOS NUEVOS MATERIALES SEMICONDUCTORES

Quedan por resolver muchos problemas antes de que los materiales enumerados en la tabla 26-1 sustituyan al silicio. Se han invertido grandes cantidades de tiempo (más de 40 años) y fondos (miles de millones de dólares) en la investigación y desarrollo de dispositivos de silicio. En comparación, los esfuerzos en los otros materiales han sido mínimos. Por tanto, no sorprende que el silicio tenga hoy en día una posición tan dominante en la fabricación de dispositivos de potencia.

Durante los últimos 15 a 20 años se hicieron importantes esfuerzos de investigación de GaAs, motivados por su potencial para circuitos lógicos de alta velocidad, así como también de dispositivos de microondas y su potencial para dispositivos de emisión de luz. Sin embargo, estas investigaciones sólo beneficiaron en forma indirecta a los dispositivos de potencia. Las obleas de cristales individuales de GaAs todavía son demasiado pequeñas (los tamaños más grandes disponibles son de tres pulgadas de diámetro) para dispositivos de corrientes más altas. El control de impurezas no deseadas (que afectan las capacidades de tensión de ruptura y los tiempos de vida de los portadores) es muy deficiente. Además, el GaAs se ve perjudicado por la falta de óxido nativo, que serviría fácilmente como capa de aislamiento o de enmascaramiento. En la actualidad, los tiempos de vida de portadores factibles son demasiado cortos para dispositivos de portadores minoritarios de alta tensión.

El estado de la tecnología de carburo de silicio quedó atrás del estado de GaAs. Las obleas más grandes de carburo de silicio sólo tienen un espesor de una pulgada, y el control de las impurezas no se iguala al control de GaAs. Se necesitan mejoras significativas de los contactos óhmicos y la calidad de la interconexión de $\text{SiO}_2 - \text{SiC}$ antes de realizar la fabricación confiable de dispositivos de potencia. También se necesitan mejoras considerables de la selectividad de los métodos de grabado.

El estado de la tecnología de dispositivos de diamantes es primitivo en comparación con la de otros materiales, incluso el SiC. No hay métodos para fabricar obleas de cristales individuales de diamante. Los métodos para producir películas delgadas de diamante desarrollados en los últimos 10 años generan películas policristalinas. Las técnicas para realizar la difusión selectiva de impurezas son deficientes, y los contactos óhmicos con el diamante requieren mayores esfuerzos de investigación y desarrollo. Un campo principal de problemas son los métodos de grabado selectivo.

26-7-4 TENDENCIAS FUTURAS

En el futuro se pueden esperar mejoras significativas tanto en los materiales básicos como en la tecnología de fabricación de dispositivos de los tres materiales distintos del silicio. La gran inversión en investigación y desarrollo de GaAs durante los últimos 20 años ya empezó a producir resultados tangibles. Durante la primera mitad de 1994 Motorola, Inc., comercializó un diodo de Schottky de GaAs de 600 V. Sin embargo, sólo los dispositivos de GaAs próximos a la introducción comercial encontrarán con probabilidad aplicaciones importantes en la electrónica de potencia. Las comparaciones de la sección 26-7-2 indican con claridad que los dispositivos de GaAs sólo ofrecen mejoras incrementales sobre dispositivos implementados por Si en comparación con dispositivos de SiC y diamante.

Los rápidos avances de la tecnología SiC y el considerablemente mejor desempeño de dispositivos de SiC en comparación con GaAs, limitará el desarrollo de nuevos dispositivos de potencia de GaAs. Como ya señalamos, las obleas de cristales individuales de SiC con una pulgada de diámetros ya están disponibles (principios de 1994), y se esperan mayores diámetros en el futuro cercano (uno a tres años). Un diodo de Schottky de SiC de 1 100 V (a temperatura ambiente) ya se describe en la bibliografía, el cual opera a 400°C con una tensión de ruptura de 460 V. Este dispositivo tuvo una resistencia específica en estado activo con un orden de magnitud menor que el valor teórico de un diodo de Schottky comparable basado en silicio. Además, en forma experimental se han probado MOSFET y BJT de nivel lógico hechos de SiC. Es probable que haya dispositivos de potencia de SiC dentro de 5 a 10 años.

La perspectiva de los dispositivos de potencia de diamante presenta un plazo mucho más largo. Se necesita una cantidad significativa de investigación básica en la mejora de materiales y tecnología de fabricación. El primer referente que se debe alcanzar son métodos para producir obleas de cristales individuales de tamaño razonable (de una a tres pulgadas de diámetro). Los problemas secundarios de contactos óhmicos, dopantes, grabado y similares también requieren grandes esfuerzos de investigación. Es poco probable que haya algún dispositivo de potencia de diamante en el futuro inmediato (los próximos 10 a 20 años).

RESUMEN

En este capítulo investigamos la estructura y características de varios dispositivos y circuitos en estado temprano de desarrollo (por tanto, los clasificamos como dispositivos emergentes), pero que parecen tener propiedades en potencia útiles para aplicaciones de la electrónica de potencia. En esta clasificación se encuentran los transistores de potencia de unión de efecto de campo, a pesar de que estos dispositivos están disponibles, aún no se aceptan ampliamente. A continuación mencionamos las conclusiones principales:

1. Los transistores de unión de efecto de campo son dispositivos de portadores mayoritarios normalmente encendidos con una característica $i-v$ parecida al triodo. Son similares a los MOSFET en sus características de conmutación y tienen pérdidas en estado activo un poco más altas.
2. Los tiristores controlados por el campo tienen la estructura de un JFET con una unión pn inyectora de drenaje-canal que produce una grave modulación de conductividad de la región de drenaje-arrastre y la zona del canal, y por tanto, menos pérdidas de estado activo.
3. El FCT tiene un encendido y apagado controlado por la compuerta y es por tanto un suplemento potencial para el GTO. Parece tener velocidades de conmutación más rápidas que el GTO.
4. Las características de estar normalmente encendidos del JFET y del FCT limitan su uso en aplicaciones de electrónica de potencia. Se puede trabajar con la característica de estar normalmente apagado, pero en la actualidad esto produce mayores pérdidas en estado activo.
5. El MCT es en esencia un GTO con compuertas integradas accionadas por MOS que controlan tanto el encendido como el apagado, y que en potencia simplificarán de manera considerable el diseño de circuitos que usan el GTO.
6. Los circuitos integrados de alta tensión prometen circuitos de accionamiento y circuitos de control de nivel lógico, e incluso quizás elementos sensores para la protección contra la sobrecorriente y la protección térmica, fabricados en el mismo chip que el dispositivo de potencia. Esto bajaría en forma considerable los costos e incrementaría la confiabilidad de dispositivos y sistemas de potencia.
7. Otros materiales semiconductores, como el arseniuro de galio, tienen propiedades como mayores movilidades de portadores que el silicio y son muy deseables para la fabricación de dispositivos de potencia. Sin embargo, la calidad y disponibilidad de estos materiales es hoy en día inferior a las del silicio, y por tanto no se pueden usar para productos comerciales de dispositivos de potencia.

PROBLEMAS

- 26-1 Construya un circuito equivalente para el JFET de potencia (SIT normalmente encendido) parecido al circuito equivalente del MOSFET que sirva para estimar los tiempos de conmutación en aplicaciones de circuitos. Suponga que el JFET trabaja en modo de triodo.
- 26-2 Diseñe un circuito de accionamiento simple para el FCT normalmente encendido. Considere el arreglo de un MOSFET en serie con el cátodo del FCT. Describa en forma cualitativa la operación del circuito y comente las características requeridas del MOSFET.
- 26-3 Considere un diodo de potencia como el de la figura 20-1. El diodo se va a fabricar de arseniuro de galio y silicio, y ambos diodos van a tener la misma caída de tensión en estado activo y capacidad de bloqueo inverso. ¿Qué material tiene el tiempo de vida de portadores más corto, y en qué medida?
- 26-4 ¿Qué espesor aproximado debe tener una capa aislante de dióxido de silicio en un circuito integrado de alta tensión para repeler 1 000 V?
- 26-5 Un N-MCT tiene 10^5 celdas. El OFF-FET conduce 15 mA antes de que el voltaje de drenaje-fuente iguale a 0.7 V. ¿Qué corriente de estado activo se apaga en este MCT?
- 26-6 Suponga que el MCT en el problema 26-5 es un P-MCT, pero que en lo demás es idéntico. ¿Cuál es la máxima corriente controlable del MCT?
- 26-7 Demuestre que la resistencia específica en estado activo de un diodo de Schottky está dada por

$$R_{\text{enc,esp}} = R_{\text{enc}} A = \frac{4(BV_{BD})^2}{\epsilon \mu_n (E_{BD})^3}$$

Suponga que la única resistencia significativa proviene de la región de arrastre del diodo.

- 26-8 Use los resultados del problema 26-7 para comparar la resistencia específica en estado activo de diodos de Schottky fabricados con Si, GaAs, SiC y diamante. Suponga que $BV_{BD} = 500$ V en todos los casos.
- 26-9 ¿Cuál de los materiales semiconductores enumerados en la tabla 26-1 es más adecuado para dispositivos que operan a temperaturas elevadas? Explique a partir de las propiedades físicas fundamentales y no de la tecnología actual de fabricación. En lo posible, sea específico y cuantitativo.
- 26-10 Evalúe las ecuaciones 20-1 y 20-3 numéricamente para GaAs, SiC y diamante.
- 26-11 Se van a fabricar diodos con tensiones de ruptura de 200 V con GaAs, SiC y diamante. Enumere en forma tabular el nivel de dopaje y la región de arrastre de los diodos fabricados con cada material.
- 26-12 Se fabrican diodos con áreas transversales idénticas de Si, GaAs, SiC y diamante. Cuando se usan en el mismo circuito, cada diodo disipa 200 vatios. En el diodo de Si, la unión alcanza los 150°C. ¿Cuál es la temperatura de la unión en los diodos de SiC, GaAs y diamante? Se puede suponer que todos los diodos están montados del mismo modo y que la temperatura de la carcasa en cada diodo es de 50°C.
- 26-13 Considere el JFET de la figura 26-1. Las dimensiones marcadas en la figura tienen los siguientes valores

$$W = 10 \mu\text{m}; I_c = 15 \mu\text{m}; l_{gd} = 35 \mu\text{m}; l_{gs} = 10 \mu\text{m}$$

Los niveles de dopaje son $N^- = 2 \times 10^{14} \text{ cm}^{-3}$ y $P^+ = N^+ = 10^{19} \text{ cm}^{-3}$. Estime el voltaje de estrangulación, V_p , requerido para estrangular el canal.

- 26-14 Para el JFET que se describe en el problema 26-13, suponga que hay 28 zonas de compuerta P⁺ con una profundidad $W = 700 \mu\text{m}$ (dimensión perpendicular al plano del dibujo). Además suponga que las zonas P⁺ tienen un ancho de 10 μm c/u (paralelo a la dimensión del ancho del canal W en la figura 26-7a). Estime la resistencia en estado activo del JFET ($V_{GS} = 0$ V).
- 26-15 Estime de manera aproximada la capacidad de tensión de bloqueo del JFET que se describe en el problema 26-13.

REFERENCIAS

1. B. Jayant Baliga, *Modern Power Devices*, Wiley, Nueva York, 1987, capítulos 7-9.
2. J. Nishizawa, "Junction Field-Effect Devices", *Semiconductor Devices for Power Conditioning*, Roland Sittig y P. Roggwiller (comps.), Plenum, Nueva York, 1982, pp. 241-270.
3. V. A. K. Temple, "MOS-Controlled Thyristors – A New Class of Power Devices", *IEEE Transactions on Electron Devices*, vol. ED-33, núm. 10, octubre de 1986, pp. 1609-1618.
4. M. S. Adler, K. W. Owyang, B. Jayant Baliga y R. A. Kokosa, "The Evolution of Power Device Technology", *IEEE Transactions on Electron Devices*, vol. ED-31, núm. 11, noviembre de 1984, pp. 1570-1591.
5. B. R. Pelly, "Power Semiconductor Devices – A Status Review", *1982 International Power Semiconductor Converter Conference Proceedings*, IEEE, Nueva York, 1982.
6. B. Jayant Baliga y Dan Y. Chen (comps.), *Power Transistors: Device Design and Applications*, IEEE Institute of Electrical and Electronics Engineers, Nueva York, 1984, Parte IV, *Emerging Transistors Technology*, pp. 291-374.
7. T. M. Jahns, R. W. A. A. De Dancker, J. W. A. Wilson, V. A. K. Temple y D. L. Watrous, "Circuit Utilization Characteristics of MOS-controlled Thyristors", *IEEE Transactions on Industrial Applications*, vol. 27, núm. 3, mayo/junio de 1991, pp. 589-597.
8. David L. Blackburn, "Status and Trends in Semiconductor Power Devices", *EPE '93, 5th European Conference on Power Electronics and Applications*, Conference Record, vol. 2, pp. 619-625.
9. Tsunenobu Kimoto, Tatsuo Urushidani, Sota Kobayashi e Hiroyuki Matsunami, "High-Voltage (> 1 kV) SiC Schottky Barrier Diodes with Low On-Resistances", *IEEE Electron Device Letters*, vol. 14, núm. 12, diciembre de 1993, pp. 548-550.
10. Mohit Bhatnager y B. Jayant Baliga, "Comparison of 6H-SiC, 3C-SiC, and Si for Power Devices", *IEEE Trans. on Electron Devices*, vol. 40, núm. 3, marzo de 1993, pp. 645-655.