

# Asistente arquitectónico y generador de CORE

## Introducción

Los FPGA de Xilinx de hoy contienen muchos más recursos que los básicos, LUT, CLB, IOB y enrutamiento. Los FPGA ahora se están utilizando para implementar circuitos digitales mucho más complejos en comparación con la lógica de cola cuando se inventaron. Algunos recursos arquitectónicos complejos, como la sincronización, deben configurarse e instanciarse en lugar de inferirse. También hay circuitos complejos de uso común, como el decodificador ReedSolomon y las herramientas para que un diseñador no tenga que "reinventar la rueda" y desarrollar las funciones básicas por su cuenta. Este laboratorio presenta el asistente de arquitectura y las herramientas del generador CORE disponibles a través del catálogo de IP. Consulte el tutorial de PlanAhead sobre cómo utilizar la herramienta PlanAhead para crear proyectos y verificar circuitos digitales.

## Los objetivos

Después de completar esta práctica de laboratorio, podrás:

- Usar el asistente arquitectónico para configurar el recurso de sincronización.
- Use la herramienta CORE Generator para configurar y usar contadores y memorias

## Asistente Arquitectónico

## Parte 1

Algunos recursos arquitectónicos especializados y avanzados se pueden utilizar de manera eficiente cuando se configuran y se crean instancias correctamente en lugar de inferirlos. Dependiendo de la familia de FPGA que se esté utilizando, la cantidad y los tipos de dichos recursos varían. En la familia Spartan-6LX, el asistente de arquitectura admite recursos de temporización, SelectIO y mitigación de errores suaves (SEM). En la familia Spartan-6LX, hay disponible un recurso de arquitectura adicional, GTP Transceiver. Se accede a estos recursos bajo la capacidad del Catálogo IP de la herramienta PlanAhead.

En la placa Atlys, hay disponible una fuente de reloj de 100 MHz que está conectada al pin L15 del FPGA. Esta fuente de reloj se puede utilizar para generar una serie de relojes de diferentes frecuencias y cambios de fase. Esto se hace mediante el uso de recursos arquitectónicos llamados Digital Clock Manager (DCM) y Phase Locked Loop (PLL) de la familia FPGA Spartan-6LX. El generador de la fuente de sincronización se puede invocar haciendo doble clic en la entrada del Asistente de sincronización en la subcarpeta de sincronización de la Carpeta de características y diseño de FPGA del Catálogo de IP.

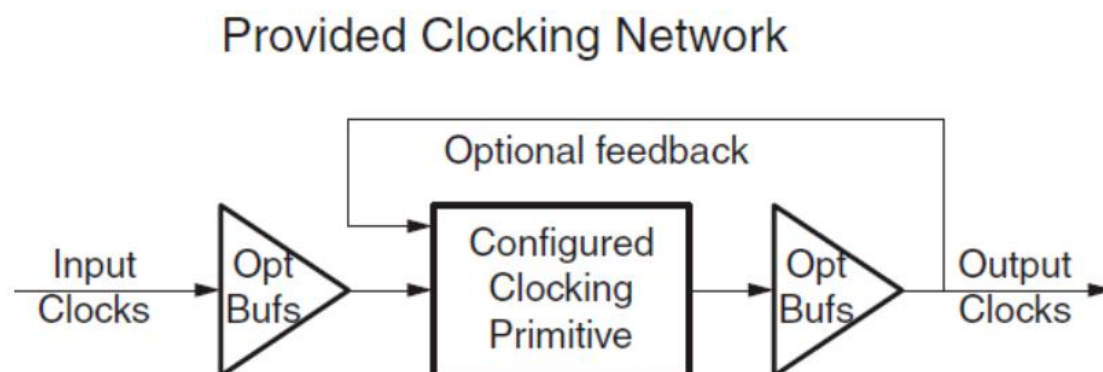
FPGA Features and Design			
Clocking			
Clocking Wizard	3.6	Production	Included
IO Interfaces			
SelectIO Interface Wizard	4.1	Production	Included
Soft Error Mitigation			
Soft Error Mitigation	3.4	Pre-produ...	Included
Math Functions			
Memories & Storage Elements			
Standard Bus Interfaces			
Video & Image Processing			

El asistente facilita la creación de envoltorios de código fuente HDL para circuitos de reloj personalizados para sus requisitos de reloj. El asistente lo guía para configurar los atributos apropiados para su primitiva de reloj, y también le permite anular cualquier parámetro calculado por el asistente. Además de proporcionar una envoltura HDL para implementar el circuito de reloj deseado, el Asistente de reloj también ofrece un resumen de parámetros de tiempo generado por las herramientas de tiempo de Xilinx para el circuito. Las características principales del asistente incluyen:

Acepta hasta dos relojes de entrada y hasta siete relojes de salida por red de reloj

- Elige automáticamente la primitiva de reloj correcta para un dispositivo seleccionado
- Configura automáticamente la primitiva de reloj basándose en las funciones de reloj seleccionadas por el usuario.
- Implementa automáticamente la configuración general que admite los cambios de fase y los requisitos del ciclo de trabajo
- Opcionalmente reforzadores de señales de reloj.

La funcionalidad del núcleo generado puede verse como:



Supongamos que queremos generar un reloj de 5 MHz en fase con un reloj de entrada de 100 MHz. Siga los pasos a continuación para lograr eso:

Haga doble clic en el asistente de reloj. Cuando se abra el asistente, notará que hay seis páginas configurables (pasos):

La primera página tiene parámetros relacionados con el reloj de entrada y las funciones de reloj. Desmarque la página de cambio de fase, se dan el valor de frecuencia de entrada y el rango. Dado que la fuente del reloj real es de 100 MHz, mantendremos el valor predeterminado.

Haga clic en **Next** para ver los parámetros relacionados con los relojes de salida y las frecuencias deseadas. Cambie la Frecuencia de salida solicitada a 1.000 MHz y observe que la frecuencia real que se muestra es 3.125 MHz, ya que es la frecuencia de reloj más lenta que se puede generar utilizando los recursos de reloj. Cambie a 5.000 MHz por ahora.

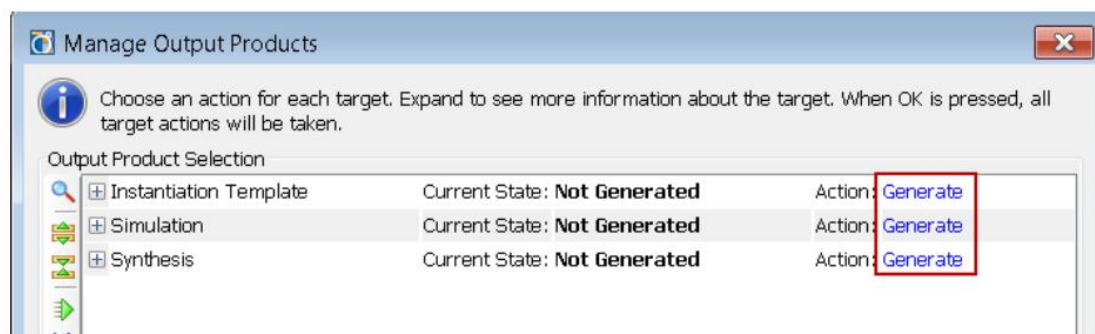
Haga clic en **Next** ara ver la página de configuración de Entradas/Salidas opcionales. Muestra RESET y LOCKED como el puerto seleccionado. Puede desmarcar/verificar cualquiera de los puertos y observar los cambios del diagrama de bloques en el lado izquierdo del asistente. Mantendremos el valor predeterminado, ya que nuestros circuitos tendrán entrada RESET y también nos gusta ver cuándo el reloj está estable.

Haga clic en **Next** para ver la página 4. Se mostrará el uso del recurso de reloj DCM\_SP y el valor de los parámetros calculados. Mantener todo por defecto.

Haga clic en **Next** para ver la página 5 que muestra el resumen del reloj y la denominación de puertos. Mantener todo por defecto.

Haga clic en **Next** y aparecerá la página 6 mostrando los archivos que se generarán. Los archivos importantes son .veo (archivo de plantilla de creación de instancias), .v (el archivo de origen) y .ucf (archivo de restricciones del núcleo). Haga clic en **Generate** y el archivo central (.xci) se generará y agregará al proyecto.

De vuelta en la GUI de PlanAhead, para los núcleos no arquitectónicos, los archivos mencionados anteriormente se generan automáticamente. Sin embargo, para las fuentes arquitectónicas, los archivos deben ser explícitamente generados. Seleccione la entrada .xci en la pestaña Orígenes, haga clic con el botón derecho y seleccione la opción **Generate Output Products...** Aparecerá un formulario que muestra lo que se genera y lo que se puede generar como se muestra a continuación.



Si se selecciona la opción del menú desplegable Generar para la plantilla de creación de instancias, después de hacer clic en Aceptar, el menú generará los archivos .VHO

y relacionados. Preste atención a la ubicación del producto de salida en la parte inferior del menú. Estos archivos son accesibles a través de la pestaña Fuentes de IP. El archivo *.VHO* es la plantilla de creación de instancias VHDL para la IP generada. Aquí hay un ejemplo del contenido del archivo *.VHO*:

```
-- The following code must appear in the VHDL architecture header:
component clk_wiz_v3_6_0
port
  (-- Clock in ports
   CLK_IN1      : in      std_logic;
   -- Clock out ports
   CLK_OUT1     : out     std_logic;
   -- Status and control signals
   RESET       : in      std_logic;
   LOCKED      : out     std_logic
  );
end component;

...

-- The following code must appear in the VHDL architecture
-- body. Substitute your own instance name and net names.
your_instance_name : clk_wiz_v3_6_0
port map
  (-- Clock in ports
   CLK_IN1 => CLK_IN1,
   -- Clock out ports
   CLK_OUT1 => CLK_OUT1,
   -- Status and control signals
   RESET  => RESET,
   LOCKED => LOCKED);
```

**1.1 Diseñar un generador de pulsos de un segundo. Utilice el asistente de reloj para generar un reloj de 5 MHz, dividiéndolo más por un divisor de reloj (escrito en modelos de comportamiento) para generar una señal de un segundo período. Los pasos para usar el Asistente de cronometraje descrito anteriormente (y la plantilla de creación de instancias resultante) se pueden usar para este ejercicio. Utilice la fuente de reloj de a bordo de 100 MHz, el botón BTNU para restablecer el circuito, SW0 como habilitación, LED0 para emitir la señal generada de un segundo y LED7 para emitir la señal de bloqueo del DCM. Ir a través del flujo de diseño, generar el flujo de bits y descargarlo en la placa Atlys. Verificar la funcionalidad. Asegúrese de especificar el idioma del proyecto a VHDL para generar los archivos de salida apropiados.**

Dado que no hay pantallas de 7 segmentos en la placa Atlys hay que conectar 7 segmentos externos que usan cátodos comunes y una pantalla particular se ilumina al afirmar el pin de ánodo correspondiente, se requiere un circuito de escaneo para

mostrar información (dígitos) en más de una pantalla. Este circuito debe dirigir las señales de ánodo y los patrones de cátodo correspondientes de cada dígito en una sucesión continua y repetida, a una velocidad de actualización más rápida de lo que el ojo humano puede detectar. Para que cada uno de los dígitos aparezca brillante e iluminado continuamente, todos los dígitos deseados deben manejarse una vez cada 1 a 16 ms, para una frecuencia de actualización de 1 KHz a 60 Hz. Si la frecuencia de actualización o "refresco" se reduce a alrededor de 45 Hz, la mayoría de la gente comenzará a ver el parpadeo de la pantalla.

**1.2 Implemente un convertidor de binario a BCD para mostrar las entradas binarias de 4 bits convertidas a valores BCD en dos pantallas de 7 segmentos (en lugar de una de 7 segmentos y un LED). Utilice la fuente de reloj de 100 MHz para generar un reloj de 5 MHz y el circuito divisor de reloj apropiado para controlar las dos pantallas de 7 segmentos con una frecuencia de actualización de aproximadamente 500 Hz. Genere el flujo de bits y descárguelo en la placa Nexys3 para verificar la funcionalidad.**

## Sistema generador de CORE

## Parte 2

El sistema Generador CORE, disponible en el Catálogo de IP de la herramienta PlanAhead, le permite configurar y generar varios núcleos funcionales. En el catálogo de IP, los núcleos se agrupan según la funcionalidad que varía desde núcleos básicos simples como un sumador hasta núcleos bastante complejos como el procesador MicroBlaze. También cubre núcleos de diversas áreas de aplicación que van desde Automotor hasta Procesamiento de Video e Imagen.

El proceso de configuración y generación de los núcleos es similar al Asistente de arquitectura. Los núcleos utilizarán diversos recursos, como LUT, CLB, DSP48, BRAM, etc., según sea necesario. Veamos cómo configurar y generar un núcleo de contador.

La generación de la base del contador binario se puede iniciar haciendo doble clic en la entrada Contador binario en la subcarpeta Contadores ubicada en la rama Elementos básicos del catálogo de IP.



Cuando se invoca, verá solo una página de la configuración. Los parámetros de configuración del núcleo incluyen:

Implementar utilizando: Fabric o DSP48

Ancho de salida

Valor de incremento

Se puede cargar, restringir recuento, modo de recuento (arriba, abajo, UPDPWN), borrado sincrónico, habilitación de reloj y varios otros ajustes.

El diseñador puede seleccionar la funcionalidad deseada y hacer clic en el botón Generar. Tenga en cuenta que, a diferencia del asistente de arquitectura, que requiere un paso explícito de generación de plantillas de creación de instancias, los núcleos no arquitectónicos generan automáticamente el archivo de plantillas de instanciación. Los archivos de salida y simulación sintetizados aún deben generarse explícitamente.

**2.1 Use el sistema CORE Generator para generar un simple núcleo de contador de 4 bits que cuenta de 0 a 9 (Sugerencia: use el Threshold output al configurar el núcleo del contador). Instáncielo dos veces para crear un contador BCD de dos dígitos que cuente cada segundo. Use el Asistente de arquitectura para generar un reloj de 5 MHz y luego use el modelado de comportamiento para generar una señal precisa de 1 Hz para impulsar los contadores. Muestra el resultado en las dos pantallas de 7 segmentos. La entrada de diseño será una fuente de reloj de 100 MHz, una señal de reinicio con el botón BTNU y una señal de habilitación con SW0. Verifique la funcionalidad de diseño en hardware utilizando la placa Atlys.**

## Conclusión

En esta práctica de laboratorio, aprendió sobre el asistente de arquitectura y el sistema de generador de CORE disponible en el catálogo de IP de la herramienta PlanAhead. Usó el asistente de arquitectura para generar un reloj de 5 MHz y el Generador CORE para generar un contador. El sistema CORE Generator es una herramienta poderosa que proporciona varios bloques funcionales que permiten una mayor productividad.