

高等计算机体系结构，2021 年春季

作业 2：单周期 vs.多周期微体系结构

主讲教师：栾钟治

助讲教师：杨海龙；助教：孙庆骁

作业下发时间：2021 年 3 月 26 日

作业回收时间：2021 年 4 月 9 日

1 MIPS 单周期微体系结构分析 84 分

图 1 为基本的单周期 MIPS 实现。

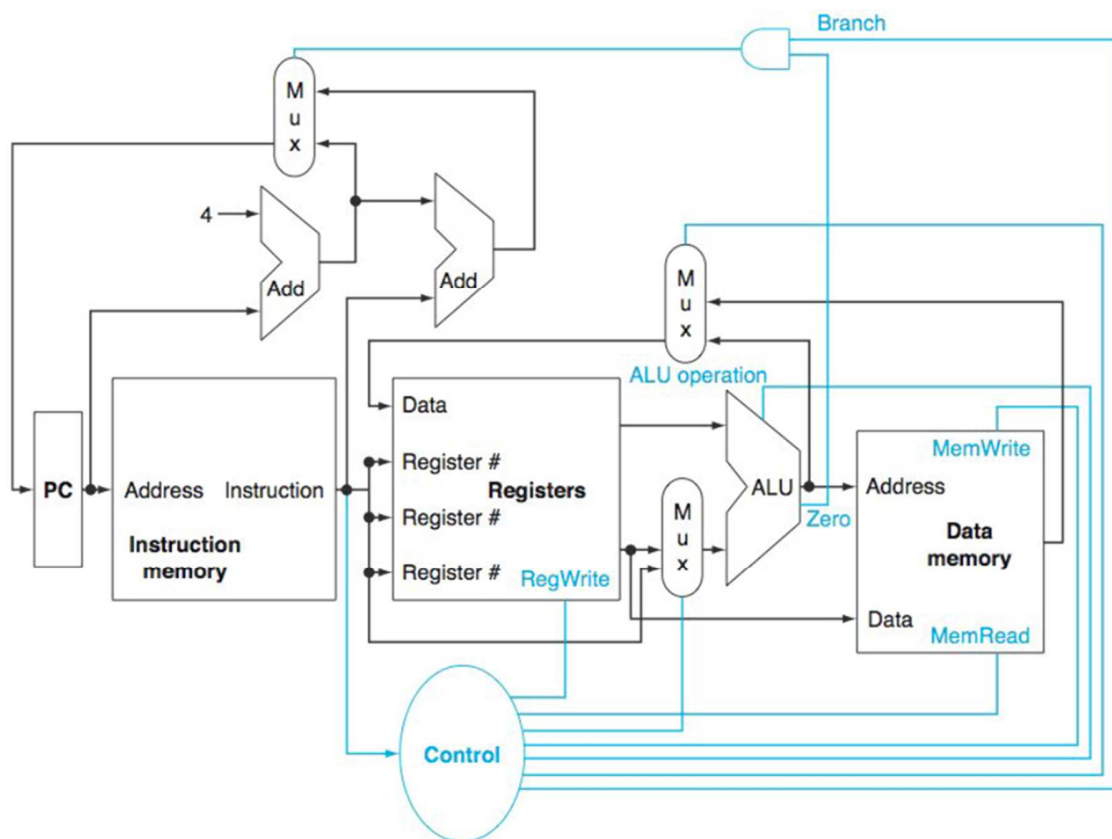


图 1

1.1 不同单元有不同的延迟时间。在图 1 中有七种主要单元。对一条指令而言，关键路径(产生最长延迟的那条路径)上各个单元的延迟时间决定了该指令的最小延迟。假设个单元的延迟时间如下表所示，回答下列 3 个问题。12 分

| 指令存储器 | 加法器 | 多选器 | ALU | 寄存器堆 | 数据存储器 | 控制 |
|-------|-------|------|-------|-------|-------|-------|
| 400ps | 100ps | 30ps | 120ps | 200ps | 350ps | 100ps |

(a) 对一条 MIPS 的与指令(AND)而言, 关键路径是什么?

(b) 对一条 MIPS 的装载指令(LW)而言, 关键路径是什么?

(c) 对一条 MIPS 的相等则分支指令(BEQ)而言, 关键路径是什么?

1.2 图 1 中基本的单周期 MIPS 实现仅能实现某些指令。可以在这个指令集中加入新的指令, 但决定是否加入取决于给处理器的数据通路和数据通路增加的复杂度。对于下表中的新指令而言, 试回答下列 3 个问题。24 分

| 指令 | 解释 |
|------------------|---|
| add3 Rd,Rs,Rt,Rx | $\text{Reg}[\text{Rd}] = \text{Reg}[\text{Rs}] + \text{Reg}[\text{Rt}] + \text{Reg}[\text{Rx}]$ |

(a) 对上述指令而言, 哪些已有的单元还可以被使用?

(b) 对上述指令而言, 还需要增加哪些功能单元?

(c) 为了支持这些指令, 需要在控制单元增加哪些信号?

当设计者考虑改进处理器数据通路时, 往往要考虑性能与成本的折中。假设我们从图 1 的数据通路出发, 其中指令存储器(Instruction Memory)、加法器(Add)、多选器(Mux)、ALU、寄存器堆(Registers)、数据寄存器(Data Memory)和控制单元(Control)的延迟分别为 400ps、100ps、30ps、120ps、200ps、350ps 和 100ps, 相应的成本分别为 1000、30、10、100、200、2000 和 500。试根据表中的改进分别回答下列问题。

| | 改进 | 延迟 | 成本 | 优势 |
|----|---------|------------|-----------|------------------------------------|
| a. | 更快的加法器 | 加法单元-20ps | 每个加法单元+20 | 把已有的加法器用更快的加法器替代 |
| b. | 更大的寄存器堆 | 寄存器堆+100ps | 寄存器堆+200 | 需要更少的 load 和 store 指令。这将导致指令数减少 5% |

(d) 改进前后的时钟周期分别是多少?

(e) 改进后将获得多大的加速比?

(f) 比较改进前后的性能/价格比，进行这样的改进是否有意义？

1.3 本题讨论数据通路中不同的单元延迟对整个数据通路时钟周期的影响，以及指令如何利用不同的数据通路单元。根据下面的两种延迟情况，分别回答下列问题。24 分

| 指令存储器 | 加法器 | 多选器 | ALU | 寄存器堆 | 数据存储器 | 符号扩展 | 左移两位 |
|-------|-------|-------|-------|-------|--------|------|------|
| 500ps | 150ps | 100ps | 180ps | 220ps | 1000ps | 90ps | 20ps |

(a) 如果仅需支持 ALU 类指令(如 add、and 等)，处理器的时钟周期是多少？

(b) 如果仅需支持 lw 类指令，时钟周期是多少？

(c) 如果必须支持 add、beq、lw 和 sw 指令，时钟周期是多少？

假设各类型指令所占比例如下表所示，试根据下表的情况分别回答下列问题。

| add | addi | not | beq | lw | sw |
|-----|------|-----|-----|-----|-----|
| 30% | 15% | 5% | 20% | 20% | 10% |

(d) 数据存储器平均用了多少时钟周期？

(e) 符号扩展电路的输入平均用了多少时钟周期？在未用到该输入的其他时间，符号扩展电路在做什么？

(f) 如果可以将数据通路上某个单元的延迟减少 10%，应该减少哪个单元的延迟？改进后整个处理器的加速比是多少？

1.4 本题讨论处理器时钟周期与控制单元设计之间的相互影响。根据下表的数据通路单元延迟情况分别回答下列问题。24 分

| 指令存储器 | 加法器 | 多选器 | ALU | 寄存器堆 | 数据存储器 | 符号扩展 | 左移两位 | ALU 控制 |
|-------|-------|-------|-------|-------|--------|------|------|--------|
| 500ps | 150ps | 100ps | 180ps | 220ps | 1000ps | 90ps | 20ps | 55ps |

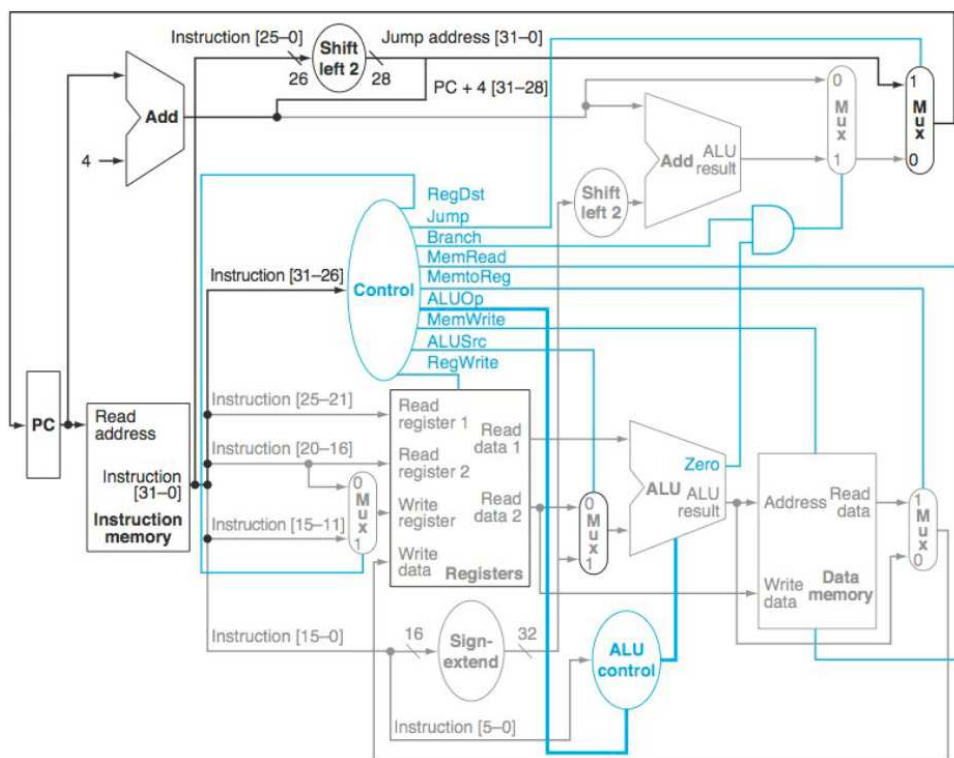


图 4

(a) 为了避免增加图 4 中数据通路的关键路径长度，留给控制单元产生 MemWrite 信号的时间有多少？

(b) 图 4 中哪个控制信号最不关键，控制单元需要在多长时间内产生该信号以避免其成为关键路径？

(c) 图 4 中哪个控制信号最关键，控制单元需要在多长时间内产生该信号以避免其成为关键路径？

假设控制单元产生控制信号的时间如下表所示，试根据表中的情况回答下列问题(各部件的延迟与前面相同)。

| RegDst | Jump | Branch | MemRead | MemtoReg | ALUOp | MemWrite | ALUSrc | RegWrite |
|--------|--------|--------|---------|----------|-------|----------|--------|----------|
| 1600ps | 1600ps | 1400ps | 500ps | 1400ps | 400ps | 1500ps | 400ps | 1700ps |

(d) 处理器的时钟周期为多少？

(e) 如果你可以加速控制信号的产生，但加快一个控制信号 5ps 的代价是处理器成本增加 1 元。那么为了最大化性能你会加速哪些控制信号？这种性能改进的最小代价是多少？

(f) 如果一个处理器的成本已经很高，那么我们需要在维持处理器性能的同时降低其成本，而不是像第(e)问中所作的那样为提高它的性能而买单。如果你可以使用更慢的逻辑来实现对信号的控制，并且单个控制信号每减慢 5ps，处理其成本就可以节省 1 元，那么在保持处理器性能的同时，你会减慢哪些控制信号，并且减慢多少来降低成本？

2 MIPS 多周期微体系结构分析 16 分

1.1 假设在多周期 MIPS 处理器的下列控制信号中存在固定为 0 缺陷，那么哪些指令将会失效？为什么？（数据通路参考图 5，其中不包含 j 指令；图 5 中控制器的内部结构如图 6）12 分

(a) MemtoReg

(b) ALUOp0

(c) PCSrc

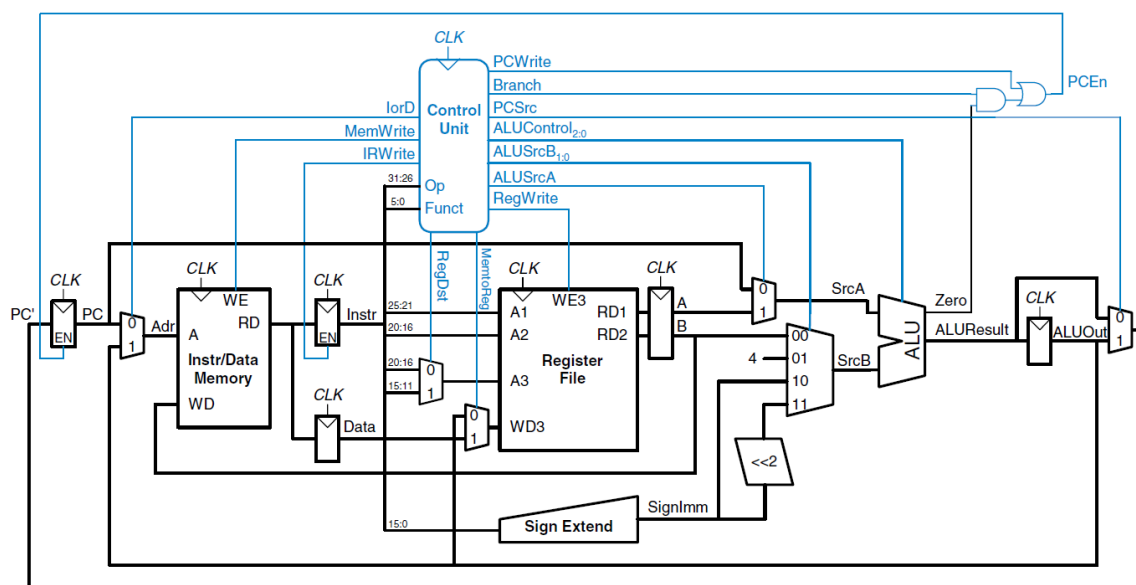


图 5

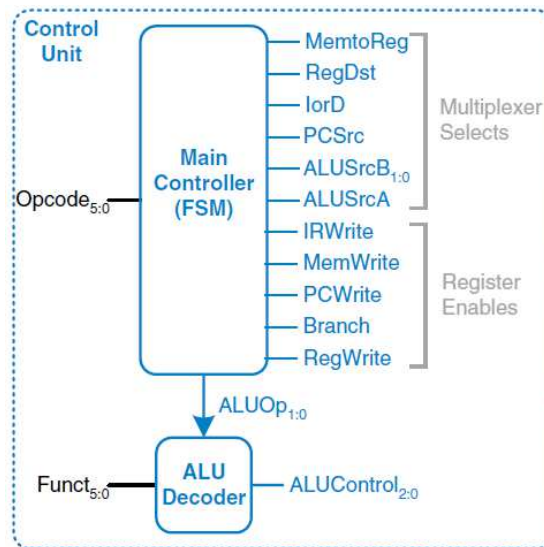


图 6

2.2 在多周期 MIPS 处理器上运行下面的程序需要多少个周期？这个程序的 CPI 是多少？ 4 分

```

    addi $s0, $0, 5    # sum = 5
while:
    beq  $s0, $0, done # if result > 0, execute the while block
    addi $s0, $s0, -1  # while block: result = result - 1
    j    while
done:

```