



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления» (ИУ)

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии» (ИУ7)

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №7

«УСИЛИТЕЛИ»

по курсу:

«ОСНОВЫ ЭЛЕКТРОНИКИ»

Вариант: 51

Студент:

Авдейкина Валерия Павловна, группа ИУ7-33Б

(подпись, дата)

Руководитель:

Преподаватель РК6

Оглоблин Дмитрий Игоревич

(подпись, дата)

(подпись, дата)

Оценка: _____

2022 г.

Оглавление

Цель и задачи работы.....	3
Используемые транзисторы	4
Выполнение	5
Эксперимент 7: «Характеристики полевого транзистора».....	5
Эксперимент 8: «Полевой транзистор в импульсном режиме»	14
Эксперимент 9: «Устройство ячейки триггера статической памяти»	21

Цель и задачи работы

Цель работы: получить навыки в использовании базовых возможностей программы Microcap и знания при исследовании и настройке усилительных и ключевых устройств на биполярных и полевых транзисторах.

Используемые транзисторы

В ходе работы будут исследоваться (вариант №51)

- **nJFET 2N3968**
- **pMOS IRFD9024**
- **nMOS IRFD024**

из библиотеки Micro-cap 12.

Выполнение

Эксперимент 7: «Характеристики полевого транзистора»

Характеристики nJFET

Для исследования характеристик полевого транзистора собираем следующую схему (рис. 1):

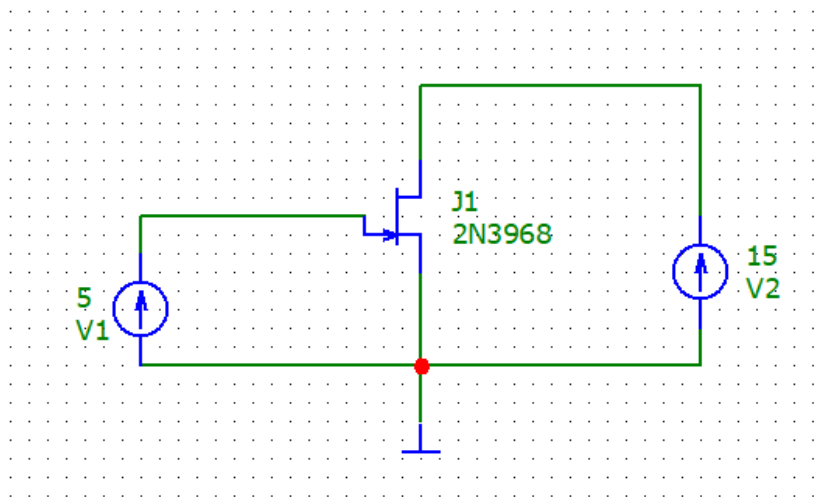


Рисунок 1. Схема для исследования транзистора nJFET

Получим его передаточную характеристику с помощью анализа по постоянному току (рис. 2 – настройки, рис. 3 – результаты).

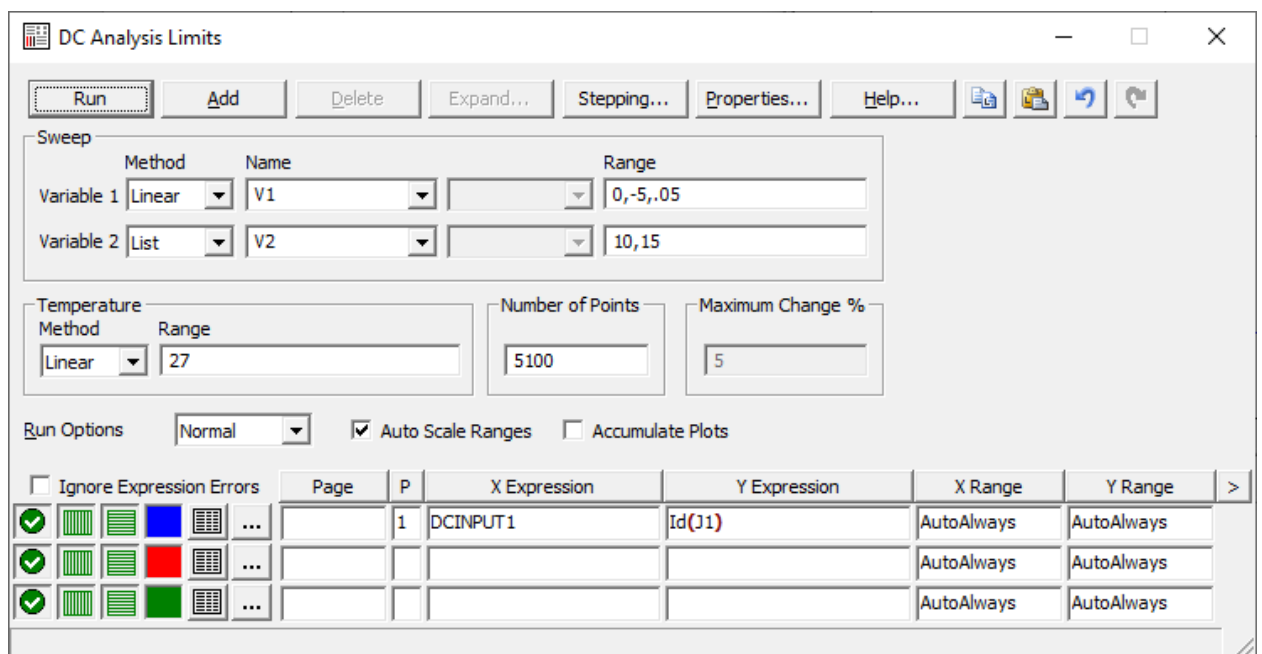


Рисунок 2. Настройки DC Analysis

(1) Передаточная характеристика

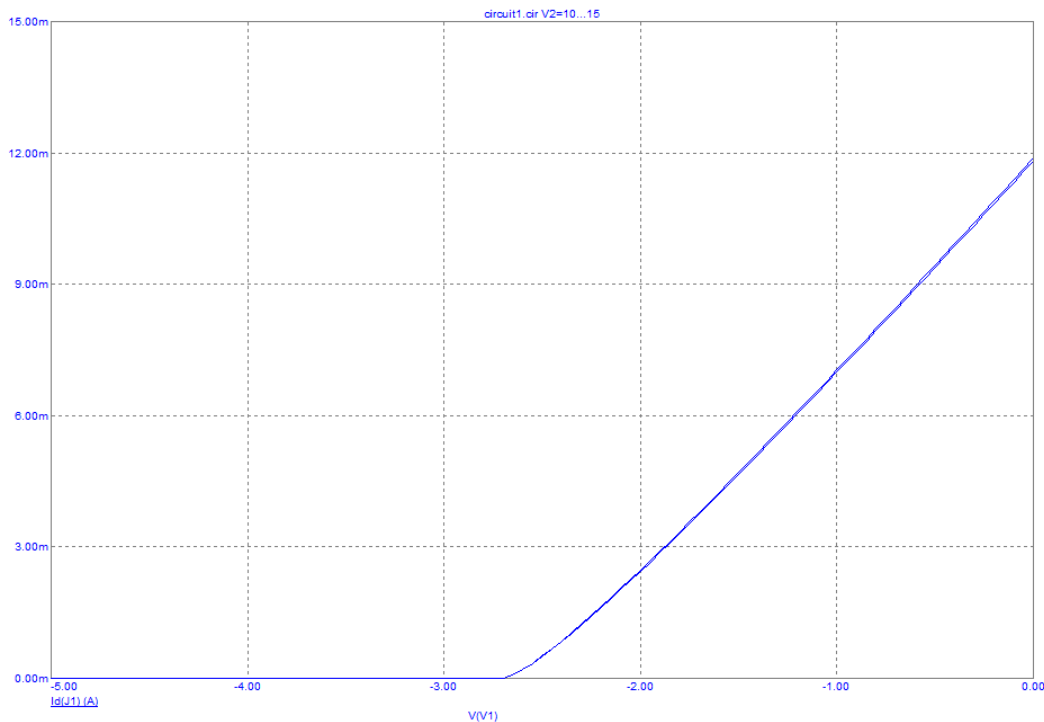


Рисунок 3. Передаточная характеристика nJFET

На полученной характеристике определим запирающее напряжение транзистора: при этом напряжении через элемент будет протекать ток = 0,1 * начальный_ток_стока, где начальный_ток_стока = 11,819 мА (рис. 4).

(2) Запирающее напряжение nJFET: -2,3 В

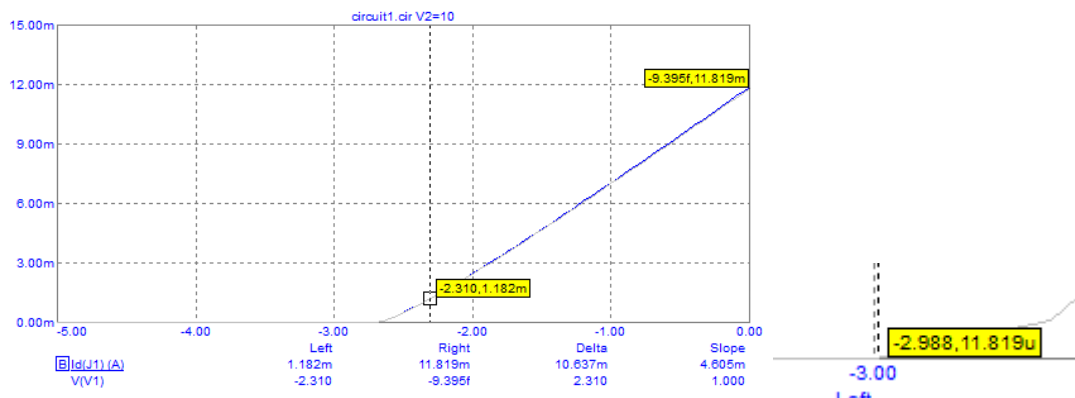


Рисунок 4. Определение запирающего напряжения, напряжения отсечки для nJFET

Сравним максимальную крутизну, полученную на графике производной зависимости тока стока от напряжения на затворе (рис. 5–7), с теоретически рассчитанной крутизной: при $U_{зи} = 0$ $S_{max} = 2 * I_{нач} / |U_{отс}| = 2 * 11,819$

мА/2,988 В \approx **7,88 мА/В**. На практике получена **S = 4,9 мА/В**. Абсолютная погрешность: 2,98 мА/В.

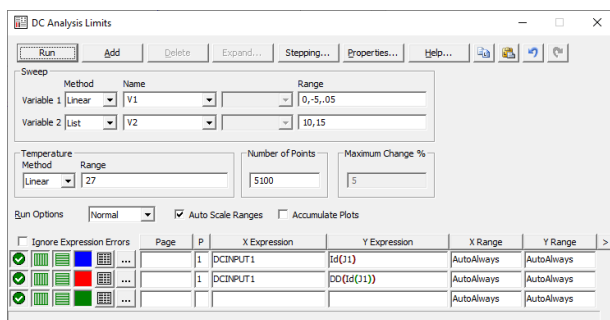


Рисунок 5. Настройки графиков

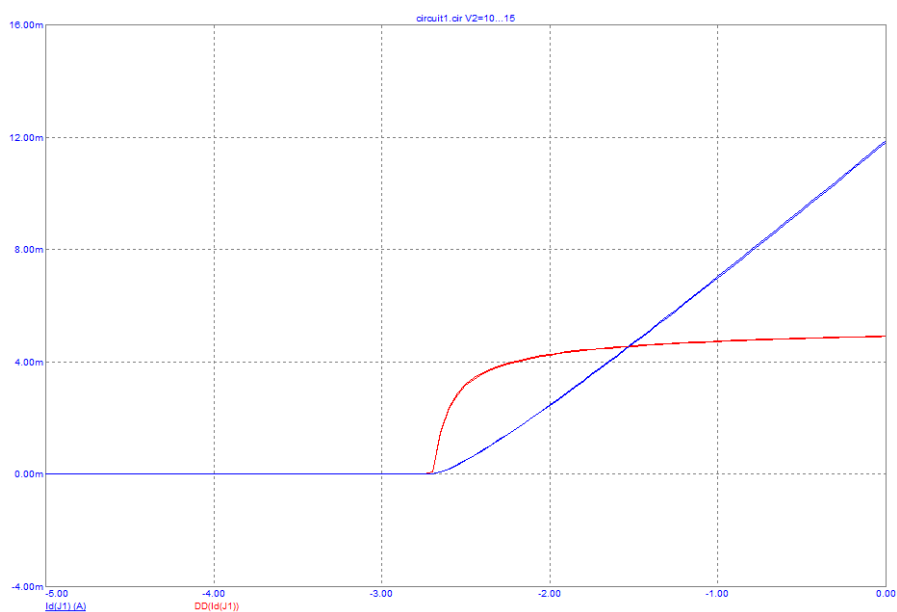


Рисунок 6. График производной зависимости тока от напряжения

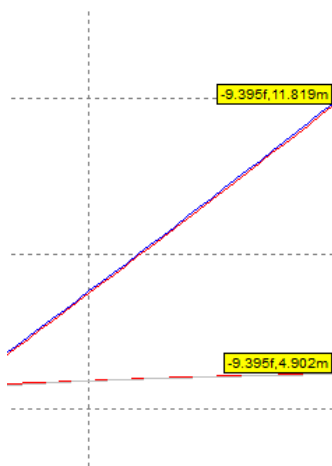


Рисунок 7. Определение максимальной крутизны

(3) Выходная характеристика, область насыщения

Теперь получим выходную характеристику и обозначим область насыщения на графике (рис. 8 – настройки, рис. 9 – результаты).

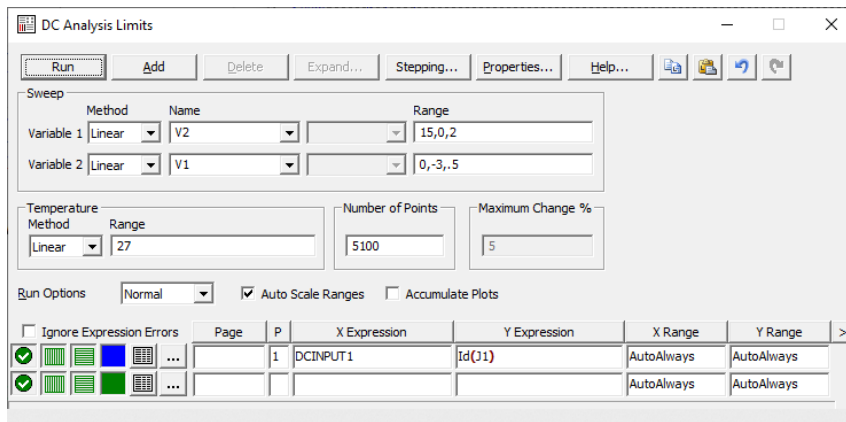


Рисунок 8. Настройки анализа для получения выходной характеристики

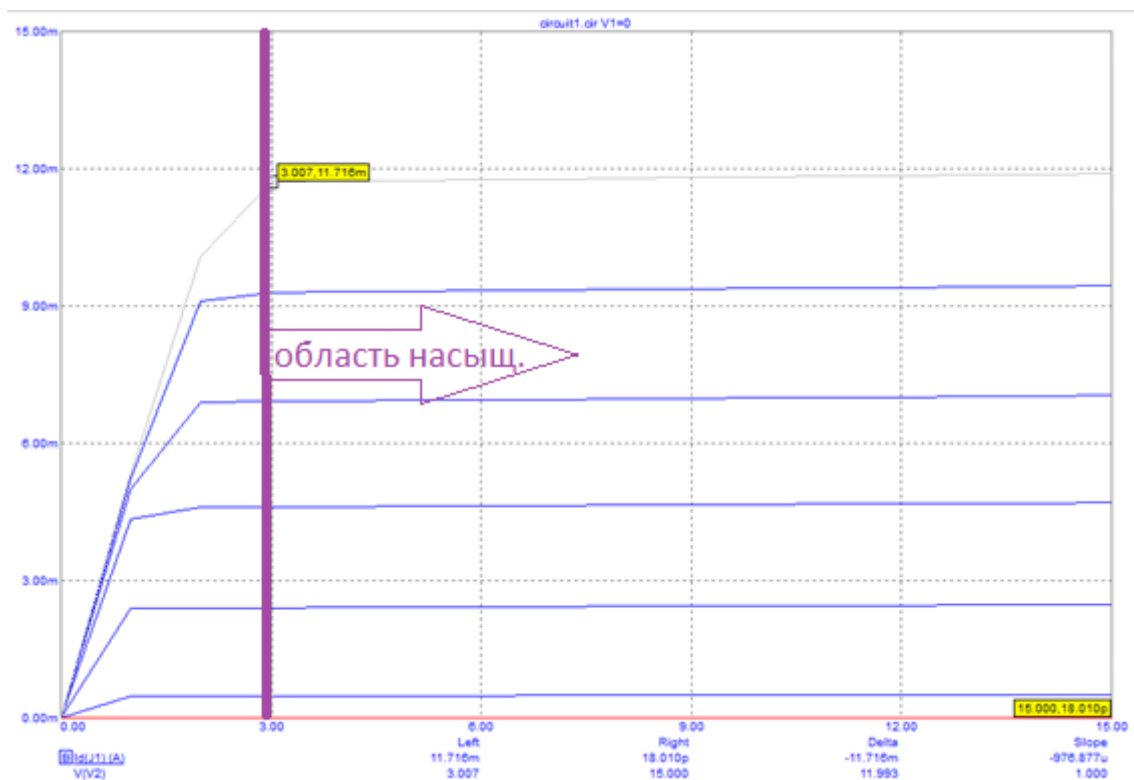


Рисунок 9. Выходная характеристика с областью насыщения

Характеристики pMOS

Аналогичным образом строим схему для pMOS (рис. 10) и исследуем его характеристики.

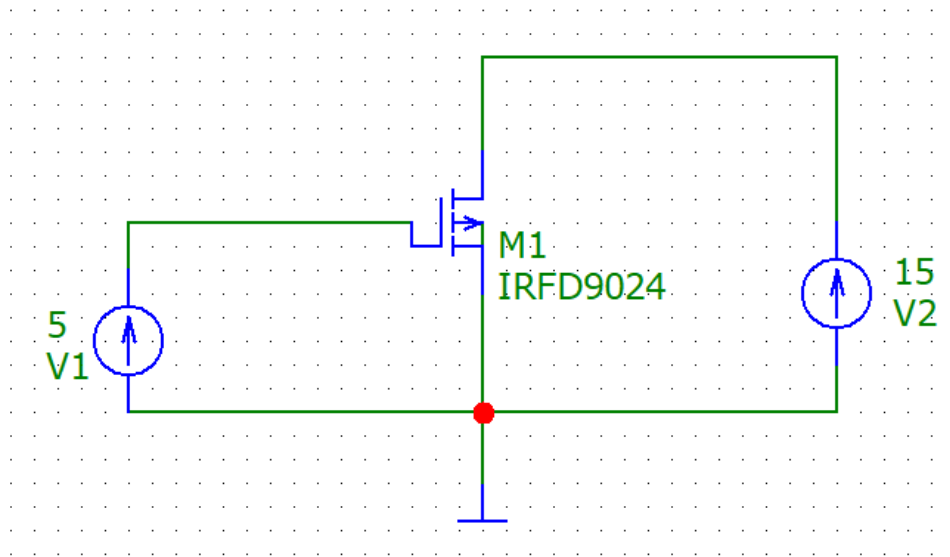


Рисунок 10. Схема для исследования pMOS

(1) Передаточная характеристика

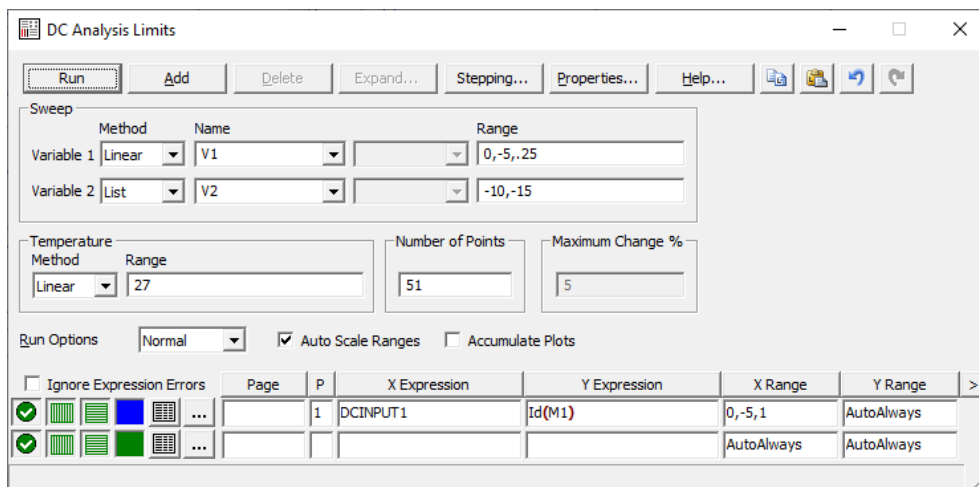


Рисунок 11. Настройки для получения передаточной характеристики pMOS

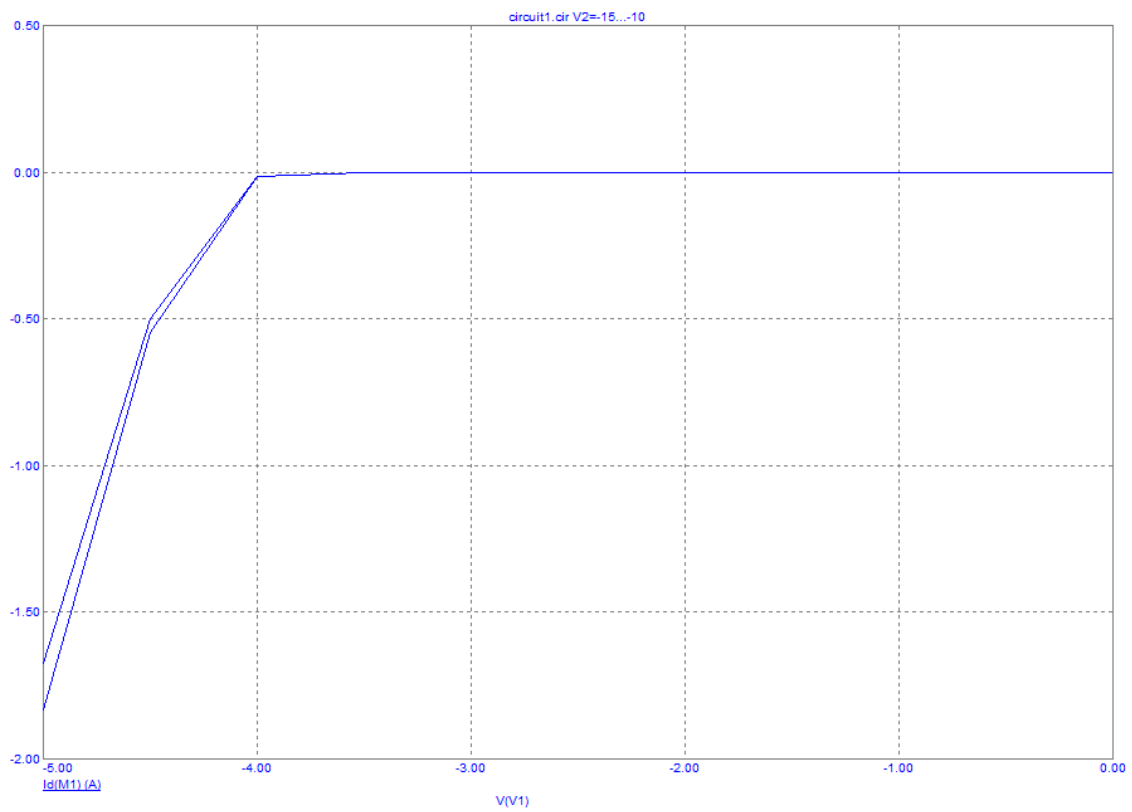


Рисунок 12. Передаточная характеристика pMOS

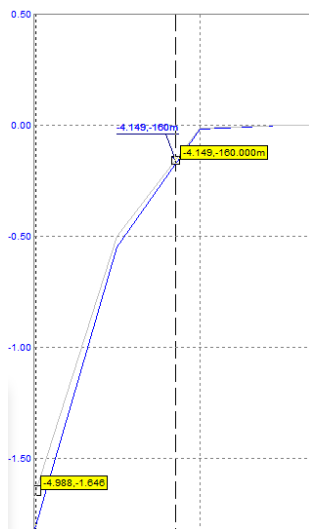


Рисунок 13. Определение открывающего напряжения

(2) Открывающее напряжение pMOS: -4,9 В

(3) Выходная характеристика, область насыщения

Рис. 14 – настройки, рис. 15 – результат

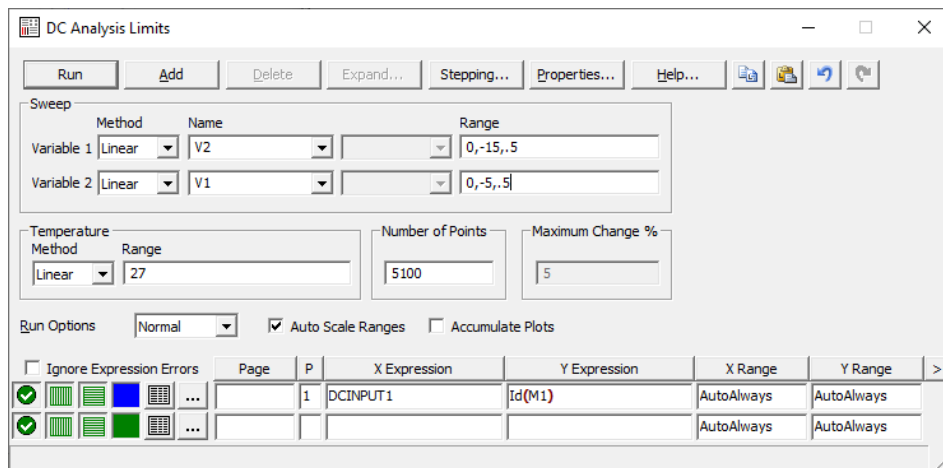


Рисунок 14. Настройки для получения выходной характеристики pMOS

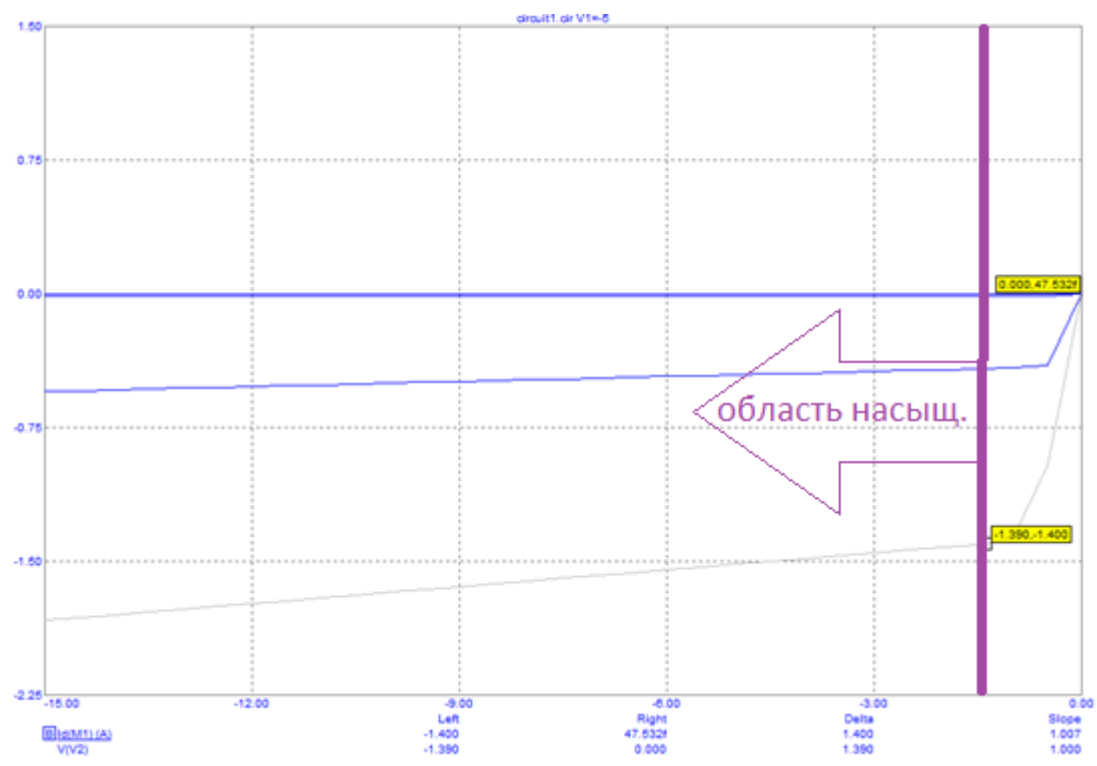


Рисунок 15. Выходная характеристика pMOS с областью насыщения

(4) Включим nJFET как усилитель по схеме с общим истоком и цепью автосмещения (рис. 16):

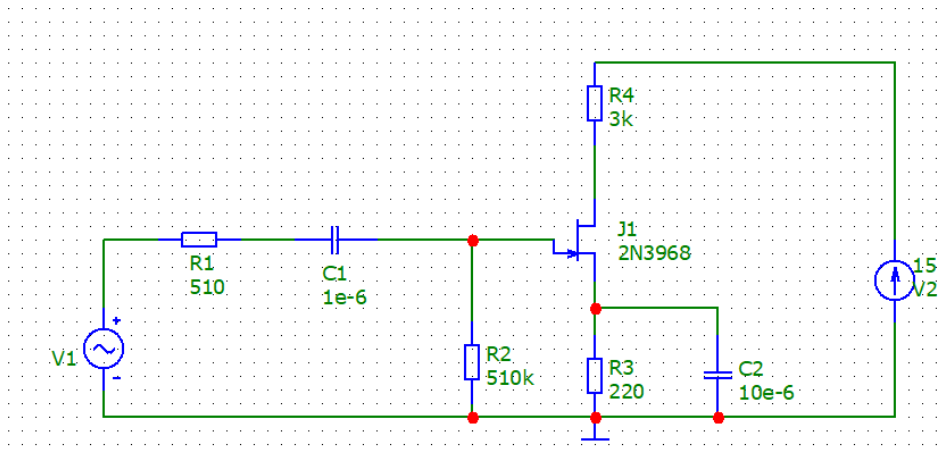


Рисунок 16. Схема с nJFET в качестве усилителя

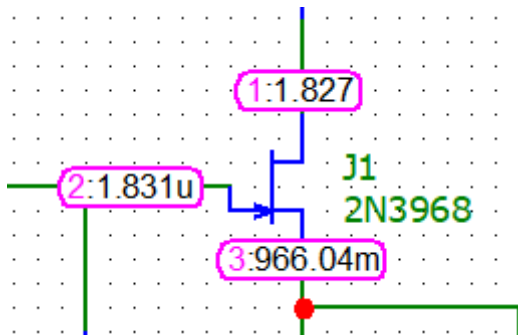


Рисунок 17. Проверка

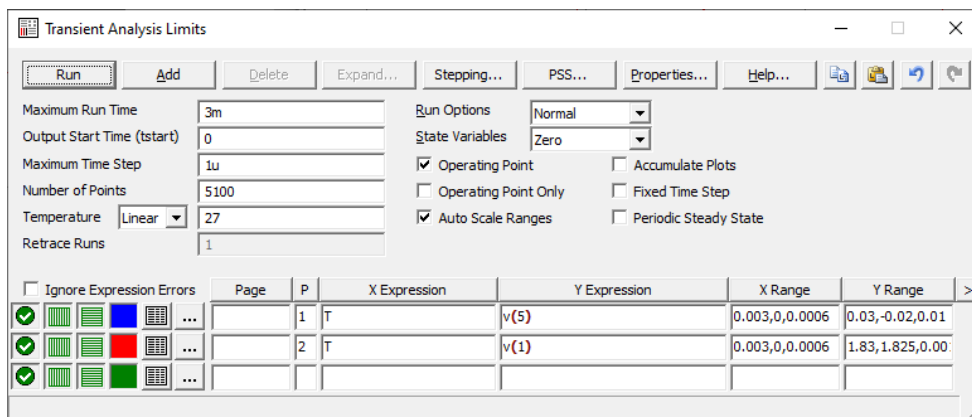


Рисунок 18. Настройка анализа по времени

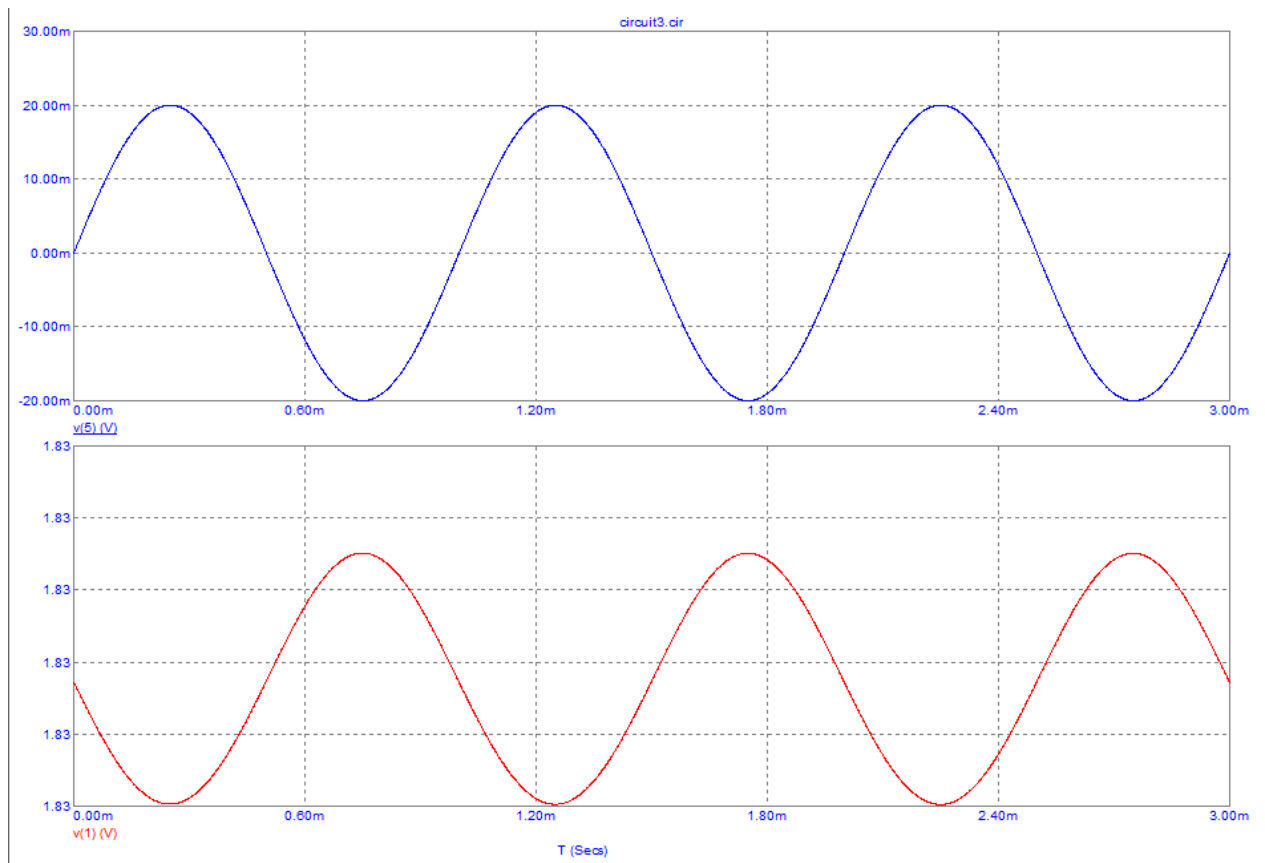


Рисунок 19. Результирующий сигнал

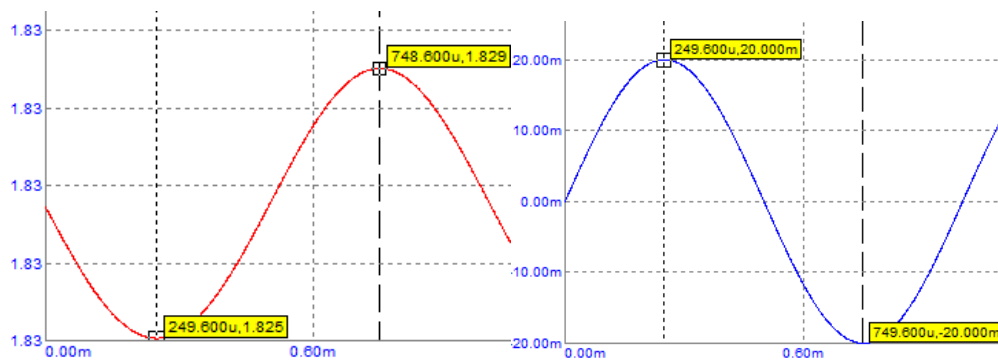


Рисунок 20. Размах амплитуд

Определив с помощью рис. 20 размахи амплитуд, получаем коэффициент усиления по напряжению: 5

Эксперимент 8: «Полевой транзистор в импульсном режиме»

(1) Исследуем работу инвертора с использованием полевых транзисторов nMOS и pMOS. Для этого построим схему КОМП цифрового ключа (рис. 21, рис. 20 – настройки генератора).

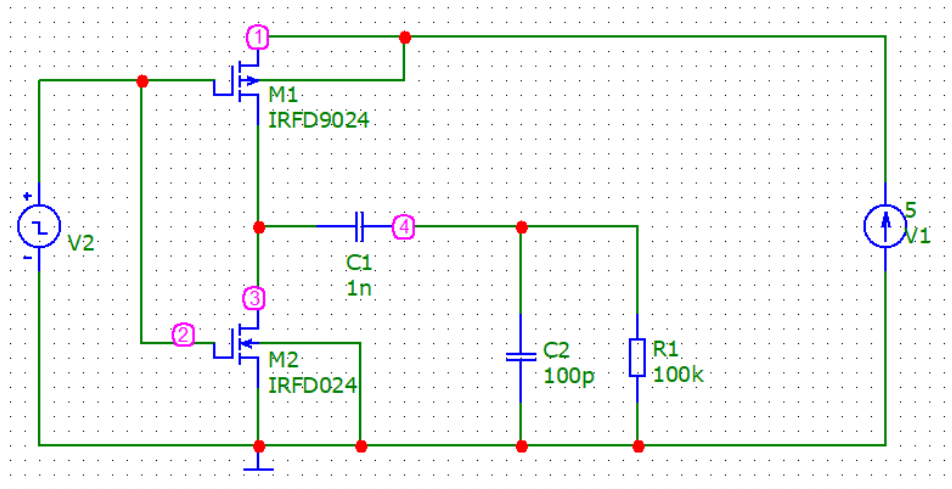


Рисунок 21. Схема КОМП цифрового ключа

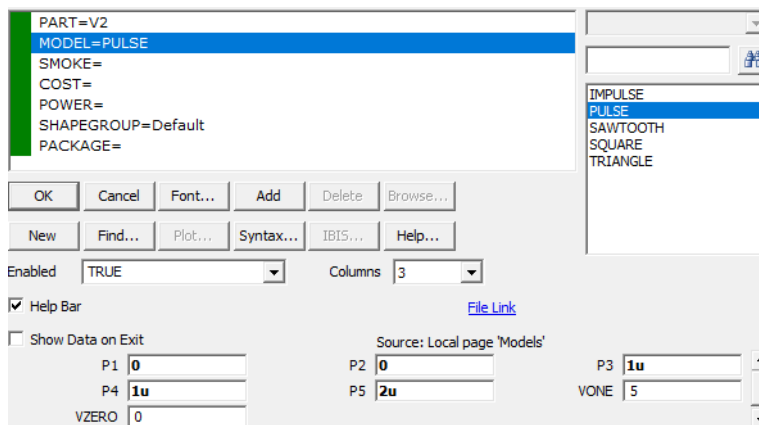


Рисунок 22. Настройка генератора импульсов

Получим графики сигналов (рис. 23 – настройки, рис. 24 – результаты).

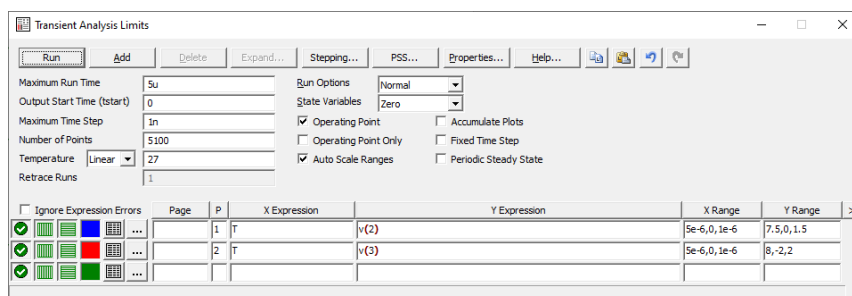


Рисунок 23. Настройка анализа сигналов

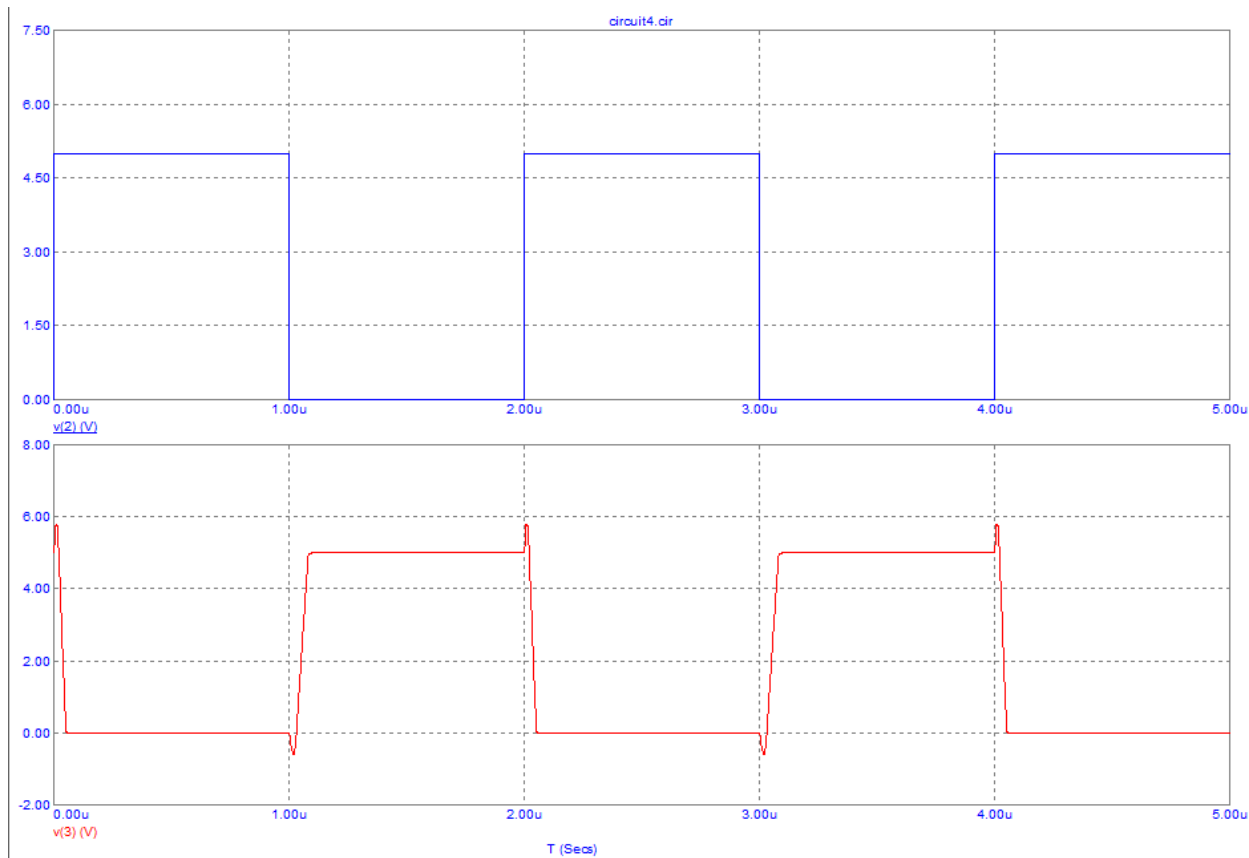


Рисунок 24. Результирующий сигнал

Определим среднее время задержки по уровню 0,5 (рис. 25):

- $(0,57 \text{ мкс} + 0,36 \text{ мкс}) / 2 = 0,465 \text{ мкс}$ – среднее время задержки
- $0,465 \text{ мкс} / 1 \text{ мкс} \approx 4,7\%$ от средней длительности всего сигнала

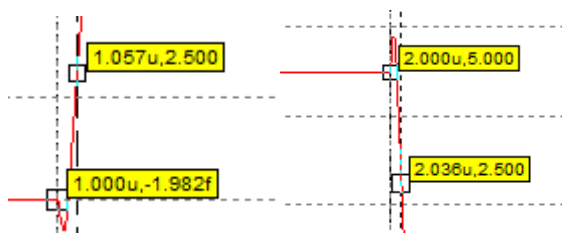


Рисунок 25. Определение времени задержки

(2) Получим передаточную характеристику (рис. 26 – настройки, рис. 27 – результаты, рис. 28 – определение напряжений открытия и закрытия).

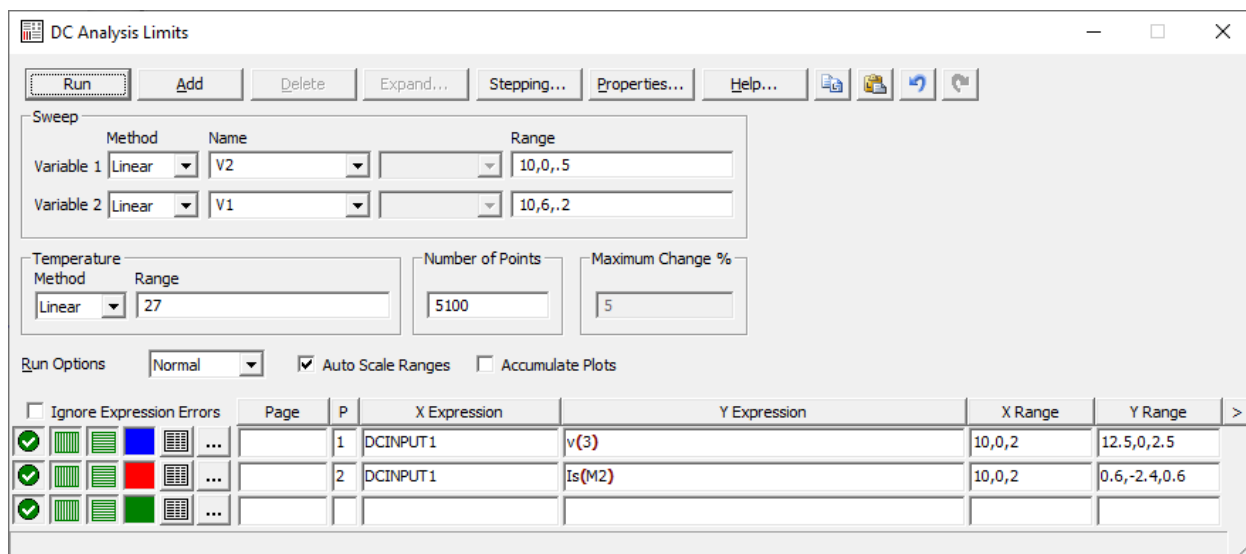


Рисунок 26. Настройки анализа для получения передаточной характеристики

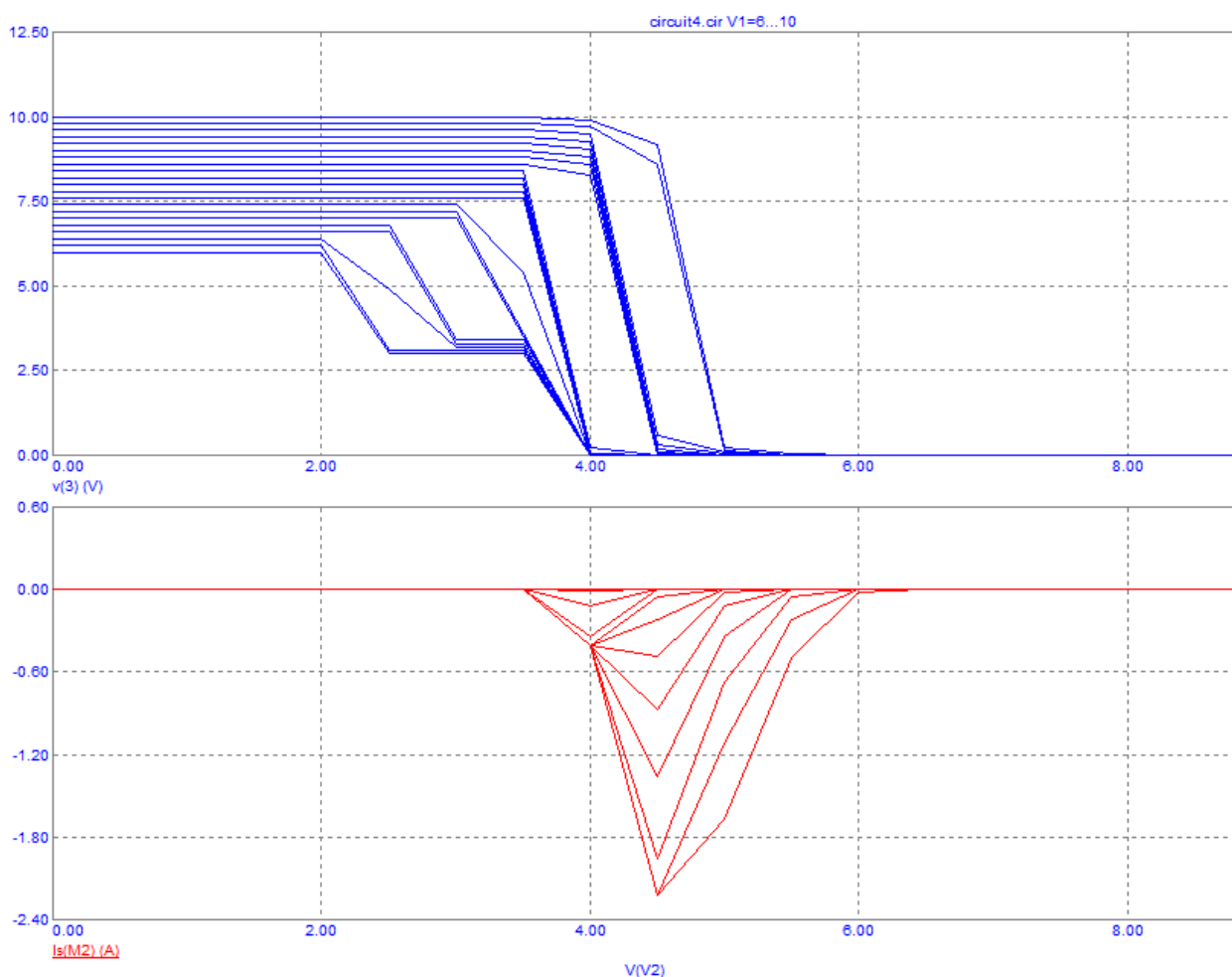


Рисунок 27. Передаточная характеристика

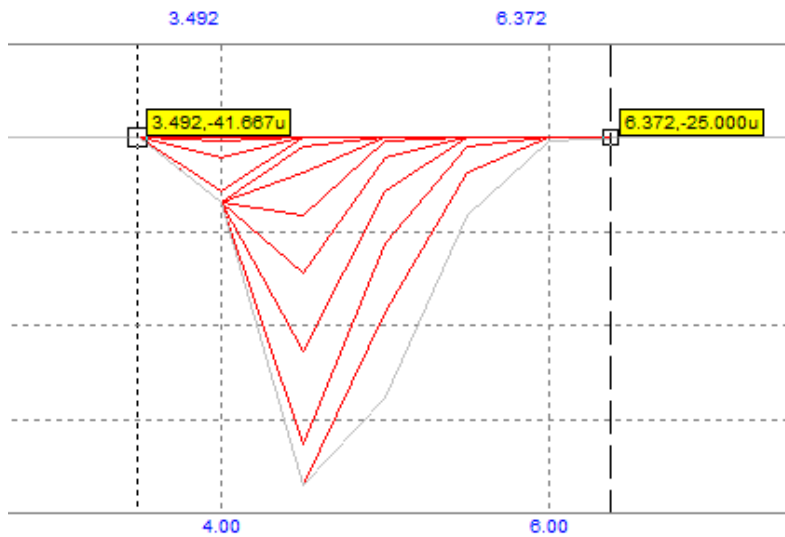


Рисунок 28. Напряжения заперения и открытия

Из рис. 28: напряжение открытия **3,492 В**, напряжение закрытия **6,372 В**.

(3) Исследуем работу логического элемента **2И-НЕ** на полевых транзисторах NMOS, PMOS. Для этого построим следующую схему (рис. 29):

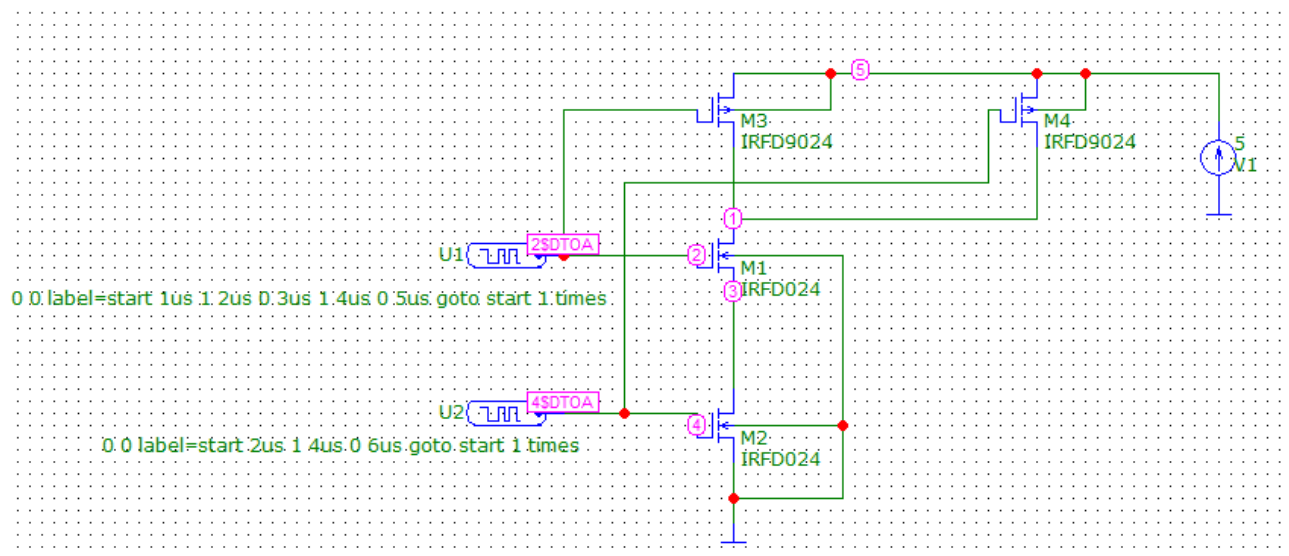


Рисунок 29. Схема логического элемента 2И-НЕ на полевых транзисторах

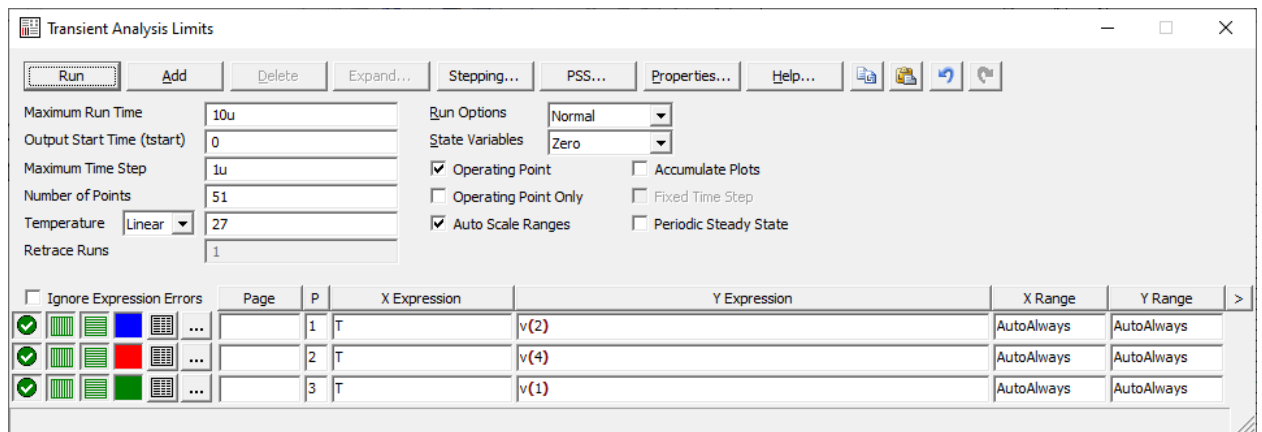


Рисунок 30. Настройки анализа сигналов

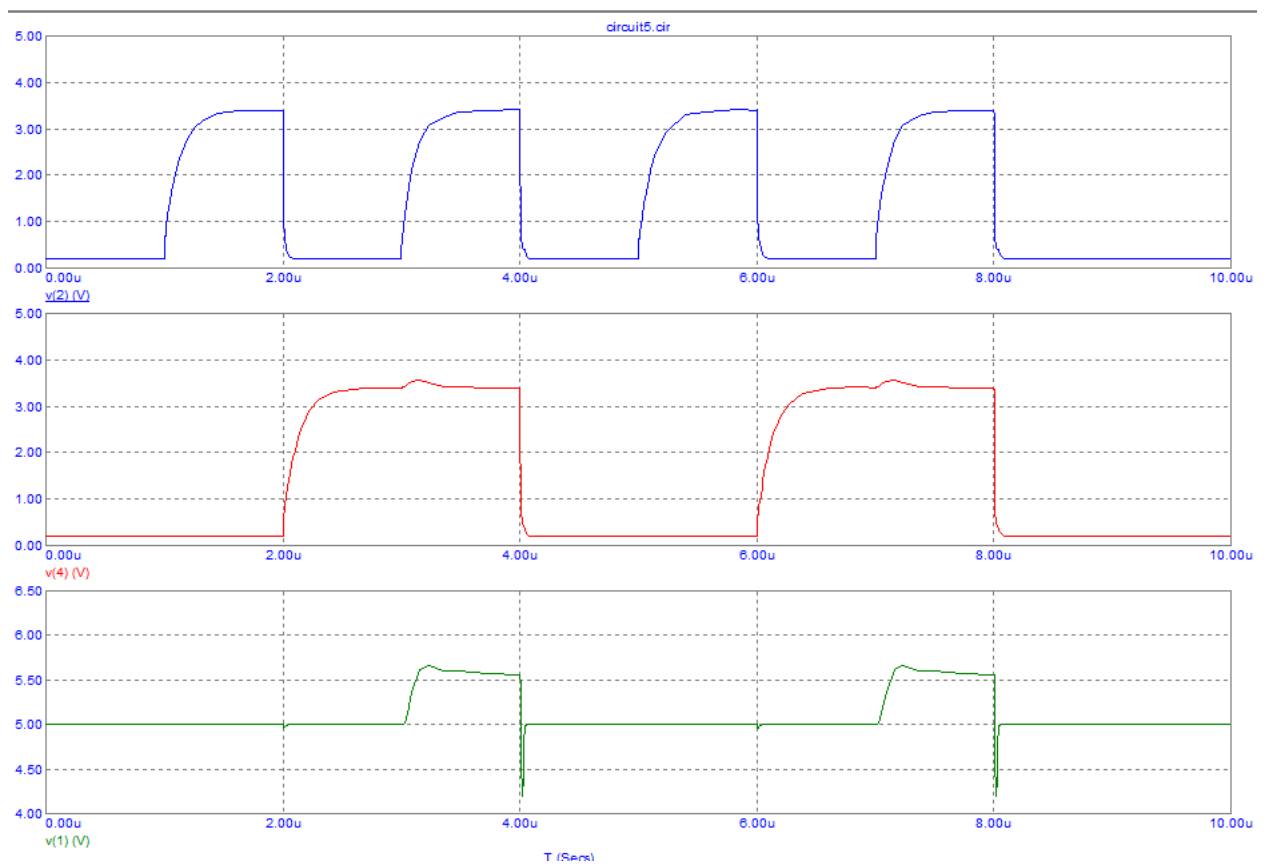


Рисунок 31. Результирующие сигналы

Из полученных графиков следует, что схема работает некорректно – при сигнале «0» напряжение не равно 0 В. Для согласования уровней сигнала цифрового генератора и аналоговой схемы введем интерфейс DToA: DINSTM (рис. 32)

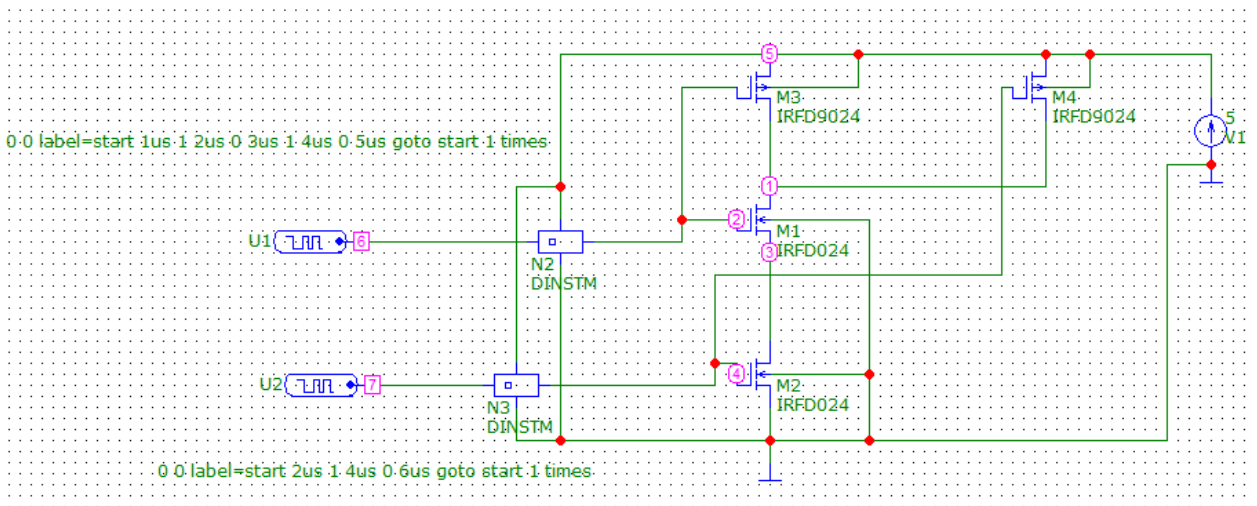


Рисунок 32. Схема с DToA

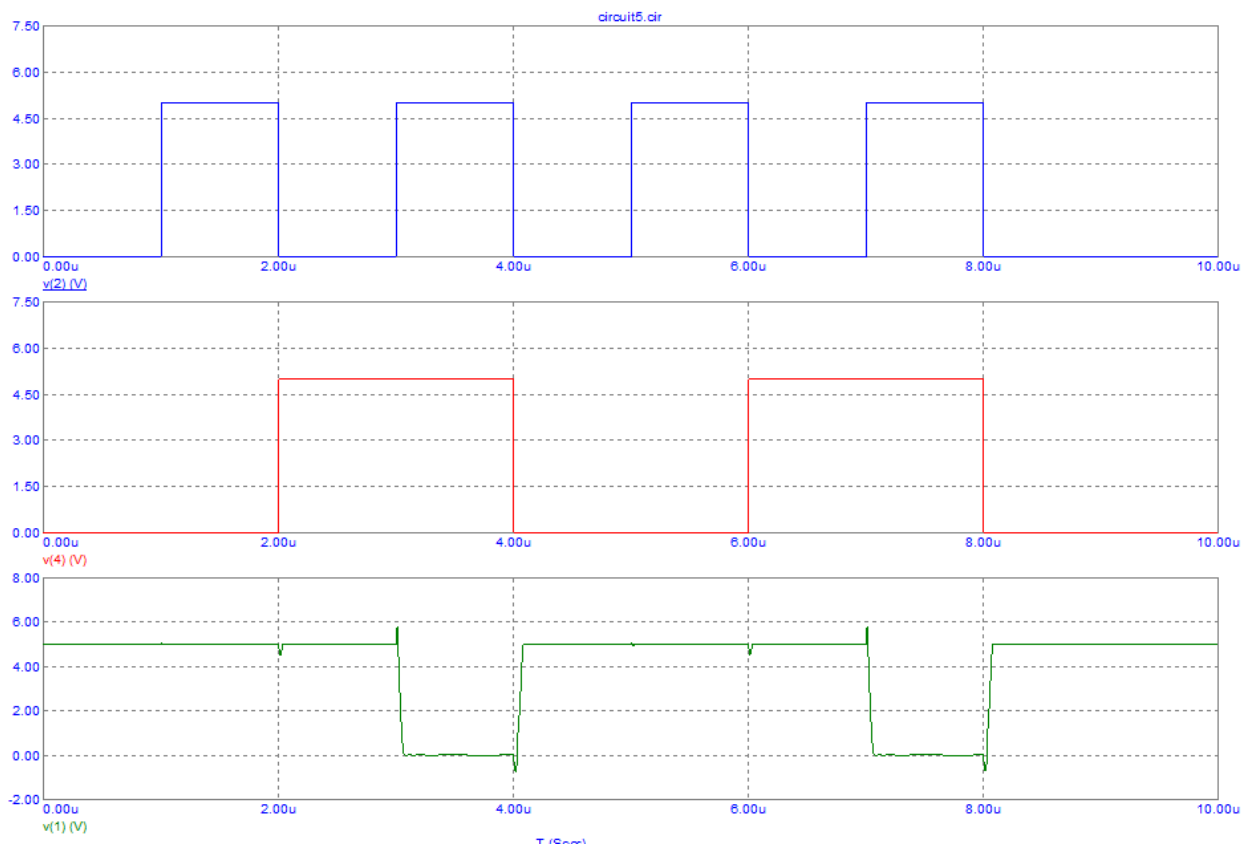


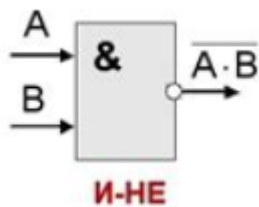
Рисунок 33. Корректные выходные сигналы

- Таблица истинности элемента (построена согласно графикам с рис. 33):

Вход 1	Вход 2	Выход
0	0	1
1	0	1
0	1	1
1	1	0

Таблица 1. Таблица истинности 2И-НЕ

- Стандартное обозначение в схемотехнике:



Эксперимент 9: «Устройство ячейки триггера статической памяти»

В соответствии с указаниями из методического пособия в схеме учебного триггера будет использоваться транзистор nMOS 2N6661 (рис. 34).

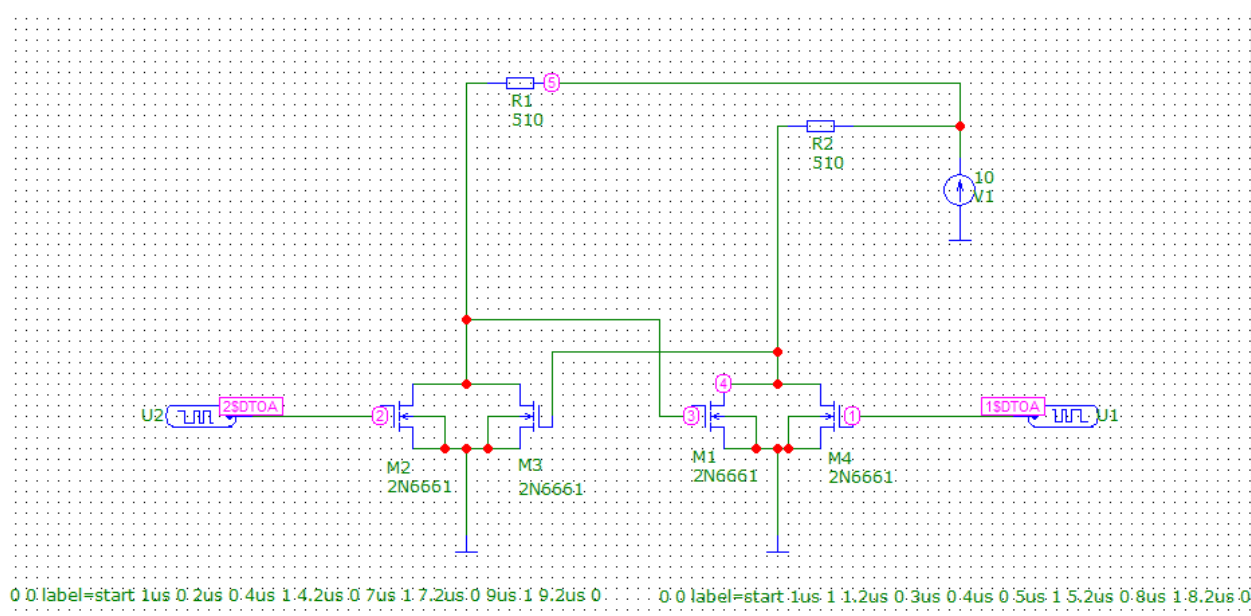


Рисунок 34. Схема учебного триггера на nMOS

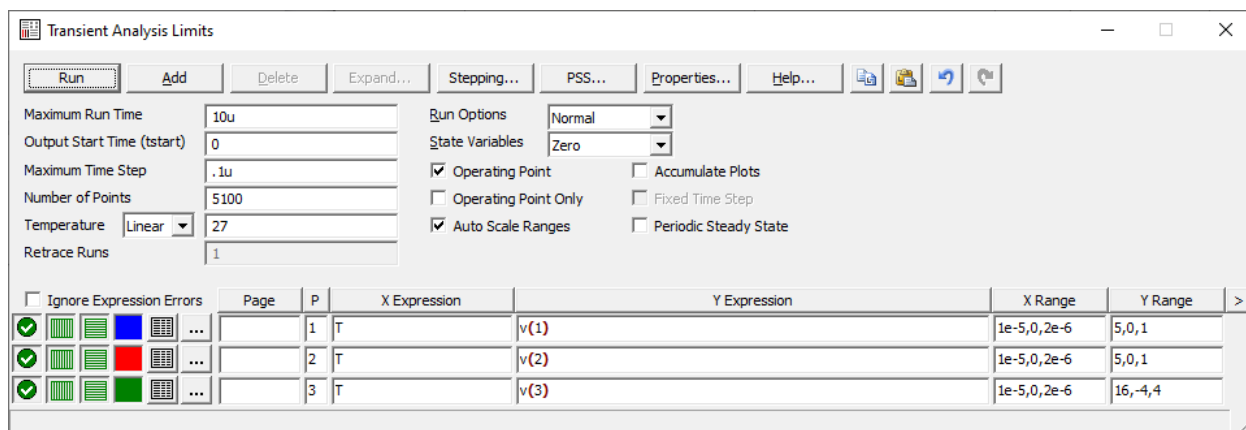


Рисунок 35. Настройки анализа сигналов

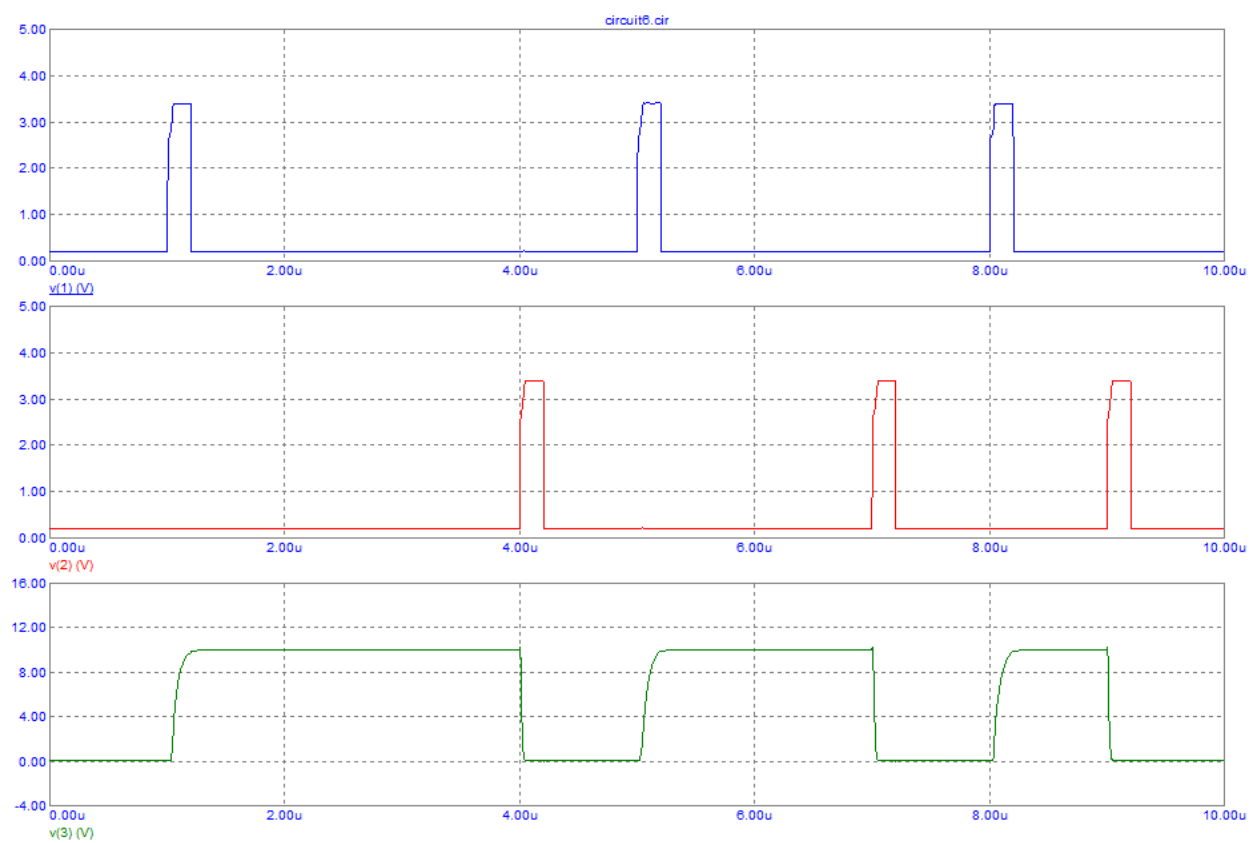


Рисунок 36. Результирующие графики