



## **Hi1131S V100 硬件指南**

文档版本      **1.0**

发布日期      **2017-06-19**

版权所有 © 深圳市海思半导体有限公司 2016。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用建议，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为总部办公楼 邮编：518129  
网址：<http://www.hisilicon.com/cn/>  
客户服务电话：4008302118  
客户服务邮箱：[support@hisilicon.com](mailto:support@hisilicon.com)

# 前 言

## 概述

本文档主要介绍 Hi1131S 芯片管脚、硬件设计指导。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi1131S 芯片	V100




## 读者对象



本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 产品硬件开发工程师
- CAD 设计工程师

## 符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	用于警示紧急的危险情形，若不可避免，将会导致人员死亡或严重的人身伤害。
 警告	用于警示潜在的危险情形，若不可避免，可能会导致人员死亡或严重的人身伤害。
 小心	用于警示潜在的危险情形，若不可避免，可能会导致中度或轻微的人身伤害。

符号	说明
 注意	用于传递设备或环境安全警示信息，若不可避免，可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “注意”不涉及人身伤害。
 说明	用于突出重要/关键信息、最佳实践和小窍门等。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2017-01-12	V1.0	草稿版本发布

# 目 录

前 言.....	ii
1 引 言.....	1
2 芯片管脚定义.....	2
2.1 管脚分布图 .....	2
2.2 管脚类型说明 .....	2
2.3 管脚数量统计 .....	3
2.4 管脚详细描述 .....	4
2.4.1 CMU 接口 .....	4
2.4.2 RTC 时钟接口 .....	4
2.4.3 全局控制信号 .....	4
2.4.4 相互唤醒信号 .....	5
2.4.5 SDIO 接口 .....	5
2.4.6 UART 接口.....	6
2.4.7 BT 共存接口 .....	6
2.4.8 GPIO 接口 .....	7
2.4.9 PMU 管脚.....	7
2.4.10 RF 接口 .....	8
2.4.11 RF 电源管脚.....	8
2.4.12 GND 管脚.....	8
2.4.13 NC 管脚.....	9
3 原理图设计指导.....	10
3.1 电源参考设计 .....	10
3.1.1 电源拓扑和规格 .....	10
3.1.2 VBAT 电源.....	11
3.1.2.1 VBAT 参考电路 .....	12
3.1.2.2 VBAT 输入电源要求 .....	12
3.1.3 VDDIO 电源 .....	13
3.1.4 内部电源滤波电路 .....	13
3.1.5 RFLDO1 .....	14
3.1.6 RFLDO2 .....	14

3.1.7 BUCK 电源 .....	15
3.1.8 PALDO .....	16
3.2 时钟参考设计 .....	17
3.2.1 参考时钟 .....	17
3.2.1.1 Crystal 输入模式 .....	17
3.2.1.2 外部高精度时钟输入模式 .....	18
3.2.1.3 参考时钟频率选择 .....	18
3.2.2 RTC 时钟 .....	19
3.3 RF 参考设计 .....	20
3.4 接口参考设计 .....	21
3.4.1 SDIO 接口参考设计 .....	21
3.4.2 UART 接口参考设计 .....	22
3.4.3 BT 共存信号参考应用 .....	22
3.5 控制信号及低功耗应用参考设计 .....	22
<b>4 PCB 设计指导 .....</b>	<b>25</b>
4.1 叠层信息 .....	25
4.2 PCB 布局 .....	27
4.3 电源 .....	28
4.3.1 VABT 布线指导 .....	28
4.3.2 BUCK 布线指导 .....	29
4.4 RF 布线指导 .....	30
4.5 CMU 布线指导 .....	31
4.6 DBB 布线指导 .....	32
4.7 接口布线指导 .....	32
4.8 GND 布线指导 .....	33
<b>A 附录 .....</b>	<b>34</b>

## 插图目录

图 2-1 管脚分布图 .....	2
图 3-1 Hi1131S 电源拓扑结构.....	10
图 3-2 Hi1131S VBAT 输入电路 .....	12
图 3-3 外部 PMU 芯片 VSYS 输出电路参考 .....	12
图 3-4 Hi1131S VDDIO 输入电路.....	13
图 3-5 内部电源滤波电路.....	14
图 3-6 RFLDO1 参考电路 .....	14
图 3-7 RFLDO2 参考电路 .....	15
图 3-8 内置 BUCK 参考电路 .....	15
图 3-9 BUCK 外接参考电路 .....	16
图 3-10 PALDO 参考电路.....	16
图 3-11 使用 Crystal 输入参考时钟的参考电路图 .....	17
图 3-12 使用外部高精度时钟做参考时钟的参考电路图 .....	18
图 3-13 频率选择管脚参考电路图.....	19
图 3-14 RTC 时钟参考电路图 .....	20
图 3-15 RF 参考电路图.....	20
图 3-16 SDIO 接口参考电路图 .....	21
图 3-17 控制信号参考电路图.....	23
图 3-18 低功耗应用系统连接参考框图.....	24
图 4-1 2 层板 1.0mm 参考叠层信息 .....	25
图 4-2 2 层板 1.6mm 参考叠层信息 .....	26
图 4-3 4 层板 1.6mm 参考叠层信息 .....	26
图 4-4 PCB 布局参考 .....	27
图 4-5 电源布线参考 .....	28
图 4-6 VBAT 布线参考 .....	29

图 4-7 BUCK 走线参考 ..... 30

图 4-8 RFLDO1/2 及 PALDO 布线参考..... 31

图 4-9 RFLDO1/2 及 PALDO 布线参考..... 31

图 4-10 CMU 布线参考 ..... 32

图 4-11 Epad 布线参考 ..... 33



# 表格目录

表 2-1 管脚 I/O 类型和电平类型说明 ..... 3

表 2-2 管脚数量统计 ..... 3

表 2-3 CMU 接口管脚列表 ..... 4

表 2-4 RTC 时钟接口管脚列表 ..... 4

表 2-5 全局控制信号管脚列表 ..... 4

表 2-6 相互唤醒信号管脚列表 ..... 5

表 2-7 SDIO 接口管脚列表 ..... 5

表 2-8 UART 接口管脚列表 ..... 6

表 2-9 BT 共存接口管脚列表 ..... 6

表 2-10 GPIO 接口管脚列表 ..... 7

表 2-11 PMU 管脚列表 ..... 7

表 2-12 RF 接口管脚列表 ..... 8

表 2-13 RF 电源管脚列表 ..... 8

表 2-14 GND 管脚列表 ..... 9

表 2-15 NC 管脚列表 ..... 9

表 3-1 推荐工作条件 ..... 10

表 3-2 Crystal 电气特性要求 ..... 17

表 3-3 外部时钟选择真值表 ..... 18

表 3-4 RTC 时钟电气特性要求 ..... 19

# 1 引言

本篇文档提供 HI1131S 芯片管脚列表、单板设计指导及重要器件选型指导建议，对客户如何成功实现 HI1131S 板级设计给出指导。

具体组织如下：

- 第一章 引言
- 第二章 提供每个芯片管脚的定义
- 第三章 提供硬件设计指导，介绍芯片电源、地、时钟、Wi-Fi 射频、以及数字接口模块的各管脚功能用法。
- 第四章 PCB Layout 设计建议。
- 附录

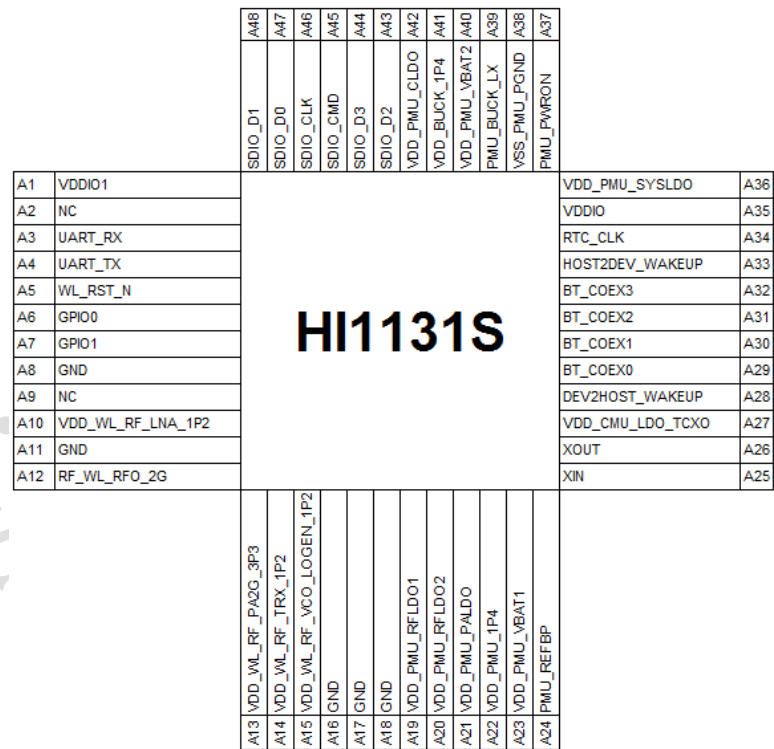
# 2 芯片管脚定义

## 2.1 管脚分布图

Hi1131S 为 QFN 封装，48pin，6mm\*6mm。

图2-1 管脚分布图

（视图方向：TOP VIEW：即从封装的顶部往下看，面向 PCB 侧的 pin 为底部）



## 2.2 管脚类型说明

管脚 I/O 类型和电平类型如错误！未找到引用源。所示。

表2-1 管脚 I/O 类型和电平类型说明

类型	说明
I	数字管脚，普通输入端口
O	数字管脚，普通输出端口
I <sub>PU</sub>	数字管脚，带有内部上拉的输入端口
I <sub>PD</sub>	数字管脚，带有内部下拉的输入端口
I <sub>ANA</sub>	模拟管脚，输入端口
O <sub>ANA</sub>	模拟管脚，输出端口
I <sub>O</sub> <sub>RF</sub>	RF 管脚，输入输出端口
I <sub>PMU</sub>	电源管脚，输入端口
O <sub>PMU</sub>	电源管脚，输出端口

### 2.3 管脚数量统计

各功能管脚数量信息如表 2-2 所示。

表2-2 管脚数量统计

管脚类别	数量
CMU	3
PMU/BUCK（包括 PMU_PWRON）	14
RF 接口	1
RF 电源	4
数字 IO	17
数字电源	2
GND	5
NC	2
总计	48

## 2.4 管脚详细描述

### 2.4.1 CMU 接口

CMU 接口表 2-3 所示。

表2-3 CMU 接口管脚列表

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
XIN	A25	I <sub>ANA</sub>	24/40	-	V <sub>pp</sub> >800mV	TCXO 时钟输入管脚/ Crystal 输入管脚
XOUT	A26	O <sub>ANA</sub>	24/40	-	-	TCXO 下悬空/Crystal 输出管脚
VDD_CMU_LDO_TCXO	A27	O <sub>PMU</sub>	-	-	1.8	XLDO 输出 1uF 滤波电容

### 2.4.2 RTC 时钟接口

RTC 时钟接口如表 2-4 所示。

表2-4 RTC 时钟接口管脚列表

名称	位置	类型	频率 (KHz)	驱动 (mA)	电平 (V)	描述
RTC_CLK	A34	I <sub>●</sub>	32.768	-	1.8	RTC 时钟输入管脚

### 2.4.3 全局控制信号

全局控制信号如表 2-5 所示。

表2-5 全局控制信号管脚列表

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
PMU_PWRO_N	A37	I <sub>ANA</sub>	<1	-	1.8	PMU 上电使能管脚 0: 下电 1: 上电

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
WL_RST_N	A5	I <sub>PU</sub>	<1	-	1.8	WIFI 复位管脚 0: 复位使能 1: 复位撤销

2.4.4 相互唤醒信号

相互唤醒信号如表 2-6 所示。

表2-6 相互唤醒信号管脚列表

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
HOST2DEV_WAKEUP	A33	I <sub>PD</sub>	<1	2/4	1.8	Host 唤醒 Device 信号, 上升沿触发。复用参考输入时钟 REFCLK_FREQ_SEL[0]
DEV2HOST_WAKEUP	A28	O	<1	2/4	1.8	Device 唤醒 HOST 信号【1】

说明

【1】: DEV2HOST\_WAKEUP 管脚触发方式和对接芯片相关：若接 Host 芯片，为上升沿触发，若接 MCU（Microcontroller Unit）芯片，为高电平触发。

2.4.5 SDIO 接口

SDIO 接口如表 2-7 所示。

表2-7 SDIO 接口管脚列表

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
SDIO_D2	A43	I/O	-	1/2/3/4 /5/6/7/ 8	1.8	SDIO Data Bit 2
SDIO_D3	A44	I/O	-	1/2/3/4 /5/6/7/ 8	1.8	SDIO Data Bit 3
SDIO_CMD	A45	I/O	-	1/2/3/4 /5/6/7/ 8	1.8	SDIO Command In

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
SDIO_CLK	A46	I	25/50	-	1.8	SDIO 时钟
SDIO_D0	A47	I/O	-	1/2/3/4 /5/6/7/ 8	1.8	SDIO Data Bit 0
SDIO_D1	A48	I/O	-	1/2/3/4 /5/6/7/ 8	1.8	SDIO Data Bit 1

## 2.4.6 UART 接口

UART 接口如表 2-8 所示。

表2-8 UART 接口管脚列表

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
UART_TX	A4	O	<10	2/4	1.8	UART 发送数据管脚。
UART_RX	A3	I	<10	2/4	1.8	UART 接收数据管脚。

## 2.4.7 BT 共存接口

BT 共存接口如表 2-9 所示。

表2-9 BT 共存接口管脚列表

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
BT_COEX3	A32	I/O	<1	2/4	1.8	蓝牙共存信号管脚
BT_COEX2	A31	I/O	<1	2/4	1.8	蓝牙共存信号管脚
BT_COEX1	A30	I/O	<1	2/4	1.8	蓝牙共存信号管脚
BT_COEX0	A29	I/O	<1	2/4	1.8	蓝牙共存信号管脚

## 2.4.8 GPIO 接口

GPIO 接口如表 2-10 所示。

表2-10 GPIO 接口管脚列表

名称	位置	类型	频率 (MHz)	驱动 (mA)	电平 (V)	描述
GPIO0	A6	IO	<10	2/4	1.8	用作参考输入时钟 REFCLK_FREQ_SEL[1]
GPIO1	A7	IO	<10	2/4	1.8	SDIO 数据中断

## 2.4.9 PMU 管脚

PMU 管脚如表 2-11 所示。

表2-11 PMU 管脚列表

名称	位置	类型	电压(V)	描述
VDD_PMU_CLDO	A42	OPMU	-	CLDO 输出, 外接滤波电容
VDD_BUCK_1P4	A41	IPMU	1.35/1.4	给 CLDO 供电
VDD_PMU_VBAT2	A40	IPMU	3.3~4.8	VBAT 电源输入
PMU_BUCK_LX	A39	OPMU	-	BUCK LX 输出, 接板级电感电容滤波
VDD_PMU_SYSLDO	A36	OPMU	-	SYSLDO 输出, 外接滤波电容
VDDIO	A35	IPMU	1.8	系统常驻 IO 电源, 给最小上电系统 REF 和 SYSLDO 输入电源
PMU_REFBP	A24	OPMU	-	基准电源输出, 外接 Bypass 电容
VDD_PMU_VBAT1	A23	IPMU	3.3~4.8	VBAT 电源输入
VDD_PMU_1P4	A22	IPMU	1.35/1.4	给 RFLDO1、RFLDO2、RFLDO3、RFLDO4 供电
VDD_PMU_PALDO	A21	OPMU	3.3	PALDO 输出, 外接滤波电容



名称	位置	类型	电压(V)	描述
VDD_PMU_RFLDO2	A20	O <sub>PMU</sub>	1.2	RFLDO2 输出，外接滤波电容
VDD_PMU_RFLDO1	A19	O <sub>PMU</sub>	1.2	RFLDO1 输出，外接滤波电容
VSS_PMU_PGND	A38	-	-	PMU 功率地管脚

### 2.4.10 RF 接口

RF 接口如 2-12 所示。

表2-12 RF 接口管脚列表

名称	位置	类型	电平 (V)	描述
RF_WL_RFO_2G	A12	IO <sub>RF</sub>	-	WLAN RF 输入输出

### 2.4.11 RF 电源管脚

RF 电源管脚如表 2-13 所示。

表2-13 RF 电源管脚列表

名称	位置	类型	电压(V)	描述
VDD_WL_RF_LNA_1P2	A10	I <sub>PMU</sub>	1.2	RFLDO1 供电
VDD_WL_RF_PA2G_3P3	A13	I <sub>PMU</sub>	3.3	PALDO 供电
VDD_WL_RF_TRX_1P2	A14	I <sub>PMU</sub>	1.2	RFLDO1 供电
VDD_WL_RF_VCO_LOG EN_1P2	A15	I <sub>PMU</sub>	1.2	RFLDO2 供电

### 2.4.12 GND 管脚

GND 管脚如表 2-14 所示。

表2-14 GND 管脚列表

名称	位置	电压(V)	描述
GND	A8 A11 A16 A17 A18	-	GND 管脚

2.4.13 NC 管脚

NC 管脚如表 2-15 所示。

表2-15 NC 管脚列表

名称	位置	电压(V)	描述
NC	A2 A9	-	NC 管脚，悬空处理

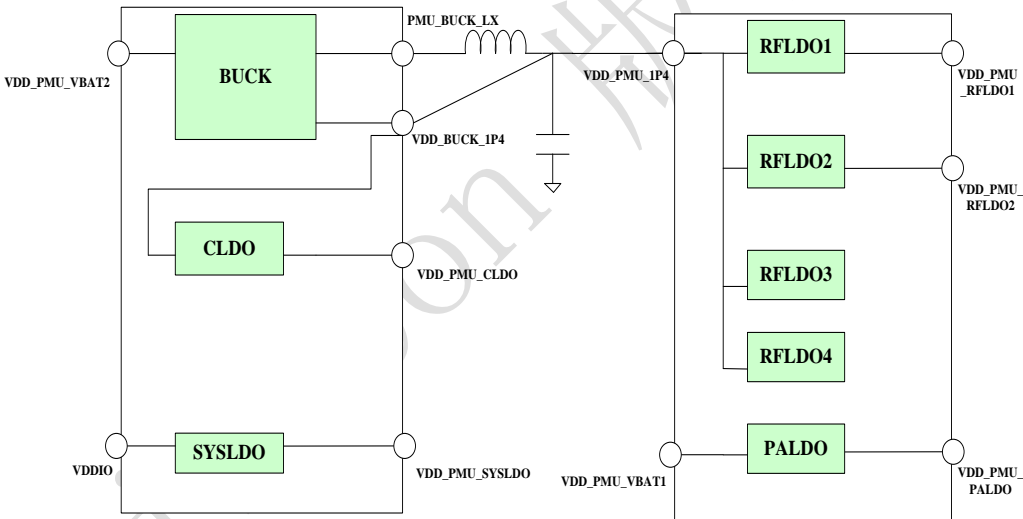
# 3 原理图设计指导

## 3.1 电源参考设计

### 3.1.1 电源拓扑和规格

Hi1131S 需要的外部电源包括电池电源 VBAT 和 IO 电源 VDDIO。Hi1131S 电源拓扑如下图所示，芯片内部主要集成了 BUCK 和多个低压差线性稳压器（LDO），BUCK 作为一个中间的电源平面给多个 LDO 提供电源；LDO 分为给数字提供电源的 LDO、以及高压 LDO 和低噪声 LDO 等。

图3-1 Hi1131S 电源拓扑结构



Hi1131S PMU 内部有一个 BUCK 提供 1.35V 电源，该 1.35V 电源也可以由外部电源模块提供。

Hi1131S 推荐工作条件如下表所示：

表3-1 推荐工作条件

符号	参数描述	最小值 (V)	典型值 (V)	最大值 (V)
VBAT 【1】	电池电源，由外部电源提供	3.3	3.6 – 4.8	
VDDIO 【2】	IO 电源，由外部电源提供	1.62	1.8	

符号	参数描述	最小值 (V)	典型值 (V)	最大值 (V)
1P4 【3】	1.35V 电源，由外部电源或者内部 BUCK 电源提供	1.3	1.35	1.5
VDD_PMU_SYSLDO	内部 LDO 电源，外接滤波电容		1.1	
VDD_CMU_LDO_TCXO	内部 LDO 电源，外接滤波电容		1.8/2.8	
VDD_PMU_PALDO	内部 LDO 电源，输出提供给 VDD_WL_RF_PA2G_3P3		3.3	
VDD_PMU_CLDO	内部 LDO 电源，外接滤波电容		1.1	
VDD_PMU_RFLDO1	内部 LDO 电源，输出提供给 VDD_WL_RF_LNA_1P2、VDD_WL_RF_TRX_1P2		1.2	
VDD_PMU_RFLDO2	内部 LDO 电源，输出提供给 VDD_WL_RF_VCO_LOGEN_1P2		1.2	
PMU_REFBP	内部基准电源输出，外接滤波电容		1.2	



说明

【1】: VBAT 对应管脚: VDD\_PMU\_VBAT1、VDD\_PMU\_VBAT2

【2】: VDDIO 对应管脚: VDDIO、VDDIO1

【3】: 1P4 对应管脚: VDD\_BUCK\_1P4、VDD\_PMU\_1P4

### 3.1.2 VBAT 电源

名称	位置	类型	电压(V)	描述	滤波电容
VDD_PMU_VBAT2	A40	IPMU	3.3~4.8	VBAT 电源输入	10UF
VDD_PMU_VBAT1	A23	IPMU	3.3~4.8	VBAT 电源输入	4.7UF

Hi1131S 包含两个 VBAT 电源输入管脚: VDD\_PMU\_VBAT1、VDD\_PMU\_VBAT2。其中 VDD\_PMU\_VBAT1 提供 PALDO 的输入电压; VDD\_PMU\_VBAT2 提供 BUCK 的输入电压。

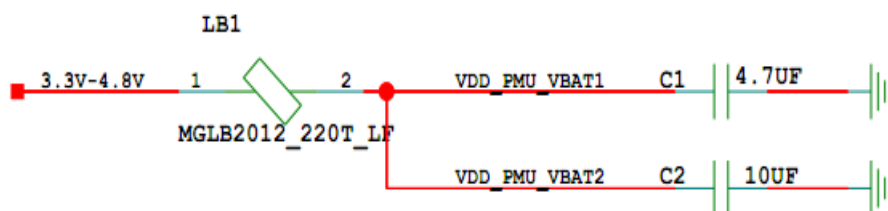
Hi1131S VBAT 支持 (3.3V – 4.8V) 输入, 但是在 VBAT 3.3V 供电下, RF TX Power 在相同 EVM 下约有 1dB 左右的下降。

VBAT 电源可以由外部 PMU 芯片或者外部 BUCK 电路生成提供。

### 3.1.2.1 VBAT 参考电路

推荐在 VBAT 输入串联磁珠滤波, 磁珠华为 CODE: 10070012, 规格 220ohm@100MHz, 2A, 直流电阻 0.05ohm; 并且在 Hi1131S 的每个输入管脚各放一个电容滤波。参考电路图如下:

图3-2 Hi1131S VBAT 输入电路

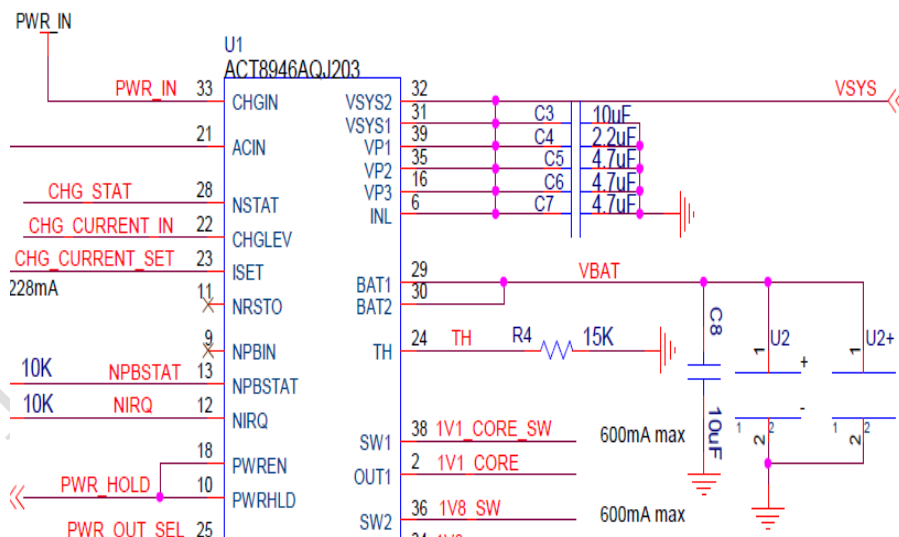


### 3.1.2.2 VBAT 输入电源要求

VBAT 输入电源, 要求电源纹波 $\leq 20\text{mV}$ 。

Hi1131S VBAT 在使用电池电压方案输入时, 建议输入电压范围 3.6V – 4.8V。推荐使用外部 PMU 芯片, 比如 ACT8946AQJ203, VBAT 由该 PMU 芯片 VSYS 提供; 需要确认外部 PMU 芯片规格能够保证在 CHGIN 或 BAT 供电的情况下 VSYS 都能够满足 3.6V – 4.8V 的电压范围。

图3-3 外部 PMU 芯片 VSYS 输出电路参考



如果 Hi1131S VBAT 直接由电池供电, 还需要考虑增加 TVS 管和稳压管用于浪涌保护, 推荐 TVS 管规格:

华为 CODE 15040447, 反向击穿电压 6-9V, 箝位电压 10V, 峰值脉冲电流 60A, 峰值脉冲功率 600W。

推荐稳压管规格:

华为 CODE 15040404, Zener 电压 5.6V, 功率耗散 0.5W。

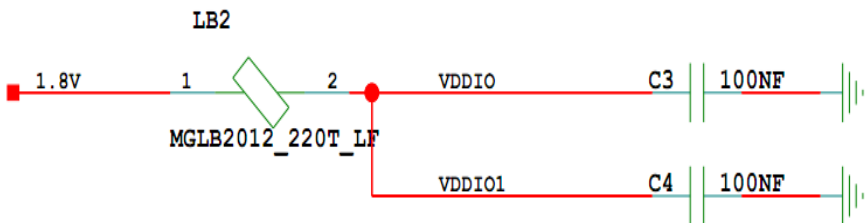
Hi1131S VBAT 也可以由外部 BUCK 电路生成。推荐选用开关频率较大的（建议大于 1MHz）BUCK 电源芯片，选择合适的电感和输出滤波电容，能够更有效抑制纹波和谐波干扰。

3.1.3 VDDIO 电源

名称	位置	类型	电压(V)	描述	滤波电容
VDDIO	A35	IPMU	1.8	系统常驻 IO 电源，给最小上电系统 REF 和 SYSLDO 输入电源	100NF
VDDIO1	A1	IPMU	1.8	系统常驻 IO 电源，给最小上电系统 REF 和 SYSLDO 输入电源	100NF

Hi1131S 包含两个 VDDIO 电源输入管脚：VDDIO（管脚 35）和 VDDIO1（管脚 1）。只能支持 1.8V 电压；电源纹波<=20mV；推荐输入串联磁珠滤波，磁珠规格 220ohm@100MHz，2A，直流电阻 0.05ohm；且每个管脚各留一个 100NF 电容滤波。

图3-4 Hi1131S VDDIO 输入电路

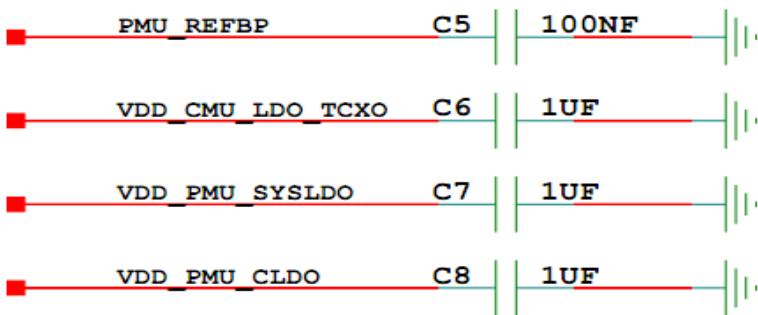


推荐 1.8V 由外部 BUCK 电路或者 LDO 电路生成。

3.1.4 内部电源滤波电路

Hi1131S 内部电源中的 VDD\_PMU\_SYSLDO、VDD\_CMU\_LDO\_TCXO、VDD\_PMU\_CLDO、PMU\_REFBP 需要外接滤波电容，参考如下电路图：

图3-5 内部电源滤波电路

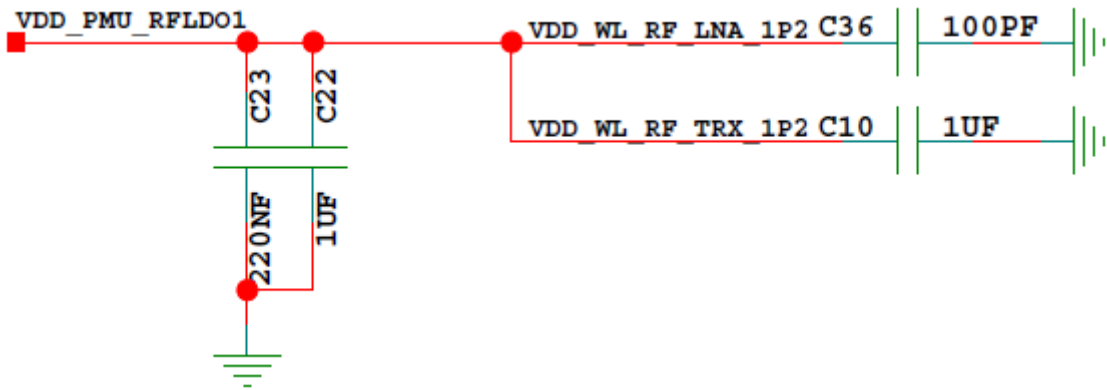


3.1.5 RFLDO1

名称	位置	类型	电压(V)	描述	滤波电容
VDD_PMU_RFLDO1	A19	OPMU	1.2V	RFLDO1 输出，外接滤波电容	1UF、220NF
VDD_WL_RF_LNA_1P2	A10	IPMU	1.2V	RFLDO1 供电	100PF
VDD_WL_RF_TRX_1P2	A14	IPMU	1.2V	RFLDO1 供电	1UF

RFLDO1 电源由 Hi1131S 管脚 VDD\_PMU\_RFLDO1 输出，输出电容 1UF+220NF；提供给 2 个管脚，并各留一个输入电容，VDD\_WL\_RF\_LNA\_1P2 (100PF)，VDD\_WL\_RF\_TRX\_1P2 (1UF)。

图3-6 RFLDO1 参考电路

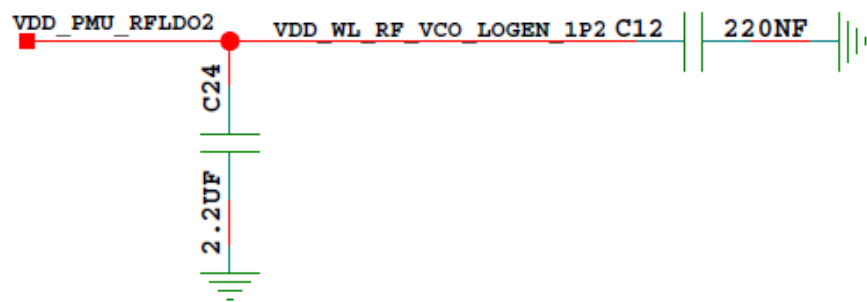


3.1.6 RFLDO2

名称	位置	类型	电压(V)	描述	滤波电容
VDD_PMU_RFLDO2	A20	OPMU	1.2V	RFLDO2 输出，外接滤波电容	2.2UF
VDD_WL_RF_VCO_LOG EN_1P2	A15	IPMU	1.2V	RFLDO2 供电	220NF

RFLDO2 电源由 Hi1131S 管脚 VDD\_PMU\_RFLDO2 输出，输出电容 2.2UF；提供给 VDD\_WL\_RF\_VCO\_LOGEN\_1P2，输入电容 220NF。

图3-7 RFLDO2 参考电路



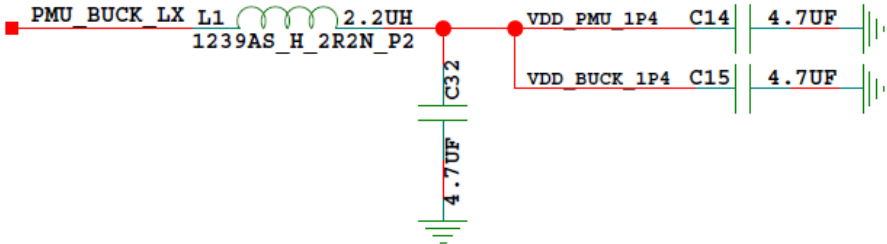
3.1.7 BUCK 电源

名称	位置	类型	电压(V)	描述	滤波电容
VDD_BUCK_1P4	A41	IPMU	1.35/1.4	给 CLDO 供电	4.7UF
PMU_BUCK_LX	A39	OPMU	-	BUCK LX 输出，外接 2.2uH 电感	-
VDD_PMU_1P4	A22	IPMU	1.35/1.4	给芯片内部 RFLDO 供电	4.7UF
VSS_PMU_PGND	A38	-	-	PMU 功率地管脚	-

Hi1131S 包含两个 1P4 电源输入管脚：VDD\_BUCK\_1P4、VDD\_PMU\_1P4。该 1P4 电源可以由内部 BUCK 生成，或者由外部电源提供。输入管脚各需 4.7UF 滤波电容。

内部 BUCK 由 VDD\_PMU\_VBAT2 提供输入电压，由 PMU\_BUCK\_LX 输出开关信号，因此需要外接电感和输出电容，推荐电感规格：2.2UH，饱和电流 2.2A（至少 1A），DCR 0.105ohm（小于 0.18ohm），华为 CODE 为 10100175。内部 BUCK 默认输出电压 1.35V，电压精度±5%，电压纹波<=10mV。参考如下电路图：

图3-8 内置 BUCK 参考电路

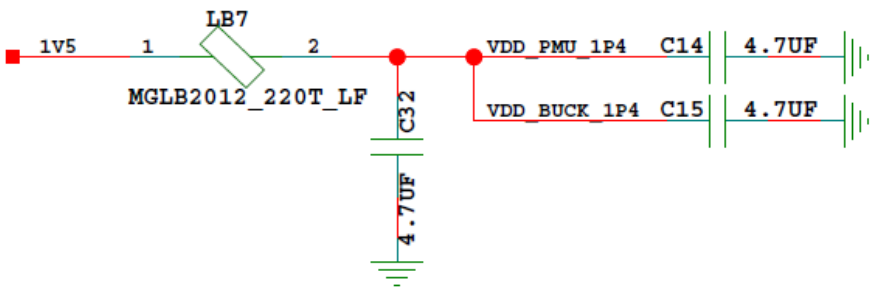




1P4 电源也可由外部 BUCK 电源提供（比如可以共用系统 DDR3 1.5V BUCK 电路），要求电源纹波 $\leq 20\text{mV}$ ；推荐选用开关频率较大的（建议大于 1MHz）BUCK 电源芯片，选择合适的电感和足够的输出滤波电容，能够更有效抑制纹波和谐波干扰。建议输入 Hi1131S 芯片的电源上增加磁珠滤波，磁珠规格  $220\Omega @ 100\text{MHz}$ ，2A，直流电阻  $0.05\Omega$ 。

此时内部 BUCK 电路的  $2.2\mu\text{H}$  电感不贴，管脚 PMU\_BUCK\_LX 空接，由软件禁止内部 BUCK。外部 1.5V 电源直接经过磁珠接入 VDD\_PMU\_1P4 和 VDD\_BUCK\_1P4，滤波电容可以保持不变，在 VDD\_PMU\_1P4 上预留 0R 电阻。参考如下电路图：

图3-9 BUCK 外接参考电路



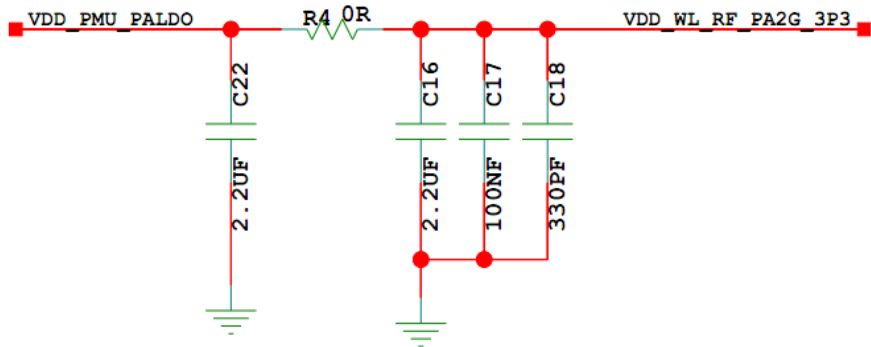
3.1.8 PALDO

名称	位置	类型	电压(V)	描述	滤波电容
VDD_PMU_PALDO	A21	OPMU	3.3V	PALDO 输出，外接滤波电容	2.2UF
VDD_WL_RF_PA2G_3P3	A13	IPMU	3.3V	PALDO 供电	2.2UF, 100NF, 330PF（靠近芯片从小到大排列）

VDD\_PMU\_PALDO 输出 3.3V 电源给 RF PA 供电，输出电源滤波电容 2.2uF；

提供给 VDD\_WL\_RF\_PA2G\_3P3，输入电源滤波电容 2.2uF、100nF、330pF 各一个；并建议串联 0ohm 电阻。参考电路图如下：

图3-10 PALDO 参考电路



3.2 时钟参考设计

名称	位置	类型	频率 (MHz)	描述	滤波电容
XIN	A25	I <sub>ANA</sub>	24/40	TCXO 时钟输入管脚/ Crystal 输入管脚	-
XOUT	A26	O <sub>ANA</sub>	24/40	TCXO 下悬空/Crystal 输出管脚	-
VDD_CMU_LDO_TCXO	A27	O <sub>PMU</sub>	-	XLDO 输出 1uF 滤波电容	1UF

3.2.1 参考时钟

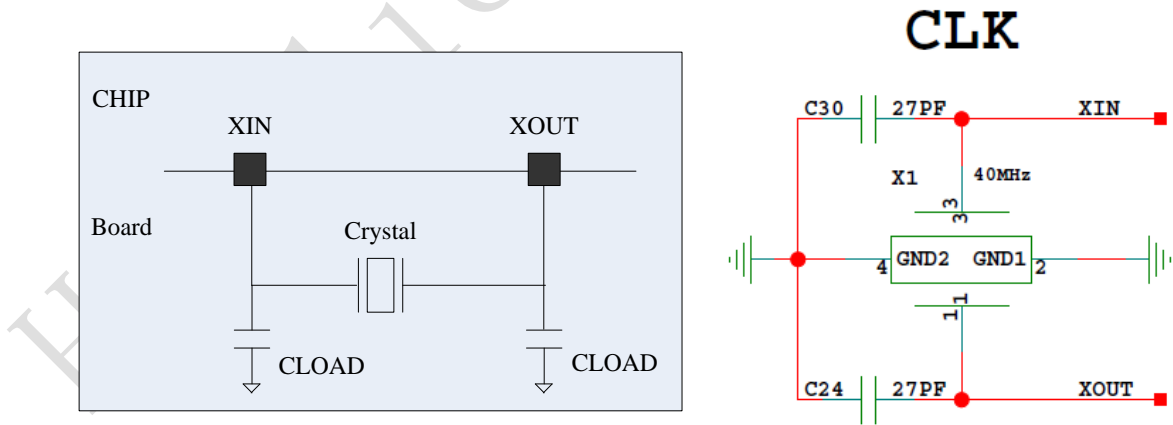
Hi1131S 需要外部参考时钟。芯片内部有 PLL，产生内部电路工作需要的时钟。Hi1131S 支持 24MHz、40MHz 参考时钟频率。

Hi1131S 支持 Crystal 和外部高精度时钟两种参考时钟输入模式。

3.2.1.1 Crystal 输入模式

在使用外部 Crystal 时，电路结构如下图所示：

图3-11 使用 Crystal 输入参考时钟的参考电路图



对外部 Crystal 电气特性的要求如下表所示：

表3-2 Crystal 电气特性要求

Parameter	symbol	min	typ	max	units	Information
Nominal frequency	f		24/40		MHz	-

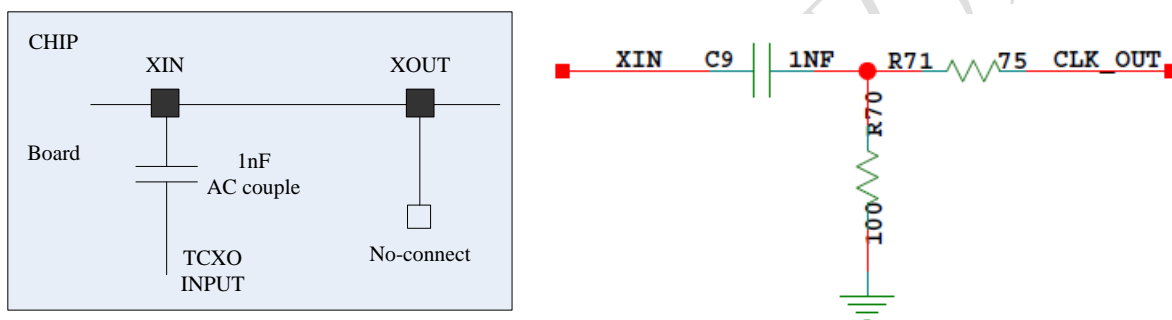
frequency tolerance	$L_m$	-20	-	+20	ppm	典型范围
Series Resistance	R	-	25	80	Ohm	影响噪声性能
Load Capacitance	CL	-	15	-	pF	影响功耗和频偏

Crystal 外接负载电容 CLOAD 会影响频偏，要求按照公式： $CLOAD=2*CL-C_p$  计算并选取合理的容值；其中 CL 为 Crystal 内部的 Load Capacitance， $C_p$  为 PCB 和芯片封装的寄生电容总和，一般经验值为 3~5pF。

### 3.2.1.2 外部高精度时钟输入模式

在使用外部高精度时钟时，电路结构如下图所示：

图3-12 使用外部高精度时钟做参考时钟的参考电路图



系统主芯片可以通过数字 IO 产生一个 3.3V 的 24M、40M 数字时钟并经过板级电阻分压得到 AC-Couple 1.8V (0V, 1.6-1.8V) 方波时钟，占空比在 50% +/-1%，接入 Hi1131S XIN 管脚，对时钟的相噪要求如下：-132.4dBc@1KHz，-144.4dBc@10KHz，-150.4dBc@100KHz，-152.4dBc@1MKHz。

参考图中的戴维南电路可以用来调节时钟输入幅度和减少谐波干扰。

### 3.2.1.3 参考时钟频率选择

Hi1131S 支持 24MHz、40MHz 参考时钟频率。参考时钟频率的选择通过 HOST2DEV\_WAKEUP 和 GPIO0 这两个数字管脚的逻辑电平进行判断。

外部时钟选择真值表如下表所示：

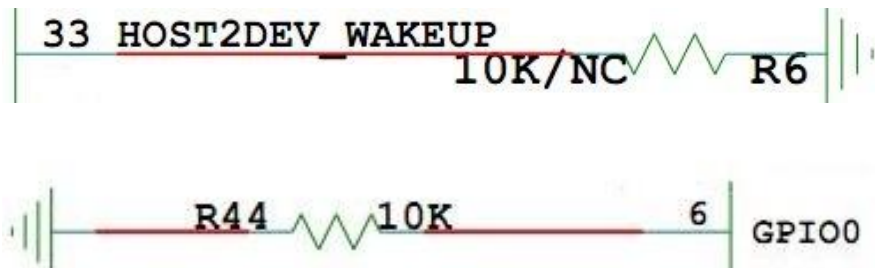
表3-3 外部时钟选择真值表

时钟频率	HOST2DEV_WAKEUP	GPIO0
40MHz	0	0
24MHz	1	-

其中 HOST2DEV\_WAKEUP 在硬件设计上因低功耗要求需要下拉(外部预留 10KΩ 下拉电阻)，必须通过 Host GPIO 控制来实现不同电平；GPIO0 则推荐直接下拉就可以。

参考如下电路图所示：

图3-13 频率选择管脚参考电路图



3.2.2 RTC 时钟

Hi1131S 芯片需要外部提供 32.768 KHz RTC 时钟，用于低功耗处理，非低功耗时 RTC 时钟可选。

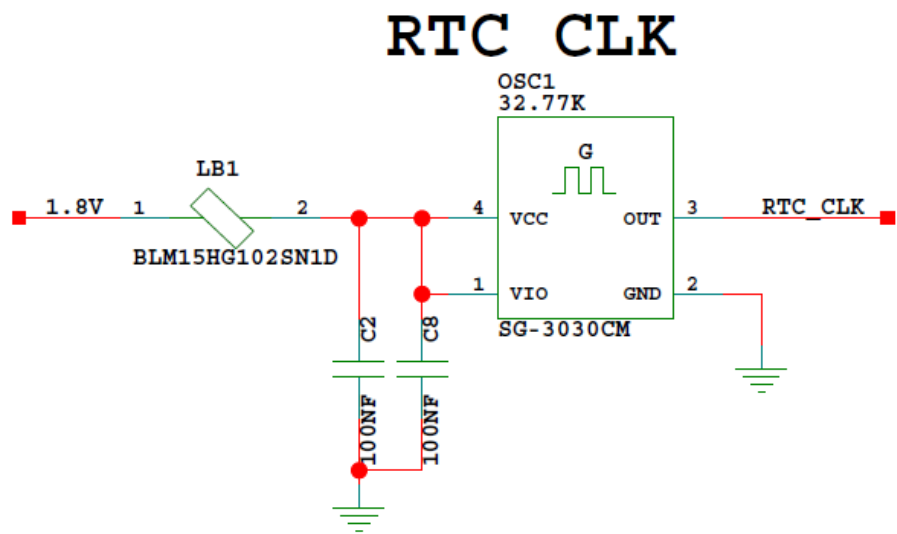
对 32.768 KHz RTC 时钟的电气特性要求如下表所示。

表3-4 RTC 时钟电气特性要求

参数	RTC 时钟	单位
时钟波形	方波	-
时钟频率	推荐值：32.768	KHz
时钟精度	推荐值：±200	ppm
占空比	30~70	%
输入信号幅度(Peak-Peak)	900~1800	mV
信号类型	方波	-
输入阻抗	>100	KΩ
	<5	pF
时钟 Jitter	<10000	ppm

RTC 时钟可以由外部晶体振荡器产生。因需要考虑低功耗，推荐选用功耗较小的器件，比如 SG-3030CM；RTC 时钟供电电源与 Hi1131S VDDIO 相同，参考电路图如下：

图3-14 RTC 时钟参考电路图

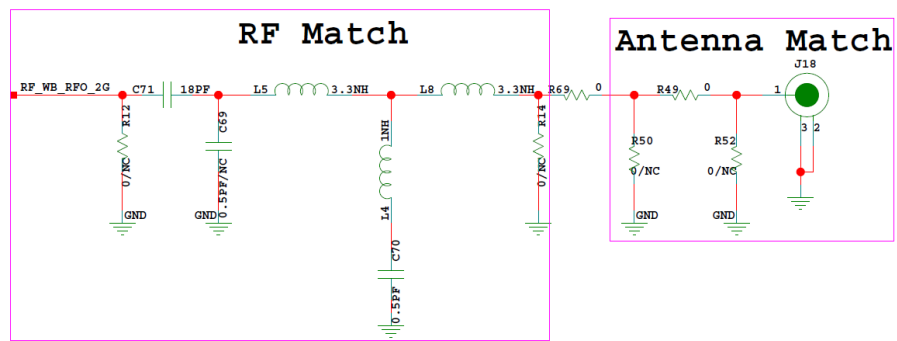


3.3 RF 参考设计

名称	位置	类型	电平（V）	描述
RF_WL_RFO_2G	A12	IO <sub>RF</sub>	-	WLAN RF 输入输出

Hi1131S 支持 WLAN 2.4GHz，建议添加 RF 滤波匹配网络。推荐 RF 输入 18PF 隔直；参考电路的 LC 滤波网络已经过验证测试，当然也会根据不同 Layout 和 PCB 叠层进行实测调整；预留天线匹配网络。参考如下电路图：

图3-15 RF 参考电路图



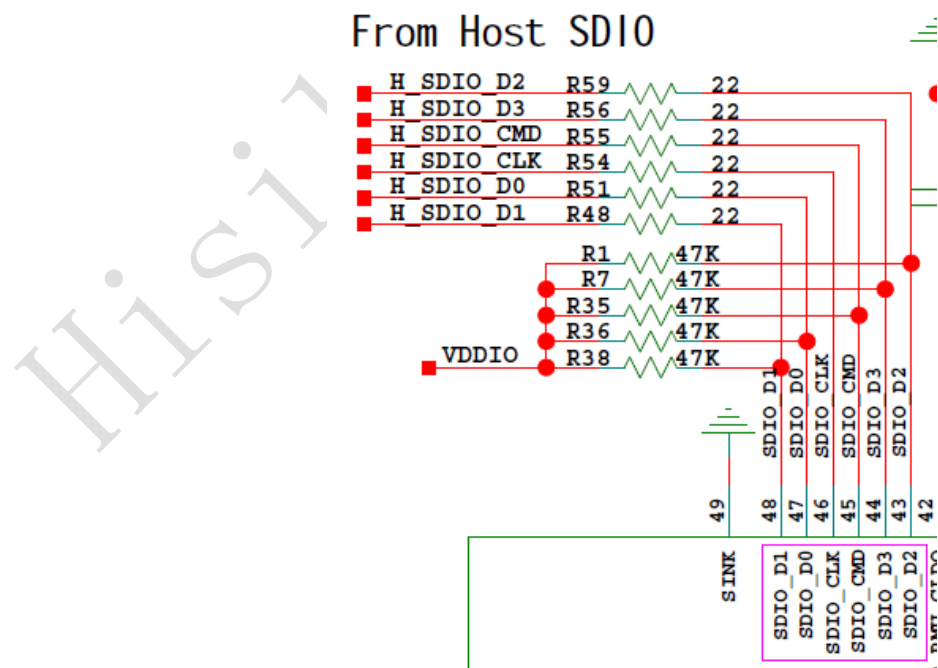
3.4 接口参考设计

3.4.1 SDIO 接口参考设计

名称	位置	类型	电压(V)	描述	外接电路
SDIO_D2	A43	I/O	1.8	SDIO Data Bit 2	串联 22ohm，外接 47Kohm 上拉
SDIO_D3	A44	I/O	1.8	SDIO Data Bit 3	串联 22ohm，外接 47Kohm 上拉
SDIO_CMD	A45	I/O	1.8	SDIO Command In	串联 22ohm，外接 47Kohm 上拉
SDIO_CLK	A46	I	1.8	SDIO 时钟	串联 22ohm
SDIO_D0	A47	I/O	1.8	SDIO Data Bit 0	串联 22ohm，外接 47Kohm 上拉
SDIO_D1	A48	I/O	1.8	SDIO Data Bit 1	串联 22ohm，外接 47Kohm 上拉

Hi1131S 通过 SDIO 与 Host 通信。SDIO 设计要求信号串联 22ohm 电阻；DATA/CMD 信号需要通过 47Kohm 上拉到 1.8V（VDDIO）。串联电阻和上拉电阻由 host 决定，具体阻值要求仿真得出。需要注意 Hi1131S SDIO 电平只支持 1.8V，要求 Host 端也必须是 1.8V 电平。否则两者之间需要增加电平转换芯片，选用的电平转换芯片需要符合 SDIO 速率（50MHz）要求，输入输出高低电平门限要求。SDIO 接口参考电路图如下：

图3-16 SDIO 接口参考电路图



### 3.4.2 UART 接口参考设计

名称	位置	类型	电压(V)	描述	滤波电容
UART_RX	A3	O	1.8	UART 接收	-
UART_TX	A4	I	1.8	UART 发送	-

Hi1131S 包含一组 UART 信号，用于 Hi1131S 侧维测打印。相应管脚通常空接；如需预留使用，可以连接到测试点。

### 3.4.3 BT 共存信号参考应用

名称	位置	类型	电压(V)	描述	滤波电容
BT_COEX0	A29	I/O	1.8	BT 共存控制信号线，管脚默认是高阻状态	-
BT_COEX1	A30	I/O	1.8		-
BT_COEX2	A31	I/O	1.8		-
BT_COEX3	A32	I/O	1.8		-

BT 共存控制信号，可以支持 2 线、3 线或者 4 线模式，具体实现参考设计后续实际需求中再提供。

## 3.5 控制信号及低功耗应用参考设计

名称	位置	类型	电压(V)	描述	滤波电容
WL_RST_N	A5	I <sub>PU</sub>	1.8	复位功能，默认高电平，拉低复位	-
GPIO0	A6	I/O	1.8	通用 GPIO0，复用为参考时钟选择，推荐外接下拉电阻	-
GPIO1	A7	I/O	1.8	通用 GPIO，用作 SDIO 数据中断	-
DEV2HOST_WAKEUP	A28	O	1.8	设备唤醒主控	-
HOST2DEV_WAKEUP	A33	I <sub>PD</sub>	1.8	主控唤醒设备，复用为参考时钟选择，推荐外接下拉	-
RTC_CLK	A34	I	1.8	RTC 时钟输入	-

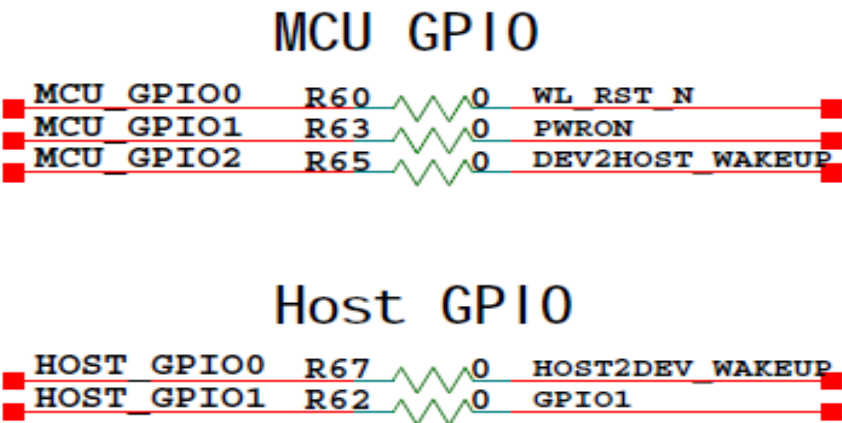
Hi1131S 包含多种控制信号，包括全局控制信号：PMU\_PWRON、WL\_RST\_N；相互唤醒信号：HOST2DEV\_WAKEUP、DEV2HOST\_WAKEUP；还有一个 GPIO1 用于 SDIO 数据中断。以上控制信号必须连接到 Host 或者 MCU。

如果 Hi1131S 需要低功耗应用，那么必须考虑以下几点设计要求：

- 1. VBAT、VDDIO 必须常供电，进入系统待机模式也不能够关闭。
- 2. RTC 时钟必须由外部提供，具体规格要求上文已经提供，RTC 时钟也必须常供。
- 3. PMU\_PWRON，WL\_RST\_N，DEV2HOST\_WAKEUP 这三个信号必须连接到常供电的 GPIO，比如 MCU。HOST2DEV\_WAKEUP、GPIO1 则接到 Host 端，可以待机关电，同时要求 HOST2DEV\_WAKEUP 在待机和上电主动唤醒前保持低电平，避免 Device 误唤醒。

以下是控制信号连接的参考电路图：

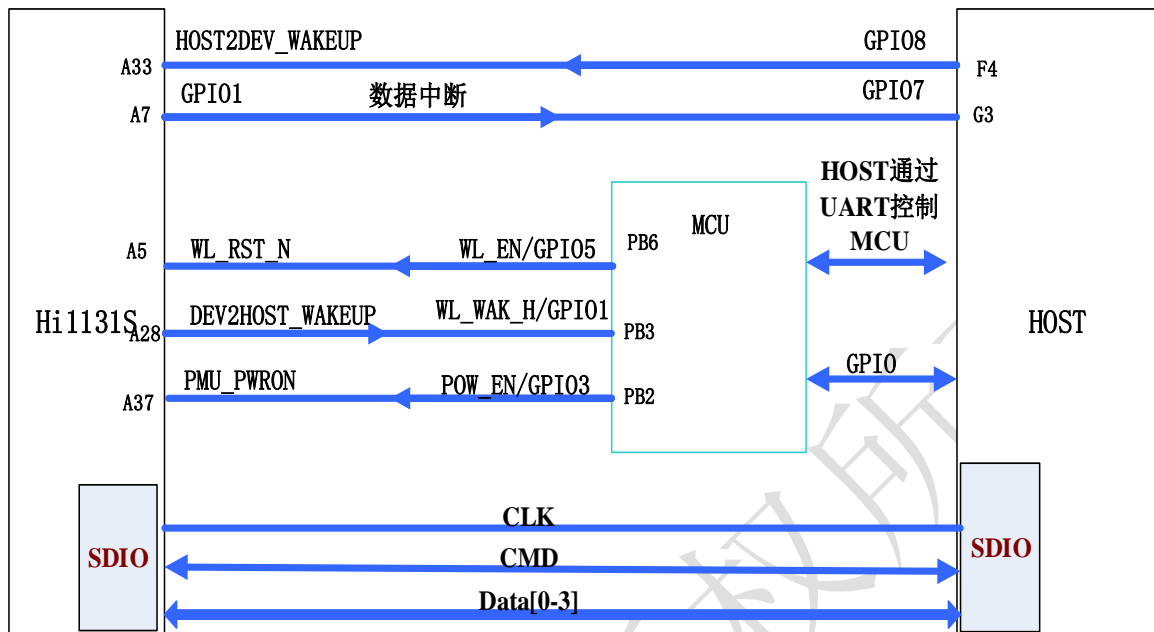
图3-17 控制信号参考电路图



下面是系统低功耗应用系统连接参考框图和功能描述：



图3-18 低功耗应用系统连接参考框图



1. HOST2DEV\_WAKEUP: 接 Host, 功能: Host 唤醒 Device。
2. GPIO1: 作为数据中断使用, 接 Host。
3. WL\_RST\_N: 复位功能, 默认高电平, 拉低复位。接 MCU, Host 通过 UART 下发命令进行控制, 管脚悬空时 Hi1131S 芯片内部有上拉。
4. DEV2HOST\_WAKEUP: Device 唤醒 Host, 接 MCU; Host 通过 SDIO 查询 Device 状态。
5. PMU\_PWRON: 接 MCU, 控制 Device 上下电。
6. Host 通过 UART 接口和 MCU 进行命令交互, 也有 GPIO 通知状态。

# 4 PCB 设计指导

## 4.1 叠层信息

Hi1131S 支持 2/4 层板，支持器件单面贴设计。

推荐 PCB 板厚：COB 方案一般 $\geq 1\text{mm}$ ，防止翘曲，过孔 10/22mil。Epad 通孔孔中心距一般 40~50mil 左右，一般建议 50mil，目的防止漏锡。

PCB 模组板厚一般 $\geq 0.8\text{mm}$ ；

推荐铜厚度约 1oz。

常用的叠层设计可参考如下：

图4-1 2 层板 1.0mm 参考叠层信息

LAYER STACKING CHART						
NAME	MATERIAL	THICKNESS [mil]	STACKING	COPPER	CONSTRUCTION	TOLERANCE [mil]
TOP	STD			1/2OZ+PLATING		
	FR4 Tg>150degC	36.2	Core			
BOTTOM	STD			1/2OZ+PLATING		
BOARD THICKNESS : 1.00 mm , BOARD THICKNESS TOLERANCE : +/- 0.10 mm						

4

SINGLE IMPEDANCE LIST						
LAYER#	WIDTH [mil]	IMPEDANCE [ohm]	PRECISION [+/- %]	REF LAYER	WIDTH TOLERANCE	REMARK
1	19.8	50	10	1&2	SEE NOTES 4	COATED COPLANAR WAVEGUIDE WITH GROUND

4

DIFFERENTIAL IMPEDANCE LIST						
LAYER#	WIDTH/SPACE [mil]	IMPEDANCE [ohm]	PRECISION [+/- %]	REF LAYER	WIDTH TOLERANCE	REMARK
1	7 2/5	100	10	1&2	SEE NOTES 4	COATED COPLANAR WAVEGUIDE WITH GROUND
2	7 2/5	100	10	1&2	SEE NOTES 4	COATED COPLANAR WAVEGUIDE WITH GROUND

图4-2 2 层板 1.6mm 参考叠层信息

普通	1.6mm 2layers		1次电镀1次压合		
	PCB Stack		Finished (mil)	Tolerance(mil)	Er
	Top mask		0.8		
L1	Copper(base+plating)		1.4		
	laminate		59.1		
L2	Copper(base+plating)		1.4		
Bottom mask			0.8		
			63.5		
Final Total			1.6mm		

Diff Impedance	Layer	Trace W/S(mil)	Tol
100 ohm	1,2	6/5	
90 ohm	1	9/5	

图4-3 4 层板 1.6mm 参考叠层信息

LAYER STACKING CHART					
NAME	MATERIAL	THICKNESS [mil]	STACKING	COPPER	
TOP	COPPER	1.4		1/2OZ·PLATING	
	PREPREG 762B	8.2	Prepreg		
ART02	COPPER	1.2		1OZ	
	CORE	37	Core		
ART03	COPPER	1.2		1OZ	
	PREPREG 762B	8.2	Prepreg		
BOTTOM	COPPER	1.4		1/2OZ·PLATING	
BOARD THICKNESS : 1.6 mm , BOARD THICKNESS TOLERANCE : +/- 0.16 mm					

SINGLE IMPEDANCE LIST				
LAYER	WIDTH [mil]	IMPEDANCE [ohm]	PRECISION [%]	REF LAYER
1	11.9	50	10	1&2
4	11.9	50	10	3&4

DIFFERENTIAL IMPEDANCE LIST				
LAYER	WIDTH/SPACE [mil]	IMPEDANCE [ohm]	PRECISION [%]	REF LAYER
1	6.1/5.5	100	10	2
4	6.1/5.5	100	10	3

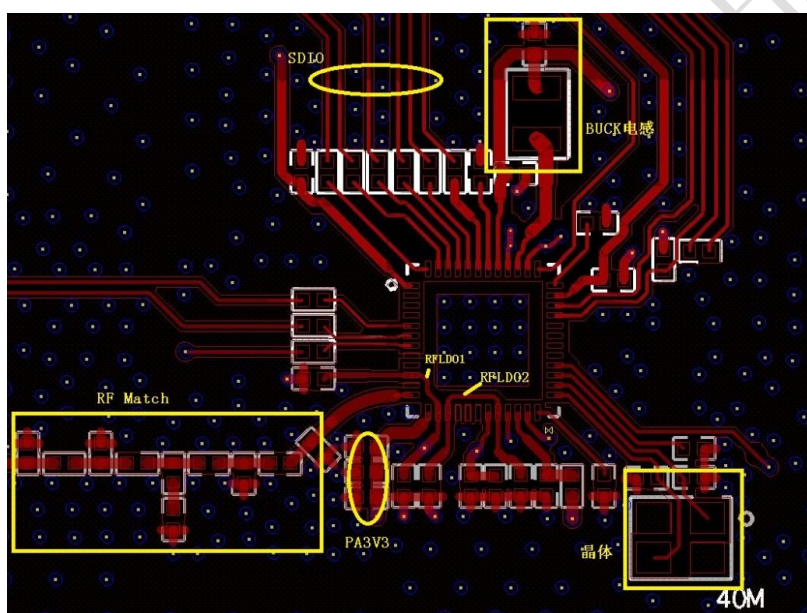
## 4.2 PCB 布局

Hi1131S 应用支持 COB 和 PCB 模组两种方案。COB 方案支持 2 层板设计，贴片器件封装建议为 0402，原因如下：

1. 0201 封装贴片精度不够稳定，加工有风险且产品维修比较困难；
2. 客户基本使用 0402 封装，0201 供应链可能没有导入，或者需要新增导入；
3. 部分机顶盒客户可双面贴片，可采用 0402 封装；IPC 客户考虑小型化，一般直接选用模组，如需可选购 Hi1131S PCB 模组，可以咨询相关业务窗口。

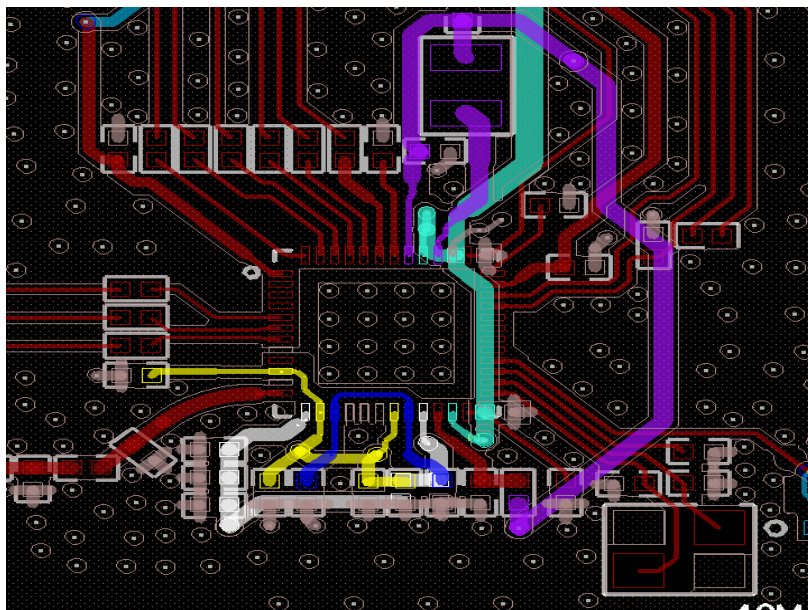
综上本次 Hi1131S PCB 设计指导选择难度较大的 0402 器件和两层板布局作为参考设计。

图4-4 PCB 布局参考



电源走线如下图示：黄色：RFLDO1 蓝色：RFLDO2 白色：PALDO 紫色：BUCK 绿色：VABT

图4-5 电源布线参考



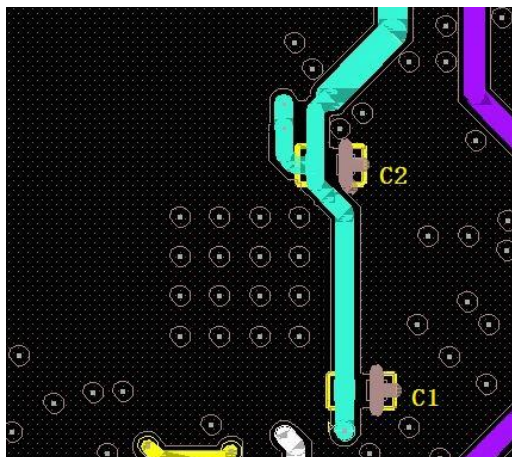
## 4.3 电源

### 4.3.1 VABT 布线指导

1. VBAT1 电流 400mA，基于 100mA/4mil 原则，VABT1 电源走线线宽需 $\geq 16\text{mil}$ 。滤波电容 4.7UF 需要靠近管脚放置。
2. VBAT2 电流 500mA，基于 100mA/4mil 原则，VABT2 电源走线线宽需 $\geq 20\text{mil}$ 。滤波电容 10UF 需要靠近管脚放置且电源走线要先经过滤波电容再到芯片的电源管脚。
3. PMU\_REFBP、VDD\_PMU\_SYSLDO、VDD\_PMU\_CLDO 滤波电容靠近管脚放置，走线线宽建议 $\geq 8\text{mil}$ 。

VABT 电源走线（绿色），VBAT1 及 VABT2 上的滤波电容摆放位置如下图所示，

图4-6 VBAT 布线参考



### 4.3.2 BUCK 布线指导

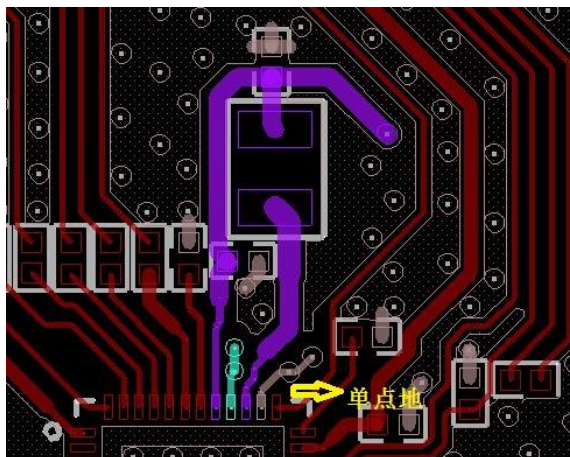
BUCK 的输出、BUCK 电感、滤波电容及地形成的最短回流通路十分重要。该环路中包含大量高频开关电流成分，因此 PCB 走线时应该最小化环路面积。BUCK 回流环路面积越大，磁场辐射越强，这将成为噪声扩散的主要来源。

BUCK 在芯片右上角位置，主要是为了避免 BUCK 的电源噪声影响 RF（左下角）和模拟部分，因此布局时候外接功率电感尽量远离 Hi1131S 的 RF 和模拟部分，可以适当离开芯片远一点，以减少 BUCK 对射频性能的影响。

#### ●PCB 走线约束

1. PMU\_BUCK\_LX 是强干扰源，需要与其他敏感信号保持距离，输出电流 200mA，线宽需要 $\geq 10\text{mil}$ ；并且能够尽量包地处理，包地线尽量粗且多打地孔。
2. VDD\_BUCK\_1P4，BUCK 输出反馈和芯片内部 CLDO 输入，单独走线接入芯片，电流 100mA，线宽需要 $\geq 10\text{mil}$ ，滤波电容 4.7UF 靠近管脚放置。走线源头从 1P4 的输出电容上取电。走线两端尽量包地处理，包地线尽量粗且多打地孔。
3. VDD\_PMU\_1P4，BUCK 输入给芯片内部 RFLDO 供电；电流 100mA，线宽需要 $\geq 10\text{mil}$ ；滤波电容 4.7UF 靠近管脚放置。走线源头从 1P4 的输出电容上取电。走线两端尽量包地处理，包地线尽量粗且多打地孔，背面走线远离芯片 Epad，不要割裂参考地平面。
4. VSS\_PMU\_PGND，芯片内置 BUCK 电路地，噪声较大，必须与芯片地在 TOP 层分开，建议单点地处理，至少 2 个地孔。且与 VDD\_PMU\_VBAT2 的输入电容接地、1P4 的输出电容接地三者在 TOP 层尽可能连成一片铺铜，减少地回路路径，并且靠近 VSS\_PMU\_GND 管脚尽量多打地孔到主地层。

图4-7 BUCK 走线参考

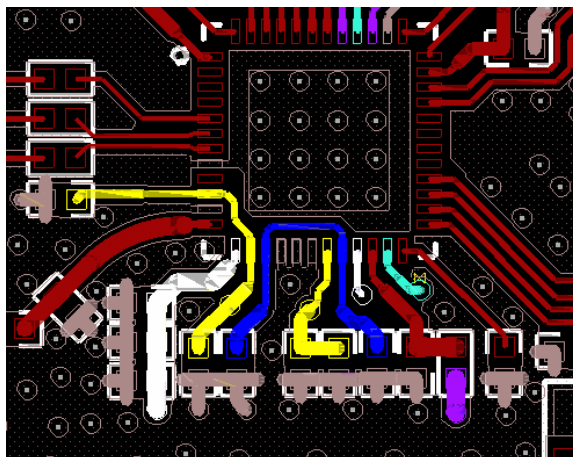


## 4.4 RF 布线指导

1. RFLDO1 电源走线支持串行走线，但是星型走线可以带来更好的性能。
2. VDD\_PMU\_RFLDO1 是芯片内部 LDO 输出，输出 1.2V 给 RF 供电，150mA，线宽需要  $\geq 8\text{mil}$ 。
3. VDD\_PMU\_RFLDO2 是芯片内部 LDO 输出，给 RF VCO 供电，极其敏感，需要远离干扰源；滤波电容最快接地处理。电流 100mA，线宽需要  $\geq 4\text{mil}$ 。
4. Pin16,17,18 地要和 TOP 层主地连成一片，增大 VDD\_PMU\_RFLDO1 和 VDD\_WL\_RF\_VCO\_LOGEN\_1P2 电源之间的隔离度。
5. WIFI 的 PA 电源由 VDD\_PMU\_PALDO 提供 3.3V; VDD\_WL\_RF\_PA2G\_3P3 的三个滤波电容根据容值靠近芯片由小到大依次摆放。
6. PA 电源滤波电容放置以及出线不要有过孔，建议与芯片同层出线布局，避免过孔带来寄生参数。走线压降要求  $< 30\text{mV}$ 。电流 400mA，线宽需要  $\geq 16\text{mil}$ 。
7. RFLDO1、RFLDO2、PA 电源走线间尽量错开，避免相互间干扰。

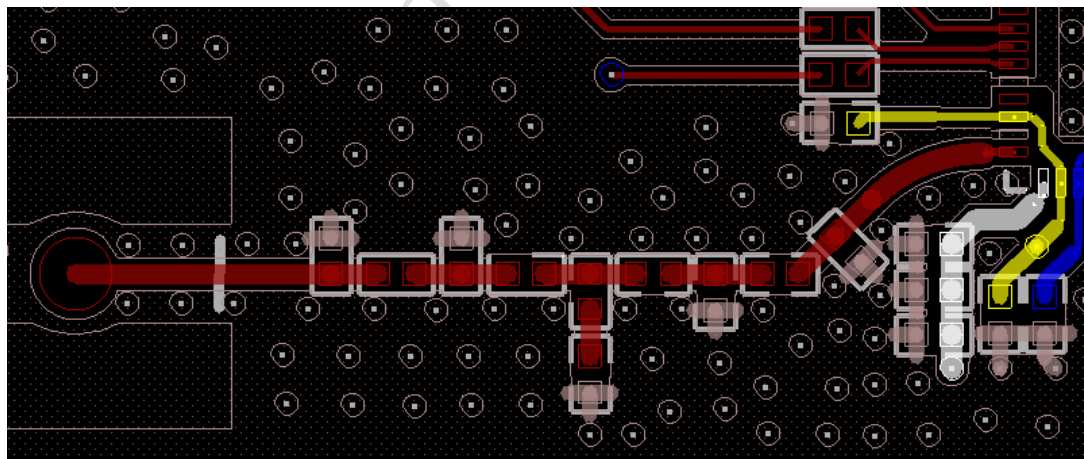


图4-8 RFLDO1/2 及 PALDO 布线参考



8. WIFI RF 前端匹配电路尽量靠近芯片放置。
9. RF 信号线走线尽量短，控制阻抗 50ohm，2 层板采用共面波导设计，走线两边多打地孔。
10. RF 射频线远离高速时钟线和电源线，保持射频走线参考面完整，特殊情况射频线参考面被分割的，通过 0ohm 电阻跨接保持连通性。
11. 射频走线的参考地与芯片主地要保持良好连通，弱连通情况下，射频性能会恶化。

图4-9 RFLDO1/2 及 PALDO 布线参考



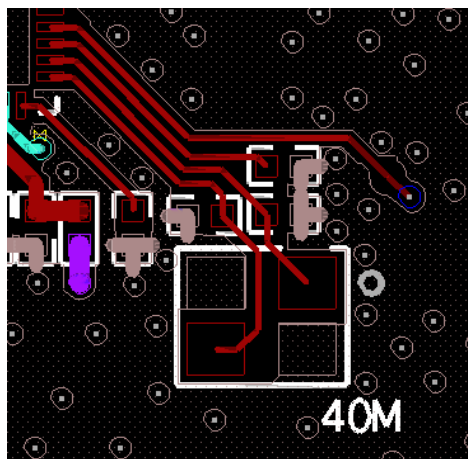
## 4.5 CMU 布线指导

1. WIFI 系统对时钟要求很高，晶体布局要远离噪声源和热源，避免噪声干扰引起系统相噪变差，或者热源辐射引起晶体温漂。PCB 布局时尽可能的拉远晶体和 BUCK 的距离。



2. PCB 为多层板时，晶体的 GND pad 建议在 TOP 层和其它地分割，通过过孔连接到主地，防止单板上的器件发热影响时钟精度；信号 pad 下面挖空到主地层，减小 pad 的寄生电容。
  3. XIN/XOUT 走线尽量短，建议能够包地处理，包地线尽量粗且多打地孔。
  4. VDD\_CMU\_LDO\_TCXO 滤波电容靠近 Hi1131S 管脚放置，走线线宽建议 $\geq 8\text{mil}$ 。
- CMU 布局及布线请参考图 4-10。

图4-10 CMU 布线参考



## 4.6 DBB 布线指导

1. VDDIO 电源滤波电容尽量靠近管脚放置。
2. 数字信号设计规则相对宽松，只要避开敏感电源、RF 和模拟部分。
3. RTC 时钟摆件远离 RF 和模拟部分，RTC\_CLK 走线按照包地处理，包地线尽可能多打孔。

## 4.7 接口布线指导

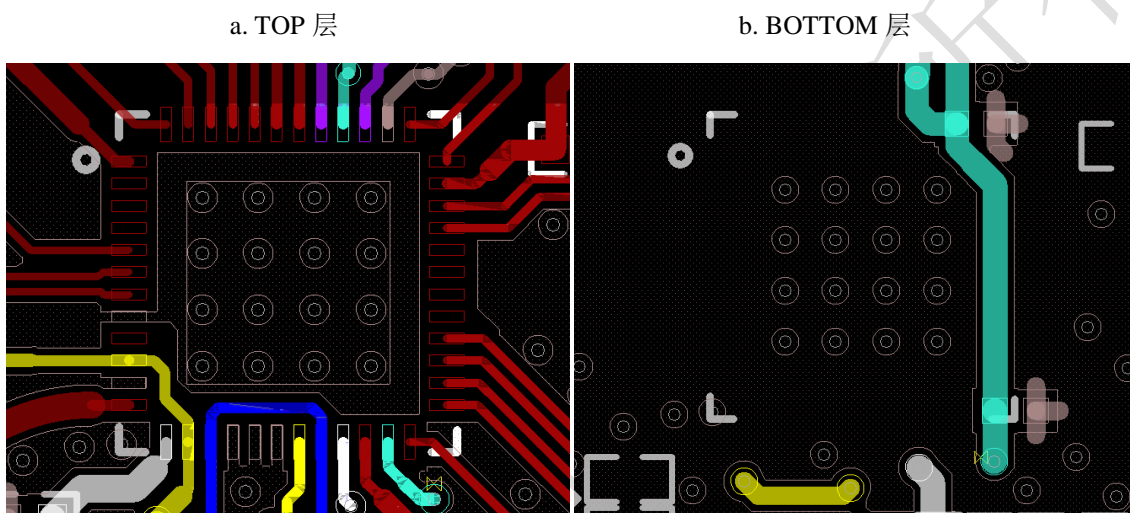
1. SDIO 最高支持 50MHz，要求布局布线远离避开敏感电源、RF 和模拟部分且走线线长尽可能短。
2. SDIO 走线线距严格按照 3W 原则，即信号与信号线之间保持 3 倍线宽，避免信号间的串扰；Clock 信号包地处理，包地线尽量粗且走线两侧多打地孔。

## 4.8 GND 布线指导

除了接地管脚之外，Hi1131S 还需要将 Epad 焊盘接地；VSS\_PMU\_PGND 接地设计要求已在前文说明。

1. 参考地平面尽量完整，2 层板设计时背面走线不要割裂参考地平面，尽量使得每个接地管脚、电容接地都能够和芯片 Epad 以及系统大地有良好的地回路。
2. Epad 焊盘上打通孔，孔中心距一般 40~50mil 左右，一般建议 50mil，至少 16 个地过孔。

图4-11 Epad 布线参考



---

# A 附录

---

HiSilicon 版权所有