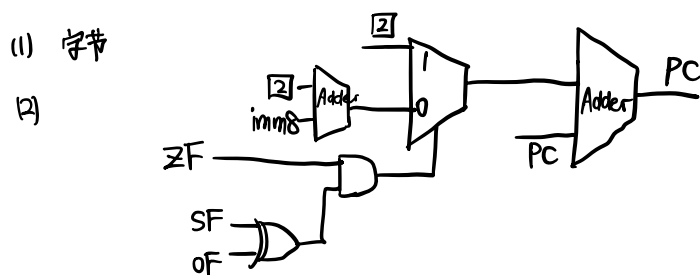


3. 某计算机字长为 16 位，标志寄存器 Flag 中的 ZF、SF 和 OF 分别是零标志、符号标志和溢出标志，采用双字节定长指令字。假定该计算机中有一条 Bgt（大于零转移）指令，其指令格式如下：第一个字节指明操作码和寻址方式，第二个字节为偏移地址 Imm8。其功能是：若 $ZF + (SF \oplus OF) == 0$ 则 $PC = PC + 2 + Imm8$ ，否则 $PC = PC + 2$ 。回答如下问题：

(1) 该计算机存储器的编址单位是多少位？

(2) 画出实现 Bgt 指令的数据通路。



4. 假定图 8.18 给出的单周期数据通路对应的控制逻辑发生错误，使得控制信号 RegWr、ALUASrc、Branch、Jump、MemWr、MemtoReg 中的某一个在任何情况下总是为 0，则该控制信号为 0 时哪些指令不能正确执行（要求对题目中列出的每一个控制信号分别讨论）？

RegWr: R、I、U、J 型 (需要写结果到 register)

ALUASrc: jal、auipc

ALUBS: J、I、B、U 型 (ALUBS=0, ALU B 端输入是 register 输出的 busB.)

Branch: beq、sw

Jump: jal (不会跳转)

MemWr: sh、sw、sb (存储器不写入)

MemtoReg: lw、sw

5. 假定图 8.18 给出的单周期数据通路对应的控制逻辑发生错误，使得控制信号 RegWr、ALUASrc、Branch、Jump、MemWr、MemtoReg 中的某一个在任何情况下总是为 1，则该控制信号为 1 时哪些指令不能正确执行（要求对题目中列出的每一个控制信号分别讨论）？

RegWr: S、B 型 (不用写 register 的指令)

ALUASrc: 除 jal、auipc、lui 外. (需要 busA 的指令)

Branch: 除 B 型以外

Jump: 除 J 型以外

MemWr: 除 lb、lh、lw、lbu、lhu 以外. (需要将 ALU 结果送 register)

MemtoReg: beq jal lui ori add slt stl

6. 若要在 RV32I 指令集中增加一条 swap 指令（功能是实现两个寄存器内容的互换），可以有两种方式。一种是采用伪指令（即软件）方式，这种情况下，当执行到 swap 指令时，用若干条已有指令构成的指令序列来代替实现；另一种做法是直接改动硬件来实现 swap 指令，这种情况下，当执行到 swap 指令时，则可直接在 swap 指令对应的数据通路（硬件）上执行。

- (1) 写出用伪指令方式实现 “swap rs, rt” 时的指令序列（提示：伪指令对应的指令序列中不能使用其他额外寄存器，以免破坏这些寄存器的值）。
- (2) 假定用硬件实现 swap 指令时会使得每条指令的执行时间增加 10%，则 swap 指令要在程序中占多大的比例才值得用硬件方式来实现，而不是用（1）中给出的伪指令方式实现？
- (3) 采用硬件方式实现时，在不对通用寄存器组进行修改的情况下，能否在单周期数据通路中实现 swap 指令？对于多周期数据通路的情况又怎样？

(1) add rs, rt

(3) 使用临时寄存器

sub rt, rs, rt

sub rs, rs, rt

(2) 设占比为 x .

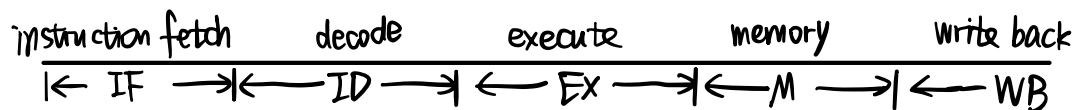
$$3x + 1 - x = 1.1$$

$$x = 0.05.$$

11. 假定在一个 5 级流水线（如图 8.42 所示）处理器中，各主要功能单元的操作时间为：存储单元，200ps；ALU 和加法器，150ps；通用寄存器组的读口或写口，50ps。请问：

- (1) 若 EX 阶段所用的 ALU 操作时间缩短 20%，则能否加快流水线执行速度？如果能的话，能加快多少？如果不能的话，为什么？
- (2) 若 ALU 操作时间增加 20%，对流水线的性能有何影响？
- (3) 若 ALU 操作时间增加 40%，对流水线的性能又有何影响？

5 级流水线



(1) 可以. $200 + 150 + 50 = 400$

$$200 + 150 \times 20\% + 50 = 280$$

(2) $150 \times 1.2 = 180 \text{ ps} < 200 \text{ ps}$. 无影响.

(3) $150 \times 1.4 = 210 \text{ ps} > 200 \text{ ps}$. 降低 $\frac{210 - 200}{200} = 5\%$.

13. 假定最复杂的一条指令所用的组合逻辑分成6个部分，依次为A~F，其延迟分别为80ps、30ps、60ps、50ps、70ps、10ps。在这些组合逻辑块之间插入必要的流水段寄存器就可实现相应的指令流水线，寄存器延迟为20ps。理想情况下，以下各种方式所得到的时钟周期、指令吞吐率和指令执行时间各是多少？应该在哪里插入流水段寄存器？

(1) 插入一个流水段寄存器，得到一个两级流水线。

(2) 插入两个流水段寄存器，得到一个三级流水线。

(3) 插入三个流水段寄存器，得到一个四级流水线。

(4) 吞吐量最大的流水线。

80 → 30 → 60 → 50 → 70 → 10

(1) 在C、D之间 $T = 170 + 20 = 190 \text{ ps}$, 吞吐率: 每秒 $\frac{1}{190} = 5.26 \text{ G}$ 条指令.

执行时间为 $2 \times 190 = 380 \text{ ps}$.

(2) 在B、C和D、E之间, $T = 110 + 20 = 130 \text{ ps}$, 吞吐率: 每秒 $\frac{1}{130} = 7.69 \text{ G}$ 条

执行时间为 $3 \times 130 = 390 \text{ ps}$.

(3) A、B, C、D, D、E. $T = 90 + 20 = 110 \text{ ps}$, 吞吐率: 每秒 $\frac{1}{110} = 9.09 \text{ G}$ 条

执行时间为 $4 \times 110 = 440 \text{ ps}$.

(4) (3) 最大.

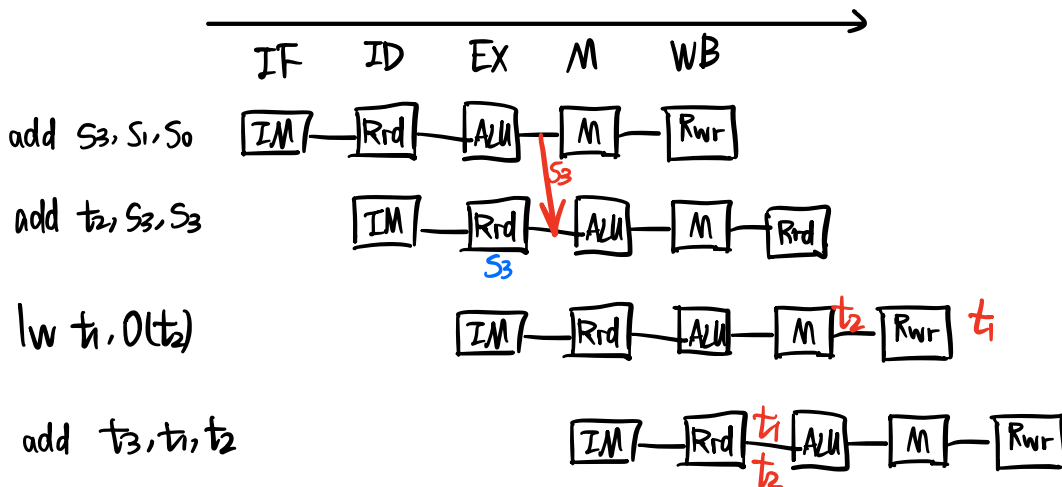
14. 以下指令序列中，哪些指令对之间会发生数据相关？假定采用“取指、译码/取数、执行、访存、写回”5段流水线方式，那么不用转发技术的话，需要在发生数据相关的指令前加入几条 nop 指令才能使这段程序避免数据冒险？如果采用转发，是否可以完全解决数据冒险？不行的话，需要在发生数据相关的指令前加入几条 nop 指令才能使这段 RV32I 程序不发生数据冒险？

```
add  s3, s1, s0
add  t2, s3, s3
lw   t1, 0(t2)
add  t3, t1, t2
```

add s3, s1, s0 和 add t2, s3, s3, lw t1, 0(t2) 和 add t3, t1, t2 之间会数据冒险

在 add t2, s3, s3 前加3条 nop, add t3, t1, t2 前加2条 nop.

转发不能解决 add s3, s1, s0 和 add t2, s3, s3 之间的冲突，因为“从 s3 中读取”在“s1, s0 相加产生 s3”之前。也不能解决 lw 和 add.



在 add t2, s3, s3 前加1条 nop, add t3, t1, t2 前加1条 nop.

17. 假定在一个带转发的 5 段流水线中执行以下 RV32I 程序段，应怎样调整指令序列以使其性能达到最好？

```

1 lw  s2, 100(s6) 从 S6+100 offset 中取 4 个字节存入 S2
2 add s2, s2, s3    S2+S3 → S2
3 lw  s3, 200(s7) 从 S7+200 中取，存入 S3
4 add s6, s4, s7    S4+S7 → S6
5 sub s3, s4, s6    S4+S6 → S3
6 lw  s2, 300(s8) 从 S8 中取 → S2
7 beq s2, s8, Loop
    
```

```

1 lw s2 100(s6)
4 add s6, s4, s7
2 add s2, s2, s3
3 lw s3, 200(s7)
6 lw s2, 300(s8)
5 sub s3, s4, s6
7 beq s2, s8, loop
    
```

18. 在一个采用“取指、译码/取数、执行、访存、写回”的 5 段流水线中，若检测相减结果是否为“零”的操作在执行阶段进行，则分支延迟损失时间片（即分支延迟槽）为多少？以下一段 RV32I 指令序列中，在考虑数据转发的情况下，哪些指令执行时会发生流水线阻塞？各需要阻塞几个时钟周期？

```

loop: add t1, s3, s3    1
      add t1, t1, t1    2
      add t1, t1, s6    3
      lw  t0, 0(t1)     4
      bne t0, s5, Exit  5
      add s3, s3, s4    6
      j   Loop
Exit:
    
```

3个周期.

1,2 关于 t_1 , 2,3 关于 t_1 , 3,4 关于 t_1

2个周期.