

# **Session S7**

## **Annexe du guide étudiant Conception de circuits électroniques avancés**

**Département de génie électrique et de génie informatique  
Faculté de génie  
Université de Sherbrooke**

**Hiver 2024**

**Copyright © 2024 Département de génie électrique et de génie informatique.  
Université de Sherbrooke**

**Note :** En vue d'alléger le texte, le masculin est utilisé pour désigner les femmes et les hommes.

Document H24\_S7\_APP2\_AnnexeGuideEtudiant.doc

Rédigé par Réjean Fontaine, Denis Pellé et Caroline Paulin, Février 2021

Revu par Réjean Fontaine, Février 2022

Revu par Réjean Fontaine, Février 2023

Revu par Réjean Fontaine, Février 2024

Copyright © 2024 Département de génie électrique et de génie informatique. Université de Sherbrooke

## Table des matières

Table des matières.....	3
1 But de l'annexe .....	4
2 Conception d'un circuit imprimé.....	4
2.1 Créer le contour du circuit imprimé.....	4
2.2 Création de l'empilement des couches (stack-up) .....	5
2.3 Définition des types de vias .....	7
2.4 Importation des pièces .....	8
2.5 Ajuster les règles de conception (règles de dessin) .....	9
2.5.1 Paires différentielles.....	9
2.5.2 Bus ajustés en longueur et information sur la DDR .....	10
2.6 La localisation des vias et des condensateurs de découplages.....	11
2.7 Plan de retour de courant et plans partagés.....	11
2.8 Validation des erreurs de DRC (PCB).....	12
2.9 La sérigraphie (Silkscreen) .....	12
2.10 Création du masque de soudure .....	13
2.11 Vérification de la position des couches dans le circuit fini .....	14
2.12 Création des pochoirs d'épandage de pâte d'étain (solder paste) .....	14
2.13 Marques d'alignement (fiducials).....	17
2.14 Mise en panneau et découpage .....	18
2.15 Génération des fichiers de sorties - Release .....	19
3 Assemblage SMT Manuel et/ou Automatique.....	20
4 Microsoudure filaire sur PCB .....	22
5 Flip chip ou uBGA.....	23

## 1 But de l'annexe

Le but de cette annexe est de présenter une suite d'éléments à prendre en compte pour vous permettre de réaliser votre circuit imprimé. Ces informations orienteront la conception du circuit imprimé comme tel. Le document [https://resources.altium.com/sites/default/files/uberflip\\_docs/file\\_314.pdf](https://resources.altium.com/sites/default/files/uberflip_docs/file_314.pdf) présente une excellente revue de la séquence des opérations à effectuer à haut niveau pour réaliser un circuit imprimé. Cependant, cette documentation est relativement limitée pour réaliser la conception d'un circuit complexe comme dans le cas de votre projet. Il faut alors parcourir la documentation directement sur le site WEB d'Altium qui se retrouve à l'adresse <https://www.altium.com/documentation/altium-designer/more-about-pcb-design-ad>. Ce site web permet de parcourir les différentes étapes de la conception depuis le traçage du contour du circuit imprimé jusqu'à l'ajustement des longueurs de traces telles que nécessaire pour les signaux d'une mémoire de type DDR. Il est possible de sélectionner les aspects recherchés dans la colonne de gauche. Plusieurs de ces aspects seront pointés ci-bas.

Cette annexe comporte 3 chapitres. Le premier fournit des informations sur la conception du circuit imprimé comme tel. Le second sur l'assemblage et le troisième sur le microfilage. Certaines informations complémentaires, basées sur les erreurs de vos collègues qui vous ont précédés dans la formation, sont également présentées. Ces informations sont visibles pas le symbole suivant :

- Erreur commune des étudiants

## 2 Conception d'un circuit imprimé

### 2.1 Créer le contour du circuit imprimé

La première étape est de créer le contour de votre circuit ainsi que l'emplacement des composants mécaniques. Cette étape est décrite dans la documentation suivante :

<https://www.altium.com/documentation/altium-designer/pcb-obj-boardshapeboard-shape-ad>. Cet aspect est souvent évolutif surtout si des contraintes mécaniques sévères doivent être rencontrées. Pour l'instant, réalisez le contour d'un circuit simple d'environ 20 cm x 20 cm et ajustez-le lorsque vous placerez les composants.

Si votre circuit imprimé fait plus grand que 20 pouces sur 20 pouces, vérifiez avec votre assembleur si la taille de votre circuit imprimé est compatible avec toutes les machines de sa chaîne d'assemblage.

#### 1. Pour le 3IT.Micro :

- a. s'assurer d'avoir un minimum de 2 côtés opposés ayant 3,2 mm de libre de pièces SMT ou avoir 2 rails d'outillage sur les côtés les plus longs, de 6 mm. Ceci permet aux outils d'assemblage de manipuler les circuits, sans endommager de pièces.

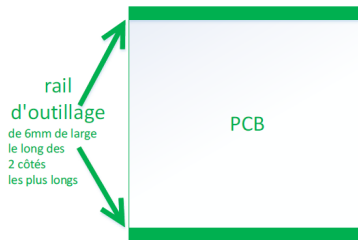


Figure 1 Circuit imprimé avec rail d'outillage

- b. Avoir un minimum de 4 trous de montage sur les rails d'outillage (#4-#6 impérial, ou M2, M3 M4 métrique).
- c. Avoir un minimum de 3 motifs d'alignement sur les rails d'outillage;

Pour les autres assembleurs, vérifiez leur requis. Habituellement, il faut que le contour du circuit imprimé soit 15 à 20 mils plus grands que les composants les plus externes pour palier l'imprécision de la découpe auquel il faut ajouter 1/8 pouce de plus si vous faites un assemblage en surface chez un fournisseur d'assemblage.

## 2.2 Création de l'empilement des couches (stack-up)

La création de l'empilement dans Altium est le résultat d'une analyse réalisée avant la conception du circuit imprimé comme tel. Il faut connaître, a priori, le nombre de couches de signaux, le nombre de plans de retour et d'alimentation et le type de matériaux. Ce dernier influencera grandement le design des signaux à impédance contrôlée. La création de l'empilement est habituellement révisée lors de la conception du circuit imprimé, mais aussi lors de la discussion avec le fournisseur qui fabriquera votre circuit imprimé. La page <https://www.altium.com/documentation/altium-designer/defining-the-layer-stack-ad> fournit les informations à la création de l'empilement. Voici une série d'éléments à faire attention.

- a) Choix du matériau : Choisir un matériel compatible avec l'assemblage sans plomb, capable de supporter le profil de température du four à convection. Demander à votre fabricant le matériel adéquat pour votre projet puisqu'il existe plusieurs types de core et substrat. Un matériel commun est le 370HR ayant un Tg de 180 (Tg transition glass), capable de supporter l'assemblage sans plomb. Il faut noter que les alliages sans plomb nécessitent une température de fusion plus élevée que les alliages avec plomb.
- b) Type de placage : Il existe plusieurs types de plaquage disponibles chez les fournisseurs de circuits imprimés. Pour les circuits imprimés ayant des composants *fine pitch* ou nécessitant une bonne planéité, il est préférable d'utiliser le plaquage ENIG (as per IPC 4552 spec: 0,05  $\mu\text{m}$  minimum gold, 3 to 6  $\mu\text{m}$  nickel; keep the gold to less than 0,1  $\mu\text{m}$ ). S'il faut faire des microfils, un fini ENIPIG sera sélectionné. Il existe d'autres types comme le HASL (hot air surface leveling), Immersion gold, immersion tin etc. Le document <http://blog.optimumdesign.com/pcb-surface-finishes-comparison-hasl-osp-enig> présente les avantages et inconvénients de chacun des types où l'ENIG est

incontestablement le plus utilisé pour des circuits complexes. Lorsque vous faites votre commande, il faut indiquer que vous voulez avoir le masque de soudure sur le cuivre nu. Vous demandez *Soldermask over bare copper* ou *SMOB*. C'est habituellement le cas, mais si vous ne le mettez pas, il est possible que le manufacturier plaque le nickel et l'or par-dessus le cuivre et enlève les couches métalliques par réaction chimique pour ne conserver que les traces. Cela fait que les traces sont toutes couvertes de nickel et d'or. Bien que le *solder mask* soit présent, l'étain a tendance à fuir sous le *solder mask* ce qui crée des circuits ouverts lorsque vous voulez souder des circuits à billes (ex. BGA) surtout en présence de larges traces.

- c) Ordre des couches : L'ordre des couches de métallisation doit suivre certaines règles pour empêcher le circuit imprimé de tordre lors de son passage dans le four à convection (étape de soudure) (Figure 2). En outre, il faut avoir une certaine symétrie des plans de retour de courant et d'alimentation par rapport au centre du circuit imprimé. L'objectif est d'avoir une masse thermique répartie à la verticale. La Figure 3 présente un empilement symétrique 6 couches. Une inversion des deux premières couches permettrait au circuit de refroidir plus rapidement sur le dessus que sur le dessous et le circuit courbera du côté qui refroidit plus rapidement.

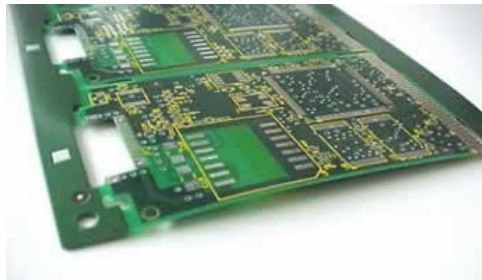


Figure 2 Circuit imprimé qui a tordu après le passage dans le four<sup>1</sup>

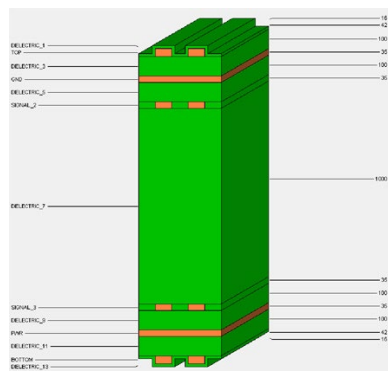


Figure 3 Exemple d'empilement de couches bien balancé<sup>2</sup>

<sup>1</sup> <https://electronicsmaker.com/the-root-causes-solutions-for-warped-pc-boards>

<sup>2</sup> <https://www.terratel.eu/why-is-a-good-board-stackup-important.html>

- d) Balancement du cuivre dans les couches de signaux : Outre la répartition symétrique des plans de retour et d'alimentation, il faut également regarder la quantité de cuivre dans les couches de signaux. On peut ajouter de petits polygones ou encore de petits points de cuivre entre les signaux pour balancer la quantité de cuivre sur chacune des couches. Le fabricant de PCB offre généralement ce service.
- Les étudiants utilisent trop de couches inutilement pour se laisser de la place. Habituellement, avoir trop de couches implique un circuit épais qui force à utiliser des vias plus gros, ce qui vient limiter les traces sous les composants denses comme les FPGA.
  - Les étudiants oublient souvent de regarder le balancement du cuivre

## 2.3 Définition des types de vias

Les vias permettent de réaliser les interconnexions entre les couches de métallisation. En fonction de la densité de l'électronique, différents types de vias peuvent être utilisés. Le via le plus commun est le via traversant (Figure 4 gauche). C'est le type de via le moins cher, car il est réalisé après que les couches de core et de prepreg ont été collées et séchées. Une mèche de perceuse perce le trou dans le circuit imprimé. Cette opération mécanique comporte des limitations sur la précision de la localisation du trou. De plus, si l'on ajoute la précision d'alignement des différentes couches de métallisation, il devient difficile de créer des circuits très épais avec de très petits trous. Finalement, les mèches ont tendance à dévier de la verticale lors du perçage ce qui peut faire que les vias ne se connecteront pas aux couches désirées. Pour cette raison, le fabricant imposera un ratio diamètre de mèche sur épaisseur de circuit imprimé. Des ratios de 1/8 et 1/10 sont communs. Des ratios supérieurs peuvent être offerts à des coûts également ... supérieurs.

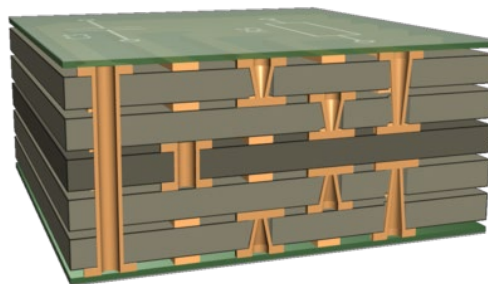


Figure 4 Empilement d'un circuit imprimé avec différents types de vias.

Lorsque la densité de l'électronique est trop importante, les vias de types *blind* (i.e. de la couche supérieure à une couche interne) et *buried* (i.e. entre 2 couches internes) peuvent être utilisés. L'utilisation de ces vias est à éviter autant que possible si le coût de fabrication est un critère. Leur utilisation est l'équivalent de fabriquer un circuit complet pour les couches les nécessitant et de fabriquer un second circuit imprimé avec les autres couches. Il ne faut pas placer les vias trop près des pads. Il faut conserver l'espacement nécessaire pour que le masque de soudure couvre le via. Si le masque de soudure est inadéquat (Figure 5), l'étain sera aspiré par capillarité dans le via ce qui risque de causer un circuit ouvert. Cela est particulièrement vrai pour les composants BGA. Lorsque des contraintes

d'espacement nécessitent un via très proche, il est possible de recouvrir le via avec le masque de soudure. Cela augmente toutefois le coût.

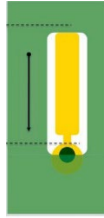


Figure 5 Via trop près d'un pad pourra aspirer l'étain par capillarité<sup>3</sup>

- Les étudiants utilisent souvent des vias avec thermal reliefs partout dans le circuit imprimé. Faire attention à utiliser le bon type de via.
- Une croyance répandue concernant les vias est qu'il y a un beigne métallique sur toutes les couches de métallisation. Ce n'est pas le cas. Lorsqu'il n'y a pas de connexion entre un via et une couche métallique, il n'y a pas de beigne, ce qui permet de rapprocher un peu la trace du via.
- Les étudiants placent quelques fois les vias dans le pad. C'est adéquat si le manufacturier remplit les vias. Il faut le demander -> \$\$.

La page <https://www.altium.com/documentation/altium-designer/defining-the-via-types-ad> permet de définir les types de vias dans Altium.

## 2.4 Importation des pièces

Si votre librairie est adéquatement réalisée, cette étape est assez directe. Elle est décrite dans <https://resources.altium.com/fr/p/how-create-pcb-layout-schematic-altium-designer>. Lors de l'importation, vérifiez l'empreinte (footprint) des composants. Il est très commun de sélectionner le mauvais footprint dans la librairie. C'est un travail fastidieux, mais qui évite des erreurs.

Porter une attention particulière au boîtier (*package*) des pièces passives. Les dimensions sont parfois écrites en métrique, parfois en impérial. Et il existe parfois le même nom dans les deux systèmes, pouvant porter à confusion :

Ex :

0201 (impérial) = 0603 (métrique)

0603 (impérial) = 1608 (métrique)

0402 (impérial) = 1005 (métrique)

01005 (impérial) = 0402 (métrique) ouf... !!!

Faire une validation de la BOM (*build of material*) et minimiser le nombre de composants différents, lorsque c'est possible.

---

<sup>3</sup> <https://www.programmersought.com/article/96264496393/>



## 2.5 Ajuster les règles de conception (règles de dessin)

Cette section est extrêmement importante, elle permet d'ajuster les règles de conception au fabricant de circuits imprimés. Tel que mentionné dans la problématique, nous allons utiliser les règles de conception 2016 de la compagnie pcbway. Les modifications des règles de conception sont à différents niveaux tel que vous allez le remarquer à la page web.

<https://www.altium.com/documentation/altium-designer/pcb-design-rules-reference-ad>.

La conception d'un circuit complexe exigera d'établir toutes les règles afin d'éviter des problèmes de fabrication et d'assemblage. Vous devez vous familiariser avec la nomenclature des règles électriques notamment les règles d'espacement (*Clearances*). De même, les règles concernant le regroupement de traces en vue de leur imposer des contraintes de longueurs ou de types doivent être ajoutées dès que possible. Le document <https://resources.altium.com/p/high-speed-design-definitive-guide-utilizing-altium-designer-your-board-needs> présente les capacités d'Altium à un niveau plus haut, ce qui permet d'apprécier les capacités du logiciel.

- Une règle d'espacement électrique que de nombreux étudiants oublient est la *clearance* entre les trous/cuivre/silk et le contour du circuit imprimé. Si le tout est trop près du bord, il risque d'y avoir un problème lors de la découpe. 15 à 20 mils d'espacement sont standard. On définit cette clearance à 2 endroits : dans les règles de conception pour les couches dites positives et dans le *layer stack* (pullback) pour les couches négatives.

### 2.5.1 Paires différentielles

Le document <https://www.altium.com/documentation/altium-designer/differential-pair-routing-ad> explique comment tracer des paires différentielles (exemple lignes LVDS). Lors de la création de lignes différentielles, il est pratiquement impossible de créer deux traces de même longueur totalement parallèles d'un bout à l'autre du circuit imprimé. Altium générera une petite extension (Figure 6). Cela va créer une variation d'impédance caractéristique et donc des réflexions. Placez cette extension en fin de ligne. Appliquez les commentaires par rapport à la création de « S » ou encore appelés « squiguellis » présentée dans la prochaine section.

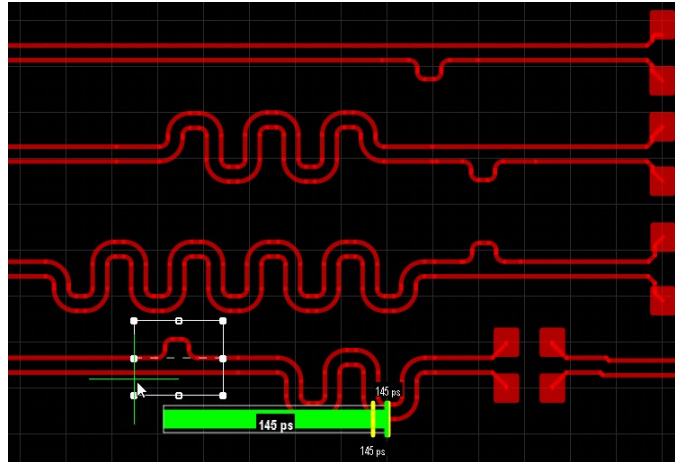


Figure 6 Traces différentielle avec petite extension

### 2.5.2 Bus ajustés en longueur et information sur la DDR

Lors de la conception du circuit imprimé, il est aussi possible que des bus de signaux doivent être ajustés en longueur. C'est le cas des mémoires de type DDR. Le document suivant présente comment ajuster ces longueurs. <https://www.altium.com/documentation/altium-designer/length-tuning-ad>. Altium générera alors des squiguellis pour réaliser les ajustements (Figure 7).

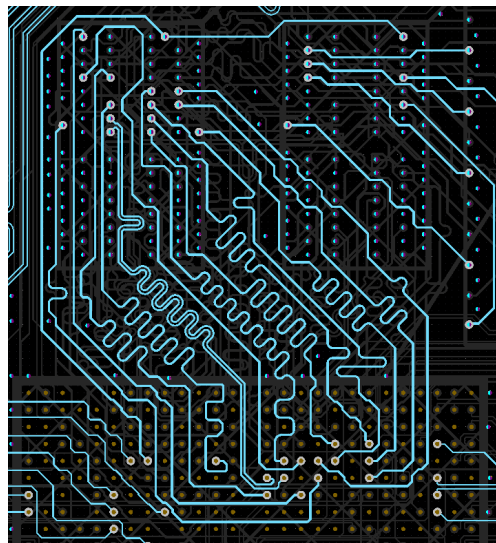


Figure 7 Exemple de bus ajustés avec des squiguellis

Idéalement, la distance entre les paires de squiguellis devrait être  $3x$  la distance entre les traces parallèles dans le cas d'une trace différentielle ou encore,  $3x$  la largeur de la trace si on est en présence d'un bus. La Figure 7 présente une distance  $3x$ . Vous verrez qu'il est très difficile de toujours conserver la distance de  $3x$  et on va réduire à  $2x$  pour quelques traces ou lorsqu'on arrive sous le composant. La problématique des squiguellis trop serrés apparaîtra à très haute fréquence où les signaux vont littéralement sauter d'un segment de

trace à l'autre par effet capacitif. Cela va créer de la diaphonie (crosstalk) sur les lignes différentielles. Vous devez vous rappeler que même si on opère à 400 MHz, la 11<sup>e</sup> harmonique est dans les GHz et son comportement sera différent du comportement de celui en bande de base. Il faut éviter ce genre de problème.

DDR : Dans le traçage d'une DDR, il n'est pas nécessaire d'avoir toutes les traces de la même longueur. Cependant, il faut que les groupes de traces soient de même longueur. Par exemple, toutes les traces relatives à LDQS doivent être de même longueur. De même pour UDQS et pour les adresses. Il faut suivre les recommandations des fabricants des DDR.

## **2.6 La localisation des vias et des condensateurs de découplage**

Il est impératif de connaître le contenu fréquentiel des signaux présent dans le circuit imprimé pour savoir où localiser les vias et les condensateurs. Pour cette partie, il faut retourner au procédural 2 de l'APP où l'on discute du placement.

- Des vias de masse ou d'alimentation trop loin des pins des pièces et des traces trop fines entre cette pin et le via rendent inopérant le filtrage recherché.
- Il en est de même avec les condensateurs et leur valeur. Ainsi, les plus petits condensateurs, qui opèrent à plus haute fréquence, devraient être plus près des circuits et les plus gros dont leur ESR et à plus basse fréquence, devraient se retrouver plus loin.
- Idéalement on trace des polygones sur les couches Top/Bottom sur les masses et alimentation des circuits électroniques afin de réduire l'inductance parasite. Il est important de bien localiser les vias dans ce polygone pour optimiser leur effet.

## **2.7 Plan de retour de courant et plans partagés**

La création de plans de retour de courant et de plans partagés est décrite à <https://resources.altium.com/fr/p/creating-ground-plane-your-pcb-design>. Cette documentation présente également comment ajuster les vias pour réaliser une connexion pleine avec le plan ou encore une connexion avec de thermal reliefs. Les thermal reliefs sont uniquement utilisés pour souder des composants avec broche. Dans tous les autres cas, les vias ont une connexion « pleine » avec le plan de retour de courant.

Il est possible de tracer des polygones, de les remplir et de les associer à un NET (Figure 8). Cette pratique est courante sur les couches top et bottom pour réaliser des connexions à l'alimentation et à la masse solides. Ne pas utiliser des polygones pour faire des plans partagés. Lorsque vous utilisez des polygones, faites attention au type de vias utilisés. Habituellement, des vias avec beignes pleins seront utilisés pour ces polygones sauf si on désire réellement découpler le circuit imprimé au niveau thermique pour la soudure.

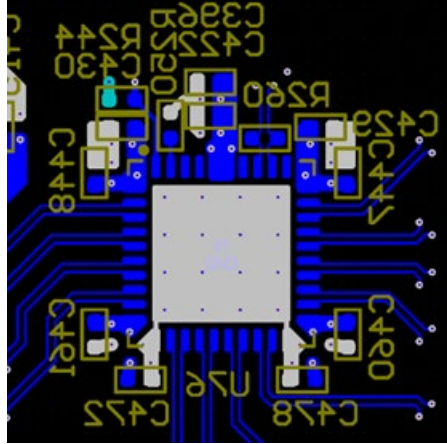


Figure 8 Exemple d'îlots de gnd réalisés avec des polygones

- Il est courant d'oublier d'assigner un net à un plan interne. Les connexions ne sont alors pas réalisées.
- Quand on change les règles de dessin en cours de route, il se peut que le dégagement qu'on ajoute ait un impact sur les planes et fasse en sorte que notre trace n'est plus complètement au-dessus d'un plan



Figure 9 Exemple d'une trace en mauve qui n'est plus couverte par le plan de retour de courant

## 2.8 Validation des erreurs de DRC

Les options de vérification des erreurs doivent être configurées correctement pour indiquer clairement les erreurs dans le circuit imprimé. Les règles de conception doivent être préalablement être correctement ajustées, car les vérifications ne seront pas adéquates. Le document <https://www.altium.com/documentation/altium-designer/pcb-dlg-designrulecheckformdesign-rule-checker-ad> présente comment activer et réaliser les validations des erreurs.

## 2.9 La sérigraphie (Silkscreen)

Cette étape semble tout à fait anodine, mais demande beaucoup de temps. En réalité, lorsque le placement des composants et le traçage sont terminés, il faut repasser tous les désignateurs de références, les relocaliser et s'assurer d'avoir une taille suffisante.

- a. Taille minimum de largeur de texte ou de ligne : 5 mils (127  $\mu\text{m}$ ).
  - b. Distance minimum entre une ligne/texte et une ouverture dans le *solder mask* : 2 mils (50,8  $\mu\text{m}$ )
  - c. Ajouter un indicateur de Pin 1 ou d'orientation pour les pièces ayant un sens d'assemblage et s'assurer que cet indicateur ne chevauche pas un via ou autre trou.
  - d. Les RefDes (*Reference Designators*) doivent être visibles, dans la mesure du possible, et faciles à associer à la bonne pièce.
- Cette tâche est souvent négligée et le silk est illisible, trop gros, trop gras, trop petit et/ou à un emplacement pas assez évident.

## 2.10 Création du masque de soudure

Le masque de soudure sert à éviter à l'étain de s'étendre par mouillage. Sans ce masque, l'étain fuirait sur le cuivre et créerait des circuits ouverts. Ce masque est généré automatiquement dans Altium en fonction des règles de conception de base. Il est préférable que les circuits imprimés soient recouverts de *solder mask* pour le processus de soudure dans le four à convection (éviter les *solder bridge*).

Toujours utiliser les consignes du fabricant de la pièce pour l'élaboration des empreintes du circuit imprimé (footprint, land pattern, ...). Lorsque le fabricant ne fournit pas l'information de *solder mask opening*, utiliser 0,07mm comme point de départ.



Espace minimum entre 2 ouvertures adjacentes dans le *solder mask* = 4 mils (101,6  $\mu\text{m}$ ).



Notez qu'il est possible de changer ces règles pour des circuits spécifiques. Par exemple, on peut mettre du masque de soudure par-dessus les pads et favoriser la création ou le dépôt de billes d'étain (Figure 10). À ce moment, il faut que la taille de la bille soit environ deux fois plus grosse que le pad exposé pour qu'elle ne s'effondre pas sur le pad et conserve sa rondeur. Le document <https://www.seeedstudio.com/blog/2017/05/23/solder-mask-design/> présente quelques cas intéressants pour les masques de soudure.

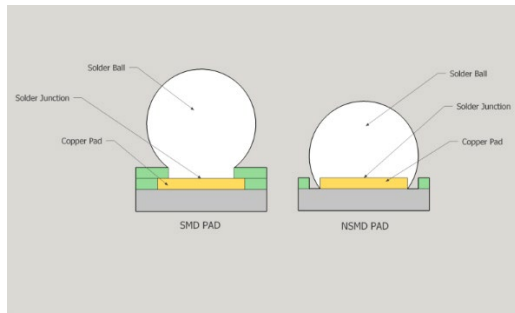


Figure 10 Masque de soudure qui recouvre le pas pour conserver la rondeur des billes<sup>4</sup>

## 2.11 Vérification de la position des couches dans le circuit fini

La fabrication de circuits de haute vitesse exige que les couches soient toutes à la position décrite dans les fichiers GERBERS. Il n'est pas impossible (pour ne pas dire que c'est possible) que le fabricant change l'ordre des couches de métallisation. Ceci peut rendre le circuit imprimé complètement non fonctionnel, car les retours de courant ne se réaliseront plus dans les couches prévues. Une façon facile de vérifier si les couches sont dans le bon ordre est de faire une série de traces de métallisation en escalier (Figure 11).

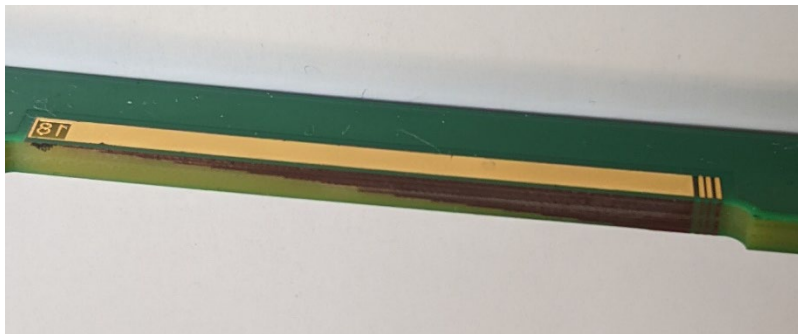


Figure 11 Une métallisation en escalier permet de savoir si le fabricant a interchangé des couches

On réalise, le plus souvent, cette métallisation dans la partie servant à mettre votre circuit en panneau (section 2.14). Dans l'exemple de la Figure 11, les couches sont numérotées de 1 à 18.

## 2.12 Création des pochoirs d'épandage de pâte d'étain (solder paste)

Selon votre niveau d'implication dans le projet, il est possible que vous ayez à gérer les masques d'épandage de pâte d'étain. Ce masque est plutôt un pochoir troué destiné à laisser passer la pâte d'étain aux endroits appropriés (Figure 12). En industrie, nous laissons le soin à la compagnie qui offre le service d'assemblage de commander les masques en fonction de sa ligne de production. Voici quelques cas à considérer.

<sup>4</sup> <https://macrofab.com/blog/bga-pad-creation-smd-nsmd/>

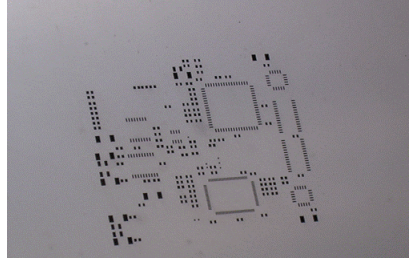


Figure 12 Exemple de pochoir d'épandage de pâte d'étain

- a) Espacement : En général, le *paste mask expansion* sera de 1 mil (25  $\mu\text{m}$ ) pour une épaisseur de masque de 4 ou 5 mils. Il faut être conscient que plus le pochoir est épais, plus le volume d'étain est élevé, ce qui peut mener à créer des courts-circuits dans des cas extrêmes.
- b) Vias in pad : Si vous utilisez des *vias in pad*, assurez-vous que les vias soient remplis à la fabrication sinon, l'étain sera aspiré par capillarité et il est possible que des circuits ouverts apparaissent (Figure 13).

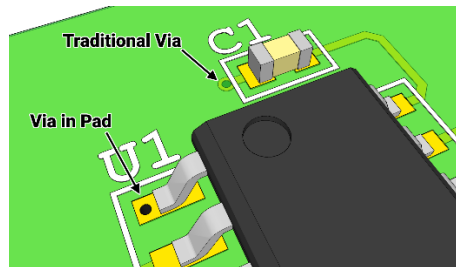


Figure 13 Exemple de via in pad<sup>5</sup>

- c) Thermal pad : Le pad thermique se retrouve sous le composant et permet de dissiper la chaleur du dispositif dans les plans du circuit. Pour les composants SMT plus grands que  $2 \times 2 \text{ mm}^2$ , il est impératif de quadriller le pochoir d'épandage d'étain (créer un *mesh*) pour réduire la quantité de pâte lors de l'épandage. Un bon point de départ consiste à couvrir 80% de la surface, à utiliser des ouvertures de 1-2 mm (40-80 mils) de côté et à laisser un espace de 0,4 mm (16 mils) entre les ouvertures. Une trop grande quantité fera littéralement flotter le composant sur un îlot d'étain et empêchera les interconnexions sur les pattes du circuit. Le fabricant fournit habituellement les informations sur les tailles requises du quadrillage. De plus, il est normal d'avoir des vias non remplis dans le pad. On se sert de ces derniers pour aspirer volontairement une partie de l'étain sur le pad. Ceci présente deux avantages : 1) tirer le composant vers le bas par capillarité et 2) de fournir un lien thermique plus solide, car un via plein facilitera le déplacement de la chaleur vers les plans comparativement à un via vide.

<sup>5</sup> [https://mxcdn.macrofab.com/wp-content/uploads/2019/03/ViP\\_vs\\_Normal.png](https://mxcdn.macrofab.com/wp-content/uploads/2019/03/ViP_vs_Normal.png)



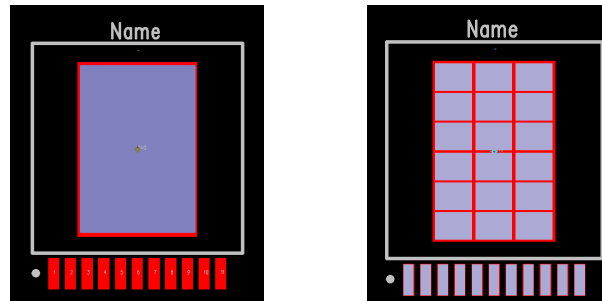


Figure 14 Pochoir sans quadrillage (gauche) et avec quadrillage (droite)

- d) Avec ou sans cadre : Pensez à commander le stencil dans un format adapté au circuit imprimé bien entendu, mais surtout adapté à la machine qui servira à l'impression de la pâte d'étain, avec ou sans cadre, avec ou sans trou de tenseurs (Figure 15). Pour bien fonctionner, il faut tendre le pochoir. Les appareils d'épandage d'étain peuvent avoir des cadres ajustables. Il faut alors prévoir des trous dans le pochoir pour permettre au cadre de support de s'accrocher.

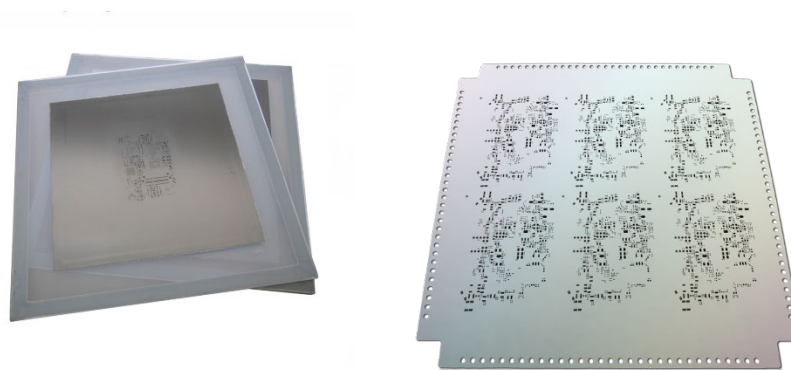


Figure 15 Masque avec cadre (gauche)<sup>6</sup> et sans cadre, mais avec trous de tenseurs (droite)<sup>7</sup>

- e) Espace libre et squeegee : Prévoir au moins 50 mm d'espace libre, devant et derrière la zone d'impression de votre circuit imprimé pour permettre au squeegee de passer. La largeur de votre circuit imprimé déterminera la largeur du squeegee à utiliser (si disponible).
- f) Inversion du pochoir : Si vous devez réaliser vous-même les fichiers du stencil de la couche Bottom à partir des gerbers de votre programme de design de CAD, appliquez-lui une symétrie « miroir », sinon le stencil ne fonctionnera pas.
- g) 3IT.micro : Pour le système d'impression automatique du 3IT.micro, l'image de votre circuit imprimé doit être centrée dans l'axe des X sur le stencil. Les contacter

<sup>6</sup>

[https://doyan.en.alibaba.com/product/60796056319-804020656/Best\\_quality\\_solder\\_paste\\_SMT\\_stencil\\_mask\\_for\\_pcb\\_assembly.html](https://doyan.en.alibaba.com/product/60796056319-804020656/Best_quality_solder_paste_SMT_stencil_mask_for_pcb_assembly.html)

<sup>7</sup> <https://www.multi-circuit-boards.eu/en/products/smd-stencils.html>



au [InfoLCP@USherbrooke.ca](mailto:InfoLCP@USherbrooke.ca) pour connaître les dimensions de pochoir ou de circuit imprimé min/max compatible avec leur machine.

- h) Marques d'alignement : Dans les fichiers de fabrication des pochoirs, les *fiducials* sur les rails d'outillage doivent apparaître. Faire la demande que ces marques d'alignements soient *Half-lasered*, donc ouvertes à la moitié de l'épaisseur du pochoir. Ils pourront alors être reconnus par la machine de sérigraphie, car l'ouverture sera de ce côté du pochoir, mais le circuit imprimé ne recevra pas d'étain, car aucune ouverture côté où la pâte est étendue

## 2.13 Marques d'alignement (fiducials)

Les marques d'alignement (*fiducials*) servent de repère géographique sur le circuit imprimé. La machine d'insertion automatique les utilise pour le bon positionnement des pièces. Il existe une norme appelée *SMEMA FIDUCIAL MARK STANDARD* qui régit leur utilisation). Il faut un minimum de trois marques d'alignement en cuivre sur le circuit imprimé et idéalement dans trois coins éloignés. Il faut éviter de localiser les marques d'alignement qui formerait un carré ou un rectangle et qui permettrait d'assembler le circuit imprimé dans une mauvaise orientation. Les marques d'alignement doivent avoir les caractéristiques suivantes :

- Taille minimum : 1 mm (40 mils)
- Taille maximum : 3 mm (118 mils)
- Dégagement autour du pad de cuivre (ouverture dans le *solder mask*) pour avoir un bon contraste : 2x rayon du pad

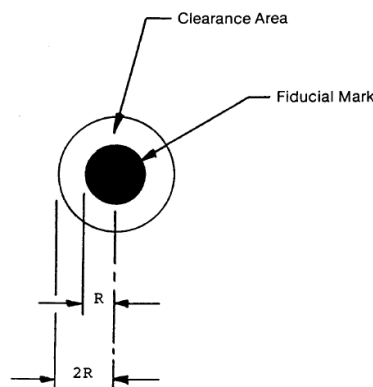


Figure 16 Marque d'alignement et dégagement

Il ne faut pas qu'il y ait d'étain sur les *fiducials* puisqu'il faut une surface plane et contrastée pour une bonne détection.

Si vous mettez vos circuits en panneau (section 2.14) ajoutez des marques d'alignement sur les rails.

## 2.14 Mise en panneau et découpage

La mise en panneau sert à juxtaposer plusieurs circuits imprimés. Cette pratique peut être requise pour

- 1- Réduire les coûts d'assemblage.
- 2- Assembler des circuits trop petits pour les équipements d'assemblage/soudure
- 3- Assembler des circuits dont les composants sont trop proches du bord. Il est alors possible de couper partiellement les circuits imprimés, de mettre les composants et enfin de retirer le circuit par une découpe post assemblage.

La Figure 17 présente un excellent exemple d'un circuit panélinisé. Ce sont des circuits développés par le GRAMS pour les scanners de tomographie d'émission par positrons. Chaque circuit mesure  $1 \times 2 \text{ cm}^2$ . La découpe horizontale entre les circuits doit être très près des composants. Nous ne respectons pas tout à fait les règles de conception. Cette découpe est réalisée par le fabricant de circuits imprimés à l'aide d'une fraiseuse. Comme ces circuits sont très fragiles, nous réalisons les découpes verticales avec un laser après assemblage et tests.

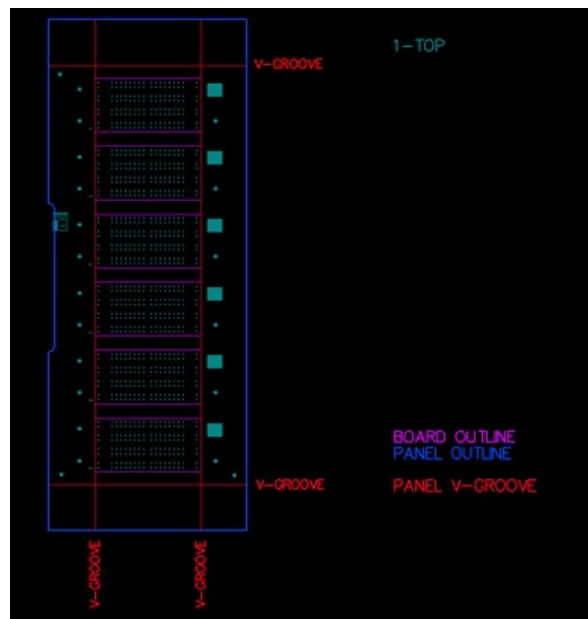


Figure 17 Exemple de 6 circuits identiques panélinisés

La découpe laser des circuits imprimés par le fabricant est une opération assez onéreuse pour des produits de marché. Il existe d'autres options qui peuvent être réalisées par ce dernier soient les *V-groove* et les *mouse bits*. Le *V-groove* est réalisé par une mèche en V qui creuse le circuit imprimé des 2 côtés (Figure 18). Cette profondeur enlève typiquement les  $\frac{3}{4}$  de l'épaisseur. Selon la longueur du circuit et de sa rigidité mécanique, il faut réaliser une découpe plus ou moins profonde. Cela exige habituellement quelques itérations. L'avantage du *V-groove* est que c'est une cassure relativement propre. C'est-à-dire avec peu d'aspérités. La seconde option, appelée *mouse bits*, est de réaliser une série de trous avec la perceuse à la manière d'un timbre-poste (Figure 19). Il est alors possible de casser le circuit. Cependant, cette approche laisse des pics accrochant et il faut bien les faire si l'on veut insérer notre circuit dans un boîtier. L'approche est alors de faire les trous vers le centre du circuit imprimé. À ce moment, les cassures sont vers l'intérieur.

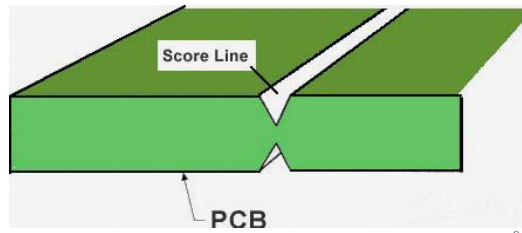


Figure 18 V groove réalisé dans le circuit imprimé<sup>8</sup>

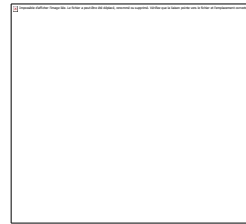
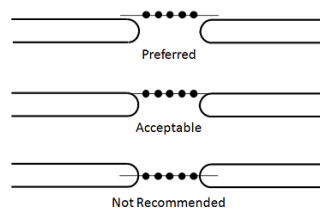
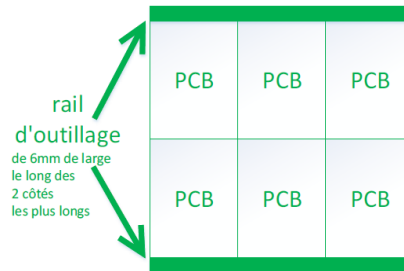


Figure 19 Mouse bits (gauche), leur localisation (centre) et exemple réel (droite)

Pour le 3IT.micro :

- a. s'assurer d'avoir au moins 2 rails d'outillage, de 6 mm.



- b. Avoir un minimum de 3 motifs d'alignement sur les rails d'outillage;
- c. Avoir un minimum de 4 trous de montage sur les rails d'outillage (#4-#6 impérial, ou M2, M3 M4 métrique).
- d. Si le circuit imprimé a une épaisseur < 1 mm, prévoir un outillage de support pour les étapes d'impression de pâte et de passage au four

## 2.15 Génération des fichiers de sorties - Release

Cette opération permet de générer les fichiers GERBER utilisés par le fabricant pour fabriquer les circuits imprimés ainsi que l'assembleur pour réaliser la soudure des composants électroniques. Bien que cette opération semble simpliste, les fichiers GERBER doivent tous être vérifiés dans un autre éditeur.

- Une erreur commune est d'oublier de générer la couche du contour du circuit imprimé. Sans cette dernière, le fabricant est incapable de manufacturer le circuit imprimé.

### 3 Assemblage SMT Manuel et/ou Automatique

Voici une liste d'éléments à tenir compte pour faciliter les assemblages automatiques ou manuels. Certains de ces éléments ont déjà été abordés. Il faut en comprendre leur importance.

- a) Lister les éléments nécessaires à l'assemblage :
  - i) Avant de commander votre circuit imprimé, pour vous protéger et assurer une bonne qualité d'assemblage, faites une liste de vos requis, dans lesquels vous indiquez tout ce qui est important pour l'assembleur exemple :
    - (1) Présence de *solder mask* autour des pads des DFN / QFN / Connecteur *Finepitch*...
    - (2) Vias avec beigne (*annular ring*)...
    - (3) Vias traversant ou borgne (*blind via*)...
    - (4) Vias pleins ou vides pour éviter à l'étain de couler ou non lors du reflow...
    - (5) Pour les grands pads thermique (>2 mm) prévoir un pochoir d'épandage d'étain fractionné sous forme de damier (Certaines spécifications de pièces contiennent le type/format de damier à employer)
    - (6) En plus du fichier drill, fournir spécifiquement une liste des pads des composants traversant, pour qu'ils soient bien percés.
    - (7) ...
- b) Réduire le nombre de composants différents
  - i) Dans les spécifications du fabricant regardez bien les particularités de tension d'alimentation min/max, ce qui vous permettra de réduire le nombre de valeurs de résistances différentes et ainsi diminuer le nombre de lignes dans votre BOM, idem pour les condensateurs de découplage = moins de composants à charger dans la Pick and Place = coût d'assemblage réduit.
- c) Assemblage au 3IT.micro
  - i) L'assemblage automatique à l'aide d'une PnP n'est requis que pour des composants type QFN / BGA / Flip chip/ connecteurs fine pitch ou les grosses quantités de composants / circuit imprimé. Exemple de prototypes densément peuplés (ex : 2 circuits imprimés de 250 composants chacun ou 20 circuits imprimés de 25 composants chacun).
  - ii) Lorsque le prix le permet, commandez toujours 5-10% de pièces supplémentaires, sinon commandez au moins 2-3 pièces de plus. Sachant qu'1-2 pièces manquantes peut engendrer un rework de plusieurs heures, voir le bris du circuit imprimé.
  - iii) ATTENTION en métrique 1005 = 0402 en impérial et 01005 en impérial = 0402 en métrique...
  - iv) Assurez-vous que les indicateurs de pin 1 ne sont pas à cheval sur des vias ou des trous de perçage.

- v) Demandez toujours un solder sample. Comme son nom l'indique il servira aux différents tests d'assemblage, impression étain, chargement dans les machines et bien entendu le *reflow*.
- vi) Pour les circuits imprimés très minces (<1 mm) prévoir un outillage lors des différentes impression TOP/Bottom et reflow.
- vii) Prévoir des mounting holes pour le montage final, mais aussi pour l'impression d'étain sur machine manuel (#4-#6 impérial, ou M2, M3 M4 métrique).
- viii) Pour les circuits imprimés non rectangulaires / irréguliers, pensez à ajouter des tabs de panélisation pour la manipulation dans les machines.
- ix) Pour les circuits imprimés « compact » densément peuplés en composants, prévoir également des tabs de panélisation ou ne pas mettre de composants à 3,25 mm du bord.
- x) Quand la pâte d'étain atteint sa température de fusion, l'oxygène et l'eau contenues dans l'air provoquent une très rapide oxydation des alliages métalliques, donc lorsque vous la sortez du frigo de stockage attendez toujours 1 heure avant d'ouvrir le contenant, sinon l'eau va se condenser rapidement à la surface encore froide de la pâte, ce qui peut la rendre inutilisable.
- xi) Pâte d'étain SAC 305 (Sn 3%Ag 0.5%Cu) et Étain Bismuth (SnBiAg ou SnBi) sont des types d'étain RoHS (ne contient pas de métaux lourds toxiques type Pb, As, Cd...).
- xii) SAC305 fusion >217-220°C, reflow entre 240-260°C suivant le type de flux et les specs des composants
- xiii) Alliage Étain/Bismuth fusion >138 °C, reflow >175 °C (pour atteindre l'optimum d'efficacité du flux).
- xiv) Prévoir le silk screen des RefDes des fiducials TOP et Bottom, cela facilite le chargement manuel des circuits imprimés dans les machines car ils sont plus visibles.

## 4 Microsoudure filaire sur circuit imprimé

La microsoudure filaire (wirebonding) sur circuit imprimé est un art. Il faut longuement préparer les étapes de conception et s'assurer de la qualité de la fabrication du circuit imprimé pour la réussir. Voici une série de conseils à ce niveau.

- a) Pads d'accueil : les pads sur le circuit imprimé doivent avoir une largeur minimum de 4 mils (101,6  $\mu\text{m}$ ) et un minimum de 8 mils (203,2  $\mu\text{m}$ ) de long. Ceci permet de se reprendre si jamais une soudure ne fonctionne pas.
- b) Plaquage: Pour avoir un meilleur contact avec le fil d'or, prévoir pour les pads un fini en or, de type ENIG. Il est possible de faire des microfils avec un fini ENIG, cependant, il faut absolument préciser au fabricant de circuits imprimés que ces pads vont servir à du microfilage, ce dernier ajustera l'épaisseur de la couche d'or en conséquence. Vérifiez que vous avez l'ENIG selon la norme IPC 4552 spec: 0,05  $\mu\text{m}$  minimum gold, 3 to 6  $\mu\text{m}$  nickel; keep the gold to less than 0,1  $\mu\text{m}$ .
- c) Dégager les pads de *solder mask* pour permettre la fusion du fil d'or. Par exemple, après fusion, un fil de 20  $\mu\text{m}$  en s'écrasant produira une boule de 50~60  $\mu\text{m}$ . De plus, le *solder mask* trop près des pads peut empêcher l'outil de microcâblage de se rendre aux pads.
- d) Avant de pouvoir réaliser le microfilage, prévoyez de coller votre puce avec de l'époxy conductrice ou non.
- e) Lors de l'assemblage final, la proximité de la chip ne doit pas être encombrée par des composants trop épais qui pourrait empêcher l'outil de microfilage de venir en contact avec le/les différents pads.
- f) Assurer vous de fournir au fabricant de circuits imprimés, un document complet contenant tous vos requis (Service Request), sans cela la qualité de votre circuit sera très aléatoire et vous ne n'aurez aucun recours pour les faire refaire.
- g) Assurez-vous de la planéité de la surface sur laquelle votre puce sera déposée, pad thermique et/ou solder mask simple.
- h) Planifier les étapes d'assemblage des autres pièces et du microfilage, en gardant en tête que ce dernier nécessite de l'espace pour que l'outil se rende sur la puce et son support. Éviter de placer les pièces hautes près des pads.
- i) N'hésitez pas à créer un circuit "secondaire/satellite", interconnectable vers le premier, pour permettre d'isoler votre zone de microfilage plus complexe à réaliser. Celui-ci pourra être modifiable / testable à volonté, en cas de besoin, sans avoir à refaire les éléments du circuit imprimé principal.

## 5 Flip chip ou $\mu$ BGA

- a) Plaquage: Il faut de l'ENIG selon la norme IPC 4552 spec: 0,05  $\mu\text{m}$  minimum gold, 3 to 6  $\mu\text{m}$  nickel; keep the gold to less than 0,1  $\mu\text{m}$ .
- b) Solder mask : Les billes des Flip chip sont de petites tailles et l'épaisseur du *solder mask* peut devenir un élément perturbateur lors de l'assemblage. Une fois les billes passées au four, leur taille diminue (*collapsed*), car elles fondent. Assurer vous que l'ouverture (largeur/épaisseur) du solder mask n'empêche pas la fusion des billes de votre Flip chip avec les pads, exemple : billes de diamètre 80  $\mu\text{m}$  soudées donc partiellement fondues sur un flip chip → hauteur des billes est inférieure à 70-75  $\mu\text{m}$ , donc épaisseur solder mask <<<50  $\mu\text{m}$ . Il existe des règles de conception pour vous aider. Si l'épaisseur du *solder mask* est plus haut que cela, il en résulte des pads non-connectés. Pour éviter ce problème, inscrire dans la datasheet du circuit imprimé:  
"Solder mask thickness to be equal or less than copper thickness".
- c) Silk screen : limiter les marques sur le *silk screen* près des pads du flip chip ou sous la pièce. La hauteur du *silk screen* ajoutée au *solder mask* peut créer des problèmes d'assemblage (pads non soudés).
- d) Pour les micros BGA ( $\mu$ BGA) les mêmes règles sont à respecter, 4-6 mils de *solder mask* empêchera la soudure de  $\mu$ BGA ayant des billes de 150  $\mu\text{m}$  (no connect).
- e) Assurer vous de rajouter dans vos requis, les tolérances de centrage des pads dans le *solder mask* ainsi que l'absence de résidu de *solder mask* après la fabrication.