

Session S7

Guide étudiant Conception de circuits électroniques avancés

**Département de génie électrique et de génie informatique
Faculté de génie
Université de Sherbrooke**

Hiver 2024

**Copyright © 2024 Département de génie électrique et de génie informatique.
Université de Sherbrooke**

Note : En vue d'alléger le texte, le masculin est utilisé pour désigner les femmes et les hommes.

Document H24_S7_APP2_ConceptionCircuitAvance_GuideEtudiant.doc

Rédigé par Réjean Fontaine, Jean-François Pratte et Sébastien Roy, Mars 2017

Révisé par Réjean Fontaine, Janvier 2020

Révisé par Réjean Fontaine, Février 2021

Révisé par Réjean Fontaine, Février 2022

Révisé par Réjean Fontaine, Février 2024

Copyright © 2024 Département de génie électrique et de génie informatique. Université de Sherbrooke

Table des matières

Table des matières.....	3
1. Éléments de compétences de la session S7 visés par l'unité	4
2. Énoncé de la problématique.....	5
3. Connaissances nouvelles à acquérir par la résolution de cette problématique	6
4. Références.....	7
4.1. Références essentielles à consulter	7
5. Activités liées à la problématique	8
6. Livrables.....	9
6.1. Validation de la troisième semaine.	9
Tableau 1 : Grille d'évaluation de la validation.....	9
Tableau 2 : Évaluation de la communication orale.....	10
6.2. Distribution des points en fonction des activités pédagogiques	11
7. Formation à la pratique procédurale #1	12
7.1. Buts de l'activité	12
7.2. Problèmes à résoudre	12
8. Formation à la pratique en laboratoire #1	16
8.1. Buts de l'activité	16
8.2. Description du laboratoire.....	16
9. Formation à la pratique procédurale #2	17
9.1. Buts de l'activité	17
9.2. Problèmes à résoudre	17
10. Formation à la pratique en laboratoire #2	20
10.1. Buts de l'activité	20
10.2. Description du laboratoire.....	20
11. Formation à la pratique procédurale #3	21
11.1. Buts de l'activité	21
11.2. Problèmes à résoudre	21
12. Semaine 3 de l'APP2: Revue de conception de la topologie de circuits	23

1. Éléments de compétences de la session S7 visés par l'unité

GEI788 : Conception de circuits imprimés

1. Concevoir un circuit imprimé multicouche répondant à des spécifications de circuits électroniques complexes.
2. Préparer la réalisation d'un circuit imprimé multicouche en fonction de la fabricabilité.

Qualités de l'ingénieur

Les qualités de l'ingénieur visées par cette unité d'APP sont les suivantes. D'autres qualités peuvent être présentes sans être visées ou évaluées dans cette unité d'APP.

	Q01	Q02	Q03	Q04	Q05	Q06	Q07	Q08	Q09	Q10	Q11	Q12
Touchée	X	X	X	X								
Évaluée	X	X		X								

Pour une description détaillée des qualités et leur provenance, consultez le lien [BCAPG](#) sur le site de la Faculté de génie. Les modalités d'évaluation des compétences, les pondérations et grilles d'évaluation sont présentées à la fin de ce guide.

NOTE :

Dans le cadre de cette activité les cotes suivantes seront attribuées

E	D	D+	C-	C	C+	B-	B	B+	A-	A	A+
<	50%	54%	58%	62%	66%	70%	74%	78%	82%	86%	90%
0	1.0	1.3	1.7	2.0	2.3	2.7	3.0	3.3	3.7	4.0	4.3

2. Énoncé de la problématique

Conception de l'électronique pour une radio numérique Volet 2

Vous en êtes au volet 2 de votre projet, soit le tracé sur circuit imprimé du projet *Pléiades*.

Suite à la revue de conception des schémas, il faut s'attaquer au placement et au routage sur circuit imprimé. Les dimensions de la carte doivent d'abord être déterminée, en tenant compte de la taille des pièces, de la densité anticipée des connexions, des contraintes mécaniques et des positions souhaitées des connexions vers l'extérieur, en ayant soin de ne pas créer de boucles de retour de courant (en anglais, *ground loop*). De plus, les interfaces analogiques sont une section critique où l'immunité au bruit doit être optimisée. Enfin, il faut également déterminer les détails de l'empilement : nombre de couches, épaisseur de cuivre, épaisseur des isolants et nature des isolants. Vous n'avez aucune contrainte mécanique quant à la taille mais vous devez pouvoir justifier vos choix.

Une fois les dimensions et l'empilement du circuit imprimé déterminés, on peut procéder à la sélection des plans de retour notamment pour optimiser les variations de courant ($\delta i/\delta t$) et ainsi éviter une pollution non désirée dans les alimentations. Un choix judicieux de plans de retour permettra de maximiser les retours de courant, minimiser les antennes parasites et par le fait même l'émission et la susceptibilité électromagnétiques. Vous devrez également minimiser le couplage de différents types de bruit (conduction, inductif, capacitif et électromagnétique). Le placement devra suivre les normes IPC afin de faciliter l'assemblage automatique et les tests. Une attention particulière devra être apportée à la création de plans d'alimentation partagés et à l'utilisation judicieuse de vias de type *micro-via*, *blind* ou *buried* si nécessaire.

On procède finalement au routage en commençant par les signaux les plus critiques, c.-à-d. les signaux plus sensibles au bruit, à grande sortance (*fanout*), à très grande vitesse (comme les signaux DDR3 dont les longueurs de traces doivent être égalisées et bien terminées) et/ou sujet à des contraintes de synchronisation ou de délai (les diverses horloges). Une planification adéquate du routage évitera beaucoup de tracas. Le routage devra suivre une technologie d'empilement avancée fournie par la compagnie PCBWay (<https://www.pcbway.com/advanced-pcb-capabilities.html>) où l'on va utiliser la version 2016. Les fichiers Gerber devront être produits et vérifiés à l'aide d'un logiciel à cet effet comme *Gerbv* disponible sur le site WEB de l'APP. On pourra alors vérifier si les grosseurs des mèches correspondent aux grosseurs spécifiées dans la technologie. Vous ferez attention à ne pas oublier les trous pour le support mécanique, les traits de repère (*fiducials*) et les instructions de découpage du circuit imprimé. Finalement, une revue de conception de l'implémentation physique des circuits imprimés sera réalisée.

Note : Le placement de tous les composants est exigé. Toutefois, afin de circonscrire le travail, seul le routage de la DDR3, le port Ethernet, le radiateur du FPGA et les alimentations du FPGA, les plans de retour de courant, l'arbre d'alimentation comprenant son découplage doivent être réalisés à la revue de conception. Une contrainte est exigée pour le routage entre le FPGA et la DDR3 où on exige une distance de 2 cm entre les 2 composants. Il faut spécifier, sans router les traces (épaisseurs, largeur, vias etc...) du contrôleur de moteur jusqu'au connecteur. L'équipe doit fournir un mini rapport de 1 page expliquant les choix technologiques pour l'empilement (*stack-up*), les matériaux et les épaisseurs de cuivre. Cette page correspond à votre travail en tant qu'ingénieur de conception.

Le tutorat d'ouverture se poursuit avec une séance en laboratoire dont l'objectif est de vous sensibiliser à des problèmes de conception de circuits imprimés. Des mesures électriques ou magnétiques permettront d'apprécier les problèmes.

3. Connaissances nouvelles à acquérir par la résolution de cette problématique

Connaissances déclaratives : *Quoi*

- Couplage du bruit : conductif, inductif, capacitif et électromagnétique;
- Compatibilité et susceptibilité électromagnétiques;
- Plan de retour et mise à la terre;
- Lignes de transmission;
- Plan de disposition des composants;
- Caractéristiques physiques des circuits imprimés (substrat et finition métallique);
- Capacités imbriquées dans le substrat;
- Circuits à haute tension ou à fort courant;
- Dissipation thermique;
- Connectivité (boîtiers de connecteurs, flip chip, microfils);
- Matériaux pour soudure;
- Types de câbles;
- Plots d'interconnexion;
- Nettoyage de circuits imprimés;
- Fichiers de fabrication;
- Normes de fabrication et de tests.
- Découplage des alimentations;
- Terminaisons électriques;
- Composants électroniques de découplage : condensateurs (tantale, aluminium, électrolytique, céramique), ferrites, inductances;
- Interconnexion de cartes électroniques et mise à la terre;
- Contenu d'une revue de conception pour la topologie du circuit;
- Contenu d'un plan de tests et de validation.

Connaissances procédurales : *Comment*

- Concevoir les interconnexions électriques;
- Concevoir le plan de disposition des composants électroniques;
- Concevoir le plan de positionnement des connecteurs et du support mécanique;
- Concevoir le plan d'empilement des couches;
- Positionner la mise à la terre;
- Filtrer les diverses sources de bruit;
- Spécifier les paramètres de fabrication d'un circuit imprimé
- Concevoir des circuits électroniques multicouches comportant plusieurs cartes électroniques;
- Réaliser un plan de test;
- Réaliser une revue de conception.

4. Références

4.1. Références essentielles à consulter

Logiciel à télécharger

- SaturnPCB toolkit http://www.saturnpcb.com/pcb_toolkit.htm
- Gerbv (voir site WEB de l'APP) ou <https://sourceforge.net/projects/gerbv/>

Documentation requise :

- *Right the first time, a practical handbook on high speed PCB and system design*, Vol 1 et 2, Lee Ritchey, 2003, 295 p.
- *Grounding and Shielding of Electronic Systems*, Dr. Tom Van Doren, Van Doren Company; disponible sur le site WEB
- *Circuit Board Layout to Improve Electromagnetic Compatibility and Signal Integrity*, Dr. Tom Van Doren, Van Doren Company, disponible sur le site web
- *ExperiementalDemo_VanDoran.pdf* disponible sur le site web
- *Chapter 12 : Printed Circuit Board (PCB) Design Issues*. Analog Device, disponible sur le site web
- Fabrication de PCB (formation de 50 minutes)
 - o https://www.youtube.com/watch?v=VXE_dh38HjU&feature=youtu.be&t=2390
- Routing de DDR
 - o <https://resources.altium.com/fr/p/how-to-route-ddr3-memory-and-cpu-fan-out>
- Information générale sur les pads, sortir les traces du FPGS et routing DDR
 - o <https://resources.altium.com/fr/webinars/altium-academy-virtual-sessions-tech-track-ddr-and-bga-routing-and-fanout> (à écouter en x2)

Volumes recommandés

- *Grounds for grounding, a circuit-to-system handbook*, Elya B. Joffe et Kai-Sang Lock, Wiley;
- *The circuit designer's companion*, Peter Wilson, Newnes;
- *Printed circuits handbook* 6e édition, Clyde F. Coombs, McGraw-hill, ISBN978-0-07-146734-6;
- *Printed circuits board design techniques for EMC compliance*, 2e édition, M. Montrose, Wiley, ISBN 0-7803-5376-, 2000, 307 p.

5. Activités liées à la problématique

Semaine 1 : Début de l'APP2

- 1^{re} rencontre de tutorat
- Étude personnelle et exercices
- Formation à la pratique procédurale 1
- Formation à la pratique en laboratoire 1
- Rencontre collaborative pour la résolution de la problématique
- Formation à la pratique procédurale 2

Semaine 2 :

- Étude personnelle et exercices
- Formation à la pratique en laboratoire 2
- Formation à la pratique procédurale 3

Semaine 3 :

- Validation pratique sous forme de revue de conception de la topologie.
- 2^e rencontre de tutorat
- Évaluation formative
- Consultation facultative
- Évaluation sommative

6. Livrables

6.1. Validation de la troisième semaine.

La validation comporte 2 opérations. La première opération consiste au téléversement de vos schémas (pdf), topologie i.e stack-up (pdf), le fichier des structures de produits (mieux connu sous le nom de *bill of materials*) et fichiers Gerber complets sur le site WEB ou dans le canal TEAMS correspondant à votre numéro d'équipe du module avant 16h30 la veille de la validation (voir Horarius). Le fichier téléversé est un fichier .zip comprenant tous ces documents. Le nom du fichier .zip doit comporter la liste des CIP des coéquipiers de l'équipe.

La seconde opération concerne la validation de votre problématique comme telle, à travers une revue de conception. Pour cette opération, vous devrez être en mesure de répondre aux questions du/des tuteur(s) lors d'une présentation orale en classe. La grille du Tableau 1 servira de guide à l'évaluation des compétences. Il est important de noter qu'il est de la responsabilité de chacun des étudiants présents à la validation de s'assurer de l'exactitude de la valeur de chaque élément de solution et de la qualité et de l'uniformité de l'ensemble du contenu. Veuillez avoir facilement en main les schémas, la topologie, le fichier des structures de produits et les fichiers Gerber.

Tableau 1 : Grille d'évaluation de la validation

	Compétence	GEI788_1	GEI788_2
	Critère	<i>Concevoir un circuit imprimé multicouche répondant à des spécifications de circuits électroniques complexes</i>	<i>Préparer la réalisation d'un circuit imprimé multicouche en fonction de la fabricabilité</i>
Niveaux	Pondération	120	60
Excellent	100,00%	Conçoit des circuits imprimés complexes multicouches selon les règles de l'art.	Prépare la réalisation d'un circuit imprimé multicouche en fonction de la fabricabilité selon les règles de l'art.
Cible	85,00%	Conçoit adéquatement des circuits imprimés multicouches en considérant l'implémentation.	Prépare adéquatement la réalisation d'un circuit imprimé multicouche en fonction de la fabricabilité.
Seuil	60,00%	Conçoit des circuits imprimés multicouches complexes, mais qui contiennent quelques erreurs importantes et/ou maîtrise minimalement les concepts requis pour leur conception.	Prépare la réalisation d'un circuit imprimé multicouche en fonction de la fabricabilité, mais comporte quelques erreurs importantes et/ou maîtrise minimalement les concepts requis pour leur fabrication.
Non satisfaisant	25,00%	Conçoit des circuits imprimés multicouches complexes, mais qui contiennent plusieurs erreurs importantes et/ou maîtrise minimalement les concepts requis pour leur conception.	Prépare la réalisation d'un circuit imprimé multicouche en fonction de la fabricabilité, mais comporte plusieurs erreurs importantes et/ou maîtrise minimalement les concepts requis pour leur fabrication.
Non initié	0,00%	Incapable de concevoir un circuit imprimé multicouche.	Incapable de préparer la réalisation d'un circuit imprimé multi couche en vue de la fabricabilité.

Tableau 2 : Évaluation de la communication orale

Rubrique	Organisation	Présentation	Références	Graphiques	Rédaction	Consignes
Critère	Organiser l'information	Présenter de l'information pertinente	Recourir à des références	Présenter des communications graphiques de qualité	Rédiger dans une langue de qualité	Respecter les consignes données
Excellent	L'étudiante ou l'étudiant organise efficacement l'information pour en faciliter la compréhension chez son auditoire. Les transitions entre les sections témoignent d'une compréhension approfondie du sujet.	L'étudiante ou l'étudiant présente de l'information pertinente et complète au regard des objectifs de la communication. Le sujet est bien délimité et est présenté avec concision.	L'étudiante ou l'étudiant recourt à des références pertinentes et variées pour appuyer ses propos. Les citations et paraphrases présentées sont toutes pertinentes.	L'étudiante ou l'étudiant présente des communications graphiques (représentations 3D, schémas, courbes 2D, etc.) qui appuient le texte, sont faites selon l'état de l'art et sont accompagnées d'un titre évocateur. Elles ajoutent ainsi une plus-value au document produit.	L'étudiante ou l'étudiant rédige des phrases complètes et bien structurées. Il/elle respecte les règles grammaticales élémentaires, en plus d'utiliser une terminologie et un vocabulaire parfaitement appropriés.	L'étudiante ou l'étudiant remet une communication écrite respectant toutes les consignes données, tant pour le fond que pour la forme.
Cible	L'étudiante ou l'étudiant organise adéquatement l'information pour en permettre la compréhension chez son auditoire. La qualité des transitions entre les sections pourrait toutefois être améliorée.	L'étudiante ou l'étudiant présente de l'information pertinente et complète au regard des objectifs de la communication.	L'étudiante ou l'étudiant recourt à des références pour appuyer ses propos. Les citations et paraphrases présentées sont généralement pertinentes.	L'étudiante ou l'étudiant présente des communications graphiques (représentations 3D, schémas, courbes 2D, etc.) qui appuient le texte et généralement faites selon l'état de l'art.	L'étudiante ou l'étudiant rédige généralement des phrases complètes et bien structurées. Il/elle respecte les règles grammaticales élémentaires, en plus d'utiliser une terminologie et un vocabulaire généralement appropriés.	L'étudiante ou l'étudiant remet une communication écrite respectant la majorité des consignes données, tant pour le fond que pour la forme.
Seuil	L'étudiante ou l'étudiant organise minimalement l'information pour en permettre la compréhension. Les transitions entre les sections sont soit abruptes, soit inefficaces.	L'étudiante ou l'étudiant présente de l'information pertinente au regard des objectifs de la communication, mais des éléments importants sont soit mal présentés, soit absents.	L'étudiante ou l'étudiant recourt à des références pertinentes, mais peu variées. Les citations et paraphrases présentées sont soit trop longues, soit déformées/inexactes.	L'étudiante ou l'étudiant présente des communications graphiques (représentations 3D, schémas, courbes 2D, etc.) qui appuient le texte, mais celles-ci ne sont pas toujours faites selon l'état de l'art.	L'étudiante ou l'étudiant fait des erreurs d'orthographe, de syntaxe et de grammaire, mais celles-ci ne nuisent pas de façon importante à la compréhension de son texte. Il/elle utilise une terminologie et un vocabulaire minimalement appropriés.	L'étudiante ou l'étudiant remet une communication écrite respectant quelques-unes des consignes données, tant pour le fond que pour la forme.
Non satisfaisant	L'étudiante ou l'étudiant n'est pas en mesure d'organiser l'information pour en permettre la compréhension. Il n'y a aucune transition entre les sections.	L'étudiante ou l'étudiant éprouve de la difficulté à sélectionner l'information pertinente à présenter au regard des objectifs de la communication.	L'étudiante ou l'étudiant recourt à trop peu de références et/ou abuse de citations et de paraphrases.	L'étudiante ou l'étudiant présente des communications graphiques (représentations 3D, schémas, courbes 2D, etc.), mais celles-ci n'appuient pas le texte.	L'étudiante ou l'étudiant éprouve de la difficulté à rédiger des phrases complètes et bien structurées, de même qu'à respecter les règles grammaticales élémentaires, ce qui nuit à la compréhension de son texte. Il/elle n'utilise pas une terminologie et un vocabulaire appropriés.	L'étudiante ou l'étudiant remet une communication écrite respectant trop peu les consignes données, tant pour le fond que pour la forme.

6.2. Distribution des points en fonction des activités pédagogiques

<i>Activité</i>	<i>Élément de compétence</i>	<i>Validation/revue de conception APP1</i>	<i>Validation/revue de conception APP2</i>	<i>Examen sommatif APP1</i>	<i>Examen sommatif APP2</i>	<i>Examen final</i>	<i>Totaux</i>
GEI788_1	Concevoir un circuit imprimé multicouche répondant à des spécifications de circuits électroniques complexes		120		400	190	710
GEI788_2	Préparer la réalisation d'un circuit imprimé multicouche en fonction de la fabricabilité		60		50	80	190
GEI789_1	Concevoir des circuits électroniques sur circuits imprimés multicouches	120		400		190	710
GEI789_2	Évaluer la qualité des schémas et des layouts de circuits imprimés multicouches	60		50		80	190
Total		180	180	450	450	540	1800

7. Formation à la pratique procédurale #1

7.1. Buts de l'activité

Dans cette activité, on veut mettre en pratique les procédures requises pour :

- Concevoir un empilement de couches de circuits imprimés (*stack up* de PCB) répondant aux besoins
- Déterminer le chemin de plus faible impédance
- Concevoir des lignes de transmission pour coupler 2 circuits (microstrip, stripline, single-ended vs diff, etc.)

Vous devez avoir :

- parcouru la majorité du livre *Right the first time*, volume 2 de Ritchey
- parcouru <https://resources.altium.com/fr/p/how-to-route-ddr3-memory-and-cpu-fan-out>.
- parcouru <https://resources.altium.com/fr/webinars/altium-academy-virtual-sessions-tech-track-ddr-and-bga-routing-and-fanout> (à écouter en x2).

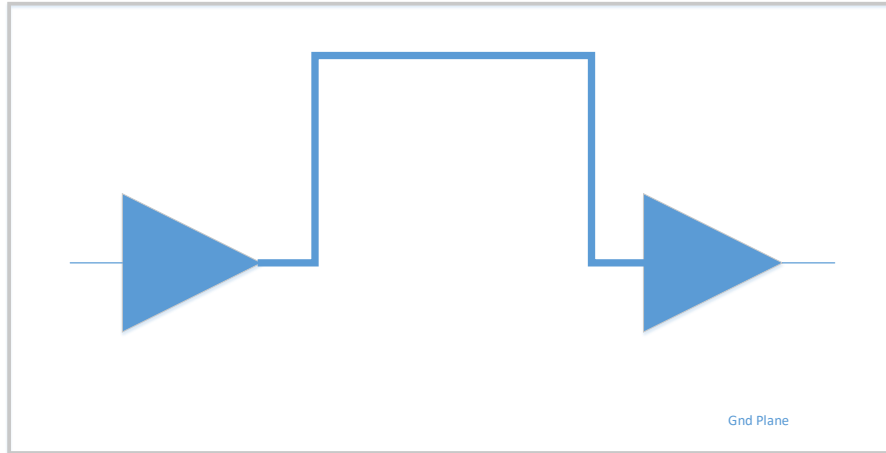
7.2. Problèmes à résoudre

- 1) Élaborez un flot de conception (*design flow*) pour la conception d'un circuit imprimé.
- 2) Expliquer les termes
 - a. Vias ;
 - b. Micro-via / Blind via / Buried Via;
 - c. Thermal relief ;
 - d. Trous mécaniques ;
 - e. Fiducials ;
 - f. Prepreg ;
 - g. Core.
- 3) Distinguer et décliner les équations pour déterminer les largeurs de traces et les distances pour faire des traces de 50 ohms ou 100 ohms différentielles en :
 - a. Microruban (microstrip) ;
 - b. Guide d'ondes à ruban (stripline).
- 4) Déterminez le nombre de couches requises pour sortir les signaux du FPGA Spartan 6 [XC6SLX100-3FGG676I](#) avec un espacement de 1 mm en supposant que le PCB fait 63 mils, l'*aspect ratio* des vias est de 8 :1, les *pads* ou beignes des couches internes ont un diamètre de 15 mils, les pads du top 0,5 mm, et les traces ont une largeur minimale de
 - a. 8 mils, avec une séparation minimale de 8 mils,
 - b. 4 mils, avec une séparation minimale de 4 mils.

Note, on peut avoir des couches internes sans beignes (i.e. seulement le via). Cela offre une possibilité supplémentaire de passer des traces.

5)

- a. Tracez un modèle approximatif du retour de courant à 100 Hz et 10 kHz :



- b. Expliquer ce qui se passe dans les retours de courant suivants

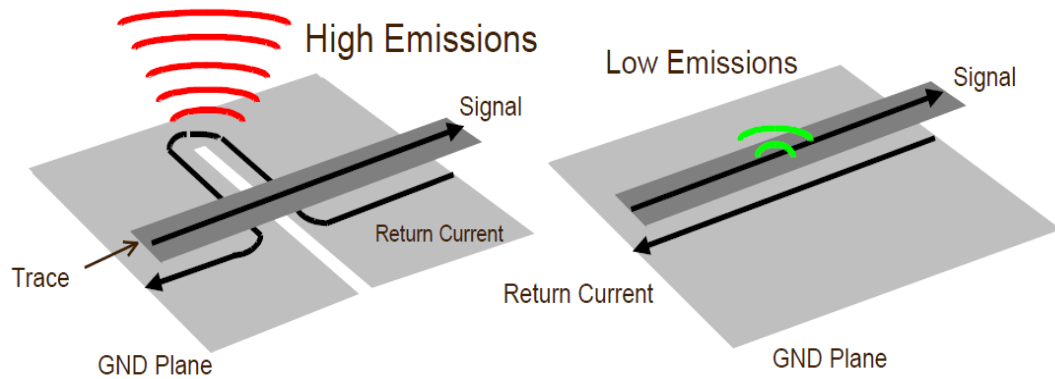


Figure 1 Retour de courant dans un plan de retour de courant
[High Speed Digital Design: it is not black magic!, P. Guerrra, 2008].

6) Expliquer ce dessin

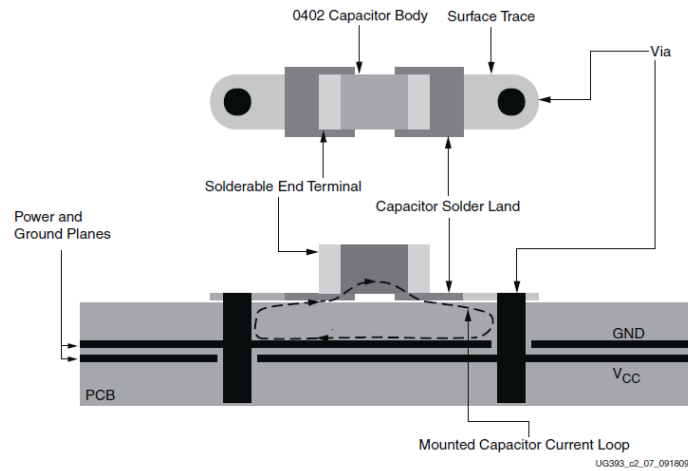


Figure 2 Découplage avec capacités et plans de retour [ref UG393.pdf]

7) Expliquez ce qui se passe dans la figure suivante :

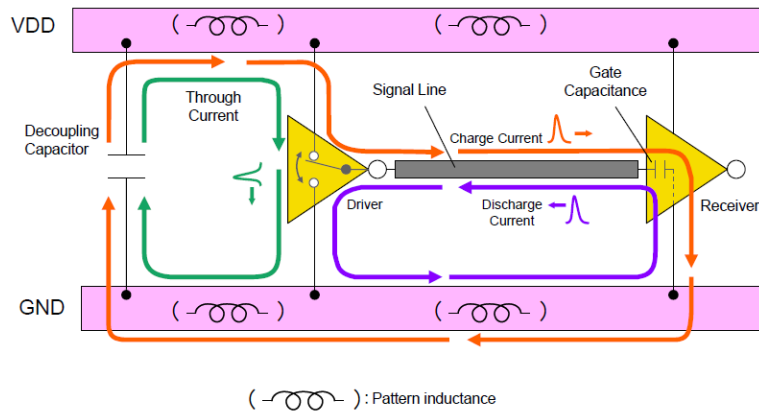
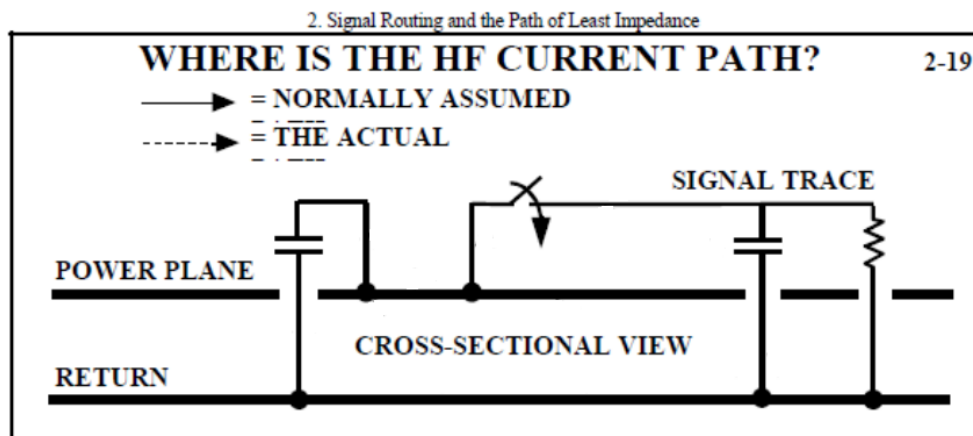


Figure 4 Plan de retour [Murata C39e.pdf]

8) Tracer les retours de courant **RÉELS** lorsque l'interrupteur se ferme :



- 9) Que se passe-t-il quand on change de couche comme dans la figure ci-dessous ? Comment régler le problème ?

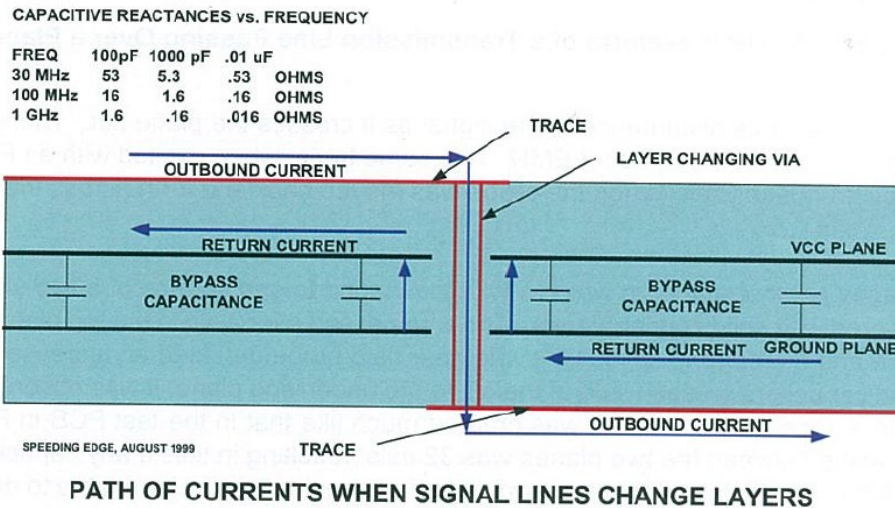


Figure 3 Signaux avec changement de couche de métallisation [Right the first time vol 2]

- 10) Que conclure sur le nombre de couches du problème 4 suite aux problèmes et aux compétences acquises au numéros 5 et 6 ?
- 11) Si l'on tient compte des arbres d'alimentation, que conclure sur le numéro 10 ?
- 12) Soit le circuit comportant une DDR3 opérant à 400 MHz, un port USB, un CAN avec un port LVDS opérant à 100 MHz. Déterminer ce qui est à faire pour mener au placement et au routage des traces sur un circuit imprimé multicouche. Le circuit imprimé doit être
- à coût minimal ;
 - à haute densité de connexions ;
 - d'une épaisseur finale de 62 mils.
- 13) Expliquez comment vous pouvez physiquement relier une DDR3 au FPGA en tenant compte des résistances de terminaison.
- Où placer les résistances ?
 - Quelles couches utiliser ?

8. Formation à la pratique en laboratoire #1

8.1. Buts de l'activité

- Calcul de largeur de traces pour impédance caractéristique de 50 ohms à terminaison simple (*single ended*) et 100 ohms différentiels
- Largeur de traces pour alimentation
- Distance maximale pour supporter la haute tension.
- Créer votre empilement de couches (stackup) dans Altium
- Contour (outline) préliminaire de votre circuit imprimé
- Importation des pièces
- Ajuster les règles à dessins
- Groupes de traces
- Ajuster les longueurs

8.2. Description du laboratoire

Impédance caractéristique

Utiliser le logiciel *Saturn PCB* pour identifier la largeur nécessaire de trace pour des microrubans (de l'anglais *microstrip*) et pour des guides d'ondes à ruban (de l'anglais *stripline*) si l'épaisseur entre les traces et les plans de retour est de 8 mils pour avoir :

- 50 ohms à terminaison simple (*single-ended*).
- 100 ohms différentiels

Puissance dans une trace

Déterminez la largeur minimale d'une trace capable de faire passer 50 A depuis un connecteur jusqu'à un relais en supposant qu'il est possible d'avoir 2 onces de cuivres sur les couches externes et 0,5 ou 1 once dans les autres couches. Supposez un PCB de 6 couches au maximum et que l'on ne veuille pas augmenter la température de plus de 3 degrés. Que dire des vias ? Combien en faudrait-il ?

Refaire ce calcul à maison mais pour la puissance nécessaire pour vos moteurs. Cela fixera l'épaisseur des couches externes (top et bottom) de votre PCB et influencera les calculs de l'impédance caractéristique.

Haute tension

Est-ce qu'un connecteur Molex avec 100 mil d'espacement peut soutenir des tensions de 1 000 V ? Quelles seraient les règles à suivre pour amener ces traces à un composant si on passe sur une couche extérieure du circuit imprimé et dans une couche interne ?

Création préliminaire de votre PCB

Préparez la conception de votre PCB. Le document suivant présente une excellente revue des opérations à effectuer à haut niveau.

https://resources.altium.com/sites/default/files/uberflip_docs/file_314.pdf

Toute la documentation nécessaire pour la création d'un PCB se retrouve dans

<https://www.altium.com/documentation/altium-designer/defining-the-layer-stack-ad>

Regardez l'annexe pour différentes informations sur la conception de votre PCB et pour certains conseils.

9. Formation à la pratique procédurale #2

9.1. Buts de l'activité

Dans cette activité, on veut mettre en pratique les procédures requises pour :

- Contrôler les mécanismes de couplage de bruit (conduction, induction, capacitif, et électromagnétisme) ;
- Placer des composants ;
- Gérer une « boucle dans la boucle » (situation comportant couplage inductif et capacitif)
- Créer un plan de test et revue de conception pour layout.

Pour cette activité, vous devez regarder

- les transparents de Van Doran (voir site APP1),
- les lectures sur les émissions EMI dans *Right the first time*,
- la formation sur les antennes de Ott sur le site WEB.

9.2. Problèmes à résoudre

- 1) Selon Van Doran, quels sont les 4 mécanismes de couplage de bruit et comment les distinguer ?
- 2) Dressez la liste des mécanismes de couplage par conduction, expliquez comment les minimiser et donnez des exemples.
- 3) Couplage inductif
 - a. Quel est le mécanisme à l'origine du couplage par champ magnétique?
 - b. Quelle est l'amplitude (équation mathématique) du bruit induit par le couplage par champ magnétique ?
 - c. De quoi dépend l'inductance mutuelle et quelles sont les variables impliquées?
 - d. À la lumière des réponses ci-dessus, comment fait-on pour diminuer / minimiser le couplage par champ magnétique lors de la réalisation d'un PCB?
 - e. L'inductance d'une boucle dépend de la géométrie de celle-ci. Présenter et discuter les diverses configurations que l'on retrouve dans un système électronique.
 - f. Suite aux discussions précédentes, analyser et discuter les figures ci-dessous :

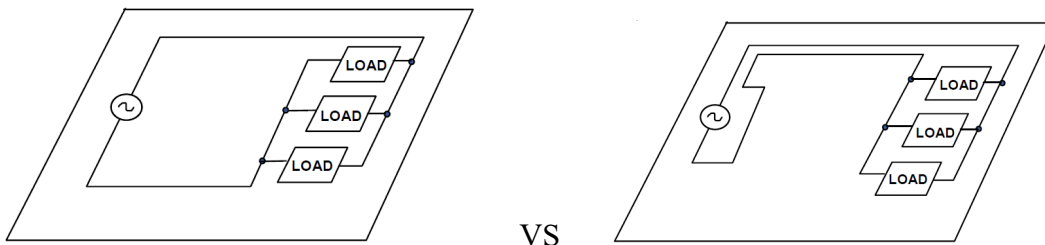


Figure 4 Inductance mutuelle [EDch 12 pc issues.pdf]

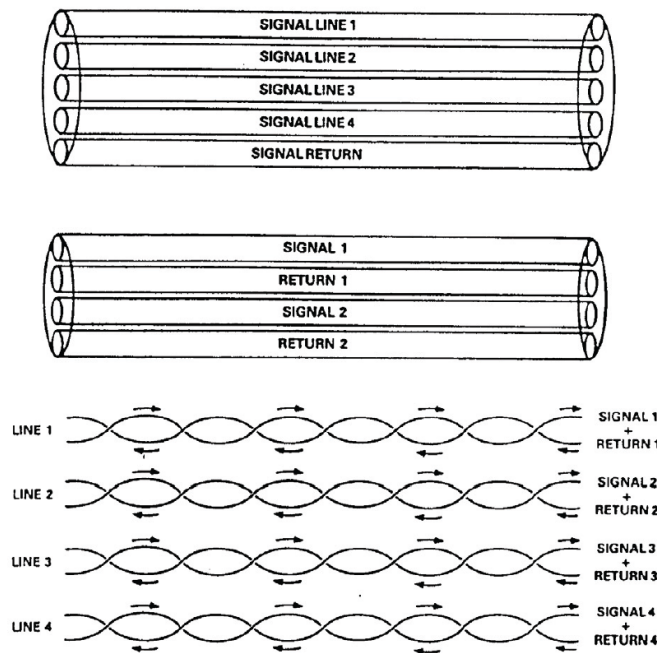


Figure 5 Inductance mutuelle câbles [EDch 12 pc issues.pdf]

4) Couplage capacitif

- Quel est le mécanisme à l'origine du couplage par champ électrique?
- Quelle est l'amplitude (équation mathématique) du bruit induit par le couplage par champ électrique?
- À la lumière des réponses ci-dessus, comment diminuer / minimiser le couplage par champ électrique lors de la réalisation d'un PCB?
- Suite aux discussions précédentes, analyser et discuter le schéma ci-dessous :

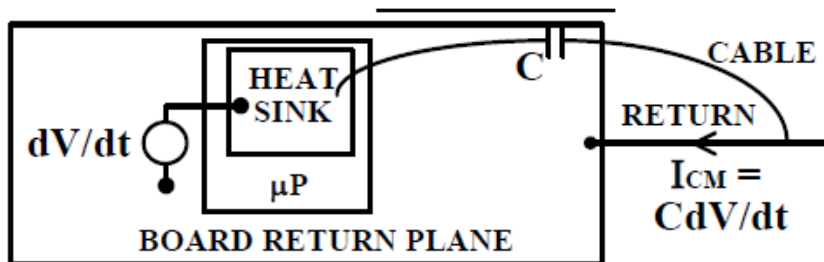


Figure 6 Couplage capacitif [Van Doran.pdf]

5) Couplage électromagnétique

- a. Quel est le mécanisme à l'origine du couplage par champ électromagnétique?
- b. Quelle est l'amplitude (équation mathématique) du bruit induit par le couplage par champ électromagnétique?
- c. À la lumière des réponses ci-dessus, comment diminuer / minimiser le couplage par champ électromagnétique lors de la réalisation d'un circuit imprimé ?
- d. Suite aux discussions précédentes, analyser et discuter les schémas ci-dessous :

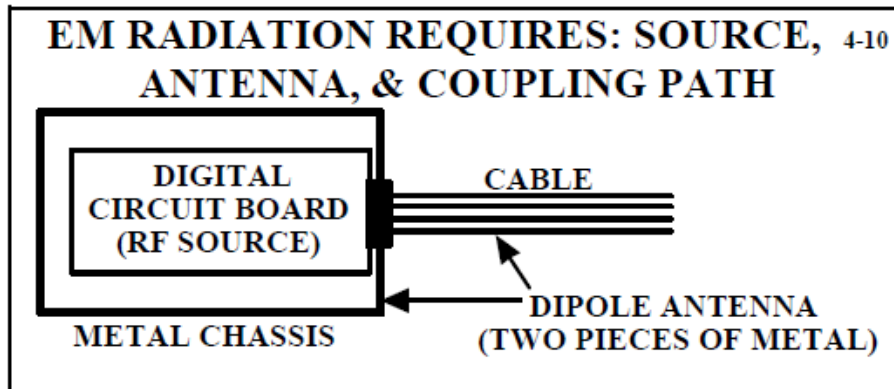


Figure 7 Couplage électromagnétique [Van Doran.pdf]

- 6) À partir des réponses aux questions précédentes, déterminer les critères pour un placement optimal des composants sur un circuit imprimé pour minimiser les sources de couplage de bruit. Entre autres, discutez
 - a. du placement des composants numériques et analogiques;
 - b. de la localisation des connecteurs;
 - c. de la localisation du point de mise à la terre;
 - d. de l'utilisation de radiateurs (heat sink);
 - e. du choix de câbles.
- 7) Quelles sont les éléments essentiels pour créer un plan de tests et de validation d'un circuit ?

10. Formation à la pratique en laboratoire #2

10.1. Buts de l'activité

Réviser les éléments de vérifications (document du GRAMS)

Se préparer à une revue de topologie de circuits imprimés.

Visualiser quelques problématiques de conception de circuits imprimés.

10.2. Description du laboratoire

- Révision d'éléments de vérification de PCB (Durée : 1 heure)
- Revue de topologies problématiques (Durée : 1,5 heure)
 - Pour cette activité, les étudiants présentent un PCB qu'ils ont déjà créé. On discute des points forts et des points à améliorer de ces PCB.
- Visualisation de sections de la formation de Van Doran (Durée : 30 min si le temps le permet).

11. Formation à la pratique procédurale #3

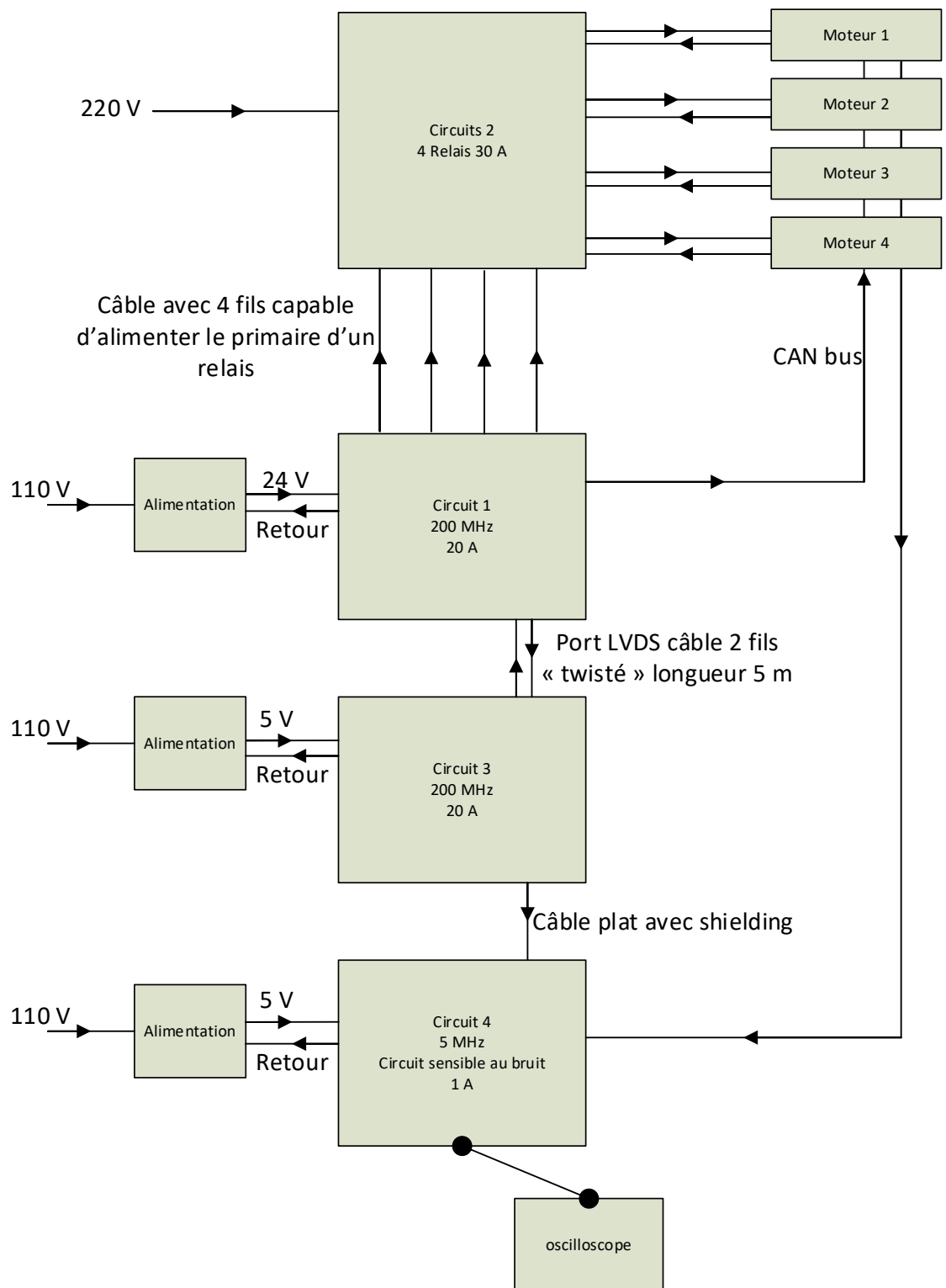
11.1. Buts de l'activité

Dans cette activité, on veut mettre en pratique les procédures requises pour :

- la fabricabilité des circuits imprimés ;
- l'assemblage des circuits imprimés ;
- la génération des fichiers Gerber ;
- la conception d'un système comportant plusieurs cartes électroniques.

11.2. Problèmes à résoudre

- 1) Déterminez les normes principales à prendre en compte pour
 - a. obtenir les termes et définitions des interconnexions ;
 - b. les standards et définitions ;
 - c. les références de technologies pour la conception ;
 - d. l'inspection à l'entrée (incoming inspection).
- 2) Déterminer les finis de surface de circuits imprimés appropriés pour les technologies suivantes :
 - a. BGA ;
 - b. flip chip ;
 - c. soudure microfilaire (wirebond) ;
 - d. le plus faible coût.
- 3) Pourquoi faire une mise à la terre ?
- 4) Déterminer les fichiers à produire ainsi que leur contenu pour
 - a. la fabrication des circuits imprimés ;
 - b. l'assemblage automatisé des composants de montage en surface.
- 5) Listez les éléments à faire attention pour un assemblage facile.
- 6) Soit les circuits imprimés suivants reliés selon ce schéma d'interconnexion grossier. Quels sont les problèmes potentiels et quelles recommandations pouvez-vous apporter pour y remédier ?



7) Quelles sont les considérations pour dissiper 3 W dans les plans de retour d'un PCB ?

12. Semaine 3 de l'APP2: Revue de conception de la topologie de circuits

La validation de la topologie sera réalisée par un panel de spécialistes qui poseront des questions sur la topologie et les choix en vue de la fabricabilité. Les questions pourront être posées à n'importe quel étudiant de l'équipe qui devra pouvoir répondre à la question. Les autres équipes devront, en parallèle, évaluer la qualité des topologies produites par l'équipe.