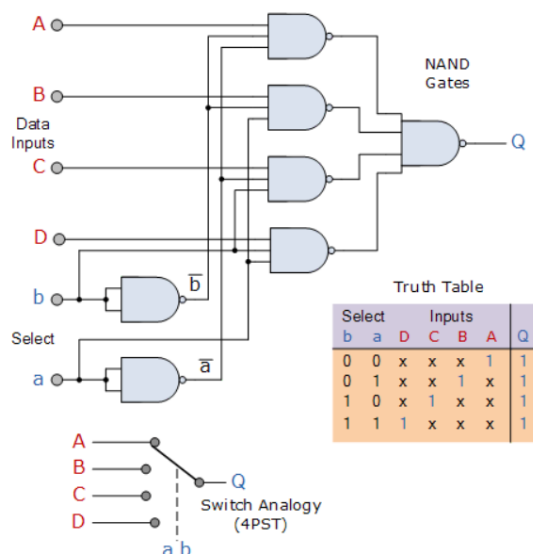


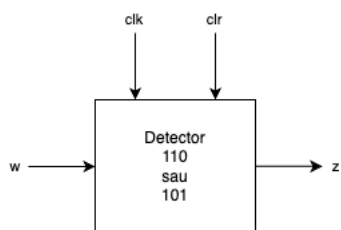
Lucrarea 1

1. Sa se implementeze un multiplexor 4:1

4-to-1 Channel Multiplexer



2. Sa se proiecteze si implementeze un FSM de tip Moore si un FSM de tip Mealy ce detecteaza secventele de biti: 110 si 101 (cu suprapuneri) dintr-un sir de biti.



Intrari:

clk (1 bit) => semnal ceas

clr (1 bit) => semnal clear / reset – 1 bit

w (1 bit) => primeste cate un bit pe front crescator din sir

Iesiri:

z (1 bit) => semnalizeaza 1 daca a detectat secventa, altfel 0

Exemplu Moore:

w = 00110101001011100

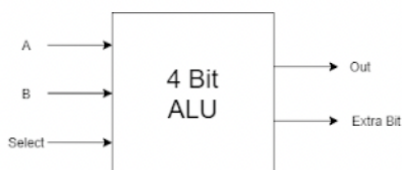
z = 00000110100001001

Exemplu Mealy:

w = 00110101001011100

z = 00001101000010010

3. Sa se implemente o unitate aritmetico-locica (ALU) pe 4 biti.



Intrari:

A (4 biti) => Input 1

B (4 biti) => Input 2

Select (3 biti) => alegerea operatie ce se executa

Iesiri:

Out (4 biti) => rezultatul operatiei aritmetico-logice

Overflow (1 bit) => carry pentru operatia de adunare

Intrare Select	Operatie	Rezultat
000	adunare	A + B
001	Egalitate intre intrari	1111 daca A == B 0000 daca A != B
010	Deplasare a lui A cu 1 unitate la dreapta (right shift)	A >> 1
011	Complementul fata de 2 a lui B	~B
100	Si pe biti	A & B
101	Nici o operatie (nefolosit)	0
110	Nici o operatie (nefolosit)	0
111	Nici o operatie (nefolosit)	0