

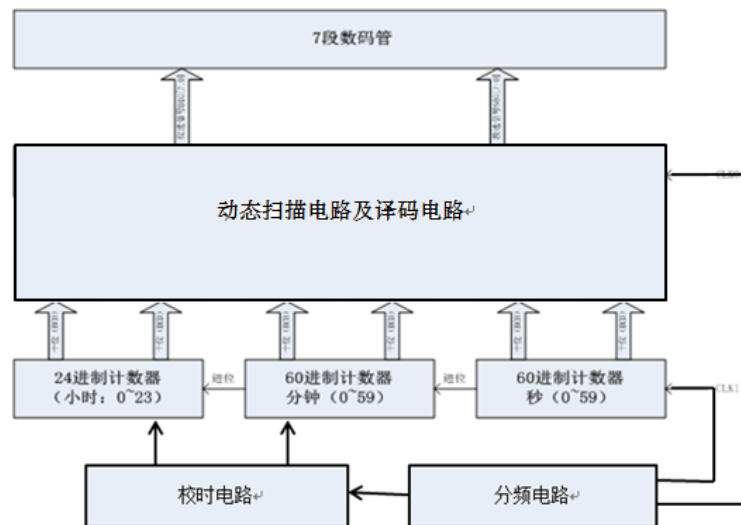
实验四 基于 FPGA 的数字电子钟设计

1. 实验目的：

- (1) 掌握基于 FPGA 的数字综合系统设计中的设计与开发；
- (2) 掌握数字电子钟的基本工作原理。

- 2. 实验任务：**基于 FPGA 实验平台完成数字电子钟的设计与调试；(1) 基本功能：能实现秒、分钟、小时的计数，计数结果清晰稳定的显示在 6 位七段数码管上。(2) 扩展功能（可选）：手动校时、校分功能，闹钟功能，秒表功能及其他功能。

3. 系统设计：



- (1) 分频电路：本设计由 EDA 实验平台 50MHz 晶体振荡器提供时间基准信号。需要设计一个分频电路将该信号分频至 1Hz 用于时钟电路计数。
- (2) 时、分、秒计数电路设计：小时计数器计数模值为 24，分钟和秒计数器计数模值为 60。计数器输出信号为 8421BCD 码。
- (3) 数码管动态扫描及译码显示电路：设计一个动态扫描显示电路，将时、分、秒计数器输出的 8421BCD 码译为七段码输出至共阴显示数码管显示。
- (4) 校时电路设计及其他扩展功能的实现：可选内容，可利用实验平台的按键开关控制小时、分钟电路的校时。请同学们自行完成设计。

4. 实验报告要求

实验报告应包括：实验名称，实验目的，实验平台简介（包括使用的目标器件型号，信号源，按键开关等），开发软件介绍，数字电子钟的基本组成模块及各模块工作原理，心得体会。实验报告具体要求参见实验报告模板。