

装

订

线

**学生实验实习报告册**

|  |  |
| --- | --- |
| 学年学期： | 2020-2021 学年🞏春■秋学期 |
| 课程名称： | 数字电路与逻辑设计实验A |
| 实验项目： | 基于FPGA的数字电子钟的设计与实现 |
| 学院和专业： | 计算机科学与技术学院  计算机科学与技术专业 |
| 班 级： | 04011902 |
| 姓 名： | 沈怡然 |
| 学 号： | 2019210624 |
| 序 号： | 01 |
| 指导教师： | 黄沛昱 |

**重庆邮电大学教务处制**

目录

[一、系统顶层模块设计 3](#_Toc59637367)

[二、分频模块电路设计及仿真 3](#_Toc59637368)

[三、计时模块设计及仿真 5](#_Toc59637369)

[3.1 分、秒计时模块（模60计数） 5](#_Toc59637370)

[3.2 小时计时模块（模24计数） 7](#_Toc59637371)

[四、数码管动态显示模块 8](#_Toc59637372)

[4.1 动态显示模块的设计 8](#_Toc59637373)

[4.2 扫描模块cnt8 8](#_Toc59637374)

[4.3 位选模块dig\_select 9](#_Toc59637375)

[4.4 数据选择模块code\_select 11](#_Toc59637376)

[4.5 译码模块decoder 12](#_Toc59637377)

[4.6 动态显示模块电路图 14](#_Toc59637378)

[五、其他扩展功能 14](#_Toc59637379)

[5.1 清零暂停 14](#_Toc59637380)

[5.2 整点报时 15](#_Toc59637381)

[5.3 秒表 17](#_Toc59637382)

[5.4 调频 19](#_Toc59637383)

[5.5 12、24进制显示 20](#_Toc59637384)

[六、系统总体测试 24](#_Toc59637385)

[七、系统设计实现过程中遇到的主要问题、解决思路和解决方案 24](#_Toc59637386)

[7.1 主要问题： 24](#_Toc59637387)

[7.2 解决思路： 24](#_Toc59637388)

[7.3 解决方案： 24](#_Toc59637389)

[八、心得体会 25](#_Toc59637390)

# 一、系统顶层模块设计

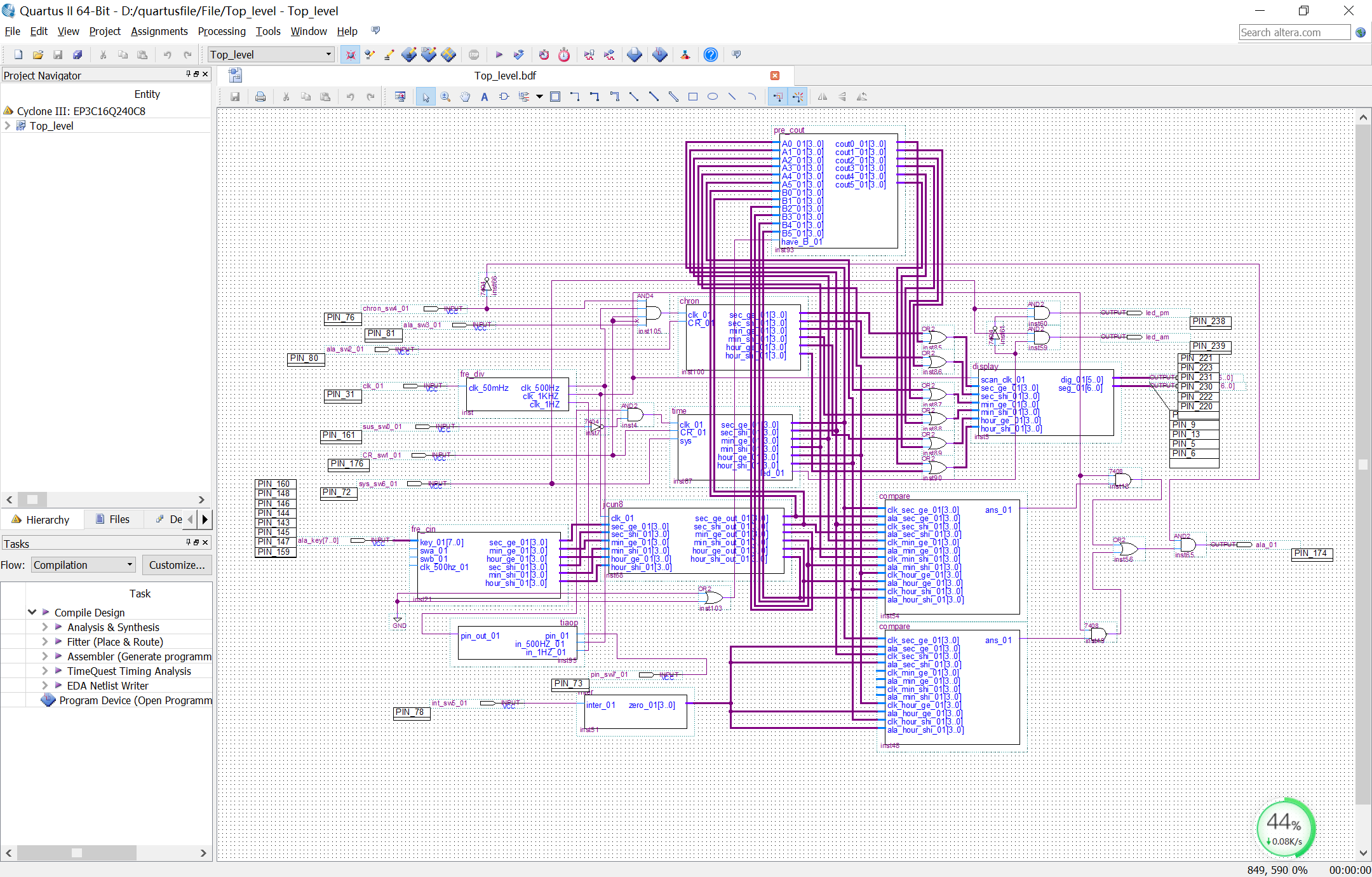


图 1

该电路拥有小时、分钟、秒计时和进位的基础功能，还拥有清理暂停、整点报时、秒表计时、调频和12、24进制显示切换的拓展功能。其中，在时钟功能中，0号开关控制暂停，1号开关控制清零。在秒表功能中， 3号开关控制转换为秒表功能，4号开关控制暂停，1号开关控制清零。每到整数的分钟时(小时太长了，所以换成了分)，时钟会主动报时。7号开关作为频率控制开关，当不按下时时钟为1HZ的频率运行，按下后以500HZ频率运行。最后，6号控制时钟的12进制和24进制显示，当不按下6号开关时，时钟显示24进制时间，按下6号开关后，时钟显示12进制时间且在0-11小时时为上午6号LED亮，在12-23小时时为下午7号LED灯亮。

时钟信号进入电路后先在分频模块进行分频处理，分为1KHZ、500HZ、1HZ的频率，然后以这些频率给电路的其他部分提供适合的时钟信号。获得相应频率的时钟信号后，时钟和秒表进入计数模块，其中时钟采用模24\*模60\*模60计数器，即分别为时分秒，并在这三个计数器间进行进位处理。秒表采用模60\*模60\*模100计数器，秒表的频率为100HZ比时钟高。秒表和时钟公用一个数码管动态显示模块，在数码管动态显示模块由数码管选择模块 counter6，位选模块 dig\_select，段选模块 seg\_select 以及译码模块 decoder 构成，最后在数码管上显示对于的数字。整点报时和12、24进制显示中的LED灯采用当前计数时间和需要时间进行比对，如果相等则报时或灯亮。

# 二、分频模块电路设计及仿真

1. 模块功能

分频器，其输入信号为 50MHz，输出信号频率分别为 1KHz、500Hz 及 1Hz。

1. 设计思路

实验平台上提供有两个时钟信号clk0和clk1，频率均为50MHz，通过 2、5、100 分频，对输入信号进行逐级分频。2、5、100分频功能采用74390实现。

设计模100计数器，然后封装成元件，再通过74390进行分频。

1. 设计结果（电路）

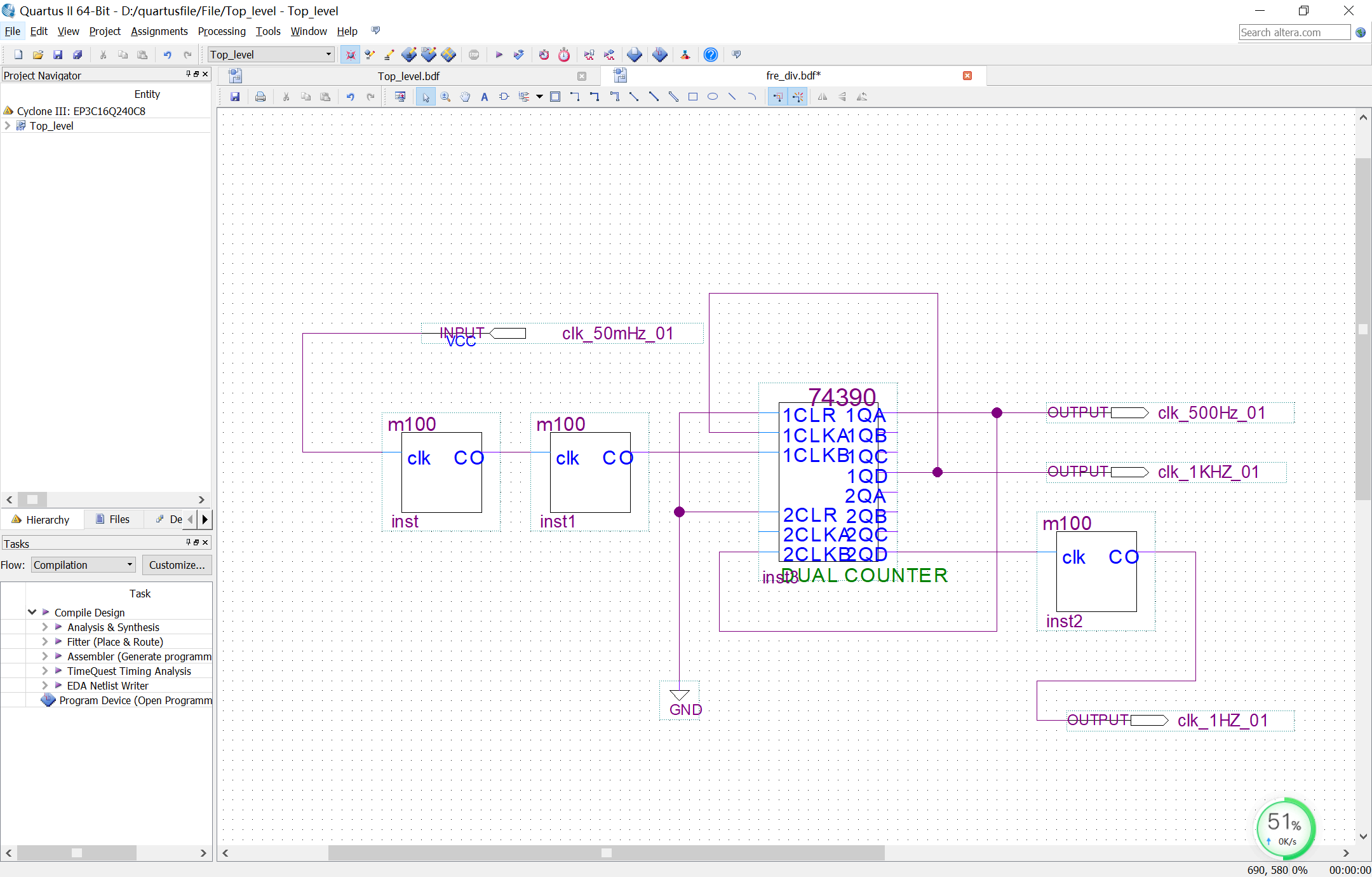


图 2

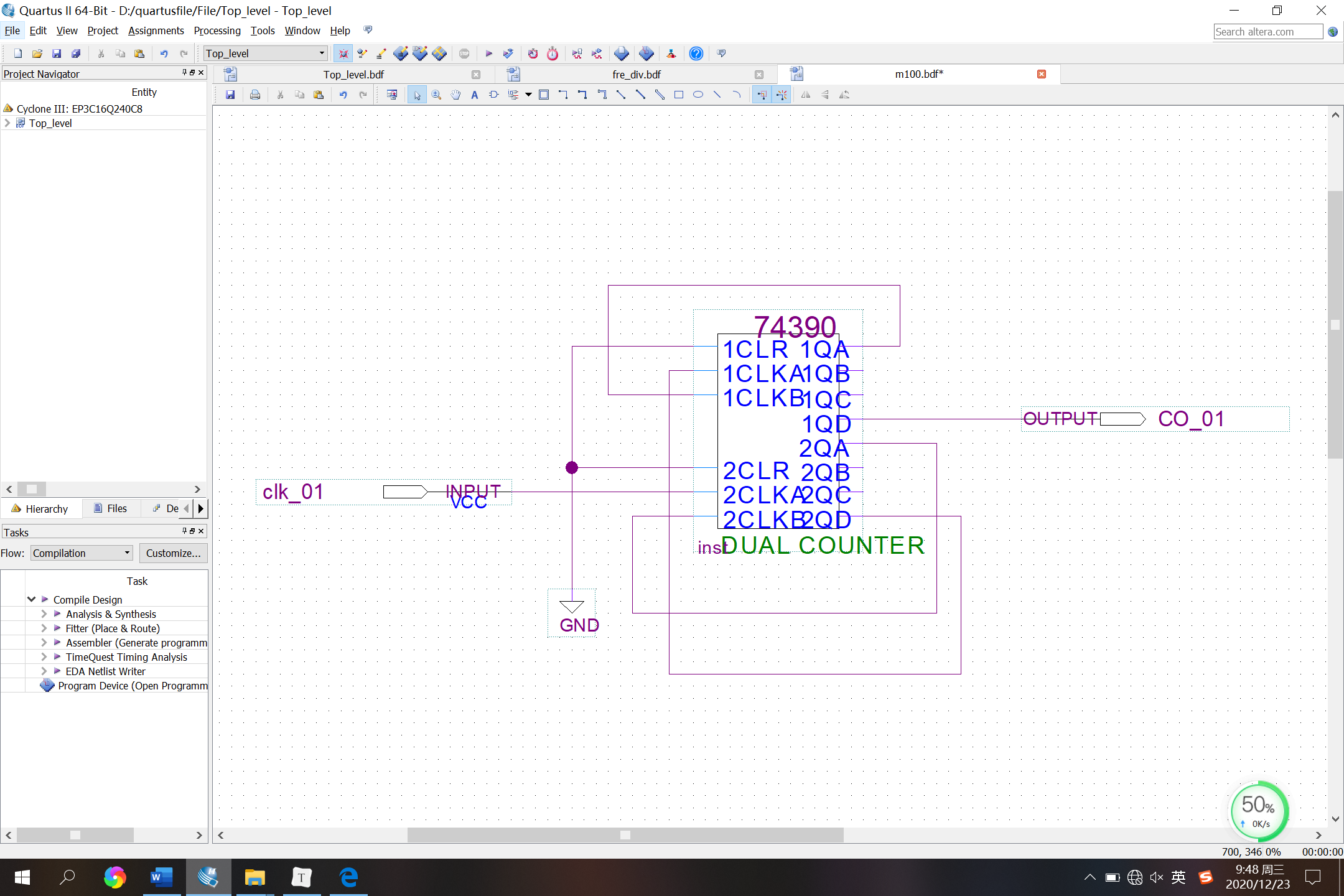


图 3

# 三、计时模块设计及仿真

## 3.1 分、秒计时模块（模60计数）

1. 模块功能（计数、进位）

以74390做为模60计数器，满60进位，作为分、秒计数器。

1. 设计思路

用模10和模6进行级联，模6的状态为0000-0101，以出现状态0101时进位，以出现暂态0110时置位。

1. 设计结果（电路）

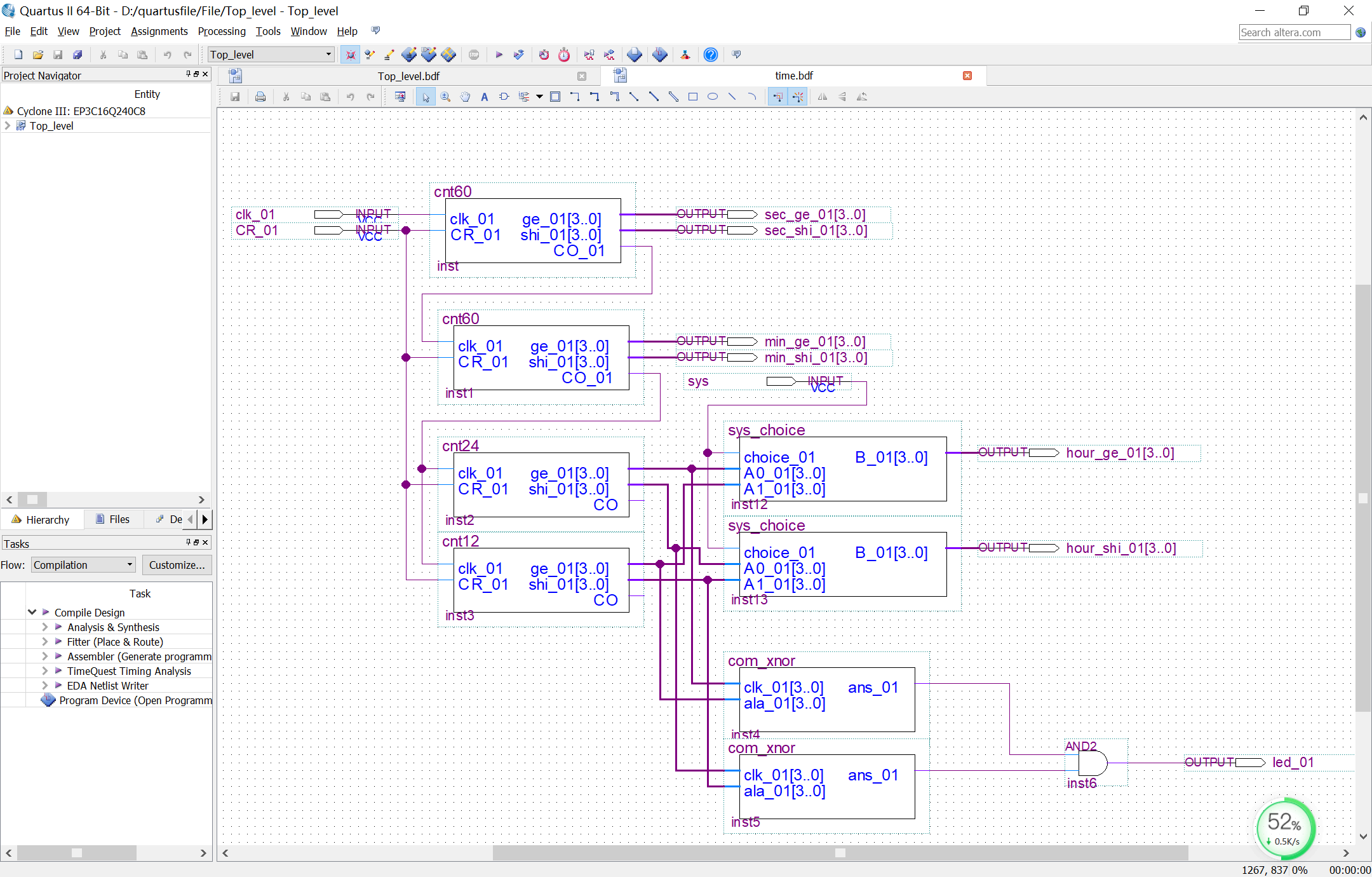


图 4

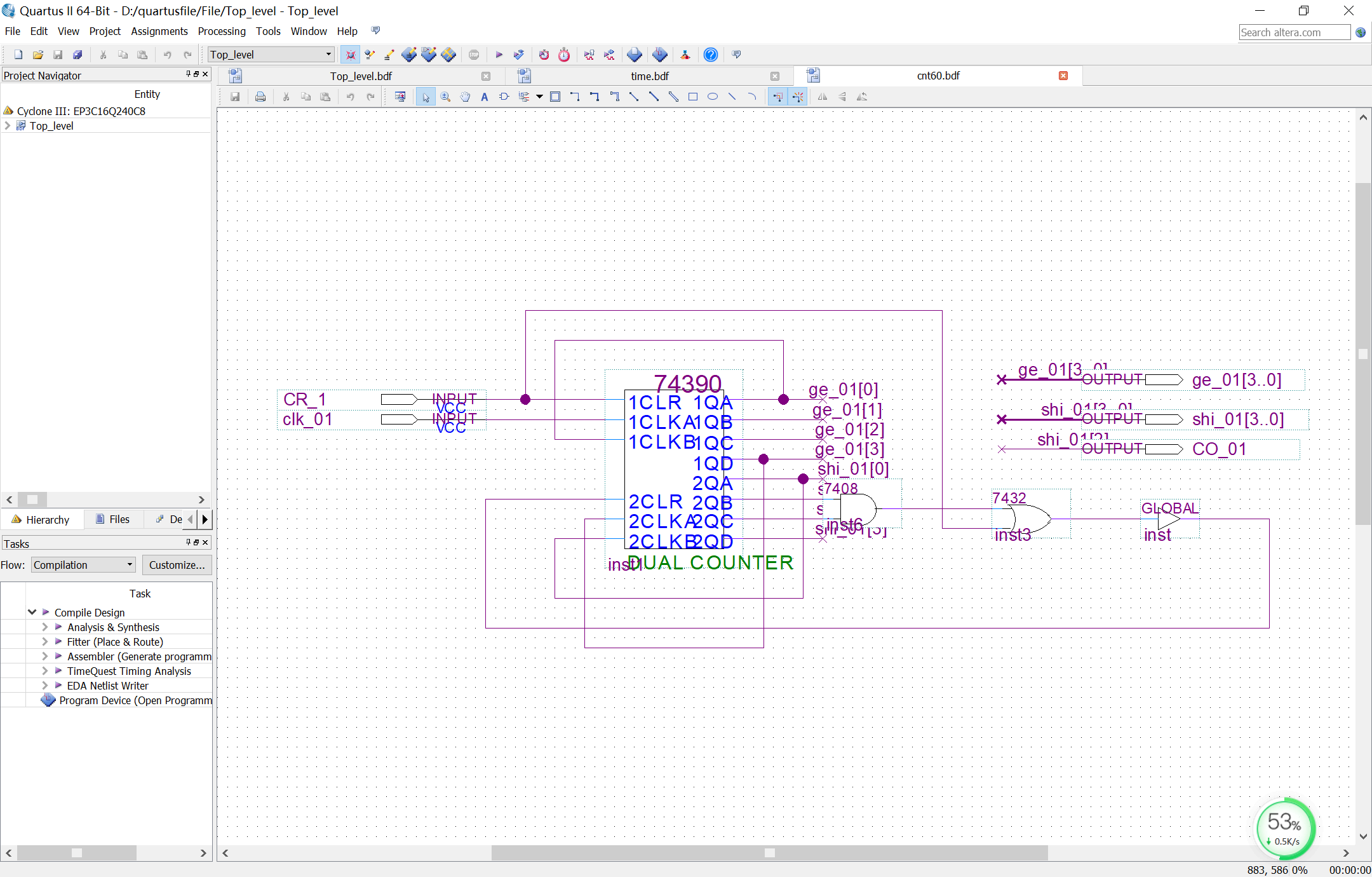


图 5

1. 仿真测试

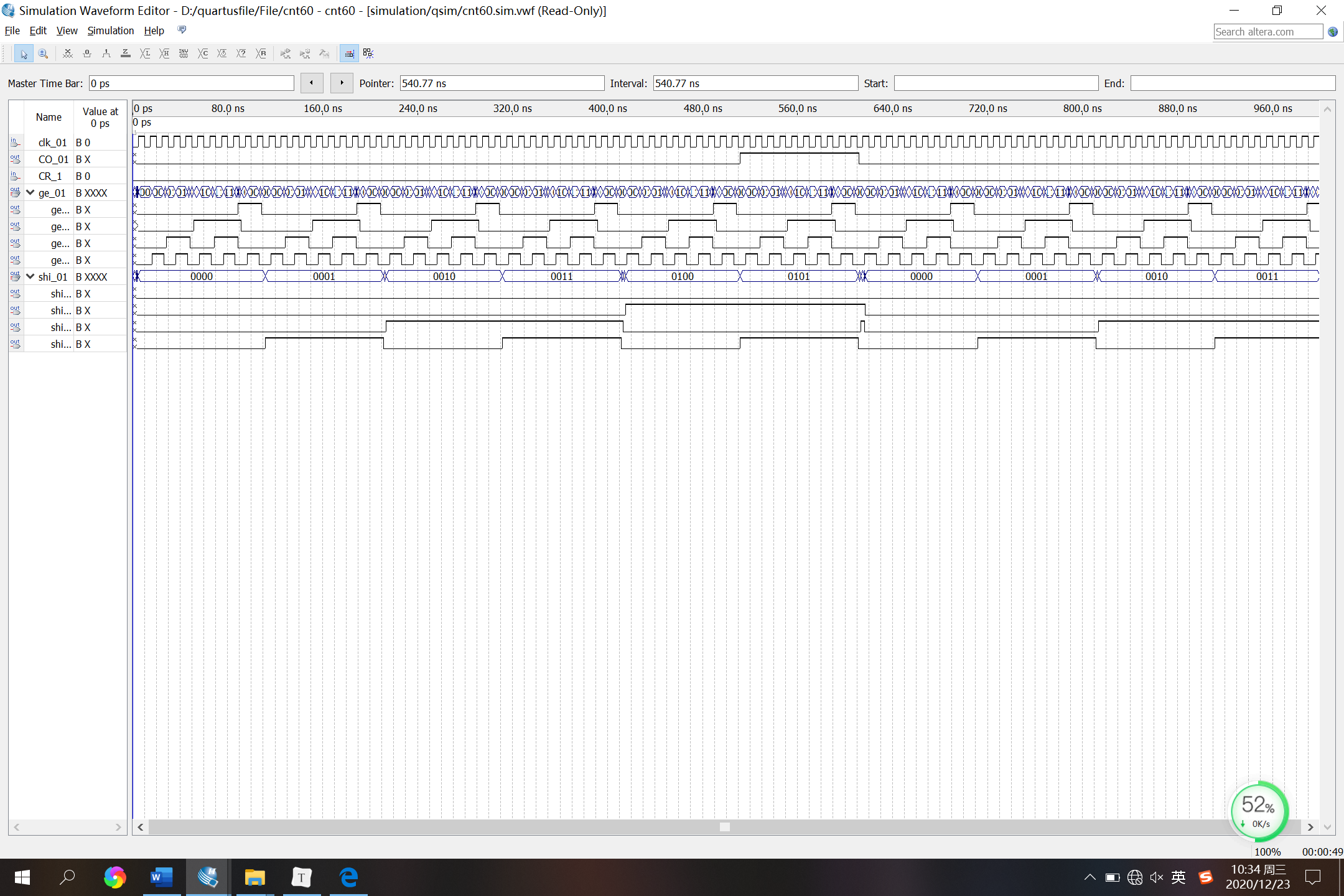


图 6

## 3.2 小时计时模块（模24计数）

1. 模块功能

以74390做为模24计数器，满24进位，作为时计数器。

1. 设计思路

模2和模4进行级联，模2的状态为0000-0001，以出现暂态0010时置位。模4的状态为0000-0011，以出现暂态0100时置位

1. 设计结果（电路）

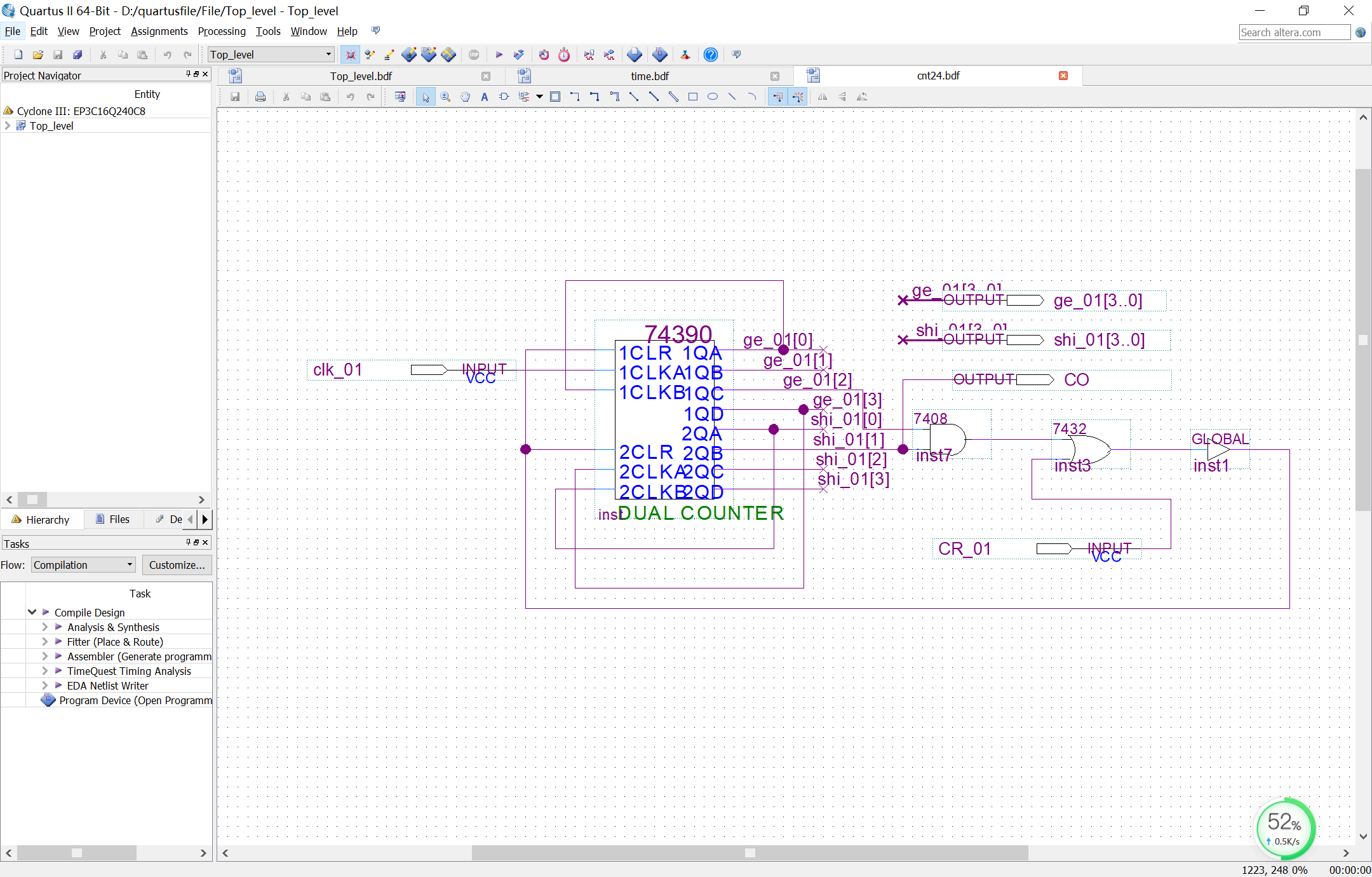


图 7

1. 仿真测试

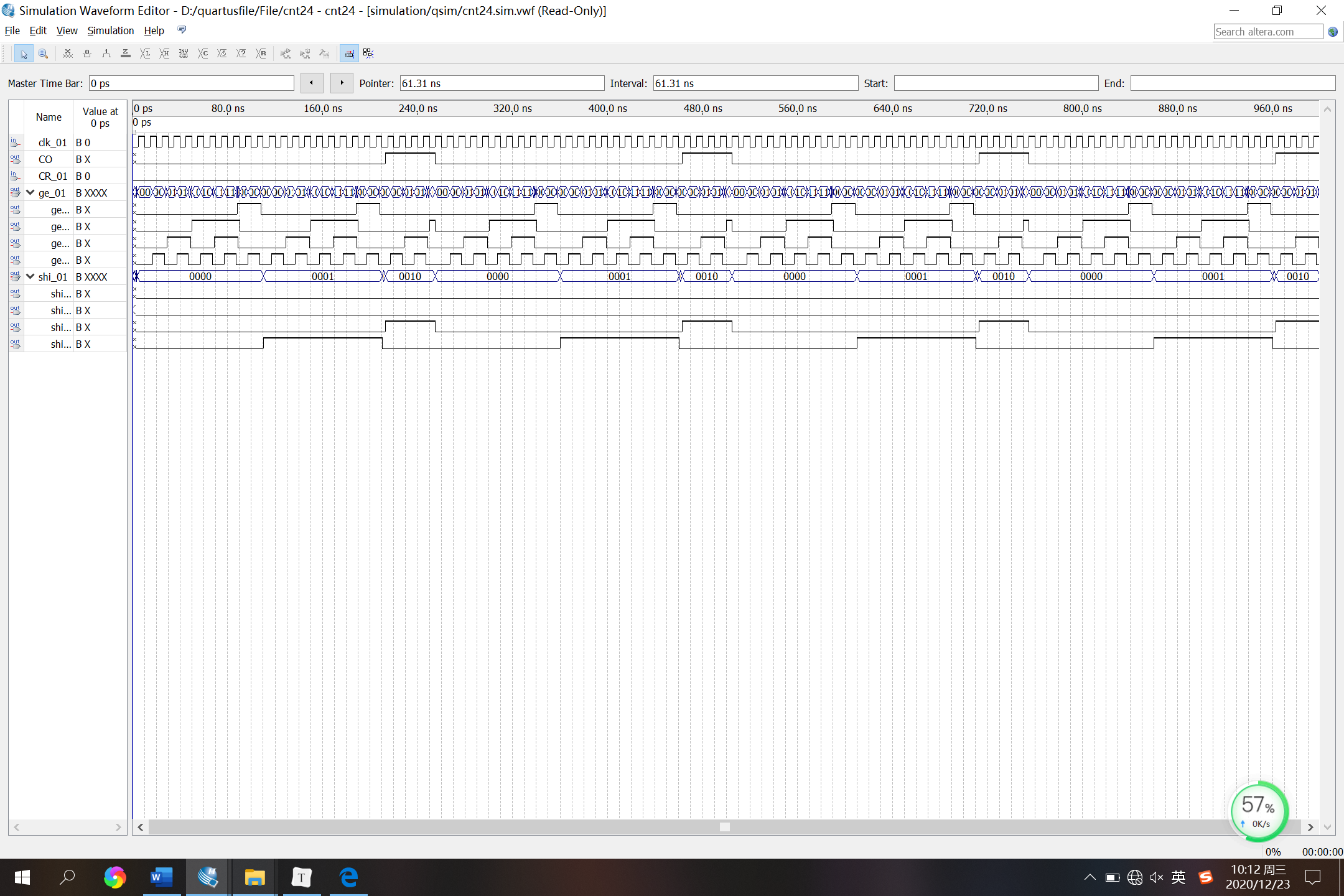


图 8

# 四、数码管动态显示模块

## 4.1 动态显示模块的设计

该模块由数码管选择模块 counter6，位选模块 dig\_select，段选模块 code\_select 以及译码模块 decoder 构成，

请根据各功能模块功能以及工作原理补充完成该模块总体设计。

## 4.2 扫描模块cnt8

1. 模块功能

实现 000-111 的计数，用以选择 8 位数码管

1. 设计思路

使用74390连接模8计数器，其中1000为暂态。

1. 设计结果（电路）

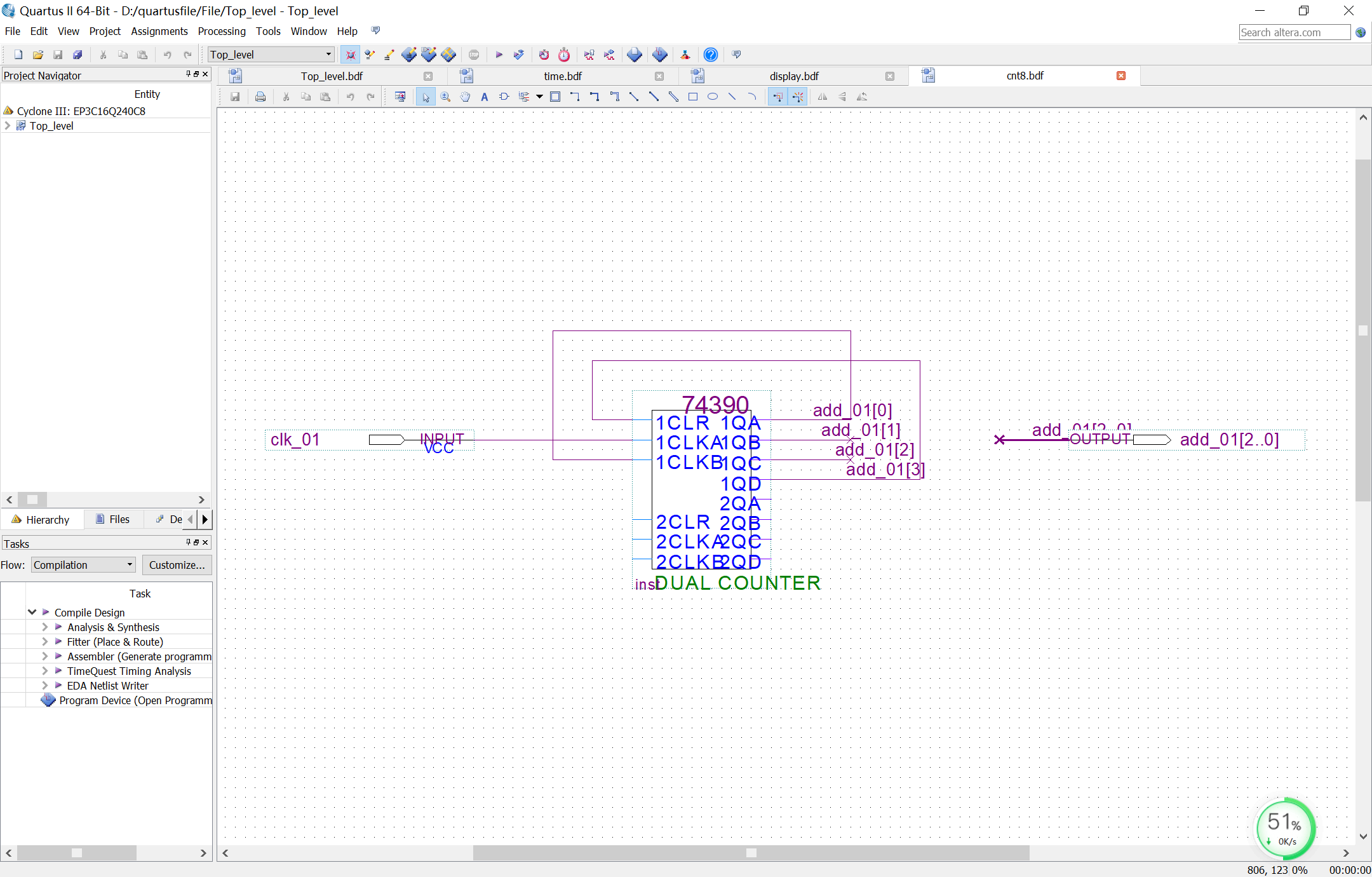


图 9

1. 仿真测试

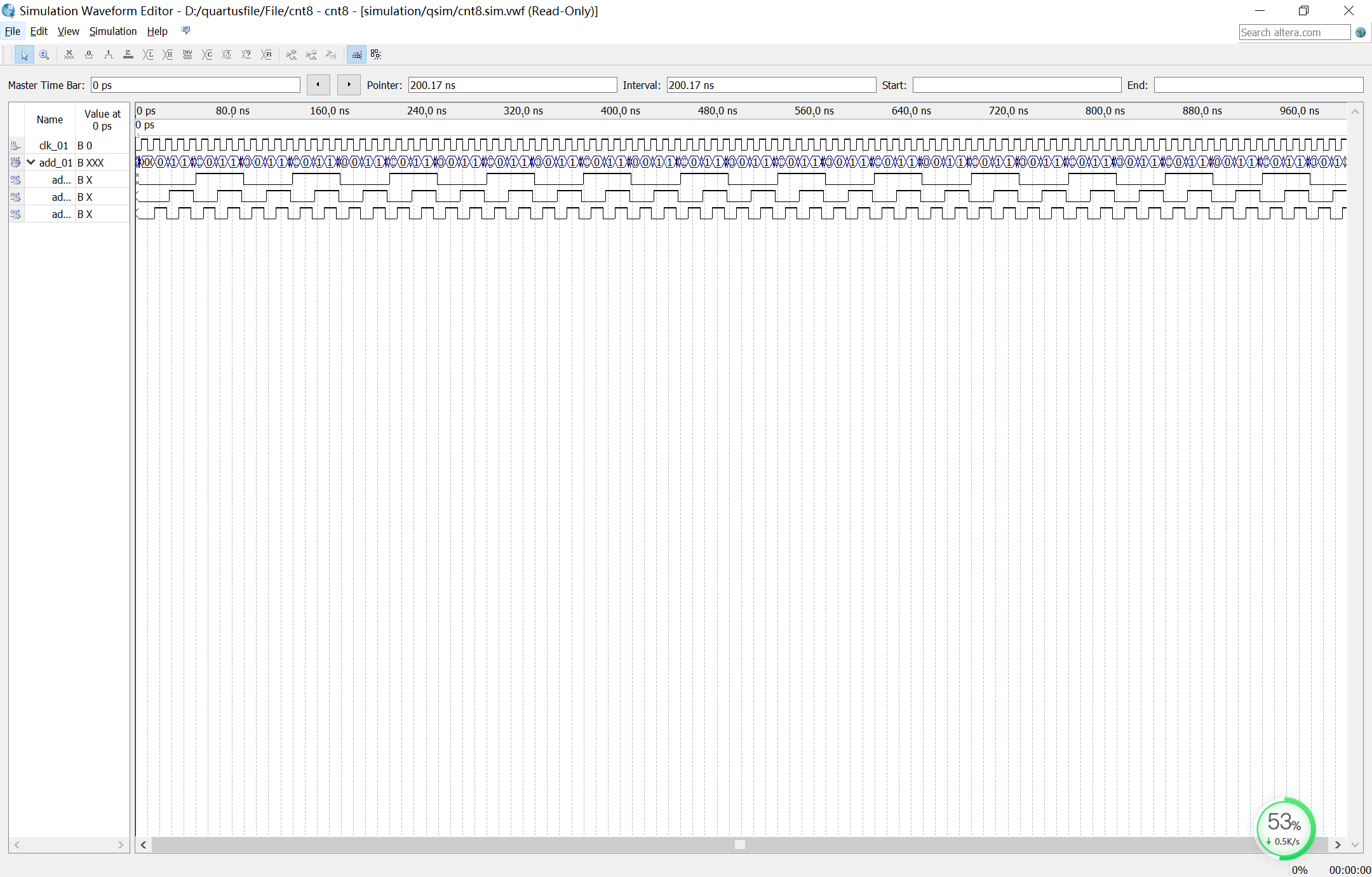


图 10

## 4.3 位选模块dig\_select

1. 模块功能

该模块用于选择数码管显示位，学习板上数码管为共阴数码管，位选为低电平有效。

1. 设计思路

由74138即3-8译码器，实现下图功能。

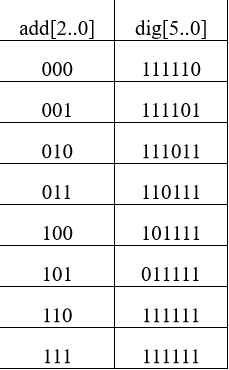


图 11

1. 设计结果（电路）

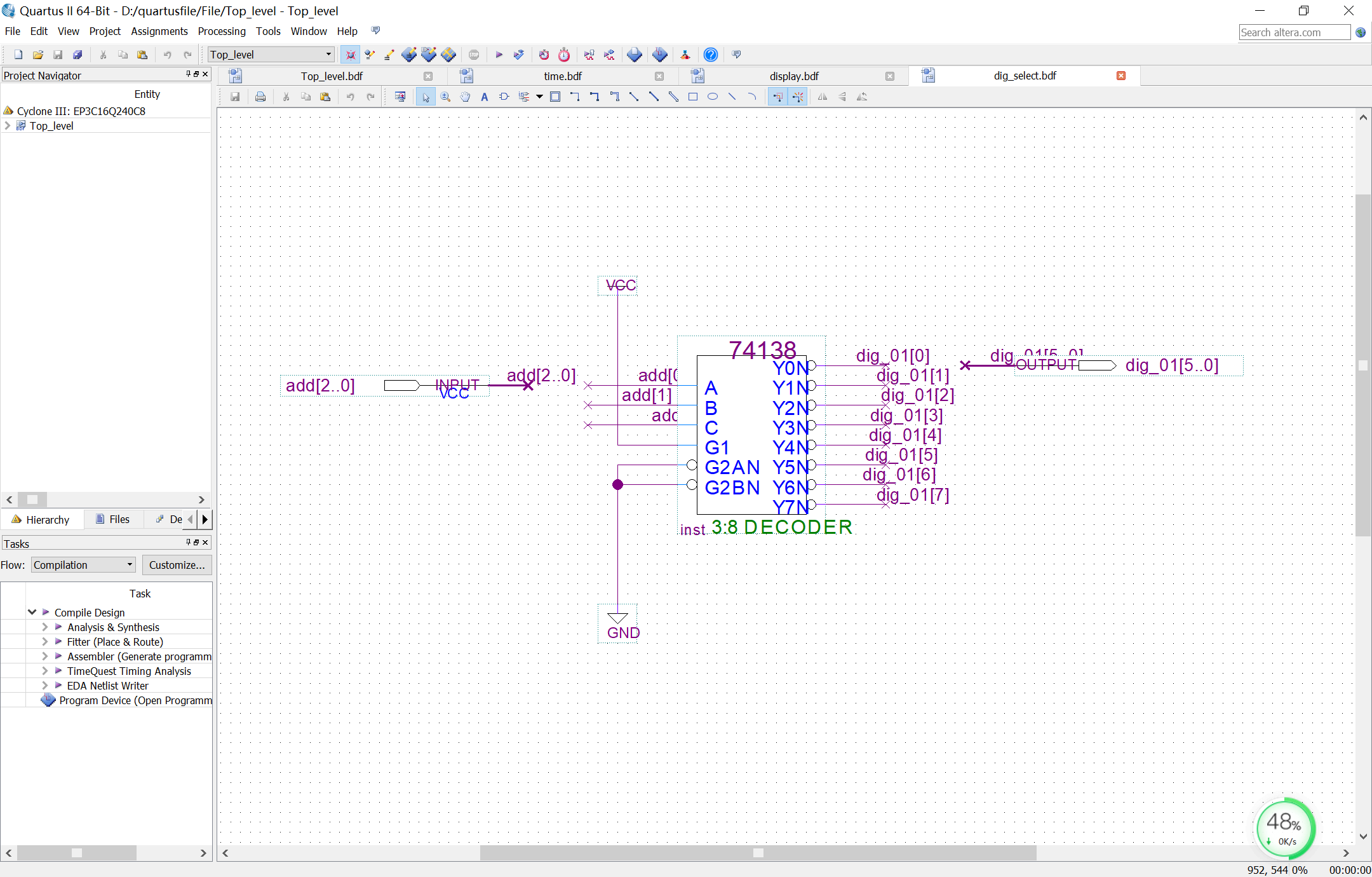


图 12

1. 仿真测试

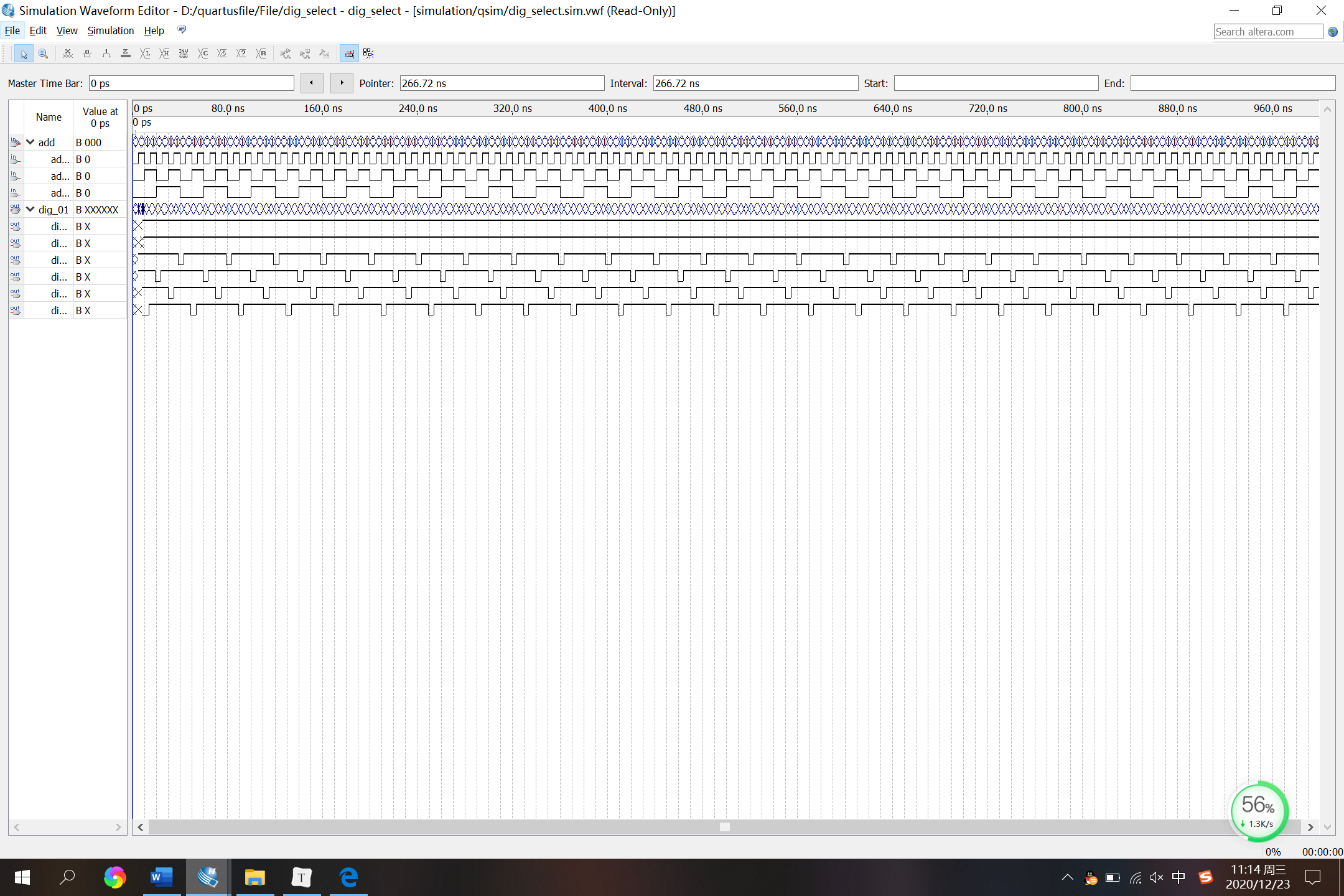


图 13

## 4.4 数据选择模块code\_select

1. 模块功能

该模块功能是从 6 组输入信号（hour\_shi[3..0]、 hour\_ge[3..0]、min\_shi[3..0]、min\_ge[3..0]、sec\_shi[3..0]、sec\_ge[3..0]）中选择一组输出code[3..0]，由 add[2..0]控制选择。

1. 设计思路

使用4片74151作为数据选择器，从 6 位输入数据中选择 1 位输出。

1. 设计结果

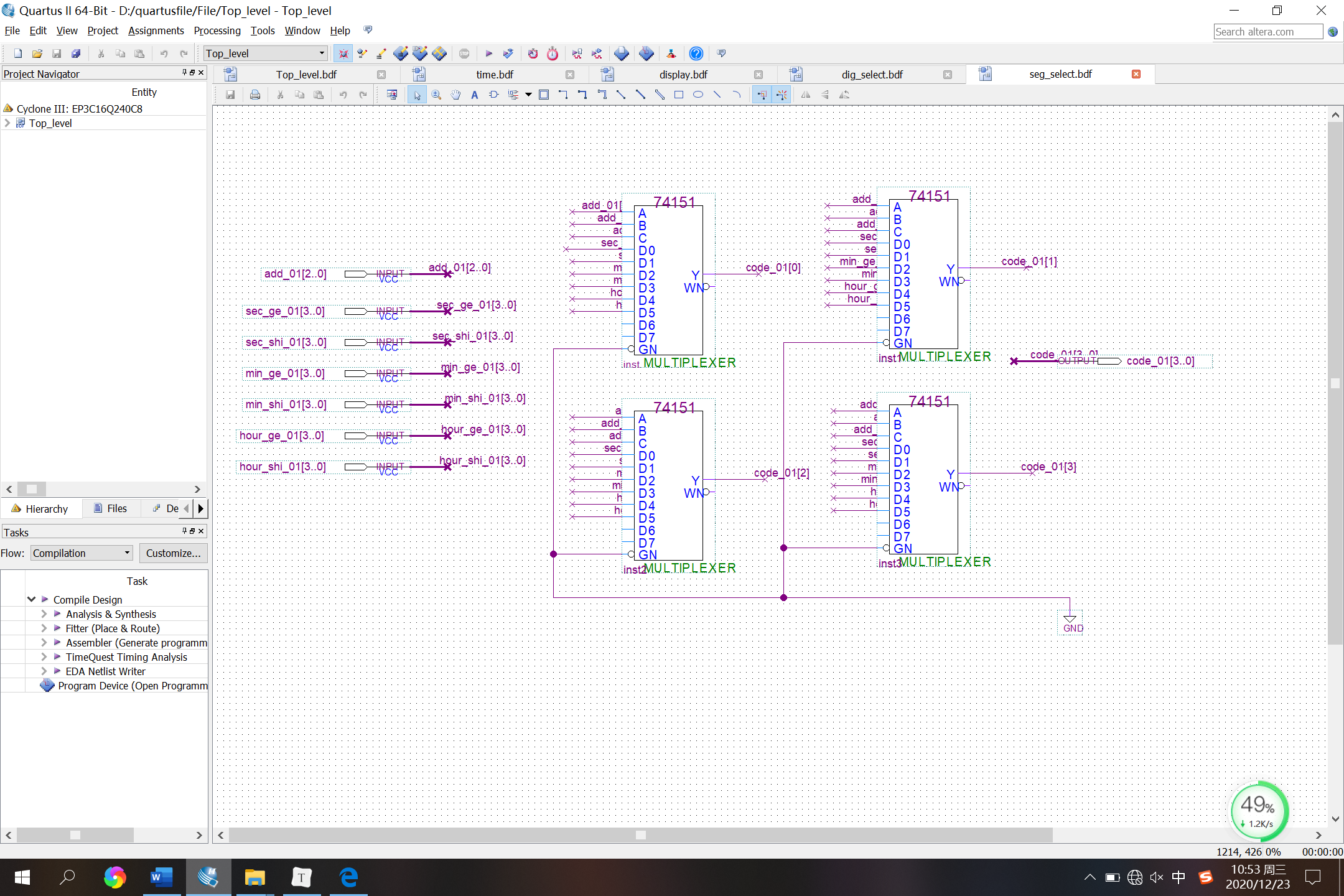


图 14

1. 仿真测试

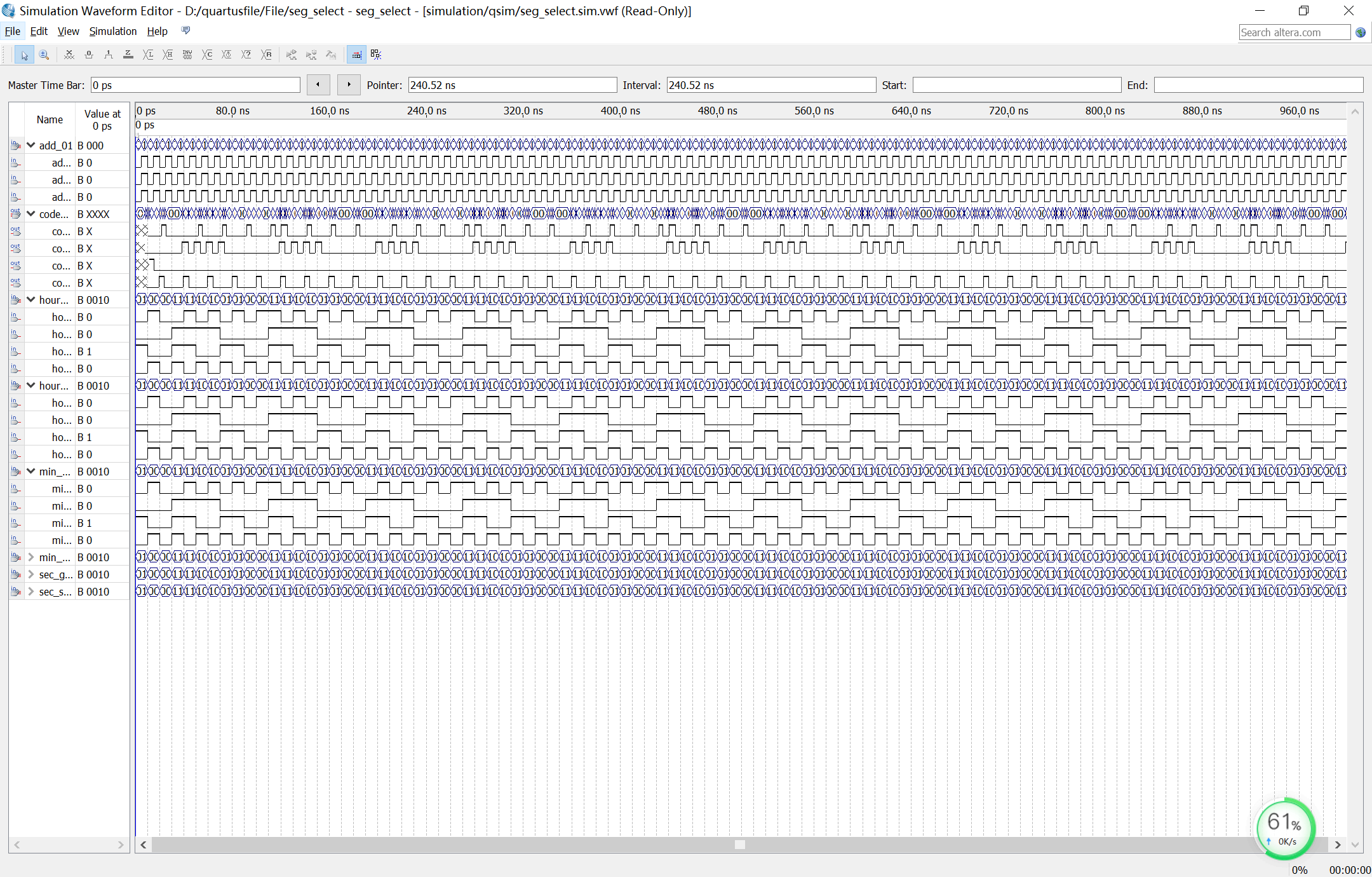


图 15

## 4.5 译码模块decoder

1. 模块功能

7448为共阴极数码管译码器，可将4位8421BCD码译为七位段码，驱动数码管以十进制数形式显示数字字形。

1. 设计思路

从4个输入端输入，然后在7个输出端输出，即将4位8421BCD码译为7位段码。

1. 设计结果

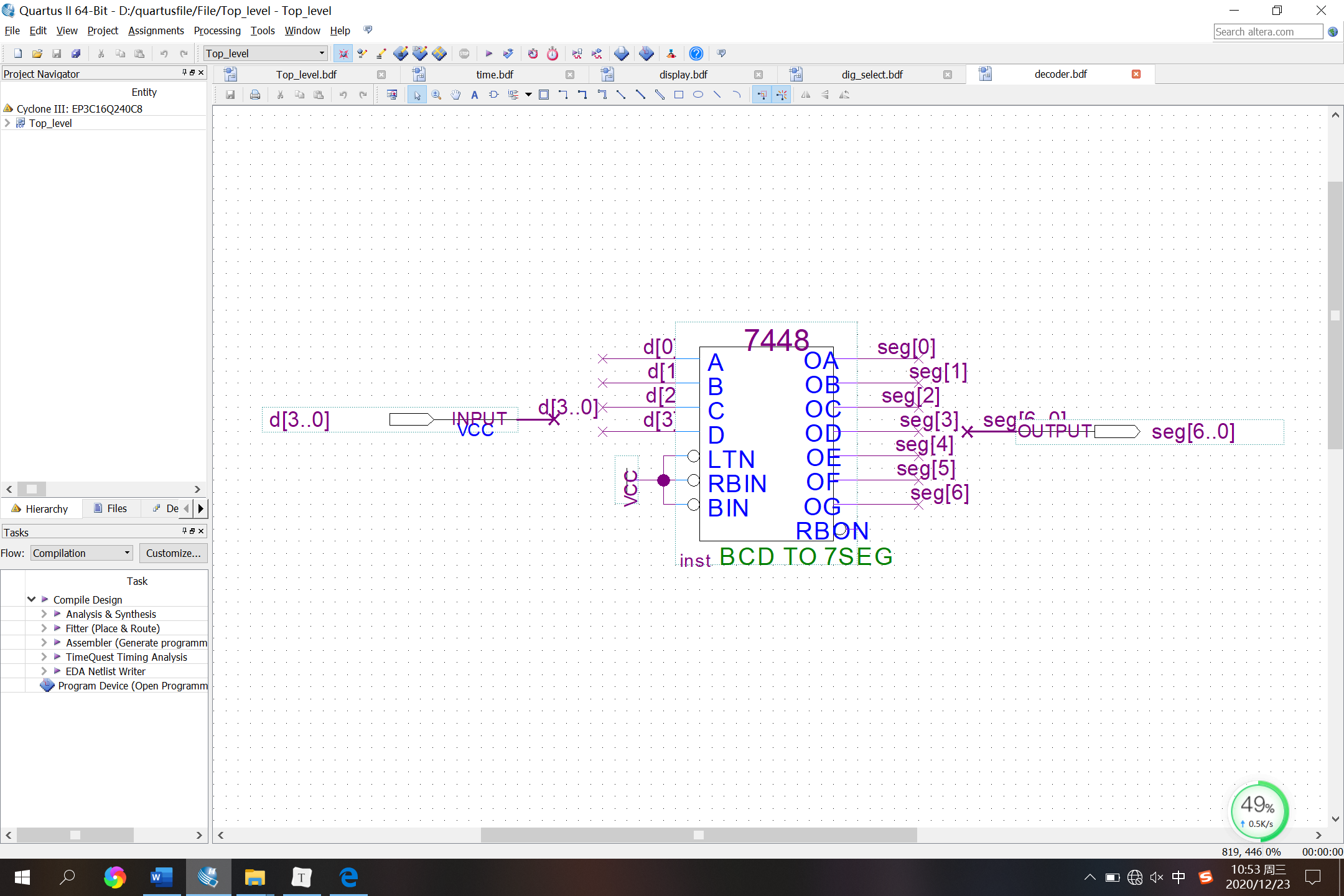


图 16

1. 仿真测试

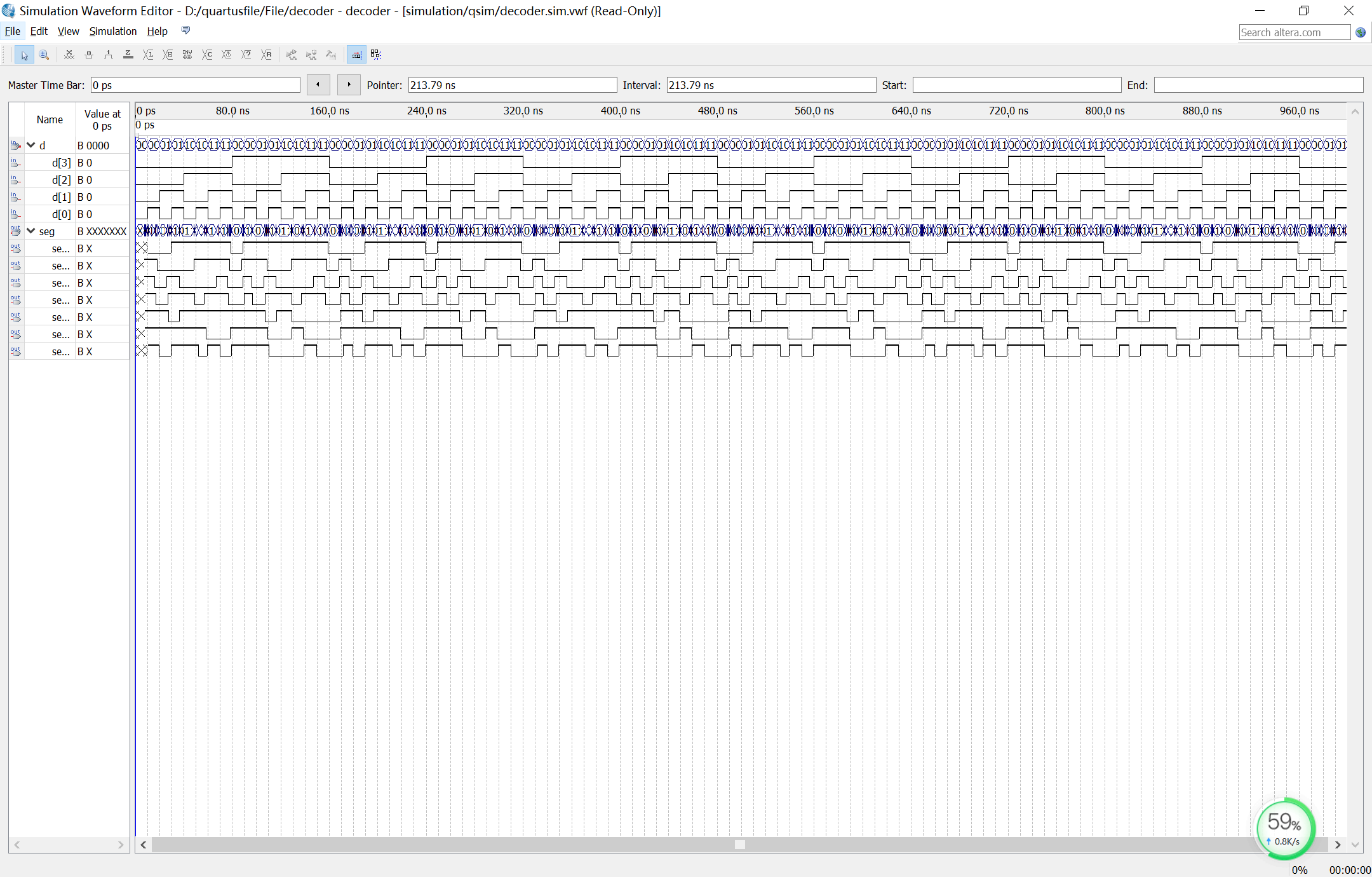


图 17

## 4.6 动态显示模块电路图

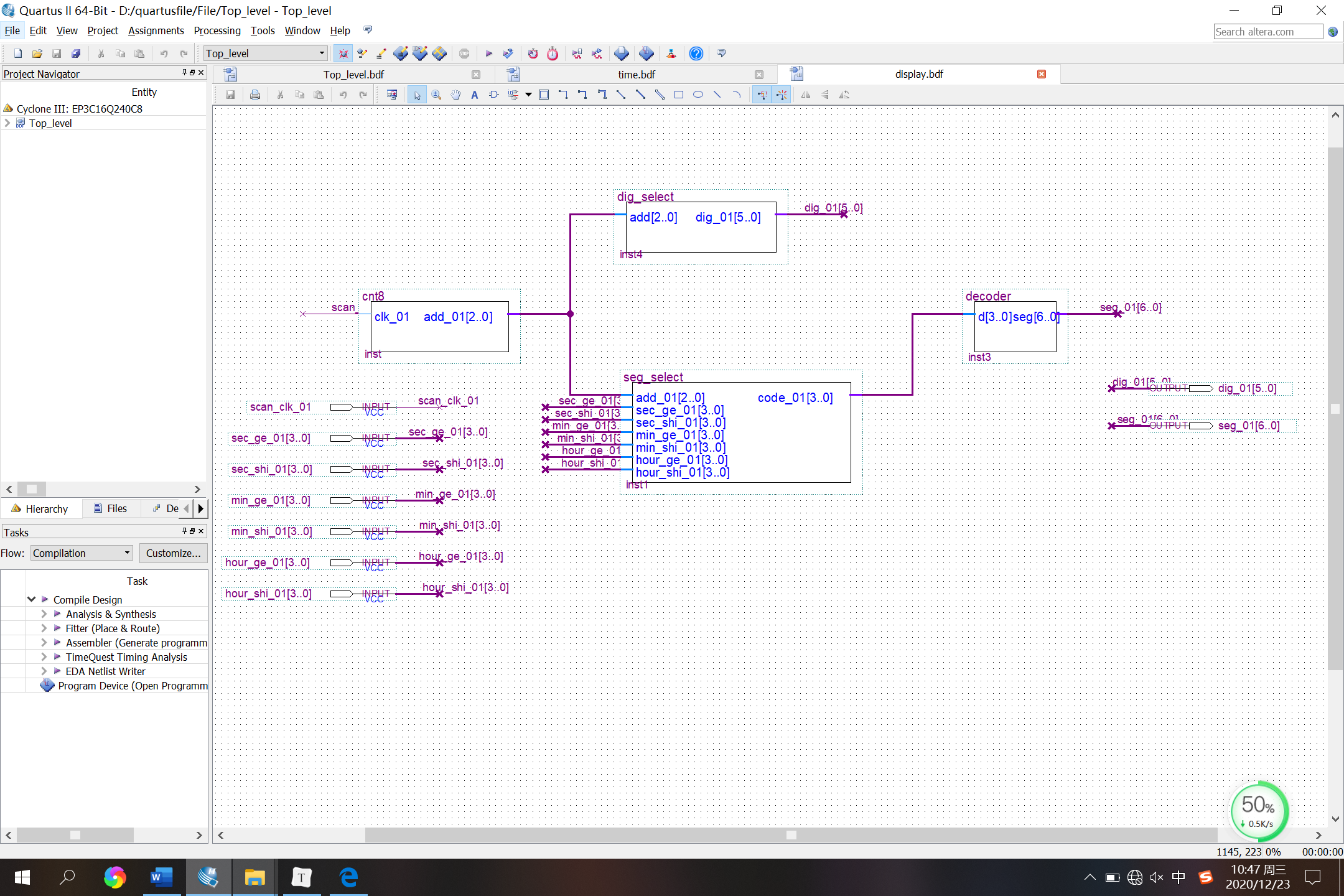


图 18

# 五、其他扩展功能

## 5.1 清零暂停

1. 模块功能

1号开关清零，0号开关暂停

1. 设计思路

时钟的计数模块驱动需要0号开关取反和时钟信号的与信号。故当打开0号开关时，计数器不工作即暂停。1号开关连接计数器内部芯片74390的置位段，当打开1号开关时，74390将时分秒的个位十位都置零。

1. 设计结果

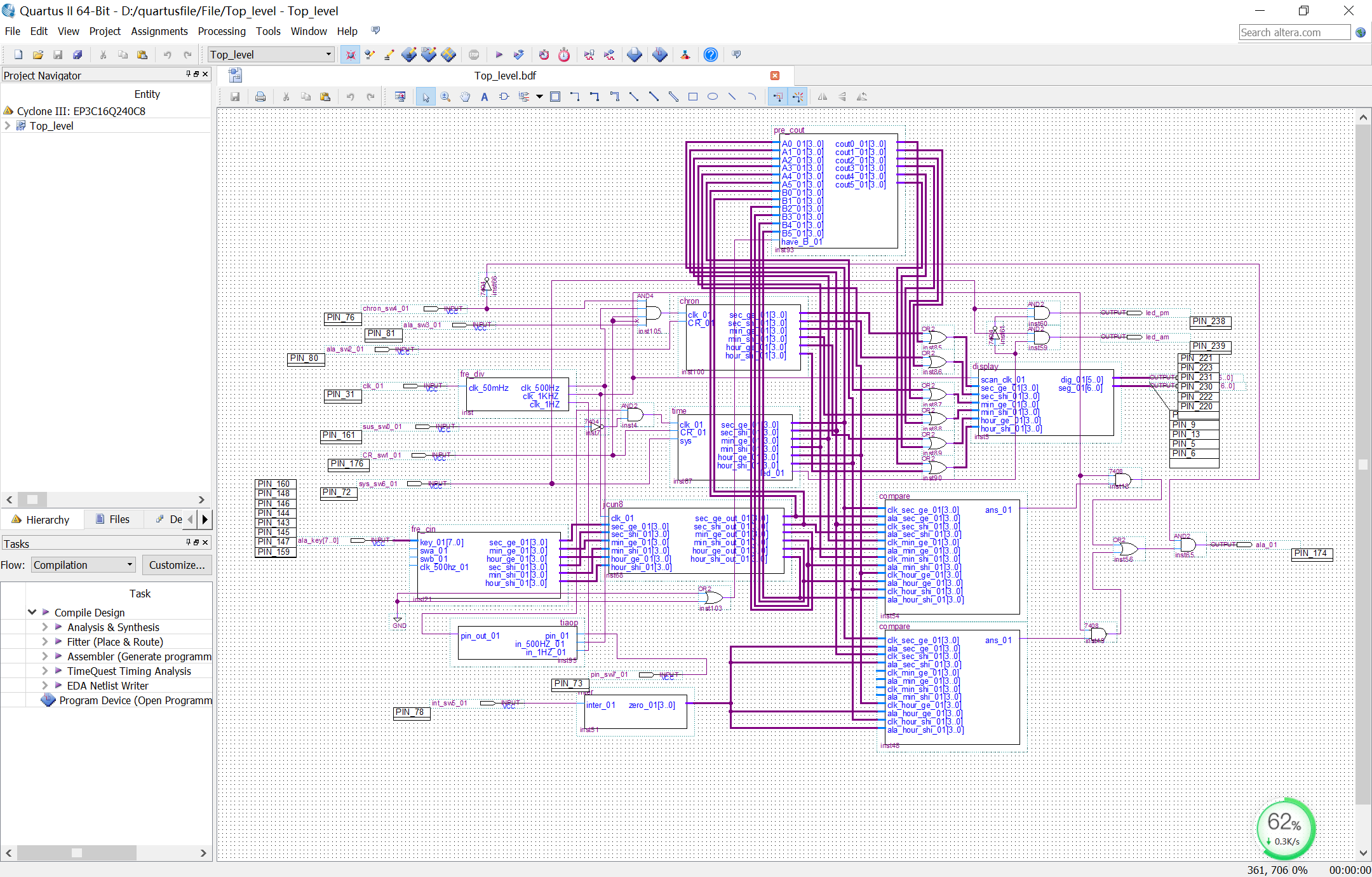


图 19

1. 仿真测试

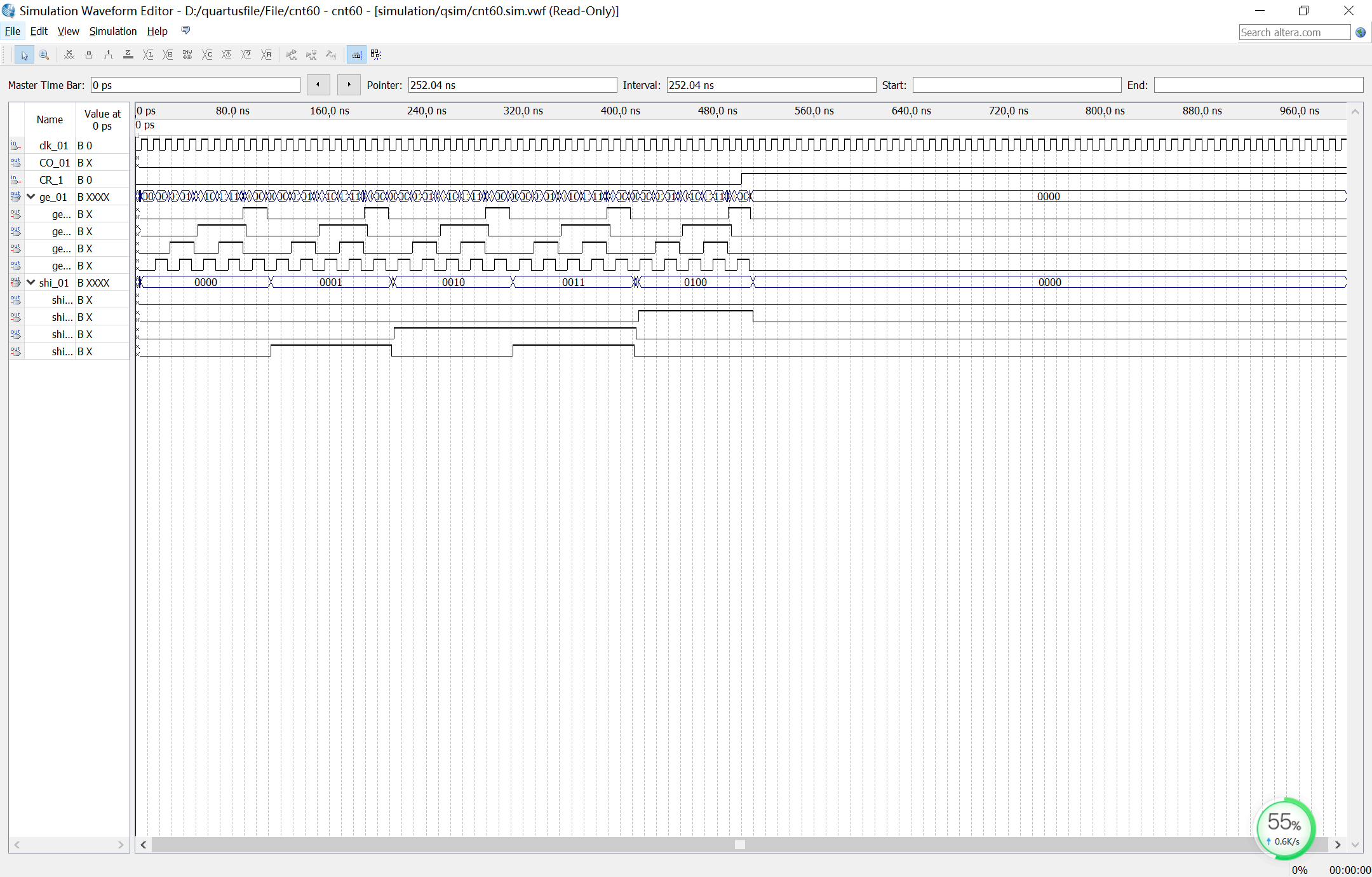


图 20

## 5.2 整点报时

1. 模块功能

当时钟走到1、2、3..分时，时钟响起（因为小时报时时间太长故改成分钟报时）。

1. 设计思路

当打开5号开关后，经过处理输出时和秒的个位十位都为0，通过7485比较器与时钟的秒和时的个位十位进行比较，其中分的个位十位不进行比较即分为任意值，故当时间为整分时报时。

1. 设计结果

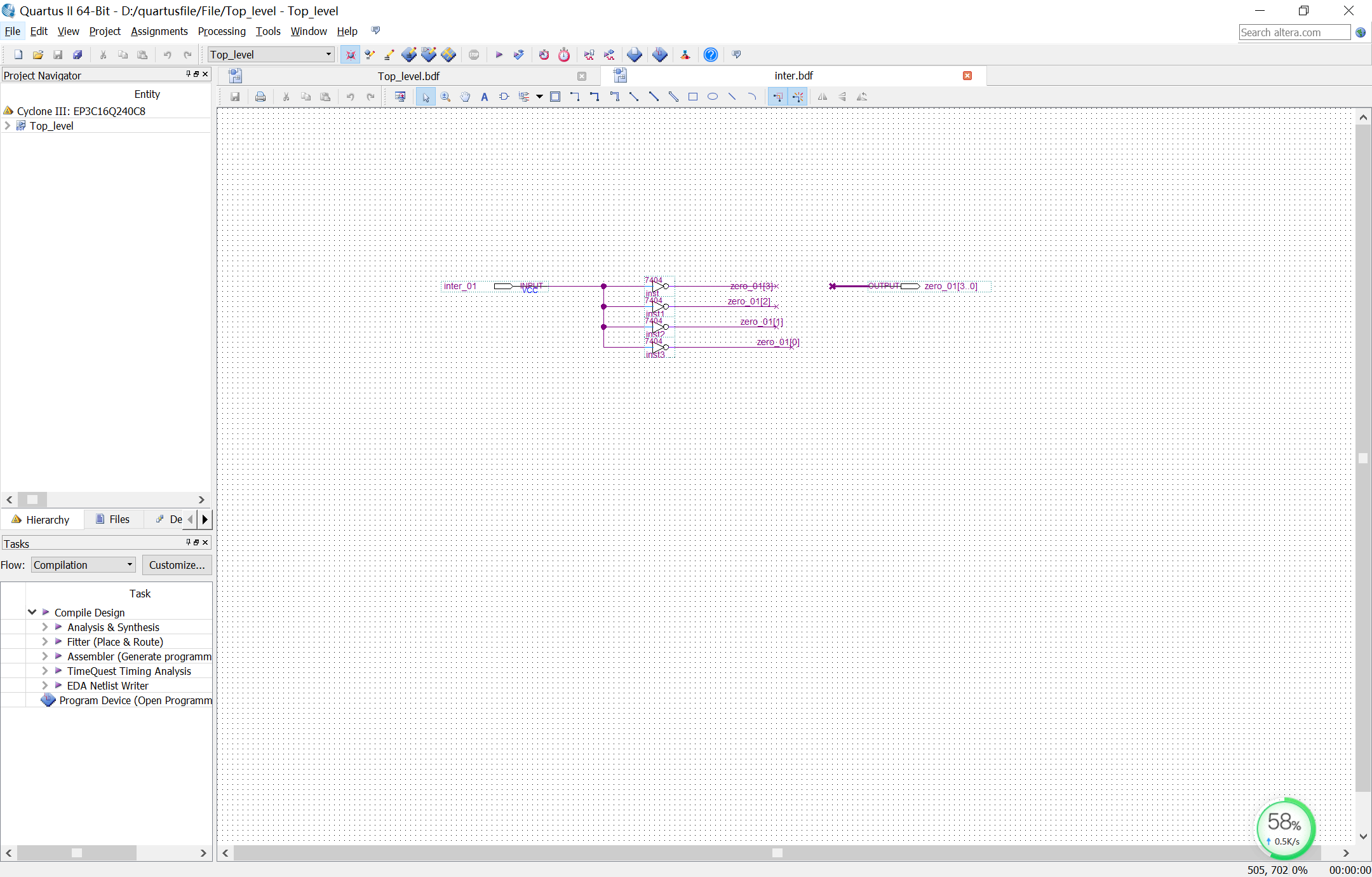


图 21

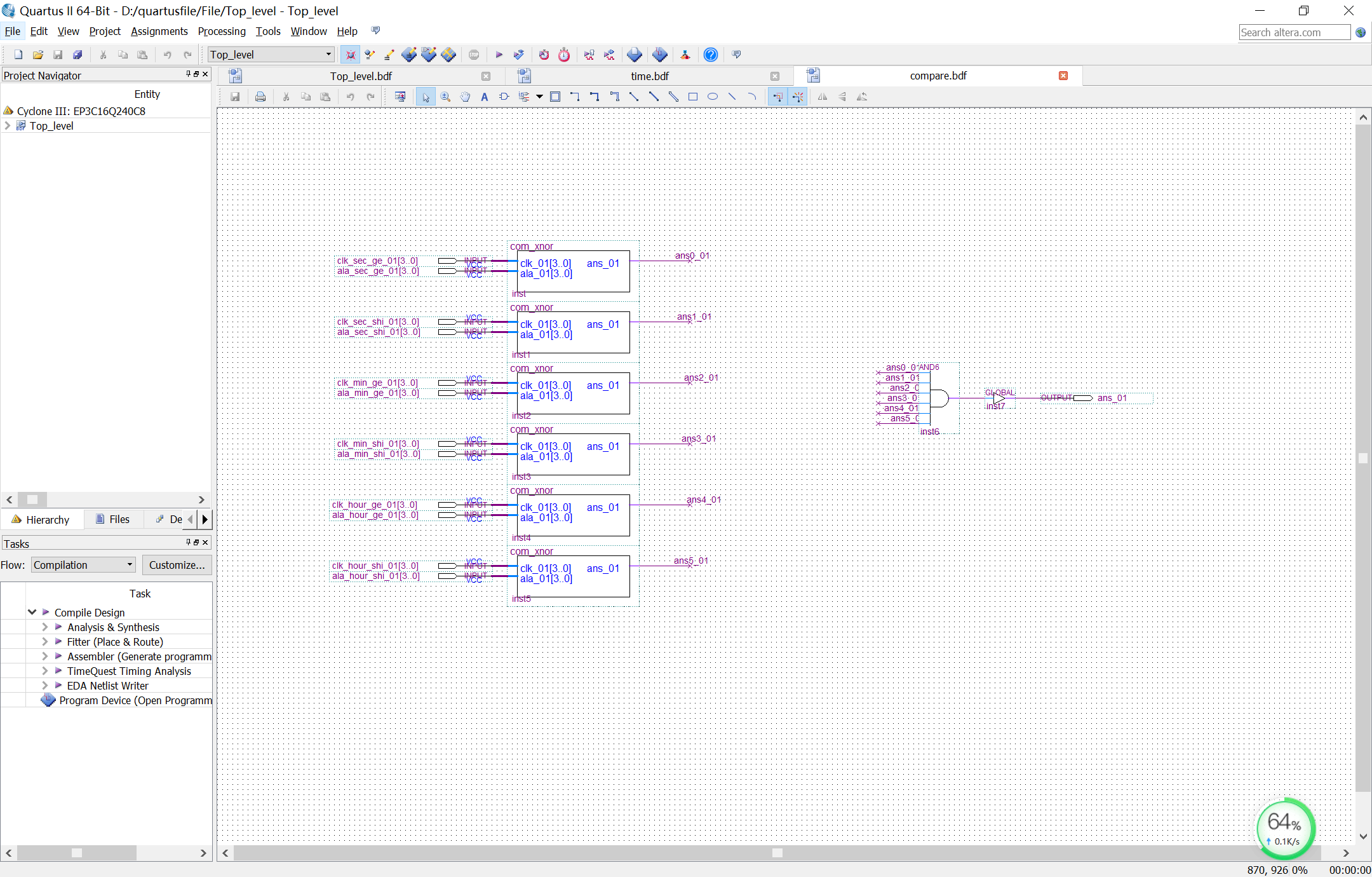


图 22

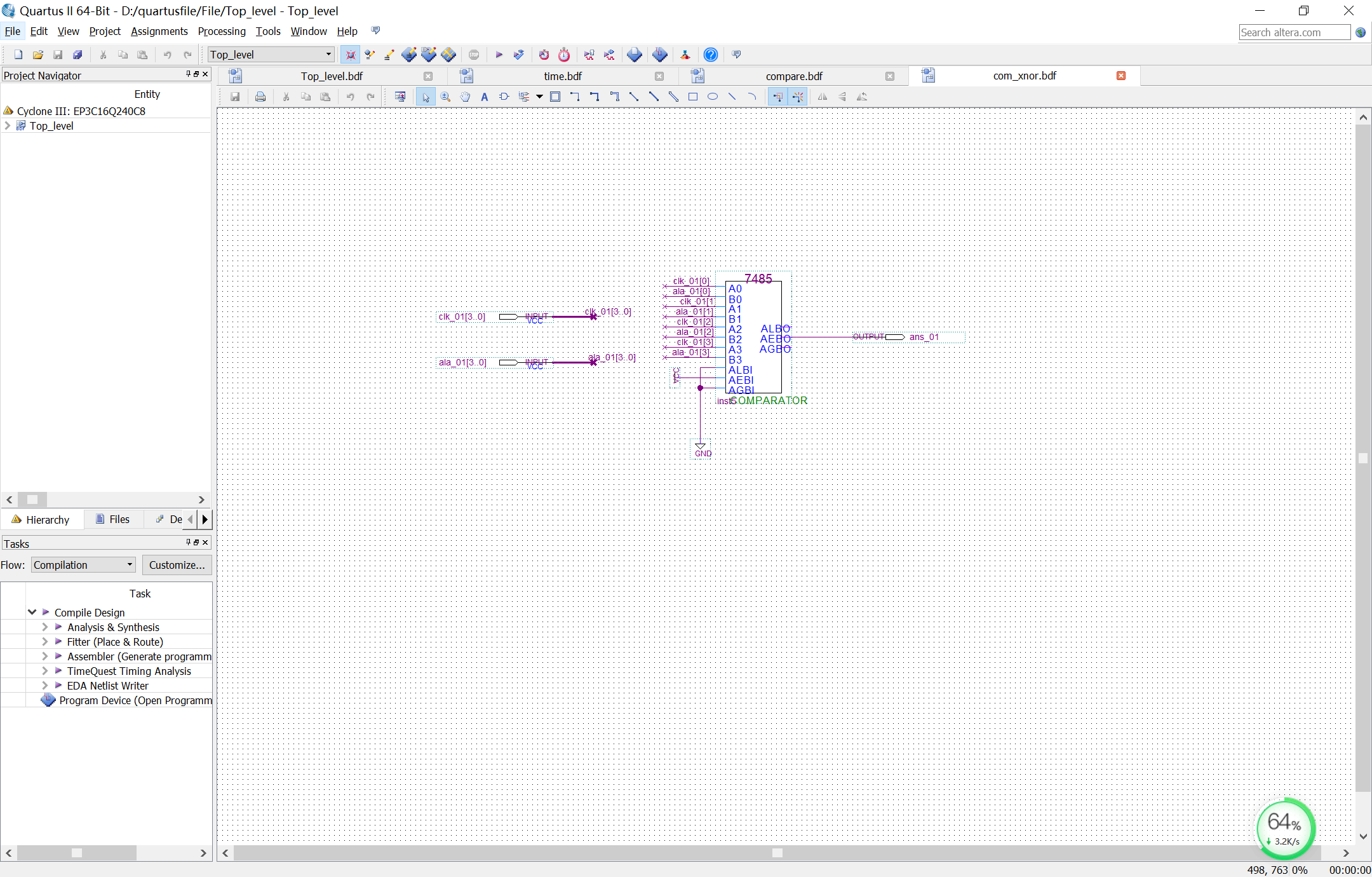


图 23

1. 仿真测试

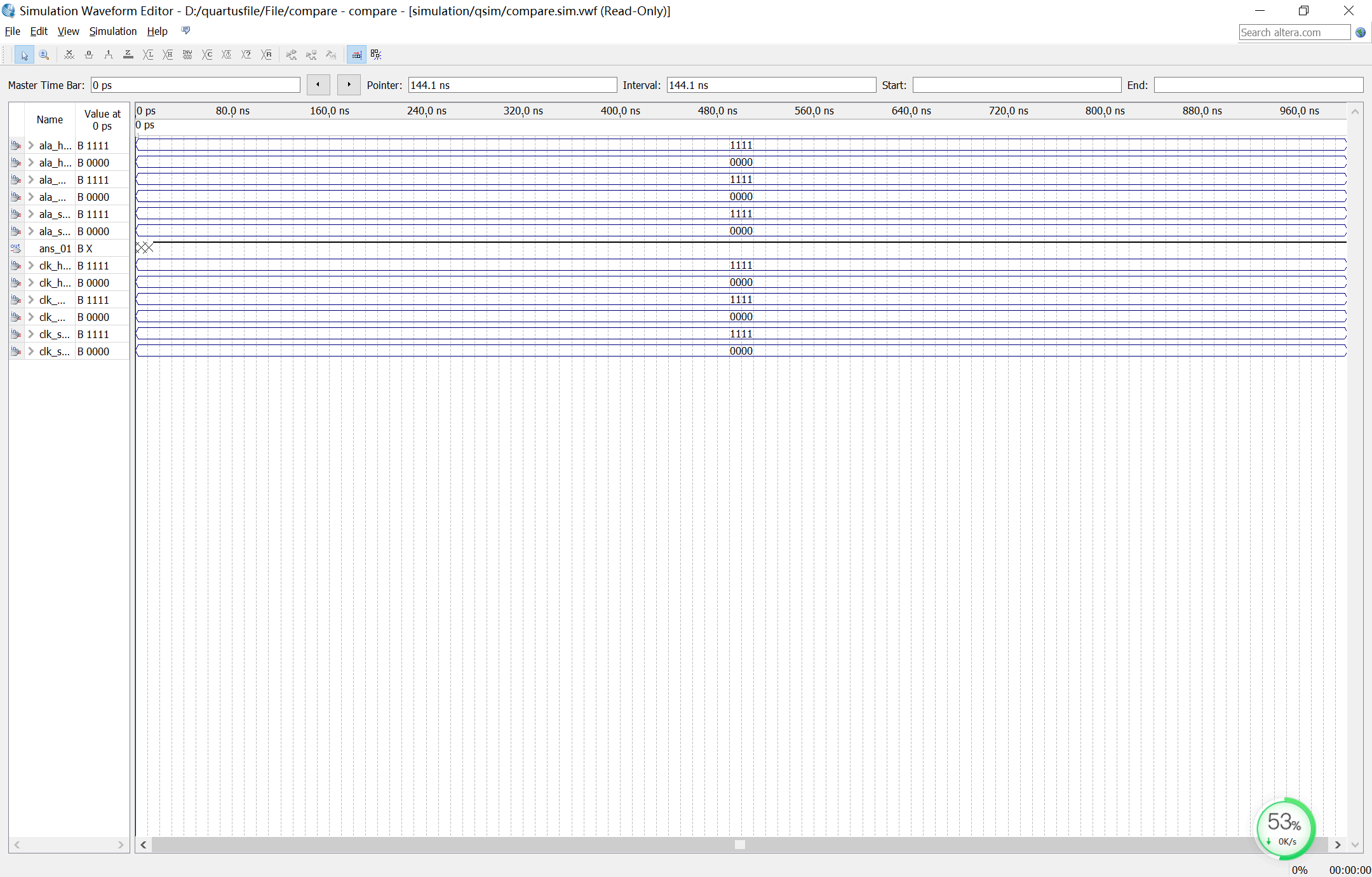


图 24

## 5.3 秒表

1. 模块功能

秒表的显示、计数、暂停、清零。

1. 设计思路

秒表使用100HZ的频率，通过模60\*模60\*模100的计数方式，其他分频模块与动态数码管显示模块与时钟共用，暂停和清零方法和时钟类似。

模100计数器使用74390通过两个模10级联。

1. 设计结果

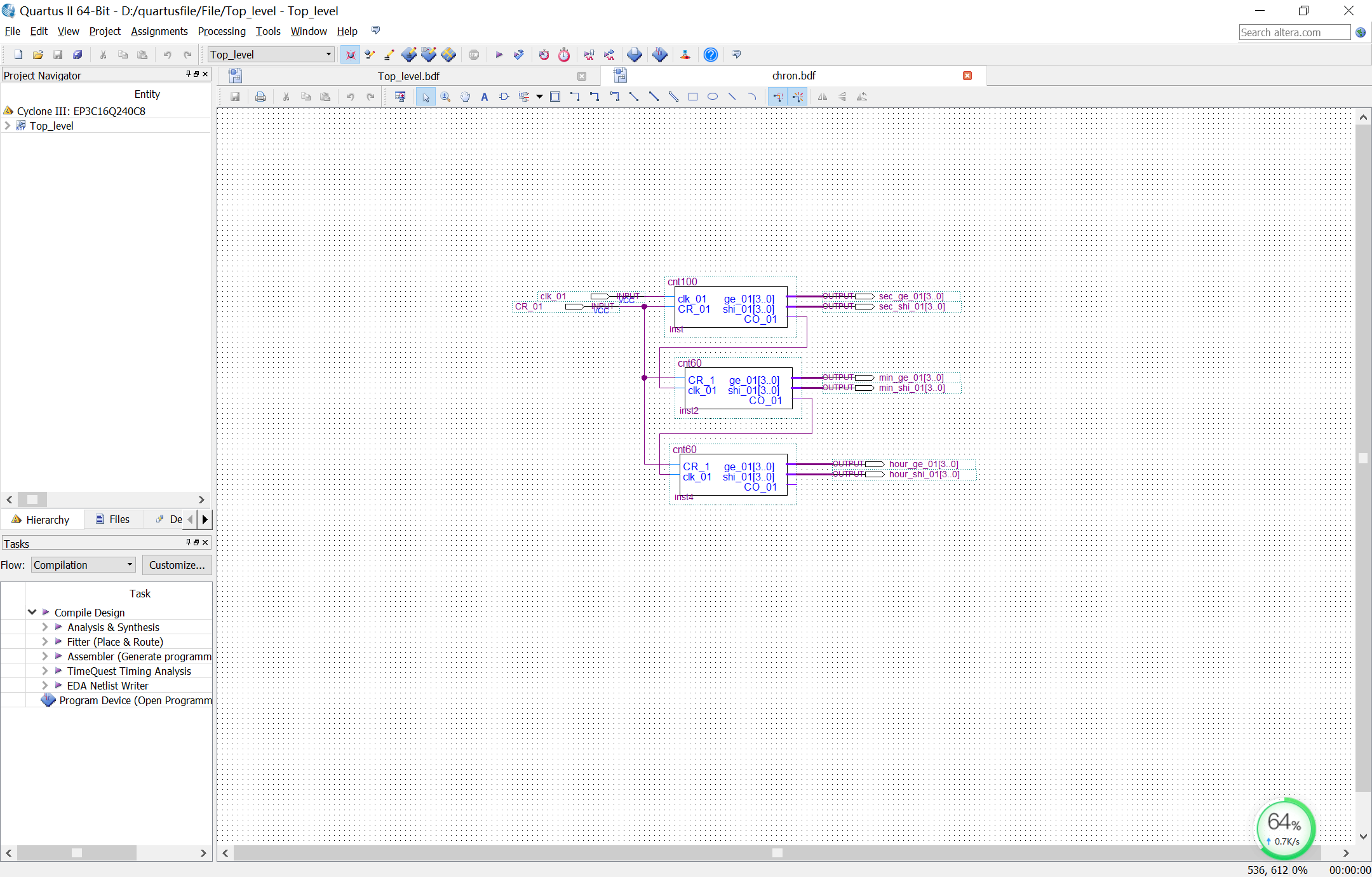


图 25

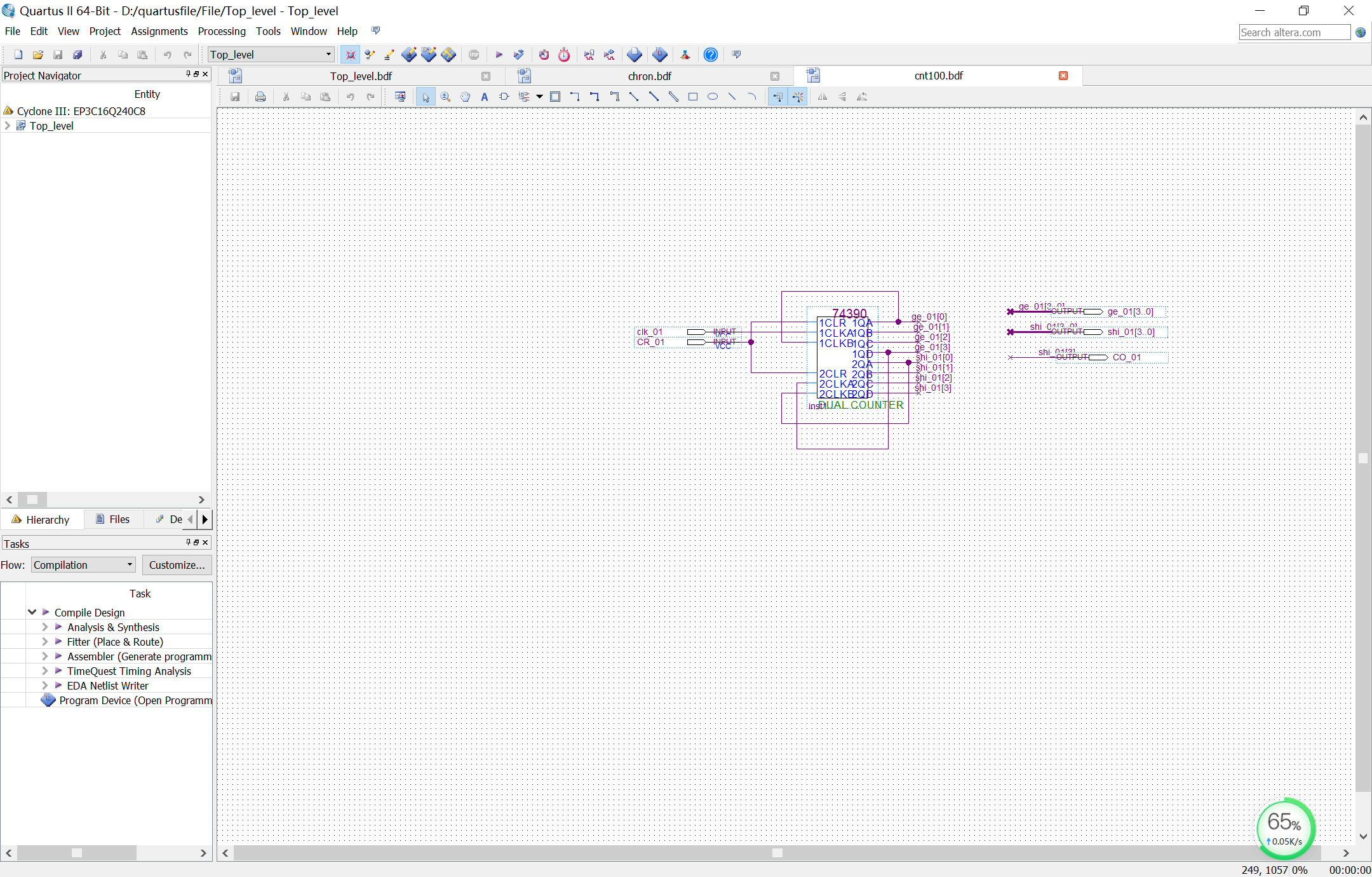


图 26

1. 仿真测试

仿真模100，秒表为模100\*模60\*模60太大导致软件报错。

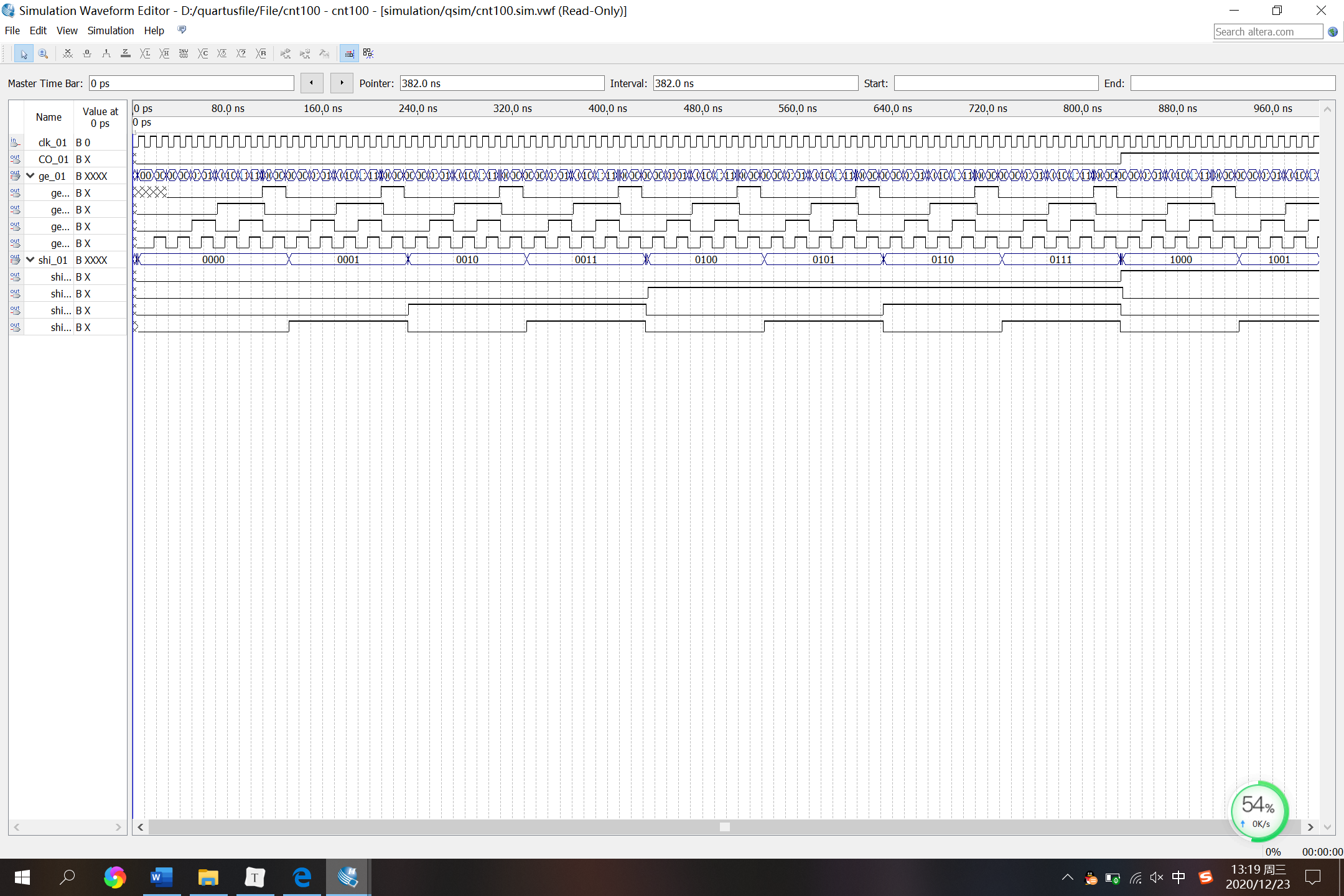


图 27

## 调频

1. 模块功能

使用开关7，可以给时钟选择1HZ或者500HZ。

1. 设计思路

使用74153双四选一数据选择器对两个频率进行选择。

1. 设计结构



图 28

## 5.5 12、24进制显示

1. 模块功能

关控制12进制显示和24进制显示，若为12进制显示，则在上午时6号LED灯亮，在下午时7号LED灯亮

1. 设计思路

在时钟的小时计数器处使用模12计数器，模12计数器与模24计数器同时工作，通过6号开关选择输出哪个计数器的值，对两个计数器输出值进行对比，如果相同则为上午，如果不同则为下午，对比值作为LED灯的控制信号。

1. 设计结果

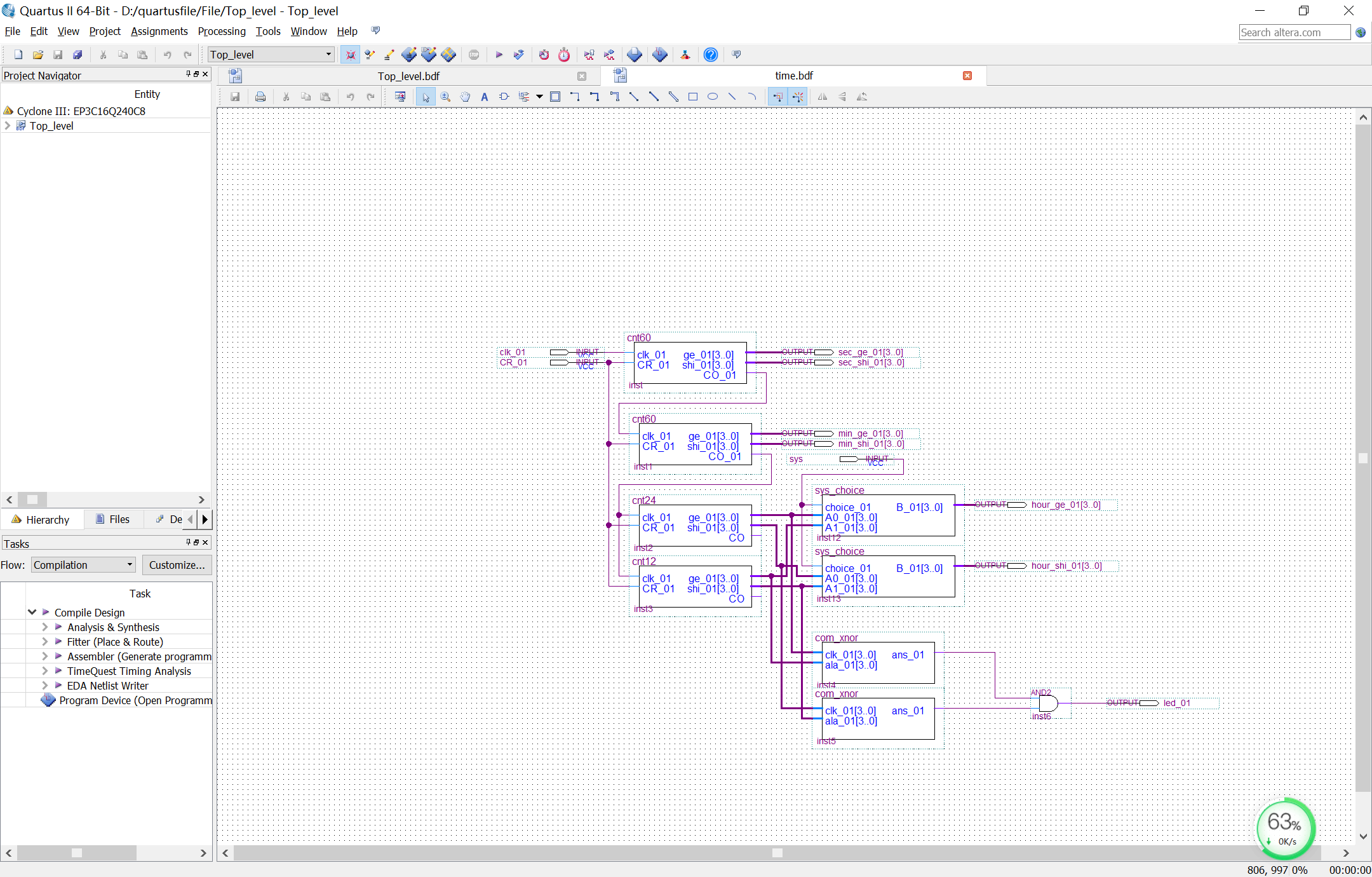


图 29

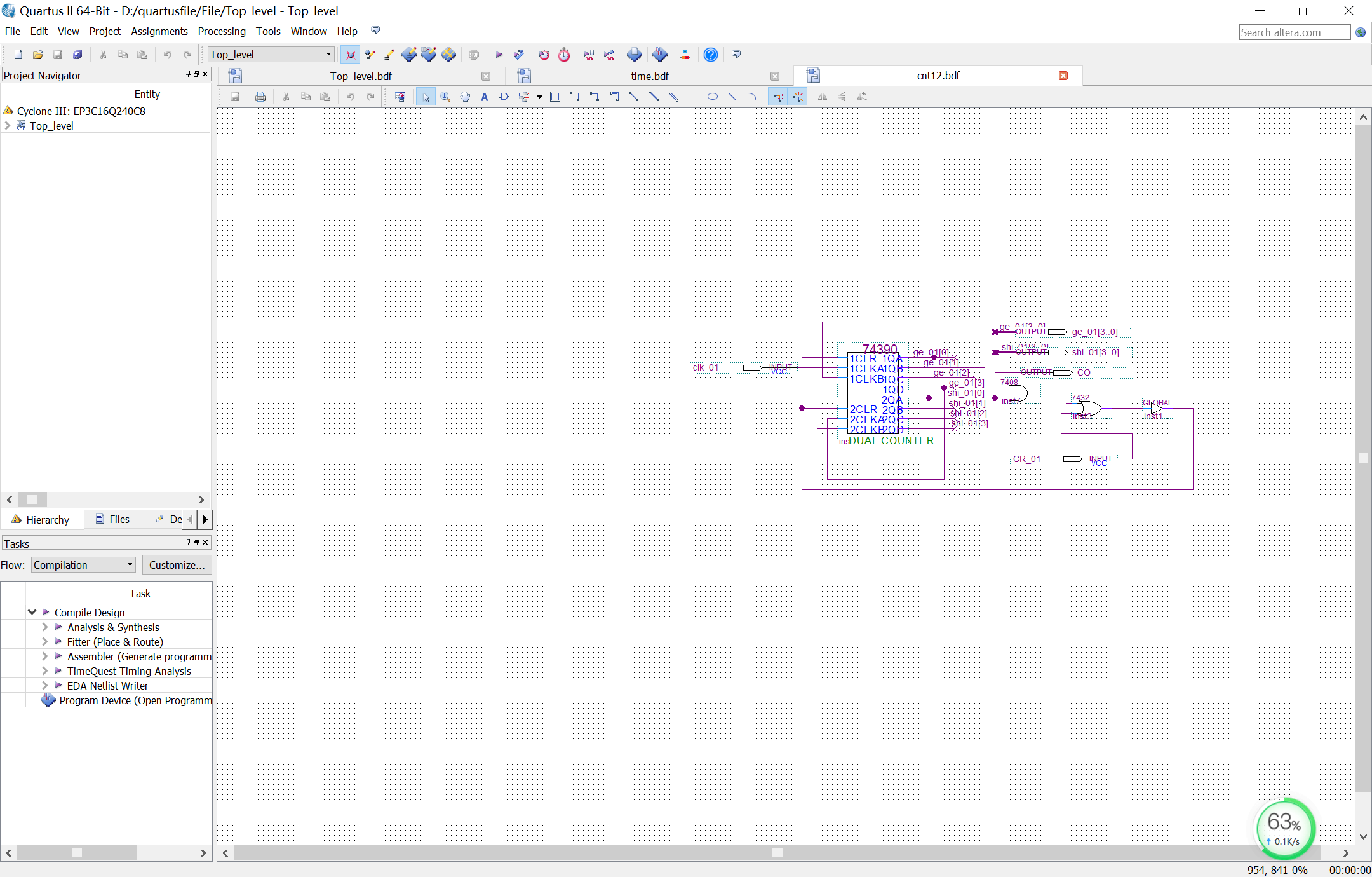


图 30



图 31

1. 仿真测试

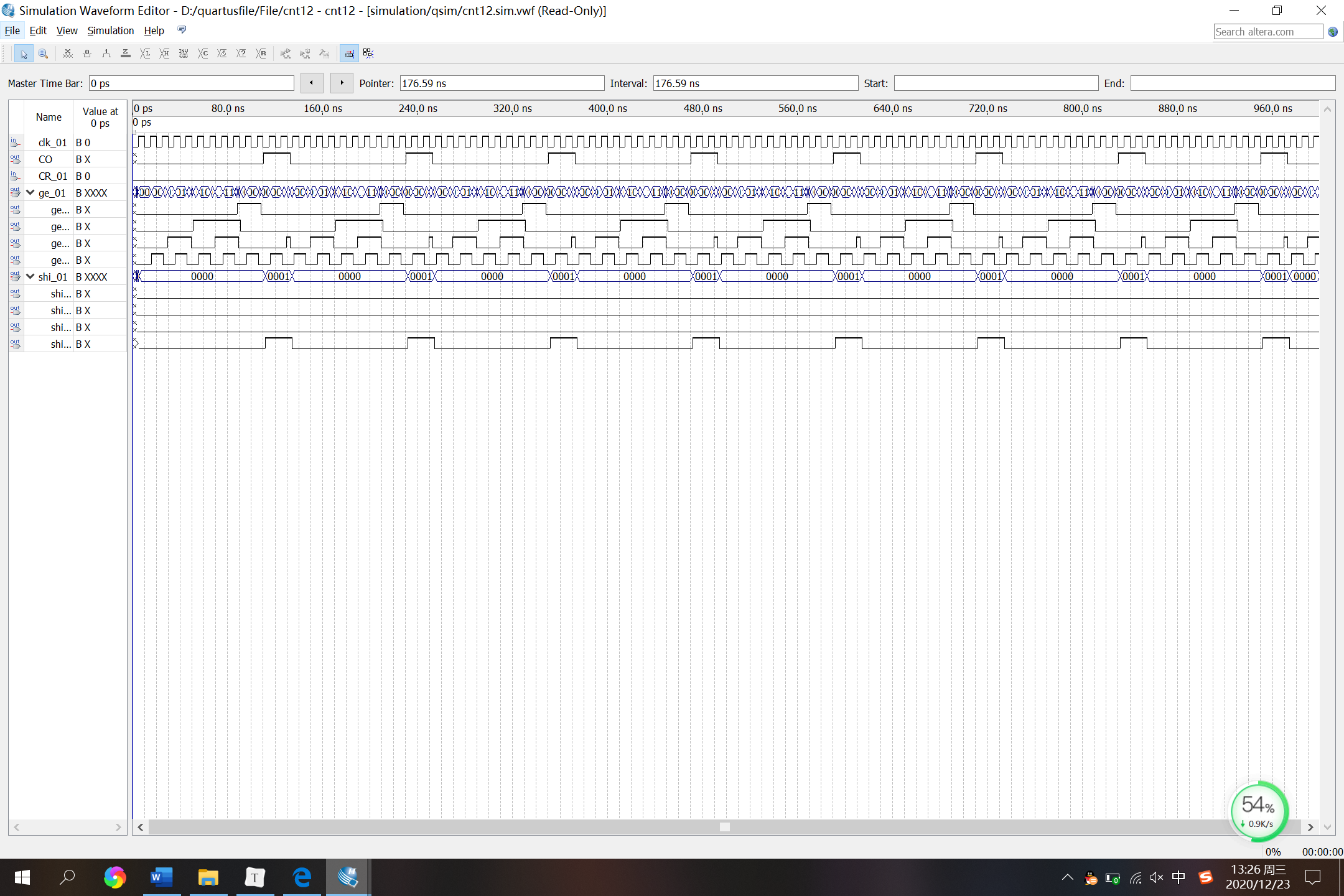


图 32

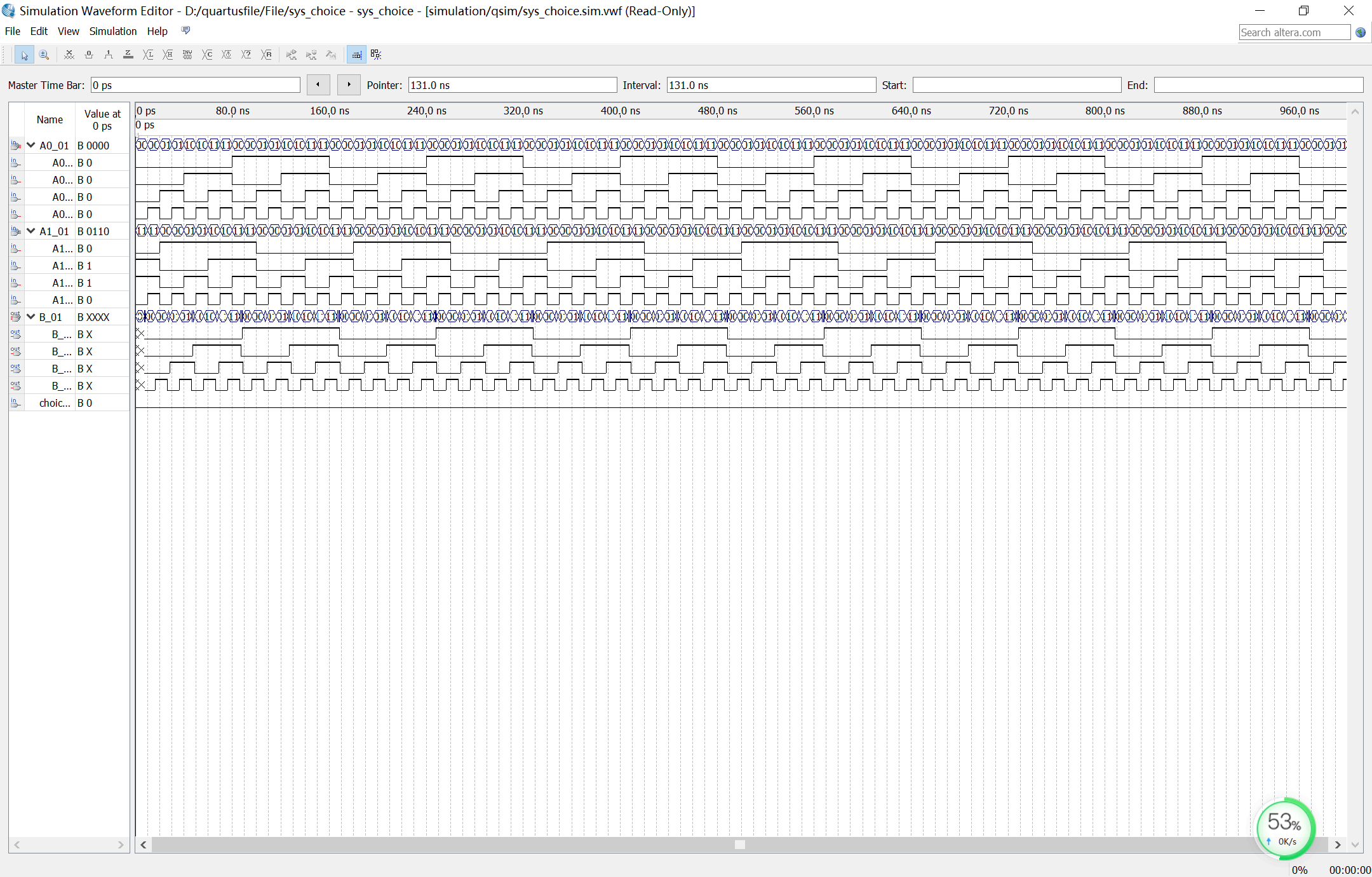


图 33

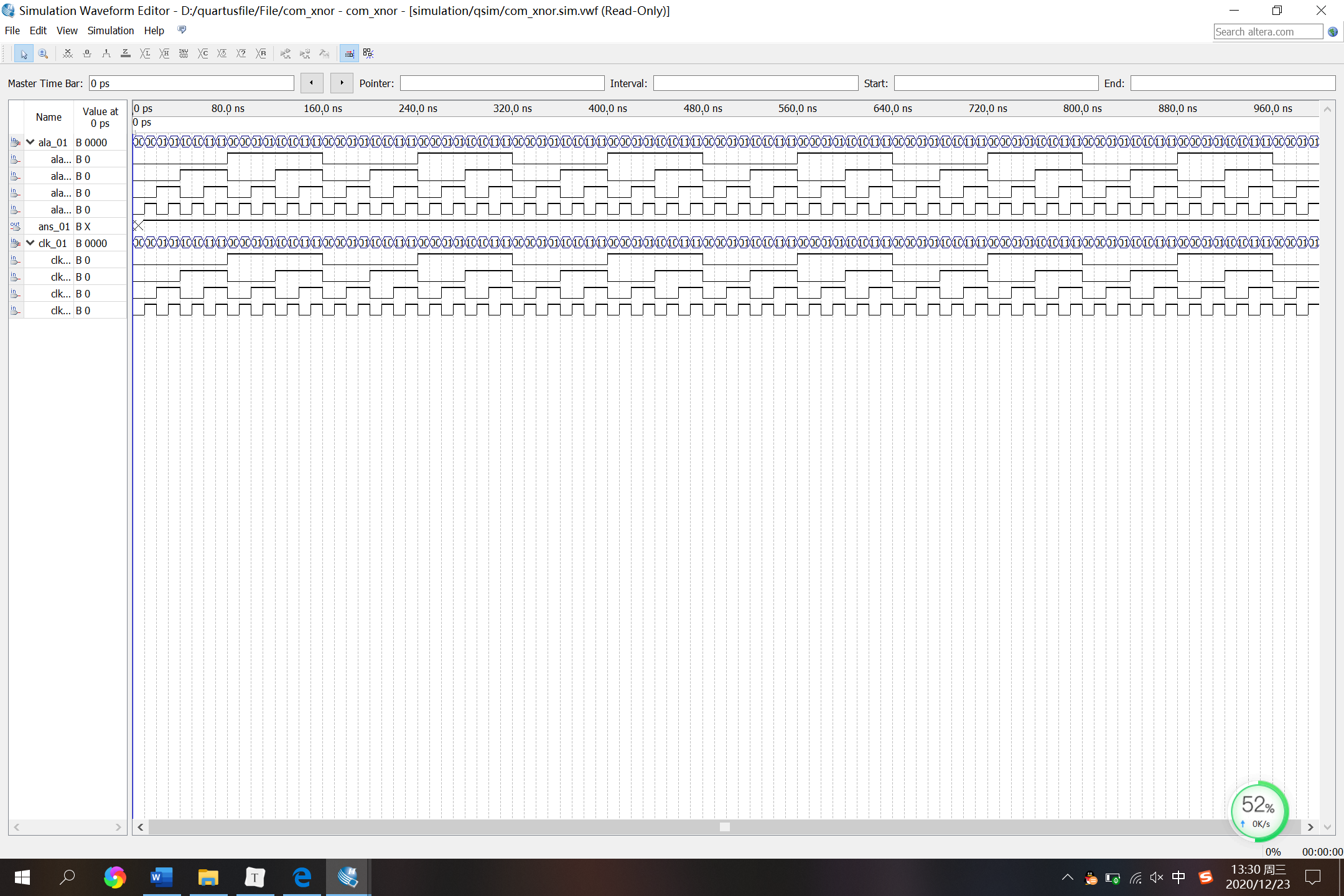


图 34

# 六、系统总体测试

详见“附录一：评分细则及测试原始数据记录”。

# 七、系统设计实现过程中遇到的主要问题、解决思路和解决方案

## 7.1 主要问题：

做整点报时时，因为用的是上升沿触发的器件，所以在计数器进位时会提前输出进位信号，因此如果再进位时报时会发生错误。

## 7.2 解决思路：

通过六个数据比较器7485封装成一个适合用于总线的数据比较器，通过将计数器输出的数值和预设值进行判断是否相等，相等则输出高点平，蜂鸣器响。

如果选择使用下降沿触发的器件应该也可行。

## 7.3 解决方案：

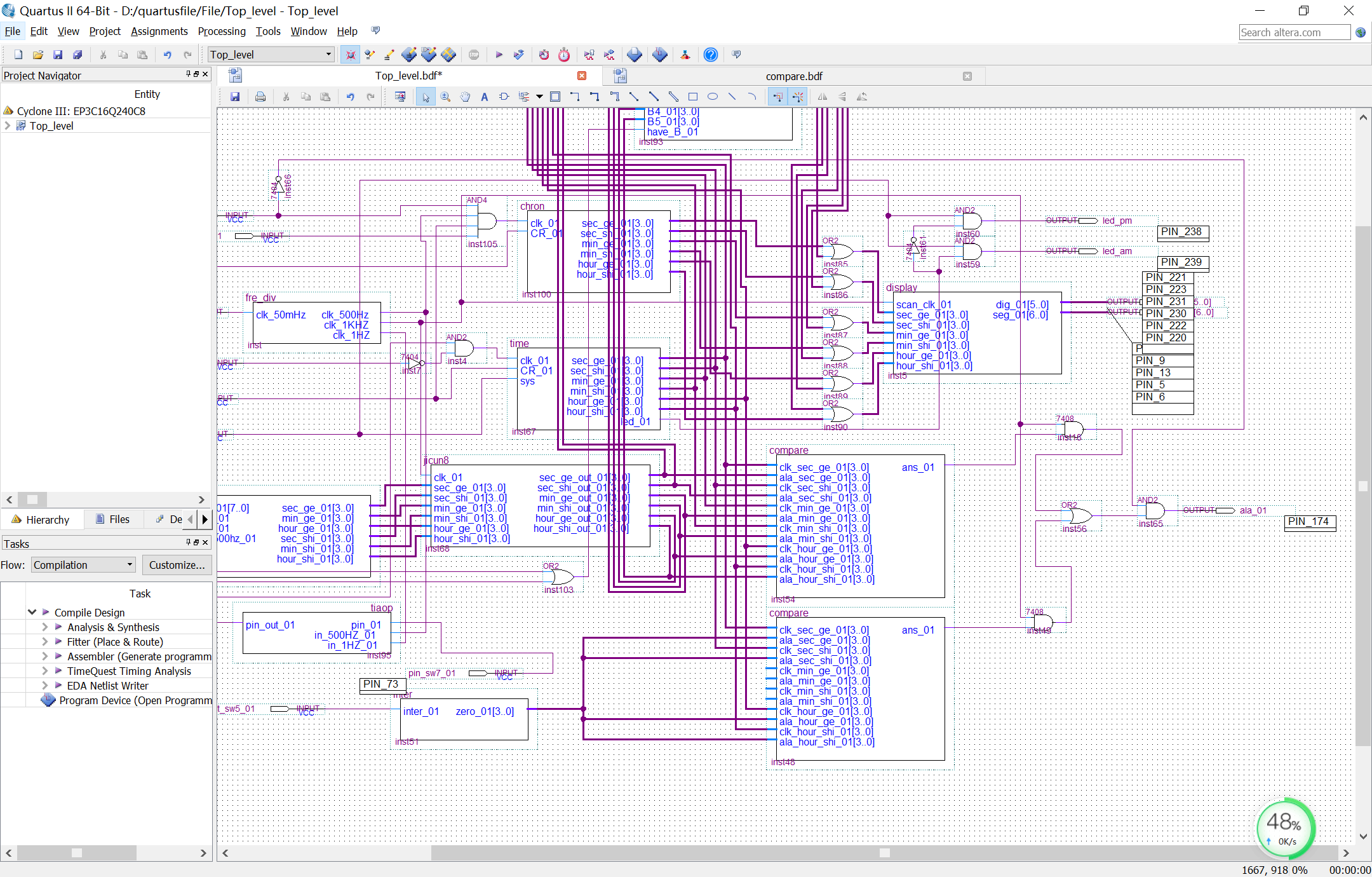


图 35

# 八、心得体会

这学期我修了数字电路与逻辑基础和数字电路与逻辑基础的实验课，这两门课给我的感觉相辅相成，让我在理论课中懂了实验的原理，在实验课中让我加深了对理论的理解。

对于这门课，在之前的电路板实验中我深刻的体会到了动手能力的提高，在之后的fpga的设计中，我对电路设计和芯片内部有了更深刻的认识。我还记得大一的时候，我去B311面试，那个时候我问一个大三的学长，学长你们做机器人的吗？是什么高科技的吗？当时学长的回答我的印象很深，因为我一直理解不了，他说电子设计就像一条河流，要掌握源头，然后再变成江河（不记得原话）。现在想来有点能理解了吧，就像这门课，每次在交给我们基础就让我们自由发挥想象，实现自己的功能。

在这次的数字电路课实验中，我了解了74138、74153、74390、7447等各种芯片，也懂了如何使用fpga电路板和如何连接各种引脚，理解了电路的分层设计、模块化设计等。其中对电路部件的各种知识让我对它们的印象更为深刻。

匆匆大学四年，甚至在这一生中，我会修很多的实验课，但是我绝对不会忘记这门课，我记得答辩前的那几天，没课就泡在数电实验室，有次七八节四教下课六点，然后跑去数电实验室做，六点四十分去三教上九十节课。就为了中间那三十分钟而连续几天这样顾不上吃饭。尤其记得我答辩前的那一晚，我做到了凌晨四点多，第二天早自习迟到被辅导员批评，还振振有词的和他说做实验然后被批判的更…现在想起那段时光都感慨万分。

这次的数字电路实验课持续了八周，但是我感到学到的东西并不止于此。在这门课中，感觉在学到知识的同时还有一种那种对待不止于电路的事物的认真、负责的态度。虽然实验课已经结束，但是生命不止于此，对知识、理论的探索也不止于此。在接下来的道路上我会带着这份态度，去追寻、探索我的学业和学术路。