Computer Organization, Fall, 2013

Lab 6: Cache Simulator

Due: 2013/1/6 23:59:59

1. 作業目的

Cache 效能為整體系統效能中重要的一環,透過由先前 lab 製作的 CPU 取出 memory trace, 並利用 C/C++製作的 cache simulator 進行 cache 行為的模擬。 藉由 cache simulator, 可以更加瞭解各種 cache 架構間的效能差異。

2. 基本題(60%)

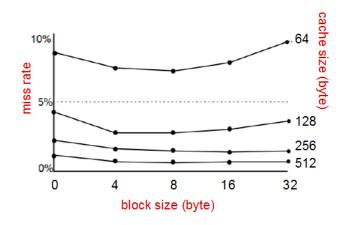
- a. 利用 lab3 或 lab5 所設計的 CPU(single cycle CPU or pipelined CPU)取出測試資料 lab6_test_data.txt 的 memory trace, 測試資料 lab6_test_data.txt 為二個 3*3 的二維矩陣相乘的程式,程式碼的詳細說明可參考 lab6_test_data_assembly.txt。
- **b.** 本次 lab 提供

TestBench.v-

和一個簡單的 direct_mapped_cache.cpp(direct mapped cache simulator),請參考並修改提供的 test bench,使得可以從 CPU 取出 memory trace。 CPU 執行完測試資料後將會得到兩個檔案,ICACHE.txt 和 DCACHE.txt,分別為 ICACHE 和 DCACHE 所存取的 memory addresses。

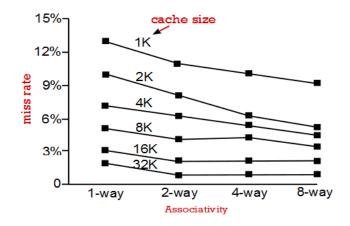
direct_mapped_cache.cpp -

一個簡單的 direct mapped cache simulator,取得 ICACHE.txt 和 DCACHE.txt 兩檔之後,請將 ICACHE.txt 和 DCACHE.txt 當成 direct_map_cache.cpp 的輸入並執行模擬。 模擬過程中, 請觀察調整 cache size 和 block size 兩項參數後造成的差異,在報告中畫出如下圖的結果,並說明造成曲線圖起伏的原因 (請將 ICACHE 和 DCACHE 分開討論)。



3. 進階題(60%)

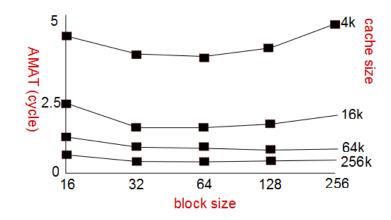
a. (40%)利用 benchmark 進行系統效能的評估是一種常見的方法,進階題的測試檔案 LU.txt, RADIX.txt 分別為 SPLASH2 中 LU (LU Decomposition) 和 RADIX (Radix Sort)兩隻程式的 memory trace 檔。 請參考 direct_map_cache.cpp,利用 C/C++實作出 n-way set-associative cache simulator (LRU replacement policy),並利用此 simulator 模擬 LU 和 RADIX 的 cache 行為,請在報告中畫出如下圖的結果,並說明造成曲線圖起伏的原因(請將 LU 和 RADIX 分開討論)。



b. Bonus(20%)

利用(a)做出的 cache simulator 實作 2-level cache. 請固定 Ll cache 的規格 - cache size lKbyte, block size 4byte, 4-way, 以及固定 L2 cache 為 4-way, 進行下列分析:

假設 L1 access time = 1 cycle, L2 access time = 10 cycles, memory access time = 100 cycles, 計算 調整 L2 cache size, L2 block size 造成的 AMAT (average memory access time)的差異, <mark>請在報告中</mark> 列出 AMAT 公式並繪製出如下圖的曲線圖 (請將 LU 和 RADIX 分開討論)。



4. 評分方式

- a. 滿分 120, 抄襲一律 0 分!
- b. 基本題 60 分

- c. 進階題 60 分。
- d. 每遲交一天分數打九折!

5. 繳交方式

請上傳至 E3 平台。

請將報告及程式碼(有做進階題請上傳程式碼)放置於同資料夾下並壓縮

命名成:學號 1_學號 2.rar

格式錯誤將會斟酌扣分

6. Q&A

若對作業有任何疑問,請到課程網頁論壇 https://sites.google.com/site/nctuco/q-a-forum 發問