

第一周任务

1. 了解以下关键词：

- a) CPU RAM ROM
- b) FPGA Verilog VHDL
- c) NSCSCC
- d) 体系结构 计算机组成原理

2. 工具配置：

- a) 安装 vivado (版本 2019.2 和 2018.3 都可, 可以通过六维和蒲公英等 pt 网站下载)
- b) 安装 vscode, 并学会用 vscode 打开代码
- c) vivado 和 vscode 搭配使用参考方法：

<http://comp2008.gitee.io/archived/vscodeguide/>

需要说明的是, 不建议进行文档里的这一步

设置Vivado的默认编辑器为VSCode

- d) 学会使用 vivado 创建工程, 并写一个全加器, 并对其进行仿真 (这个需要验收)

3. Verilog 基本语法的学习：

- a) <http://comp2008.gitee.io/archived/verilog/part0/>
- b) <http://comp2008.gitee.io/archived/codingstyle/>
- c) <https://www.runoob.com/w3cnote/verilog-tutorial.html>

4. 第一周最后需要完成的目标

- a) 在 vivado 里写一个四位全加器 (要求: 通过四个全加器级联获得) 并仿真
- b) 在 vivado 里写一个六十进制计数器 (要求: 通过六进制计数器和十进制计数器级联获得) 并仿真
- c) 提交方式: 提交到自己的 github 里, 内容为 a, b 的.v 格式代码并附上仿真截图
- d) Github 地址届时会通过在线表格的方式收集