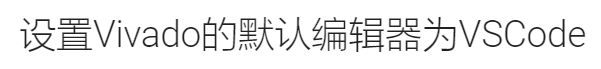
**第一周任务**

1. **了解以下关键词：**
   1. CPU RAM ROM
   2. FPGA Verilog VHDL
   3. NSCSCC
   4. 体系结构 计算机组成原理
2. **工具配置：**
   1. 安装vivado （版本2019.2和2018.3都可，可以通过六维和蒲公英等pt网站下载）
   2. 安装vscode，并学会用vscode打开代码
   3. vivado和vscode搭配使用参考方法：

<http://comp2008.gitee.io/archived/vscodeguide/>

<https://blog.csdn.net/qq_39498701/article/details/84668833>

需要说明的是，不建议进行文档里的这一步，有时候vscode的xvlog并没有正常工作，容易出问题



* 1. 学会使用vivado创建工程，并写一个全加器，并对其进行仿真（这个需要验收）

简易教程：<https://blog.csdn.net/leon_zeng0/article/details/78441871>

1. **Verilog基本语法的学习：**
   1. 哈工大课设节选：<http://comp2008.gitee.io/archived/verilog/part0/>
   2. 哈工大课设节选：<http://comp2008.gitee.io/archived/codingstyle/>
   3. 菜鸟教程：<https://www.runoob.com/w3cnote/verilog-tutorial.html>
   4. 博客园经典教程，很详细：<https://www.cnblogs.com/SYoong/p/5849168.html>
2. **第一周最后需要完成的目标**
   1. 在vivado里写一个四位全加器（要求：通过四个全加器级联获得）并仿真
   2. 在vivado里写一个六十进制计数器（要求：通过六进制计数器和十进制计数器级联获得）并仿真
   3. 提交方式：提交到自己的github里，内容为a，b的.v格式代码并附上仿真截图
   4. Github地址届时会通过在线表格的方式收集