



Analog Microelectronics

HS 2024 – Prof. Dr. Paul Zbinden

Autoren: Flurin Brechbühler, Laurin Heitzer, Simone Stitz

<https://github.com/flurin-b/AnME>

V1.0.20250528

Inhaltsverzeichnis

I	AnME	2		
1	CMOS Technologie	2		
1.1	Prozessüberblick – Herstellung integrierter Schaltungen	2		
1.2	Arten von Toleranzen	2		
1.3	CMOS Bauelemente	2		
2	MOS Transistoren	2		
2.1	Dotierung	2		
2.2	MOS-Kapazität	2		
2.3	MOS-Transistoren	2		
2.4	Ausgangskennlinie – Arbeitsbereiche	3		
2.5	Transferkennlinie – Ausgangsstrombereiche	3		
2.6	Berechnung des Drainstroms	3		
2.7	Modellierung eines MOS-FET in einem Arbeitspunkt	3		
2.8	Kleinsignalparameter	3		
2.9	Zusammenhänge	4		
2.10	Grosssignalanalyse / AP-Bestimmung	4		
2.11	Kleinsignalanalyse	4		
3	MOSFET Grundsaltungen	4		
3.1	Einsatzgebiete und Eigenschaften	4		
3.2	Dimensionierung einer Gundsaltung – Vorgehen	4		
3.3	Source-Schaltung	4		
3.4	Gate-Schaltung	4		
3.5	Drain-Schaltung (Source-Follower)	4		
3.6	Eingangs- und Ausgangswiderstände	5		
4	MOS Diode	5		
4.1	Gegenüberstellung Diodentypen	5		
4.2	Arbeitsbereich der MOS Diode	5		
4.3	Arbeitspunkteinstellung	5		
4.4	Kleinsignalersatzschaltung	5		
4.5	Anwendungen	5		
5	MOS Stromquelle	5		
5.1	Stromquelle – Grundsaltungen	5		
5.2	Kaskoden	5		
6	MOS Stromspiegel	6		
6.1	Widlar Stromspiegel (Einfache Stromspiegel)	6		
6.2	Anwendungen von Stromspiegeln	6		
6.3	Mehrfachstromspiegel	6		
6.4	Wilson-Stromspiegel (3-Transistor-Schaltung)	6		
6.5	Verbesserter Wilson-Stromspiegel / Kaskoden-Stromspiegel	6		
6.6	Stromspiegel mit geregelter Kaskode	7		
	6.7 Gegenüberstellung der Stromspiegel	7		
7	Einstufige MOS-Verstärker	7		
7.1	Analyse von MOS-Verstärkern	7		
7.2	Widerstandslast	7		
7.3	Diodenlast	7		
7.4	Stromquellenlast	7		
7.5	Stromumlenkung	7		
7.6	Kaskode	7		
7.7	Wide-Swing Kaskode	7		
7.8	Gefaltete Kaskode	7		
7.9	Verstärker mit parallelem Eingang	7		
8	Frequenzverhalten	7		
8.1	Parasitäre Kapazitäten in MOS-Transistoren	8		
8.2	Miller-Approximation / Miller-Effekt	8		
8.3	Frequenzverhalten durch Zero Value Time Constant Analysis	8		
9	MOS Operationsverstärker	8		
9.1	Struktur	8		
9.2	Differenzstufe – Grosssignalanalyse	9		
9.3	Differenzstufe – Kleinsignalanalyse	9		
9.4	Verstärkerstufe	9		
9.5	Leistungsstufe	9		
9.6	Kenngrossen	9		
10	Stabilität / Frequenzverhalten von OpAmps	10		
10.1	UTF des rückgekoppelten Verstärkers	10		
10.2	Stabilitätskriterien	10		
10.3	OpAmp als System mit 2 Polen	10		
11	Realisierungsformen von OpAmps	10		
11.1	Einstufiger OTA	10		
11.2	Zweistufige OTA	11		
12	OTA Designbeispiel	11		
12.1	Spezifikationen	11		
12.2	Designablauf	11		
12.3	Front End Design	11		
II	Idiotenseite	12		
13	Grundwissen	12		
13.1	Bodediagramm zeichnen	12		
13.2	Dezibel	12		

1 CMOS Technologie

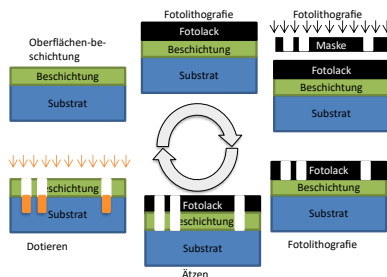
1.1 Prozessüberblick – Herstellung integrierter Schaltungen

Die Herstellung integrierter Schaltungen zeichnet sich durch folgende Besonderheiten aus:

- Komplexe Logistik aufgrund einer Vielzahl an Prozessschritten
- Hochgradige Standardisierung
- Teure Infrastruktur und teure Prozesse

Der Prozess läuft in groben Zügen wie folgt ab:

1. Sand wird geschmolzen und gereinigt. Daraus wird ein Silizium-Einkristall gezogen.
2. Der Einkristall wird in Wafer geschnitten / gesägt.
3. Durch wiederholte Oberflächenbeschichtung, Fotolithografie, Ätzen und Dotierung wird der Wafer strukturiert. Dazwischen muss der Wafer jeweils gesäubert werden.
4. Die einzelnen Chips auf dem Wafer werden vereinzelt.
5. Zur Konfektion werden die Chips in Gehäuse verbaut.
6. Um die ICs in Systemen einzusetzen, werden diese auf Leiterplatten verbaut.



Lithographie:

Lichtempfindlicher Lack (Photoresist) wird durch eine Lichtquelle löslich (positiver Photoresist) oder unlöslich (negativer Photoresist) gemacht. Durch Lösen des löslichen Photoresists kann die Oberfläche lokal geschützt werden und so gezielt regionen des Chips geätzt oder beschichtet werden. Zum Ende wird der übrige Lack entfernt und der Vorgang beliebig oft wiederholt.

Ätzen:

Durch Ätzen kann gezielt Material von freiliegenden Flächen des Wafers entfernt werden. Dabei werden folgende Verfahren unterschieden:

Isotrop (Nass oder Plasma): Gleichförmiges Ätzen in alle Richtungen → Bringt die Gefahr des Unterätzens

Anisotrop (Reactive Ion Etching, KOH oder Plasma): Ätzen entlang Kristallrichtungen, z.B. KOH greift die (111)-Ebene kaum an → Ermöglicht steilere Gräben, MEMS

Selektiv: Selektives Ätzen bestimmter Materialien, z.B. HF ätzt SiO₂ aber nicht Si → Erlaubt das Ätzen einer Lage ohne Beschädigung unterliegender Strukturen

Dotieren:

Beim Dotieren werden gezielt Fremdatome in den Siliziumkristall eingebracht.

Donatoren, also Atome mit einem Valenzelektron mehr als der Halbleiter, verursachen einen Elektronenüberschuss, der Kristall wird **n-dotiert**.

Akzeptoren, also Atome mit einem Valenzelektron weniger als der Halbleiter, verursachen einen Lochüberschuss, der Kristall wird **p-dotiert**.

1.1.1 Backend Prozesse

Wafer Sort:

Die Chips werden auf dem Wafer einzeln getestet (Kontaktierung mit Nadeln). Dies ist oft zeitaufwendig → Durch gutes Design sollte diese Zeit minimiert werden.

Der Yield, (prozentualer Anteil funktionaler Chips) hängt dabei von der Chipgröße ab. Dies, da jeder Defekt bei grossen Chips eine grosse Fläche beeinträchtigt, da jeweils nur ganze Chips funktionsfähig oder defekt sein können.

Yields von 90 % sind meist notwendig, um Profit zu machen.

Assembly and Test:

Die Wafer werden in einzelne Chips getrennt und die funktionierenden Chips in Gehäuse verbaut. Im Gehäuse erfolgt ein Final-Test.

1.2 Arten von Toleranzen

Bei der Herstellung von Wafern werden verschiedene Toleranzen unterschieden:

Devicetoleranz Toleranzen betreffend der Strukturen auf gleichem Chip

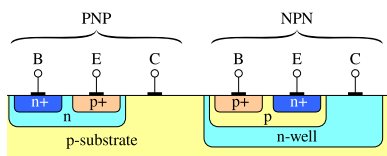
Prozesstoleranzen Toleranzen betreffend der Strukturen auf einem Wafer

Lostoleranz Toleranzen innerhalb eines Batches bzw. Los (meist 25, selten bis 50 Wafer)

1.3 CMOS Bauelemente

Mögliche Strukturen und Elemente wie auch die Materialeigenschaften werden im **Technologiehandbuch** gegeben.

1.3.1 Bipolartransistoren



1.3.2 Kapazitäten (pro Fläche)

$$C = \epsilon \cdot \frac{A}{d} = \epsilon_0 \cdot \epsilon_r \cdot \frac{W \cdot L}{d} = C'' \cdot A$$

$$\epsilon_0 = 8.85 \cdot 10^{-12} \text{ F m}^{-1}$$

$$\epsilon_r, \text{Si, SiO}_2 \approx 3.9$$

$$\epsilon_r, \text{Dielektrikum} \approx 2.9 \text{ (möglichst klein)}$$

$$C''$$

$$A$$

$$d$$

Spezifische Kapazität

Fläche der Kapazität

Abstand (fix)

$$[C''] = \text{F m}^{-2}$$

$$[A] = \text{m}^2$$

$$[d] = \text{m}$$

$$C'' = \frac{\epsilon}{d} = \frac{\epsilon_0 \cdot \epsilon_r}{d}$$

MIM:

Metal-Interconnect-Metal-Kondensatoren produzieren **sehr kleine Kapazitäten**, da die Interconnect-Layers relativ dick sind ($d \sim 2.5 \cdot 10^{-7} \text{ m}$) und absichtlich aus 'schlechtem' Dielektrikum ($\epsilon_r \approx 2.9$) bestehen. Die Spannungsfestigkeit ist jedoch höher.

MOS:

Da Oxidschichten sehr dünn realisiert werden können ($d \sim 2.33 \cdot 10^{-9} \text{ m}$) und ein höheres $\epsilon_r \approx 3.9$ besitzen, benötigen MOS-Kondensatoren im Vergleich zu MIM-Kondensatoren bedeutend weniger Fläche. Somit können grössere Kapazitäts-Werte realisiert werden. Sie besitzen jedoch eine kleinere Spannungsfestigkeit.

1.3.3 Spulen

Spulen sind nur planar möglich und beanspruchen oft viel Platz.

1.3.4 Widerstände (pro quadr. Flächeneinheit)

$$R = \rho \frac{L}{A} = \rho \frac{L}{t \cdot W} = R_{\square} \frac{L}{W} = R_{\square} \cdot n_{\square}$$

$$R_{\square} = \frac{\rho}{t}$$

Typische Werte:

Metall	$R_{\square} \approx 0.02 \dots 0.08 \Omega$
Poly (salicide)	$R_{\square} \approx 10 \Omega$
Poly (non-salicide)	$R_{\square} \approx 100 \Omega \text{ (n+ Poly)}$
	$R_{\square} \approx 400 \Omega \text{ (p+ Poly)}$
n- / p-Diffusion	$R_{\square} \approx 100/150 \Omega$
n- / p-Well	$R_{\square} \approx 400/1600 \Omega$

1.3.5 Parasitäre Effekte

Jedes Bauteil ist von parasitären Effekten betroffen. Diese sind:

- Streukapazitäten und ungewollte Kapazitäten zu anderen Layern
- Widerstandsbelag des Leitermaterials
- Induktivitätsbelag von 'langen' Leitern
- Toleranzen
- Nichtlinearitäten z.B. die Spannungsabhängigkeit der Kapazitäten von PN-Übergängen

→ **Empfehlung: Verhältnisse verwenden, nicht Absolutwerte!**

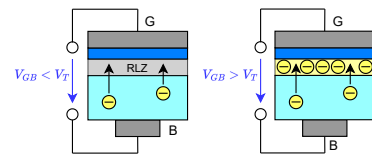
2 MOS Transistoren

2.1 Dotierung

Dotierung:	N-dotiert	P-dotiert
Unreinheit:	Aluminium (HG III)	Phosphor / Arsen (HG V)
Majoritätsträger:	Elektronen	Löcher
Minoritätsträger:	Löcher	Elektronen

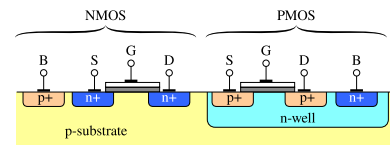
2.2 MOS-Kapazität

Minoritätsträger werden an das Gate gezogen. Die entstandene Raumladungszone weist bei ausreichend hoher Gate-Spannung einen Minoritätsträgerüberschuss auf, ist also in der Funktion **komplementär** zum Substrat dotiert.



2.3 MOS-Transistoren

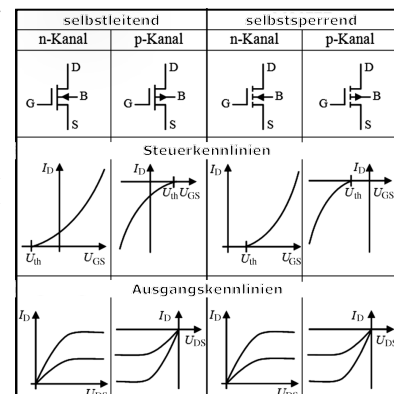
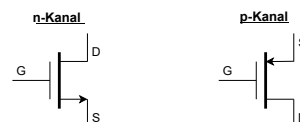
Werden links und rechts vom MOS-Kondensator komplementär zum Substrat dotierte Regionen (Drain und Source) erstellt, so kann ohne Gatespannung aufgrund der PN-Übergänge kein Strom vom Drain zur Source (oder umgekehrt) fließen. Wird nun eine Spannung am Gate angelegt, so entsteht die Minoritätsträger-Leitende Raumladungszone - der Kanal. Dieser verbindet Drain und Source, es kann also ein Strom fließen.



2.3.1 Übersicht und Symbole

Durch Vordotierung des Kanals kann der Transistor ohne Gate-Spannung leitend gemacht werden (Verarmungstyp, selbstleitend). Eine negative Gate-Spannung kann den Kanal dann abschnüren. → hier nicht weiter behandelt

Der Bulk wird nur eingezeichnet, wenn dieser nicht mit V_{DD} bzw. V_{SS} verbunden ist. Deshalb werden meist die vereinfachten Symbole verwendet:



2.3.2 Modelle

In Cadence sind verschiedene Modelle hinterlegt:

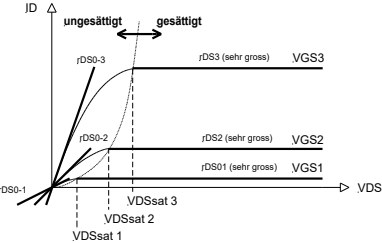
Spice Modell 11: Das Modell 11 beinhaltet ca. 100 Parameter und ist entsprechend genau.

Spice Modell 11: Das Modell 11 beinhaltet ca. 100 Parameter und ist entsprechend genau.

Spice Modell 1: Vergleichbar mit dem Handrechenmodell, welches zwar weniger genau, dafür aber viel einfacher ist. Dennoch beinhaltet es bereits 40 Parameter.

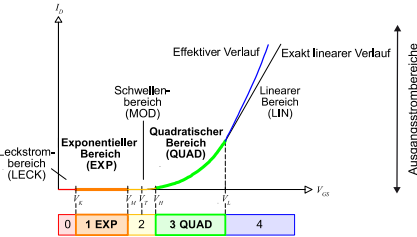
2.4 Ausgangskennlinie – Arbeitsbereiche

Die Ausgangskennlinie beschreibt den Zusammenhang $I_D = f(V_{DS})|_{V_{GS}=\text{konst}}$



- Zwei Arbeitsbereiche:
- ungesättigt (gesteuerter Widerstand)
 - gesättigt (Stromquelle)
- Die Sättigungsgrenze $V_{DS,sat}$ ist abhängig vom **Kanalzustand**:
- **weak inversion:**
 $V_{DS,sat} = V_{eff} \approx 5 \cdot V_{temp} \approx 130 \text{ mV}$
 - **strong inversion:**
 $V_{DS,sat} = V_{eff} = V_{GS} - V_T$

2.5 Transferkennlinie – Ausgangsstrombereiche



Die Transferkennlinie beschreibt den Zusammenhang $I_D = f(V_{GS})$

Dabei werden **5 Ausgangsstrombereiche** unterschieden. Diese hängen mit dem **Kanalzustand** zusammen.

Des Weiteren gibt es die Bereiche:

- Sub Threshold: $V_{GS} < V_T$
- Above Threshold: $V_{GS} > V_T$

Ausgangsstrombereiche:

Bereich	Mathem. Charakterisierung	Zugrundeliegender phys. Effekt
LECK	I_D erreicht Minimalwert, der nicht weiter unterschritten werden kann	Drain- und Source-Substratdiode haben Leckströme ins Substrat
EXP	I_D steigt exponentiell mit V_{GS}	Kanal zeigt weak inversion
MOD	Keine 'handliche' Formel für I_D	Kanal zeigt moderate inversion
QUAD	I_D steigt quadratisch mit V_{GS}	Kanal zeigt strong inversion
LIN	I_D steigt annähernd linear mit V_{GS} (halb QUAD, halb LIN)	Geschwindigkeitssättigung der Ladungsträger im Kanal im Kanal (nicht weiter beschleunigbar)

Hinweis: Die Inversion des Kanals beschreibt, wie sehr sich die Polarität geändert ('invertiert') hat. Bei einem n-Kanal FET ist der Kanal ursprünglich p-leitend. Wird der Kanal invertiert, so wird er (schwach, moderat oder stark) n-leitend.

2.6 Berechnung des Drainstroms

Die Berechnung des Drainstroms hängt sowohl von Arbeitsbereich (gesättigt / ungesättigt), als auch vom Ausgangsstrombereich (bzw. der Kanalversion) ab!

2.6.1 Strong Inversion

QUAD-Bereich: $|V_H(I_D)| \leq |V_{GS}| < |V_L(I_D)|$ bzw. $|I'_H| \leq |I'_D| < |I'_L|$

	Ungesättigt: $ V_{DS} < V_{GS} - V_T $	Gesättigt: $ V_{DS} \geq V_{GS} - V_T $
NMOS:	$I_D = \beta \cdot \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 + \lambda \cdot \Delta V_{DS})$	$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot \Delta V_{DS})$
PMOS:	$I_D = -\beta \cdot \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 - \lambda \cdot \Delta V_{DS})$	$I_D = -\frac{\beta}{2} (V_{GS} - V_T)^2 \cdot (1 - \lambda \cdot \Delta V_{DS})$

Ohne Berücksichtigung der **Kanallängenmodulation**: **blauen Term = 1** bzw $\lambda = 0$ setzen

Transkonduktanz-Parameter β :

β ist abhängig davon, ob der Transistor gesättigt ist. In der Praxis wird diese Unterscheidung jedoch **nicht** gemacht. Im **Design** kann β durch das Verhältnis von Kanalbreite W und -länge L beeinflusst werden.

$$\beta = \underbrace{\mu C_{OX}}_{\beta_0} \frac{W}{L}$$

Kanallängenmodulation λ und Early-Spannung V_E :

Die Kanallängenmodulation beschreibt die Nichtidealität der spannungsgesteuerten Stromquelle (im Sättigungsbetrieb).

$$\lambda = \frac{1}{V_E + V_{DS,sat}} \approx \frac{1}{V_E} \approx \frac{1}{a_E \cdot L} \quad \text{Idealfall: } \lambda = 0 \rightarrow L = \infty$$

Achtung: V_E ist typischerweise negativ, wird jedoch **immer positiv angegeben**. Grafisch entspricht V_E der Spannung V_{DS} , bei welcher die Verlängerung der Ausgangskennlinie (Sättigung) die V_{DS} -Achse schneidet.

Body-Effekt:

Der Body-Effekt beschreibt die **Abhängigkeit der Schwellenspannung V_T** von der Source-Bulk-Spannung V_{SB} als

$$V_T = V_{T0} \pm \Delta V_T \quad \text{mit} \quad \Delta V_T = \gamma \left(\sqrt{|V_{SB}| + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

→ **Body-Effekt nur wirksam, wenn $V_{SB} \neq 0 \text{ V}$**

→ Reminder: Bulk nur gezeichnet, wenn nicht auf V_{DD} oder V_{SS}

Das Fermi-Potential Φ_F ist prozess- wie auch temperaturabhängig. Zudem ist es abhängig von der Dotierungsstärke.

$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$	n_i Intrinsiche ladungsdichte von Silizium
$\gamma_N \stackrel{n\text{-Dotierung}}{\approx} 1.46 \sqrt{V}$	N_A Ladungsdichte der Akzeptoren
$\gamma_P \stackrel{p\text{-Dotierung}}{\approx} 1.08 \sqrt{V}$	γ Body-Effekt-Konstante
	T Absolute Temperatur
	k Boltzmann-Konstante $1.380\,649 \cdot 10^{-23} \text{ J K}^{-1}$
	q Elementarladung $1.602 \cdot 10^{-19} \text{ C}$

2.6.2 Weak Inversion

EXP-Bereich: $|V_K(I_D)| < |V_{GS}| \leq |V_M(I_D)|$ bzw. $|I'_K| < |I'_D| \leq |I'_M|$

	Ungesättigt: $ V_{DS} < V_{GS} - V_T $	Gesättigt: $ V_{DS} \geq V_{GS} - V_T $
NMOS:	$I_D = I_M \cdot e^{\frac{V_{GS}-V_M}{n_M V_{temp}}} \cdot (1 - e^{-\frac{V_{DS}}{V_{temp}}}) \cdot (1 + \lambda \cdot \Delta V_{DS})$	$I_D = I_M \cdot e^{\frac{V_{GS}-V_M}{n_M V_{temp}}} \cdot (1 + \lambda \cdot \Delta V_{DS})$
PMOS:	$I_D = I_M \cdot e^{-\frac{V_{GS}-V_M}{n_M V_{temp}}} \cdot (1 - e^{-\frac{V_{DS}}{V_{temp}}}) \cdot (1 - \lambda \cdot \Delta V_{DS})$	$I_D = I_M \cdot e^{-\frac{V_{GS}-V_M}{n_M V_{temp}}} \cdot (1 - \lambda \cdot \Delta V_{DS})$

Ohne Berücksichtigung der **Kanallängenmodulation**: **blauen Term = 1** bzw $\lambda = 0$ setzen

Parameter der Formel:

Temparaturspannung	$V_{temp} = \frac{kT}{q} \approx 86.2 \mu\text{V K}^{-1} \cdot T$
(Spezifischer Drainstrom)	$I_M = \frac{W}{L} I'_M = \frac{W}{L} I_{M,0}$
Subthreshold Slope Factor	$n_M = 1 + \frac{\gamma}{2\sqrt{V_{SB} + \Phi_0}}$ mit $\Phi_0 = 2\Phi_F \approx 0.6 \text{ V}$
Kanallängenmodulation	$\lambda = \frac{1}{a_E} \approx \frac{1}{a_E L}$

2.6.3 Bereiche ohne Berechnungsformeln

In den drei verbleibenden Bereichen sind **keine Berechnungsformeln für I_D** vorhanden.

Bereich	Grenzen	
LECK	$V_K(I_D) < V_{GS} < V_M(I_D)$	Im MOD-Bereich (moderate inversion) liefern die Formeln der weak bzw. strong inversion katastrophal falsche Resultate! Es ist daher enorm wichtig, den Arbeitsbereich des Transistors korrekt zu bestimmen.
MOD	$V_M(I_D) < V_{GS} < V_H(I_D)$	
LIN	$V_L(I_D) < V_{GS}$	

2.7 Modellierung eines MOS-FET in einem Arbeitspunkt

Der Transistor ist sehr komplex. Daher wird er **in einem Arbeitspunkt** folgendermassen vereinfacht und modelliert:

1. Definieren des Arbeitspunkts mittels **Grosssignalersatzschaltung** (2.10.1)
2. Linearisierung im Arbeitspunkt mittels **Kleinsignalersatzschaltung** (2.7.2 / 2.11.1)
3. Linearisierte **Kleinsignalparameter** bestimmen (2.8) und damit weiterrechnen

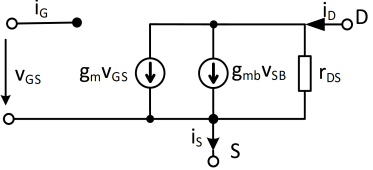
2.7.1 Bestimmung des Arbeitspunkts

Um den 'Zustand' eines MOS-FET zu bestimmen, wird wie folgt vorgegangen:

1. V_{GS} bestimmen
2. Ausgangsstrombereich mittels V_{GS} oder spezifischem Drainstrom I'_D bestimmen
 - a) $|V_{GS}| \geq |V_H| \rightarrow$ strong inversion
 - b) $|I'_D| = I_D \cdot \frac{L}{W} \geq |I'_H| \rightarrow$ strong inversion
 - $|V_{GS}| \leq |V_M| \rightarrow$ weak inversion
 - $|I'_D| = I_D \cdot \frac{L}{W} \leq |I'_M| \rightarrow$ weak inversion
3. V_{DS} bestimmen
4. $V_{DS,sat}$ ausrechnen (Strombereich beachten)
strong inversion: $V_{DS,sat} = V_{GS} - V_T$
weak inversion: $V_{DS,sat} \approx 5 \cdot V_{temp} \approx 130 \text{ mV}$
5. Ausgangsspannungsbereich durch vergleich von $|V_{DS}|$ mit $|V_{DS,sat}|$ ermitteln
 $|V_{DS}| < |V_{DS,sat}| \rightarrow$ ungesättigt
 $|V_{DS}| > |V_{DS,sat}| \rightarrow$ gesättigt

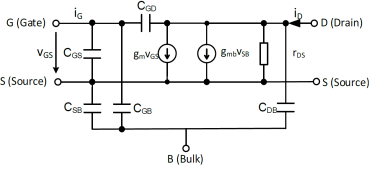
2.7.2 Kleinsignalersatzschaltungen des FET

Niederfrequenz (Pi-Ersatzschaltung):



- Ideale spannungsgesteuerte Stromquelle: $I_D = f(V_{GS})$
- Berücksichtigung von Kanallängenmodulation: g_o bzw. r_{DS}
- Berücksichtigung von Body-Effekt: $g_{mb} \cdot V_{SB}$

Hochfrequenz:



- Wenn V_{GS} und Bulk verbunden sind werden
- C_{GB} und C_{GS} parallel geschaltet und
 - C_{SB} kurzgeschlossen.

2.8 Kleinsignalparameter

Die Kleinsignalparameter bilden eine Vereinfachung (**Linearisierung**) in einem Arbeitspunkt. Sie berechnen sich daher allgemein folgendermassen aus der Ableitung

$$g_m = \frac{d}{dV_{GS}} I_D \quad g_o = \frac{1}{r_{DS}} = \frac{d}{dV_{DS}} I_D \quad g_{mb} = \frac{d}{dV_{SB}} I_D$$

Für die beiden Kanalzustände, in welchen Formeln für die Handrechnung verfügbar sind, gibt es auch hier handliche Formeln für die Berechnung der Kleinsignalparameter.

Die Bezeichnung der einzelnen Parameter gilt sowohl für strong inversion als auch für weak inversion.

g_m	Transkonduktanz (Stromquellenbetrieb) → Mass für Verstärkung des Transistors
g_{mb}	Body-Transkonduktanz → Beschreibt Wirkung des Body-Effekts
g_o	Ausgangsleitwert (Stromquellenbetrieb) → beschreibt Kanallängenmodulation
r_{DS0}	Kleinstmöglicher Ausgangswiderstand bzw. Einschaltwiderstand bei $V_{DS} = 0$ → Nur im Widerstandsbetrieb interessant

Hinweis: Folgende Formel gelten für nMOS Transistoren. Für pMOS Transistoren müssen jeweils **überall Beträge eingesetzt werden (ausser bei Technologieparametern)** und bei Bedarf beim Gesamtergebn ein Minus ergänzt werden.

2.8.1 Strong Inversion

$$g_m = \underbrace{\mu C_{ox} \frac{W}{L}}_{\text{AP durch } V_{GS} \text{ bestimmt}} (V_{GS} - V_T)$$

$$g_m = \underbrace{\sqrt{2\mu C_{ox} \frac{W}{L}} I_D}_{\text{AP durch } I_D \text{ bestimmt}}$$

$$g_{mb} = -g_m \frac{\gamma}{2\sqrt{|V_{SB}| + |2\Phi_F|}} = -g_m(n_M - 1)$$

Ungesättigt:
$$g_o = \frac{1}{r_{DS}} = \mu C_{ox} \frac{W}{L} ((V_{GS} - V_T) - V_{DS})$$

Gesättigt:
$$g_o = \frac{1}{r_{DS}} = \lambda \cdot I_{DS,sat} = \frac{I_D}{V_E + V_{DS}} \approx \frac{I_D}{a_E \cdot L + V_{DS}}$$

2.8.2 Weak Inversion

$$g_m = \frac{I_D}{n_M \cdot V_{temp}} \rightarrow \text{Unabhängig von der Geometrie des Transistors!}$$

$$g_{mb} = -g_m \frac{\gamma}{2\sqrt{|V_{SB}| + |2\Phi_F|}} = -g_m(n_M - 1)$$

Ungesättigt:
$$g_o = \frac{1}{r_{DS}} = \frac{V_{temp}}{I_{D\infty}} \rightarrow \text{wird meist simuliert}$$

Gesättigt:
$$g_o = \frac{1}{r_{DS}} = \lambda \cdot I_{DS,sat} = \frac{I_D}{V_E + V_{DS}} \approx \frac{I_D}{a_E \cdot L + V_{DS}}$$

2.9 Zusammenhänge

g_m ist in der Weak Inversion unabhängig der Geometrie. Es ist für einen gegebenen Drainstrom möglich, Transistoren, die in Weak Inversion wie auch welche, die in Strong Inversion sind herzustellen. Das g_m steigt beim Transistor in Strong Inversion

2.10 Grosssignalanalyse / AP-Bestimmung

Die Grosssignalanalyse untersucht das Verhalten der Schaltung **im Zeitbereich** und hat folgende Eigenschaften:

- Berücksichtigung aller Nichtlinearitäten bei beliebig grossen Signalen
- Simulationen: Transient, DC-Arbeitspunkt, DC-Transferkennlinie
- Handrechnung: Bestimmung des Arbeitspunkts mittels Grosssignalersatzschaltung

2.10.1 Grosssignalersatzschaltung

Zur Bestimmung des **Arbeitspunkts** bzw. aller Gleichspannungen.
AC-Spannungsquellen durch Kurzschlüsse ersetzen.
AC-Stromquellen durch Unterbrüche ersetzen.
Kondensatoren durch Unterbrüche ersetzen.
Spulen durch Kurzschlüsse ersetzen.

2.11 Kleinsignalanalyse

Die Kleinsignalanalyse untersucht das Verhalten der Schaltung **im Frequenzbereich** und hat folgende Eigenschaften:

- Betrachtung von Signalen mit kleiner Amplitude
- Simulationen: AC-Analyse, Transfer-Funktion
- Handrechnung: Rechnung mit linearen Grössen gemäss Kleinsignalersatzschaltung

2.11.1 Kleinsignalersatzschaltung

Zur Berechnung von Verstärkungsfaktoren und Eingangswiderständen für AC-Signale.
DC-Spannungsquellen durch Kurzschlüsse ersetzen.
DC-Stromquellen durch Unterbrüche ersetzen.
Nichtlineare Bauteile durch deren Kleinsignalersatzschaltbild ersetzen.
Koppel- und Bypass-Kondensatoren durch Kurzschlüsse ersetzen.

3 MOSFET Grundschaltungen

Es werden drei Grundschaltungen unterschieden. Diese werden jeweils durch deren Common-Anschluss benannt.

Schaltung	Source-Schaltung	Gate-Schaltung	Drain-Schaltung
Common	Source	Gate	Drain
Eingang	Gate	Source	Gate
Ausgang	Drain	Drain	Source

Hinweis: Die Drain-Schaltung wird auch Source-Follower genannt.

3.1 Einsatzgebiete und Eigenschaften

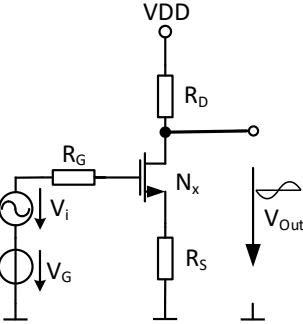
Grundschaltung	Anwendung	r_{in}	r_{out}
Source	Verstärker: Tiefe – mittlere Frequenzen	gross	gross
Gate	Verstärker: Hohe Frequenzen	klein	gross
Drain	Spannungsfolger, Treiber, Impedanzwandler	gross	klein

3.2 Dimensionierung einer Gundschaltung – Vorgehen

- 1 Arbeitspunkt mittels Grosssignalersatzschaltung bestimmen (2.10.1 / 2.7.1)
- 2 Kleinsignalersatzschaltung
 - 2a) Beschaltung umzeichnen
 - 2b) Transistor durch Ersatzschaltbild ersetzen (2.11.1)
- 3 Durch lineare Analyse Verstärkung a und Ausgangswiderstand r_{out} berechnen

3.3 Source-Schaltung

Die Source-Schaltung ist eine **invertierende Verstärkerschaltung**.



3.3.1 Verstärkung

$$a = \frac{v_{out}}{v_{in}} = - \frac{R_D}{R_S + \frac{1}{g_m} + \frac{g_o}{g_m} (R_D + R_S)}$$

Spezialfall:

$$R_S = 0 \quad a \approx -g_m \cdot r_{out} = \underbrace{-g_m (r_{DS} \parallel R_D)}_{\text{Mikroelektronik}}$$

Optimierung:

- Maximierung der Verstärkung: $R_D \rightarrow \infty$ (so gross wie möglich) und $R_S \rightarrow 0$
- Chipplatz sparen: R_S und R_D weglassen

3.3.2 Designpraxis – Strong Inversion

Die **theoretisch** maximal mögliche Verstärkung in strong inversion ergibt sich als

$$a_{max} = -\frac{g_m}{g_o} = -g_m r_{DS} = -\frac{2 \cdot a_E \cdot L}{V_{GS} - V_T}$$

Damit der Wert a_{max} maximal wird, folgt aus obiger Formel:

- g_m so gross wie möglich
- r_{DS} so gross wie möglich
- V_{GS} so tief wie möglich ($V_{GS} - V_T \approx 150 - 200 \text{ mV}$)
- L möglichst gross \rightarrow grosser Lastwiderstand

3.3.3 Designpraxis – Weak Inversion

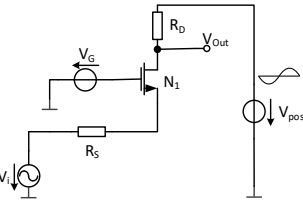
Die **theoretisch** maximal mögliche Verstärkung in weak inversion ergibt sich als

$$a_{max} = -\frac{g_m}{g_o} = -g_m r_{DS} = -\frac{a_E \cdot L}{n_m - V_{temp}}$$

- In weak inversion erreicht der Transistor seine maximale Verstärkung.
- Sie wird durch Technologieparameter sowie L bestimmt.
- Da in weak inversion mit Nähreungsformeln gerechnet wird, muss simuliert werden.

3.4 Gate-Schaltung

Die Gate-Schaltung ist eine **nichtinvertierende Verstärkerschaltung**.



3.4.1 Verstärkung

$$a = \frac{v_{out}}{v_{in}} = \frac{R_D (1 + \frac{g_o}{g_m})}{R_S + \frac{1}{g_m} + \frac{g_o}{g_m} (R_D + R_S)}$$

Spezialfall:

$$R_S = 0 \quad a \approx g_m \cdot r_{out} = \underbrace{g_m (r_{DS} \parallel R_D)}_{\text{Mikroelektronik}}$$

Für $R_S = 0$ und $R_D \ll r_{DS}$ gilt (ebenfalls in **strong inversion**) weiter:

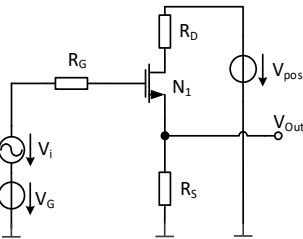
$$a \overset{R_D \text{ klein}}{\approx} g_m R_D \quad \text{bzw.} \quad a \overset{R_D \text{ gross}}{\approx} \frac{g_m}{g_o} \approx a_{max}$$

3.4.2 Bemerkungen

- Bei den gegebenen Formeln wurde der **Body-Effekt vernachlässigt!**
- Ohne Body-Effekt erreicht die Gate-Schaltung die gleiche theoretisch maximal mögliche Verstärkung a_{max} wie die Source-Schaltung. Allerdings ist das Frequenzverhalten der Gate-Schaltung besser.
- Bei der Gate-Schaltung wird der Body-Effekt schnell zum Problem.

3.5 Drain-Schaltung (Source-Follower)

Die Drain-Schaltung ist eine **nichtinvertierende Verstärkerschaltung**.



3.5.1 Verstärkung

$$a = \frac{v_{out}}{v_{in}} = \frac{R_S}{R_S + \frac{1}{g_m} + \frac{g_o}{g_m} (R_D + R_S)}$$

Maximale Verstärkung:

Für die **theoretisch** maximal mögliche Verstärkung a_{max} gilt für $g_m \ll g_o$ und $r_{DS} \ll R_D$

$$a_{max} = \lim_{R_S \rightarrow \infty} a = \lim_{R_S \rightarrow \infty} g_m \frac{R_S}{g_m R_S + 1} = 1$$

3.5.2 Level-Shift

Die Drain-Schaltung reduziert den DC-Pegel des Ausgangssignals um die Spannung V_{GS} . Somit ergibt sich der Zusammenhang:

$$V_{in} - V_{out} = V_{GS} = V_T + \sqrt{\frac{2I_D}{\mu C_{ox} \frac{W}{L}}} \Leftrightarrow V_{out} = V_{in} - \left(V_T + \sqrt{\frac{2I_D}{\mu C_{ox} \frac{W}{L}}} \right)$$

Damit der Level-Shift möglichst klein ist, wird L möglichst gross gewählt.

Body Effekt:

Da die Source nicht auf Bulk-Potential ist, muss die Veränderung der Threshold Spannung V_T aufgrund des Body-Effekts berücksichtigt werden (2.6.1).

3.5.3 Bemerkungen

- Der Source-Follower hat immer eine Verstärkung $a \leq 1$
- Der Source-Follower bewirkt immer einen Level-Shift um V_{GS} .

3.6 Eingangs- und Ausgangswiderstände

3.6.1 Generelles Vorgehen

- Fiktive Spannungsquelle an entsprechenden Anschluss (z.B. Source) im Kleinsignalersatzschaltbild anschliessen.
- Strom, der über den Anschluss (z.B. Source) in den Transistor fließt, messen.
- Widerstand als $r_i = \left| \frac{u_i}{i_i} \right|$ berechnen.

3.6.2 Eingangs- und Ausgangswiderstände berechnen

Gate $r_{i,G}$:

$$r_{i,G} \rightarrow \infty$$

Source $r_{i,S}$:

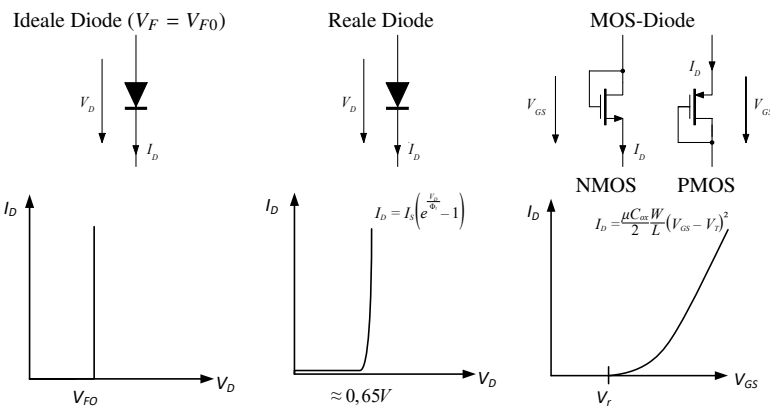
$$\begin{aligned} \text{Allgemein} \quad r_{i,S} &= \left(\frac{1}{g_m} \parallel r_{DS} \right) \left(1 + \frac{R_D}{r_{DS}} \right) = \frac{1}{g_m + g_o} (1 + g_o R_D) \\ \text{Für } r_{DS} \gg R_D \quad r_{i,S} &\approx \frac{1}{g_m} \parallel r_{DS} = \frac{1}{g_m + g_o} \\ \text{Für } g_m \gg g_o \quad r_{i,S} &\approx \frac{1}{g_m} \end{aligned}$$

Drain $r_{i,D}$:

$$\begin{aligned} \text{Allgemein} \quad r_{i,D} &= r_{DS} \left(1 + g_m R_S + \frac{R_S}{r_{DS}} \right) = \frac{1}{g_o} (1 + g_m R_S) + R_S \\ \text{Für } r_{DS} \gg R_S \quad r_{i,D} &\approx r_{DS} (1 + g_m R_S) = \frac{1}{g_o} (1 + g_m R_S) + R_S \\ \text{Für } R_S = 0 \quad r_{i,D} &\approx r_{DS} = \frac{1}{g_o} \end{aligned}$$

4 MOS Diode

4.1 Gegenüberstellung Diodentypen



4.2 Arbeitsbereich der MOS Diode

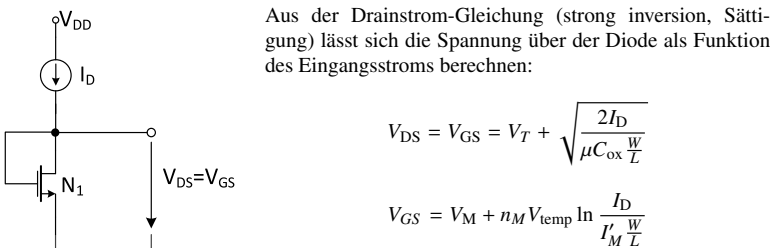
Die MOS Diode arbeitet (**in strong inversion**) **immer in Sättigung**, da die Sättigungsbedingung aufgrund der Verbindung der Gate- und Source-Anschlüsse immer erfüllt ist:

$$V_{DS} = V_{GS} > V_{GS} - V_T$$

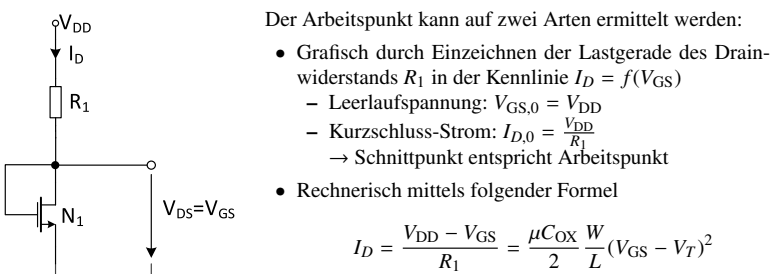
Hinweis: Die Forwardspannung bestimmt, ob die MOS Diode in strong- oder weak inversion betrieben wird. **Der 'Normalfall' ist strong inversion.**

4.3 Arbeitspunkteinstellung

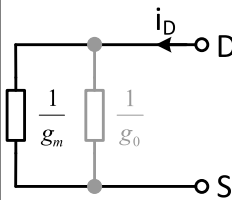
4.3.1 Arbeitspunkteinstellung mittels Drainstrom



4.3.2 Arbeitspunkteinstellung mittels Seriewiderstand



4.4 Kleinsignalersatzschaltung



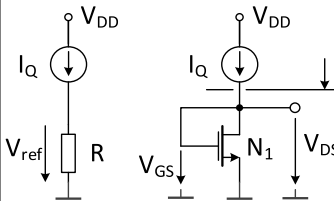
Die Kleinsignalersatzschaltung kann (leicht angepasst) vom MOS Transistor übernommen werden.

$$\text{Allgemein: } r_{MD} = \frac{1}{g_m + g_o} = \frac{1}{g_m} \parallel r_{DS}$$

$$\text{Praxis: } r_{MD} \approx \frac{1}{g_m} = \frac{1}{\sqrt{2\mu C_{ox} \frac{W}{L} I_D}}$$

4.5 Anwendungen

4.5.1 Spannungsreferenz



Voraussetzung: Referenzstrom I_Q

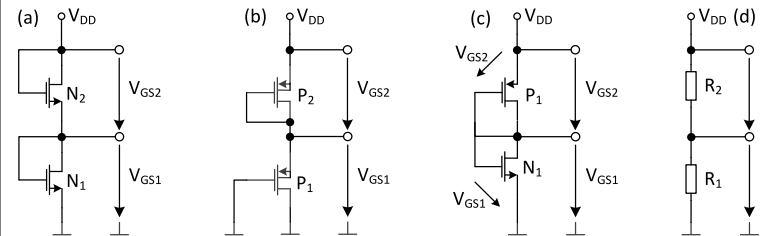
- + Kleinerer Flächenanspruch als Widerstand
- + Eingangsspannung wird durch relativ tiefen Δr_{MD} geglättet
- Genauer als mit Widerstand, jedoch noch immer eher ungenau
- r_{MD} kann nur schlecht verändert werden

4.5.2 Spannungsstabilisator

- MOS-Dioden Schaltung aus Abschnitt 4.5.1 mit Widerstand statt Stromquelle
- AC-Störung wird oberhalb von R eingespeist (gegenüber GND)
- Kleinsignalersatzschaltung des beschriebenen Aufbaus:
 - Spannungsteiler aus R (gross) und r_{MD} (klein)
 - AC-Störspannung v_0 am Ausgang ($V_{DS} + v_0$) sehr klein

4.5.3 Spannungsteiler

Spannungsteiler könnten auf mehrere Arten realisiert werden. → **Variante (b) am Besten!**



Schaltung (a)
+ Gleiche Elemente (nMOS)
- Body-Effekt bei N_2

Schaltung (c)
+ Kein Body-Effekt
- Komplementäre Elemente → schlechtes Matching

Schaltung (b)
+ Gleiche Elemente (pMOS)
→ gutes Matching
+ Kein Body-Effekt (pMOS)

Schaltung (d)
+ Gute **relative** Genauigkeit
- Schlechte **absolute** Genauigkeit
- Braucht viel Platz

Weil für die Ströme gilt, dass $I_{D1} = I_{D2}$ ergibt sich das Spannungsverhältnis

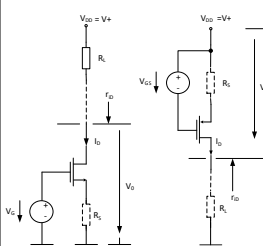
$$\frac{|V_{GS1} - V_{T1}|}{|V_{GS2} - V_{T2}|} = \sqrt{\frac{(W/L)_2}{(W/L)_1}}$$

5 MOS Stromquelle

Bei der Einstellung des Arbeitspunkts mittels Widerstand resultiert eine quadratische Gleichung für den Strom und so die Ausgangsspannung eines Verstärkers. Abhilfe kann eine Stromquelle anstelle des Widerstands schaffen.

MOS Transistoren sind bereits spannungsgesteuerte Stromquellen. Durch Einfügen eines R_S kann der Innenwiderstand der Stromquelle **maximiert** werden. → Quelle wird 'idealer'

5.1 Stromquelle – Grundschaltungen



Ausgangswiderstand:

$$r_{iD} = r_{DS} \left(1 + g_m R_S + \frac{R_S}{r_{DS}} \right) = r_{DS} (1 + g_m R_S) + R_S$$

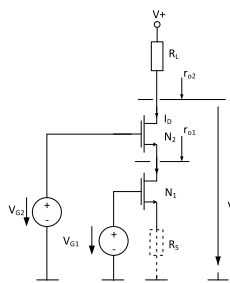
Minimale Ausgangsspannung:

$$V_{out} = V_O > V_{O,min} = R_S I_D + V_{DS,sat}$$

5.2 Kaskoden

Damit für die Stromquelle kein Widerstand verwendet werden muss, kann ein weiterer Transistor verwendet werden. Diese Schaltung wird Kaskode genannt. Dabei wird der maximale Ausgangsstrom jedoch leicht reduziert.

5.2.1 Kaskode – Grundsaltung



Ausgangswiderstand:

$$r_{out} = r_{o2} \approx g_{m2} \cdot r_{DS}^2 = a_{max} \cdot r_{DS}$$

Minimale Ausgangsspannung:

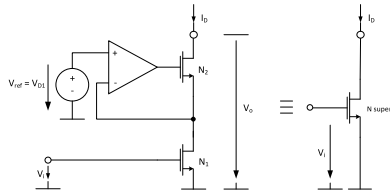
$$V_{O,min} = V_{G2} - V_{GS2} + V_{DS2,sat} = V_{DS1,sat} + V_{DS2,sat}$$

Strom:

$$I_D = \frac{\mu C_{OX}}{2} \left(\frac{W}{L} \right)_{N1} (V_{GS,N1} - V_T)^2 \cdot (1 + \lambda V_{DS,N1})$$

5.2.2 Geregelte Kaskode

Um die Kaskodenschaltung weiter zu **verbessern**, kann die V_{GS} Spannung des oberen Transistors auf die Referenzspannung geregelt werden. Durch das Stabilisieren der Spannung wird der Arbeitspunkt des Transistors stabilisiert (indem I_D konstant ist) und der **Ausgangswiderstand noch grösser**.



Transkonduktanz:

$$g_{m,super} = g_{m1}$$

Minimale Ausgangsspannung:

$$V_{O,min} = V_{ref} + V_{DS2,sat}$$

Strom:

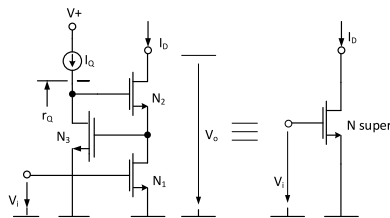
→ Siehe Grundsaltung (5.2.1)

Ausgangswiderstand:

$$r_{out} \approx r_{DS1} \cdot g_{m2} \cdot r_{DS2} \cdot (a + 1) = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \cdot (a + 1)$$

5.2.3 Säckinger Kaskode

Die Säckinger Kaskode ersetzt den komplexen OpAmp mit einem einzelnen Transistor in **Source-Schaltung**.



Ausgangswiderstand:

$$r_{out} \approx r_{DS1} \cdot g_{m2} r_{DS2} \cdot g_{m3} r_{DS3} = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \cdot \frac{g_{m3}}{g_{o3}}$$

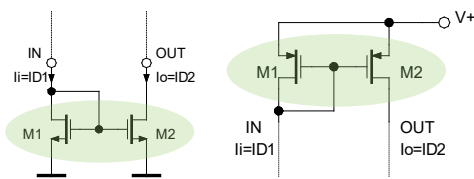
6 MOS Stromspiegel

Stromspiegel werden in **jeder** analogen integrierten Schaltung eingesetzt. Die möglichen Anwendungen sind:

- um Arbeitspunkte einzustellen
- als Eingangsstufen von OpAmps
- als grosse Lastwiderstände in Verstärkerschaltungen

6.1 Widlar Stromspiegel (Einfache Stromspiegel)

- Drei Anschlüsse: SUPPLY, IN, OUT
- Eingangstransistor als **Diode** beschaltet
- Ausgangstransistor muss **in Sättigung** bleiben
- $V_{GS,1} = V_{GS,2}$



Wichtige Parameter:

- Ausgangsstrom I_{out} berechnet sich aus Stromspiegelverhältnis k
- Eingangsimpedanz (real): $r_i = 0 \Omega$
- Ausgangsimpedanz (real): $r_o = \infty \Omega$

6.1.1 Arbeitspunkt festlegen

Eingangsseite:

Referenzstrom aus Stromquelle oder Einstellung über Widerstand R

$$I_{in} = I_{ref} \quad \text{oder} \quad I_{in} = \frac{V_{DD} - V_{in}}{R}$$

wobei sich die Eingangsspannung $V_{in} = V_{GS,1}$ aus dem Eingangsstrom berechnet als

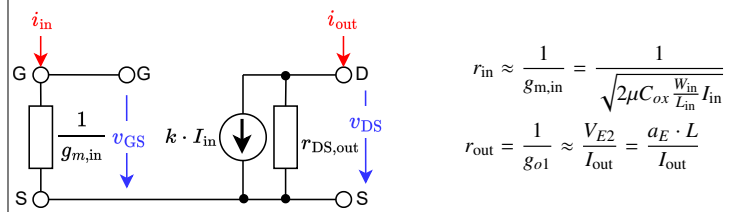
$$V_{in} = V_{GS,1} = V_{T,N1} + \sqrt{\frac{2I_{in}}{\mu C_{ox} \frac{W_{in}}{L_{in}}}}$$

Ausgangsseite:

Für Eingangs- und Ausgangstransistor soll unbedingt **das gleiche L** verwendet werden. Bei verschiedenen L muss die **Kanallängenmodulation** berücksichtigt werden!

$$k = \frac{I_{out}}{I_{in}} = \frac{W_{out}/L_{out}}{W_{in}/L_{in}} \cdot \frac{1 + \lambda_{out} \cdot V_{DS,out}}{1 + \lambda_{in} \cdot V_{DS,in}} \quad V_{out} \geq V_{DS,sat} N_2 = \sqrt{\frac{2I_{out}}{\mu C_{ox} \frac{W_{out}}{L_{out}}}}$$

6.1.2 Kleinsignalersatzschaltung / Kleinsignalparameter



$$r_{in} \approx \frac{1}{g_{m,in}} = \frac{1}{\sqrt{2\mu C_{ox} \frac{W_{in}}{L_{in}} I_{in}}}$$

$$r_{out} = \frac{1}{g_{o1}} \approx \frac{V_{E2}}{I_{out}} = \frac{a_E \cdot L}{I_{out}}$$

6.1.3 Optimierungen für kleinstmögliche Toleranzen

- $V_{T1} = V_{T2}$ → Beide Transistoren brauchen dieselbe konstante Temperatur
- $\mu C_{ox1} = \mu C_{ox2}$ → Matching durch gute Platzierung (Common Centroid Layout)
- $\lambda_1 = \lambda_2$ → Identische Länge L (und möglichst gross)

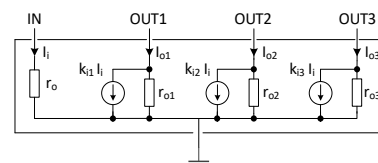
Grundsätzlich können Stromspiegel auch in Weak- und Moderate-Inversion betrieben werden. Dabei leidet jedoch die Genauigkeit.

6.2 Anwendungen von Stromspiegeln

- Senken-Quellen-Inversion
- Verbesserung Power Supply Rejection; DC-Level Shifting
→ Umlenkung von R_L nach GND statt Laststrom von V_{DD} zu Last
- Stromquellenlast bei Differenzstufe (siehe Abschnitt XXX)
- Erzielen eines hohen Lastwiderstands

6.3 Mehrfachstromspiegel

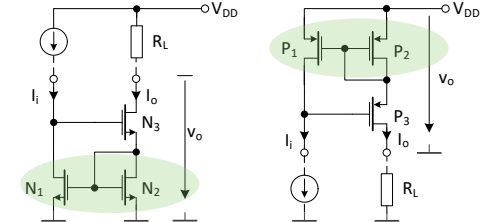
Mit einem Referenzstrom werden mehrere Ausgangsströme generiert. Die Grösse der vom Stromspiegel erzeugten Ströme kann durch die Länge und Breite der Transistoren eingestellt werden.



6.4 Wilson-Stromspiegel (3-Transistor-Schaltung)

Im Vergleich zum Widlar-Stromspiegel besitzt der Wilson-Stromspiegel eine **grössere Ausgangsimpedanz**. N_3 bildet dabei eine Rückkopplung zur Regelung von I_o auf I_i .

- Eingangstransistor als Stromquelle beschaltet
- Ausgangstransistor als **Diode** beschaltet
- **T3 muss in Sättigung** bleiben
- Bei gleicher Geometrie: $V_{GS,2} = V_{GS,3}$



6.4.1 Kenngrössen

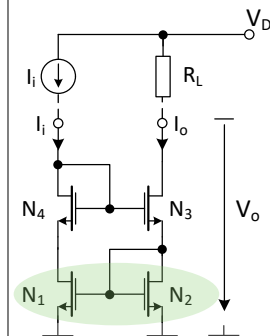
$$V_0 \geq V_{GS,2} + V_{DS,sat3} = 2V_{GS} - V_T = V_T + 2 \sqrt{\frac{2I_o}{\mu C_{ox} \frac{W_{out}}{L_{out}}}}$$

$$V_I = 2V_{GS} = 2V_T + 2 \sqrt{\frac{2I_i}{\mu C_{ox} \frac{W_{in}}{L_{in}}}}$$

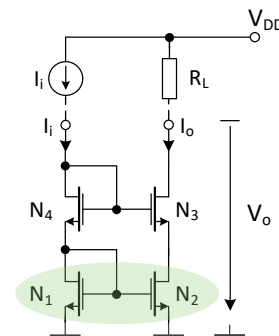
$$r_{out} \approx \frac{1}{g_{o3}} \left(1 + \frac{g_{m3}}{g_{o2}} + \frac{1}{g_{o1}} \cdot \frac{g_{m3} g_{m1}}{g_{m2}} \right) \stackrel{N1=N2}{=} \frac{1}{g_o} \left(2 + \frac{g_m}{g_o} \right) = r_{DS} \cdot (2 + g_m \cdot r_{DS})$$

6.5 Verbesserter Wilson-Stromspiegel / Kaskoden-Stromspiegel

Verbesserter Wilson



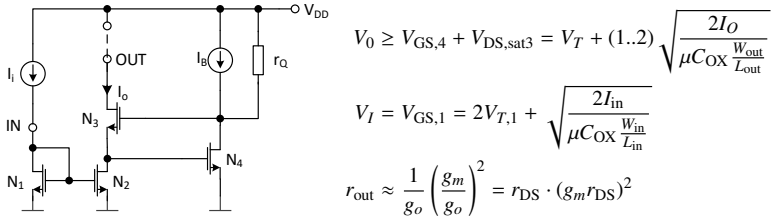
Kaskode



6.5.1 Kenngrössen

Die Kenngrössen für beide Stromspiegel berechnen sich gleich wie diejenigen des Wilson-Stromspiegels. → Siehe Abschnitt 6.4.1

Durch M4 und M5 wird die Spannung am Gate von M2 konstant gehalten. So wird die Ausgangsimpedanz bedeutend erhöht.



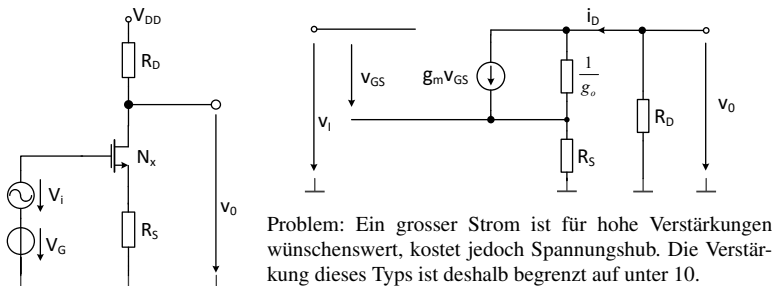
Typ	Genauigkeit	r_{out}	V_I	$V_{O,min}$
Widlar	+	$\frac{1}{g_o}$	$\approx V_T + \sqrt{\frac{2I_I}{\mu C_{ox} \frac{W_I}{L_I}}}$	$\approx \sqrt{\frac{2I_O}{\mu C_{ox} \frac{W_O}{L_O}}}$
Wilson	+	$\approx \frac{1}{g_o} \left(2 + \frac{g_m}{g_o} \right)$	$\approx 2V_T + 2 \sqrt{\frac{2I_I}{\mu C_{ox} \frac{W_I}{L_I}}}$	$\approx V_T + 2 \sqrt{\frac{2I_O}{\mu C_{ox} \frac{W_O}{L_O}}}$
Verb. Wilson	++	$\approx \frac{1}{g_o} \left(2 + \frac{g_m}{g_o} \right)$	$\approx 2V_T + 2 \sqrt{\frac{2I_I}{\mu C_{ox} \frac{W_I}{L_I}}}$	$\approx V_T + 2 \sqrt{\frac{2I_O}{\mu C_{ox} \frac{W_O}{L_O}}}$
Kaskode	++	$\approx \frac{1}{g_o} \left(2 + \frac{g_m}{g_o} \right)$	$\approx 2V_T + 2 \sqrt{\frac{2I_I}{\mu C_{ox} \frac{W_I}{L_I}}}$	$\approx V_T + 2 \sqrt{\frac{2I_O}{\mu C_{ox} \frac{W_O}{L_O}}}$
Ger. Kaskode	++	$\approx \frac{1}{g_o} \left(\frac{g_m}{g_o} \right)^2$	$\approx V_T + \sqrt{\frac{2I_I}{\mu C_{ox} \frac{W_I}{L_I}}}$	$\approx V_T + (1..2) \sqrt{\frac{2I_O}{\mu C_{ox} \frac{W_O}{L_O}}}$

Einstufige MOS-Verstärker sind im Prinzip **Source-Schaltungen** (siehe Abschnitt 3.3). Diese können mit diversen Lasten betrieben werden. Sie bewirken eine Spannungsverstärkung durch Wandeln der Eingangsspannung in einen Strom durch g_m . Dieser Strom wird anschliessend durch r_{out} in eine Spannung umgewandelt.

Die Analyse aller gezeigten Schaltungen erfolgt immer nach dem gleichen Schema:

1. Arbeitspunkt mittels Grosssignalanalyse bestimmen (2.10)
2. Kleinsignalanalyse mittels Kleinsignalersatzschaltung (2.11.1)
3. Verstärkung a berechnen \rightarrow beim einstufigen Verstärker: $a \approx -g_m \cdot r_{out}$

Der Transistor muss im **Stromquellen-Betrieb** bzw. in **Sättigung** sein!



Verstärkung:

$$a = \frac{v_{\text{out}}}{v_{\text{in}}} = - \frac{R_D}{R_S + \frac{1}{g_m} + \frac{g_o}{g_m}(R_D + R_S)}$$

$$R_S = 0 \quad a \approx -g_m \cdot r_{\text{out}} = \underbrace{-g_m(r_{\text{DS}} \parallel R_D)}_{\text{Mikroelektronik}}$$

Differenzieller Ausgangswiderstand:

$$r_{\text{out}} = r_{\text{DS}} \left(1 + g_m R_S + \frac{R_S}{r_{\text{DS}}} \right) = \frac{1}{g_o} (1 + g_m R_S) + R_S$$

The diagram shows two circuit configurations for a PMOS transistor (N₂) connected to V_{DD} and an NMOS transistor (N₁) connected to ground. The input voltage is V_i and the output voltage is V₀.

Left Circuit (Diode-connected): The gate of the PMOS transistor N₂ is connected to its drain, which is also the output node V₀. The source of N₂ is connected to V_{DD}. The gate of the NMOS transistor N₁ is connected to the output node V₀, and its source is connected to ground.

Right Circuit (Small-signal model): This circuit represents the small-signal equivalent of the diode-connected PMOS transistor. The PMOS transistor N₂ is replaced by its small-signal model, which consists of a dependent current source g_{m2} in parallel with an output resistance r_{MD,N2}. The gate of N₂ is connected to its drain (output node V₀), and its source is connected to V_{DD}. The NMOS transistor N₁ remains the same, with its gate connected to V₀ and its source to ground.

→ Ausgangsspannungsbereich ist weniger beeinträchtigt!
Diese Schaltung ist jedoch nur für kleine Signalpegel und kleine Verstärkungen geeignet.

The diagram shows a differential amplifier circuit. The input stage consists of two NMOS transistors, N₁ and N₂, whose sources are connected to ground. Their gates are tied together and receive the input signal v_i. The drain of N₁ is connected to V_{DD} through a resistor r_Q and a current source I_Q pointing downwards. The output of this branch is v_o. The drain of N₂ is connected to V_{DD} through a PMOS transistor P₂. The gate of P₂ is connected to its drain (diode-connected). A second PMOS transistor P₁ has its gate connected to the gate of P₂ and its source connected to the node between N₂ and P₂. The drain of P₁ is connected to V_{DD}. The source of P₁ is also connected to the source of N₁ through a current source I_Q pointing upwards. The output of this branch is v_o.

Durch den kleinen Kleinsignalwiderstand von P1 hat die erste Verstärkerstufe eine kleine Verstärkung. Dadurch fällt der Miller-Effekt weniger ins Gewicht.

Vorteile / Nachteile:

- + Verbessertes Frequenzverhalten
- + Verbessertes PSR
- + Durch $1:A_i$ einstellbare, hohe Verstärkungen
- Zusätzlicher Biasstrom durch Ausgangszweig
- Höhere Komplexität

Durch Einsatz einer Kaskode wird eine sehr grosse Last zur Verfügung gestellt. N1 bezweckt keine Spannungs-, sondern eine reine Stromverstärkung, was den Miller-Effekt praktisch völlig vermeidet. So hat auch dieser Verstärker ein gutes Frequenzverhalten.

Vorteile / Nachteile:

- + Sehr hoher Ausgangswiderstand r_{o2}
- + Hohe Bandbreite wegen kleinem Miller-C
- Reduzierter Aussteuerbereich (wegen G_{GS2})

Durch Wählen von sehr grossen W/L für die Transistoren N1 und N4 wird die minimale Ausgangsspannung $V_{O,min}$ der Kaskode auf fast $V_{DS,sat}$ reduziert.

Ausserdem kann der Arbeitspunkt mit wenig Aufwand eingestellt werden

Verstärkung:

$$a = -g_{m1} \cdot R_D$$

Vorteile / Nachteile:

- + Hoher Aussteuerbereich
- + Sehr gute PSR
- Zwei Strompfade (mehr Hardware)

Verstärkung:

$$a = -\frac{g_{m_N1} + g_{m_P1}}{g_{o_N1} + g_{o_P1}} = -(g_{m_N1} + g_{m_P1}) \cdot (r_{DS_N1} \parallel r_{DS_P1})$$

Vorteile / Nachteile:

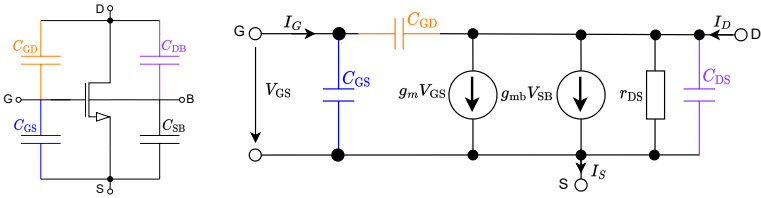
- + Grosse Ausgangsströme und Ströme aus Last heraus möglich
- + Sehr grosse Spannungsverstärkung
- Frequenzgang durch Miller-C stark eingeschränkt

Da jede leitende Fläche eine Kapazität gegenüber der umliegenden Flächen besitzt, müssen zur Einschätzung des Frequenzgangs diverse Kapazitäten berücksichtigt werden.

8.1 Parasitäre Kapazitäten in MOS-Transistoren

An einem FET können grundsätzlich an jedem Knoten parasitäre Kapazitäten auftreten. Für die meisten Betrachtungen sind jedoch nicht alle davon relevant.

Achtung: Die gezeigte Kleinsignalersatzschaltung des Transistors gilt für $V_{SB} = 0\text{ V}$



8.1.1 Parasitäre Kapazitäten in der Praxis

In der Praxis gilt typischerweise:

- Die domnierende Kapazität ist C_{GS}
- Falls kein Body-Effekt auftritt gilt bzw. $V_{SB} = 0\text{ V}$ ist:
 - C_{SB} ist kurzgeschlossen und somit wirkungslos
 - $C_{DB} = C_{DS}$ (wie in gezeigter Kleinsignalersatzschaltung)
- C_{GD} ist vom **Miller-Effekt** betroffen, falls der Transistor eine Spannungsverstärkung hat

Typische Werte für parasitäre Kapazitäten ($W = L = 5\text{ }\mu\text{m}$):

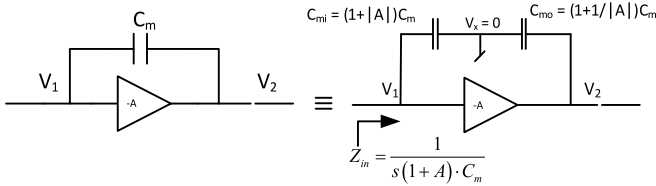
Arbeitsbereich	C_{GS}	C_{GD}	C_{SB}	C_{DB}
Gesättigt	$C_{GS0t} + 2/3C_{oxl}$	C_{GD0t}	$C_{jSBt} + 2/3C_{BCt}$	C_{jDBt}
Typ. Wert	103 fF	0.0555 fF	14.9 fF	1.7 fF
Ungesättigt	$C_{GS0t} + 1/2C_{oxl}$	$C_{GD0t} + 1/2C_{oxl}$	$C_{jSBt} + 1/2C_{BCt}$	$C_{jDBt} + 1/2C_{BCt}$
Typ. Wert	77.555 fF	77.555 fF	11.6 fF	11.6 fF

Hinweis: Die Kapazitäten in den Formeln sind Technologie-Parameter.

C_{oxl}	Nutzkapazität
C_{GDt} / C_{GSt}	Parasitäre Kapazitäten verursacht durch Overlap
C_{jSBt} / C_{jDSl}	Parasitäre Kapazitäten wegen Raumladungszone

8.2 Miller-Approximation / Miller-Effekt

Die (parasitäre) Kapazität zwischen Eingang und Ausgang (typischerweise $C_{GS} = C_m$) der Schaltung wird durch die Verstärkung des Transistors stark vergrößert. Die Miller-Approximation bekommt diese 'Problematik' für Abschätzungen von Hand in den Griff.



Das Miller Theorem postuliert, dass die linke Schaltung durch Wählen von Y_1 und Y_2 als

$Y_1(s) = Y(s)(1 + A)$ und $Y_2(s) = Y(s)\left(1 + \frac{1}{A}\right)$

äquivalent gemacht werden können. Es kann durch einfaches Einsetzen bewiesen werden.

8.2.1 Einfluss der Miller-Kapazität

Die Miller-Kapazität C_m erscheint

- multipliziert mit $1 + |A|$ am Eingang als C_{mi} und
 - multipliziert mit $1 + \left|\frac{1}{A}\right|$ am Ausgang als C_{mo} .
- $|A|$ entspricht dem DC-Gain des Transistors

8.2.2 Nachteile der Miller-Approximation

- Durch Verschieben des Miller-C aus dem Vorwärtspfad stimmt die UTF nach Ersetzen des C_m nicht mehr.
- Das Miller-Theorem geht von konstantem Frequenzgang der Verstärkung aus. Es stimmt folglich nur für die tieferen Frequenzen.

8.2.3 Brauchbarkeit der Miller-Approximation

Mit der Miller-Approximation kann die Übertragungsfunktion (aus der Kleinsignalersatzschaltung) berechnet werden. Man erhält eine genaue Formel, aus welcher die Polfrequenzen ermittelt werden könne. In diese genauen Formeln werden dann **approximative / ungenaue Werte** eingesetzt.

→ Miller-Approximation in Praxis nicht brauchbar! → Simulation!

8.3 Frequenzverhalten durch Zero Value Time Constant Analysis

Die Zero Value Time Constant Analysis ist eine Methode, um die **Bandbreite** einer Schaltung abzuschätzen und zu bestimmen, welche Knoten für das Frequenzverhalten am wichtigsten sind → **dominante Pole**

8.3.1 Vorgehen – Zero Value Time Constant Analysis

- Kleinsignalersatzschaltung erstellen
- Für alle C_k die zugehörige **Zeitkonstanten** bestimmen:
 - Alle übrigen $C_{i \neq k} = 0$ setzen
 - Betrachtetes C_k durch eine Spannungsquelle ersetzen und den von C_k her gesehenen Kleinsignalwiderstand bestimmen
 - Zeitkonstante τ_k und Polfrequenz f_{pk} für betrachtetes C_k berechnen
- Approximierten Frequenzgang aus DC-Verstärkung und gefundenen Polstellen (bei f_{pk}) zusammensetzen und bei Bedarf in Bode-Diagramm einzeichnen

$\tau_k = R_k C_k$ $f_{pk} = \frac{1}{2\pi\tau_k}$

→ Der dominante Pol ist derjenige mit dem grössten τ_k

8.3.2 Interpretation der Polstellen

Bandbreite (GBP):

Wird durch den **ersten Pol** bestimmt

$GPB \approx f_{p1} \cdot A_{DC}$

Stabilität:

Wird durch den **zweiten Pol** bestimmt

$f_{180^\circ} \approx f_{p2}$

8.3.3 Typische Werte für parasitäre Komponenten

- Typische Werte für parasitäre Kapazitäten: siehe Abschnitt 8.1.1
- Typische Werte für Kleinsignalwiderstände (Innenwiderstände) an Transistor-Knoten gemäss folgender Tabelle

	Innenwiderstand	hoch / tief	typisch
Gate	r_{iG}	unendlich	GΩ
Drain	$r_{DS} = \frac{1}{g_o}$	hoch	MΩ
Source	$\frac{1}{g_m}$	tief	kΩ

- Vorsicht bei C_{GD} : Sollte der Transistor eine Spannungsverstärkung haben, so muss der Miller-Effekt berücksichtigt werden.
- Weiter ist C_{GD} bei hohen Frequenzen oft als erstes kurzgeschlossen, für den zweiten Pol muss dieser als kurzgeschlossen betrachtet werden.

9 MOS Operationsverstärker

'Operationsverstärker' ist ein **Sammelbegriff** für Differenzverstärker mit sehr grosser Verstärkung.

Der **ideale** Operationsverstärker erfüllt zwei Bedingungen:

- Es fliesst kein Strom in die Eingänge
- Die Spannungsdifferenz zwischen den Eingängen ist null

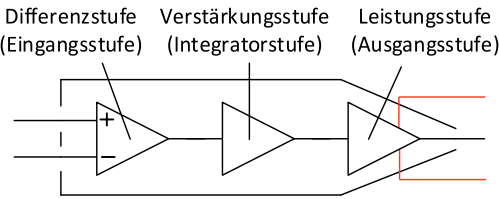
Man unterscheidet dabei zwischen **zwei Arten** von Operationsverstärkern:

OTA: Der Transimpedanz-Operationsverstärker hat eine Spannung am Eingang und liefert am Ausgang einen Strom

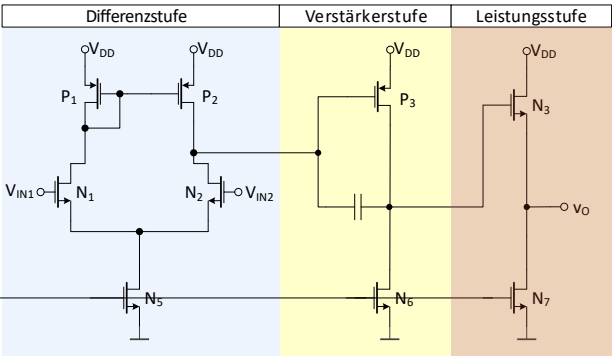
OpAmp: Der OpAmp verstärkt die Eingangsspannung zu einer Ausgangsspannung

OTA		OpAmp	
$Z_{in} \rightarrow \infty$	$Z_{out} \rightarrow \infty$	$Z_{in} \rightarrow \infty$	$Z_{out} \rightarrow 0$

9.1 Struktur



- Differenzstufe**
 - Bildet die Differenz zwischen V_+ und V_- und verstärkt diese
- Verstärkerstufe**
 - Erhöht die Verstärkung und bestimmt meist die Bandbreite
- Leistungsstufe**
 - Wandelt die hohe Impedanz in eine kleine Ausgangsimpedanz → **fehlt beim OTA**



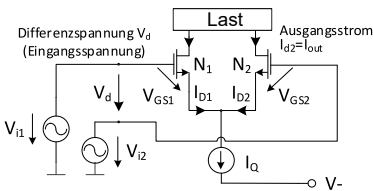
→ Jede Stufe hat ihre eigene Verstärkung a_i

→ Die Gesamtverstärkung entspricht deren Produkt

$a_{OpAmp} = a_{Diff} \cdot a_{Gain} \cdot a_{Leist}$

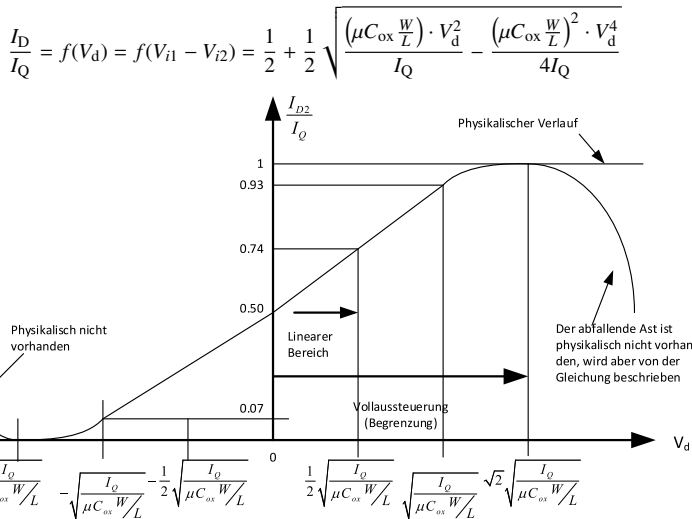
9.2 Differenzstufe – Grosssignalanalyse

9.2.1 Strong Inversion



Sättigung: $I_D = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_T)^2$

Konten: $I_Q = I_{D1} + I_{D2}$



9.2.2 Weak Inversion

Weak Inversion, Sättigung: $I_D = \frac{W}{L} I_M e^{\frac{V_{GS} - V_M}{n_M V_{temp}}}$

$$\frac{I_D}{I_Q} = f(V_d) = f(V_{i1} - V_{i2}) = \frac{1}{2} \left(1 + \tanh \left(\frac{V_d}{2n_M V_{temp}} \right) \right) \quad V_d \text{ klein} \quad \frac{1}{2} \left(1 + \frac{V_d}{2n_M V_{temp}} \right)$$

9.2.3 Conclusion Grosssignalanalyse

Die **Verstärkung** ist im grossen und ganzen **unabhängig** von der Eingangsspannung und so **vom Arbeitspunkt**, der durch die Eingangsspannungen gegeben ist.

Der Ausgangsstrom hängt nur von der **Differenz der Eingangsspannungen** ab, was zu Linearität in einem grossen Bereich führt.

9.3 Differenzstufe – Kleinsignalanalyse

9.3.1 Transkonduktanz g_{md}

Widerstands- / Stromquellenlast:

$$g_{md} = \frac{i_{out}}{v_d} = -\frac{g_m}{2}$$

Stromspiegellast:

$$g_{md} = \frac{i_{out}}{v_d} = -g_m$$

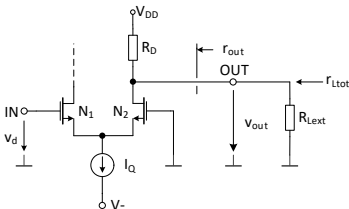
9.3.2 Verstärkung

Generell berechnet sich die Verstärkung der Differenzstufe a_{Diff} als

$$a_{Diff} = \frac{v_{out}}{v_{in}} = g_{md} \cdot r_{Last_tot}$$

- Abhängig von der Last muss g_{md} entsprechend eingesetzt werden
- r_{Last_tot} entspricht der gesamten Last am Ausgangsknoten

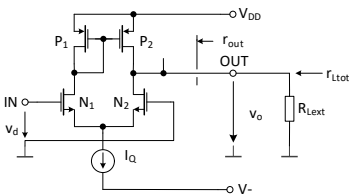
Widerstandslast:



$$r_{Last_tot} = (R_D \parallel r_{DS} \parallel R_{Lext}) \approx (R_D \parallel R_{Lext})$$

$$a_{Diff} \approx -\frac{g_m(R_D \parallel R_{Lext})}{2}$$

Stromspiegellast:



$$r_{Last_tot} = (r_{DS_N2} \parallel r_{DS_P2} \parallel R_{Lext})$$

$$a_{Diff} \approx -g_m \left(\frac{1}{g_{o,N2}} \parallel \frac{1}{g_{o,N2}} \parallel R_{Lext} \right)$$

Stromquellenlast:

$$r_{Last_tot} = (r_{QL} \parallel r_{DS2} \parallel R_{Lext})$$

$$a_{Diff} \approx -\frac{g_m(R_{Lext} \parallel r_{DS2} \parallel r_{QL})}{2}$$

9.3.3 Grenzwertbetrachtungen der Spannungsverstärkung

Für folgende Grenzwertbetrachtungen der Spannungsverstärkung gilt: $R_{Lext} = \infty$

Betriebsbereich	Grenzwert der Spannungsverstärkung	Grössere Verstärkung bei
Strong Inversion	$ a_{max} \approx 2V_c \sqrt{\frac{\mu C_{ox} \frac{W}{L}}{I_Q}} \approx 2a_E \sqrt{\frac{\mu C_{ox} LW}{I_Q}}$	Ruhestrom ↓, Fläche ↑, (Early-Spannung ↑)
Weak Inversion	$ a_{max} \approx \frac{V_E}{n_M V_{temp}} \approx \frac{a_E L}{n_M V_{temp}}$	(Early-Spannung ↑)

Diese Formeln sollten **nicht zur Verstärkungsrechnung verwendet werden** – sie dienen lediglich zur Veranschaulichung der Bezüge verschiedener Parameter.

9.4 Verstärkerstufe

Für die Verstärkerstufe wird in der Regel eine Source-Schaltung mit Stromquellenlast eingesetzt. Diese hat eine Verstärkung von

$$a_{Gain} = -g_m(r_{DS1} \parallel r_Q)$$

9.5 Leistungsstufe

Als Leistungsstufe wird für Closed-Loop Anwendungen meist eine Drain-Stufe mit Stromquellenlast verwendet. Diese hat eine Verstärkung von

$$a_{Leist} \approx 1$$

Die Verstärkung der Leistungsstufe ist dabei ≤ 1 um Instabilität zu vermeiden.

In Open-Loop Anwendungen darf die Leistungsstufe auch Verstärkungen > 1 aufweisen.

9.6 Kenngrössen

9.6.1 Gain-Bandwidth-Product GBW

$$GBW = |a| \cdot f_d \quad (= GBP)$$

$$BW = \frac{GBW}{a} \quad \Leftrightarrow \quad a = \frac{GBW}{BW}$$

f_d : Frequenz des dominanten (ersten) Pols | a : Verstärkung | BW: Bandbreite

Beispiel Differenzstufe:

$$a = -g_m R_{out} \quad \text{und} \quad f_d = \frac{1}{2\pi R_{out} C_L}$$

↓

$$GBW = |a| \cdot f_d = |-g_m R_{out}| \cdot \frac{1}{2\pi R_{out} C_L} = \frac{g_m}{2\pi C_L}$$

9.6.2 Slew-Rate

Die Slew-Rate beschreibt die maximale Ausgangsspannungsänderung pro Zeiteinheit:

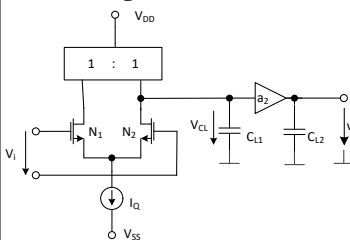
$$SR = SR_r = |SR_f| = \left. \frac{dv_o}{dt} \right|_{\max} = \frac{I_Q}{C_L}$$

Aussteuerung als Funktion der Eingangsfrequenz:

Die Aussteuerung ΔV des Ausgangs bei einem Rechteck am Eingang berechnet sich als

$$\Delta V = f(SR, f) = SR \cdot \Delta t = \frac{SR}{2f} = \frac{I_Q}{C_L \cdot 2f}$$

Bestimmung der Slew Rate bei mehrstufigen Verstärkern:



Eine Stufe limitiert die Slew Rate der gesamten Schaltung. Um die limitierende (dominante) Stufe zu bestimmen, wird folgendermassen vorgegangen:

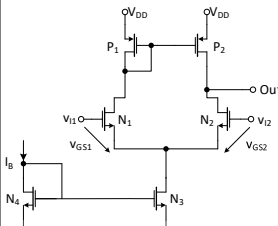
- SR jeder Stufe einzeln bestimmen.
- Berechneten Wert auf den Ausgang normieren $\rightarrow SR_{out} = SR_i \cdot a$
- Kleinste normierte SR wählen \rightarrow entspricht limitierender Stufe

Designregeln:

- Hohe Slew Rate: $I_Q \uparrow$, $C_L \downarrow$, Stromverbrauch \uparrow
- Frequenzkompensation (C_C) reduziert die Slew-Rate

9.6.3 Eingangsspannungsbereich

Gleichtakt / Common-Mode:



$$V_{inCM} = \frac{V_{in1} + V_{in2}}{2}$$

$$V_{inCM,min} = V_{SS} + V_{DS,satN3} + V_{GS,N1/N2}$$

$$V_{inCM,max} = V_{DD} - V_{GS,P1} - V_{DS,satN1} + V_{GS,N1} = V_{DD} - V_{GS,P1} + V_{th,N}$$

Bei Unterschreitung von $V_{inCM,min}$ fällt der Transistor N_3 durch Reduktion des Stroms aus dem Stromquellenbereich in den Widerstandsbereich. Dies reduziert das g_m .

Bei Überschreitung von $V_{inCM,max}$ fallen die Transistoren P_1 und P_2 aus der Sättigung, was den Stromspiegel unwirksam macht. Auch dies reduziert das g_m .

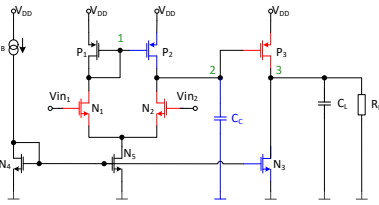
Gegentakt / Differential-Mode:

$$V_{inDM} = V_{in1} - V_{in2}$$

Der Gegentakt-Eingangsspannungsbereich kann der Grosssignalanalyse in 9.2 entnommen werden.

11.2 Zweistufige OTA

11.2.1 Zweistufiger OTA

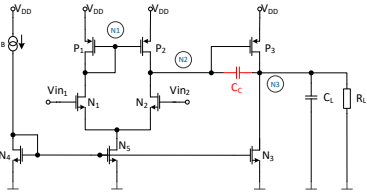


$$a_V = a_{V1} \cdot a_{V2}$$
$$a_{V1} = g_{m,N1,N2}(r_{DS,N2} \parallel r_{DS,P2})$$
$$a_{V2} = g_{m,P3}(r_{DS,N3} \parallel r_{DS,P3} \parallel R_L)$$
$$f_{p,N1} = \frac{1}{2\pi r_{N1} C_{N2}} \quad f_{p,N3} = \frac{1}{2\pi r_L C_L}$$

- $C_2 \gg C_L$ nötig für Stabilität → suboptimal
- Durch C_C tiefere Bandbreite

11.2.2 Miller-OTA

Durch 'Verlagerung' der Kapazität C_C wirkt diese als Miller-Kapazität. Somit werden die **Pole auseinandergeschoben** ohne viel Chipfläche für eine grosse Kapazität zu benötigen. Die **Bandbreite** des Miller-OTA ist folglich **grösser**.



- **N2** ist dominierenden Knoten → f_{pN2}
- Bei hohe Frequenzen wirkt C_C als Kurzschluss zw. Gate und Drain von P_3 → Diodenschaltung → f_{pN3}
- C_C erzeugt eine Nullstelle, deren Lage mit einem R_C in Serie 'platziert' werden kann

Dominanter Pol $f_{pN2} = \frac{1}{2\pi R_{N2}(C_{N2} + A_{V2}C_C)} \approx \frac{1}{2\pi R_{N2}A_{V2}C_C}$

3 dB-Bandbreite $BW \approx f_d = f_{N2} = \frac{1}{2\pi R_{N2}A_2C_C}$

Verstärkung a $a = a_1 \cdot a_2 = g_{m_N1,2} R_{N2} \cdot g_{m_P3} R_{N3}$

Gain-Bandwidth-Product $GBW = a \cdot f_d = \frac{g_{m_N1,2} R_{N2} \cdot g_{m_P3} R_{N3}}{2\pi R_{N2}a_2C_C} = \frac{g_{m_N1,2}}{2\pi C_C}$

Nicht-Dominanter Pol $f_{nd} = f_{N3} = \frac{1}{2\pi R_{N3}C_L} \approx \frac{g_{m_P3}}{2\pi C_L}$

Phasenmarge φ_M $\varphi_M = 90^\circ - \arctan\left(\frac{GBW}{f_{nd}}\right)$

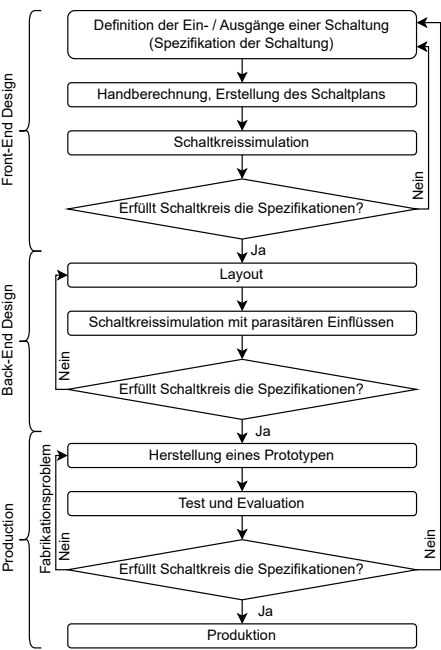
12 OTA Designbeispiel

12.1 Spezifikationen

Für die vorgegebenen Spezifikationen soll eine Schaltung entwickelt werden.

- Open Loop Gain a_{OL}
- Last C_L
- GBW
- Phase Margin Φ_M
- Stabilität Unity gain stable or not
- Slew Rate SR
- Versorgungsspannung V_{CC}
- Output Swing
- Offset Voltage V_{OS}

12.2 Designablauf



Front-End-Design:

Der OTA ist typischerweise ein Sub-Block einer grösseren Schaltung. Es wird ein erster Schaltungsentwurf erstellt. Bei der Simulation können (mangels Layout) noch keine parasitären Effekte berücksichtigt werden.

Back-End Design:

Das Layout des OTAs wird gezeichnet. Extraktion fügt der Netzliste parasitäre Komponenten zu, was eine sehr wirklichkeitsnahe Simulation des Designs erlaubt.

Production:

Ev. wird OTA (allenfalls mit weiteren kritischen Komponenten) auf einem Prototyp integriert und evaluiert. Häufig wird auch die gesamte Schaltung als Prototyp realisiert.

Hinweis: Nur das Front-End Design ist Gegenstand dieser Vorlesung!

12.3 Front End Design

Für das Fornt-End Design wird grundsätzlich immer das gleiche Vorgehen angewendet, unabhängig von der Umsetzung des OTAs.

1. Gegeben (Specs / Schaltungstopologie) und Gesucht (meist I_{bias} , $\frac{W}{L}$ der Transistoren) niederschreiben
2. Grosssignalanalyse: APs von von jedem Knoten (von Ausgang zu Eingang) bestimmen → Jeweils V und I
3. Kleinsignalparameter bestimmen: g_m , r_{DS}
4. Kleinsignalanalyse durchführen: GBW und DC-Verstärkung bestimmen
5. Stabilität uns Aussteuergrenzen kontrollieren
6. Simulation zur Kontrolle

12.3.1 Grosssignalanalyse

- Sicherstellen, dass alle Transistoren **gesättigt** sind → meist nur in **strong inversion**
- Slew Rate bestimmt Biasstrom der Ausgangsstufe: $I_{bias} = SR \cdot C_L$
- Min. $\frac{W}{L}$ der Ausgangsstufe wird durch Aussteuergrenze bestimmt: $V_{DS, sat} = \sqrt{\frac{2I_D}{\mu C_{ox} \frac{W}{L}}}$
- Bei mehrstufigen Verstärkern: Non-Dominanter Pol bei $f_{nd} = 3 \cdot GBW$ wählen → Bestimmt L der 2. Stufe
- Bei mehrstufigen Verstärkern: Biasstrom der ersten Stufe mit $\frac{W}{L}$ bestimmen.

12.3.2 Kleinsignalparameter

In Sättigung (strong inversion) wird der Arbeitspunkt durch den Strom $I_{bias} = I_D$ bestimmt

$$g_m = \sqrt{2I_D \cdot \mu C_{ox} \cdot \frac{W}{L}} \quad r_{DS} = \frac{a_E \cdot L + V_{DS}}{I_D}$$

12.3.3 Kleinsignalanalyse

- GBW und DC-Verstärkung gemäss verwendeter Schaltungstopologie bestimmen

Auswirkungen einzelner Parameter bei zweistufigen OTAs:

Eine Vergrösserung des Parameters links führt zu den rechtsgezeugten Reaktionen.

Vergrösserung von...	A_0	GBW	SR	C_L
Strom in Eingangsstufe I_B	$\downarrow^{\frac{1}{2}}$	$\uparrow^{\frac{1}{2}}$	\uparrow	
Strom in Ausgangsstufe	$\downarrow^{\frac{1}{2}}$			
$\frac{W}{L}$ der Eingangstransistoren (N_1, N_2)	$\uparrow^{\frac{1}{2}}$	$\uparrow^{\frac{1}{2}}$		
$\frac{W}{L}$ des Ausgangstransistors (P_3)	$\uparrow^{\frac{1}{2}}$			
L der nicht-Stromspiegel Transistoren ($N_1, N_2, P_1 - P_3$)	\uparrow			
$\frac{W}{L}$ des Ausgangstransistors (P_3)	$\uparrow^{\frac{1}{2}}$	$\uparrow^{\frac{1}{2}}$		
Kompensationskapazität		\downarrow	\downarrow	\uparrow

13 Grundwissen

13.1 Bodediagramm zeichnen

Element	Frequenzgang	
	Amplitudengang	Phasengang
Polstelle	−20 dB/Dekade, −3 dB bei der Polstelle	−90°, −45° bei der Polstelle
Nullstelle	+20 dB/Dekade, +3 dB bei der Nullstelle	+90°, +45° bei der Nullstelle

Der Anstieg / Abfall der Phase beginnt jeweils eine Dekade vor der Pol- bzw Nullstelle.

13.2 Dezibel

Werte in Dezibel sind immer **Leistungsverhältnisse**. Wird mit Spannungen gerechnet, so muss die Spannung quadriert oder der Wert in Dezibel verdoppelt werden.

$$g_{\text{dB}} = 10 \cdot \log_{10} \left(\frac{P_{\text{out}}}{P_{\text{in}}} \right) = 20 \cdot \log_{10} \left(\frac{U_{\text{out}}}{U_{\text{in}}} \right)$$