



V1.0.20250405

# Analog Microelectronics

HS 2024 – Prof. Dr. Paul Zbinden

Autoren: Flurin Brechbühler, Laurin Heitzer, Simone Stitz

<https://github.com/flurin-b/AnME>

## Inhaltsverzeichnis

### I AnME

#### 1 CMOS Technologie

1.1	Prozessüberblick – Herstellung integrierter Schaltungen	1
1.2	Arten von Toleranzen	1
1.3	CMOS Bauelemente	1

#### 2 MOS Transistoren

2.1	Dotierung	2
2.2	MOS-Kapazität	2
2.3	MOS-Transistoren	2
2.4	Ausgangskennlinie – Arbeitsbereiche	2
2.5	Transferkennlinie – Ausgangsstrombereiche	2
2.6	Berechnung des Drainstroms	2
2.7	Modellierung eines MOS-FET in einem Arbeitspunkt	3
2.8	Kleinsignalparameter	3
2.9	Zusammenhänge	3
2.10	Bestimmung von Ersatzschaltbildern – Allgemein	3
2.11	Vorgehen: Verstärker dimensionieren	3

#### 3 MOSFET Grundsaltungen

3.1	Einsatzgebiete und Eigenschaften	3
3.2	Dimensionierung einer Grundsaltung – Vorgehen	3
3.3	Source-Schaltung	3
3.4	Gate-Schaltung	4
3.5	Drain-Schaltung (Source-Follower)	4
3.6	Eingangs- und Ausgangswiderstände	4

#### 4 MOS Diode

4.1	Gegenüberstellung Diodentypen	4
4.2	Arbeitsbereich der MOS Diode	4
4.3	Arbeitspunkteinstellung	4
4.4	Kleinsignalsatzschaltung	4
4.5	Anwendungen	5

#### 5 MOS Stromquelle

5.1	Stromquelle – Grundsaltungen	5
5.2	Kaskoden	5

## I AnME

### 1 CMOS Technologie

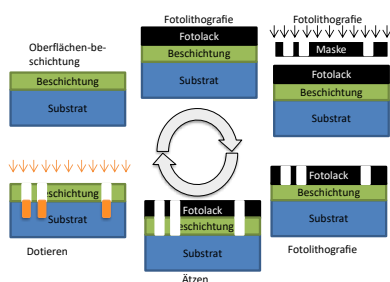
#### 1.1 Prozessüberblick – Herstellung integrierter Schaltungen

Die Herstellung integrierter Schaltungen zeichnet sich durch folgende Besonderheiten aus:

- Komplexe Logistik aufgrund einer Vielzahl an Prozessschritten
- Hochgradige Standardisierung
- Teure Infrastruktur und teure Prozesse

Der Prozess läuft in groben Zügen wie folgt ab:

1. Sand wird geschmolzen und gereinigt. Daraus wird ein Silizium-Einkristall gezogen.
2. Der Einkristall wird in Wafer geschnitten / gesägt.
3. Durch wiederholte Oberflächenbeschichtung, Fotolithografie, Ätzen und Dotierung wird der Wafer strukturiert. Dazwischen muss der Wafer jeweils gesäubert werden.
4. Die einzelnen Chips auf dem Wafer werden vereinzelt.
5. Zur Konfektion werden die Chips in Gehäuse verbaut.
6. Um die ICs in Systemen einzusetzen, werden diese auf Leiterplatten verbaut.



#### Lithographie:

Lichtempfindlicher Lack (Photoresist) wird durch eine Lichtquelle löslich (positiver Photoresist) oder unlöslich (negativer Photoresist) gemacht. Durch Lösen des löslichen Photoresists kann die Oberfläche lokal geschützt werden und so gezielt regionen des Chips geätzt oder beschichtet werden. Zum Ende wird der übrige Lack entfernt und der Vorgang beliebig oft wiederholt.

#### Ätzen:

Durch Ätzen kann gezielt Material von freiliegenden Flächen des Wafers entfernt werden. Dabei werden folgende Verfahren unterschieden:

**Isotrop (Nass oder Plasma):** Gleichförmiges Ätzen in alle Richtungen → Bringt die Gefahr des Unterätzens

**Anisotrop (Reactive Ion Etching, KOH oder Plasma):** Ätzen entlang Kristallrichtungen, z.B. KOH greift die (111)-Ebene kaum an → Ermöglicht steilere Gräben, MEMS

**Selektiv:** Selektives Ätzen bestimmter Materialien, z.B. HF ätzt SiO<sub>2</sub> aber nicht Si → Erlaubt das Ätzen einer Lage ohne Beschädigung unterliegender Strukturen

#### Dotieren:

Beim Dotieren werden gezielt Fremdatome in den Siliziumkristall eingebracht.

**Donatoren**, also Atome mit einem Valenzelektron mehr als der Halbleiter, verursachen einen Elektronenüberschuss, der Kristall wird **n-dotiert**.

**Akzeptoren**, also Atome mit einem Valenzelektron weniger als der Halbleiter, verursachen einen Lochüberschuss, der Kristall wird **p-dotiert**.

#### 1.1.1 Backend Prozesse

##### Wafer Sort:

Die Chips werden auf dem Wafer einzeln getestet (Kontaktierung mit Nadeln). Dies ist oft zeitaufwendig → Durch gutes Design sollte diese Zeit minimiert werden.

Der Yield, (prozentualer Anteil funktionaler Chips) hängt dabei von der Chipgrösse ab. Dies, da jeder Defekt bei grossen Chips eine grosse Fläche beeinträchtigt, da jeweils nur ganze Chips funktionsfähig oder defekt sein können.

Yields von 90 % sind meist notwendig, um Profit zu machen.

#### Assembly and Test:

Die Wafer werden in einzelne Chips getrennt und die funktionierenden Chips in Gehäuse verbaut. Im Gehäuse erfolgt ein Final-Test.

#### 1.2 Arten von Toleranzen

Bei der Herstellung von Wafern werden verschiedene Toleranzen unterschieden:

**Devicetoleranz** Toleranzen betreffend der Strukturen auf gleichem Chip

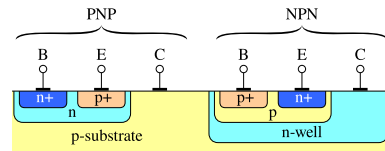
**Prozesstoleranzen** Toleranzen betreffend der Strukturen auf einem Wafer

**Lostoleranz** Toleranzen innerhalb eines Batches bzw. Los (meist 25, selten bis 50 Wafer)

#### 1.3 CMOS Bauelemente

Mögliche Strukturen und Elemente wie auch die Materialeigenschaften werden im **Technologiehandbuch** gegeben.

##### 1.3.1 Bipolartransistoren



##### 1.3.2 Kapazitäten (pro Fläche)

$$C = \epsilon \cdot \frac{A}{d} = \epsilon_0 \cdot \epsilon_r \cdot \frac{W \cdot L}{d} = C'' \cdot A$$

$$C'' = \frac{\epsilon}{d} = \frac{\epsilon_0 \cdot \epsilon_r}{d}$$

$$\epsilon_0 = 8.85 \cdot 10^{-12} \text{ F m}^{-1}$$

$$\epsilon_{r,\text{Si, SiO}_2} \approx 3.9$$

$$\epsilon_{r,\text{Dielektrikum}} \approx 2.9 \text{ (möglichst klein)}$$

$$C'' \text{ Spezifische Kapazität } [C''] = \text{F m}^{-2}$$

$$A \text{ Fläche der Kapazität } [A] = \text{m}^2$$

$$d \text{ Abstand (fix) } [d] = \text{m}$$

#### MIM:

Metal-Interconnect-Metal-Kondensatoren produzieren **sehr kleine Kapazitäten**, da die Interconnect-Layers relativ dick sind ( $d \sim 2.5 \cdot 10^{-7} \text{ m}$ ) und absichtlich aus 'schlechtem' Dielektrikum ( $\epsilon_r \approx 2.9$ ) bestehen. Die Spannungsfestigkeit ist jedoch höher.

#### MOS:

Da Oxidschichten sehr dünn realisiert werden können ( $d \sim 2.33 \cdot 10^{-9} \text{ m}$ ) und ein höheres  $\epsilon_r \approx 3.9$  besitzen, benötigen MOS-Kondensatoren im Vergleich zu MIM-Kondensatoren bedeutend weniger Fläche. Somit können grössere Kapazitäts-Werte realisiert werden. Sie besitzen jedoch eine kleinere Spannungsfestigkeit.

#### 1.3.3 Spulen

Spulen sind nur planar möglich und beanspruchen oft viel Platz.

#### 1.3.4 Widerstände (pro quadr. Flächeneinheit)

$$R = \rho \frac{L}{A} = \rho \frac{L}{t \cdot W} = R_{\square} \frac{L}{W} = R_{\square} \cdot n_{\square}$$

$$R_{\square} = \frac{\rho}{t}$$

##### Typische Werte:

Metall	$R_{\square} \approx 0.02 \dots 0.08 \Omega$
Poly (salicide)	$R_{\square} \approx 10 \Omega$
Poly (non-salicide)	$R_{\square} \approx 100 \Omega$ (n+ Poly)
	$R_{\square} \approx 400 \Omega$ (p+ Poly)
n- / p-Diffusion	$R_{\square} \approx 100/150 \Omega$
n- / p-Well	$R_{\square} \approx 400/1600 \Omega$

1.3.5 Parasitäre Effekte

Jedes Bauteil ist von parasitären Effekten betroffen. Diese sind:

- Streukapazitäten und ungewollte Kapazitäten zu anderen Layern
- Widerstandsbelag des Leitermaterials
- Induktivitätsbelag von 'langen' Leitern
- Toleranzen
- Nichtlinearitäten z.B. die Spannungsabhängigkeit der Kapazitäten von PN-Übergängen

→ Empfehlung: Verhältnisse verwenden, nicht Absolutwerte!

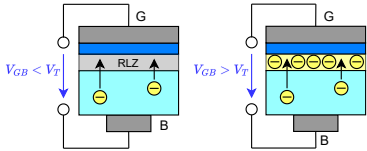
2 MOS Transistoren

2.1 Dotierung

<b>Dotierung:</b>	N-dotiert	P-dotiert
<b>Unreinheit:</b>	Aluminium (HG III)	Phosphor / Arsen (HG V)
<b>Majoritätsträger:</b>	Elektronen	Löcher
<b>Minoritätsträger:</b>	Löcher	Elektronen

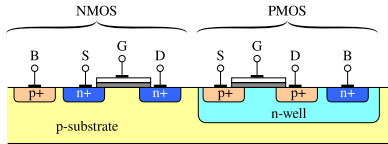
2.2 MOS-Kapazität

Minoritätsträger werden an das Gate gezogen. Die entstandene Raumladungszone weist bei ausreichend hoher Gate-Spannung einen Minoritätsträgerüberschuss auf, ist also in der Funktion **komplementär** zum Substrat dotiert.



2.3 MOS-Transistoren

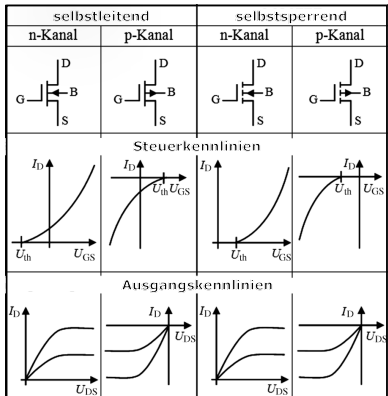
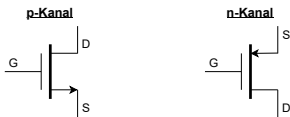
Werden links und rechts vom MOS-Kondensator komplementär zum Substrat dotierte Regionen (Drain und Source) erstellt, so kann ohne Gatespannung aufgrund der PN-Übergänge kein Strom vom Drain zur Source (oder umgekehrt) fließen. Wird nun eine Spannung am Gate angelegt, so entsteht die Minoritätsträger-Leitende Raumladungszone - der Kanal. Dieser verbindet Drain und Source, es kann also ein Strom fließen.



2.3.1 Übersicht und Symbole

Durch Vordotierung des Kanals kann der Transistor ohne Gate-Spannung leitend gemacht werden (Verarmungstyp, selbstleitend). Eine negative Gate-Spannung kann den Kanal dann abschnüren.  
→ hier nicht weiter behandelt

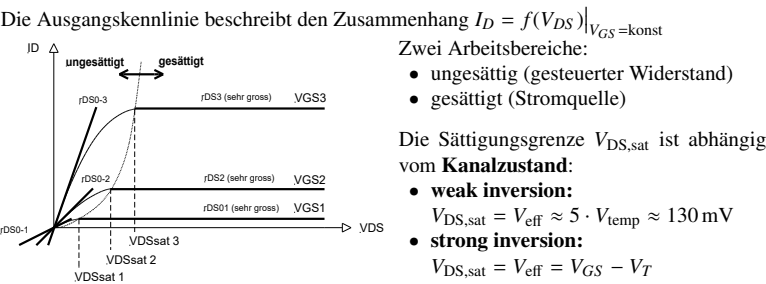
Der Bulk wird nur eingezeichnet, wenn dieser nicht mit V<sub>DD</sub> bzw. V<sub>SS</sub> verbunden ist. Deshalb werden meist die vereinfachten Symbole verwendet:



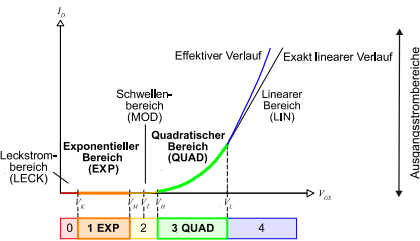
2.3.2 Modelle

In Cadence sind verschiedene Modelle hinterlegt: **Spice Modell 11:** Das Modell 11 beinhaltet ca. 100 Parameter und ist entsprechend genau. **Spice Modell 1:** Vergleichbar mit dem Handrechenmodell, welches zwar weniger genau, dafür aber viel einfacher ist. Dennoch beinhaltet es bereits 40 Parameter.

2.4 Ausgangskennlinie – Arbeitsbereiche



2.5 Transferkennlinie – Ausgangsstrombereiche



Die Transferkennlinie beschreibt den Zusammenhang  $I_D = f(V_{GS})$   
Dabei werden **5 Ausgangsstrombereiche** unterschieden. Diese hängen mit dem **Kanalzustand** zusammen.  
Des Weiteren gibt es die Bereiche:

- Sub Threshold:  $V_{GS} < V_T$
- Above Threshold:  $V_{GS} > V_T$

Ausgangsstrombereiche:

Bereich	Mathem. Charakterisierung	Zugrundeliegender phys. Effekt
LECK	$I_D$ erreicht Minimalwert, der nicht weiter unterschritten werden kann	Drain- und Source-Substratdiode haben Leckströme ins Substrat
EXP	$I_D$ steigt exponentiell mit $V_{GS}$	Kanal zeigt <b>weak inversion</b>
MOD	Keine 'handliche' Formel für $I_D$	Kanal zeigt <b>moderate inversion</b>
QUAD	$I_D$ steigt quadratisch mit $V_{GS}$	Kanal zeigt <b>strong inversion</b>
LIN	$I_D$ steigt annähernd linear mit $V_{GS}$ (halb QUAD, halb LIN)	Geschwindigkeitssättigung der Ladungsträger im Kanal im Kanal (nicht weiter beschleunigbar)

**Hinweis:** Die Inversion des Kanals beschreibt, wie sehr sich die Polarität geändert ('invertiert') hat. Bei einem n-Kanal FET ist der Kanal ursprünglich p-leitend. Wird der Kanal invertiert, so wird er (schwach, moderat oder stark) n-leitend.

2.6 Berechnung des Drainstroms

Die Berechnung des Drainstroms hängt sowohl von Arbeitsbereich (gesättigt / ungesättigt), als auch vom Ausgangsstrombereich (bzw. der Kanalversion) ab!

2.6.1 Strong Inversion

QUAD-Bereich: $ V_H(I_D)  \leq  V_{GS}  <  V_L(I_D) $ bzw. $ I_H'  \leq  I_D'  <  I_L' $		
<b>Ungesättigt:</b> $ V_{DS}  <  V_{GS} - V_T $		<b>Gesättigt:</b> $ V_{DS}  \geq  V_{GS} - V_T $
NMOS:	$I_D = \beta \cdot \left[ (V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 + \lambda \cdot \Delta V_{DS})$	$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot \Delta V_{DS})$
PMOS:	$I_D = -\beta \cdot \left[ (V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 - \lambda \cdot \Delta V_{DS})$	$I_D = -\frac{\beta}{2} (V_{GS} - V_T)^2 \cdot (1 - \lambda \cdot \Delta V_{DS})$

Ohne Berücksichtigung der **Kanallängenmodulation**: **blauen Term** = 1 bzw  $\lambda = 0$  setzen

Transkonduktanz-Parameter  $\beta$ :

$\beta$  ist abhängig davon, ob der Transistor gesättigt ist. In der Praxis wird diese Unterscheidung jedoch **nicht** gemacht. Im **Design** kann  $\beta$  durch das Verhältnis von Kanalbreite  $W$  und -länge  $L$  beeinflusst werden.

$$\beta = \underbrace{\mu C_{OX}}_{\beta_0} \frac{W}{L}$$

Kanallängenmodulation  $\lambda$  und Early-Spannung  $V_E$ :

Die Kanallängenmodulation beschreibt die Nichtidealität der spannungsgesteuerten Stromquelle (im Sättigungsbetrieb).

$$\lambda = \frac{1}{V_E + V_{DS,sat}} \approx \frac{1}{V_E} \approx \frac{1}{a_E \cdot L} \quad \text{Idealfall: } \lambda = 0 \rightarrow L = \infty$$

**Achtung:**  $V_E$  ist typischerweise negativ, wird jedoch **immer positiv angegeben**. Grafisch entspricht  $V_E$  der Spannung  $V_{DS}$ , bei welcher die Verlängerung der Ausgangskennlinie (Sättigung) die  $V_{DS}$ -Achse schneidet.

Body-Effekt:

Der Body-Effekt beschreibt die **Abhängigkeit der Schwellenspannung  $V_T$**  von der Source-Bulk-Spannung  $V_{SB}$  als

$$V_T = V_{T0} \pm \Delta V_T \quad \text{mit} \quad \Delta V_T = \gamma \left( \sqrt{|V_{SB}| + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

→ **Body-Effekt nur wirksam, wenn  $V_{SB} \neq 0$  V**

→ Reminder: Bulk nur gezeichnet, wenn nicht auf  $V_{DD}$  oder  $V_{SS}$

Das Fermi-Potential  $\Phi_F$  ist prozess- wie auch temperaturabhängig. Zudem ist es abhängig von der Dotierungsstärke.

$\Phi_F = \frac{kT}{q} \ln \left( \frac{N_A}{n_i} \right)$	$n_i$	Intrinsische ladungsdichte von Silizium
	$N_A$	Ladungsdichte der Akzeptoren
	$\gamma$	Body-Effekt-Konstante
	$T$	<b>Absolute</b> Temperatur
$\gamma_N^{n-Dotierung} \approx 1.46 \sqrt{V}$	$k$	Boltzmann-Konstante $1.380\,649 \cdot 10^{-23} \text{ J K}^{-1}$
$\gamma_P^{p-Dotierung} \approx 1.08 \sqrt{V}$	$q$	Elementarladung $1.602 \cdot 10^{-19} \text{ C}$

2.6.2 Weak Inversion

EXP-Bereich: $ V_K(I_D)  <  V_{GS}  \leq  V_M(I_D) $ bzw. $ I_K'  <  I_D'  \leq  I_M' $		
<b>Ungesättigt:</b> $ V_{DS}  <  V_{GS} - V_T $		<b>Gesättigt:</b> $ V_{DS}  \geq  V_{GS} - V_T $
NMOS:	$I_D = I_M \cdot e^{\frac{V_{GS}-V_M}{n_M \cdot V_{temp}}} \cdot \left( 1 - e^{-\frac{V_{DS}}{V_{temp}}} \right) \cdot (1 + \lambda \cdot \Delta V_{DS})$	$I_D = I_M \cdot e^{\frac{V_{GS}-V_M}{n_M \cdot V_{temp}}} \cdot (1 + \lambda \cdot \Delta V_{DS})$
PMOS:	$I_D = I_M \cdot e^{-\frac{V_{GS}-V_M}{n_M \cdot V_{temp}}} \cdot \left( 1 - e^{-\frac{V_{DS}}{V_{temp}}} \right) \cdot (1 - \lambda \cdot \Delta V_{DS})$	$I_D = I_M \cdot e^{-\frac{V_{GS}-V_M}{n_M \cdot V_{temp}}} \cdot (1 - \lambda \cdot \Delta V_{DS})$

Ohne Berücksichtigung der **Kanallängenmodulation**: **blauen Term** = 1 bzw  $\lambda = 0$  setzen

Parameter der Formel:

Temperaturspannung	$V_{temp} = \frac{kT}{q} \approx 86.2 \mu\text{V K}^{-1} \cdot T$
(Spezifischer Drainstrom)	$I_M = \frac{W}{L} I_M' = \frac{W}{L} I_{M,0}$
Subthreshold Slope Factor	$n_M = 1 + \frac{\gamma}{2\sqrt{V_{SB} + \Phi_0}}$ mit $\Phi_0 = 2\Phi_F \approx 0.6 \text{ V}$
Kanallängenmodulation	$\lambda = \frac{1}{V_E} \approx \frac{1}{a_E L}$

2.6.3 Bereiche ohne Berechnungsformeln

Table with 3 columns: Bereich, Grenzen, and text describing the operating regions (LECK, MOD, LIN) and their characteristics.

2.7 Modellierung eines MOS-FET in einem Arbeitspunkt

Der Transistor ist sehr komplex. Daher wird er in einem Arbeitspunkt folgendermassen vereinfacht und modelliert:

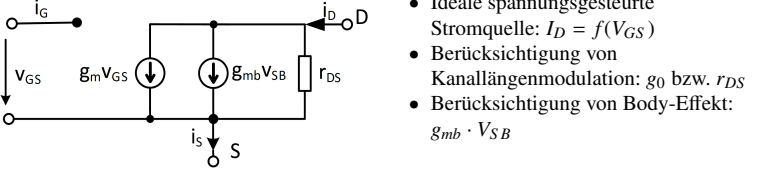
- 1. Definieren des Arbeitspunkts mittels Grosssignalersatzschaltung (2.10.1)
- 2. Linearisierung im Arbeitspunkt mittels Kleinsignalersatzschaltung (2.7.2 / 2.10.2)
- 3. Linearisierte Kleinsignalparameter bestimmen (2.8) und damit weiterrechnen

2.7.1 Bestimmung des Arbeitspunkts

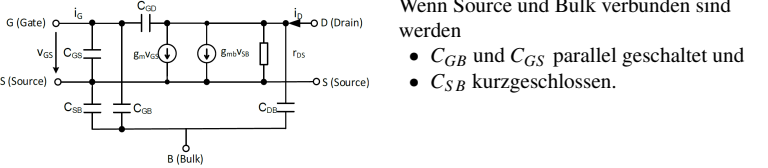
- Um den 'Zustand' eines MOS-FET zu bestimmen, wird wie folgt vorgegangen:
- 1. VGS bestimmen
  - 2. Ausgangsstrombereich mittels VGS bestimmen
  - 3. VDS ermitteln
  - 4. VDS,sat ausrechnen (Strombereich beachten)
  - 5. Ausgangsspannungsbereich durch vergleich von |VDS| mit |VDS,sat| ermitteln

2.7.2 Kleinsignalersatzschaltungen des FET

Niederfrequenz (Pi-Ersatzschaltung):



Hochfrequenz:



2.8 Kleinsignalparameter

Die Kleinsignalparameter bilden eine Vereinfachung (Linearisierung) in einem Arbeitspunkt. Sie berechnen sich daher allgemein folgendermassen aus der Ableitung

Equations for transconductance (gm), output conductance (g0), and body transconductance (gmb) in terms of bias voltages and currents.

Für die beiden Kanalzustände, in welchen Formeln für die Handrechnung verfügbar sind, gibt es auch hier handliche Formeln für die Berechnung der Kleinsignalparameter.

Die Bezeichnung der einzelnen Parameter gilt sowohl für strong inversion als auch für weak inversion.

- gm Transkonduktanz (Stromquellenbetrieb) -> Mass für Verstärkung des Transistors
- gmb Body-Transkonduktanz -> Beschreibt Wirkung des Body-Effekts
- g0 Ausgangsleitwert (Stromquellenbetrieb) -> beschreibt Kanallängenmodulation
- rDS0 Kleinstmöglicher Ausgangswiderstand bzw. Einschaltwiderstand bei VDS = 0 -> Nur im Widerstandsbetrieb interessant

Hinweis: Folgende Formel gelten für nMOS Transistoren. Für pMOS Transistoren müssen jeweils überall Beträge eingesetzt werden (ausser bei Technologieparametern) und bei Bedarf beim Gesamtergebn ein Minus ergänzt werden.

2.8.1 Strong Inversion

Equations for gm, gmb, and g0 in strong inversion, including the body effect factor gamma.

2.8.2 Weak Inversion

Equation for gm in weak inversion, showing it is independent of geometry.

2.9 Zusammenhänge

gm ist in der Weak Inversion unabhängig der Geometrie. Es ist für einen gegebenen Drainstrom möglich, Transistoren, die in Weak Inversion wie auch welche, die in Strong Inversion sind herzustellen. Das gm steigt beim Transistor in Strong Inversion

2.10 Bestimmung von Ersatzschaltbildern - Allgemein

2.10.1 Grosssignalersatzschaltung

Zur Bestimmung des Arbeitspunkts bzw. aller Gleichspannungen.

- AC-Spannungsquellen durch Kurzschlüsse ersetzen.
- AC-Stromquellen durch Unterbrüche ersetzen.
- Kondensatoren durch Unterbrüche ersetzen.
- Spulen durch Kurzschlüsse ersetzen.

2.10.2 Kleinsignalersatzschaltung

Zur Berechnung von Verstärkungsfaktoren und Eingangswiderständen für AC-Signale.

- DC-Spannungsquellen durch Kurzschlüsse ersetzen.
- DC-Stromquellen durch Unterbrüche ersetzen.
- Nichtlineare Bauteile durch deren Kleinsignalersatzschaltbild ersetzen.
- Koppel- und Bypass-Kondensatoren durch Kurzschlüsse ersetzen.

2.11 Vorgehen: Verstärker dimensionieren

- Arbeitspunkt bestimmen.
- ID wählen, sodass der Transistor gesättigt ist.
- Kleinsignalersatzschaltung zeichnen.
- Parameter der Ersatzschaltung bestimmen.

3 MOSFET Grundschaltungen

Es werden drei Grundschaltungen unterschieden. Diese werden jeweils durch deren Common-Anschluss benannt.

Table with 4 columns: Schaltung, Source-Schaltung, Gate-Schaltung, Drain-Schaltung. Rows: Common, Eingang, Ausgang.

Hinweis: Die Drain-Schaltung wird auch Source-Follower genannt.

3.1 Einsatzgebiete und Eigenschaften

Table with 4 columns: Grundschaltung, Anwendung, rin, rout. Rows: Source, Gate, Drain.

3.2 Dimensionierung einer Gundschaltung - Vorgehen

- 1 Arbeitspunkt mittels Grosssignalersatzschaltung bestimmen (2.10.1 / 2.7.1)
- 2 Kleinsignalersatzschaltung
  - 2a) Beschaltung umzeichnen
  - 2b) Transistor durch Ersatzschaltbild ersetzen (2.10.2)
- 3 Durch lineare Analyse a und r berechnen

3.3 Source-Schaltung

Die Source-Schaltung ist eine invertierende Verstärkerschaltung.

Diagram of a Source-Follower circuit and equations for its gain (a) and output resistance (rout).

3.3.2 Designpraxis - Strong Inversion

Die theoretisch maximal mögliche Verstärkung in strong inversion ergibt sich als

Equation for a\_max.

Damit der Wert a\_max maximal wird, folgt als obiger Formel:

- gm so gross wie möglich
- rDS so gross wie möglich
- VGS so tief wie möglich (VGS - VT ≈ 150-200 mV).
- L möglichst gross -> grosser Lastwiderstand

### 3.3.3 Designpraxis – Weak Inversion

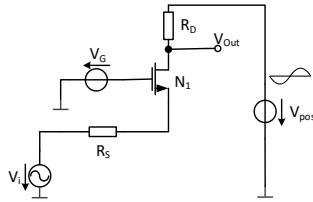
Die **theoretisch** maximal mögliche Verstärkung in weak inversion ergibt sich als

$$a_{\max} = -\frac{g_m}{g_0} = -g_m r_{DS} = -\frac{a_E \cdot L}{n_m - V_{\text{temp}}}$$

- In weak inversion erreicht der Transistor seine maximale Verstärkung.
- Sie wird durch Technologieparameter sowie  $L$  bestimmt.
- Da in weak inversion mit Näherungsformeln gerechnet wird, muss simuliert werden.

### 3.4 Gate-Schaltung

Die Gate-Schaltung ist eine **nichtinvertierende Verstärkerschaltung**.



#### 3.4.1 Verstärkung

$$a = \frac{v_{\text{out}}}{v_{\text{in}}} = \frac{R_D(1 + \frac{g_0}{g_m})}{R_S + \frac{1}{g_m} + \frac{g_0}{g_m}(R_D + R_S)}$$

#### Spezialfall:

$$R_S = 0 \quad a \approx g_m \cdot R_{\text{out}} = \underbrace{g_m(r_{DS} \parallel R_D)}_{\text{Mikroelektronik}}$$

Für  $R_S = 0$  und  $R_D \ll r_{DS}$  gilt (ebenfalls in **strong inversion**) weiter:

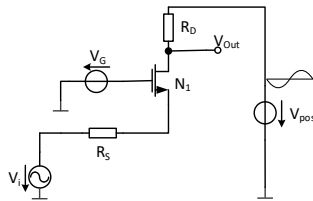
$$a \stackrel{R_D \text{ klein}}{\approx} \frac{R_D}{g_m R_D} \quad \text{bzw.} \quad a \stackrel{R_D \text{ gross}}{\approx} \frac{g_m}{g_0} \approx a_{\max}$$

### 3.4.2 Bemerkungen

- Bei den gegebenen Formeln wurde der **Body-Effekt vernachlässigt!**
- Ohne Body-Effekt erreicht die Gate-Schaltung die gleiche theoretisch maximal mögliche Verstärkung  $a_{\max}$  wie die Source-Schaltung. Allerdings ist das Frequenzverhalten der Gate-Schaltung besser.
- Bei der Gate-Schaltung wird der Body-Effekt schnell zum Problem.

### 3.5 Drain-Schaltung (Source-Follower)

Die Drain-Schaltung ist eine **nichtinvertierende Verstärkerschaltung**.



#### 3.5.1 Verstärkung

$$a = \frac{v_{\text{out}}}{v_{\text{in}}} = \frac{R_S}{R_S + \frac{1}{g_m} + \frac{g_0}{g_m}(R_D + R_S)}$$

#### Maximale Verstärkung:

Für die **theoretisch** maximal mögliche Verstärkung  $a_{\max}$  gilt für  $g_m \ll g_0$  und  $r_{DS} \ll R_D$

$$a_{\max} = \lim_{R_S \rightarrow \infty} a = \lim_{R_S \rightarrow \infty} g_m \frac{R_S}{g_m R_S + 1} = 1$$

### 3.5.2 Level-Shift

Die Drain-Schaltung reduziert den DC-Pegel des Ausgangssignals um die Spannung  $V_{GS}$ . Somit ergibt sich der Zusammenhang:

$$V_{\text{in}} - V_{\text{out}} = V_{GS} = V_T + \sqrt{\frac{2I_D}{\mu C_{\text{ox}} \frac{W}{L}}} \quad \Leftrightarrow \quad V_{\text{out}} = V_{\text{in}} - \left( V_T + \sqrt{\frac{2I_D}{\mu C_{\text{ox}} \frac{W}{L}}} \right)$$

Damit der Level-Shift möglichst klein ist, wird  $L$  möglichst gross gewählt.

#### Body Effekt:

Da die Source nicht auf Bulk-Potential ist, muss die Veränderung der Threshold Spannung  $V_T$  aufgrund des Body-Effekts berücksichtigt werden (2.6.1).

### 3.5.3 Bemerkungen

- Der Source-Follower hat immer eine Verstärkung  $a \leq 1$
- Der Source-Follower bewirkt immer einen Level-Shift um  $V_{GS}$ .

### 3.6 Eingangs- und Ausgangswiderstände

#### 3.6.1 Generelles Vorgehen

- Fiktive Spannungsquelle an entsprechenden Anschluss (z.B. Source) im Kleinsignalersatzschaltbild anschliessen.
- Strom, der über den Anschluss (z.B. Source) in den in den Transistor fließt, messen.
- Widerstand als  $r_i = \left| \frac{u_i}{i_i} \right|$  berechnen.

#### 3.6.2 Eingangs- und Ausgangswiderstände berechnen

Gate  $r_{i,G}$ :

$$r_{i,G} \rightarrow \infty$$

Source  $r_{i,S}$ :

$$\text{Allgemein} \quad r_{i,S} = \left( \frac{1}{g_m} \parallel r_{DS} \right) \left( 1 + \frac{R_D}{r_{DS}} \right) = \frac{1}{g_m + g_0} (1 + g_0 R_D)$$

$$\text{Für } r_{DS} \gg R_D \quad r_{i,S} \approx \frac{1}{g_m} \parallel r_{DS} = \frac{1}{g_m + g_0}$$

$$\text{Für } g_m \gg g_0 \quad r_{i,S} \approx \frac{1}{g_m}$$

Drain  $r_{i,D}$ :

$$\text{Allgemein} \quad r_{i,D} = r_{DS} \left( 1 + g_m R_S + \frac{R_S}{r_{DS}} \right) = \frac{1}{g_0} (1 + g_m R_S) + R_S$$

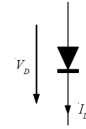
$$\text{Für } r_{DS} \gg R_S \quad r_{i,D} \approx r_{DS} (1 + g_m R_S) = \frac{1}{g_0} (1 + g_m R_S) + R_S$$

$$\text{Für } R_S = 0 \quad r_{i,D} \approx r_{DS} = \frac{1}{g_0}$$

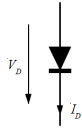
### 4 MOS Diode

#### 4.1 Gegenüberstellung Diodentypen

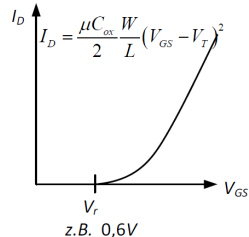
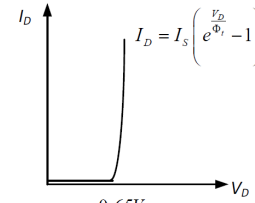
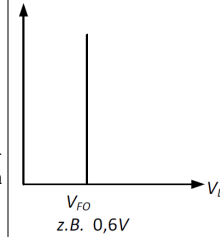
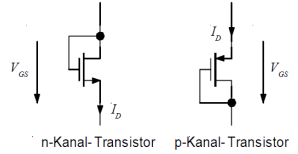
Ideale Diode ( $V_F = V_{D0}$ )



Reale Diode



MOS-Diode



#### 4.2 Arbeitsbereich der MOS Diode

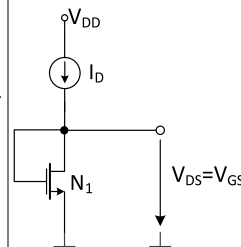
Die MOS Diode arbeitet (**in strong inversion**) **immer in Sättigung**, da die Sättigungsbedingung aufgrund der Verbindung der Gate- und Source-Anschlüsse immer erfüllt ist:

$$V_{DS} = V_{GS} > V_{GS} - V_T$$

**Hinweis:** Die Forwardspannung bestimmt, ob die MOS Diode in strong- oder weak inversion betrieben wird. Der 'Normalfall' ist strong inversion.

#### 4.3 Arbeitspunkteinstellung

##### 4.3.1 Arbeitspunkteinstellung mittels Drainstrom

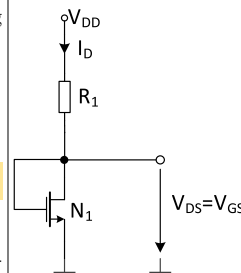


Aus der Drainstrom-Gleichung (strong inversion, Sättigung) lässt sich die Spannung über der Diode als Funktion des Eingangsstroms berechnen:

$$V_{DS} = V_{GS} = V_T + \sqrt{\frac{2I_D}{\mu C_{\text{ox}} \frac{W}{L}}}$$

$$V_{GS} = V_M + n_M V_{\text{temp}} \ln \frac{I_D}{I'_m \frac{W}{L}}$$

##### 4.3.2 Arbeitspunkteinstellung mittels Seriewiderstand

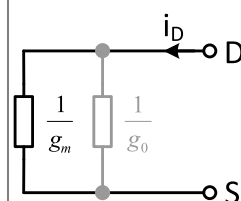


Der Arbeitspunkt kann auf zwei Arten ermittelt werden:

- Grafisch durch Einzeichnen der Lastgerade des Drainwiderstands  $R_1$  in der Kennlinie  $I_D = f(V_{GS})$ 
  - Leerlaufspannung:  $V_{GS,0} = V_{DD}$
  - Kurzschluss-Strom:  $I_{D,0} = \frac{V_{DD}}{R_1}$  → Schnittpunkt entspricht Arbeitspunkt
- Rechnerisch mittels folgender Formel

$$I_D = \frac{V_{DD} - V_{GS}}{R_1} = \frac{\mu C_{\text{ox}} W}{2 L} (V_{GS} - V_T)^2$$

#### 4.4 Kleinsignalersatzschaltung



Die Kleinsignalersatzschaltung kann (leicht angepasst) vom MOS Transistor übernommen werden.

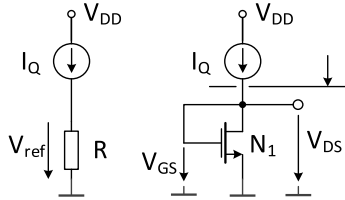
$$\text{Allgemein:} \quad r_{MD} = \frac{1}{g_m + g_0} = \frac{1}{g_m} \parallel r_{DS}$$

$$\text{Praxis:} \quad r_{MD} \approx \frac{1}{g_m} = \frac{1}{\sqrt{2\mu C_{\text{ox}} \frac{W}{L} I_D}}$$



## 4.5 Anwendungen

### 4.5.1 Spannungsreferenz



**Voraussetzung:** Referenzstrom  $I_Q$

- + Kleinerer Flächenanspruch als Widerstand
- + Eingangsspannung wird durch relativ tiefen  $\Delta r_{MD}$  geglättet
- Genauer als mit Widerstand, jedoch noch immer eher ungenau
- $r_{MD}$  kann nur schlecht verändert werden

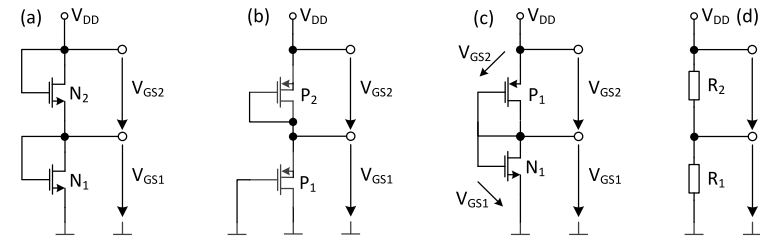
### 4.5.2 Spannungsstabilisator

- MOS-Dioden Schaltung aus Abschnitt 4.5.1 mit Widerstand statt Stromquelle
- AC-Störung wird oberhalb von  $R$  eingespeist (gegenüber GND)

- Kleinsignalersatzschaltung des beschriebenen Aufbaus:
  - Spannungsteiler aus  $R$  (gross) und  $r_{MD}$  (klein)
  - AC-Störspannung  $v_0$  am Ausgang ( $V_{DS} + v_0$ ) sehr klein

### 4.5.3 Spannungsteiler

Spannungsteiler könnten auf mehrere Arten realisiert werden. → **Variante (b) am Besten!**



**Schaltung (a)**  
 + Gleiche Elemente (nMOS)  
 - Body-Effekt bei  $N_2$

**Schaltung (b)**  
 + Gleiche Elemente (pMOS)  
 → gutes Matching  
 + Kein Body-Effekt (pMOS)

**Schaltung (c)**  
 + Kein Body-Effekt  
 - Komplementäre Elemente → schlechtes Matching

**Schaltung (d)**  
 + Gute **relative** Genauigkeit  
 - Schlechte **absolute** Genauigkeit  
 - Braucht viel Platz

Weil für die Ströme gilt, dass  $I_{D1} = I_{D2}$  ergibt sich das Spannungsverhältnis

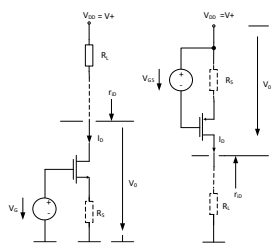
$$\frac{|V_{GS1} - V_{T1}|}{|V_{GS2} - V_{T2}|} = \sqrt{\frac{(W/L)_2}{(W/L)_1}}$$

## 5 MOS Stromquelle

Bei der Einstellung des Arbeitspunkts mittels Widerstand resultiert eine quadratische Gleichung für den Strom und so die Ausgangsspannung eines Verstärkers. Abhilfe kann eine Stromquelle anstelle des Widerstands schaffen.

MOS Transistoren sind bereits spannungsgesteuerte Stromquellen. Durch einfügen eines  $R_S$  kann der Innenwiderstand der Stromquelle **maximiert** werden. → Quelle wird 'idealer'

### 5.1 Stromquelle – Grundsaltungen



**Ausgangswiderstand:**

$$r_{iD} = r_{DS} \left( 1 + g_m R_S + \frac{R_S}{r_{DS}} \right) = r_{DS} (1 + g_m R_S) + R_S$$

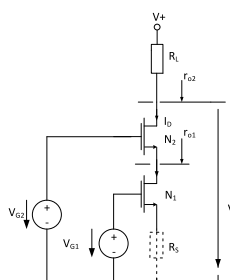
**Minimale Ausgangsspannung:**

$$V_{out} = V_O > V_{O,min} = R_S I_D + V_{DS,sat}$$

### 5.2 Kaskoden

Damit für die Stromquelle kein Widerstand verwendet werden muss, kann ein weiterer Transistor verwendet werden. Diese Schaltung wird Kaskode genannt. Dabei wird der maximale Ausgangsstrom jedoch leicht reduziert.

#### 5.2.1 Kaskode – Grundsaltung



**Ausgangswiderstand:**

$$r_{out} = r_{o2} \approx g_{m2} \cdot r_{DS}^2 = a_{max} \cdot r_{DS}$$

**Minimale Ausgangsspannung:**

$$V_{O,min} = V_{G2} - V_{GS2} + V_{DS2,sat} = V_{DS1,sat} + V_{DS2,sat}$$

**Strom:**

$$I_D = \frac{\mu C_{OX}}{2} \left( \frac{W}{L} \right)_{N1} (V_{GS,N1} - V_T)^2 \cdot (1 + \lambda V_{DS,N1})$$

#### 5.2.2 Geregelte Kaskode

Um die Kaskodenschaltung weiter zu **verbessern**, kann die  $V_{GS}$  Spannung des oberen Transistors auf die Referenzspannung geregelt werden. Durch das Stabilisieren der Spannung wird der Arbeitspunkt des Transistors stabilisiert (indem  $I_D$  konstant ist) und der **Ausgangswiderstand noch grösser**.

**Transkonduktanz:**

$$g_{m,sup} = g_{m1}$$

**Minimale Ausgangsspannung:**

$$V_{O,min} = V_{ref} + V_{DS2,sat}$$

**Strom:**

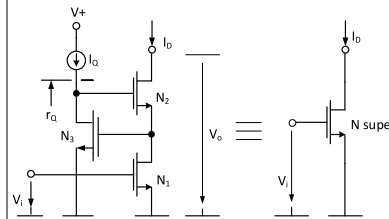
→ Siehe Grundsaltung (5.2.1)

**Ausgangswiderstand:**

$$r_{out} \approx r_{DS1} \cdot g_{m2} \cdot r_{DS2} \cdot (a + 1) = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \cdot (a + 1)$$

### 5.2.3 Säckinger Kaskode

Die Säckinger Kaskode ersetzt den komplexen OpAmp mit einem einzelnen Transistor in **Source-Schaltung**.



**Transkonduktanz:**

$$g_{m,sup} = g_{m1}$$

**Minimale Ausgangsspannung:**

$$V_{O,min} = V_{GS3} + V_{DS2,sat}$$

**Strom:**

→ Siehe Grundsaltung (5.2.1)

**Ausgangswiderstand:**

$$r_{out} \approx r_{DS1} \cdot g_{m2} r_{DS2} \cdot g_{m3} r_{DS3} = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \cdot \frac{g_{m3}}{g_{o3}}$$