

Analog Microelectronics

HS 2024 - Prof. Dr. Paul Zbinden

Autoren: Flurin Brechbühler, Laurin Heitzer, Simone Stitz

https://github.com/flurin-b/AnME

Inhaltsverzeichnis

AnME		3	MOSI	FET Grundschaltungen	3
			3.1 I	Einsatzgebiete und Eigenschaften	3
CMOS Technologie	1		3.2 I	Dimensionierung einer Gundschaltung – Vorgehen	3
1.1 Prozessüberblick – Herstellung integrierter Schaltur	ngen 1		3.3	Source-Schaltung	3
1.2 Arten von Toleranzen	1		3.4	Gate-Schaltung	4
1.3 CMOS Bauelemente			3.5 I	Orain-Schaltung (Source-Follower)	4
			3.6 I	Eingangs- und Ausgangswiderstände	4
MOS Transistoren	2	1	MOS	Diada	4
2.1 Dotierung	2	"			4
2.2 MOS-Kapazität				Gegenüberstellung Diodentypen	
2.3 MOS-Transistoren				Arbeitspunkteinstellung	
2.4 Ausgangskennlinie – Arbeitsbereiche				Kleinsignalersatzschaltung	
2.5 Transferkennlinie – Ausgangsstrombereiche				Anwendungen	
2.6 Berechnung des Drainstroms					
2.7 Modellierung eines MOS-FET in einem Arbeitspun		5		Stromquelle	5
2.8 Kleinsignalparameter				Stromquelle – Grundschaltungen	
2.9 Zusammenhänge			5.2 I	Kaskoden	5
6			1400	G	_
2.10 Bestimmung von Ersatzschaltbildern – Allgemein .		6		Stromspiegel	5
2.11 Vorgehen: Verstärker dimensionieren	3		6.1 I	Einfache Stromspiegel	5

AnME

1 CMOS Technologie

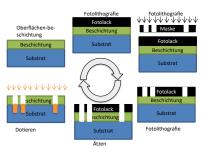
1.1 Prozessüberblick – Herstellung integrierter Schaltungen

Die Herstellung integrierter Schaltungen zeichnet sich durch folgende Besonderheiten aus:

- Komplexe Logistik aufgrund einer Vielzahl an Prozessschritten
- Hochgradige Standardisierung
- · Teure Infrastruktur und teure Prozesse

Der Prozess läuft in groben Zügen wie folgt ab:

- 1. Sand wird geschmolzen und gereinigt. Daraus wird ein Silizium-Einkristall gezogen.
- 2. Der Einkristall wird in Wafer geschnitten / gesägt.
- 3. Durch wiederholte Oberflächenbeschichtung, Fotolithografie, Ätzen und Dotierung wird der Wafer strukturiert. Dazwischen muss der Wafer jeweils gesäubert werden.
- 4. Die einzelnen Chips auf dem Wafer werden vereinzelt.
- 5. Zur Konfektion werden die Chips in Gehäuse verbaut.
- **6.** Um die ICs in Systemen einzusetzen, werden diese auf Leiterplatten verbaut.



Lithographie:

Lichtempfindlicher Lack (Photoresist) wird durch eine Lichtquelle löslich (positiver Photoresist) oder unlöslich (negativer Photoresist) gemacht. Durch Lösen des löslichen Photoresists kann die Oberfläche lokal geschützt werden und so gezielt regionen des Chips geätzt oder beschichtet werden. Zum Ende wird der übrige Lack entfernt und der Vorgang beliebig oft wieder-

Durch Ätzen kann gezielt Material von freiliegenden Flächen des Wafers entfernt werden. Dabei werden folgende Verfahren unterschieden:

Isotrop (Nass oder Plasma): Gleichförmiges Ätzen in alle Richtungen → Bringt die Gefahr des Unterätzens

Anisotrop (Reactive Ion Etching, KOH oder Plasma): Ätzen entlang Kristallrichtungen, z.B. KOH greift die (111)-Ebene kaum an → Ermöglicht steiliere Gräben, MEMS Selektiv: Selektives Ätzen bestimmter Materialien, z.B. HF ätzt SiO₂ aber nicht Si

Beim Dotieren werden gezielt Fremdatome in den Siliziumkristall eingebracht.

→ Erlaubt das Ätzen einer Lage ohne beschädigung unterliegender Strukturen

Donatoren, also Atome mit einem Valenzelektron mehr als der Halbleiter, verursachen einen Elektronenüberschuss, der Kristall wird n-dotiert.

Akzeptoren, also Atome mit einem Valenzelektron weniger als der Halbleiter, verursachen einen Lochüberschuss, der Kristall wird p-dotiert.

1.1.1 Backend Prozesse

Wafer Sort:

Die Chips werden auf dem Wafer einzeln getestet (Kontaktierung mit Nadeln). Dies ist oft zeitaufwendig → Durch gutes Design sollte diese Zeit minimiert werden.

Der Yield, (prozentualer Anteil funktionaler Chips) hängt dabei von der Chipgrösse ab. Dies, da jeder Defekt bei grossen Chips eine grosse Fläche beeinträchtigt, da jeweils nur ganze Chips funktionsfähig oder defekt sein können.

Yields von 90 % sind meist notwendig, um Profit zu machen.

Assembly and Test:

Die Wafer werden in einzelne Chips getrennt und die funktionierenden Chips in Gehäuse verbaut. Im Gehäuse erfolgt ein Final-Test.

1.2 Arten von Toleranzen

Bei der Herstellung von Wafern werden verschiedene Toleranzen unterschieden:

Devicetoleranz Toleranzen betreffend der Strukturen auf gleichem Chip

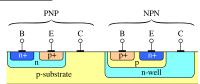
Prozesstoleranzen Toleranzen betreffend der Strukturen auf einem Wafer

Lostoleranz Toleranzen innerhalb eines Batches bzw. Los (meist 25, selten bis 50 Wafer)

1.3 CMOS Bauelemente

Mögliche Strukturen und Elemente wie auch die Materialeigenschaften werden im Technologiehandbuch gegeben.

1.3.1 Bipolartransistoren



1.3.2 Kapazitäten (pro Fläche)

$$C = \varepsilon \cdot \frac{A}{d} = \varepsilon_0 \cdot \varepsilon_r \cdot \frac{W \cdot L}{d} = C'' \cdot A$$

$$C'' = \frac{\varepsilon}{d} = \frac{\varepsilon_0 \cdot \varepsilon_r}{d}$$

 $\varepsilon_0 = 8.85 \cdot 10^{-12} \,\mathrm{F \, m^{-1}}$ $\varepsilon_{r,Si,SiO_2} \approx 3.9$

Spezifische Kapazität Fläche der Kapazität

Abstand (fix)

 $[C''] = F m^{-2}$ $[A] = m^2$

 $\varepsilon_{r,\text{Dielektrikum}} \approx 2.9 \text{ (möglichst klein)}$

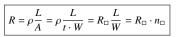
MIM:

Metal-Interconnect-Metal-Kondensatoren produzieren sehr kleine Kapazitäten, da die Interconnect-Layers relative dick sind ($d \sim 2.5 \cdot 10^{-7}$ m) und absichtlich aus 'schlechtem' Dielektrikum ($\varepsilon_r \approx 2.9$) bestehen. Die Spannungsfestigkeit ist jedoch höher.

Da Oxidschichten sehr dünn realisiert werden können ($d \sim 2.33 \cdot 10^{-9}$ m) und ein höheres $\varepsilon_r \approx 3.9$ besitzen, benötigen MOS-Kondensatoren im Vergleich zu MIM-Kondensatoren bedeutend weniger Fläche. Somit können grössere Kapazitäts-Werte realisiert werden. Sie besitzen jedoch eine kleinere Spannungsfestigkeit.

Spulen sind nur planar möglich und beanspruchen oft viel Platz.

1.3.4 Widerstände (pro quadr. Flächeneinheit)



Typische Werte:

 $R_{\square} \approx 0.02 \dots 0.08 \,\Omega$ Poly (salicide) $R_{\square} \approx 10 \,\Omega$ $R_{\square} \approx 100 \,\Omega \,(\text{n+ Poly})$ Poly (non-salicide) $R_{\square} \approx 400 \,\Omega \,(\text{p+ Poly})$

 $R_{\square} \approx 100/150 \,\Omega$ n-/p-Diffusion $R_{\square} \approx 400/1600 \,\Omega$

1.3.5 Parasitäre Effekte

Jedes Bauteil ist von parasitären Effekten betroffen. Diese sind:

- Streukapazitäten und ungewollte Kapazitäten zu anderen Layern
- Wiederstandsbelag des Leitermaterials
- Induktivitätsbelag von 'langen' Leitern
- Toleranzen
- Nichtlinearitäten z.B. die Spannungsabhängigkeit der Kapazitäten von PN-Übergängen
- → Empfehlung: Verhältnisse verwenden, nicht Absolutwerte!

2 MOS Transistoren

2.1 Dotierung

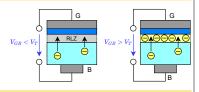
Dotierung: N-dotiert P-dotiert

Unreinheit: Aluminium (HG III) Phosphor / Arsen (HG V)

Majoritätsträger: Elektronen Löcher Minoritätsträger: Löcher Elektronen

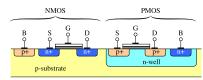
2.2 MOS-Kapazität

Minoritätsträger werden an das Gate gezogen. Die entstandene Raumladungszone weist bei ausreichend hoher Gate-Spannung einen Minoritätsträgerüberschuss auf, ist also in der Funktion komplementär zum Substrat dotiert.



2.3 MOS-Transistoren

Werden links und rechts vom MOS-Kondensator komplementär zum Substrat dotierte Regionen (Drain und Source) erstellt, so kann ohne Gatespannung aufgrund der PN-Übergänge kein Strom vom Drain zur Source (oder umgekehrt) fliessen. Wird nun eine Spannung am Gate angelegt, so entsteht die Minoritätsträger-Leitende Raumladungszone - der Kanal. Dieser verbindet Drain und Source, es kann also ein Strom fliessen.



2.3.1 Übersicht und Symbole

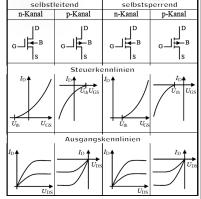
Durch Vordotierung des Kanals kann der Transistor ohne Gate-Spannung leitend gemacht werden (Verarmungstyp, selbstleitend). Eine negative Gate-Spannung kann den Kanal dann abschnüren.

→ hier nicht weiter behandelt

Der Bulk wird nur eingezeichnet, wenn dieser nicht mit $V_{\rm DD}$ bzw. $V_{\rm SS}$ verbunden ist. Deshalb werden meist die vereinfachten Symbole verwendet:







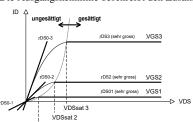
2.3.2 Modelle

In Cadence sind verschiedene Modelle hinterlegt:

Spice Modell 11: Das Modell 11 beinhaltet ca. 100 Parameter und ist entsprechend genau. Spice Modell 1: Vergleichbar mit dem Handrechenmodell, welches zwar weniger genau. dafür aber viel einfacher ist. Dennoch beinhaltet es bereits 40 Parameter.

2.4 Ausgangskennlinie – Arbeitsbereiche

Die Ausgangskennlinie beschreibt den Zusammenhang $I_D = f(V_{DS})\big|_{V_{GS} = \text{konst}}$



Zwei Arbeitsbereiche:

- ungesättig (gesteuerter Widerstand)
- gesättigt (Stromquelle)

Die Sättigungsgrenze $V_{\mathrm{DS,sat}}$ ist abhängig vom Kanalzustand:

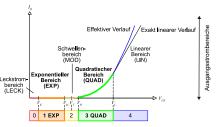
weak inversion:

 $V_{\rm DS,sat} = V_{\rm eff} \approx 5 \cdot V_{\rm temp} \approx 130 \,\mathrm{mV}$

strong inversion:

 $V_{\rm DS,sat} = V_{\rm eff} = V_{GS} - V_T$

2.5 Transferkennlinie - Ausgangsstrombereiche



Die Transferkennlinie beschreibt den Zusammenhang $I_D = f(V_{GS})$

Dabei werden 5 Ausgangsstombereiche unterschieden. Diese hängen mit dem Kanalzustand zusammen.

Des Weiteren gibt es die Bereiche:

- Sub Threshold: $V_{GS} < V_T$
- Above Threshold: $V_{GS} > V_T$

Ausgangsstrombereiche:

l	Bereich	Mathem. Charakterisierung	Zugrundeliegender phys. Effekt
l	LECK	I _D erreicht Minimalwert, der nicht	Drain- und Source-Substratdiode haben
l		weiter unterschritten werden kann	Leckströme ins Subsstrat
l	EXP	I_D steigt exponentiell mit V_{GS}	Kanal zeigt weak inversion
l	MOD	Keine 'handliche' Formel für I_D	Kanal zeigt moderate inversion
l	QUAD	I_D steigt quadratisch mit V_{GS}	Kanal zeigt strong inversion
l	LIN	I_D steigt annähernd linear mit V_{GS}	Geschwindigkeitssättigung der Ladungsträger im Kanal
l		(halb QUAD, halb LIN)	im Kanal (nicht weiter beschleunigbar)

Hinweis: Die Inversion des Kanals beschreibt, wie sehr sich die Polarität geändert ('invertiert') hat. Bei einem n-Kanal FET ist der Kanal ursprünglich p-leidend. Wird der Kanal invertiert, so wird er (schwach, moderat oder start) n-leitend.

2.6 Berechnung des Drainstroms

Die Berechnung des Drainstroms hängt sowohl von Arbeitsbereich (gesättigt / ungesättig), als auch vom Ausgangsstrombereich (bzw. der Kanaliversion) ab!

2.6.1 Strong Inversion

$$\begin{aligned} & \text{QUAD-Bereich:} \quad |V_H(I_D)| \leq |V_{GS}| < |V_L(I_D)| \quad \text{bzw.} \quad |I'_H| \leq |I'_D| < |I'_L| \end{aligned} \\ & \qquad \qquad \quad & \text{Ungesättigt:} \quad |V_{DS}| < |V_{GS} - V_T| \qquad \qquad & \text{Gesättigt:} \quad |V_{DS}| \geq |V_{GS} - V_T| \end{aligned} \\ & \text{NMOS:} \quad I_D = \beta \cdot \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 + \lambda \cdot \Delta V_{DS}) \qquad I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot \Delta V_{DS}) \end{aligned} \\ & \text{PMOS:} \quad I_D = -\beta \cdot \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 - \lambda \cdot \Delta V_{DS}) \qquad I_D = -\frac{\beta}{2} (V_{GS} - V_T)^2 \cdot (1 - \lambda \cdot \Delta V_{DS}) \end{aligned}$$

Ohne Berücksichtigung der Kanallängenmodulation: blauen Term = 1 bzw $\lambda = 0$ setzen

Transkonduktanz-Parameter β :

 β ist abhängig davon, ob der Transistor gesättigt ist. In der Praxis wird diese Unterscheidung jedoch **nicht** gemacht. Im **Design** kann β durch das Verhältnis von Kanalbreite W und -länge L beeinflusst werden. das Verhältnis von Kanalbreite W und -länge L beeinflusst werden.

$$\beta = \underbrace{\mu C_{\text{OX}}}_{\beta_0} \frac{W}{L}$$

Kanallängenmodulation λ und Early-Spannung V_E :

Die Kanallängenmodulation beschreibt die Nichtidealität der spannungsgesteurten Stromquelle (im Sättigungsbetrieb).

$$\lambda = \frac{1}{V_E + V_{DS, \text{sat}}} \approx \frac{1}{V_E} \approx \frac{1}{a_E \cdot L} \qquad \text{Idealfall: } \lambda = 0 \rightarrow L = \infty$$

Achtung: V_E ist typischerweise negativ, wird jedoch immer positiv angegeben. Grafisch entspricht V_E der Spannung V_{DS} , bei welcher die Verlängerung der Ausgangskennlinie (Sättigung) die V_{DS} -Achse schneidet.

Body-Effekt:

Der Body-Effekt beschreibt die Abhängigkeit der Schwellenspannung V_T von der Source-Bulk-Spannung V_{SB} als

$$V_T = V_{T0} \pm \Delta V_T$$
 mit $\Delta V_T = \gamma \left(\sqrt{|V_{SB}| + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$

- → Body-Effekt nur wirksam, wenn $V_{SB} \neq 0 V$
- \rightarrow Reminder: Bulk nur gezeichnet, wenn nicht auf V_{DD} oder V_{SS}

Das Fermi-Potential Φ_F ist prozess- wie auch temperaturabhängig. Zudem ist es abhängig von der Dotierungsstärke.

$$\Phi_F = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \qquad \begin{array}{c} n_i \\ N_A \\ \gamma \\ \gamma_N \approx \end{array}$$

$$= 1.46 \sqrt{V} \qquad F$$

Intrinsische ladungsdichte von Silizium Ladungsdichte der Akzeptoren

Body-Effekt-Konstante

Absolute Temperatur

Boltzmann-Konstante $1.380649 \cdot 10^{-23} \,\mathrm{J \, K^{-1}}$

Elementarladung $1.602 \cdot 10^{-19} \, \mathrm{C}$

$\gamma_P \stackrel{p-Dotierung}{\approx} 1.08 \sqrt{V}$ 2.6.2 Weak Inversion

$$\boxed{ \text{EXP-Bereich: } |V_K(I_D)| < |V_{GS}| \leq |V_M(I_D)| \quad \text{bzw.} \quad |I_K'| < |I_D'| \leq |I_M'| }$$

NMOS:	$\begin{aligned} & \text{Ungesăttigt:} V_{DS} < V_{GS} - V_T \\ I_D &= I_M \cdot \mathrm{e}^{\frac{V_{GS} - V_M}{m_M \cdot V_{\text{temp}}}} \cdot (1 - \mathrm{e}^{-\frac{V_{DS}}{V_{\text{temp}}}}) \cdot (1 + \lambda \cdot \Delta V_{DS}) \end{aligned}$	Gesättigt: $ V_{DS} \ge V_{GS} - V_T $ $I_D = I_M \cdot e^{\frac{V_{GS} - V_M}{n_M \cdot V_{\text{temp}}} \cdot (1 + \lambda \cdot \Delta V_{DS})}$
PMOS:	$I_D = I_M \cdot e^{-\frac{V_{GS} - V_M}{n_M \cdot V_{\text{temp}}}} \cdot (1 - e^{\frac{V_{DS}}{V_{\text{temp}}}}) \cdot (1 - \lambda \cdot \Delta V_{DS})$	$I_D = I_M \cdot e^{-\frac{V_{GS} - V_M}{n_M \cdot V_{\text{temp}}}} \cdot (1 - \lambda \cdot \Delta V_{DS})$

Ohne Berücksichtigung der Kanallängenmodulation: blauen Term = 1 bzw λ = 0 setzen

Parameter der Formel:

Temparaturspannung

(Spezifischer Drainstrom)

$$\begin{split} V_{\text{temp}} &= \frac{kT}{q} \approx 86.2 \, \mu\text{V K}^{-1} \cdot T \\ I_M &= \frac{W}{L} I_M' = \frac{W}{L} I_{M,0} \\ n_M &= 1 + \frac{\gamma}{2\sqrt{V_{SB} + \Phi_0}} \quad \text{mit} \quad \Phi_0 = 2\Phi_F \approx 0.6 \, \text{V} \end{split}$$
Subthreshold Slope Factor

 $\lambda = \frac{1}{V_E} \approx \frac{1}{a_E L}$ Kanallängenmodulation

2

2.6.3 Bereiche ohne Berechnungsformeln

In den drei verbleibenden Bereichen sind **keine Berechnungsformeln für I_D** vorhanden.

Bereich LECK MOD	Grenzen $V_K(I_D) < V_{GS} < V_M(I_D)$ $V_M(I_D) < V_{GS} < V_H(I_D)$ $V_H(I_D) = V_T(I_D) + x_H(I_D)$	Im MOD-Bereich (moderate inversion) lie- fern die Formeln der weak bzw. strong in- version katastrophal falsche Resultate! Es ist daher enorm wichtig, den Arbeitsbe-
LIN	$V_L(I_D) < V_{GS}$	reich des Transistors korrekt zu bestimmen.

2.7 Modellierung eines MOS-FET in einem Arbeitspunkt

Der Transistor ist sehr komplex. Daher wird er in einem Arbeitspunkt folgendermassen vereinfacht und modelliert:

- 1. Definieren des Arbeitspunkts mittels Grosssignalersatzschaltung (2.10.1)
- 2. Linearisierung im Arbeitspunkt mittels Kleinsignalersatzschaltung (2.7.2 / 2.10.2)
- 3. Linearisierte Kleinsignalparameter bestimmen (2.8) und damit weiterrechnen

2.7.1 Bestimmung des Arbeitspunkts

Um den 'Zustand' eines MOS-FET zu bestimmen, wird wie folgt vorgegangen:

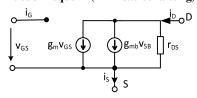
- 1. V_{GS} bestimmen
- 2. Ausgangsstrombereich mittels V_{GS} bestimmen
- $|V_{GS}| \ge |V_H| \to \text{ strong inversion}$ $|V_{GS}| \le |V_M| \to \text{ weak inversion}$
- 3. V_{DS} ermitteln
- **4.** $V_{DS,\text{sat}}$ ausrechnen (Strombereich beachten) strong inversion: $V_{DS,sat} = V_{GS} - V_T$ weak inversion: $V_{DS,sat} \approx 5 \cdot V_{temp} \approx 130 \,\text{mV}$
- 5. Ausgangsspannungsbereich durch vergleich von $|V_{DS}|$ mit $|V_{DS,sat}|$ ermitteln

$$|V_{DS}| < |V_{DS,sat}| \rightarrow \text{ungesättigt}$$

 $|V_{DS}| > |V_{DS,sat}| \rightarrow \text{gesättigt}$

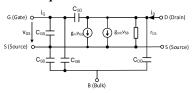
2.7.2 Kleinsignalersatzschlatungen des FET

Niederfrequenz (Pi-Ersatzschaltung):



- Ideale spannungsgesteurte Stromquelle: $I_D = f(V_{GS})$
- · Berücksichtigung von Kanallängenmodulation: g_0 bzw. r_{DS}
- Berücksichtigung von Body-Effekt:

Hochfrequenz:



Wenn Source und Bulk verbunden sind

- C_{GB} und C_{GS} parallel geschaltet und
 C_{SB} kurzgeschlossen.

2.8 Kleinsignalparameter

Die Kleinsignalparameter bilden eine Vereinfachung (Linearisierung) in einem Arbeitspunkt. Sie berechnen sich daher allgemein folgendermassen aus der Ableitung

$$g_m = \frac{\mathrm{d}}{\mathrm{d}V_{GS}}I_D \qquad g_0 = r_{DS} = \frac{\mathrm{d}}{\mathrm{d}V_{DS}}I_D \qquad g_{mb} = \frac{\mathrm{d}}{\mathrm{d}V_{SB}}I_D$$

Für die beiden Kanalzustände, in welchen Formeln für die Handrechnung verfügbar sind, gibt es auch hier handliche Formeln für die Berechnung der Kleinsignalparameter.

Die Bezeichnung der einzelnen Parameter gilt sowohl für strong inversion als auch für weak inversion.

Transkonduktanz (Stromquellenbetrieb) → Mass für Verstärkung des Transistors g_m Body-Transkonduktanz → Beschreibt Wirkung des Body-Effekts g_{mb}

Ausgangsleitwert (Stromquellenbetrieb) → beschreibt Kanallängenmodulation g_0 Kleinstmöglicher Ausgangswiderstand bzw. Einschaltwiderstand bei $V_{DS} = 0$ r_{DS0} → Nur im Widerstandsbetrieb interessant

Hinweis: Folgende Formel gelten für nMOS Transistoren. Für pMOS Transistoren müssen jeweils überall Beträge eingesetzt werden (ausser bei Technologieparametern) und bei Bedarf beim Gesamtresultat ein Minus ergänzt werden.

$$\underbrace{g_m = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)}_{\text{AP durch } V_{GS} \text{ bestimmt}} \underbrace{g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D}}_{\text{AP durch } I_D \text{ bestimmt}}$$

$$g_{mb} = -g_m \frac{\gamma}{2\sqrt{|V_{SB}| + |2\Phi_F|}} = -g_m(n_M - 1)$$

Ungesättigt:
$$g_0 = \frac{1}{r_{DS}} = \mu C_{ox} \frac{W}{L} ((V_{GS} - V_T) - V_{DS})$$

Gesättigt:
$$g_0 = \frac{1}{r_{DS}} = \lambda \cdot I_{DS,\text{sat}} = \frac{I_D}{V_E + V_{DS}} \approx \frac{I_D}{a_E \cdot L + V_{DS}}$$

2.8.2 Weak Inversion

$$g_m = \frac{I_D}{n_M \cdot V_{\text{temp}}}$$
 \rightarrow Unabhängig von der Geometrie des Transistors!

$$g_{mb} = -g_m \frac{\gamma}{2\sqrt{|V_{SB}| + |2\Phi_F|}} = -g_m(n_M - 1)$$

2.9 Zusammenhänge

 g_m ist in der Weak Inversion unabhängig der Geometrie. Es ist für einen gegebenen Drainstrom möglich, Transistoren, die in Weak Inversion wie auch welche, die in Strong Inversion sind herzustellen. Das g_m steigt beim Transistor in Strong Inversion

2.10 Bestimmung von Ersatzschaltbildern – Allgemein

2.10.1 Grosssignalersatzschaltung

Zur Bestimmung des Arbeitspunkts bzw. aller Gleichspannungen.

AC-Spannungsquellen durch Kurzschlüsse ersetzen.

AC-Stromguellen durch Unterbrüche ersetzen.

Kondensatoren durch Unterbrüche ersetzen.

Spulen durch Kurzschlüsse ersetzen.

2.10.2 Kleinsignalersatzschaltung

Zur Berechnung von Verstärkungsfaktoren und Eingangswiderständen für AC-Signale.

DC-Spannungsquellen durch Kurzschlüsse ersetzen.

DC-Stromquellen durch Unterbrüche ersetzen.

Nichtlineare Bauteile durch deren Kleinsignalersatzschaltbild ersetzen.

Koppel- und Bypass-Kondensatoren durch Kurzschlüsse ersetzen.

2.11 Vorgehen: Verstärker dimensionieren

- Arbeitspunkt bestimmen.
- I_D wählen, sodass der Transistor **gesättigt** ist.
- Kleinsignalersatzschaltung zeichnen.
- · Parameter der Ersatzschaltung bestimmen.

3 MOSFET Grundschaltungen

Es werden drei Grundschaltungen unterschieden. Diese werden jeweils durch deren Common-Anschluss benannt.

Schaltung	Source-Schaltung	Gate-Schaltung	Drain-Schaltung
Common	Source	Gate	Drain
Eingang	Gate	Source	Gate
Ausgang	Drain	Drain	Source

Hinweis: Die Drain-Schaltung wird auch Source-Follower genannt.

3.1 Einsatzgebiete und Eigenschaften

Grundschaltung	Anwendung	$r_{\rm in}$	$r_{ m out}$
Source	Verstärker: Tiefe – mittlere Frequenzen	gross	gross
Gate	Verstärker: Hohe Freqenzen	klein	gross
Drain	Spannungsfolger, Treiber, Impedanzwandler	gross	klein

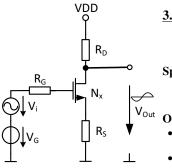
3.2 Dimensionierung einer Gundschaltung – Vorgehen

1 Arbeitspunkt mittels Grossignalersatzschaltung bestimmen (2.10.1 / 2.7.1)

- 2 Kleinsignalersatzschaltung
 - 2a) Beschaltung umzeichnen
 - 2b) Transistor durch Ersatzschaltbild ersetzen (2.10.2)
- **3** Durch lineare Analyse *a* und *r* berechnen

3.3 Source-Schaltung

Die Source-Schaltung ist eine invertierende Verstärkerschaltung.



3.3.1 Verstärkung

$$a = \frac{v_{\text{out}}}{v_{\text{in}}} = \frac{R_D}{R_S + \frac{1}{g_m} + \frac{g_0}{g_m} (R_D + R_S)}$$

$$R_S = 0$$
 $a \approx -g_m \cdot R_{\text{out}} = -g_m(r_{DS} \parallel R_D)$

- Maximierung der Verstärkung: $R_D \to \infty$ (so gross wie möglich) und $R_S \to 0$
- Chipplatz sparen: R_S und R_D weglassen

3.3.2 Designpraxis – Strong Inversion

Die **theoretisch** maximal mögliche Verstärkung in strong inversion ergibt sich als

$$a_{\text{max}} = -\frac{g_m}{g_0} = -g_m r_{DS} = -\frac{2 \cdot a_E \cdot L}{V_{GS} - V_T}$$

Damit der Wert a_{max} maximal wird, folgt as obiger Forme

- g_m so gross wie möglich
- r_{DS} so gross wie möglich
- V_{GS} so tief wie möglich $(V_{GS} V_T \approx 150 200 \,\text{mV})$. • L möglichst gross → grosser Lastwiderstand

3

3.3.3 Designpraxis - Weak Inversion

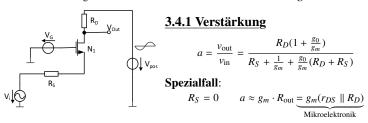
Die theoretisch maximal mögliche Verstärkung in weak inversion ergibt sich als

$$a_{\rm max} = -\frac{g_m}{g_0} = -g_m r_{DS} = -\frac{a_E \cdot L}{n_m - V_{\rm temp}}$$

- In weak inversion erreicht der Transistor seine maximale Verstärkung.
- Sie wird durch Technologieparameter sowie L bestimmt.
- Da in weak inversion mit Nähreungsformeln gerechnet wird, muss simuliert werden.

3.4 Gate-Schaltung

Die Gate-Schaltung ist eine nichtinvertierende Verstärkerschaltung.



$$a = \frac{v_{\text{out}}}{v_{\text{in}}} = \frac{R_D(1 + \frac{g_0}{g_m})}{R_S + \frac{1}{g_m} + \frac{g_0}{g_m}(R_D + R_S)}$$

$$R_S = 0$$
 $a \approx g_m \cdot R_{\text{out}} = g_m(r_{DS} \parallel R_D)$

Mikroelektronik

Für $R_S = 0$ und $R_D \ll r_{DS}$ gilt (ebenfalls in **strong inversion**) weiter:

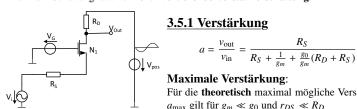
$$a \stackrel{R_D \text{klein}}{\approx} g_m R_D$$
 bzw. $a \stackrel{R_D \text{gross}}{\approx} \frac{g_m}{g_0} \approx a_{\text{max}}$

3.4.2 Bemerkungen

- Bei den gegebenen Formeln wurde der Body-Effekt vernachlässigt!
- Ohne Body-Effekt erreicht die Gate-Schaltung die gleiche theoretisch maximal mögliche Verstärkung a_{\max} wie die Source-Schaltung. Allerdings ist das Frequenzverhalten der Gate-Schaltung besser.
- Bei der Gate-Schaltung wird der Body-Effekt schnell zum Problem.

3.5 Drain-Schaltung (Source-Follower)

Die Drain-Schaltung ist eine nichtinvertierende Verstärkerschaltung.



$$a = \frac{v_{\text{out}}}{v_{\text{in}}} = \frac{R_S}{R_S + \frac{1}{g_m} + \frac{g_0}{g_m}(R_D + R_S)}$$

Für die theoretisch maximal mögliche Verstärkung $a_{\rm max}$ gilt für $g_m \ll g_0$ und $r_{DS} \ll R_D$

$$a_{\text{max}} = \lim_{R_S \to \infty} a = \lim_{R_S \to \infty} g_m \frac{R_S}{g_m R_S + 1} = 1$$

3.5.2 Level-Shift

Die Drain-Schaltung reduziert den DC-Pegel des Ausgangssignals um die Spannung V_{GS} . Somit ergibt sich der Zusammenhang:

$$V_{\rm in} - V_{\rm out} = V_{GS} = V_T + \sqrt{\frac{2I_D}{\mu C_{ox} \frac{W}{L}}} \qquad \Leftrightarrow \qquad V_{\rm out} = V_{\rm in} - \left(V_T + \sqrt{\frac{2I_D}{\mu C_{ox} \frac{W}{L}}}\right)$$

Damit der Level-Shift möglichst klein ist, wird L möglichst gross gewählt.

Da die Source nicht auf Bulk-Potential ist, muss die Veränderung der Threshold Spannung V_T aufgrund des Body-Effekts berücksichtigt werden (2.6.1).

3.5.3 Bemerkungen

- Der Source-Follower hat immer eine Verstärkung $a \le 1$
- Der Source-Follower bewirkt immer einen Level-Shift um V_{GS} .

3.6 Eingangs- und Ausgangswiderstände

3.6.1 Generelles Vorgehen

- Fiktive Spannungsquelle an entsprechenden Anschluss (z.B. Source) im Kleinsignaler satzschaltbild anschliessen.
- Strom, der über den Anschluss (z.B. Source) in den in den Transistor fliesst, messen.
- Widerstand als $r_i = \left| \frac{u_i}{i_i} \right|$ berechnen.

3.6.2 Eingangs- und Ausgangswiderstände berechnen

Gate $r_{i,G}$:

$$r_{i,G} \rightarrow \infty$$

Source $r_{i,S}$:

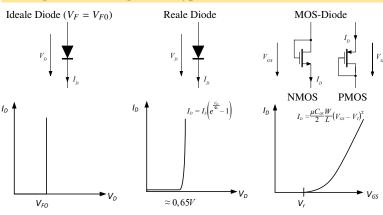
Allgemein
$$r_{i,S} = \left(\frac{1}{g_m} \parallel r_{DS}\right) \left(1 + \frac{R_D}{r_{DS}}\right) = \frac{1}{g_m + g_0} (1 + g_0 R_D)$$
 Für $r_{DS} \gg R_D$
$$r_{i,S} \approx \frac{1}{g_m} \parallel r_{DS} = \frac{1}{g_m + g_0}$$
 Für $g_m \gg g_0$
$$r_{i,S} \approx \frac{1}{g_m}$$

Drain $r_{i,D}$:

Allgemein
$$r_{i,D} = r_{DS} \left(1 + g_m R_S + \frac{R_S}{r_{DS}} \right) = \frac{1}{g_0} (1 + g_m R_S) + R_S$$
Für $r_{DS} \gg R_S$
$$r_{i,D} \approx r_{DS} (1 + g_m R_S) = \frac{1}{g_0} (1 + g_m R_S) + R_S$$
Für $R_S = 0$
$$r_{i,D} \approx r_{DS} = \frac{1}{g_0}$$

4 MOS Diode

4.1 Gegenüberstellung Diodentypen



4.2 Arbeitsbereich der MOS Diode

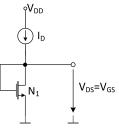
Die MOS Diode arbeitet (in strong inversion) immer in Sättigung, da die Sättigungsbedingung aufgrund der Verbindung der Gate- und Source-Anschlüsse immer erfüllt ist:

$$V_{\rm DS} = V_{\rm GS} > V_{\rm GS} - V_{\rm T}$$

Hinweis: Die Forwardspannung bestimmt, ob die MOS Diode in strong- oder weak inversion betrieben wird. Der 'Normalfall' ist strong inversion.

4.3 Arbeitspunkteinstellung

4.3.1 Arbeitspunkteinstellung mittels Drainstrom

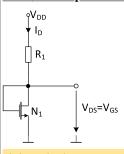


Aus der Drainstrom-Gleichung (strong inversion, Sättigung) lässt sich die Spannung über der Diode als Funktion des Eingangsstroms berechnen:

$$V_{\rm DS} = V_{\rm GS} = V_T + \sqrt{\frac{2I_{\rm D}}{\mu C_{\rm ox} \frac{W}{L}}}$$

$$V_{GS} = V_{\rm M} + n_M V_{\rm temp} \ln \frac{I_{\rm D}}{I_{\rm tr}^{\prime\prime} \frac{W}{V_{\rm T}}}$$

4.3.2 Arbeitspunkteinstellung mittels Seriewiderstand

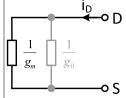


Der Arbeitspunkt kann auf zwei Arten ermittelt werden:

- Grafisch durch Einzeichnen der Lastgerade des Drainwiderstands R_1 in der Kennlinie $I_D = f(V_{GS})$
- Leerlaufspannung: $V_{GS,0} = V_{DD}$
- Kurzschluss-Strom: $I_{D,0} = \frac{V_{\rm DD}}{R_1}$
 - → Schnittpunkt entspricht Arbeitspunkt
- · Rechnerisch mittels folgender Formel

$$I_D = \frac{V_{\rm DD} - V_{\rm GS}}{R_1} = \frac{\mu C_{\rm OX}}{2} \frac{W}{L} (V_{\rm GS} - V_T)^2$$

4.4 Kleinsignalersatzschaltung



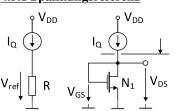
Die Kleinsignalersatzschaltung kann (leicht angepasst) vom MOS Transistor übernommen werden.

Allgemein:
$$r_{\text{MD}} = \frac{1}{g_m + g_0} = \frac{1}{g_m} \parallel r_{DS}$$

Praxis: $r_{\text{MD}} \approx \frac{1}{g_m} = \frac{1}{\sqrt{2\mu C_{OS} \frac{W}{T} I_D}}$

4.5 Anwendungen

4.5.1 Spannungsreferenz



Voraussetzung: Referenzstrom I_O

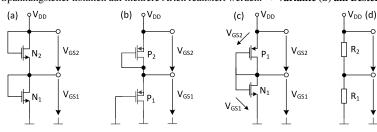
- Kleinerer Flächenanspruch als Widerstand
- Eingangsspannung wird durch relativ tie-
- fen $\Delta r_{
 m MD}$ geglättet Genauer als mit Widerstand, jedoch noch immer eher ungenau
- $r_{
 m MD}$ kann nur schlecht verändert werden

4.5.2 Spannungsstabilisator

- MOS-Dioden Schaltung aus Abschnitt 4.5.1 mit Widerstand statt Stromquelle
- AC-Störung wird oberhalb von *R* eingespeist (gegenüber GND)
- Kleinsignalersatzschaltung des beschriebenen Aufbaus:
 - Spannungsteiler aus R (gross) und r_{MD} (klein)
 - \rightarrow AC-Störspannung v_0 am Ausgang $(V_{DS} + v_0)$ sehr klein

4.5.3 Spannungsteiler

Spannungsteiler könnten auf mehrere Arten realisiert werden. → Variante (b) am Besten!



Schaltung (a)

- + Gleiche Elemente (nMOS)
- Body-Effekt bei N₂

Schaltung (b)

- + Gleiche Elemente (pMOS) → gutes Matching
- + Kein Body-Effekt (pMOS)

Schaltung (c)

- + Kein Body-Effekt
- Komplementäre Elemente \rightarrow schlechtes Matching

Schaltung (d)

- + Gute relative Genauigkeit
- Schlechte absolute Genauigkeit
- Braucht viel Platz

Weil für die Ströme gilt, dass $I_{D1} = I_{D2}$ ergibt sich das das Spannungsverhältnis

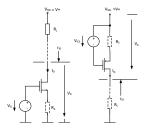
$$\frac{|V_{\text{GS1}} - V_{\text{T1}}|}{|V_{\text{GS2}} - V_{\text{T2}}|} = \sqrt{\frac{(W/L)_2}{(W/L)_1}}$$

5 MOS Stromquelle

Bei der Einstellung des Arbietspunkts mittels Widerstand resultiert eine quadratische Gleichung für den Strom und so die Ausgangsspannung eines Verstärkers. Abhilfe kann eine Stromquelle anstelle des Widerstands schaffen.

MOS Transistoren sind bereits spannungsgesteuerte Stromquellen. Durch einfügen eines R_S kann der Innenwiderstand der Stromquelle **maximiert** werden. \rightarrow Quelle wird 'idealer'

5.1 Stromquelle - Grundschaltungen



Ausgangswiderstand:

$$r_{\text{iD}} = r_{\text{DS}} \left(1 + g_m R_S + \frac{R_S}{r_{\text{DS}}} \right) = r_{\text{DS}} (1 + g_m R_S) + R_S$$

Minimale Ausgangsspannung:

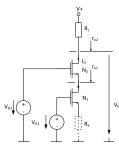
$$V_{\text{out}} = V_O > V_{O,\text{min}} = R_S I_D + D_{\text{DS.sat}}$$

5.2 Kaskoden

Damit für die Stromquelle kein Widerstand verwendet werden muss, kann ein weiterer Transistor verwendet werden. Diese Schaltung wird Kaskode genannt.

Dabei wird der maximale Ausgangsstrom jedoch leicht reduziert

5.2.1 Kaskode – Grundschaltung



Ausgangswiderstand:

$$r_{\text{out}} = r_{\text{o2}} \approx g_{m2} \cdot r_{\text{DS}}^2 = a_{\text{max}} \cdot r_{\text{DS}}$$

Minimale Ausgangsspannung:

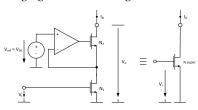
$$V_{O,\text{min}} = V_{G2} - V_{GS2} + V_{DS2,\text{sat}} = V_{DS1,\text{sat}} + V_{DS2,\text{sat}}$$

Strom

$$I_D = \frac{\mu C_{\rm OX}}{2} \left(\frac{W}{L}\right)_{N1} (V_{\rm GS_N1} - V_T)^2 \cdot (1 + \lambda V_{\rm DS_N1})$$

5.2.2 Geregelte Kaskode

Um die Kaskodenschaltung weiter zu **verbessern**, kann die $V_{\rm GS}$ Spannung des oberen Transistors auf die Referenzspannung geregelt werden. Durch das Stabilisieren der Spannung wird der Arbeitspunkt des Transistors stabilisiert (indem I_D konstant ist) und der **Ausgangswiderstand noch grösser**.



Transkonduktanz:

$$g_{m,\text{super}} = g_{m1}$$

Minimale Ausgangsspannung:

$$V_{O,\min} = V_{\text{ref}} + V_{\text{DS2,sat}}$$

Strom

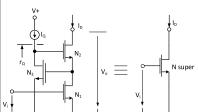
 \rightarrow Siehe Grundschaltung (5.2.1)

Ausgangswiderstand:

$$r_{\text{out}} \approx r_{\text{DS1}} \cdot g_{m2} \cdot r_{\text{DS2}} \cdot (a+1) = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \cdot (a+1)$$

5.2.3 Säckinger Kaskode

Die Säckinger Kaskode ersetzt den komplexen OpAmp mit einem einzelnen Transistor in **Source-Schaltung**.



Transkonduktanz:

$$g_{m,\text{super}} = g_{m1}$$

Minimale Ausgangsspannung:

$$V_{O,\min} = V_{GS3} + V_{DS2,sat}$$

Strom:

→ Siehe Grundschaltung (5.2.1)

Ausgangswiderstand:

$$r_{\text{out}} \approx r_{\text{DS1}} \cdot g_{m2} r_{\text{DS2}} \cdot g_{m3} r_{\text{DS3}} = \frac{1}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \cdot \frac{g_{m3}}{g_{o3}}$$

6 MOS Stromspiegel

Stromspiegel werden in jeder integrierten Schaltung eingesetzt. Sie werden dabei eingesetzt

- um Arbeitspunkte einzustellen,
- als Eingangsstufen von OpAMPs und
- als grosse Lastwiderstände in Verstärkerschaltungen.

6.1 Einfache Stromspiegel

$$I_{\text{out}} = k \cdot I_{\text{in}} = \frac{W_{\text{out}}/L_{\text{out}}}{W_{\text{in}}/L_{\text{in}}}$$

$$V_{\text{out}} \ge V_{\text{DS, sat N}_2} = \sqrt{\frac{2I_{\text{D}}}{\mu C_{\text{ox}} \frac{W}{L}}}$$

6.1.1 Eingangsbeschaltung

Als Eingang dient ein Strom aus einer Referenzquelle

$$I_{\rm in} = I_{\rm ref}$$

oder kann von der Eingangsspannung als

$$V_{\rm in} = V_{\rm T, N_1} + \sqrt{\frac{2I_{\rm in}}{\mu C_{\rm ox} \frac{W}{L}}}$$

abgeleitet werden.

6.1.2 Anwendungen

Versorgungsspannungsunterdrückung / DC-Level Shifting:

Durch Einsatz eines Stromspiegels kann die Abhängigkeit der Ausgangsspannung von der Versorgungsspannung reduziert werden.

Stromquellenlast bei Differenzstufe:

Mehrfachstromspiegel:

Durch einen Mehrfachstromspiegel reicht ein Referenzstrom aus, um diverse Referenzströme zu generieren. Die Grösse der vom Stromspiegel erzeugten Ströme kann durch die Länge und Breite der Transistoren eingestellt werden.