



V1.0.20250301

Analog Microelectronics

HS 2024 – Prof. Dr. Paul Zbinden
Autoren: Flurin Brechbühler, Laurin Heitzer, Simone Stitz
<https://github.com/flurin-b/AnME>

Inhaltsverzeichnis

I	AnME	1	2	MOS Transistoren	1
1	CMOS Technologie	1	2.1	Dotierung	1
1.1	Prozessüberblick – Herstellung integrierter Schaltungen	1	2.2	MOS-Kapazität	2
1.2	Arten von Toleranzen	1	2.3	MOS-Transistoren	2
1.3	CMOS Bauelemente	1	2.4	Ausgangskennlinie – Arbeitsbereiche	2
			2.5	Ersatzschaltungen	2
			2.6	Berechnung des Drainstroms	2

I AnME

1 CMOS Technologie

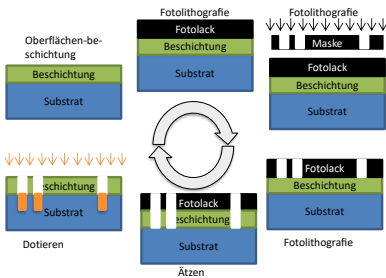
1.1 Prozessüberblick – Herstellung integrierter Schaltungen

Die Herstellung integrierter Schaltungen zeichnet sich durch folgende Besonderheiten aus:

- Komplexe Logistik aufgrund einer Vielzahl an Prozessschritten
- Hochgradige Standardisierung
- Teure Infrastruktur und teure Prozesse

Der Prozess läuft in groben Zügen wie folgt ab:

1. Sand wird geschmolzen und gereinigt. Daraus wird ein Silizium-Einkristall gezogen.
2. Der Einkristall wird in Wafer geschnitten / gesägt.
3. Durch wiederholte Oberflächenbeschichtung, Fotolithografie, Ätzen und Dotierung wird der Wafer strukturiert. Dazwischen muss der Wafer jeweils gesäubert werden.
4. Die einzelnen Chips auf dem Wafer werden vereinzelt.
5. Zur Konfektion werden die Chips in Gehäuse verbaut.
6. Um die ICs in Systemen einzusetzen, werden diese auf Leiterplatten verbaut.



Lithographie:

Lichtempfindlicher Lack (Photoresist) wird durch eine Lichtquelle löslich (positiver Photoresist) oder unlöslich (negativer Photoresist) gemacht. Durch Lösen des löslichen Photoresists kann die Oberfläche lokal geschützt werden und so gezielt regionen des Chips geätzt oder beschichtet werden. Zum Ende wird der übrige Lack entfernt und der Vorgang beliebig oft wiederholt.

Ätzen:

Durch Ätzen kann gezielt Material von freiliegenden Flächen des Wafers entfernt werden. Dabei werden folgende Verfahren unterschieden:

Isotrop (Nass oder Plasma): Gleichförmiges Ätzen in alle Richtungen → Bringt die Gefahr des Unterätzens

Anisotrop (Reactive Ion Etching, KOH oder Plasma): Ätzen entlang Kristallrichtungen, z.B. KOH greift die (111)-Ebene kaum an → Ermöglicht steilere Gräben, MEMS

Selektiv: Selektives Ätzen bestimmter Materialien, z.B. HF ätzt SiO₂ aber nicht Si → Erlaubt das Ätzen einer Lage ohne Beschädigung unterliegender Strukturen

Dotieren:

Beim Dotieren werden gezielt Fremdatome in den Siliziumkristall eingebracht.

Donatoren, also Atome mit einem Valenzelektron mehr als der Halbleiter, verursachen einen Elektronenüberschuss, der Kristall wird **n-dotiert**.

Akzeptoren, also Atome mit einem Valenzelektron weniger als der Halbleiter, verursachen einen Lochüberschuss, der Kristall wird **p-dotiert**.

1.1.1 Backend Prozesse

Wafer Sort:

Die Chips werden auf dem Wafer einzeln getestet (Kontaktierung mit Nadeln). Dies ist oft zeitaufwendig → Durch gutes Design sollte diese Zeit minimiert werden.

Der Yield, (prozentualer Anteil funktionaler Chips) hängt dabei von der Chipgrösse ab. Dies, da jeder Defekt bei grossen Chips eine grosse Fläche beeinträchtigt, da jeweils nur ganze Chips funktionsfähig oder defekt sein können.

Yields von 90 % sind meist notwendig, um Profit zu machen.

Assembly and Test:

Die Wafer werden in einzelne Chips getrennt und die funktionierenden Chips in Gehäuse verbaut. Im Gehäuse erfolgt ein Final-Test.

1.2 Arten von Toleranzen

Bei der Herstellung von Wafern werden verschiedene Toleranzen unterschieden:

Devicetoleranz Toleranzen betreffend der Strukturen auf gleichem Chip

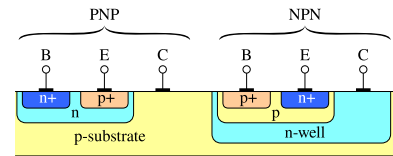
Prozesstoleranzen Toleranzen betreffend der Strukturen auf einem Wafer

Lostoleranz Toleranzen innerhalb eines Batches bzw. Los (meist 25, selten bis 50 Wafer)

1.3 CMOS Bauelemente

Mögliche Strukturen und Elemente wie auch die Materialeigenschaften werden im **Technologiehandbuch** gegeben.

1.3.1 Bipolartransistoren



1.3.2 Kapazitäten (pro Fläche)

$$C = \epsilon \cdot \frac{A}{d} = \epsilon_0 \cdot \epsilon_r \cdot \frac{W \cdot L}{d} = C'' \cdot A$$

$$C'' = \frac{\epsilon}{d} = \frac{\epsilon_0 \cdot \epsilon_r}{d}$$

$$\epsilon_0 = 8.85 \cdot 10^{-12} \text{ F m}^{-1}$$

$$\epsilon_{r,\text{Si}, \text{SiO}_2} \approx 3.9$$

$$\epsilon_{r,\text{Dielektrikum}} \approx 2.9 \text{ (möglichst klein)}$$

$$C''$$

$$A$$

$$d$$

Spezifische Kapazität

Fläche der Kapazität

Abstand (fix)

$$[C''] = \text{F m}^{-2}$$

$$[A] = \text{m}^2$$

$$[d] = \text{m}$$

MIM:

Metal-Interconnect-Metal-Kondensatoren produzieren **sehr kleine Kapazitäten**, da die Interconnect-Layers relativ dick sind ($d \sim 2.5 \cdot 10^{-7} \text{ m}$) und absichtlich aus 'schlechtem' Dielektrikum ($\epsilon_r \approx 2.9$) bestehen. Die Spannungsfestigkeit ist jedoch höher.

MOS:

Da Oxidschichten sehr dünn realisiert werden können ($d \sim 2.33 \cdot 10^{-9} \text{ m}$) und ein höheres $\epsilon_r \approx 3.9$ besitzen, benötigen MOS-Kondensatoren im Vergleich zu MIM-Kondensatoren bedeutend weniger Fläche. Somit können grössere Kapazitäts-Werte realisiert werden. Sie besitzen jedoch eine kleinere Spannungsfestigkeit.

1.3.3 Spulen

Spulen sind nur planar möglich und beanspruchen oft viel Platz.

1.3.4 Widerstände (pro quadr. Flächeneinheit)

$$R = \rho \frac{L}{A} = \rho \frac{L}{t \cdot W} = R_{\square} \frac{L}{W} = R_{\square} \cdot n_{\square}$$

$$R_{\square} = \frac{\rho}{t}$$

Typische Werte:

Metall

Poly (salicide)

Poly (non-salicide)

n- / p-Diffusion

n- / p-Well

$$R_{\square} \approx 0.02 \dots 0.08 \Omega$$

$$R_{\square} \approx 10 \Omega$$

$$R_{\square} \approx 100 \Omega \text{ (n+ Poly)}$$

$$R_{\square} \approx 400 \Omega \text{ (p+ Poly)}$$

$$R_{\square} \approx 100/150 \Omega$$

$$R_{\square} \approx 400/1600 \Omega$$

1.3.5 Parasitäre Effekte

Jedes Bauteil ist von parasitären Effekten betroffen. Diese sind:

- Streukapazitäten und ungewollte Kapazitäten zu anderen Layern
- Widerstandsbelag des Leitermaterials
- Induktivitätsbelag von 'langen' Leitern
- Toleranzen
- Nichtlinearitäten z.B. die Spannungsabhängigkeit der Kapazitäten von PN-Übergängen

→ **Empfehlung: Verhältnisse verwenden, nicht Absolutwerte!**

2 MOS Transistoren

2.1 Dotierung

Dotierung:

Unreinheit:

Majoritätsträger:

Minoritätsträger:

N-dotiert

Aluminium (HG III)

Elektronen

Löcher

P-dotiert

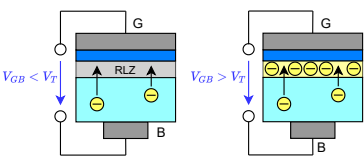
Phosphor / Arsen (HG V)

Löcher

Elektronen

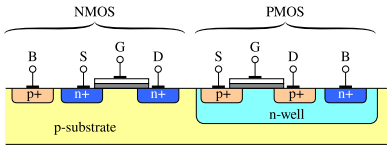
2.2 MOS-Kapazität

Minoritätsträger werden an das Gate gezogen. Die entstandene Raumladungszone weist bei ausreichend hoher Gate-Spannung einen Minoritätsträgerüberschuss auf, ist also in der Funktion **komplementär** zum Substrat dotiert.



2.3 MOS-Transistoren

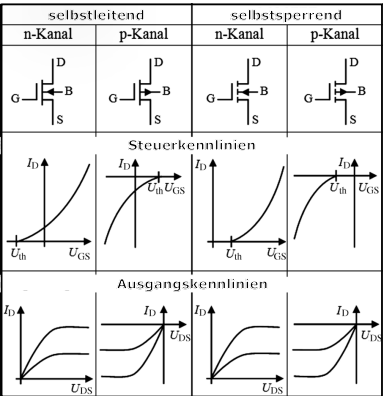
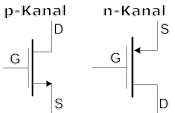
Werden links und rechts vom MOS-Kondensator komplementär zum Substrat dotierte Regionen (Drain und Source) erstellt, so kann ohne Gatespannung aufgrund der PN-Übergänge kein Strom vom Drain zur Source (oder umgekehrt) fließen. Wird nun eine Spannung am Gate angelegt, so entsteht die Minoritätsträger-Leitende Raumladungszone - der Kanal. Dieser verbindet Drain und Source, es kann also ein Strom fließen.



2.3.1 Übersicht und Symbole

Durch Vordotierung des Kanals kann der Transistor ohne Gate-Spannung leitend gemacht werden (Verarmungstyp, selbstleitend). Eine negative Gate-Spannung kann den Kanal dann abschnüren. Verarmungstypen werden in dieser Vorlesung nicht behandelt.

Der Bulk wird nur eingezeichnet, wenn dieser nicht mit der Source verbunden ist. Deshalb werden meist die vereinfachten Symbole verwendet.



2.3.2 Modelle

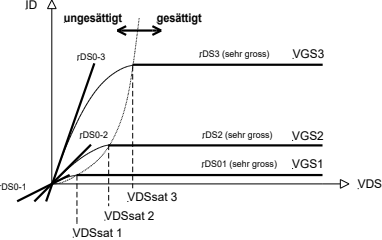
In Cadence sind verschiedene Modelle hinterlegt:

Berkeley Model 11: Das Modell 11 wurde in Berkeley erstellt und beinhaltet eine Vielzahl Parameter und ist sehr komplex und umfangreich.

Model 1: Handrechenmodell, welches zwar weniger genau, dafür aber viel einfacher ist.

2.4 Ausgangskennlinie – Arbeitsbereiche

Die Ausgangskennlinie beschreibt den Zusammenhang $I_D = f(V_{DS})|_{V_{GS}=\text{konst}}$

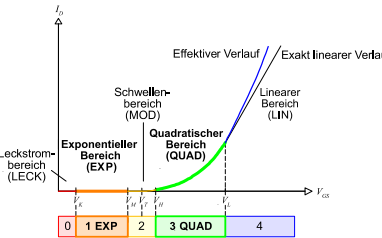


- Zwei Arbeitsbereiche:
- ungesättigt (gesteuerter Widerstand)
 - gesättigt (Stromquelle)

Die Sättigungsgrenze $V_{DS,sat}$ ist abhängig vom **Kanalzustand**:

- **weak inversion:** $V_{DS,sat} = V_{eff} \approx 5 \cdot V_{temp} \approx 130\text{ mV}$
- **strong inversion:** $V_{DS,sat} = V_{eff} = V_{GS} - V_T$

2.4.1 Transferkennlinie – Ausgangsstrombereiche



Die Transferkennlinie beschreibt den Zusammenhang $I_D = f(V_{GS})$

Dabei werden **5 Ausgangsstrombereiche** unterschieden. Diese hängen mit dem **Kanalzustand** zusammen.

- Des Weiteren gibt es die Bereiche:
- Subthreshold: $V_{GS} < V_T$
 - Above Threshold: $V_{GS} > V_T$

Ausgangsstrombereiche:

Bereich	Mathem. Charakterisierung	Zugrundeliegender phys. Effekt
LECK	I_D erreicht Minimalwert, der nicht weiter unterschritten werden kann	Drain- und Source-Substratdiode haben Leckströme ins Substrat
EXP	I_D steigt exponentiell mit V_{GS}	Kanal zeigt weak inversion
MOD	Keine 'handliche' Formel für I_D	Kanal zeigt moderate inversion
QUAD	I_D steigt quadratisch mit V_{GS}	Kanal zeigt strong inversion
LIN	I_D steigt annähernd linear mit V_{GS} (halb QUAD, halb LIN)	Geschwindigkeitssättigung der Ladungsträger im Kanal im Kanal (nicht weiter beschleunigbar)

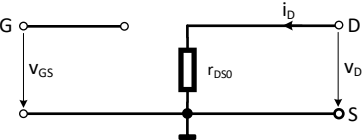
Hinweis: Die Inversion des Kanals beschreibt, wie sehr sich die Polarität geändert ('invertiert') hat. Bei einem n-Kanal FET ist der Kanal ursprünglich p-leitend. Wird der Kanal invertiert, so wird er (schwach, moderat oder stark) n-leitend.

2.5 Ersatzschaltungen

Je nach Arbeitsbereich (gesättigt / ungesättigt) müssen verschiedene Ersatzschaltungen verwendet werden.

Ungesättigt

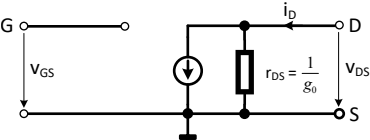
Gesteuerter Widerstand $\rightarrow I_D = f(V_{DS})$



Je kleiner r_{DS0} , desto steiler die Geraden links im Ausgangskennlinienfeld

Gesättigt

Stromquelle $\rightarrow I_D = f(V_{GS})$



Je grösser r_{DS} , desto flacher die Geraden rechts im Ausgangskennlinienfeld

2.6 Berechnung des Drainstroms

Die Berechnung des Drainstroms hängt sowohl von Arbeitsbereich (gesättigt / ungesättigt), als auch vom Ausgangsstrombereich (bzw. der Kanalversion) ab!

2.6.1 Strong Inversion

QUAD-Bereich: $V_H(I_D) < V_{GS} < V_L(I_D)$

$\beta = \mu \cdot C_{ox} \cdot \frac{W}{L}$

Ungesättigt: $I_D = \beta \cdot \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right]$
Gesättigt: $I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$

2.6.2 Weak Inversion

EXP-Bereich: $V_K(I_D) < V_{GS} < V_M(I_D)$

$V_{temp} = \frac{kT}{q}$

Ungesättigt: $I_D = I_M \cdot e^{\frac{V_{GS}-V_M}{n_M \cdot V_{temp}}} \cdot (1 - e^{-\frac{V_{DS}}{V_{temp}}})$
Gesättigt: $I_D = I_M \cdot e^{\frac{V_{GS}-V_M}{n_M \cdot V_{temp}}}$

2.6.3 Bereiche ohne Berechnungsformeln

In den drei verbleibenden Bereichen sind **keine Berechnungsformeln für I_D** vorhanden.

Bereich	Grenzen
LECK	$V_K(I_D) < V_{GS} < V_M(I_D)$
MOD	$V_M(I_D) < V_{GS} < V_H(I_D)$
LIN	$V_L(I_D) < V_{GS}$

Im MOD-Bereich (moderate inversion) liefern die Formeln der weak bzw. strong inversion katastrophal falsche Resultate!

Es ist daher enorm wichtig, den Arbeitsbereich des Transistors korrekt zu bestimmen.