Analog Microelectronics

HS 2024 – Prof. Dr. Paul Zbinden

Autoren: Flurin Brechbühler, Laurin Heitzer, Simone Stitz

https://github.com/flurin-b/AnME

V1.0.20250226

Inhaltsverzeichnis

I AnME 1

1 CMOS Technologie 1

1.1 Prozessüberblick – Herstellung integrierter Schaltungen 1
1.2 Arten von Toleranzen 1
1.3 CMOS Bauelemente 1

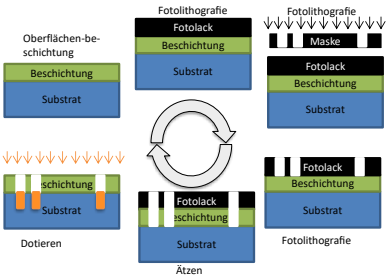
I AnME

1 CMOS Technologie

1.1 Prozessüberblick – Herstellung integrierter Schaltungen

Die Herstellung integrierter Schaltungen zeichnet sich durch folgende Besonderheiten aus:
- Komplexe Logistik aufgrund einer Vielzahl an Prozessschritten
- Hochgradige Standardisierung
- Teure Infrastruktur und teure Prozesse

Der Prozess läuft in groben Zügen wie folgt ab:
1. Sand wird geschmolzen und gereinigt. Daraus wird ein Silizium-Einkristall gezogen.
2. Der Einkristall wird in Wafer geschnitten / gesägt.
3. Durch wiederholte Oberflächenbeschichtung, Fotolithografie, Ätzen und Dotierung wird der Wafer strukturiert. Dazwischen muss der Wafer jeweils gesäubert werden.
4. Die einzelnen Chips auf dem Wafer werden vereinzelt.
5. Zur Konfektion werden die Chips in Gehäuse verbaut.
6. Um die ICs in Systemen einzusetzen, werden diese auf Leiterplatten verbaut.



Lithographie:
Lichtempfindlicher Lack (Photoresist) wird durch eine Lichtquelle löslich (positiver Photoresist) oder unlöslich (negativer Photoresist) gemacht. Durch Lösen des löslichen Photoresists kann die Oberfläche lokal geschützt werden und so gezielt regionen des Chips geätzt oder beschichtet werden. Zum Ende wird der übrige Lack entfernt und der Vorgang beliebig oft wiederholt.

Ätzen:
Durch Ätzen kann gezielt Material von freiliegenden Flächen des Wafers entfernt werden. Dabei werden folgende Verfahren unterschieden:
Isotrop (Nass oder Plasma): Gleichförmiges Ätzen in alle Richtungen → Bringt die Gefahr des Unterätzens
Anisotrop (Reactive Ion Etching, KOH oder Plasma): Ätzen entlang Kristallrichtungen, z.B. KOH greift die (111)-Ebene kaum an → Ermöglicht steiliere Gräben, MEMS
Selektiv: Selektives Ätzen bestimmter Materialien, z.B. HF ätzt SiO_2 aber nicht Si → Erlaubt das Ätzen einer Lage ohne beschädigung unterliegender Strukturen

Dotieren:
Beim Dotieren werden gezielt Fremdatome in den Siliziumkristall eingebracht.
Donatoren, also Atome mit einem Valenzelektron mehr als der Halbleiter, verursachen einen Elektronenüberschuss, der Kristall wird **n-dotiert**.
Akzeptoren, also Atome mit einem Valenzelektron weniger als der Halbleiter, verursachen einen Lochüberschuss, der Kristall wird **p-dotiert**.

1.1.1 Backend Prozesse

Wafer Sort:
Die Chips werden auf dem Wafer einzeln getestet (Kontaktierung mit Nadeln). Dies ist oft zeitaufwendig → Durch gutes Design sollte diese Zeit minimiert werden.
Der Yield, (prozentualer Anteil funktionaler Chips) hängt dabei von der Chipgrösse ab. Dies, da jeder Defekt bei grossen Chips eine grosse Fläche beeinträchtigt, da jeweils nur ganze Chips funktionsfähig oder defekt sein können.
Yields von 90 % sind meist notwendig, um Profit zu machen.

Assembly and Test:
Die Wafer werden in einzelne Chips getrennt und die funktionierenden Chips in Gehäuse verbaut. Im Gehäuse erfolgt ein Final-Test.

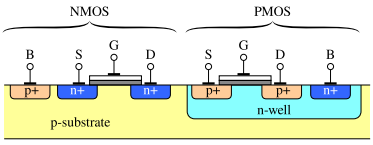
1.2 Arten von Toleranzen

Bei der Herstellung von Wafern werden verschiedene Toleranzen unterschieden:
Devicetoleranz Toleranzen betreffend der Strukturen auf gleichem Chip
Prozesstoleranzen Toleranzen betreffend der Strukturen auf einem Wafer
Lostoleranz Toleranzen innerhalb eines Batches bzw. Los (meist 25, selten bis 50 Wafer)

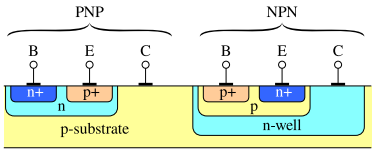
1.3 CMOS Bauelemente

Mögliche Strukturen und Elemente wie auch die Materialeigenschaften werden im **Technologiehandbuch** gegeben.

1.3.1 CMOS Transistoren



1.3.2 Bipolartransistoren



1.3.3 Kapazitäten (pro Fläche)

$$C = \varepsilon \cdot \frac{A}{d} = \varepsilon_0 \cdot \varepsilon_r \cdot \frac{W \cdot L}{d} = C'' \cdot A$$

$$C'' = \frac{\varepsilon}{d} = \frac{\varepsilon_0 \cdot \varepsilon_r}{d}$$

$\varepsilon_0 = 8.85 \cdot 10^{-12}\,\mathrm{F\,m^{-1}}$	C''	Spezifische Kapazität	$[C''] = \mathrm{F\,m^{-2}}$
$\varepsilon_{r,\mathrm{Si,\,SiO_2}} \approx 3.9$	A	Fläche der Kapazität	$[A] = \mathrm{m^2}$
$\varepsilon_{r,\mathrm{Dielektrikum}} \approx 2.9$ (möglichst klein)	d	Abstand (fix)	$[d] = \mathrm{m}$

MIM:
Metal-Interconnect-Metal-Kondensatoren produzieren **sehr kleine Kapazitäten**, da die Interconnect-Layers relativ dick sind ($d \sim 2.5 \cdot 10^{-7}$ m) und absichtlich aus 'schlechtem' Dielektrikum ($\varepsilon_r \approx 2.9$) bestehen. Die Spannungsfestigkeit ist jedoch höher.

MOS:
Da Oxidschichten sehr dünn realisiert werden können ($d \sim 2.33 \cdot 10^{-9}$ m) und ein höheres $\varepsilon_r \approx 3.9$ besitzen, benötigen MOS-Kondensatoren im Vergleich zu MIM-Kondensatoren bedeutend weniger Fläche. Somit können grössere Kapazitäts-Werte realisiert werden. Sie besitzen jedoch eine kleinere Spannungsfestigkeit.

1.3.4 Spulen

Spulen sind nur planar möglich und beanspruchen oft viel Platz.

1.3.5 Widerstände (pro quadr. Flächeneinheit)

$$R = \rho \frac{L}{A} = \rho \frac{L}{t \cdot W} = R_\square \frac{L}{W} = R_\square \cdot n_\square$$

$$R_\square = \frac{\rho}{t}$$

Typische Werte:

Metall	$R_\square \approx 0.02...0.08\,\Omega$
Poly (salicide)	$R_\square \approx 10\,\Omega$
Poly (non-salicide)	$R_\square \approx 100\,\Omega$ (n+ Poly)
	$R_\square \approx 400\,\Omega$ (p+ Poly)
n- / p-Diffusion	$R_\square \approx 100/150\,\Omega$
n- / p-Well	$R_\square \approx 400/1600\,\Omega$

1.3.6 Parasitäre Effekte

Jedes Bauteil ist von parasitären Effekten betroffen. Diese sind:
- Streukapazitäten und ungewollte Kapazitäten zu anderen Layern
- Wiederstandsbelag des Leitermaterials
- Induktivitätsbelag von 'langen' Leitern
- Toleranzen
- Nichtlinearitäten z.B. die Spannungsabhängigkeit der Kapazitäten von PN-Übergängen

→ Empfehlung: Verhältnisse verwenden, nicht Absolutwerte!