



V1.0.20250226

Analog Microelectronics

HS 2024 – Prof. Dr. Paul Zbinden

Autoren: Flurin Brechbühler, Laurin Heitzer, Simone Stitz

<https://github.com/flurin-b/AnME>

Inhaltsverzeichnis

I AnME

1 CMOS Technologie

1.1	Prozessüberblick – Herstellung integrierter Schaltungen	1
1.2	Arten von Toleranzen	1
1.3	CMOS Bauelemente	1
1.4	Bipolartransistoren	1

2 MOS Transistoren

2.1	Dotierung	1
2.2	MOS-Kondensator	1
2.3	MOS-Transistoren	2
2.4	Arbeitsbereiche von MOS-Transistoren	2
2.5	Kennlinien	2
2.6	Ersatzschaltungen	2
2.7	Ungesättigt	2

I AnME

1 CMOS Technologie

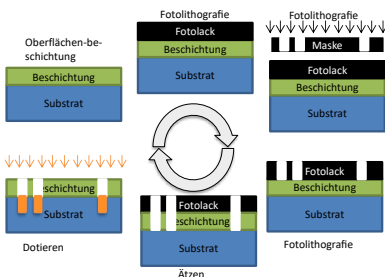
1.1 Prozessüberblick – Herstellung integrierter Schaltungen

Die Herstellung integrierter Schaltungen zeichnet sich durch folgende Besonderheiten aus:

- Komplexe Logistik aufgrund einer Vielzahl an Prozessschritten
- Hochgradige Standardisierung
- Teure Infrastruktur und teure Prozesse

Der Prozess läuft in groben Zügen wie folgt ab:

1. Sand wird geschmolzen und gereinigt. Daraus wird ein Silizium-Einkristall gezogen.
2. Der Einkristall wird in Wafer geschnitten / gesägt.
3. Durch wiederholte Oberflächenbeschichtung, Fotolithografie, Ätzen und Dotierung wird der Wafer strukturiert. Dazwischen muss der Wafer jeweils gesäubert werden.
4. Die einzelnen Chips auf dem Wafer werden vereinzelt.
5. Zur Konfektion werden die Chips in Gehäuse verbaut.
6. Um die ICs in Systemen einzusetzen, werden diese auf Leiterplatten verbaut.



Lithographie:

Lichtempfindlicher Lack (Photoresist) wird durch eine Lichtquelle löslich (positiver Photoresist) oder unlöslich (negativer Photoresist) gemacht. Durch Lösen des löslichen Photoresists kann die Oberfläche lokal geschützt werden und so gezielt regionen des Chips geätzt oder beschichtet werden. Zum Ende wird der übrige Lack entfernt und der Vorgang beliebig oft wiederholt.

Ätzen:

Durch Ätzen kann gezielt Material von freiliegenden Flächen des Wafers entfernt werden. Dabei werden folgende Verfahren unterschieden:

Isotrop (Nass oder Plasma): Gleichförmiges Ätzen in alle Richtungen → Bringt die Gefahr des Unterätzens

Anisotrop (Reactive Ion Etching, KOH oder Plasma): Ätzen entlang Kristallrichtungen, z.B. KOH greift die (111)-Ebene kaum an → Ermöglicht steilere Gräben, MEMS

Selektiv: Selektives Ätzen bestimmter Materialien, z.B. HF ätzt SiO₂ aber nicht Si → Erlaubt das Ätzen einer Lage ohne Beschädigung unterliegender Strukturen

Dotieren:

Beim Dotieren werden gezielt Fremdatome in den Siliziumkristall eingebracht.

Donatoren, also Atome mit einem Valenzelektron mehr als der Halbleiter, verursachen einen Elektronenüberschuss, der Kristall wird **n-dotiert**.

Akzeptoren, also Atome mit einem Valenzelektron weniger als der Halbleiter, verursachen einen Lochüberschuss, der Kristall wird **p-dotiert**.

1.1.1 Backend Prozesse

Wafer Sort:

Die Chips werden auf dem Wafer einzeln getestet (Kontaktierung mit Nadeln). Dies ist oft zeitaufwendig → Durch gutes Design sollte diese Zeit minimiert werden.

Der Yield, (prozentualer Anteil funktionaler Chips) hängt dabei von der Chipgrösse ab. Dies, da jeder Defekt bei grossen Chips eine grosse Fläche beeinträchtigt, da jeweils nur ganze Chips funktionsfähig oder defekt sein können.

Yields von 90 % sind meist notwendig, um Profit zu machen.

Assembly and Test:

Die Wafer werden in einzelne Chips getrennt und die funktionierenden Chips in Gehäuse verbaut. Im Gehäuse erfolgt ein Final-Test.

1.2 Arten von Toleranzen

Bei der Herstellung von Wafern werden verschiedene Toleranzen unterschieden:

Devicetoleranz Toleranzen betreffend der Strukturen auf gleichem Chip

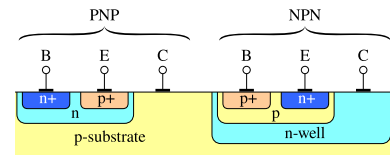
Prozesstoleranzen Toleranzen betreffend der Strukturen auf einem Wafer

Lostoleranz Toleranzen innerhalb eines Batches bzw. Los (meist 25, selten bis 50 Wafer)

1.3 CMOS Bauelemente

Mögliche Strukturen und Elemente wie auch die Materialeigenschaften werden im **Technologiehandbuch** gegeben.

1.4 Bipolartransistoren



1.4.1 Kapazitäten (pro Fläche)

$$C = \epsilon \cdot \frac{A}{d} = \epsilon_0 \cdot \epsilon_r \cdot \frac{W \cdot L}{d} = C'' \cdot A$$

$$C'' = \frac{\epsilon}{d} = \frac{\epsilon_0 \cdot \epsilon_r}{d}$$

$\epsilon_0 = 8.85 \cdot 10^{-12} \text{ F m}^{-1}$

$\epsilon_{r,\text{Si}, \text{SiO}_2} \approx 3.9$

$\epsilon_{r,\text{Dielektrikum}} \approx 2.9$ (möglichst klein)

C'' Spezifische Kapazität $[C''] = \text{F m}^{-2}$

A Fläche der Kapazität $[A] = \text{m}^2$

d Abstand (fix) $[d] = \text{m}$

MIM:

Metal-Interconnect-Metal-Kondensatoren produzieren **sehr kleine Kapazitäten**, da die Interconnect-Layers relativ dick sind ($d \sim 2.5 \cdot 10^{-7} \text{ m}$) und absichtlich aus 'schlechtem' Dielektrikum ($\epsilon_r \approx 2.9$) bestehen. Die Spannungsfestigkeit ist jedoch höher.

MOS:

Da Oxidschichten sehr dünn realisiert werden können ($d \sim 2.33 \cdot 10^{-9} \text{ m}$) und ein höheres $\epsilon_r \approx 3.9$ besitzen, benötigen MOS-Kondensatoren im Vergleich zu MIM-Kondensatoren bedeutend weniger Fläche. Sie besitzen jedoch eine kleinere Spannungsfestigkeit.

1.4.2 Spulen

Spulen sind nur planar möglich und beanspruchen oft viel Platz.

1.4.3 Widerstände (pro quadr. Flächeneinheit)

$$R = \rho \frac{L}{A} = \rho \frac{L}{t \cdot W} = R_{\square} \frac{L}{W} = R_{\square} \cdot n_{\square}$$

$$R_{\square} = \frac{\rho}{t}$$

Typische Werte:

Metall	$R_{\square} \approx 0.02 \dots 0.08 \Omega$
Poly (salicide)	$R_{\square} \approx 10 \Omega$
Poly (non-salicide)	$R_{\square} \approx 100 \Omega$ (n+ Poly)
	$R_{\square} \approx 400 \Omega$ (p+ Poly)
n- / p-Diffusion	$R_{\square} \approx 100/150 \Omega$
n- / p-Well	$R_{\square} \approx 400/1600 \Omega$

1.4.4 Parasitäre Effekte

Jedes Bauteil ist von parasitären Effekten betroffen. Diese sind:

- Streukapazitäten und ungewollte Kapazitäten zu anderen Layern
- Widerstandsbelag des Leitermaterials
- Induktivitätsbelag von "langen" Leitern
- Toleranzen
- Nichtlinearitäten z.B. die Spannungsabhängigkeit der Kapazitäten von PN-Übergängen

2 MOS Transistoren

2.1 Dotierung

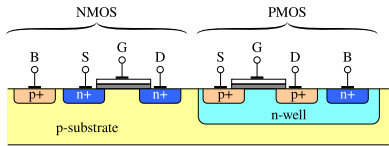
Dotierung:	N-dotiert	P-dotiert
Unreinheit:	Aluminium (HG III)	Phosphor / Arsen (HG V)
Majoritätsträger:	Elektronen	Löcher
Minoritätsträger:	Löcher	Elektronen

2.2 MOS-Kondensator

Minoritätsträger werden an das Gate gezogen. Die entstandene Raumladungszone weist bei ausreichend hoher Gate-Spannung einen Minoritätsträgerüberschuss auf, ist also in der Funktion komplementär zum Substrat dotiert.

2.3 MOS-Transistoren

Werden links und rechts vom MOS-Kondensator komplementär zum Substrat dotierte Regionen (Drain und Source) erstellt, so kann ohne Gatespannung aufgrund der PN-Übergänge kein Strom vom Drain zur Source (oder umgekehrt) fließen. Wird nun eine Spannung am Gate angelegt, so entsteht die Minoritätsträger-Leitende Raumladungszone - der Kanal. Dieser verbindet Drain und Source, es kann also ein Strom fließen.



2.3.1 Variationen

Durch Vordotierung des Kanals kann der Transistor ohne Gate-Spannung leitend gemacht werden. Eine negative Gate-Spannung kann den Kanal dann abschnüren. Dies ist ein Verarmungs-MOSFET. Der Bulk wird nur eingezeichnet, wenn dieser nicht mit der Source verbunden ist.

2.3.2 Modelle

In Cadence sind verschiedene Modelle hinterlegt:
Berkly Model 11: Das Modell 11 wurde in Berkly erstellt und beinhaltet eine Vielzahl Parameter und ist recht komplex.
Model 1: Handrechenmodell, welches zwar weniger genau, dafür aber viel einfacher ist.

2.4 Arbeitsbereiche von MOS-Transistoren

Der Ausgangsspannungsbereich, also die V_{DS} -Achse wird in zwei Teile unterteilt: Gesättigt und ungesättigt.
Der Ausgangsstrombereich, also die V_{GS} -Achse wird in die folgenden Bereiche unterteilt:
Leckstrom-Bereich: Der Transistor leitet aufgrund von parasitären Effekten nur minimal.
Weak Inversion: Durch den Kanal beginnt Strom zu fließen, I_D steigt exponentiell mit V_{GS} .
Moderate Inversion: Der Übergangsbereich zwischen Weak und Strong Inversion, schlecht mit Formeln modellierbar.
Strong Inversion: Der Kanal leitet, I_D steigt quadratisch mit V_{GS} .

2.4.1 Sättigung

Die Sättigungsgrenze ist gegeben als

$V_{DS} > V_{DS, \text{sat}}$

Für Weak Inversion gilt

$V_{DS, \text{sat}} = V_{GS} - V_T$

Moderate und Strong Inversion gilt

$V_{DS, \text{sat}} = 5 \cdot V_{\text{temp}} \approx 130 \text{ mV}$

$V_{\text{temp}} = \frac{kT}{q}$

k : Boltzmann-Konstante
 q : Elementarladung
 T : Temperatur in Kelvin

2.4.2 Leakage affected Region

$V_{GS} < V_K(I_D)$

Keine Formel für I_D gegeben.

2.4.3 Weak Inversion

$V_K(I_D) < V_{GS} < V_M(I_D)$

$V_M(I_D) = V_T(I_D) - x_M(I_D)$

Ungesättigt: Gesättigt:

$I_D = I_M \cdot e^{\frac{V_{GS}-V_M}{n_M \cdot V_{\text{temp}}}} \cdot (1 - e^{-\frac{V_{DS}}{V_{\text{temp}}}})$ $I_D = I_M \cdot e^{\frac{V_{GS}-V_M}{n_M \cdot V_{\text{temp}}}}$

2.4.4 Moderate Inversion

$V_M(I_D) < V_{GS} < V_H(I_D)$

$V_H(I_D) = V_T(I_D) + x_H(I_D)$

Keine Formel für I_D gegeben.

2.4.5 Strong Inversion

$V_H(I_D) < V_{GS} < V_L(I_D)$

Ungesättigt: Gesättigt:
 $I_D = \mu C_{\text{OX}} \cdot \frac{W}{L} ((V_{GS} - V_T) V_{DS} - \frac{[V_{DS}^2]}{2})$ $I_D = \frac{\mu C_{\text{OX}}}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2$

2.4.6 Linear Region

$V_L(I_D) < V_{GS}$

Keine Formel für I_D gegeben.

2.5 Kennlinien

2.6 Ersatzschaltungen

2.6.1 Gesättigt

$I_D = f(V_{GS})$

2.7 Ungesättigt

$I_D = f(V_{DS})$