



V1.0.20250219

# Analog Microelectronics

HS 2024 – Prof. Dr. Paul Zbinden

Autoren: Flurin Brechbühler, Laurin Heitzer, Simone Stitz

<https://github.com/flurin-b/AnME>

## Inhaltsverzeichnis

<b>I AnME</b>	<b>1</b>	1.2 Prozessüberblick	1
<b>1 Technologie</b>	<b>1</b>	1.3 Arten von Toleranzen	1
1.1 Geschichte	1	1.4 CMOS Bauelemente	1

## I AnME

### 1 Technologie

#### 1.1 Geschichte

- 1926** Julius E. Lilienfeld: Erster Vorschlag zur Realisierung eines SperrschichtFET
- 1934** Oskar Heil: Erster Vorschlag eines Feldeffektverstärkers (Vorläufer vom MOSFET)
- 1947** W. H. Brattain, J. Bardeen (und William B.Shockley): Erfindung des ersten Bipolartransistors
- 1958** Jack S. Kilby: Erste Gedanken zur Realisierung einer integrierten Schaltung
- 1961** Robert W. Noyce: Erhält Patent für die integrierte Schaltung
- 1947** W. Shockley, J. Bardeen und W. Brattain: Erster funktionierender Bipolartransistor → Physik-Nobelpreis
- 1958** Jack S. Kilby: Erstes IC mit 1 Transistor,  $17.76 \text{ mm}^2$ , Realisiert RC-Oszillator
- 2024** Intel: Arrow Lake,  $>123 \text{ Mio.Tr./mm}^2$
- 2024** Apple: M4max,  $>92 \text{ Mio.Tr./mm}^2$

#### Moore's Law:

1965 hat G.E. Moore in einem Paper prognostiziert, dass sich die Transistorzahl pro chip in nächsten 10 Jahren jährlich verdoppeln wird. 1975 wurde die Prognose revidiert auf eine Verdoppelung alle zwei Jahre.

#### 1.2 Prozessüberblick

Die Herstellung integrierter Schaltungen zeichnet sich durch folgende Besonderheiten aus:

- Komplexe Logistik aufgrund einer Vielzahl prozessschritte
- Hochgradige Standardisierung
- Teure Infrastruktur und teure Prozesse

Der Prozess läuft in groben Zügen wie folgt ab:

1. Sand wird geschmolzen und gereinigt.
2. Daraus wird ein Silizium-Einkristall gezogen.
3. Der Einkristall wird in Wafer geschnitten.
4. Durch Beschichtung, Lithografie, Ätzen und Dotieren wird der Wafer strukturiert.
5. Die einzelnen Chips auf dem Wafer werden vereinzelt.
6. Zur Konfektion werden die Chips in Gehäuse verbaut.
7. Um die ICs in Systemen einzusetzen, werden diese auf Leiterplatten verbaut.

#### Lithographie:

Das Prinzip der Lithographie basiert auf einem lichtempfindlichen Lack, dem sogenannten Photoresist. Dieser wird durch eine Lichtquelle löslich (positiver Photoresist) oder unlöslich (negativer Photoresist) gemacht. Durch Lösen des löslichen Photoresists kann die Oberfläche lokal geschützt werden und so gezielt Regionen des Chips geätzt oder beschichtet werden. Zum Ende wird der übrige Lack entfernt und der Vorgang beliebig oft wiederholt.

#### Ätzen:

Durch Ätzen kann gezielt Material von freiliegenden Flächen des Wafers entfernt werden. Dabei werden folgende Verfahren unterschieden:

**Isotrop (Nass oder Plasma):** Gleichförmiges Ätzen in alle Richtungen → Bringt die Gefahr des Unterätzens

**Anisotrop (Reactive Ion Etching, KOH oder Plasma):** Ätzen entlang Kristallrichtungen, z.B. KOH greift die (111)-Ebene kaum an → Ermöglicht steilere Gräben, MEMS

**Selektiv:** Selektives Ätzen bestimmter Materialien, z.B. HF ätzt  $\text{SiO}_2$  aber nicht Si → Erlaubt das Ätzen einer Lage ohne Beschädigung unterliegender Strukturen

#### Dotieren:

Beim Dotieren werden gezielt Fremdatome in den Siliziumkristall eingepflanzt.

**Donatoren**, also Atome mit einem Valenzelektron mehr als der Halbleiter, verursachen einen Elektronenüberschuss, der Kristall wird n-dotiert.

**Akzeptoren**, also Atome mit einem Valenzelektron weniger als der Halbleiter, verursachen einen Lochüberschuss, der Kristall wird p-dotiert.

#### Wafer Sort:

Die Chips werden noch als Wafer einzeln getestet. Dies ist oft zeitaufwändig → durch gutes Design sollte diese Zeit minimiert werden.

Der Yield, also der prozentuale Anteil funktionaler Chips hängt dabei von der Chipgröße ab. Dies, da jeder Defekt bei grossen Chips eine grosse Fläche beeinträchtigt, da jeweils nur ganze Chips funktionsfähig oder defekt sein können.

Yields von 90 % sind meist notwendig, um Profit zu machen.

#### Assembly and Test:

Die Wafer werden in einzelne Chips getrennt und die funktionierenden Chips in Gehäuse verbaut.

#### 1.3 Arten von Toleranzen

Bei der Herstellung von Wavern werden verschiedene Toleranzen unterschieden:

**Devicetoleranz** Toleranzen betreffend der Strukturen auf einem Chip

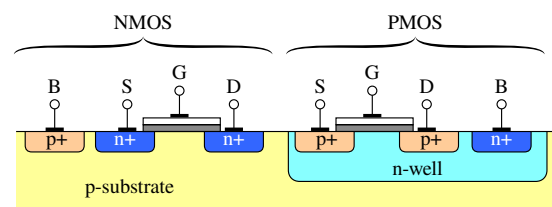
**Prozesstoleranzen** Toleranzen betreffend der Strukturen auf einem Wafer

**Lostoleranz** Toleranzen innerhalb eines Batches bzw. eines Los (meist 25, selten bis 50 Wafer)

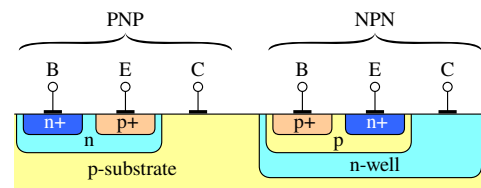
#### 1.4 CMOS Bauelemente

Mögliche Strukturen und Elemente wie auch die Materialeigenschaften werden im Technologiehandbuch gegeben.

##### 1.4.1 NMOS und PMOS Transistoren



##### 1.4.2 Bipolartransistoren



##### 1.4.3 Kapazitäten

$$C = \epsilon \frac{A}{d} = C'' \cdot A$$

$$C'' = \frac{\epsilon}{d}$$

$$\epsilon_0 = 8.85 \cdot 10^{-12} \text{ F m}^{-1}$$

$$\epsilon_{r,\text{Si, SiO}_2} \approx 3.9$$

$$\epsilon_{r,\text{Dielektrikum}} \approx 2.9 \text{ (Typisch, so klein wie möglich)}$$

$$C'': \text{Spezifische Kapazität}$$

#### MIM:

Metal-Interconnect-Metal-Kondensatoren produzieren sehr kleine Kapazitäten, da die Interconnect-Layers relativ dick ( $\sim 2.5 \cdot 10^{-7} \text{ m}$ ) sind und aus absichtlich "schlechtem" dielektrikum ( $\epsilon_r \approx 2.9$ ) bestehen. Die Spannungsfestigkeit ist jedoch höher.

#### MOS:

Da Oxidschichten sehr dünn realisiert werden können ( $\sim 2.33 \cdot 10^{-9} \text{ m}$ ) und ein höheres  $\epsilon_r \approx 3.9$  besitzen, sind diese Kondensatoren bedeutend kleiner. Sie besitzen jedoch eine kleinere Spannungsfestigkeit.

##### 1.4.4 Spulen

Spulen sind nur planar möglich und beanspruchen oft viel Platz.

##### 1.4.5 Widerstände

$$R = \rho \frac{L}{A} = \rho \frac{L}{t \cdot W} = R_{\square} \frac{L}{W}$$

$$R_{\square} = \frac{\rho}{t}$$

**Typische Werte:**

Metall	$R_{\square} \approx 0.02...0.08 \, \Omega$
Poly (Salicide)	$R_{\square} \approx 10 \, \Omega$
Poly (non-Salicide)	$R_{\square} \approx 100/400 \, \Omega$ (n+ Poly / p+ Poly)
n- / p-Diffusion	$R_{\square} \approx 100/150 \, \Omega$
n- / p-Well	$R_{\square} \approx 400/1600 \, \Omega$

**1.4.6 Parasitäre Effekte**