

# 数字逻辑实验

## 《一、系列二进制加法器设计实验》检查表

姓名			班级		学号	
实验题目			一、系列二进制加法器设计			
检查时间				成绩		
实验内容			检查内容	检查结果	备注／检查人签字	
实 验 内 容	(1) 一位二进制半加器		预习情况			
			实验结果			
	(2) 一位二进制全加器		预习情况			
			实验结果			
	(3) 四位二进制串行加法器		预习情况			
			实验结果			
	(4) 四位二进制并行加法器		预习情况			
			实验结果			
	(5) 将四位二进制并行加法器封装成一个组件		实验结果			

检查说明：

- 1. 实验检查结果分：完成、基本完成、未完成实验内容三种情况。
- 2. 备注填写检查中出现的问题，如电路毛刺较多，线路连接不合理，bug 等。

评分人签字：