

实验四：无符号数的除法器设计

1. 实验名称

无符号数除法器的设计。

2. 实验目的

要求使用合适的逻辑电路的设计方法，通过工具软件 Logisim 进行无符号数的除法器的设计和验证，记录实验结果，验证设计是否达到要求。

通过无符号数的除法器的设计、仿真、验证 3 个训练过程，使学生掌握数字逻辑电路的设计、仿真、调试的方法。

3. 实验所用设备

Logisim2.7.1 软件 1 套，微型计算机 1 台。

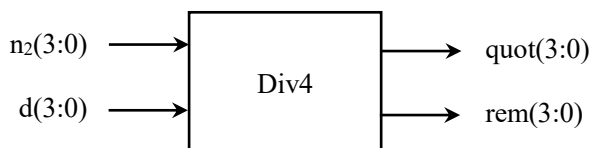
4. 课时

课内 4 个课时，课外 4 个课时。

5. 实验内容

(1) 四位除法器设计

四位除法器实现两个无符号的 4 位二进制数的除法运算，其结构框图如图 4.1 所示。设被除数为 $n_2(3:0)$ ，除数为 $d(3:0)$ ，商为 $quot(3:0)$ ，余数为 $rem(3:0)$ 。



4.1 四位除法器结构框图

四位除法器 Div4 算法步骤如下：

(a) 设 $n_1 = "0000"$ ，将被除数以 $n_1:n_2$ 的形式拼接，除数为 d ；

(b) 重复 4 次：

将 $n_1:n_2$ 左移 1 位；

if ($n_1 \geq d$) begin $n_1 = n_1 - d$; $n_2(0) = 1$ end

(c) 商和余数的结果为： $quot = n_2$; $rem = n_1$ 。

四位除法器也可以用 4 个相同的模块串接而成。每个模块均包含一个减法器、两个 2 选 1 多路选择器、一个比较器和一个移位器 shl。请参照四位乘法器的设计思路，实现两个无符号的 4 位二进制数的除法器。

(2) 32 位除法器设计

32 位除法器 Div32 实现两个无符号的 32 位二进制数的除法运算，其结构框图如图 4.2 所示。设被除数为 $n(31:0)$ ，除数为 $d(31:0)$ ，商为 $quot(31:0)$ ，余数为 $rem(31:0)$ 。

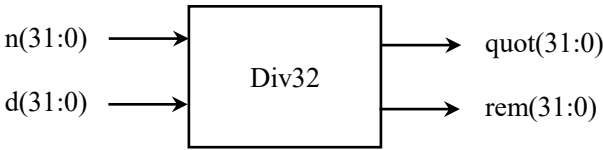


图4.2 32 位除法器结构框图

对四位除法器 Div4 中 4 个相同的模块之一进行改进，将数据通路上的数据位宽都扩展为 32 位，得到一个 Div1。将 32 个 Div1 拼接起来即可实现 Div32。

6. 实验设计过程

要求写出设计思想，画出除法器 Div4 的内部逻辑结构框图（仿照 Mul4×4 内部结构）；（2）给出 Logisim 软件绘制的电路图。

7. 实验结果记录

根据实验方案设计要求，对于相应的除法器，在给定的输入条件下，填写表 4.1。

表 4.1 无符号数的除法器实验结果记录表

| 电路 | 输入 1（16 进制） | 输入 2（16 进制） | 输出（16 进制） | |
|-------|----------------------|----------------------|-----------|------|
| Div4 | $n_2=0\times E$ | $d=0\times 9$ | quot= | rem= |
| Div4 | $n_2=0\times E$ | $d=0\times 0$ | quot= | rem= |
| Div32 | $n=0\times 019ABEF1$ | $d=0\times 00004EF1$ | quot= | rem= |
| Div32 | $n=0\times A0504EF1$ | $d=0\times 019ABEF1$ | quot= | rem= |

8. 实验结果提交

要求：（1）本次实验的全部电路都在同一个 Logisim 文件中，子电路结构如图 4.3 所示；

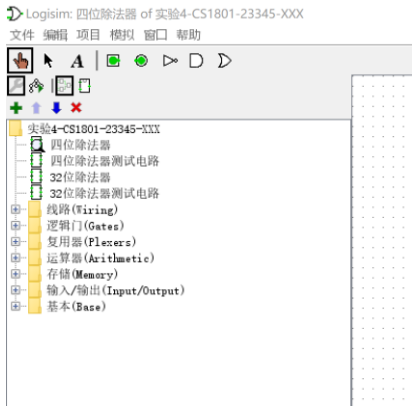


图 4.3 实验四子电路结构

注意，所有的测试电路都是指封装之后加入外部的输入输出信号的电路。

（2）打印检查表并填写姓名等相关信息，实验验收完成后当堂提交。

(3) 上交 Logisim 电路文件，命名格式：实验 4-班级-学号-姓名。