实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，12小时计时；当Set=1时，24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 5.3 led点阵显示器

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5.7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“**Alarm**”为输入的时间设定提醒值（闹钟值）；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5.7电子钟的“输入、输出检查要求”



图 5.8电子钟的测试电路

6. 实验方案设计

**（1）具有校准计数值的六十进制计数器电路**

在四位二进制可逆计数器的基础上实现模60计数器，正向可逆，故需要两个四位二进制可逆计数器实现该功能。

其中一个计数器实现个位数加减，为9进行加操作时，向高位进1，并置0；为0进行减操作时，向高位借1，并置9，若高位为0，则不进行减操作。

另一个计数器实现十位数加减，当低位有进位脉冲时加1，当低位有借位时减1，当为0时不进行减操作。并且当十位数为5，个位数为9时，出现加1信号，则位数清零，产生进位脉冲信号~Qcc。电路图如图5.9所示。

细节方面，由于Adj需控制CPD的作用，故通过与门实现控制，当Adj为0时，输入到CPD的信号一直为0，故不产生减运算。

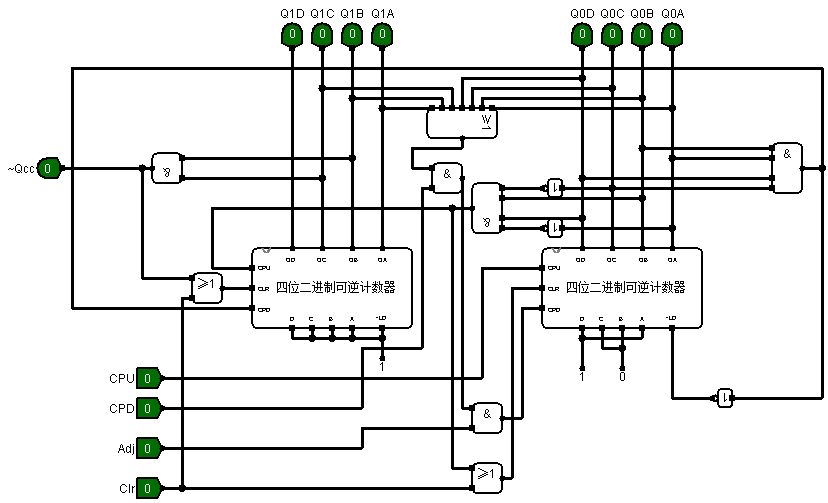


图5.9具有校准计数值的六十进制计数器电路

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

设计主要思路为通过Set进行二选一。其中一路为六十进制计数器实现模12计数器电路，另一路为六十进制计数器实现模24计数器电路。当Set为0时，选择模12计数器电路；为1时，选择模24计数器电路。

对于模12计数器，则为11时，出现加一信号，置0，并产生进位脉冲~Qcc(12)。对于模24计数器，则为23时，出现加一信号，置0，并产生进位脉冲~Qcc(24)。电路图如图5.10所示。

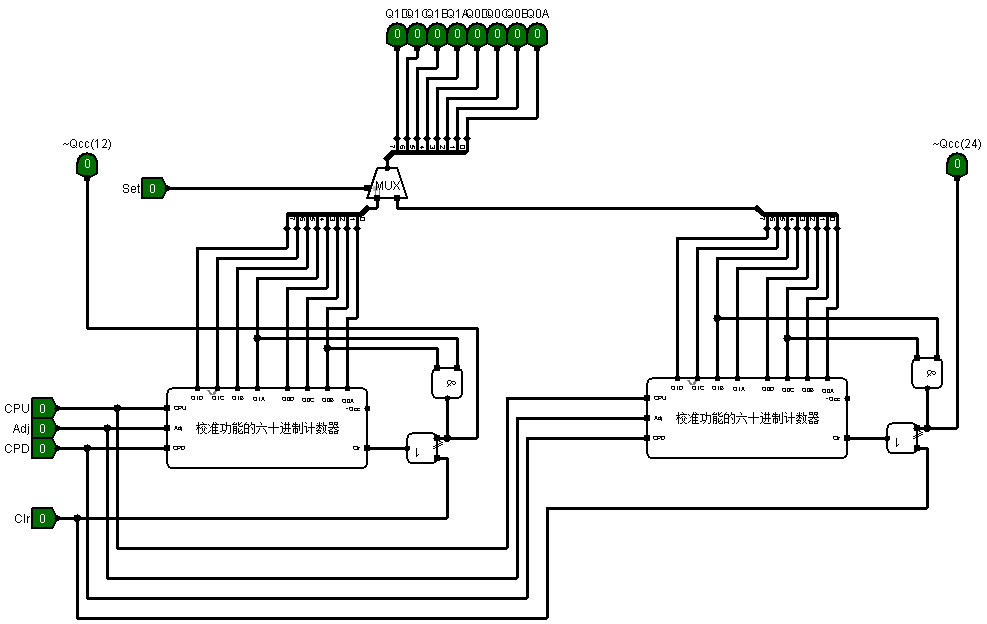


图5.10具有校准计数值的十二进制计数器或二十四进制的计数器电路

**（3）显示“上午”、“下午”的电路**

设计主要思路为采取两个二路选择器进行选择。当TT为0时，输出为0；当TT为１时，输出为由AM／PM控制的选择输出端信号。AM／PM为０时，显示“上”，即0x097e1；为1时，显示“下”，即0x853f0。电路图如5.11所示。

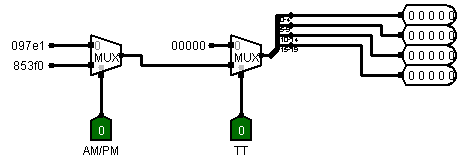


图5.11显示“上午”、“下午”的电路

**（4）电子钟整点报时电路**

将两个六十进制计数器和一个十二或二十四进制计数器组合成一个时分秒计时器，秒的CPU端接上时钟控制信号，分和时各接上上一个计数器的进位脉冲信号端。当分钟为59，秒为50时，产生报时信号，当整点时报时信号结束。只需要判断分钟是否为59以及秒的十位位数是否为5即可。电路图如图5.12所示。

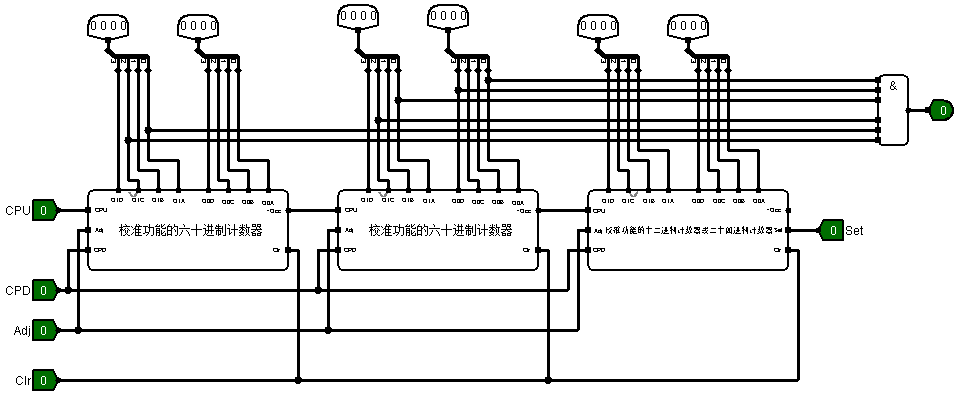


图5.12电子钟整点报时电路

**（5）秒计时脉冲产生电路**

将8hz的信号转换成1hz的信号可以通过一个四位二进制可逆计数器实现。将其改为模8可逆计数器即可，每加到8则进行置零。电路图如图5.13所示。

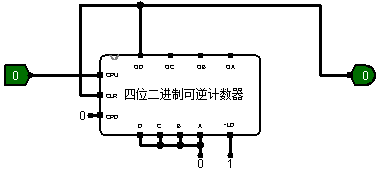


图5.13秒计时脉冲产生电路

**（6）闹钟电路（选做）**

实现闹钟功能需要在（7）的基础上实现。即（7）电路中的按键规则需要在（6）中实现同样的功能。设计思路为通过Alarm实现计时模式与闹钟模式的切换。当Alarm为0时，为计时模式，与（7）中模式相同；当Alarm为1时，进入闹钟模式，时钟显示设置闹钟的时间，如为十二进制模式则还需考虑上下午情况，Alarm端类似一个总控开关，实现显示的切换。

在计时模式下，显示当前运行时间，包含十二进制上下午的显示。当Adj0为0时，通过与门实现对分钟与时钟CPU、CPD以及Adj端的抑制作用，即CPU、CPD以及Adj端恒为0。为简便电路，采用二路选择器实现Adj0的控制作用。当Adj为0时CPU端接收低位进位信号；为1时，接收其他控制信号而屏蔽低位进位信号。这样的好处在于，可以同时实现调整时间不产生进位的要求。

在闹钟模式下，显示闹钟设定时间，此时计时仍在继续，满足现实要求。此时要求中只需设置时与分，故默认闹钟秒为0。在进行切换分钟与时钟的调整时，同样也可以采用二路选择器的方法，通过Adj1控制CPU与CPD信号的作用位置，此时同样也不会产生进位，满足要求。

而闹钟输出端的输出信号，则根据两模式下的时间差决定，计时模式下的时间减去闹钟模式下的时间之差小于10且大于等于0时，则闹钟信号置1。

细节上，十二进制的上下午判断可以通过四位二进制计数器来实现，即在Set为0时，进入十二进制模式，将计时模式与闹钟模式下时针的进位分别输入到对应的四位二进制可逆计数器中，通过最低位来实现上下午时刻的现实。并且还可以将其分别附加到计算时间差值的被减数与减数的最高位，实现上下午的判断。

另外，为满足清零的现实要求，实现在不同模式下清零对应模式的计数位，从而不影响另一模式下的计数位。

电路图如图5.14所示。

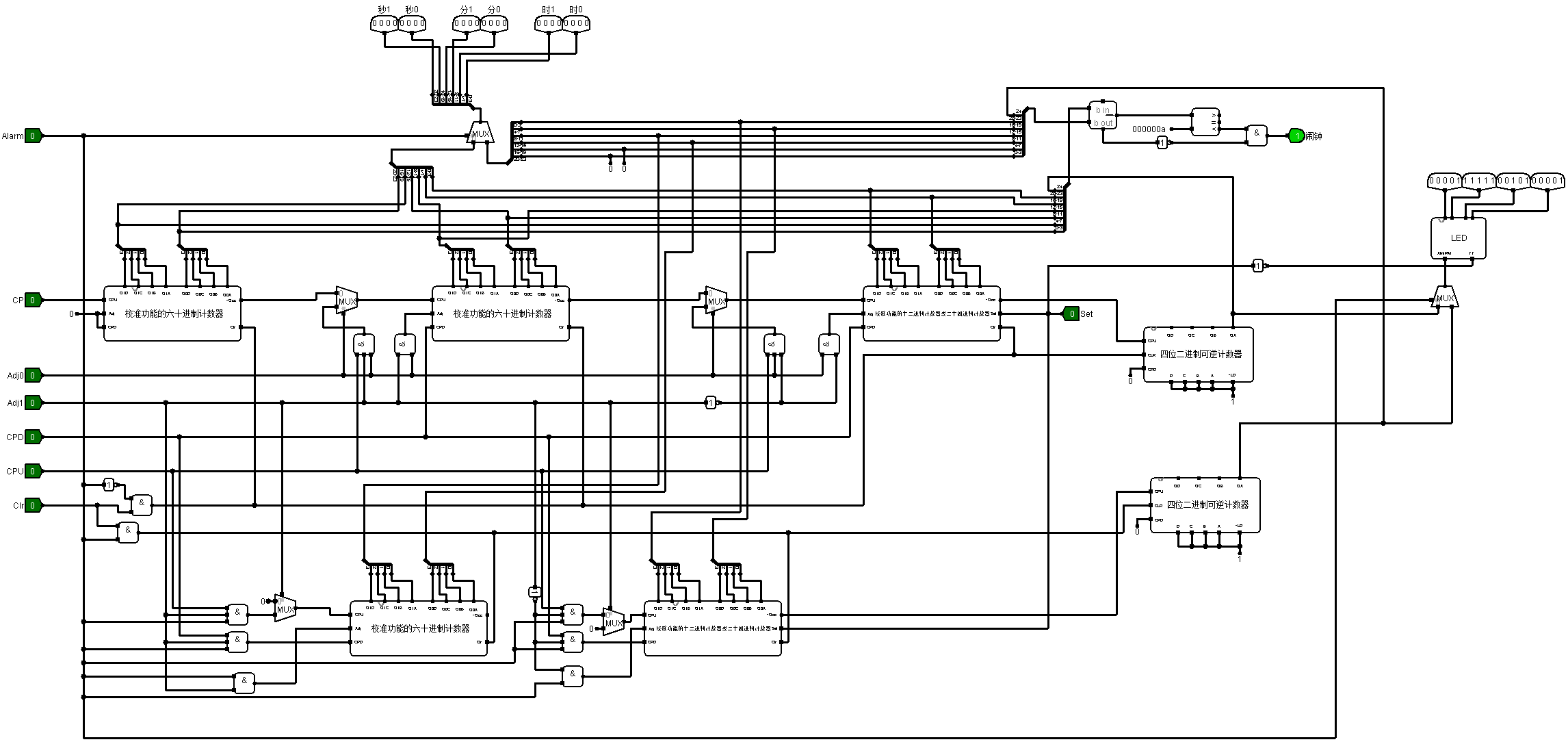


图5.14闹钟电路（选做）

**（7）多功能数字钟**

在第（6）个实验方案中，考虑到（7）的实验要求，故完成除安装8hz信号转换以及定点报时功能外的所有功能。故只需在（6）的基础上，增加频率转换器与定点报时器即可。电路图如5.15所示。

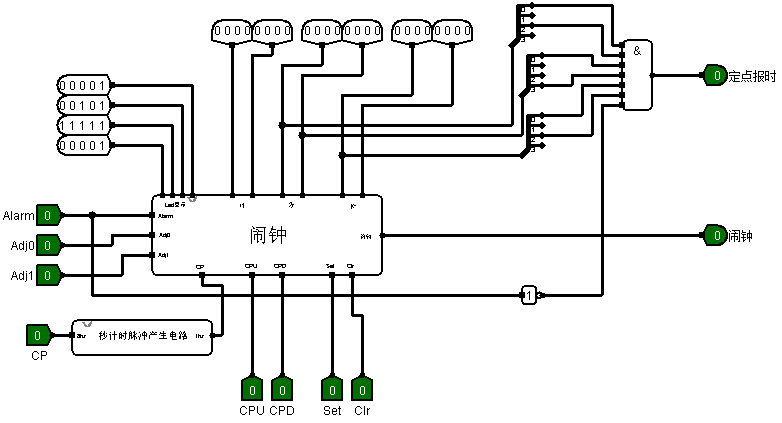


图5.15多功能数字钟

7. 实验结果记录

**（1）具有校准计数值的六十进制计数器电路测试**

当Adj=0时，通过CPU增加计数，CPD端被屏蔽；当Adj=1时，可通过CPU和CPD进行时钟控制。进位时通过一个四位二进制可逆计数器现时。

进位测试如图5.16a、图5.16b。清零测试如图5.17所示。

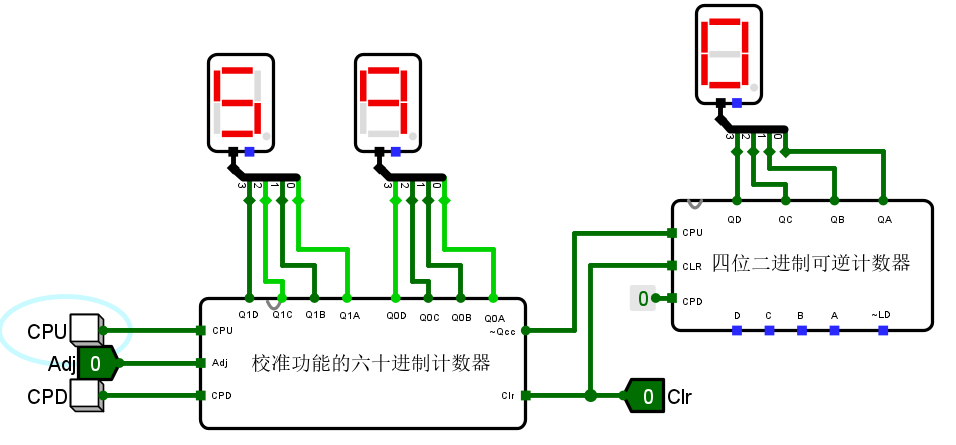
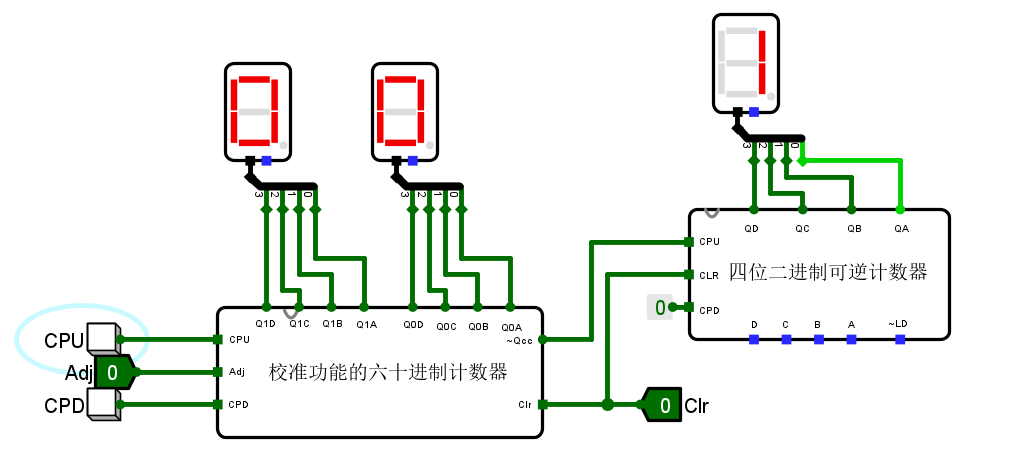


图5.16a进位测试-进位前 图5.16b进位测试-进位后

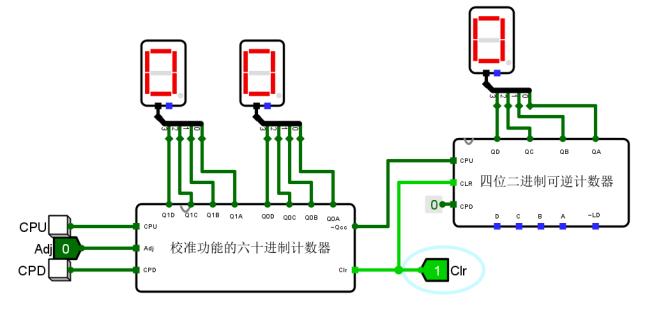


图5.17清零测试

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路测试**

当Set为0时，为具有校准计数值的十二进制计数器，进位测试如图5.18a、图5.18b所示。当Set为1时，为具有校准计数值的二十四进制计数器，进位测试如图5.19a、图5.19b所示。

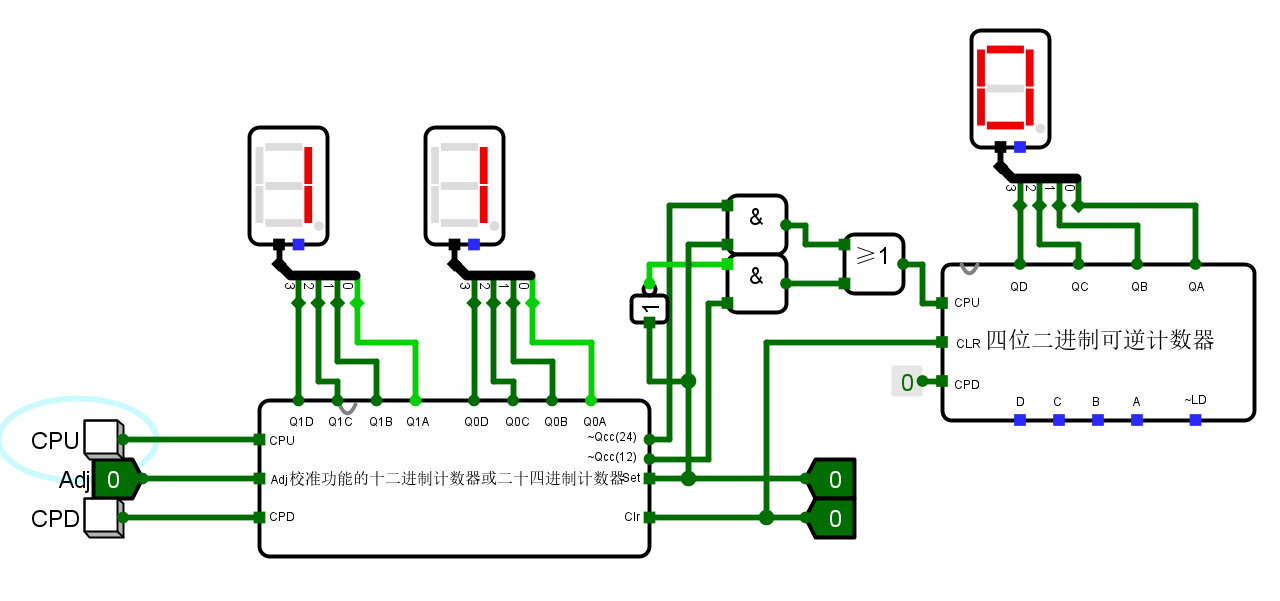


图5.18a具有校准计数值的十二进制计数器进位测试-进位前

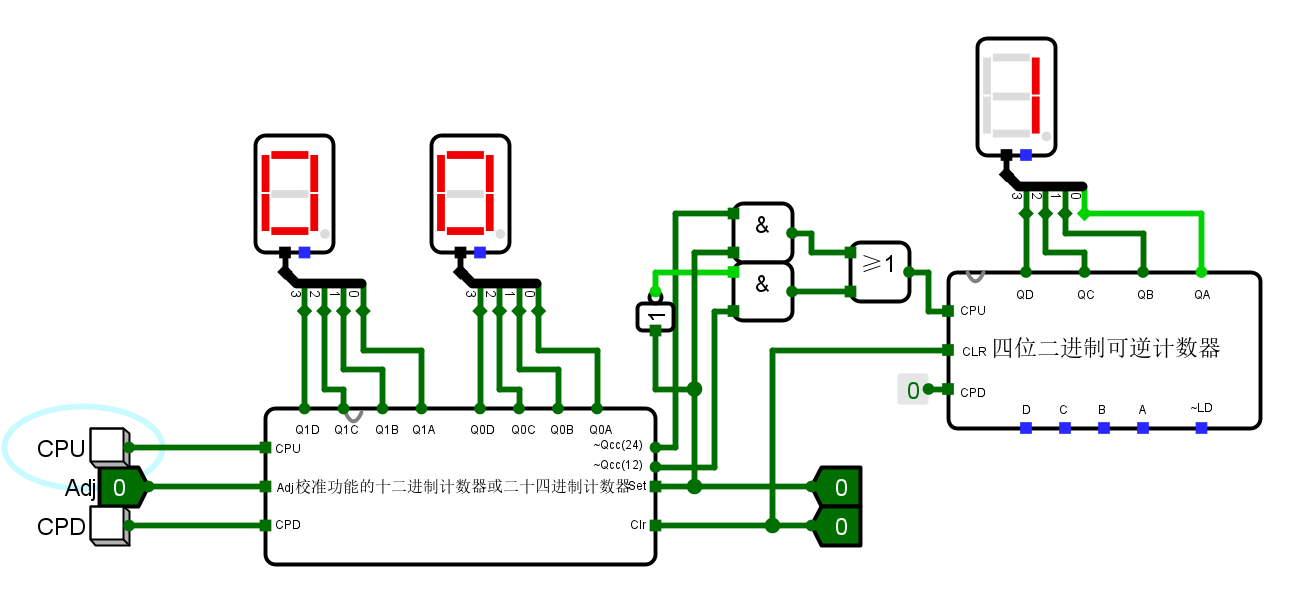


图5.18b具有校准计数值的十二进制计数器进位测试-进位后

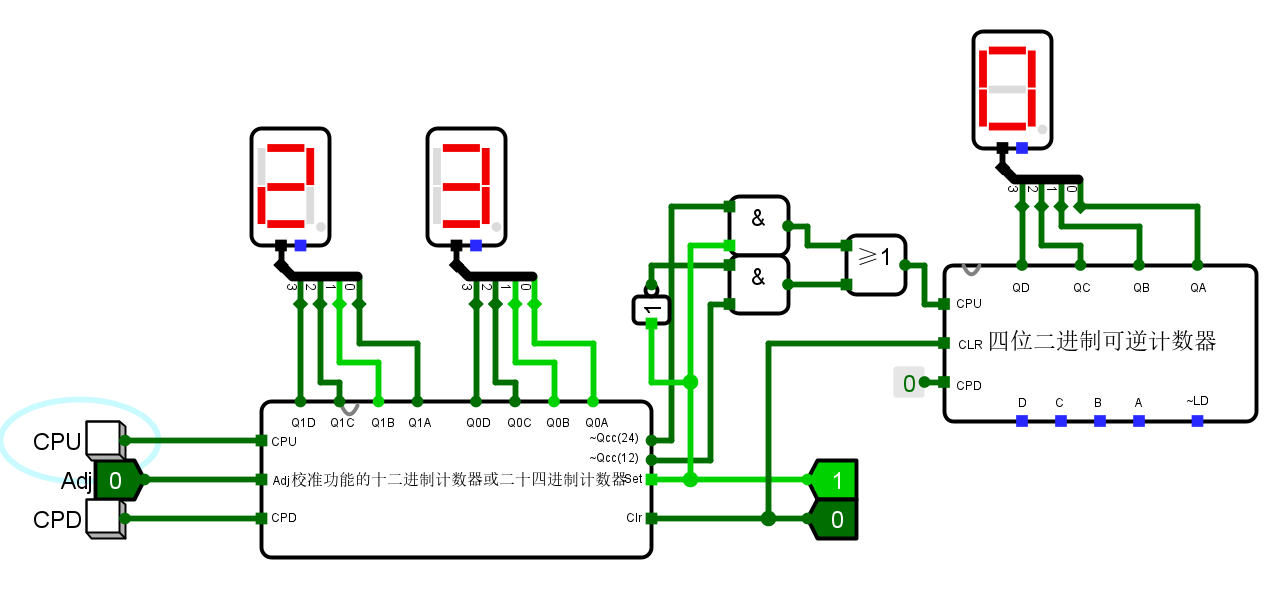


图5.19a具有校准计数值的二十四进制计数器进位测试-进位前

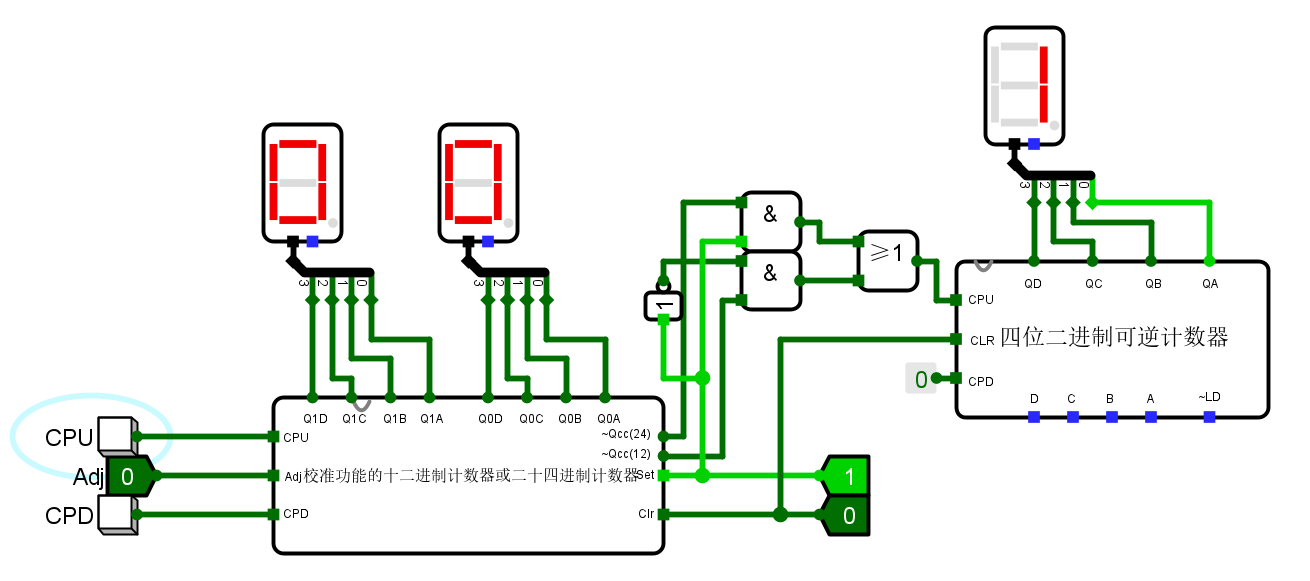


图5.19b具有校准计数值的二十四进制计数器进位测试-进位后

**（3）显示“上午”、“下午”的电路测试**

当TT为０时不显示，如图5.20所示。当TT=1时，AM/PM=0时现实“上”，如图5.21所示；AM/PM=1时现实“下”，如图5.22所示。

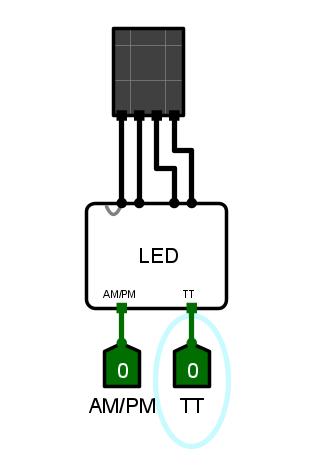
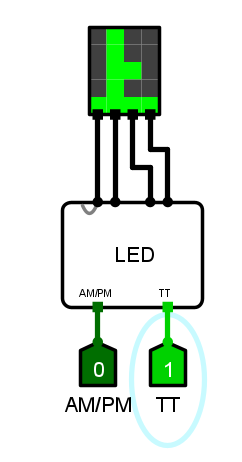
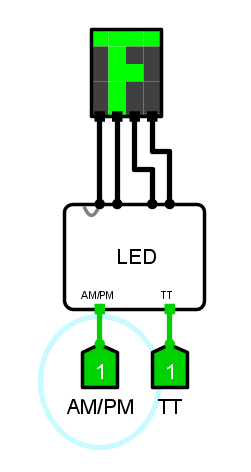
  

图5.20不显示测试 图5.21显示“上”测试 图5.22显示“下”测试

**（4）电子钟整点报时电路**

当时间在59分50秒时开始报时，报时灯闪亮，一直持续到59分59秒，如图5.23、图5.24所示。当时间在整点时，报时灯熄灭，结束报时，如图5.25所示。

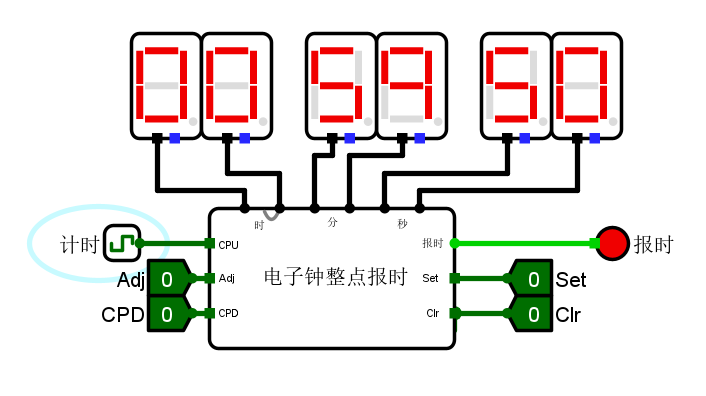


图5.23 在59分50秒时开始报时

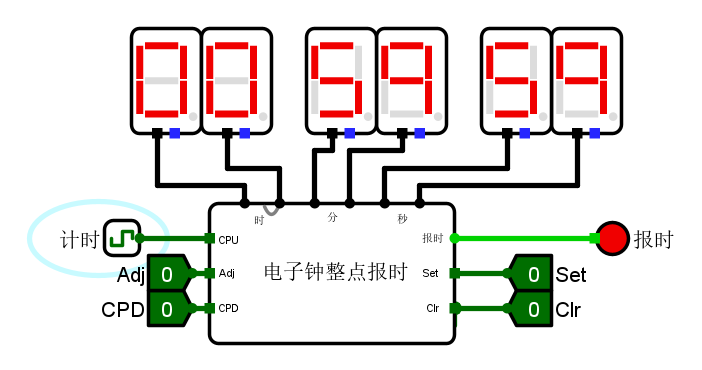


图5.24 到59分59秒，持续10秒

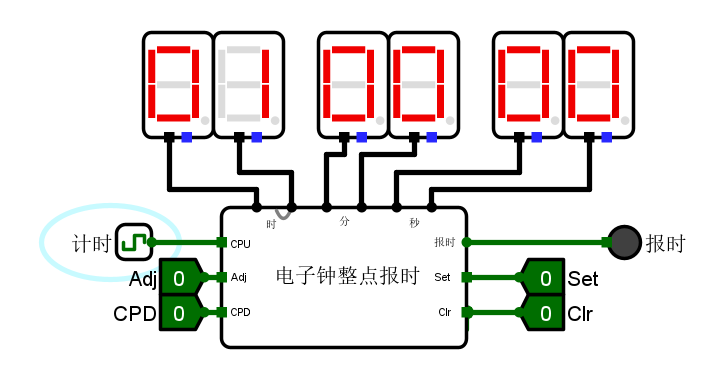


图5.25 整点时结束报时

**（5）闹钟电路（选做）测试**

在十二进制下设置闹钟时间为下午1点30分，如图5.26所示。当计时时间在下午1点30分00秒时开始报时，如图5.27所示，经过10s到1点30分10秒时停止报时，如图5.28所示。二十四进制下则为13点30分00秒报时，13点30分10秒停止，如图5.29、图5.30所示。

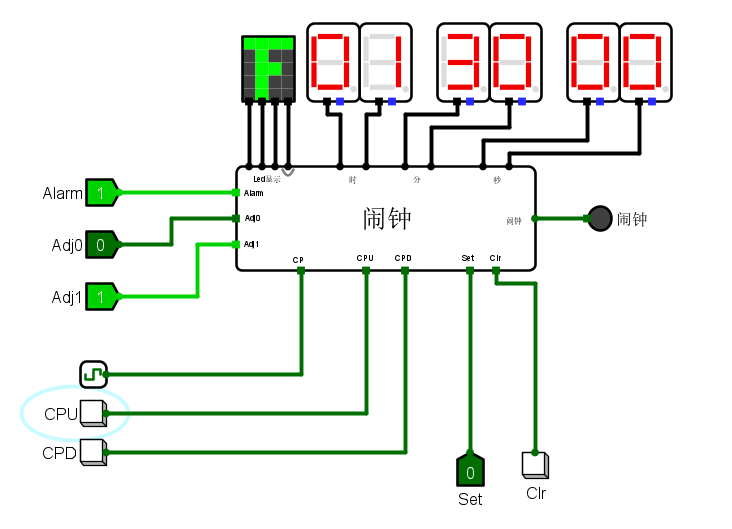


图5.26 设置闹钟时间

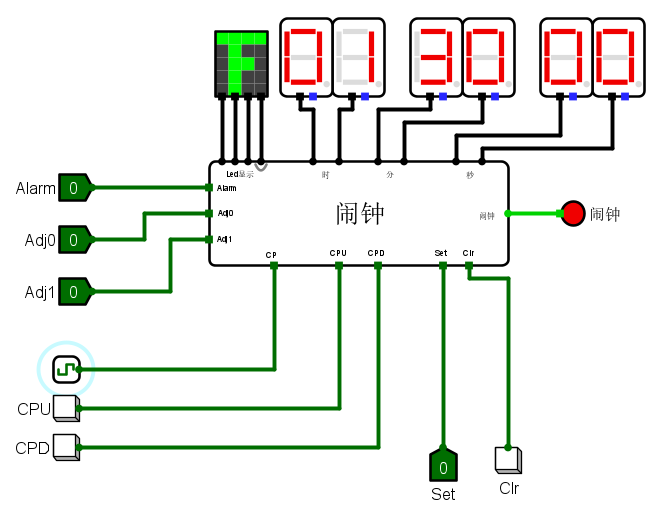


图5.27 十二进制时间下开始出现闹钟报时

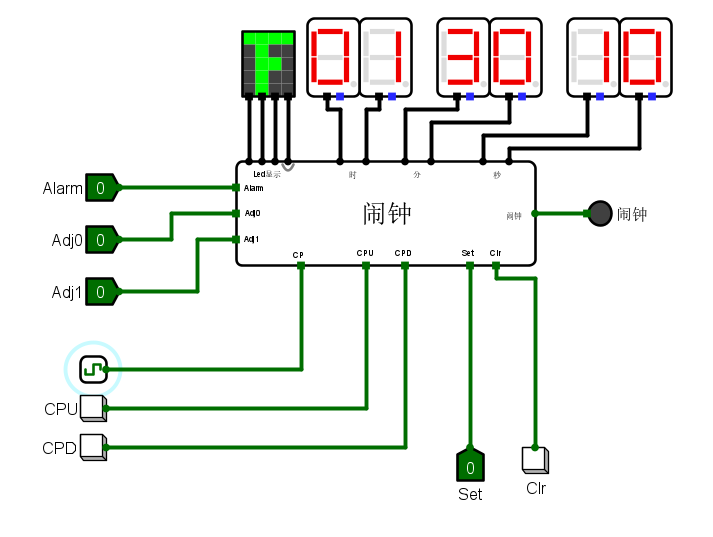


图5.28 十二进制时间下结束闹钟报时

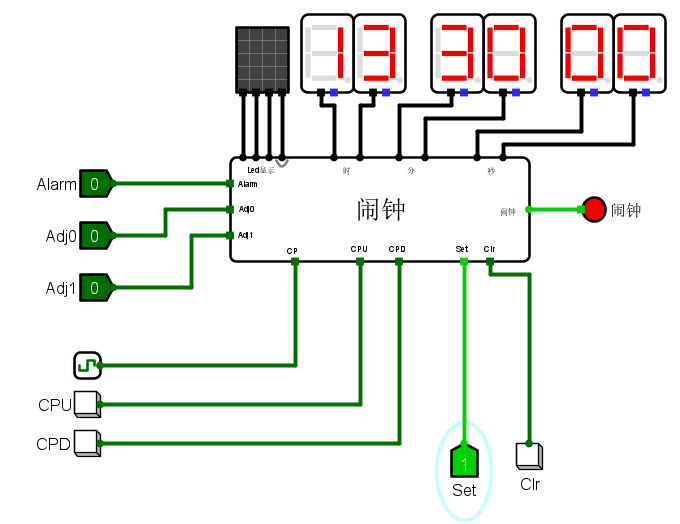


图5.29 二十四进制时间下开始出现闹钟报时

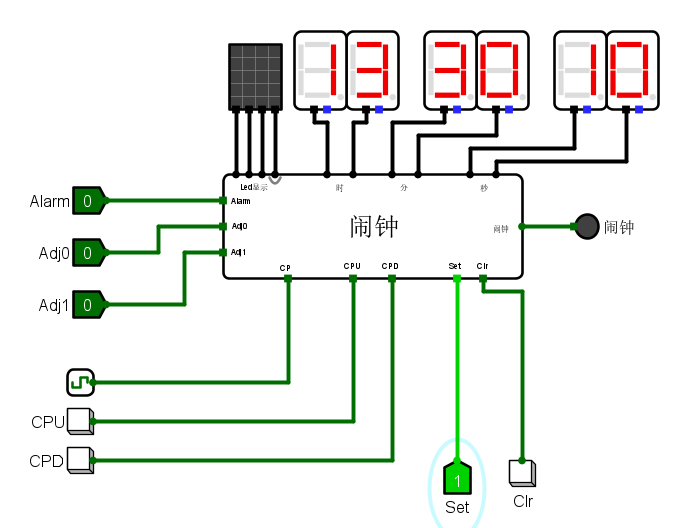


图5.30 二十四进制时间下结束闹钟报时

**（6）多功能数字钟电路测试**

大部分测试已在（1）至（5）中完成。故测试十二进制与二十四进制的时钟转化。如图5.31a、5.31b、5.32a、5.32b所示。

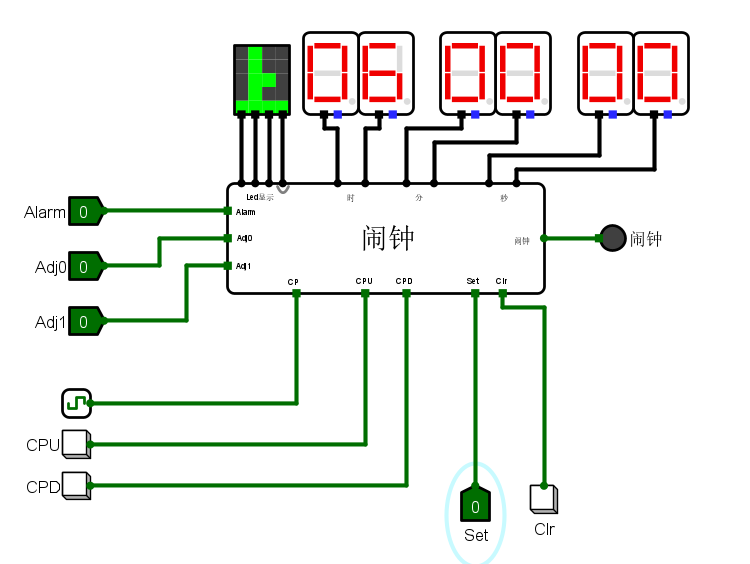


图5.31a 十二进制时间下的上午6点显示

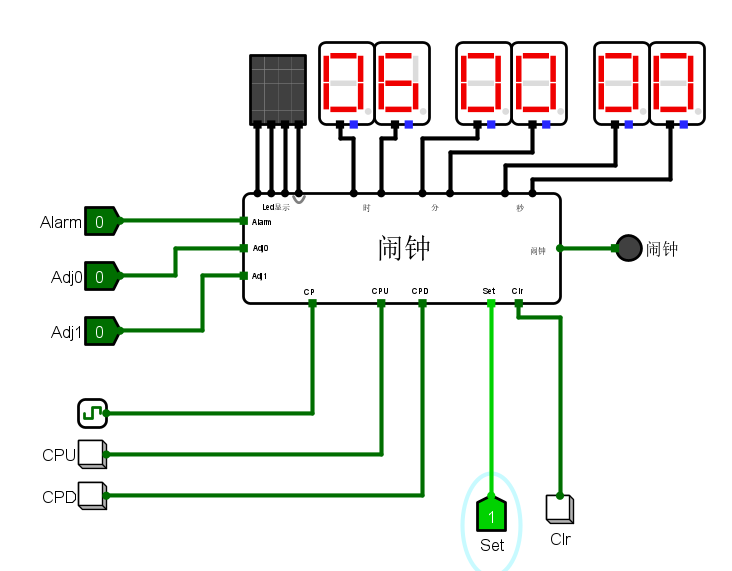


图5.31b 二十四进制时间下的上午6点显示

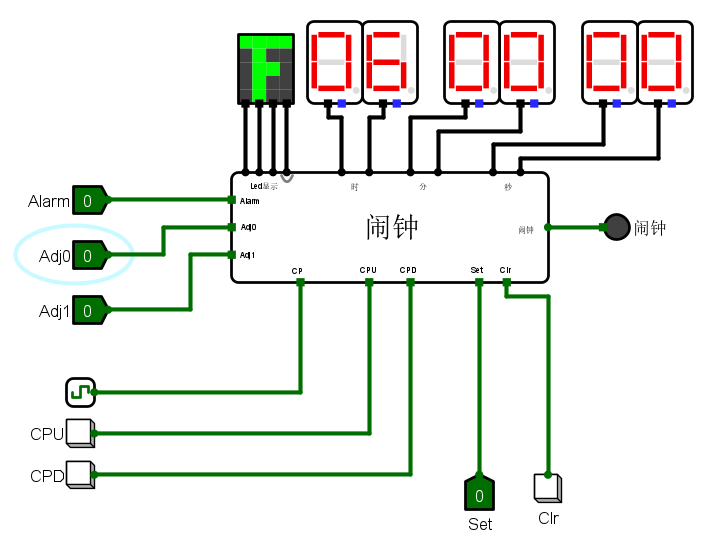


图5.32a 十二进制时间下的下午6点显示

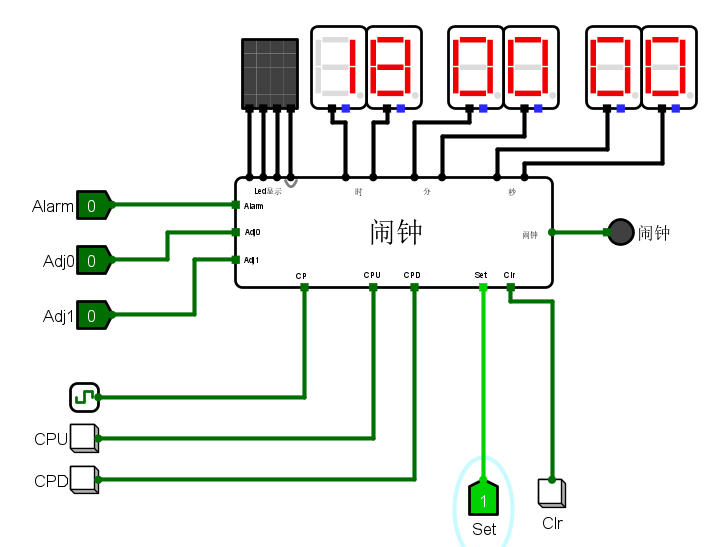


图5.32b 二十四进制时间下的下午6点显示

8. 实验后的思考

（1）实验的难点在哪些方面？

1.控制端太多，记忆困难，难以处理各种控制关系。如Adj对CPU、CPD的控制，Set对上下午以及十二进制、二十四进制的控制，Adj0与Adj1分别控制什么功能等。并且还需考虑层级关系，如当Clr端输入信号时，所有显示清零，屏蔽一切其他输入。

2.在处理六十进制以及二十四或十二进制时，进位的问题也需要重点考虑，例如在Adj0=1的情况时，在调整分钟时不产生进位，此时低位秒又会出现进位信号，故需要考虑进位信号的屏蔽问题。

3.闹钟设计也较为复杂，需要同时考虑十二进制与二十四进制下的闹钟判断，并且十二进制下设置闹钟上下午的判断也需要考虑。

4.对于细节方面，十二进制和二十四进制的显示转化需要考虑；由于逆向计数减至0时不再继续循环减数也需要考虑等。

（2）如何解决这些难点？

1.对于控制端太多的情况，可以通过列出层级表和控制表来解决，将所有的信号端的功能都集合在一个表中，直接明了。同时，也方便了后续使用前面的私人原件。例如Clr端与Set端在最高层级，控制清零与进制的转化。Adj与Adj0、Adj1则为第二层级，控制下属CPU、CPD的使用情况等等。

2.进位与屏蔽可以选择二路选择器来进行选择。可以同时达到是否进位的目的，是否屏蔽的目的。选择端则是Adj0端，当Adj0为0时，选择接收低位的进位信号；为1时，选择CPU、CPD端的传输信号。

3.当出现复杂的要求时，首要是理清思路。而这次闹钟的设计则是通过Alarm端选择两种模式的方式理清思路。闹钟的报时功能可以通过减法器实现，当两者差值在0~10时，则会产生闹钟信号。对于十二进制下会出现上下午的差别，这里采用四位二进制计数器的方式解决，接收时的进位信号，通过计数器的各位判断此时时间的上下午，当个位为0时为上午，反之为下午。不仅解决了上下午的显示问题，还解决了闹钟在十二进制下的判断问题。只需要将上下午信号加在上述减法器被减数和减数的最高位即可。

4.对于细节方面，在进行十二和二十四进制计数器设计时，有意通过二路选择器的方式进行输出。这种方式可以达到一举两得的目的，一是满足Set端的要求，思路简洁明了；二是可以采用同时计数的要求，方便了后续进制间的转化。

而对于逆向不循环的要求，则可通过输出端是否全为0来判断，当输出端全为0且又接收到一个减信号时，采用一个与门屏蔽这个减信号即可。