

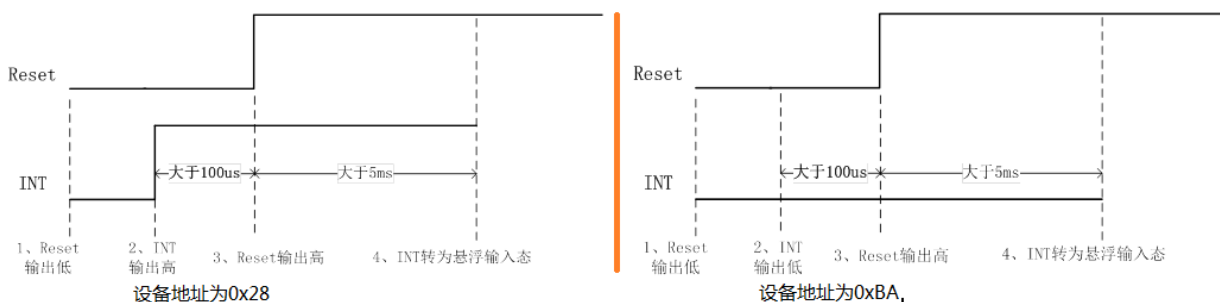
GT9xx I²C 电路设计特别说明

近期发现有客户的芯片在做 GT9xx 的 ESD 或 EFT 的测试时容易引起工作异常问题,实际为 INT 脚有电阻上拉导致芯片进入选址状态造成。因此,

请勿将 INT 脚设计成带上拉电阻,外部或内部均不可以。

原因分析:

1. 考虑到可能的 I²C 地址冲突,GT9xx 特地设定了两个设备地址:0X28/0XBA。



2. 而地址的选择是通过复位时 INT 口的状态来判断。选址结束后,INT 端口会执行内部下拉。因为 GT9xx 需检测到 INT 脚为低,才启动程序,否则将一直等下去。
3. 若在 INT 口外部上拉了 10K 电阻,因为 INT 内部的下拉等效电阻为 38K。则容易在选址过程出现停止而出现芯片无法工作的现象。
4. 在进行 ESD/EFT 测试时,由于静电冲击所造成的芯片复位,即容易出现工作异常。若去掉外部上拉电阻,GT9xx 将正常工作,并能承受至少 12KV 的 ESD 测试。

INT 口内部硬件示意图如下:

