

微机原理与接口技术

第二章 8086微处理器

第二章 8086微处理器

- 2.1 8086微处理器简介
 - 2.2 8086的编程结构
 - 2.3 8086的引脚信号定义
 - 2.4 8086系统总线的形成
 - 2.5 8086的总线操作时序
 - 2.6 8086存储器和I/O组织
-

2.5 8086总线操作时序-总线操作

- 总线操作是指CPU通过总线完成的各种操作
 - 8086的总线操作主要包括：
 - 存储器的读写操作
 - I/O的读写操作
 - 中断周期
 - CPU对存储器以及I/O接口的读写操作由CPU发起，存储器与I/O接口在CPU的控制下完成读写操作
 - CPU在执行总线操作的过程中应指明操作对象、操作类型以及操作内容
-

2.5 8086总线操作时序-周期

- 微型计算机的时序一般分为三级：

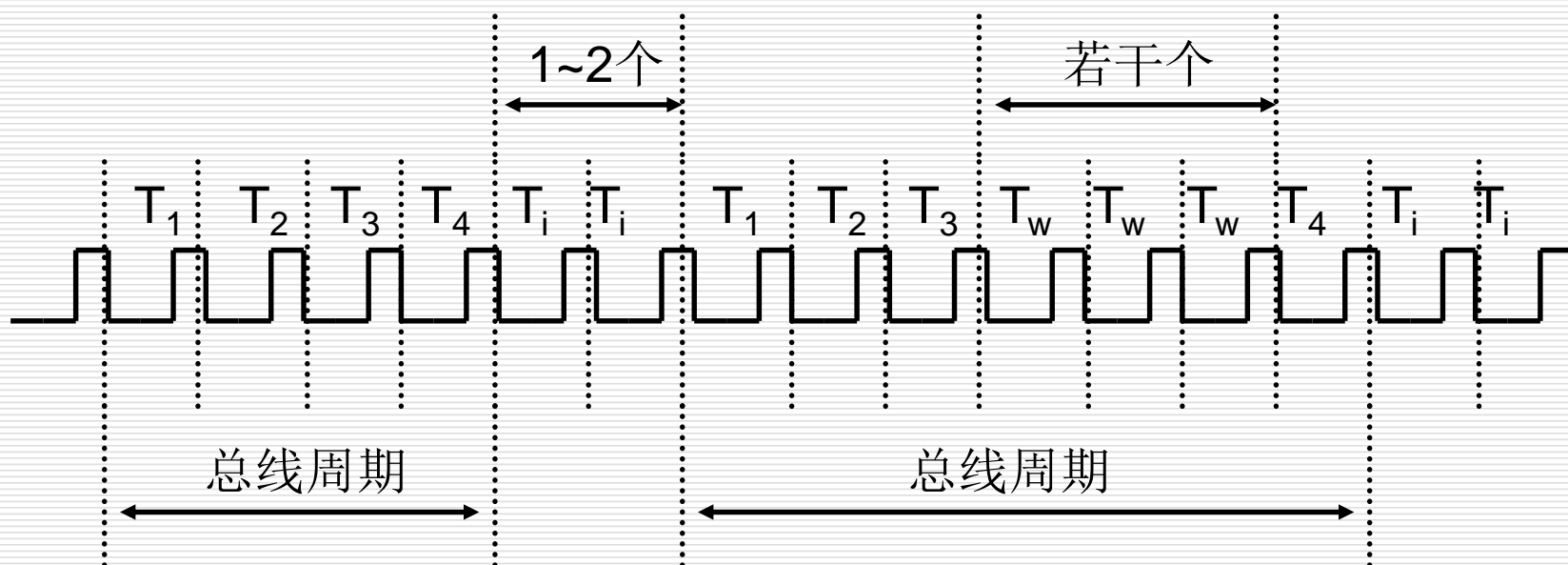
指令周期 → 总线周期 → 时钟周期

- 指令周期：从取指令到执行完指令所需要的时间称为指令周期，指令周期是由一个或多个基本操作组成的。
 - 总线周期：CPU对存储器或I/O接口完成一次访问，称为CPU执行了一次总线操作，总线操作的周期称为总线周期。
 - 时钟周期：时钟脉冲的重复周期称为时钟周期，时钟周期是CPU的时间基准，由CPU的主频决定，如8086的主频为5MHz，时钟周期为200ns，8086-1的主频为10MHz，时钟周期为100ns。
-

2.5 8086总线操作时序-总线周期

- 8086的基本总线周期包括4个时钟周期，也称状态周期
 - T1: 地址周期
 - T2: 缓冲周期
 - T3: 数据周期
 - T4: 结束周期
 - 等待周期 T_w : 当存储器或I/O速度较慢，需在T3、T4间插入1个或几个等待周期 T_w ， T_w 以时钟周期为单位。
 - 空闲周期 T_i : 系统总线处于空闲状态，此时执行空闲周期 T_i ， T_i 也以时钟周期为单位。
 - $T1=T2=T3=T4=T_w=T_i=T$ （时钟周期）
-

2.5 8086总线操作时序-总线周期



- T_w 状态用来等待内存或I/O接口的响应
- 在两个总线周期之间执行空闲周期 T_i

2.5 8086总线操作时序-时序

- ❑ 总线操作时序描述了CPU各引脚输出的信号在一个总线周期内的变化以及相互间的时间顺序，通常用时序图表示。
 - ❑ 通过总线操作时序可以了解CPU如何实现总线操作。
-

2.5 8086总线操作时序-最小模式下的引脚信号

- 操作对象：M/ $\overline{\text{IO}}$ 信号和地址信号
 - 操作方式：读/写， $\overline{\text{RD}}$ / $\overline{\text{WR}}$ 信号， $\overline{\text{BHE}}$ 信号
 - 传输内容：数据总线的信号
 - 外围接口芯片的信号：ALE，DT/ $\overline{\text{R}}$ ， $\overline{\text{DEN}}$
 - 适配信号：READY
-

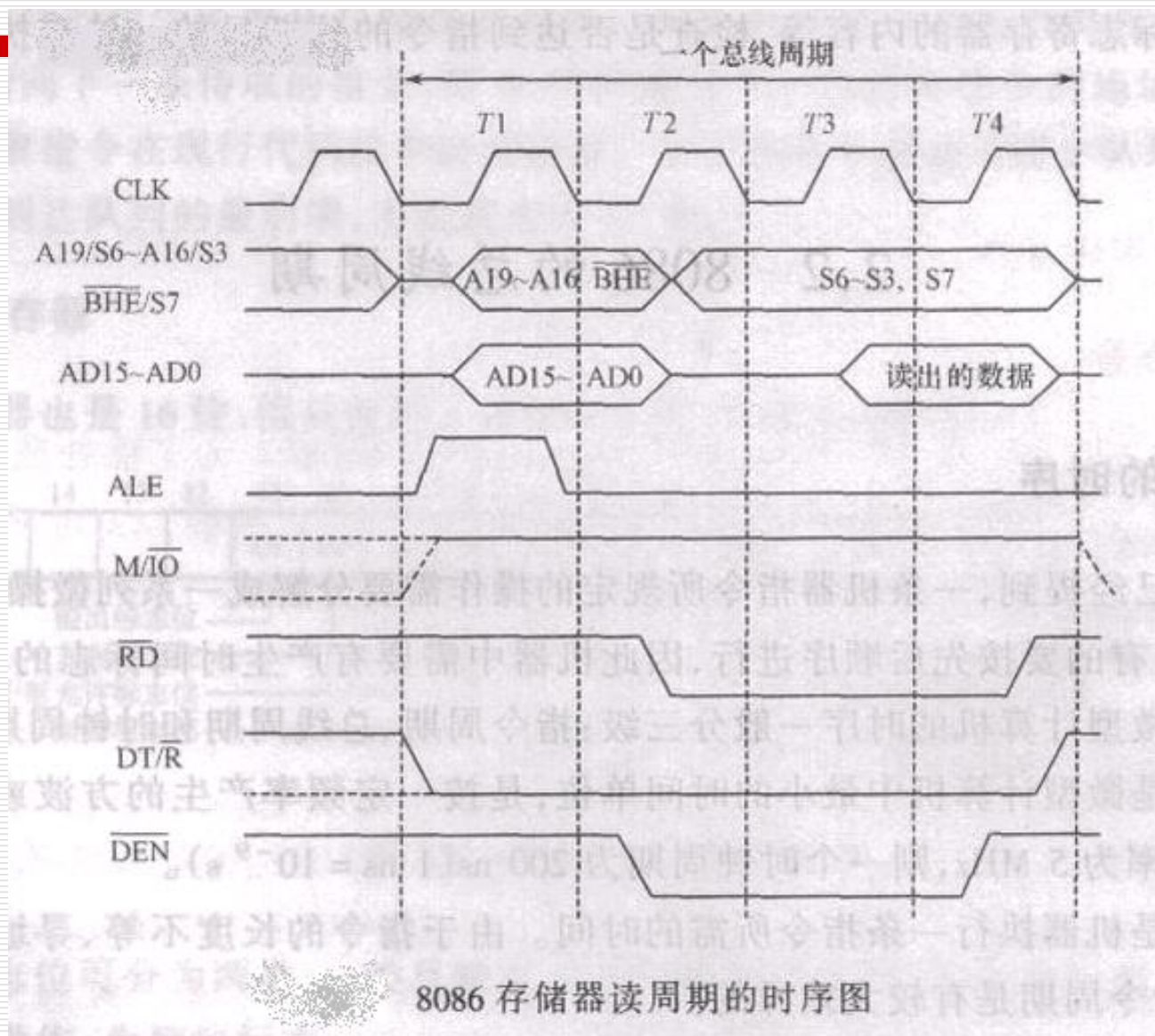
2.5 总线操作时序：最小模式-读操作时序

T1状态:

- $\overline{M}/\overline{IO}$ 信号：有效
- 地址输出：
 - A19/S6-A16/S3：高4位
 - AD15-AD0：低16位；
- \overline{BHE} 信号：有效
- ALE信号：有效
 - 下降沿将地址等锁存；
- $\overline{DT}/\overline{R}$ 信号：有效

T2状态:

- CPU开始撤消地址，
状态S7~S3输出
- AD15~AD0：高阻，
输出/输入转换
- \overline{DEN} 信号有效
- \overline{RD} 信号有效



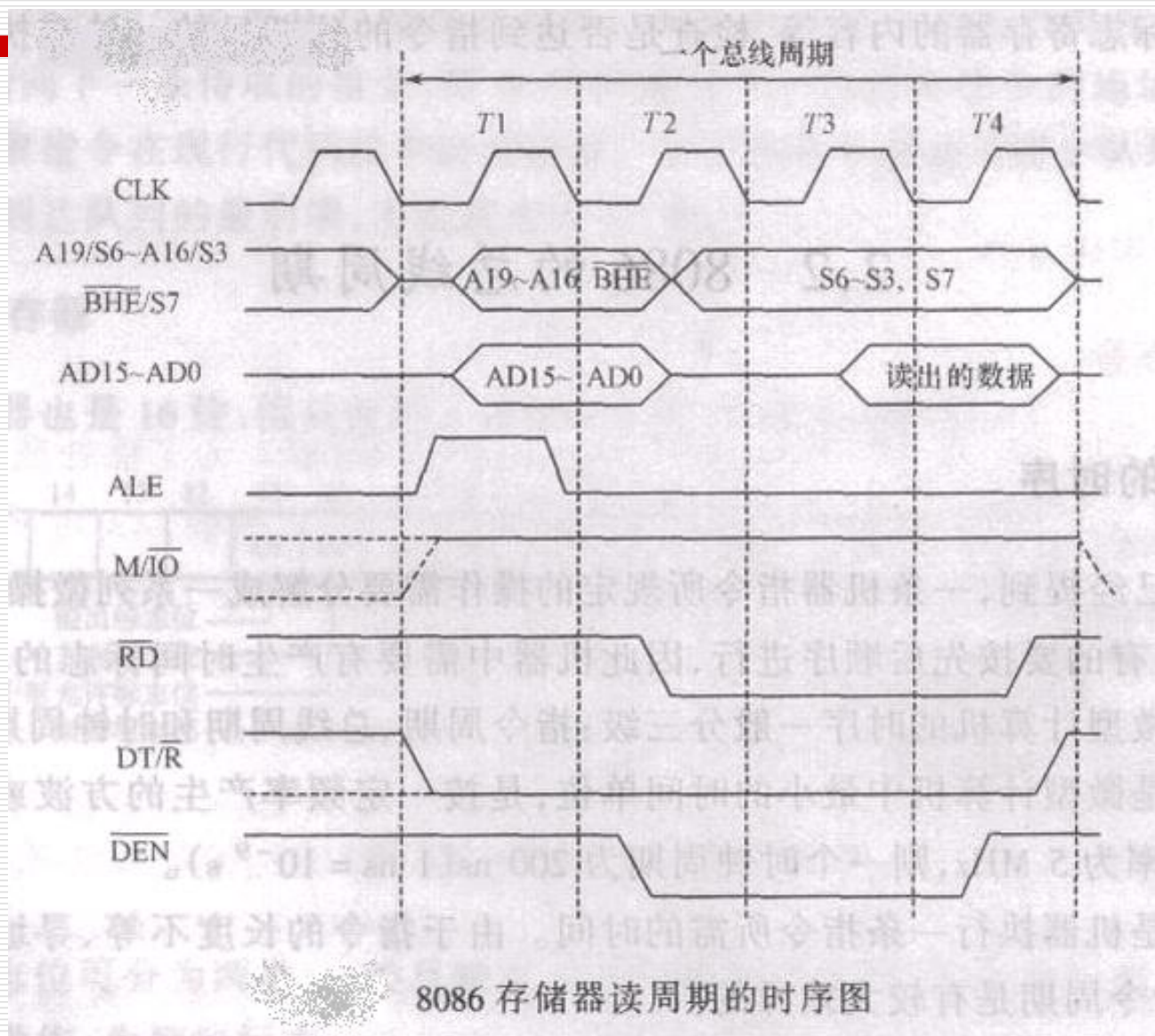
2.5 总线操作时序：最小模式-读操作时序

T3状态:

- 地址与 \overline{RD} 信号一直有效
- 在T3状态结束时CPU从数据总线上读取数据

T4状态:

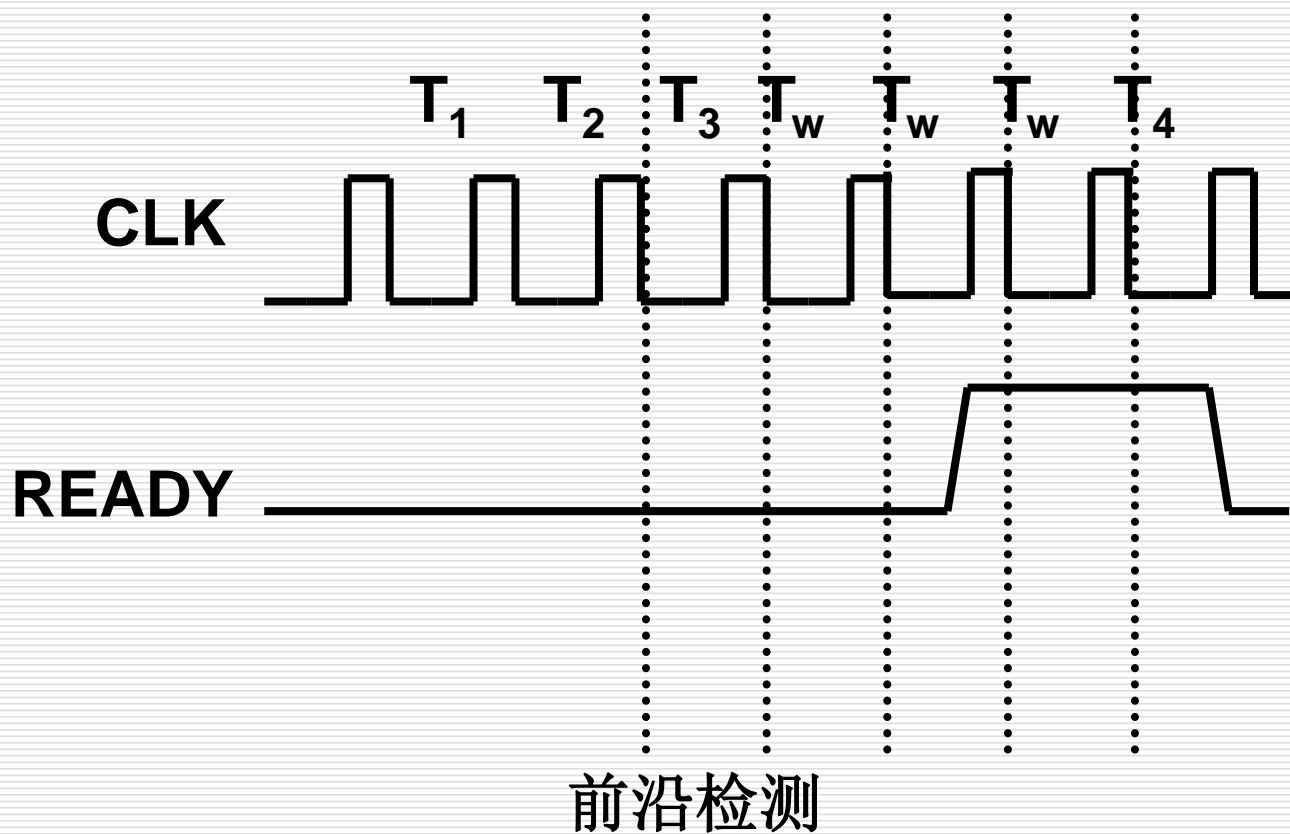
- 地址、数据线：高阻；
- 控制信号：高阻



2.5 总线操作时序：最小模式-读操作时序

Tw状态：

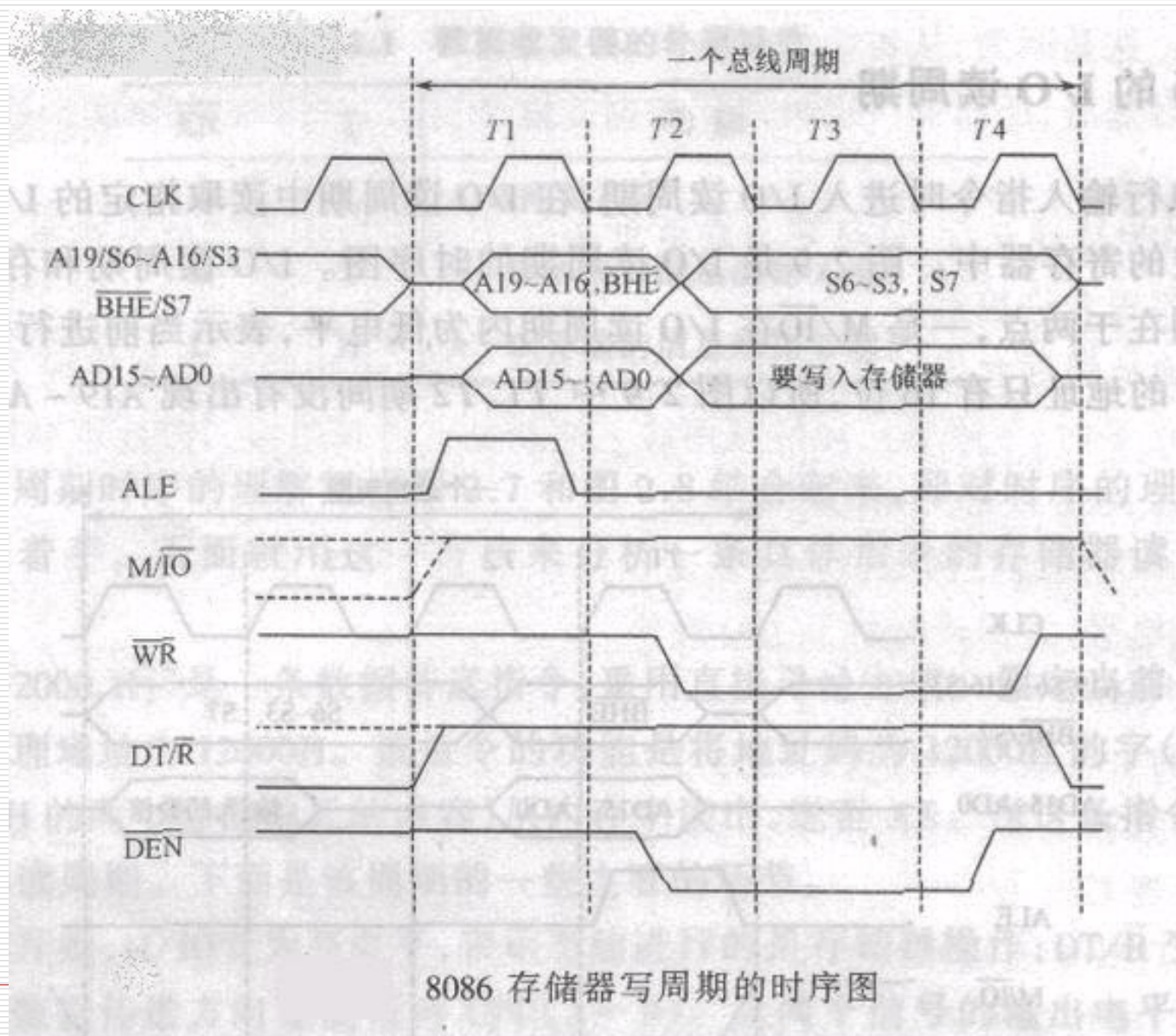
- ❑ 存储器或I/O较慢时，需要通过READY引脚申请插入Tw延长访问周期。
- ❑ CPU在T3的前沿对READY采样，以后在每个Tw前沿采样。
- ❑ Tw保持T3状态



2.5 总线操作时序：最小模式-写操作时序

- ❑ 在T1状态，DT / \overline{R} 为高电平，表示本周期是写操作，用DT去控制总线收发器8286 / 8287发送CPU输出的数据到数据总线，以便写入存储器或I / O端口。
 - ❑ 送到存储器或I / O端口的控制信号是写信号 \overline{WR} ，而不是读信号 \overline{RD} ，但它们出现时序一样，也是从T2开始，低电平持续到T4的前半周。
 - ❑ 在写周期下，由CPU从地址 / 数据线上输出的地址和输出的数据是同方向的，因此，在T2状态，地址一旦输出被锁存后CPU便立即向地址 / 数据线 AD15~AD0上输出数据，而不再需要像读周期时那样要维持一个时钟周期的浮空状态作缓冲。数据信号要保持到T4状态的中间。
-

2.5 总线操作时序：最小模式-写操作时序



第二章 8086微处理器

- 2.1 8086微处理器简介
 - 2.2 8086的编程结构
 - 2.3 8086的引脚信号定义
 - 2.4 8086系统总线的形成
 - 2.5 8086的总线操作时序
 - 2.6 8086存储器和I/O组织
-

2.6 存储器和I/O组织-数据类型及其存储方式

□ 数据在存储器中的存放方式

- 字节数据：占用1个存储单元
- 字数据： 占用2连续两个存储单元
- 双字数据： 占用4个连续的存储单元

□ 存储顺序

- 大尾（Big-Endian）：
高位字节存储在低位地址对应的存储单元
 - 小尾（Little-Endian）：
高位字节存储在高位地址对应的存储单元
-

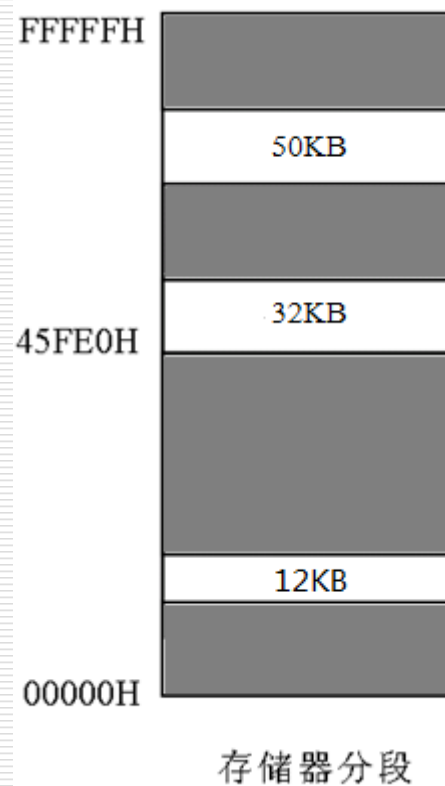
2.6 存储器和I/O组织-存储空间与存储器分段

□ 存储器地址空间

- 8086有20条地址线
- 直接寻址范围为1M字节
- 地址范围：00000~FFFFFH

□ 存储器的分段

- 地址位20位，内部寄存器16位
- 将1M字节存储器分为若干段
- 规定段的起始地址低四位为零
- 段的长度最大为64KB



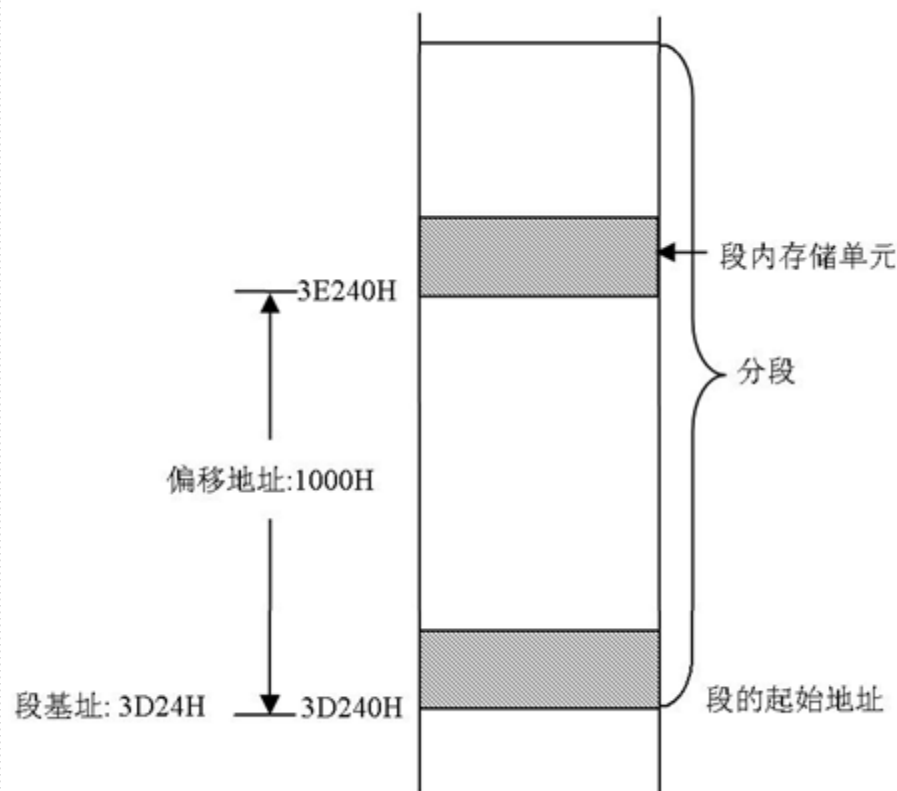
2.6 存储器和I/O组织-存储器分段

- ❑ 物理地址：每个存储单元对应的20位地址
- ❑ 段基址：20位段起始地址的高16位地址
- ❑ 偏移地址：段内存储单元相对于段起始地址的16位偏移量，又称有效地址EA
- ❑ 段基址和偏移地址称为逻辑地址
- ❑ 物理地址可根据段基址和偏移地址确定
 $\text{物理地址} = \text{段基址} \times 16 + \text{偏移地址}$

例：段基址=3D24H，偏移地址=1000H

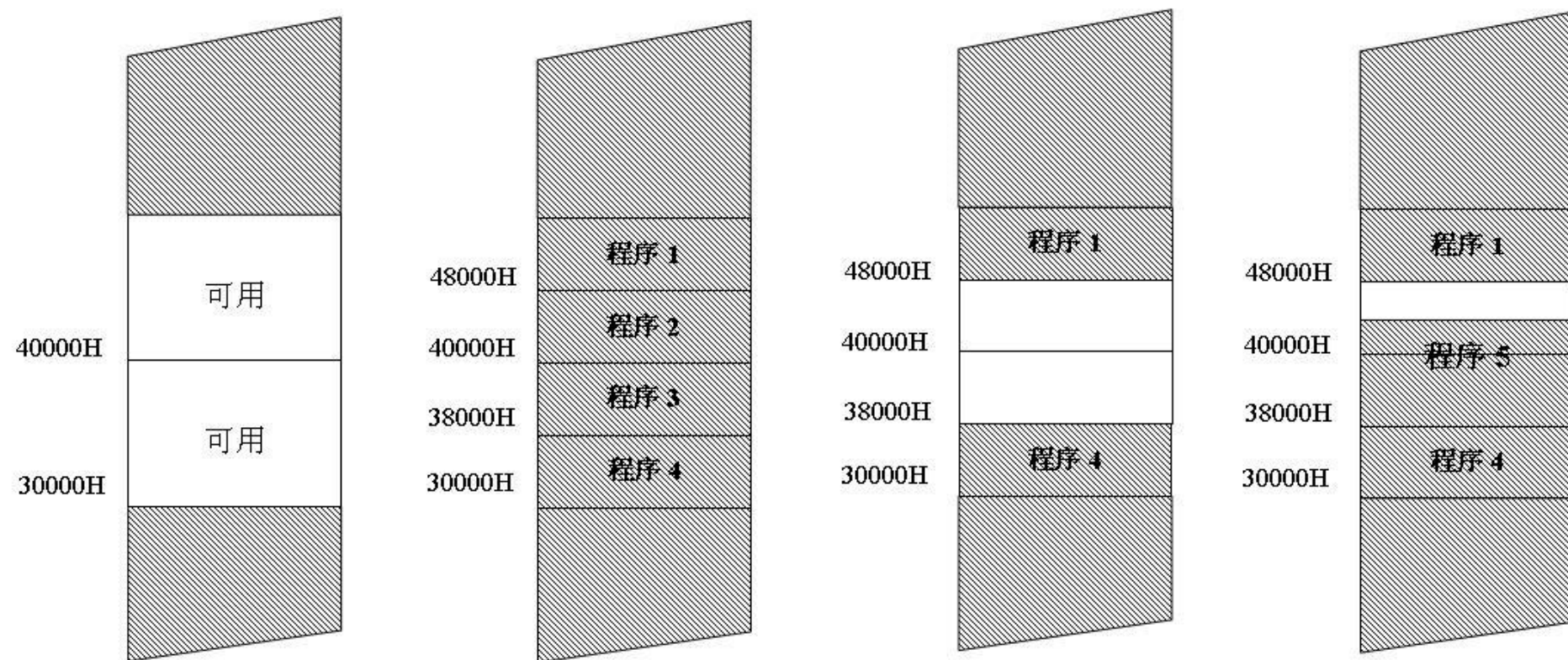
物理地址的计算：

$$\begin{array}{r} 3D240H \\ + \quad 1000H \\ \hline 3E240H \end{array}$$



分段方式的对比

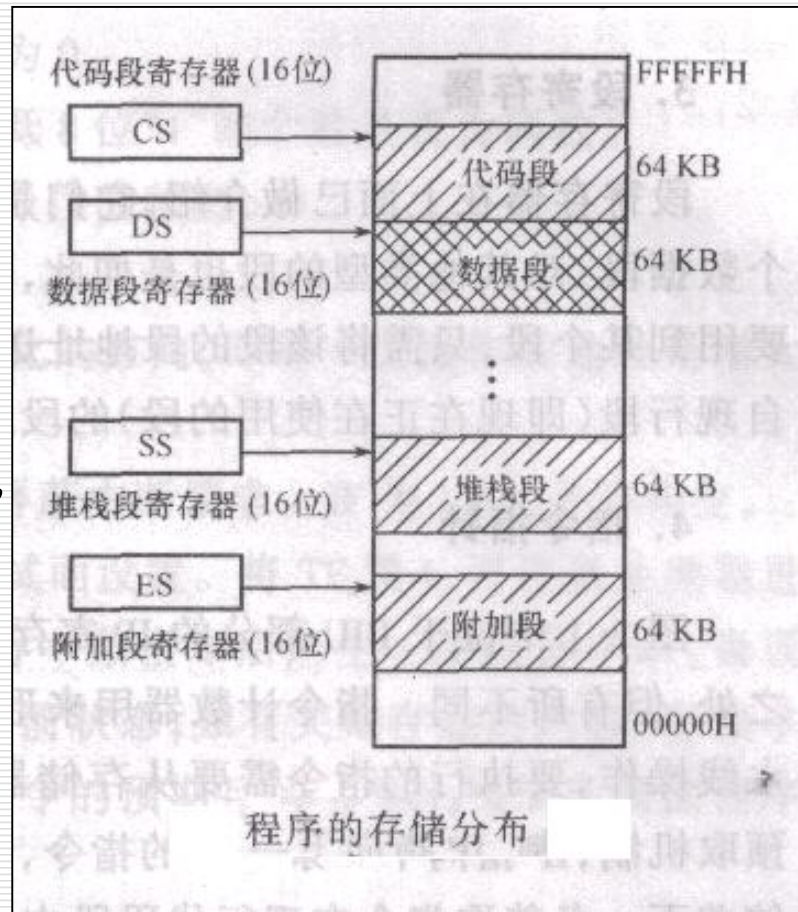
- ❑ 程序1~程序4大小为32KB
- ❑ 程序5大小为50KB



2.6 存储器和I/O组织-信息的分段组织

按信息的分段组织及分段寻址

- ❑ 代码段：存放指令程序
- ❑ 数据段：存放通用数据
- ❑ 堆栈段：堆栈操作区域
- ❑ 扩展段：数据段扩展
- ❑ 通常使用段寄存器存放相应段基址，使用IP、SP、BP、BX、DI、SI等存放偏移量



2.6 存储器和I/O组织-地址空间划分

□ 专用区与通用区

■ 专用区00000H~003FFH

256个中断向量区

■ 专用区FFFF0H ~FFFFFH:

系统复位代码，当处理器被复位时，CPU执行的第一条指令即位于FFFF0H地址处；

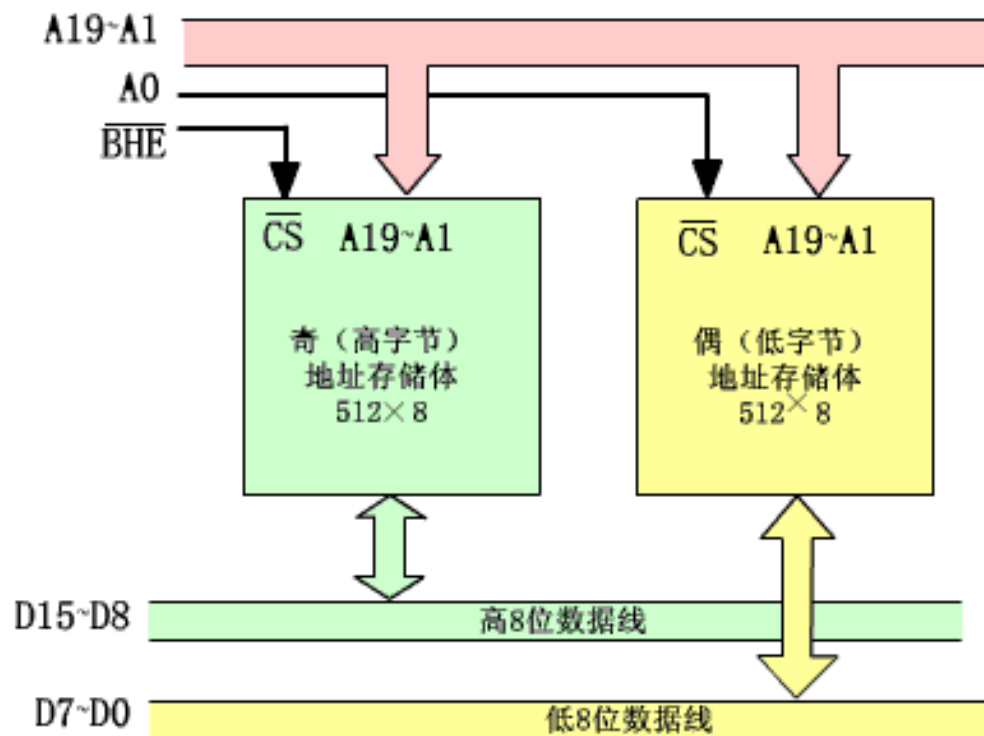
■ 通用区00400H~FFFEFH

存储用户的指令和数据。



2.6 存储器和I/O组织-存储器结构

- ❑ 将1M字节的存储空间分成两个512K的存储体，
一个偶体，一个奇体；
- ❑ 偶体固定与低8位数据总线（D7-D0）相连；
- ❑ 奇体固定与高8位数据总线（D15-D8）相连；
- ❑ $\overline{\text{BHE}}$ 有效（为0）选中奇体，A0有效（为0），选中偶体



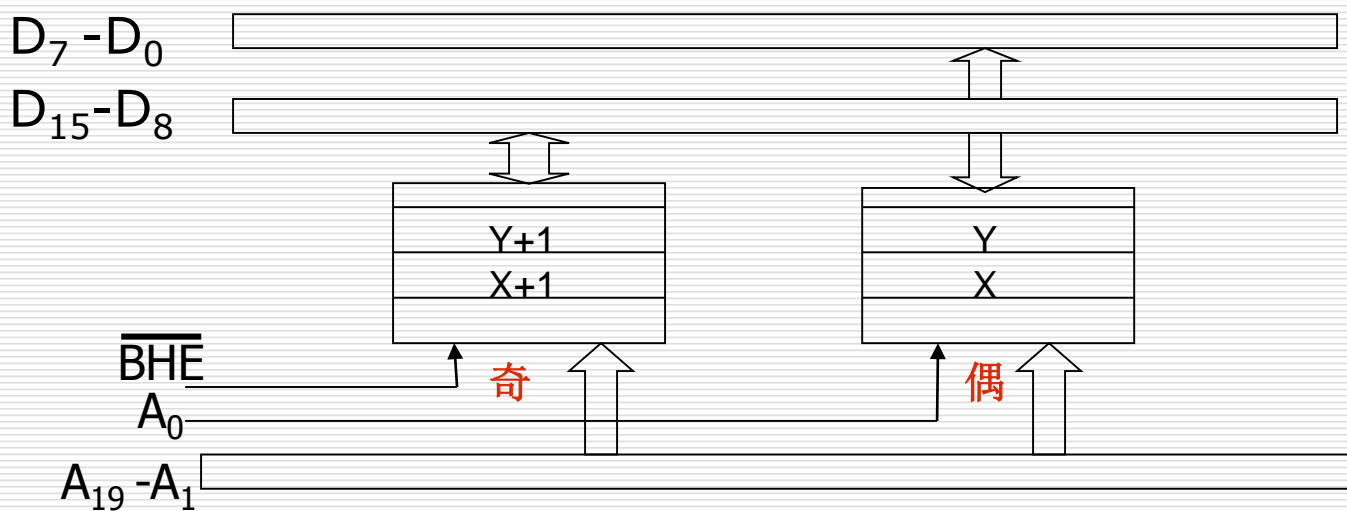
2.6 存储器和I/O组织-存储器结构

- 在组成存储系统时，总是使偶地址单元的数据通过AD₀-AD₇传送，而奇地址单元的数据通过AD₈—AD₁₅传送，显然，并不是所有总线周期都存取总线高字节，只有存取奇地址的字节，才进行总线高字节传送。

$\overline{\text{BHE}}$	A0	操作	所用数据引脚
0	0	从偶地址单元开始读/写一个字	AD ₁₅ ~ AD ₀
0	1	从奇地址单元或端口读/写一个字节	AD ₁₅ ~ AD ₈
1	0	从偶地址单元或端口读/写一个字节	AD ₇ ~ AD ₀
1	1	无效	--
0	1	从奇地址开始读/写一个字(在第一个总线周期将低 8 位数据送到 AD ₁₅ ~ AD ₈ ，下一个周期将高 8 位数据送到 AD ₇ ~ AD ₀)	AD ₁₅ ~ AD ₀
1	0		

2.6 存储器和I/O组织- 存储器结构

- ❑ 对存储器进行访问，操作数可以是1个字节或1个字，若为字，则低位字节在低地址单元，高位字节在高地址单元；
- ❑ 操作数为字时，若起始地址为偶地址，称为规则存放（对准字），访问只需一个总线周期；
- ❑ 若起始地址为奇地址，称为非规则存放（非对准字），访问则需两个总线周期；



内存对齐

```
struct test
{
    char c1;
    short s1;
    char c2;
    short s2;
};
```

Size:8

c1 : 0000

s1 : 0002

c2 : 0004

s2 : 0006

```
struct test
{
    char c1;
    char c2;
    short s1;
    short s2;
};
```

Size:6

c1 : 0000

c2 : 0001

s1 : 0002

s2 : 0004

2.6 存储器和I/O组织- I/O组织

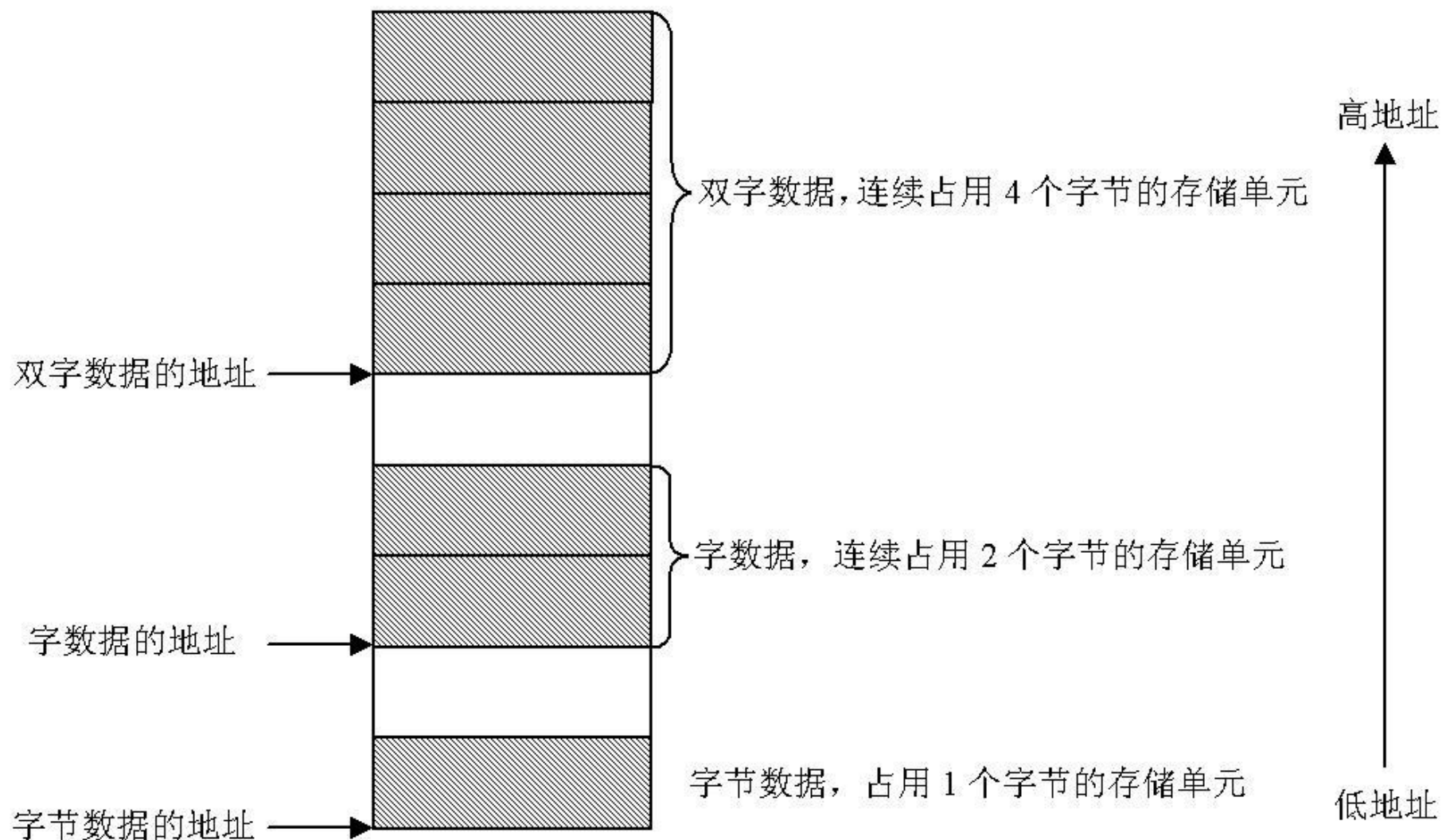
- ❑ 8086系统与外部设备之间的数据交互是通过I/O接口来进行的，每个外部设备都包含一个或多个端口，CPU要为每个端口分配1个端口地址；
 - ❑ 8086存储器和I/O地址空间是分离的，在执行存储器和I/O访问命令时， $\overline{M/\overline{IO}}$ 引脚将输出不同的状态，这样就区分了存储器访问和I/O访问；
 - ❑ 8086 I/O地址空间范围为0000H~FFFFH，可以寻址65535个I/O端口，I/O地址为16位；
 - ❑ 每个I/O地址对应1个8位I/O端口，两个相邻地址的I/O端口也可以组成1个16位端口
-

习题

- 1、8086的一个基本总线周期包括哪几个时钟周期（T状态）？
什么情况下需要插入等待状态？
- 2、在下列条件下，读周期时序中需不需要插入 T_w 状态？需要插入几个？
请画出相应的时序信号图。
 - ①CPU为8086-1（主频：10MHz）
 - ②内存芯片的读出时间为400ns
(从CPU输出有效地址到数据稳定出现在数据总线上的时间)。
- 3、某一16位的CPU，主频为20MHz，其总线周期含有4个时钟周期加上一个等待状态（ T_w ），试计算其最大总线频宽
(单位时间内通过总线的信息传输量，以Bytes/Sec为单位)。
- 4、为什么 \overline{BHE} 和地址信息一样需要锁存？
是在总线周期的什么时刻进行锁存操作的？
- 5、某存储单元的物理地址为：28AB0H，若偏移量为：1000H，
则该段存储空间中物理地址的首址和末址是多少？
- 6、解释下列名词术语：
(1) 段基址 (2) 偏移量 (3) 逻辑地址 (4) 物理地址

本次作业提交时间：9月27日

数据类型

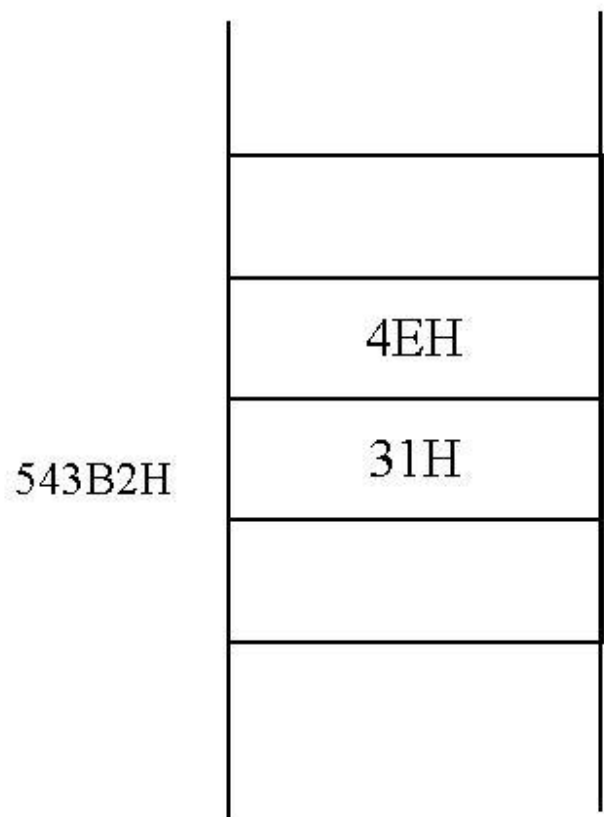


存储顺序-大尾与小尾

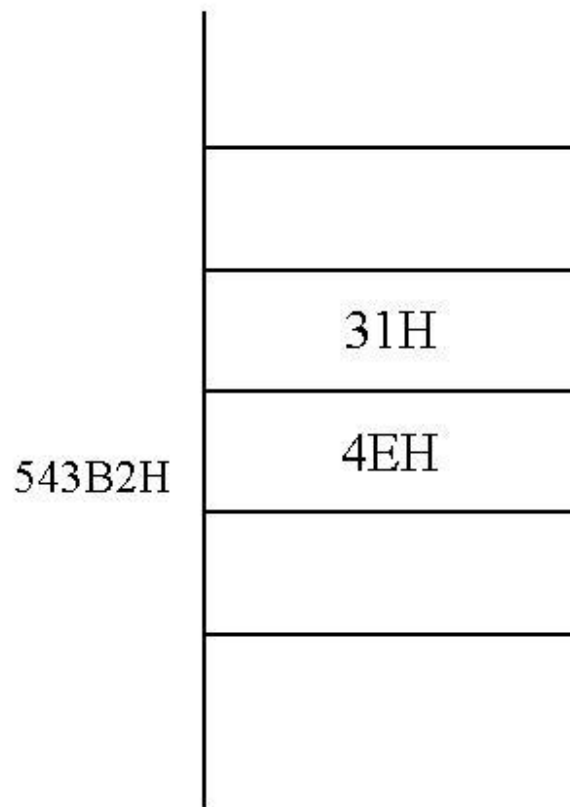


字数据：4E31H，高位字节：4EH，低位字节：31H

小尾方式



大尾方式



高地址



低地址