

## ATIVIDADE 2 - PROJETO DE DECODIFICADOR C-2 PARA DISPLAY DE 7-SEGMENTOS

**CURSO:** TECNOLOGIA EM ANÁLISE E DESENVOLVIMENTO DE SISTEMAS

**DISCIPLINA:** ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

**PERÍODO LETIVO:** 2022-02

**PROFESSOR:** FELIPE MARTIN SAMPAIO

**ALUNA:** RAFAELLI DOS SANTOS

### OBJETIVO DA ATIVIDADE

- Desenvolver um circuito lógico (utilizando o simulador Logisim) para decodificação de números binários de entrada (4 bits), utilizando a representação de números com sinal em complemento de 2 (C-2), para que sejam apresentados de forma gráfica em displays de 7 segmentos (Figura 1).

### ESPECIFICAÇÃO DO CIRCUITO LÓGICO

- Entradas:** Número binário de 4 (quatro) bits: **A** (bit mais significativo), **B**, **C**, **D** (bit menos significativo).
- Saídas:** Saídas para o acendimento dos segmentos dos displays:
  - Display para o número: **a, b, c, d, e, f, g, h**
  - Display para o sinal: **sin**
- A lógica de comportamento das saídas, em função das entradas, será expressa de acordo com a representação de números com sinal em C-2, expressa na Figura 2.

### PASSOS PARA O DESENVOLVIMENTO

**Passo 1:** Construir a tabela-verdade para a especificação do comportamento do circuito lógico, utilizando o modelo da Figura 2. Seguir a especificação das conexões da Figura 1b e a representação dos números em C-2 apresentada na Figura 1c.

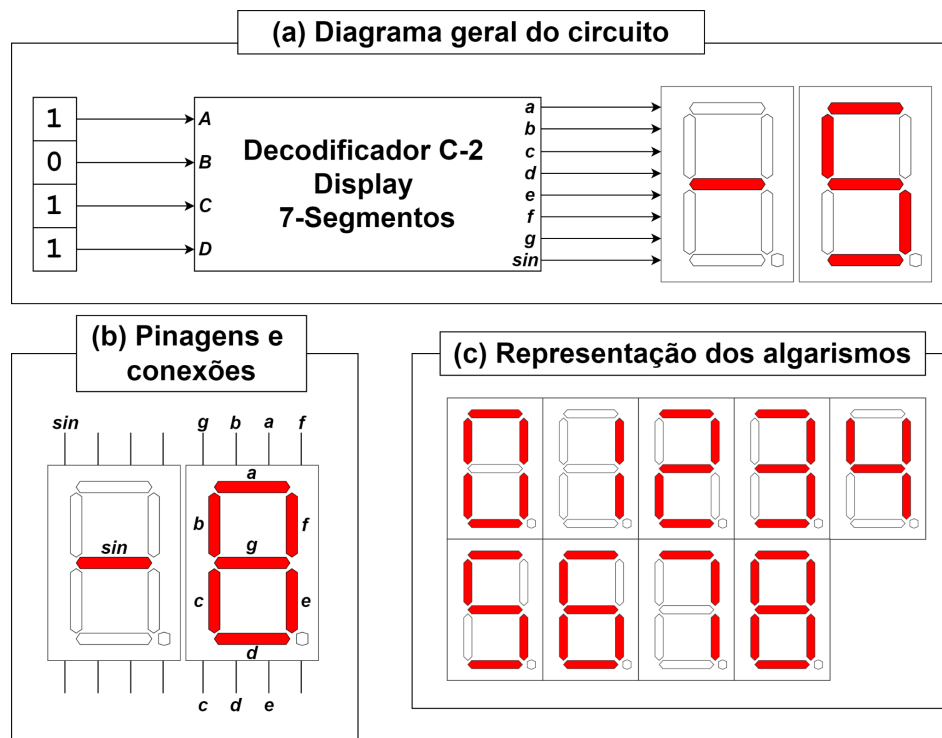
**Passo 2:** Para cada uma das saídas, realizar o processo de síntese das expressões lógicas simplificadas a partir da técnica de Mapas de Karnaugh.

**Passo 3:** Projetar o circuito lógico “Decodificador Display 7-Segmentos” no simulador Logisim utilizando, como base, as expressões lógicas do Passo 2.

**Passo 4:** Realizar a simulação do funcionamento do circuito lógico utilizando um display de 7 segmentos disponível na biblioteca de componentes do simulador Lógico (Figura 1a).

### ENTREGAS E PRAZOS

- O roteiro **DEVE** ser desenvolvido de forma **INDIVIDUAL**.
- O que deve ser entregue:
  - Tabela-verdade construída para a especificação do funcionamento do circuito
  - Demonstração do processo de síntese das expressões lógicas por meio dos Mapas de Karnaugh para cada uma das saídas
  - Arquivo **.circ** com o projeto do circuito lógico
- Prazo de entrega: **até o dia 27 de setembro de 2022.**



**Figura 1: Especificação do circuito para o projeto utilizando o simulador Logisim.**

<i>mintermo</i>	A	B	C	D	a	b	c	d	e	f	g	sin	C-2
0	0	0	0	0									0
1	0	0	0	1									1
2	0	0	1	0									2
3	0	0	1	1									3
4	0	1	0	0									4
5	0	1	0	1									5
6	0	1	1	0									6
7	0	1	1	1									7
8	1	0	0	0									-8
9	1	0	0	1									-7
10	1	0	1	0									-6
11	1	0	1	1									-5
12	1	1	0	0									-4
13	1	1	0	1									-3
14	1	1	1	0									-2
15	1	1	1	1									-1

**Figura 2: Tabela-verdade a ser preenchida com o comportamento do circuito.**

N	A	B	C	D	a	b	c	d	e	f	g	sin	C-2
0	0	0	0	0	1	1	1	1	1	1	0	0	0
1	0	0	0	1	0	0	0	0	1	1	0	0	1
2	0	0	1	0	1	0	1	1	0	1	1	0	2
3	0	0	1	1	1	0	0	1	1	1	1	0	3
4	0	1	0	0	0	1	0	0	1	1	1	0	4
5	0	1	0	1	1	1	0	1	1	0	1	0	5
6	0	1	1	0	1	1	1	1	1	0	1	0	6
7	0	1	1	1	1	0	0	0	1	1	0	0	7
8	1	0	0	0	1	1	1	1	1	1	1	1	-8
9	1	0	0	1	1	0	0	0	1	1	0	1	-7
10	1	0	1	0	1	1	1	1	1	0	1	1	-6
11	1	0	1	1	1	1	0	1	1	0	1	1	-5
12	1	1	0	0	0	1	0	0	1	1	1	1	-4
13	1	1	0	1	1	0	0	1	1	1	1	1	-3
14	1	1	1	0	1	0	1	1	0	1	1	1	-2
15	1	1	1	1	0	0	0	0	1	1	0	1	-1

**Figura 3: Tabela-verdade preenchida com o comportamento do circuito.**

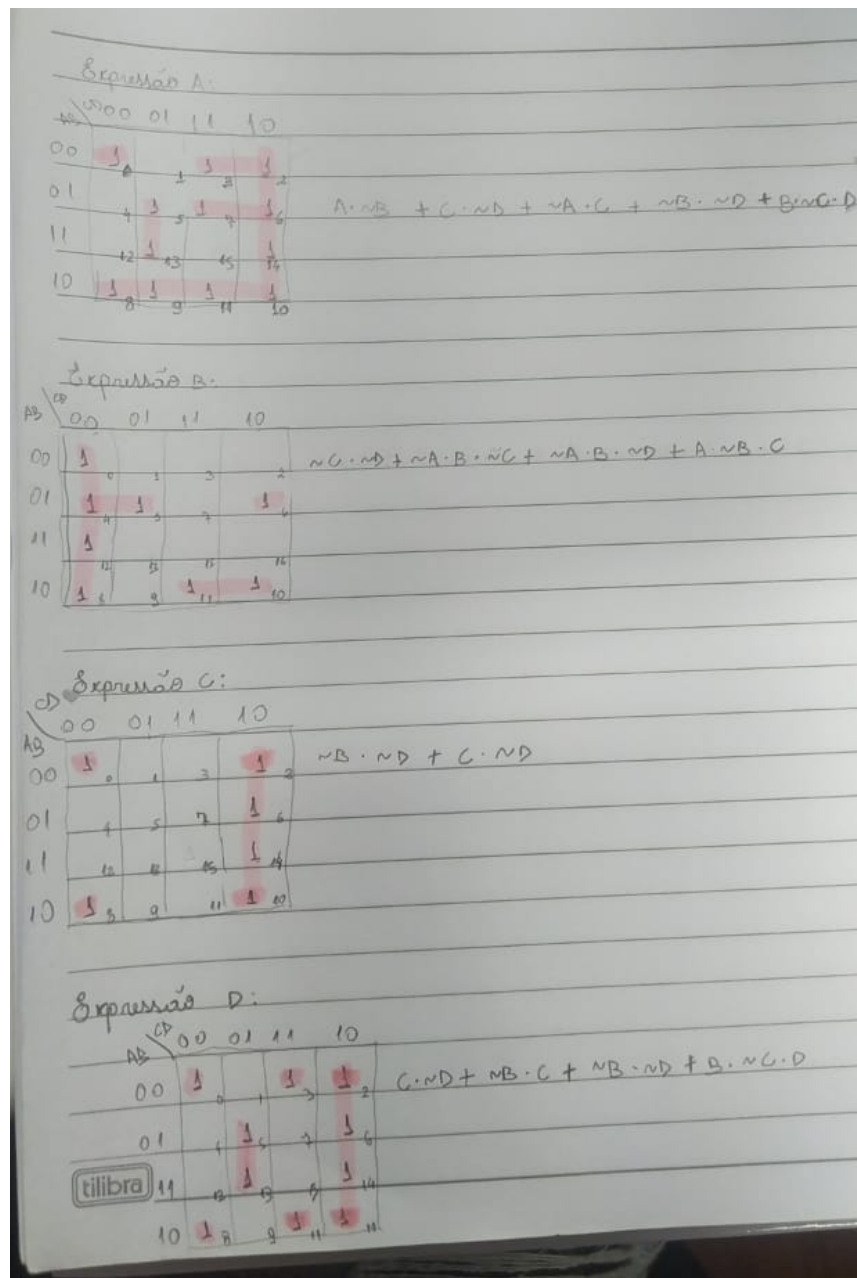


Figura 4: Mapas de Karnaugh de A à D.

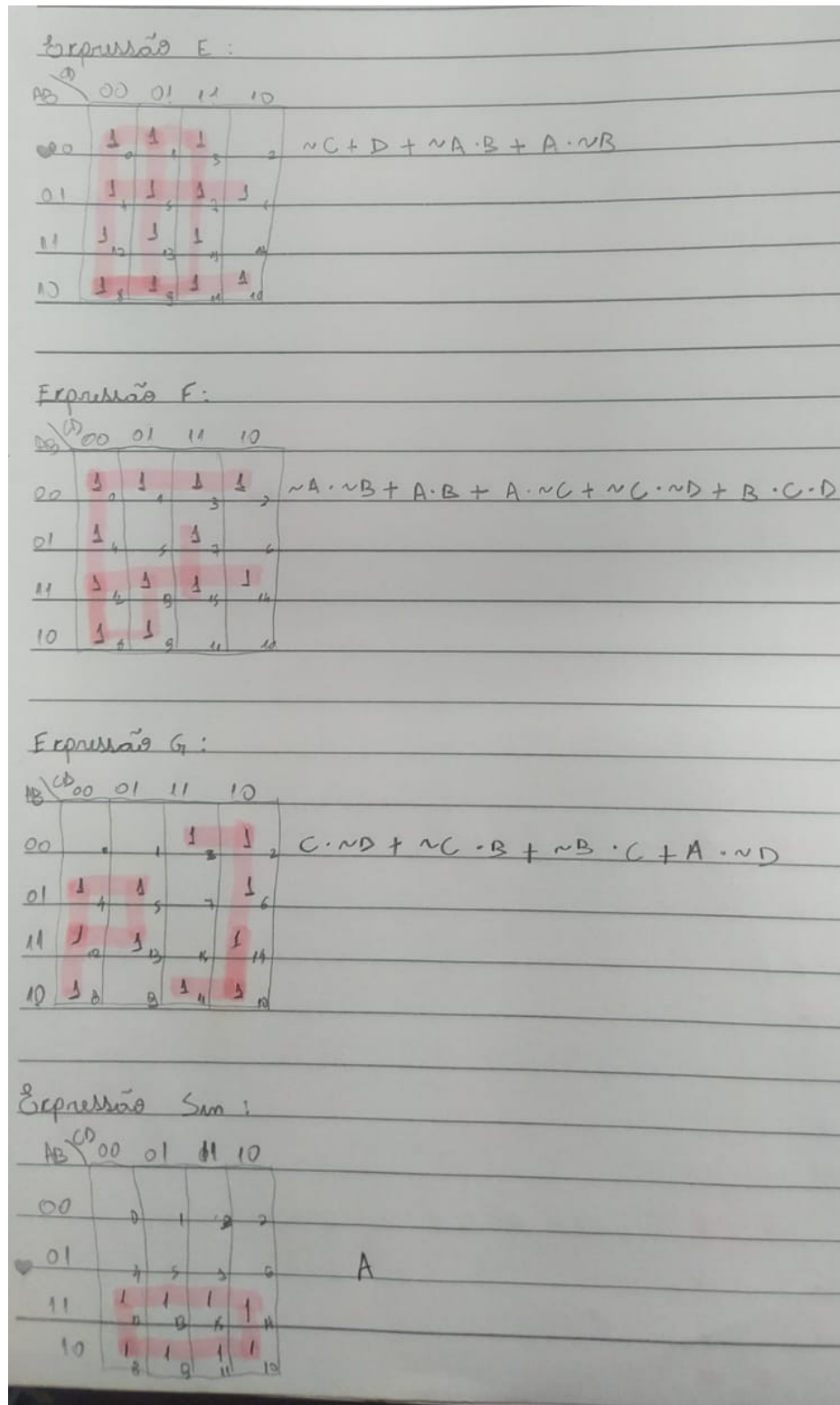


Figura 5: Mapas de Karnaugh de E à Sin.