

### **El buffer de reorden en una arquitectura superescalar permite:**

- Completar (sacar del cauce) las instrucciones en un orden diferente al orden de programa.(las saca en orden, pero vale para controlar los riesgos de WAW y WAR actualizando el registro, una vez que todas hayan acabado todas).
- El buffer de reorden es una estructura que se utiliza para la predicción de saltos y no tiene nada que ver con el orden de ejecución de las instrucciones. (falsa, se usa en el renombrado ses.3)
- La ejecución de las instrucciones fuera de orden.
- El buffer de reorden no se utiliza en las arquitecturas superescalares. (falsa, si se usa)

---

### **El mejor tipo de benchmark para evaluar un sistema es:**

- Los kernels porque permiten evaluar aspectos concretos.
  - Los benchmarks sintéticos porque son independientes de las aplicaciones.
  - Las aplicaciones reales porque evalúan la realidad.
  - Depende de lo que se desee evaluar.
- 

### **Ante un salto incondicional se pueden utilizar los siguientes tipos de predicción:**

- La predicción no tiene sentido cuando el salto es incondicional.
  - La predicción explícita no se puede utilizar ya que es necesario tener información sobre el estado anterior del salto y en un salto incondicional esto no es posible
  - Predicción implícita y explícita
  - La predicción implícita no se puede utilizar ya que es necesario tener información sobre el estado anterior del salto y en un salto incondicional esto no es posible
- 

**Suponiendo que los ciclos de latencia de inicio para una máquina vectorial son los siguientes: Cargas = 7. Sumas = 3. Desplazamientos = 4. Y que queremos realizar una operación de carga, suma y desplazamiento con encadenamiento de cauce para un vector de 10 componentes, ¿Cuántos ciclos tardaríamos?**

-7+3+4+10. (Por descarte)

-7+3+4+5.

-7+3+4+10+3\*10.

-7+3+4+6+10.

---

### **En cuanto a los riesgos por dependencia de datos en las arquitecturas superescalares...**

-Los riesgos RAW (lectura después de escritura) son los únicos riesgos que no se pueden solucionar por renombrado.

-Los riesgos WAW y WAR son riesgos por dependencia de datos que se pueden solucionar por adelantamiento.(Se solucionan con renombrado --->FALSA)

-Los riesgos RAR son riesgos por dependencia de datos que se pueden solucionar utilizando renombrado.(Dice que se solucionan WAW y WAR---> FALSA)

-Los riesgos WAW y WAR son riesgos por dependencia de datos que **no** se pueden solucionar utilizando renombrado .(Si se pueden solucionar ---->FALSA)

---

### **El algoritmo de renombrado se utiliza en las arquitecturas superescalares para:**

-Para evitar los efectos de los riesgos WAR y WAW

-Para nada. En superescalares no se usa ese algoritmo.

-Es un algoritmo que se utilizar para permitir la ejecución desordenada ya que después de la ejecución se encarga de reordenar las instrucciones.

-Poder ejecutar dos instrucciones al mismo tiempo

---

### **El paralelismo a nivel de instrucción o ILP es:**

-Un tipo de paralelismo que incorpora un rendimiento muy bajo y por eso casi no se usa.

-Un paralelismo funcional que consiste en ejecutar varias instrucciones a la vez.

-Es un tipo de paralelismo inventado. No existe.

-Un paralelismo de datos que consiste en trabajar con los datos de varias instrucciones a la vez.

---

**¿Cuál de las siguientes afirmaciones es correcta para la gestión de los riesgos de control?**

- El procesamiento especulativo de los saltos es la estrategia más común en los procesadores superescalares.
  - El bloqueo del procesamiento del salto es la estrategia más común en los procesadores superescalares.(no)
  - La gestión del salto retardado es la estrategia más común en los procesadores superescalares.
  - La gestión de múltiples caminos es la estrategia más común en los procesadores superescalares.
- 

**Una ventana de instrucciones alineada es:**

- Una ventana de instrucciones que carga instrucciones conforme se va vaciando (sin esperar a vaciarse del todo).(falsa, es justo lo contrario --> no-alineada)
  - Una ventana de instrucciones que tiene una línea de separación entre los códigos de instrucción.(charla)
  - Una ventana de instrucciones que carga instrucciones cuando está completamente vacía.
  - Una ventana de instrucciones extraterrestre.(mm nop)
- 

**¿Cuál de las siguientes afirmaciones es correcta?**

- Todas las afirmaciones son correctas.
  - Los campos de la BTB se actualizan después de ejecutar el salto.(vdd)
  - La tabla de historia de los saltos con bits desacoplados permite predecir instrucciones que no estén en la BTAC.(vdd)
  - La tabla de historia de los saltos con bits desacoplados aumenta el hardware necesario para gestionar los saltos.(vdd)
- 

**¿Cuáles son las diferencias entre la BTAC y la BTIC?**

- La BTAC contiene las direcciones de destino de salto mientras que la BTIC contiene las instrucciones de destino del salto.
- Tanto la BTIC como la BTAC son cachés que permiten gestionar de forma adecuada los saltos aunque la BTIC es más rápida que la BTAC.
- En la BTIC las direcciones destino del salto se leen al mismo tiempo que se captan instrucciones de salto.

-La BTAC es una caché más rápida que la BTIC aunque necesita más hardware

---

### **Una arquitectura vectorial es:**

-Todas las respuestas son correctas

-Una arquitectura donde cada operación vectorial codifica gran cantidad de cálculo, reduciendo el número de instrucciones y evitando riesgos de control (vdd ses 1)

-Una arquitectura donde el cálculo de los componentes del vector se realiza de forma independiente obteniendo buenos rendimientos. (vdd ses 1)

-Una arquitectura orientada al procesamiento de vectores (suma de vectores, productos escalares, etc.).(vdd ses 1)

---

### **El acceso a memoria concurrente o tipo C es:**

-Un tipo de acceso utilizado por arquitecturas vectoriales que permite acceder a posiciones de memoria en un mismo bloque de forma concurrente.

-Un tipo de acceso utilizado por arquitecturas vectoriales que permite acceder a posiciones de memoria en diferentes bloques de forma simultánea.

-Un tipo de acceso utilizado por arquitecturas vectoriales que permite acceder a posiciones de memoria diferentes en un mismo bloque de forma simultánea.

-Un tipo de acceso utilizado por arquitecturas vectoriales que permite acceder a posiciones de memoria en diferentes bloques de forma concurrente.

---

### **¿Cuál de las siguientes opciones no es una ventaja del buffer de renombrado con acceso asociativo frente al acceso indexado?**

(asociativo : -permite varias escrituras pendientes a un mismo registro; -se utiliza el bit último para marcar cual ha sido la más reciente

indexado: -Solo permite una escritura pendiente a un mismo registro; -Se mantiene la escritura más reciente)

-no tiene ninguna ventaja.

-Permite varias escrituras pendientes a un mismo registro.(esto si que es una ventaja frente al indexado, falsa)

-Tiene un elemento que indica si el valor es valido o no.

-La búsqueda de un registro se debe hacer comparando el registro con todas las entradas hasta encontrarlo

---

**El almacenamiento implícito de la predicción de un salto consiste en:**

-No se almacena la predicción sino la dirección del salto en el buffer correspondiente y en función de este almacenamiento se decide la predicción.

-Se almacena la predicción en una tabla junto a la dirección de salto.

-Almacenar la predicción en un buffer implícito(falsa)

-Escribir en una hoja de papel la predicción del salto(falsa)

---

**Qué diferencias existen entre las estaciones de reserva y la ventana de instrucciones?**

-Las instrucciones se cargan en la ventana de instrucciones una vez descodificadas y se utiliza un bit para indicar si un operando está disponible. En la estación de reserva las instrucciones se cargan una vez finalizadas(??)

-La ventana de instrucciones almacena las instrucciones pendientes de ejecutar y las estaciones de reserva las ejecutadas pero no finalizadas.(las ejecutadas están en la unidad de ejecución no en la estación de reserva)

-Las instrucciones que se encuentran en la estación de reserva han sido enviadas a ejecución, mientras que las instrucciones que se encuentran en la ventana de instrucciones aún no han sido enviadas a ejecución (en la ventana de instrucciones esperan a tener los operandos, no es emitida hasta que no los tiene.)

-Las instrucciones que se encuentran en la estación de reserva han sido emitidas mientras que las instrucciones que se encuentran en la ventana de instrucciones aún no han sido emitidas(estó es verdad,)

---

**En un esquema de predicción explícita, los bits de predicción:**

-Se pueden almacenar de forma acoplada a una estructura existente (como la BTB) o de forma independiente en una estructura específica que almacene únicamente la historia de los saltos.

-Solo se pueden almacenar de forma acoplada a una estructura existente (como la BTB)

-Solo se pueden almacenar de forma independiente en una estructura específica que almacene únicamente la historia de los saltos.

---

**Indica cual es la Incorrecta**

en el buffer de renombrado se utiliza un puntero(...)