

Arquitectura de los Computadores. Junio 2012

1. (3,5 puntos) La extensión del repertorio Pentium III, incorporando instrucciones SSE y el correspondiente hardware de procesamiento SSE permite acelerar los tiempos de cálculo, en lo que a tareas multimedia en punto flotante (TMPF) se refiere, en un factor de 20. Utilizando como conjunto de benchmarks para análisis del rendimiento multimedia en punto flotante CFP2006 (SPEC CPU2006), cuyos programas realizan tanto tarea multimedia en punto flotante (TMPF) como no multimedia en punto flotante (TNMPF), se observó que los tiempos de ejecución de los programas del conjunto de benchmarks son los que aparecen en la tabla tanto compilados utilizando SSE como sin utilizar SSE.

CFP2006 (Floating Point Component of SPEC CPU2006)	Tiempo ejecución sin SSE Pentium III	Tiempo ejecución con SSE Pentium III
410.bwaves	140 s	60 s
416.gamess	127 s	54 s
433.milc	132 s	58 s
434.zeusmp	114 s	53 s
435.gromacs	154 s	61 s
436.cactusADM	124 s	52 s
437.jeslie3d	143 s	59 s
444.namd	154 s	62 s
447.dealII	127 s	55 s
450.soplex	148 s	62 s
453.povray	165 s	68 s
454.calculix	125 s	54 s
459.GemsFDTD	142 s	61 s
465.tonto	144 s	63 s
470.lbm	167 s	70 s
481.wrf	142 s	62 s
482.sphinx3	186 s	72 s
Media geométrica	142 s	60 s

Utilizando la media geométrica para representar el rendimiento de las dos opciones (Tiempo ejecución sin SSE Pentium III; Tiempo ejecución con SSE Pentium III) calcula:

- El porcentaje medio del tiempo de ejecución de los programas compilados sin SSE que se utiliza para realizar tareas multimedia en punto flotante (TMPF).
 - El tiempo de ejecución medio que los programas compilados sin SSE consumen en realizar tareas multimedia en punto flotante (TMPF).
 - El tiempo de ejecución medio que los programas compilados con SSE consumen en realizar tareas multimedia en punto flotante (TMPF).
 - El tiempo de ejecución medio que los programas consumen en realizar tareas no multimedia en punto flotante (TNMPF).
 - Tras estudiar los niveles de utilización de instrucciones SSE en los benchmarks, se estableció que una medida realista de la fracción mejorada es 61%. El departamento de diseño hardware establece la posibilidad de mejorar la unidad SSE duplicando la aceleración mejorada (40). ¿Que incremento en la fracción mejorada sobre el 61% debería conseguir el departamento de diseño de compiladores, para igualar la mejora en la aceleración global conseguida por el departamento de diseño hardware?
2. (2,5 puntos) Google está rediseñando su smartphone Nexus con el objetivo de aumentar el rendimiento del teléfono y permita realizar tareas que normalmente estaban en el ámbito de los computadores personales. Para ello, desea rehacer la arquitectura del procesador comenzando por un nuevo diseño del repertorio de instrucciones sabiendo que:
- El coste total del procesador debe ser medio.
 - Los programas que se ejecuten en el procesador se desarrollarán con lenguajes de alto nivel.
 - Tienen pensado una organización del computador con 4 núcleos de procesamiento superescalas.

Indica que decisiones de manera **justificada** debería tomar Intel, **valorando las diferentes alternativas**, en las siguientes componentes de la arquitectura:

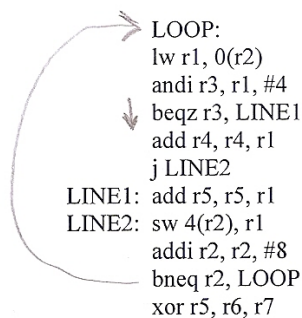
- Tipo de almacenamiento interno a la CPU
- Número de operandos que se pueden direccionar en memoria en instrucciones ALU

- c) Modos de direccionamiento de operandos
- d) Codificación de los modos de direccionamiento
- e) Tipos de instrucciones en el repertorio
- f) Tipos de datos, codificación de los mismos y forma de designación del tipo
- g) Formas de especificar el destino del salto y la condición de salto

3. (2,5 puntos) Suponed una arquitectura no segmentada que funciona a 2.5 GHz y que necesita 5 ciclos para finalizar la ejecución de una instrucción. Se quiere segmentar la máquina con 5 etapas. Para ello considerad un procesador segmentado con un cauce de 5 etapas. El recuento de instrucciones dinámicas por tipo como un porcentaje del total es el siguiente:

10% almacenamientos
 20% cargas
 20% saltos
 50% instrucciones ALU

- a) ¿Cuál es la ganancia ideal debido a la segmentación para este procesador?
- b) Suponed inicialmente que se ignora el incremento potencial del ciclo de reloj debido a la segmentación. En este caso las paradas por dependencia de datos ocurren en dos situaciones. Una parada de un ciclo tiene lugar cuando a una instrucción de carga le sigue una instrucción ALU que utiliza el resultado de la load. Esta situación ocurre en el 40% de las instrucciones de carga. Una parada de 2 ciclos de reloj ocurre cuando a una instrucción de salto le precede una operación ALU cuyo resultado lo utiliza la condición de salto. Esta situación ocurre en el 50% de las instrucciones de salto. ¿Cuál es el porcentaje de reducción de la ganancia respecto a la ideal debido a las dependencias de datos?
- c) Realmente al segmentar la máquina se modifica e incrementa el hardware de manera que se fuerza a correr la máquina a 2 GHz. Suponed que además de las detenciones por dependencias de datos anteriores, se consideran las paradas causadas por las instrucciones de acceso a memoria que provocan una parada de 2 ciclos. Esto ocurre en el 10% de las instrucciones de memoria. ¿Cuál es la ganancia de velocidad en este caso debido a la segmentación?
- d) Muestra el diagrama de temporización en el pipeline de 5 etapas anterior para la ejecución del código siguiente, muestra solo hasta la segunda vez que se haga la búsqueda de la instrucción `lw`. El primer salto es no efectivo (no se toma) pero el último salto condicional si es efectivo (se toma). El adelantamiento se realiza siempre.



4. (1,5 puntos) La memoria principal del procesador Intel ATOM es de 4GB con un bus de direcciones de 32 bits y palabras de 32 bits. El procesador dispone de una cache de 2MB y dispone de bloques de 64 KB para transferir información entre memoria principal y caché. Indica para cada dirección qué bits corresponden a cada uno de los campos en los que puede dividirse la dirección para:

- a) Correspondencia directa
- b) Correspondencia asociativa
- c) Correspondencia asociativa por conjuntos de 2 vías

Soluciones

1. (3,5 puntos) La extensión del repertorio Pentium III, incorporando instrucciones SSE y el correspondiente hardware de procesamiento SSE permite acelerar los tiempos de cálculo, en lo que a tareas multimedia en punto flotante (TMPF) se refiere, en un factor de 20. Utilizando como conjunto de benchmarks para análisis del rendimiento multimedia en punto flotante CFP2006 (SPEC CPU2006), cuyos programas realizan tanto tarea multimedia en punto flotante (TMPF) como no multimedia en punto flotante (TNMPF), se observó que los tiempos de ejecución de los programas del conjunto de benchmarks son los que aparecen en la tabla tanto compilados utilizando SSE como sin utilizar SSE.

CFP2006 (Floating Point Component of SPEC CPU2006)	Tiempo ejecución sin SSE Pentium III	Tiempo ejecución con SSE Pentium III
410.bwaves	140 s	60 s
416.gamess	127 s	54 s
433.milc	132 s	58 s
434.zeusmp	114 s	53 s
435.gromacs	154 s	61 s
436.cactusADM	124 s	52 s
437.leslie3d	143 s	59 s
444.namd	154 s	62 s
447.dealII	127 s	55 s
450.soplex	148 s	62 s
453.povray	165 s	68 s
454.calculix	125 s	54 s
459.GemsFDTD	142 s	61 s
465.tonto	144 s	63 s
470.lbm	167 s	70 s
481.wrf	142 s	62 s
482.sphinx3	186 s	72 s
Media geométrica	142 s	60 s

Utilizando la media geométrica para representar el rendimiento de las dos opciones (Tiempo ejecución sin SSE Pentium III; Tiempo ejecución con SSE Pentium III) calcula:

- El porcentaje medio del tiempo de ejecución de los programas compilados sin SSE que se utiliza para realizar tareas multimedia en punto flotante (TMPF).
- El tiempo de ejecución medio que los programas compilados sin SSE consumen en realizar tareas multimedia en punto flotante (TMPF).
- El tiempo de ejecución medio que los programas compilados con SSE consumen en realizar tareas multimedia en punto flotante (TMPF).
- El tiempo de ejecución medio que los programas consumen en realizar tareas no multimedia en punto flotante (TNMPF).
- Tras estudiar los niveles de utilización de instrucciones SSE en los benchmarks, se estableció que una medida realista de la fracción mejorada es 61%. El departamento de diseño hardware establece la posibilidad de mejorar la unidad SSE duplicando la aceleración mejorada (40). ¿Que incremento en la fracción mejorada sobre el 61% debería conseguir el departamento de diseño de compiladores, para igualar la mejora en la aceleración global conseguida por el departamento de diseño hardware?

Media geometrica:

NO OS FIEIS DE LA SOLUCIÓN

$$\sin SSE \sqrt[n]{\prod_{i=1}^n x_i} = \sqrt[17]{140 \cdot 127 \cdot 132 \cdot 114 \cdot \dots \cdot 186} = 142,11 \sim 142\%$$

$$\sin SSE \sqrt[n]{\prod_{i=1}^n x_i} = \sqrt[17]{60 \cdot 54 \cdot 58 \cdot 53 \cdot \dots \cdot 72} = 60,09 \sim 60\%$$

a)

$$\frac{\text{tiempo}_{\sin sse}}{\text{tiempo}_{\text{con sse}}} = \frac{1}{(1 - f_m) + \frac{f_m}{A_m}} \rightarrow f_m = \text{porcentaje tiempo ejecucion} = \frac{\frac{T_{\sin sse} \cdot A_m}{T_{\text{con sse}}} - A_m}{-A_m + 1}$$

Se hace con la media geometrica por tanto será.

$$\frac{142}{60} = \frac{1}{(1 - f_m) + \frac{f_m}{20}} \quad \text{Calculamos} \quad f_m = 0,60785 \sim 60,7\%$$

b)

Teniendo el porcentaje medio en calcular tareas en coma flotante y el tiempo de ejecución sin SSE, solo debemos:

$$tiempo_{sin\,sse,for} = 142 \cdot 60,7\% = 86,194\,s$$

c)

$$tiempo_{con\,sse,float} = \frac{tiempo_{sin\,sse,float}}{factor} = \frac{86,194}{20} = 4,31\,s$$

$$d) \text{ total} - \text{tiempo para coma flotante} = 142 - 86,194 = 55,81\,s$$

e) Calculamos la aceleración con factor 40 y el 61 %

$$a_g = \frac{1}{(1 - 0,61) + \frac{0,61}{40}} = 2,47$$

con esa ganancia calculamos el fm con el factor 20 antiguo

$$a_g = 2,47 = \frac{1}{(1 - f_m) + \frac{f_m}{20}} \rightarrow f_m = 0,63$$

El incremento por tanto será

$$Inc = 0,63 - 0,61 = 0,02 \sim 2\%$$

2. (2,5 puntos) Google está rediseñando su smartphone Nexus con el objetivo de aumentar el rendimiento del teléfono y permita realizar tareas que normalmente estaban en el ámbito de los computadores personales. Para ello, desea rehacer la arquitectura del procesador comenzando por un nuevo diseño del repertorio de instrucciones sabiendo que:

- i. El coste total del procesador debe ser medio.
- ii. Los programas que se ejecuten en el procesador se desarrollarán con lenguajes de alto nivel.
- iii. Tienen pensado una organización del computador con 4 núcleos de procesamiento superescalares.

Indica que decisiones de manera **justificada** debería tomar Intel, valorando las **diferentes alternativas**, en las siguientes componentes de la arquitectura:

- a) Tipo de almacenamiento interno a la CPU
- b) Número de operandos que se pueden direccionar en memoria en instrucciones ALU

-
- c) Modos de direccionamiento de operandos
 - d) Codificación de los modos de direccionamiento
 - e) Tipos de instrucciones en el repertorio

33,2 x 684,7 mm Tipos de datos, codificación de los mismos y forma de designación del tipo

a) Yo diría almacenamiento R-R, ya que los compiladores pueden aprovechar mucho más estos registros, y son mas rápidos que el acceso a memoria.

b) Registro-registro, sin referencia a memoria. Ya que así aprovecha los registros, más rápidos que de memoria y al encargarse el compilador no supone una carga para el programador.

Las demas no toy seguro(P.D. Las anteriores tampoco XD)

Pregunta 3

$$CLK = 2.5 \text{ GHz} = 2.5 \times 10^9 \text{ Hz}$$

$n =$ nº ciclos

$K =$ etapas

$$\text{Ganancia} = \frac{T_{\text{secuencial}}}{T_{\text{segmentado}}} = \frac{(n \cdot K) CLK}{(K + (n-1)) CLK}$$

a)

$$G = \frac{(5 \cdot 5) \cancel{2.5 \times 10^9}}{(5+4) \cancel{2.5 \times 10^9}} = 2.7 = \boxed{277\%}$$

b)

* Se ignora el incremento potencial del ciclo de reloj

$$\boxed{\begin{array}{l} 1^{\text{a}} \text{ Parada} \\ 1 \text{ ciclo} \end{array}} = \begin{array}{l} 40\% \text{ de las instrucciones de carga} = \\ 8\% \text{ del total} \end{array}$$

$$\boxed{\begin{array}{l} 2^{\text{a}} \text{ Parada} \\ 2 \text{ ciclos} \end{array}} = \begin{array}{l} 50\% \text{ instrucciones de salto} = 10\% \text{ del total} \end{array}$$

★ Porcentaje de reducción de la ganancia ★

$$\left. \begin{array}{l} 1^{\text{a}} \text{ Parada} = \frac{6 \cdot 5}{5+5} = 3 \times 0.08 = 0.24 \\ 2^{\text{a}} \text{ Parada} = \frac{7 \cdot 5}{5+6} = 3.18 \times 0.10 = 0.31 \end{array} \right\} 0.55 = \boxed{55\%}$$

C) Máquina segmentada CLK = 2 GHz

$$1^{\text{a}} \text{ Parada} = \frac{(6.5) 2.5 \cdot 10^6}{(5+5) 2 \cdot 10^6} = 3.75 \times 0.08 = 0.3 = 30\%$$

$$2^{\text{a}} \text{ Parada} = \frac{(7.5) 2.5 \cdot 10^6}{(5+6) 2 \cdot 10^6} = 3.92 \times 0.10 = 0.392 = 39.2\%$$

3^a Parada = 10% de las instrucciones de memoria =
= 10% de las instrucciones de carga = 2% del total

$$\frac{(7.5) 2.5 \cdot 10^6}{(5+6) 2 \cdot 10^6} = 3.92 \times 0.02 = 0.0794 = 7.94\%$$

$$1^{\text{a}} P + 2^{\text{a}} P + 3^{\text{a}} P = 77.64\%$$

$$G_1 = \frac{(5.5) 2.5 \cdot 10^6}{(5+4) 2 \cdot 10^6} = 3.47 = 34.7\%$$

- 77.64%
269.30%

Ejercicio 3 d)

Instrucción	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
Loop: lw r1, 0(r2)	IF	ID	EX	MEM	WB																
andi r3, r1, #4		IF	ID	RAW	EX	MEM	WB														
bneqz r3, line1			IF	ID	RAW	RAW	EX	MEM	WB												
halt (parada)				-	-	-	IF	ID	EX	MEM	WB										
add r4, r4, r1							IF	ID	EX	MEM	MEM	WB									
j line 2									IF	ID	EX	MEM	WB								
salto									IF												
Line2: sw 4(r2), r1										IF	ID	EX	MEM	WB							
addi r2, r2, #8											IF	ID	EX	MEM	WB						
bneq r2, Loop											IF	ID	RAW	EX	MEM	WB					
salto												IF	ID	RAW	RAW	RAW	RAW	RAW	EX	MEM	WB
Loop: lw r1, 0(r2)														IF	ID	RAW	RAW	RAW	EX	MEM	WB

Ejercicio 4

4. (1,5 puntos) La memoria principal del procesador Intel ATOM es de 4GB con un bus de direcciones de 32 bits y palabras de 32 bits. El procesador dispone de una cache de 2MB y dispone de bloques de 64 KB para transferir información entre memoria principal y caché. Indica para cada dirección qué bits corresponden a cada uno de los campos en los que puede dividirse la dirección para:
- a) Correspondencia directa
 - b) Correspondencia asociativa
 - c) Correspondencia asociativa por conjuntos de 2 vías

Formulas

Calculo de la ETIQUETA : $\frac{\text{Tamaño de memoria principal}}{\text{Tamaño del Bloque}}$

Calculo de la LINEA: $\frac{\text{Tamaño Memoria cache}}{\text{Tamaño bloque}}$

Calculo de la PALABRA: $\frac{\text{Tamaño del bloque}}{\text{Tamaño palabra}}$ ***Pero para estos ejercicios el tamaño de la palabra es = al del bloque.

Calculo de los CONJUNTOS: $\frac{\text{Numero de Lineas}}{\text{Numero de vias}}$

NO OS FIEIS DE LA SOLUCIÓN

****Tanto en correspondencia directa como correspondencia por conjuntos a la etiqueta se le ha de restar la línea(en caso de correspondencia directa) y conjunto(en caso de por conjuntos).

Datos

Memoria principal: 4GB $\rightarrow 2^{32}$

Bus de direcciones: 32bits $\rightarrow 2^5$

Cache: 2MB $\rightarrow 2^{21}$

Bloques: 64KB $\rightarrow 2^{16}$

Palabra = Bloque $\rightarrow 2^{16}$

Para calcular los exponentes utilizamos el $\log_2 N$ donde N es el número que queremos pasar a exponencial de 2

a) Correspondencia directa

$$\text{Etiqueta} = \frac{2^{32}}{2^{16}} - \text{Linea} = 2^{16} - 2^5 = 16 - 5 = \mathbf{11}$$

$$\text{Linea} = \frac{2^{21}}{2^{16}} = 2^5 = \mathbf{5}$$

$$\text{Palabra} = \text{Bloque} = 2^{16} = \mathbf{16}$$

b) Correspondencia asociativa

$$\text{Etiqueta} = \frac{2^{32}}{2^{16}} = 2^{16} = \mathbf{16}$$

$$\text{Palabra} = \text{Bloque} = 2^{16} = \mathbf{16}$$

Los Resultados finales **SON LOS EXPONENTES** de base 2

c) Correspondencia por conjuntos de 2 Vías

$$\text{Etiqueta} = \frac{2^{32}}{2^{16}} - \text{conjuntos} = 2^{16} - 2^4 = 16 - 4 = \mathbf{12}$$

$$\text{Conjuntos} = \frac{32}{2} = 16 = 2^4 = \mathbf{4}$$

$$\text{Palabra} = 2^{16} = \mathbf{16}$$

El 32 sale del número de Líneas que hay $2^5 = 32$ se divide entre las vías.

Resultados finales

a) 11 - 5 - 16

b) 16 - 16

c) 12 - 4 - 16