



SALELF[®] 2S45 系列 FPGA 数据手册

上海安路信息科技股份有限公司

DS402 (v1.0) 2024 年 06 月



目 录

目 录	I
1 简介	1
1.1 SALELF® 2S45（以下简称 EF2S45）器件特性	1
1.2 EF2S45 器件介绍	3
2 EF2S45 架构介绍	4
3 EF2S45 交直流特性	4
4 EF2S45 内部 PSRAM	4
5 引脚和封装	5
5.1 引脚定义	5
5.2 IO 命名规则	5
5.3 EF2S45VG81/EF2M45VG81C FPGA 引脚列表	6
5.4 EF2S45VG81/EF2M45VG81C 封装尺寸	8
6 订购信息	9
版本信息	11
免责声明	12



1 简介

1.1 SALELF® 2S45（以下简称 EF2S45）器件特性

- 灵活的逻辑结构
 - 4500 个 LUTs
 - 最大用户 I/O 数量为 56 个
- 低功耗器件
 - 先进的 55nm 低功耗工艺
 - 静态功耗低至 5mA
 - 双电源
- 内置 Flash
 - 无需外部配置器件
 - 支持快速上电启动
- 支持分布式和嵌入式存储器
 - 最大支持 35 Kbits 分布存储器
 - 最大支持 684Kbits 嵌入块存储器
 - 容量块存储器 9K 和 32K，可配置为真双口，多种组合模式
 - ERAM9K 具有专用 FIFO 控制逻辑
 - 支持 128Kbits、256Kbits 大块嵌入存储器
- 可配置逻辑模块 (PLBs)
 - 优化的 LUT4/LUT5 组合设计
 - 双端口分布式存储器
 - 支持算数逻辑运算
 - 快速进位链逻辑
- 源同步输入/输出接口
 - 输入/输出单元包含 DDR 寄存器，支持 DDRx1、DDRx2 模式
- 高性能，灵活的输入/输出缓冲器
 - 可配置支持以下单端标准
 - LVTTL,
 - LVCMS (3.3/2.5/1.8/1.5/1.2V)
 - PCI
 - 通过配置支持以下差分标准
 - LVDS, LVPECL, BLVDS, MLVDS
 - 支持热插拔
 - 可配置上拉/下拉模式
 - 片内 100 欧姆差分匹配电阻
 - 优化 MIPI HS/LP I/O 支持
- 时钟资源
 - 16 路全局时钟
 - 每个 BANK 2 路针对高速 I/O 接口设计的 IOCLK
 - 优化全局时钟的 2 路快速时钟
 - 多功能 PLLs 用于频率综合
 - 7 路时钟输出
 - 分频系数 1 到 128
 - 支持 5 路时钟输出级联
 - 动态相位选择
- 配置模式



- 主模式串行 SPI (MSPI)
- 内置环形振荡器
- BSCAN
 - 兼容 IEEE-1149.1
- 封装形式
- 增强安全设计保护
 - 每个芯片拥有唯一的 64 位 DNA
- 封装类型: BGA
- 嵌入式硬核 IP

表 1-1 EF2S45 器件资源

Device	LUTs	DRAM (Kbs)	ERAM				Total (Kbits)	DSP	PLL	Flash	PSRAM	MAX user I/O	MCU
			9K	32K	128K	256K							
EF2S45	4480	35	12	6	1	1	684	15	1	4Mb	64Mb	56	/
EF2M45	4480	35	12	6	1	1	684	15	1	4Mb	64Mb	56	1

表 1-2 EF2S45 FPGA 封装

Packages	EF2S45VG81	EF2M45VG81C
BGA (4.2x4.2, 0.4mm pitch)	56/ (15+8)	56/ (15+8)

注:

1. 56/(15+8) 表示: 用户可用 I/O 数/ (用户可用真差分对数+伪差分对数)
2. BANK0/BANK2 只支持 1.8V 的单端与差分电平
3. JTAGEN 和 TCK, TMS, TDI, TDO 引脚功能互斥, 当 JTAGEN 引脚作为普通 I/O 时, TCK, TMS, TDI, TDO 不支持作为普通 I/O, 表中 I/O 数量不包含 JTAGEN 引脚



1.2 EF2S45 器件介绍

安路科技的 EF2S45 FPGA，是基于安路科技成熟可靠的低成本、低功耗可编程 FPGA—EF2L45，采用最新的 3D 合封技术，与两片 4Mx8bits 的 PSRAM 合封而成。特别适用于大容量与高速数据的采集、传输和变换等应用。

特色优势：

- ◆ 多品种，大容量的内置存储空间
 - 内置两片 4Mx8bits 的 PSRAM 存储空间，最高 200MHz 工作频率，最大读写带宽 400Mbps
 - 内置 12 块 ERAM9K 随机读写 RAM，可配置为真双口、简单双口、单口 RAM 和 FIFO 工作模式，位宽可配置为 512x18, 1Kx9, 2Kx4, 4Kx2, 8Kx1，最高频率 220Mhz
 - 内置 6 块 ERAM32K 随机读写 RAM，可配置为单口 RAM, 双口 RAM，可独立配置为 2Kx16 或者 4Kx8
 - 支持 128Kbits、256Kbits 大块嵌入存储器。
- ◆ 更小封装，更多 I/O，更利于 PCB 布线的引脚排布
 - BGA81 封装，0.4mm 引脚间距，封装尺寸 4.2x4.2mm
 - 多达 56 个用户 I/O
 - 内置 PSRAM，不占用外部用户 I/O
 - 支持 True LVDS 输入输出，支持最高接收频率 800Mbps，最高发送频率 800Mbps
 - 内置 4Mbits 的 SPI FLASH，上电后，可开放给用户使用。



2 EF2S45 架构介绍

同 EF2L45，详情请参考 EF2 系列数据手册

3 EF2S45 交直流特性

同 EF2L45，详情请参考 EF2 系列数据手册

注：BANK0/BANK2 只支持 1.8V 的单端与差分电平。

4 EF2S45 内部 PSRAM

EF2S45 内嵌两片 4Mx8bits 的 PSRAM，最高支持 200MHz 工作频率，最大读写带宽高达 400MB/s。PSRAM 与 FPGA 通过软件深度整合，所以如果要使用 PSRAM，只需要在 IP generate 中例化，或者在顶层实例化如下 IP 模块即可。该 IP 的原型如下：

```
EF2_LOGIC_PSRAM u_ EF2_LOGIC_PSRAM (
    . SRAM_CE_N      ( SRAM_CE_N ),
    . SRAM_DQS       ( SRAM_DQS      ),
    . SRAM_DM        ( SRAM_DM      ),
    . SRAM_CLK_N     ( SRAM_CLK_N ),
    . SRAM_CLK       ( SRAM_CLK      ),
    . SRAM_ADQ       ( SRAM_ADQ      )
);
```

表 4-1 PSRAM IP 引脚分配

PSRAM 引脚名称	方向	位宽	说明
SRAM_CE_N	IN	1	与 PSRAM 相连
SRAM_DQS	INOUT	1	与 PSRAM 相连
SRAM_DM	IN	1	与 PSRAM 相连
SRAM_CLK_N	IN	1	与 PSRAM 相连
SRAM_CLK	IN	1	与 PSRAM 相连
SRAM_ADQ	INOUT	8	与 PSRAM 相连



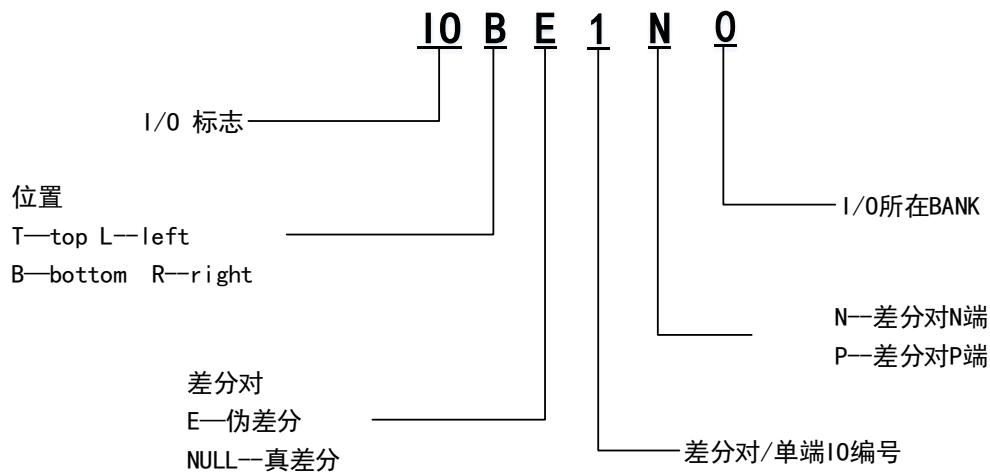
5 引脚和封装

5.1 引脚定义

表 5-1 引脚定义规则

引脚名称	方向	描述
普通 I/O		
GND	—	电源地
VCC	—	内核电源 (1.2V)
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源 (2.5–3.3V)
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
JTAGEN	输入	JTAG 权限控制引脚
配置专用管脚		
D[7:0]	输入	配置数据输入引脚
SCLK	I/O	配置时钟引脚
时钟专用管脚		
GCLK10	输入	全局时钟专用输入脚

5.2 I/O 命名规则





5.3 EF2S45VG81/EF2M45VG81C FPGA 引脚列表

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
B6	I0BB	0	I0_BE1P_0	A9	I0BE	1	I0_L7P_1
B7	I0BB	0	I0_BE1N_0	H2	I0BB	2	I0_TE1N_2
C5	I0BB	0	I0_B1_0	H3	I0BB	2	I0_TE1P_2
D4	I0BB	0	I0_BE2P_0, D0	J4	I0BB	2	I0_T1_2, DPCLK10_7, ADC1_CH3, GP109
A7	I0BB	0	I0_BE2N_0, D1	H4	I0BB	2	I0_TE2N_2, GCLK10T_3
B5	I0BB	0	I0_BE3P_0, D2	G4	I0BB	2	I0_TE2P_2, GCLK10T_2
C4	I0BB	0	I0_BE3N_0, D3	H5	I0BB	2	I0_TE3N_2, ADC1_VREF, GP100
B4	I0BB	0	I0_BE4P_0, D4, GCLK10B_4	H6	I0BB	2	I0_TE3P_2, ADC1_CH4, GP101
A4	I0BB	0	I0_BE4N_0, D5, GCLK10B_5	G6	I0BB	2	I0_T2_2, ADC1_CH5, GP102
B3	I0BB	0	I0_BE5P_0, D6	H7	I0BB	2	I0_T3_2,
C3	I0BB	0	I0_BE5N_0, D7	J7	I0BB	2	I0_T4_2,
G7	I0BE	1	I0_L1P_1	H8	I0BB	2	I0_T5_2,
G8	I0BE	1	I0_L1N_1	A1	I0BE	3	I0_R1P_3
G5	I0BE	1	I0_L2N_1	B2	I0BE	3	I0_R1N_3
F5	I0BE	1	I0_L2P_1	D3	I0BE	3	I0_R2N_3
F8	I0BE	1	I0_L3P_1, ADC0_CH6	D2	I0BE	3	I0_R2P_3
F7	I0BE	1	I0_L3N_1, ADC0_CH7	C1	I0BE	3	I0_R3N_3
F6	I0BE	1	I0_L1_1, JTAGEN	D1	I0BE	3	I0_R3P_3
E9	I0BE	1	I0_L4P_1	E5	I0BE	3	I0_R4N_3
E8	I0BE	1	I0_L4N_1, DPCLK10_1	D5	I0BE	3	I0_R4P_3
E7	I0BE	1	I0_L5N_1, ADC0_CH1, GCLK10L_1	E3	I0BE	3	I0_R5N_3, GCLK10R_1
E6	I0BE	1	I0_L5P_1, ADC0_CH2, GCLK10L_0	E4	I0BE	3	I0_R5P_3, GCLK10R_0
D7	I0BE	1	I0_L2_1, TMS	F1	I0BE	3	I0_R6P_3, SCLK
D8	I0BE	1	I0_L3_1, TCK	F2	I0BE	3	I0_R6N_3
C9	I0BE	1	I0_L4_1, TDO	F3	I0BE	3	I0_R7N_3, PLL2_OUTN
C6	I0BE	1	I0_L5_1, TDI	F4	I0BE	3	I0_R7P_3, PLL2_OUTP
C8	I0BE	1	I0_L6N_1	G1	I0BE	3	I0_R8P_3
C7	I0BE	1	I0_L6P_1	G2	I0BE	3	I0_R8N_3
B8	I0BE	1	I0_L7N_1				

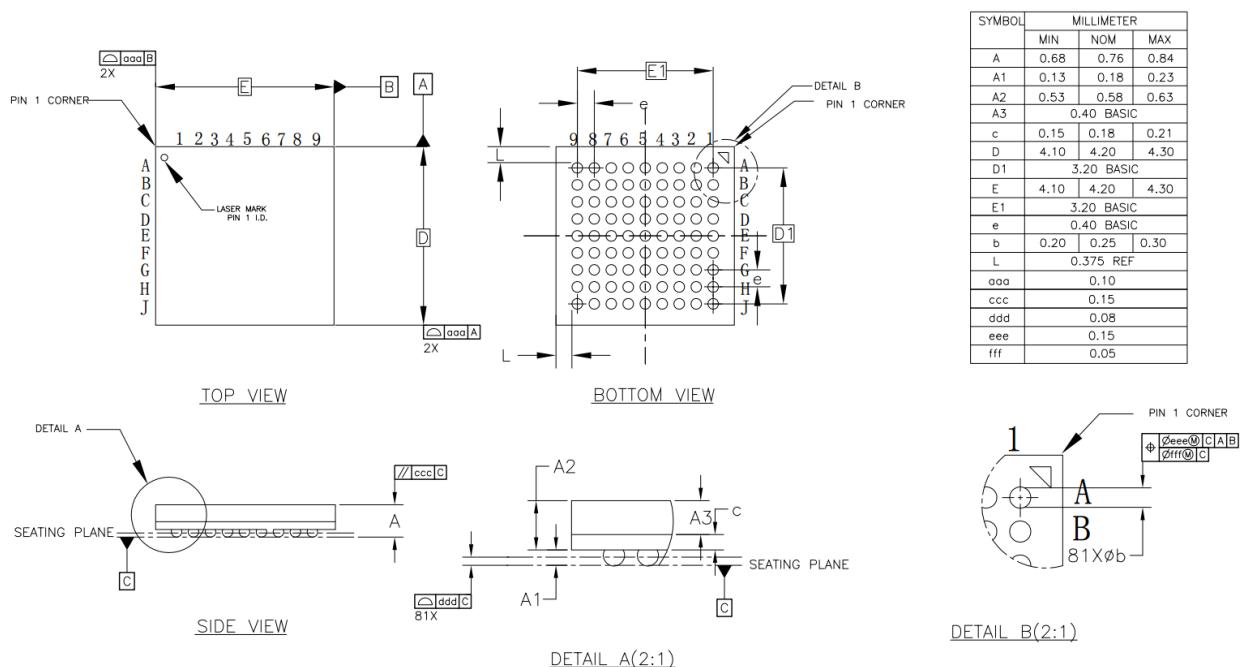


编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
J2	-	-	VCCAUX				
J9	-	-	VCCAUX				
C2	-	-	VCC				
B9	-	-	VCC				
J1	-	-	VCC				
H9	-	-	VCC				
A3	-	0	VCC100				
A6	-	0	VCC100				
A8	-	0	VCC100				
D6	-	1	VCC101				
G9	-	1	VCC101				
J3	-	2	VCC102				
J5	-	2	VCC102				
E1	-	3	VCC103				
B1	-	3	VCC103				
A2	-	-	GND				
A5	-	-	GND				
D9	-	-	GND				
E2	-	-	GND				
F9	-	-	GND				
G3	-	-	GND				
H1	-	-	GND				
J6	-	-	GND				
J8	-	-	GND				

备注： BANK0、BANK2 电源在芯片内部与 PSRAM/FLASH 电源相连，只能接 1.8V。



5.4 EF2S45VG81/EF2M45VG81C 封装尺寸



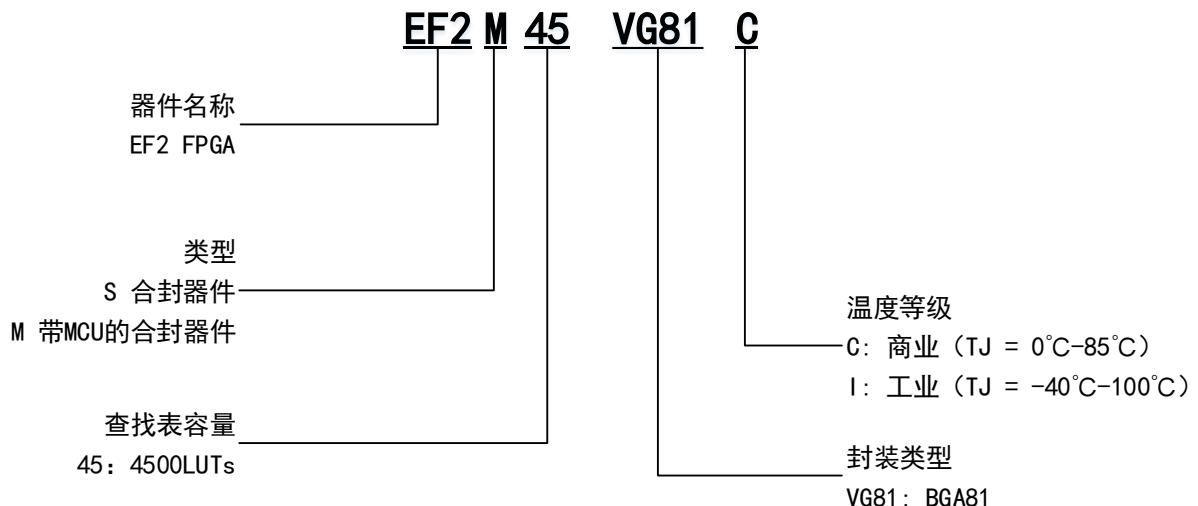


6 订购信息

表 6-1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级
EF2	M	45	VG81	C

- 产品系列
 - ◆ EF2: ELF2 系列
- 类别
 - ◆ S: 合封器件
 - ◆ M: 带 MCU 的合封器件
- 查找表容量
 - ◆ 45: 4500 LUTs
- 封装类型: <类型><#>
 - ◆ VG: Very Thin BGA
 - ◆ #: 引脚数 (81 指 81 个引脚)
- 温度等级
 - ◆ C: 商业 ($T_J = 0 - 85^{\circ}\text{C}$)
 - ◆ I: 工业 ($T_J = -40 - 100^{\circ}\text{C}$)





版本信息

日期	版本	修订记录
2019/4/24	0. 1	首次发布中文版
2019/8/27	0. 2	在器件特性中指明 EF2S45VG81 只支持 MSPI 和 JTAG 两种配置方式; 更新引脚列表, 删除 BANK0/BANK2 部分引脚的差分标识; 添加 BANK0/BANK2 交直流特性注释; 添加 BANK0/BANK2 供电要求注释;
2019/12/30	0. 3	在引脚列表中添加 IOBB/IOBE 信息列
2020/2/20	0. 4	在引脚列表中添加 BANK0/BANK2 IO 的差分极性
2020/3/2	0. 5	修正 EF2S45VG81 用户最大可用 IO 为 56 个 差分对统计时不再包括 JTAG 复用引脚
2020/10/14	0. 6	添加 EF2M45VG81C 封装信息
2024/06/07	1. 0	1. 更新引脚列表 2. 更新第 1.1 节 用户 I/O 数量, 新增 JTGEN 和 TCK, TMS, TD1, TDO 引脚 功能互斥, 当 JTGEN 引脚作为普通 IO 时, TCK, TMS, TD1, TDO 不支持 作为普通 IO, 表中 IO 数量不包含 JTGEN 引脚。 3. 更新第 1.1 节, 删除 RSDS 电平标准 4. 更新表 1-1 total Kbits 资源数量



版权所有© 2024 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。