



SALELF[®]3L15CG256

硬件设计指南

上海安路信息科技股份有限公司

UG_501 (v1.2) 2024 年 1 月



目 录

目 录	I
1 电源	1
1.1 最小供电要求	1
2 配置	2
2.1 配置相关引脚	2
2.2 配置状态指示引脚	3
2.3 FPGA I/O 引脚在配置阶段的状态	3
2.4 不同配置模式连接示意图	4
2.4.1 从动串行配置方式	4
2.4.2 从动串行级联配置方式	5
2.4.3 从动并行配置方式	5
2.4.4 从动并行级联配置方式	6
3 IO 配置	7
3.1 时钟输入	7
3.2 兼容 5V	7
3.3 DDRx2	7
3.4 LVDS	7
3.5 LVPECL	8
3.6 特殊 IO	9
4 参考电路	9
版本信息	10
免责声明	10



1 电源

1.1 最小供电要求

表 1-1 EF3L15CG256 最小供电要求

电源域标识	基本供电要求 ³	备注
VCCAUX ³	$\geq 2.5V$	必须供电
VCCI00 ¹	$\geq 1.5V$	如果使用 JTAG 下载，需要和下载器供电电压保持一致
VCCI01 ¹	$\geq 2.5V$	芯片配置器件（内部 Flash）电源与 VCCI01 相连
VCCI02	$\geq 1.2V$	可选择性供电，无附加要求 ²
VCCI03	$\geq 1.2V$	可选择性供电，无附加要求 ²
VCCI04	$\geq 1.2V$	可选择性供电，无附加要求 ²
VCCI05	$\geq 1.2V$	可选择性供电，无附加要求 ²

注：

1. POR 上电检测，必须供电。
2. 建议不用时也供电，避免潜在风险。
3. VCCAUX 需接芯片最高电压。
4. 如果使用 LVDS，相应 bank 的供电电压应 $\geq 2.5V$ 。
5. G12、F15 引脚电平不得高于 VCCAUX。



2 配置

2.1 配置相关引脚

EF3L15CG256 支持通过位流改写配置模式，用户在按照需要选择性使用这些配置模式时，应预留出该配置模式所需的配置引脚。在使用 JTAG 模式时，建议将 TDI, TD0, TMS 通过 4.7K 欧姆电阻上拉到 VCCIO, TCK 通过 4.7K 欧姆电阻下拉到 GND。

表 2-1 配置模式及引脚

配置								
配置引脚名	类型	SS	SP	MP	MSP I			JTAG
		从动串行	从动并行	主动并行	内部 SPI			JTAG
		Slave Serial	Slave Parallel	Master Parallel	X1	X2	X4	—
PROGRAMN	复用 IO	PROGRAMN						—
INITN	复用 IO	INITN						—
DONE	复用 IO	DONE						—
SCLK	复用 IO	SCLK			—			—
CSN	复用 IO	—	CSN		—			—
TMS TCK TDI TD0 JTAGEN	复用 IO							TMS TCK TDI TD0 JTAGEN
D[7:2]	复用 IO	—	D[7:2]	D[7:2]	—			—
D[1]	复用 IO	—	D[1]	D[1]	—			—
D[0]/DIN	复用 IO	DIN	D[0]	D[0]	—			—
CSON/DOUT	复用 IO	—	—	—	DOUT			—

下面是 EF3L15 复用配置引脚：

- 配置时钟引脚（SCLK）
- 配置开始信号引脚（PROGRAMN）
- 配置完成引脚（DONE）
- 配置错误指示引脚（INITN）
- 模式配置片选引脚（CSN）
- 配置级联数据输出脚（DOUT）
- 边界扫描相关引脚（TDI，TD0，TMS，TCK，JTAGEN）



- 配置数据输入引脚 (D[7:0]), D[0]可以作为从模式下的 DIN

注:

1. 只有 JTAG 模式支持内置 Flash 的刷新与配置回读。
2. 配置方式通过软件界面设置, 下载位流时自动写入到内置 Flash 的指定位置。
3. DONE/INITN 是带内部弱上拉的开漏输出。
4. PROGININ INITN DONE 信号的复用可能会导致重新加载等问题, 不建议复用为输入管脚。但是可以复用为输出管脚使用。
5. EF3 上电后先进行配置, 然后判断复用 IO 是作为配置专用 IO 还是通用 IO 使用, 在进行配置 IO 复用且对配置 IO 上电状态有要求时需要注意。

2.2 配置状态指示引脚

EF3L15CG256 的 PROGRAMN、INITN、DONE、JTAGEN 这些配置指示引脚, 处于内部弱上拉状态, 为避免外部电源不稳, 造成芯片循环重启, 要求通过电阻上拉到 VCCIO。

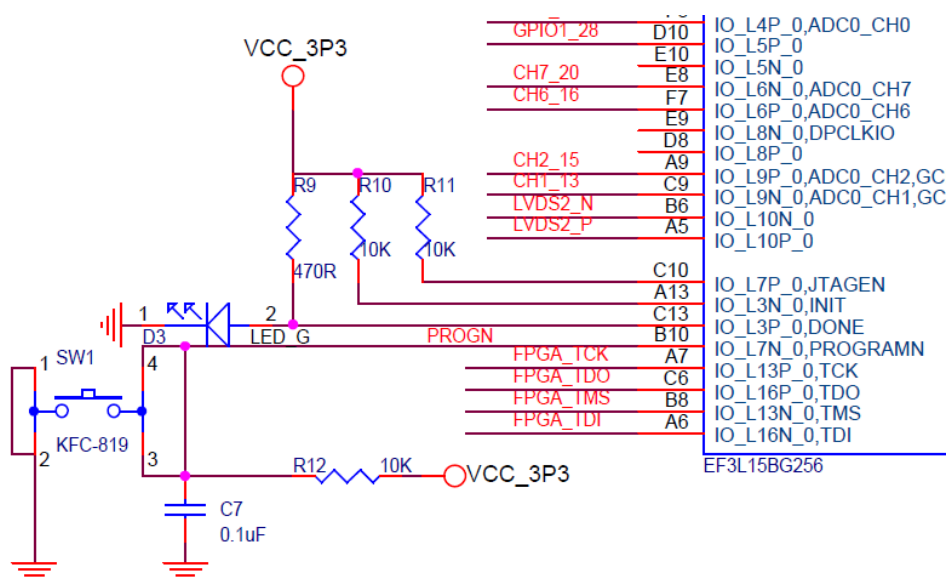


图 2-1 EF3L15CG256 配置指示引脚上拉示意

2.3 FPGA I/O 引脚在配置阶段的状态

1. 非配置相关 IO

芯片上电完成后 feature 寄存器加载前, 非配置相关 IO 处于三态;

加载过程中, 普通 IO 的状态受 HSWAPEN 控制可以为弱上拉或者三态;

2. 进入用户模式之后, 用户使用的 IO 脚状态受代码控制, 未使用的管脚为弱上拉状态配置相关



引脚跟配置设置相关，如下表所示。

表 2-2 EF3 Configuration Pin Termination

Pin	配置成功前		配置成功后
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O

2.4 不同配置模式连接示意图

2.4.1 从动串行配置方式

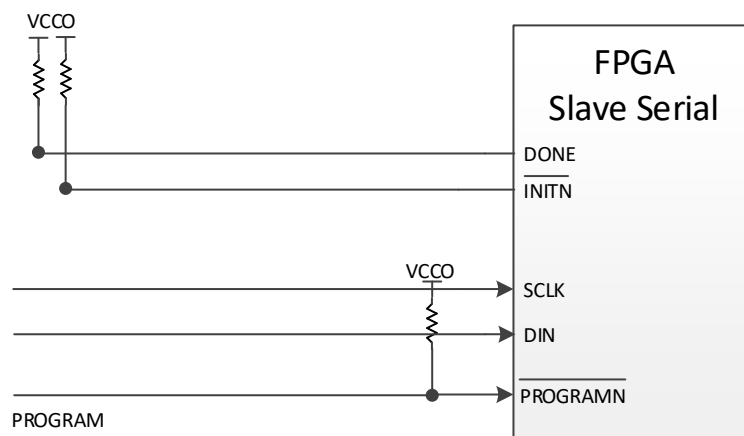


图 2-2 从动串行配置连接示意图

2.4.2 从动串行级联配置方式

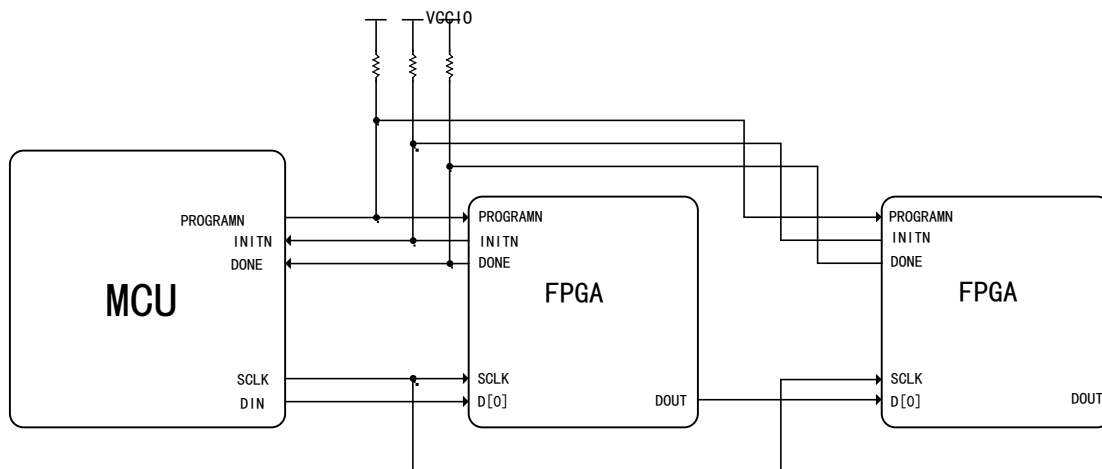


图 2-3 从动串行配置连接示意图

2.4.3 从动并行配置方式

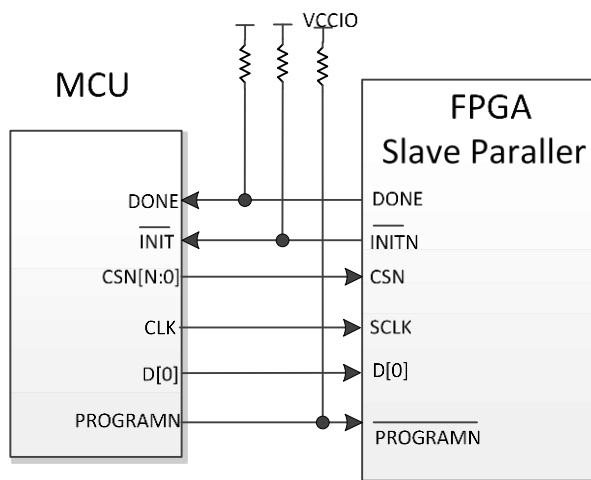


图 2-4 从动并行配置连接示意图

2.4.4 从动并行级联配置方式

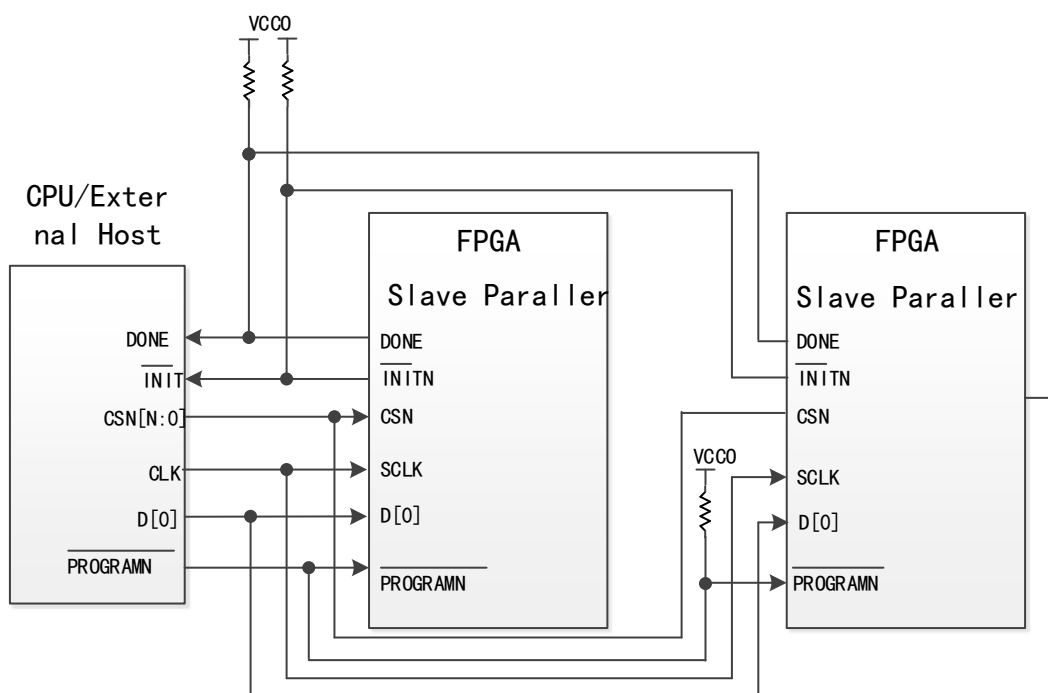


图 2-5 从动并行级联配置连接示意图

3 IO 配置

3.1 时钟输入

全局时钟输入建议走全局时钟专用管脚（GCLKIO）。

GCLKIO 为全局时钟引脚，可直接上全局时钟网络，但最多只有 16 个可以上全局时钟网络。

GPLLINP/N 和 GPLLOUTP/N 为锁相环专用管脚，如果不用作差分使用，可以用作普通 IO，PLL 专用引脚可以直接上 PLL，但不能直接上全局时钟网络。

差分信号如需上全局时钟网络，要求 p/n 端都接上，并在软件物理约束中设置为 LVDS25/LVDS33。

3.2 兼容 5V

EF3L15CG256 的 IOBB 在 OverDriven 打开情况下支持 5V 直接输入。

EF3L15CG256 的 IOBE 需要外部串联电阻，同时在 IO Constraints 中打开内部的钳位二极管，即 PCI Clamp = ON。

3.3 DDRx2

EF3L15CG256 的 IOBB 不支持 DDRx2，有使用需求时应避开这些管脚。

3.4 LVDS

EF3L15CG256 的 IOBE 管脚对可以作为真差分对使用，内部带有 100 欧姆电阻，用户可根据实际需求选择打开或者关闭该电阻。IOBB 管脚对内不存在 100 欧姆电阻，使用时需要外部加 100 欧姆电阻。

True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准，无需外部匹配电阻，如下图所示。

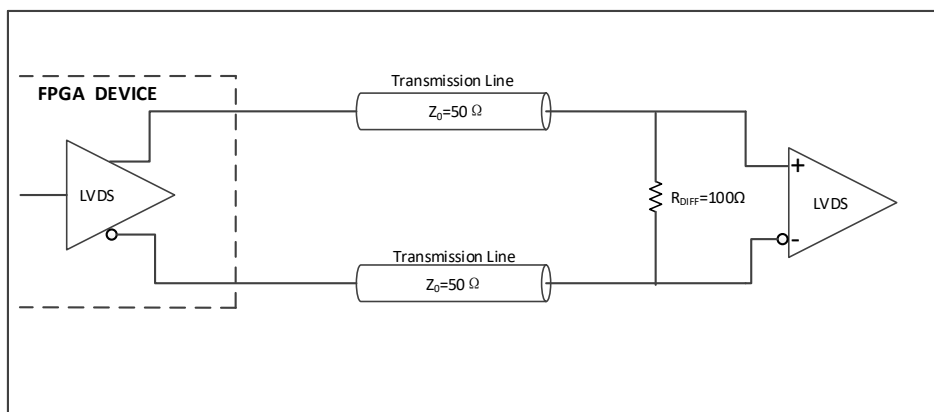


图 3-1 True LVDS 输出

Emulated LVDS 作为输出时，要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如下图所示，可以通过改变电阻网络值来降低功耗或者改善噪声容限。

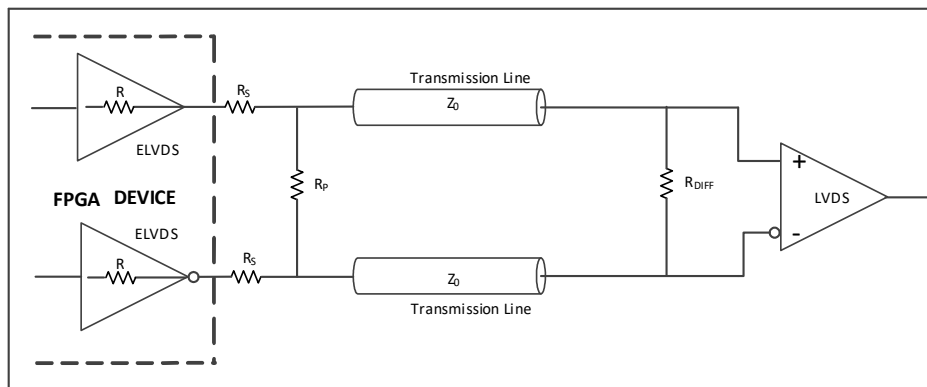


图 3-2 Emulated LVDS 输出 3R 电阻网络

表 3-1 Emulated LVDS 推荐电阻值

电 阻（欧姆）		信号幅值（毫伏）	
R_S	R_P	LVDSE25	LVDSE33
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

注：

1. 数据基于驱动能力设定为 8mA，接收器的 100 Ω 端接电阻可以是片上电阻也可以是片外电阻；
2. 当接收端信号幅值大于 500mv 时必须采用片外电阻。

3.5 LVPECL

EF3L15CG256 的 IOBE 支持 LVPECL33 输入，如果对端器件是 2.5v，可以直接输入；如果对端器件是 3.3v，共模电压要往下拉 2v，建议使用外接匹配电阻网络，不要使用内部的电阻；IOBE 管脚不支持 True LVPECL33 输出，只支持 LVPECL33_E 输出；

EF3L15CG256 的 IOBB 管脚支持 LVPECL33 输入，但是需外加电阻网络；不支持 LVPECL33 输出，支持 LVPECL33_E 输出。

LVPECL 输入建议外接如下电路：

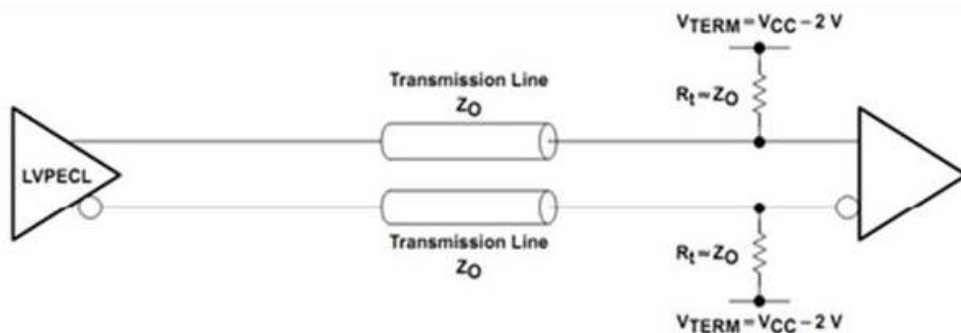


图 3-3 直流耦合

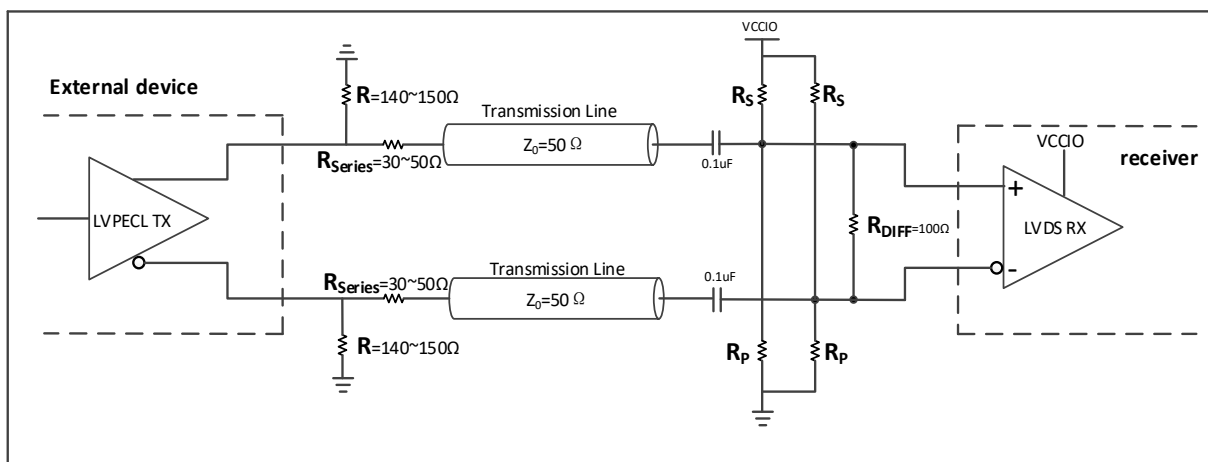


图 3-4 交流耦合

3.6 特殊 IO

EF3L15CG256 的 E16、F15、F12、J11、L12、G12、F14、G13、H13、J12、J15、K16、K13、K12、C16 和 D15 这 16 个引脚在配置前和加载过程中，都处于弱上拉状态，不可控制，有特殊使用需求时，应注意避开这些引脚。

4 参考电路

EF3L15CG256B_SCHPCB_L IB



版本信息

日期	版本	修订记录
2019/4/10	1.0	首次发布中文版
2019/10/31	1.1	添加 G12、F15 引脚耐压值限制
2024/1/22	1.2	<ol style="list-style-type: none">删除 1.2 最大绝对额定值、1.3 推荐基本操作条件、1.4 上电要求、3.2 热插拔、4 封装规格，具体请参考数据手册《DS500_ELF3L15&ELF3L25&EF3L45_Datasheet》对应章节更新 1.1 节注释描述，增加 VCCAUX 需接芯片最高电压更新 2.1 节描述，添加 TCK 下拉到 GND 的电阻值增加表 2-1 中的 CSON/DOUT 引脚及其配置模式增加 2.1 节引脚复用配置说明更新 2.3 节非配置相关 IO 描述更新表 2-2 中 SCLK、D[1]、D[0]/DIN、CSON/DOUT 引脚的配置为 User I/O更新图 2-2、图 2-3、图 2-4 和图 2-5更新 3.2 节注释描述，说明不支持热插拔的引脚更新 3.5 节中关于 LVDS25 标准的描述更新图 3-1、图 3-2、图 3-4更新 5 章中的参考内容更新全文格式

版权所有©2024 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。