



# **SALELF®2 系列 FPGA**

## **数据手册**

上海安路信息科技股份有限公司

DS\_400 (v4.7.2) 2025 年 12 月

ALQR-7.5-11



## 目 录

### 目 录 .....

<b>1 简介 .....</b>	<b>1</b>
1.1 SALELF®2 (以下简称 EF2) 系列器件系列特性 .....	1
1.2 ELF2 器件介绍 .....	4
<b>2 ELF2 架构介绍 .....</b>	<b>5</b>
2.1 PFB 模块 .....	6
2.1.1 SLICE .....	7
2.1.2 PFB 操作模式 .....	8
2.1.3 寄存器 .....	10
2.2 互连 (Routing) .....	10
2.3 嵌入式存储器模块 (ERAM) .....	11
2.3.1 ERAM 9K .....	11
2.3.2 ERAM32K .....	25
2.3.3 大容量存储器 .....	26
2.4 时钟资源 .....	31
2.4.1 全局时钟 .....	31
2.4.2 输入输出时钟 .....	34
2.4.3 快速时钟 .....	35
2.5 锁相环 (PLL) .....	36
2.5.1 简介 .....	36
2.5.2 动态相移 .....	37
2.5.3 时钟反馈模式 .....	39
2.6 数字信号处理 (DSP) .....	42
2.6.1 体系结构 .....	42



2.6.2 操作模式 .....	44
2.7 输入输出逻辑单元 (IOL) .....	46
2.7.1 输入寄存器逻辑 .....	46
2.7.2 输出寄存器逻辑 .....	50
2.8 输入输出缓冲器 (IOB) .....	54
2.8.1 IOB 简介 .....	54
2.8.2 高速 LVDS 接口 .....	56
2.8.3 LVPECL .....	57
2.8.4 兼容 5V 输入 .....	59
2.9 EFL2 FPGA 配置说明 .....	62
2.9.1 配置模式 .....	62
2.9.2 配置流程 .....	63
2.9.3 MSPI 配置模式 .....	65
2.9.4 从动串行配置模式 .....	65
2.9.5 从动并行配置模式 .....	66
2.9.6 主动并行配置模式 .....	67
2.9.7 JTAG 配置模式 .....	67
2.9.8 IEEE 1149.1 边界扫描测试 .....	68
2.9.9 DUAL BOOT 功能 .....	68
2.9.10 MULTI BOOT 功能 .....	69
2.9.11 FPGA I/O 引脚在配置阶段的设置 .....	70
2.9.12 FPGA I/O 引脚在配置阶段的状态 .....	70
2.9.13 DNA 安全功能 .....	72
2.10 内嵌 ADC 模块 .....	72
2.11 内置环形振荡器 .....	73
<b>3 直流交流特性 .....</b>	<b>74</b>



3.1 直流电气特性 .....	74
3.1.1 最大绝对额定值 .....	74
3.1.2 推荐基本操作条件 .....	77
3.1.3 基本供电要求 .....	77
3.1.4 单电源器件静态供电电流- B Devices <sup>1,2</sup> .....	80
3.1.5 热插拔规格 .....	80
3.1.6 上下电时序 .....	82
3.1.7 I/O 管脚电容 .....	83
3.1.8 I/O 直流电气特性 .....	83
3.1.9 单端 I/O 直流电学特性 .....	84
3.1.10 差分 I/O 电学特性 .....	85
3.1.11 ADC 性能 .....	86
3.2 交流电气特性 .....	87
3.2.1 时钟性能 .....	87
3.2.2 嵌入数字信号处理模块 (DSP) 规格 .....	87
3.2.3 锁相环 (PLL) 规格 .....	87
3.2.4 存储器模块 (ERAM) 规格 .....	88
3.2.5 高速 I/O 接口性能 .....	88
3.2.6 配置模块规格 .....	89
<b>4 引脚和封装 .....</b>	<b>90</b>
4.1 引脚定义和规则 .....	90
4.2 IO 命名规则 .....	91
4.3 EF2L15/EF2M45 引脚信息: LQFP100 .....	92
4.4 EF2L15/45 引脚信息: LQFP144 .....	94
4.5 EF2L15/25/45 引脚信息: LFBGA256 .....	97
4.6 EF2L25 引脚信息: XWFN42 <sup>1</sup> 和 LGA42 <sup>1</sup> .....	102



4.7 EF2M45 引脚信息: LQFP48 .....	103
4.8 EF2L45 引脚信息: UBGA132 .....	104
4.9 封装信息 .....	107
4.9.1 XWFN42 封装规格 .....	107
4.9.2 LQFP48 封装规格 .....	108
4.9.3 LQFP100 封装规格 .....	109
4.9.4 LQFP144 封装规格 .....	111
4.9.5 LFBGA256 封装规格 .....	112
4.9.6 LGA42 封装规格 .....	113
4.9.7 UBGA132 封装规格 .....	114
<b>5 订购信息 .....</b>	<b>115</b>
<b>版本信息 .....</b>	<b>117</b>
<b>免责声明 .....</b>	<b>123</b>



## 1 简介

### 1.1 SALELF®2 (以下简称 EF2) 系列器件系列特性

#### ■ 灵活的逻辑结构

- 共多种器件，规模从 1,520 到 4,480 LUTs
- 最大用户 I/O 数量达 206

#### ■ 低功耗器件

- 先进的 55nm 低功耗工艺

#### ■ 内置 Flash

- 无需外部配置器件
- 支持快速上电启动

#### ■ 支持分布式和嵌入式存储器

- 最大支持 35 Kbits 分布存储器
- 最大支持 684Kbits 嵌入块存储器
- 容量块存储器 9K 和 32K，可配置作为真双口，多种组合模式，其中 9K 自带专用 FIFO 控制逻辑
- 额外 128Kbits、256Kbits 存储器支持

#### ■ 可配置逻辑模块 (PLBs)

- 优化的 LUT4/LUT5 组合设计
- 双端口分布式存储器
- 支持算数逻辑运算
- 快速进位链逻辑

#### ■ 源同步输入/输出接口

- 输入/输出单元包含 DDR 寄存器支持 DDRx1、DDRx2 模式

#### ■ 高性能，灵活的输入/输出缓冲器

- 可配置支持以下单端标准

- LVTTL, LVCMS (3.3/2.5/1.8/1.5/1.2V)

#### ■ PCI

- 通过配置支持以下差分标准
- LVDS, LVPECL
- 支持热插拔
- 可配置上拉/下拉模式
- 片内 100 欧姆差分电阻
- IOBB 兼容 5V 输入

#### ■ 时钟资源

- 16 路全局时钟
- 每 bank 2 路针对高速 I/O 接口设计的 IOCLK
- 优化全局时钟的快速时钟
- PLLs 用于频率综合
- 7 路时钟输出
- 分频系数 1 到 128
- 支持 5 路时钟输出级联
- 动态相位选择

#### ■ 配置模式

- 主模式串行 SPI (MSP1)
- 从模式串行 (SS)
- 从模式并行 x8 (SP)
- 主模式并行 x8 (MP)



- JTAG 模式 (IEEE-1532)
- BSCAN
  - 兼容 IEEE-1149.1
- 增强安全设计保护
  - 每个芯片拥有唯一的 64 位 DNA
- 嵌入式硬核 IP
  - ADC
  - 8 比特逐次逼近寄存器型 (SAR)
- 丰富封装形式
  - 8 个模拟输入
  - 1MHz 采样速率 (MSPS)
  - 内置环形振荡器
  - 标准尺寸: LQFP/LFBGA
  - 小尺寸: XWFN/LGA/UBGA



表 1- 1 ELF2 FPGA 系列选型表

Series	Device	LUTs	DFFs	Dis-RAM (Kbs)	ERAM				Total (KBits)	DSP	PLL	Flash	MCU	MAX user IO
					9K	32K	128K	256K						
L	EF2L15	1520	1520	12	6	3	1	1	534	8	1	4Mb	-	206
	EF2L25	2520	2520	20	9	4	1	1	593	12	1	4Mb	-	206
	EF2L45	4480	4480	35	12	6	1	1	684	15	1	4Mb	-	206
M	EF2M45	4480	4480	35	12	6	1	1	684	15	1	4Mb	M3	113

表 1- 2 ELF2 FPGA 封装

Packages	EF2L15	EF2L25	EF2L45	EF2M45
42 XWFN (4.2x4.2, 0.35mm pitch)	-	29 (10+1)	-	-
42 LGA (4.2x4.2, 0.35mm pitch)	-	29 (10+1)	-	-
48 LQFP (7x7, 0.5mm pitch)	-	-	-	35 (5+9)
100 LQFP (14x14, 0.5mm pitch)	80 (15+17)	-	-	80 (15+17)
144 LQFP (20x20, 0.5mm pitch)	113 (24+25)	-	113 (24+25)	113 (24+25)
256 LFBGA (17x17, 1.0mm pitch)	206 (31+65)	206 (31+65)	206 (31+65)	-
132 UBG (8x8, 0.5mm pitch)	-	-	104 (22+26)	-

注:

1. 206 (31+65) 表示: 用户可用 IO 数 (用户可用 True LVDS 对+用户可用 Emulated LVDS 对)。
2. JTAGEN 和 TCK, TMS, TDI, TDO 引脚功能互斥, 当 JTAGEN 引脚作为普通 IO 时, TCK, TMS, TDI, TDO 不支持作为普通 IO, 表中 IO 数量不包含 JTAGEN 引脚。



## 1. 2 ELF2 器件介绍

安路科技的 ELF2 系列 FPGA 有多个器件，定位低成本、低功耗可编程市场。ELF2 器件旨在用于大批量，成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

ELF2 器件系列建立在一个优化的低功耗工艺基础之上，并通过最低的成本实现较高的功能性。针对工业用户以及通信等行业中的低成本的小型应用，ELF2 器件无疑是最理想的选择。

安路科技提供丰富的设计工具帮助用户有效地利用 ELF2 平台实现复杂设计。业界领先的综合和布局布线工具，为用户设计高质量产品提供有力保障。

## 2 ELF2 架构介绍

ELF2 系列器件由可编程逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在四边。嵌入式块存储单元（ERAM9K/ERAM32K）和数据信号处理模块（DSP）嵌在 PLB 中间。

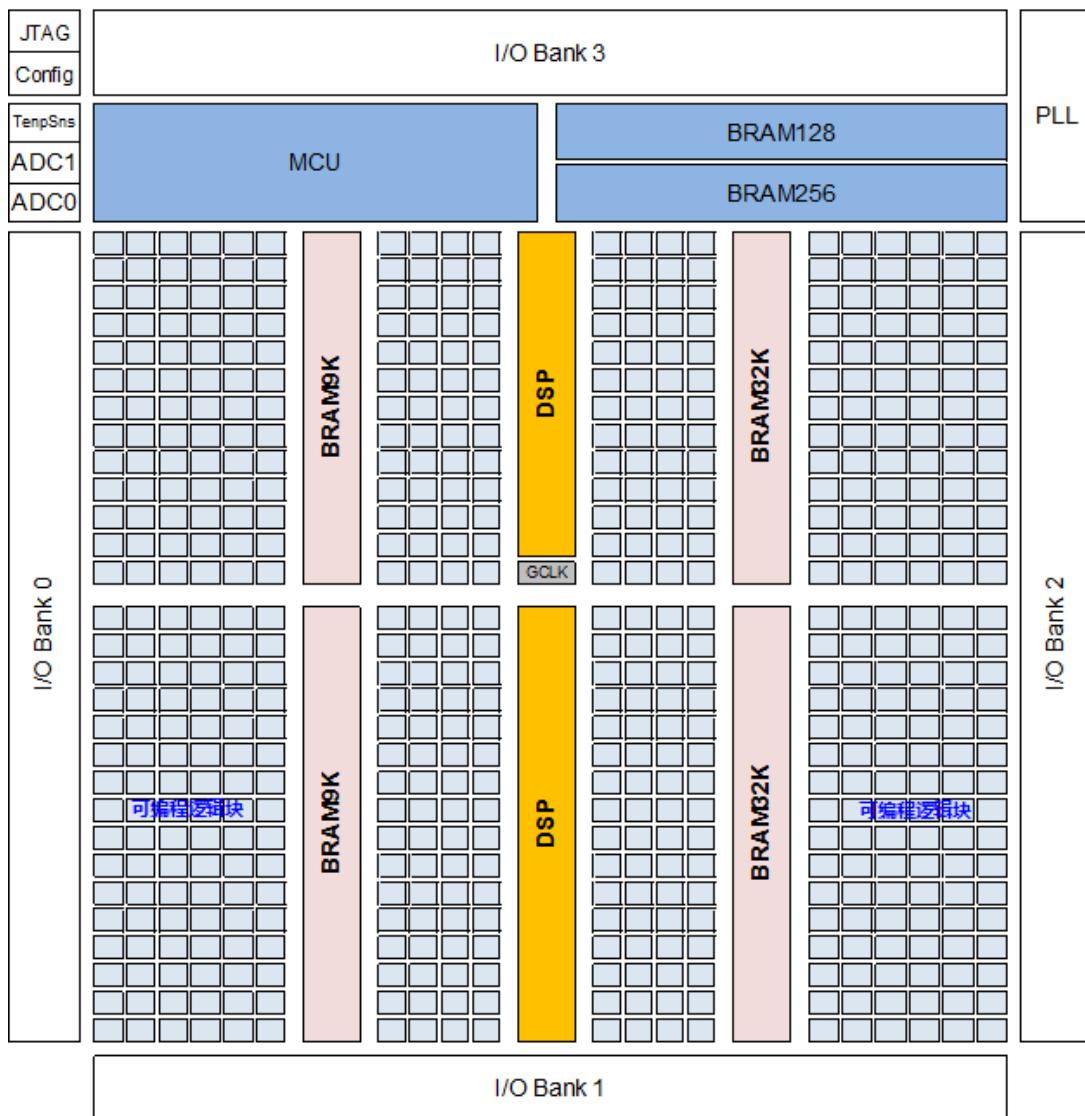


图 2- 1 ELF2-45 器件简化框图

查找表逻辑模块分为两种，逻辑可编程模块（**LSLICE**）和存储逻辑可编程模块（**MSLICE**）。两种模块均支持逻辑、算数功能，不同的是 **MSLICE** 支持分布式 RAM 和 ROM 功能。逻辑可编程模块（**LSLICE**）和存储逻辑可编程模块（**MSLICE**）均经过设计优化，便于用户快速有效地实现复杂设计。

ELF2 系列器件包含多列嵌入式存储器模块（**ERAM**），存储器模块规模为 9K，支持快速数据访问。每一个存储模块可独立配置为 1-18 位宽的单口或双口应用。

ELF2 的输入输出缓冲器（**I/O Buffer**）划分为 4 个组（256 封装为 6 个），支持单端和双端的多种

电平标准。上图中 BANK0/2 的 I/O 可以配置成 LVDS 发送/接收对。

ELF2 系列内部嵌有 1 个多功能 PLL 块，在器件右上角，有专门的时钟线连接到 PLL 输入。PLL 具有对时钟分频/倍频/移相等功能。

## 2.1 PFB 模块

可编程逻辑块（PLB）按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连（Routing）和可编程功能块（Programmable Functional Block, PFB）。PFB 是 FPGA 的可编程功能核心。ELF2 器件内部 PFB 可实现：逻辑，算术，分布式 RAM (distribute RAM)，ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0,1 为 MSLICE 类型，SLICE 2,3 为 LSLICE 类型。

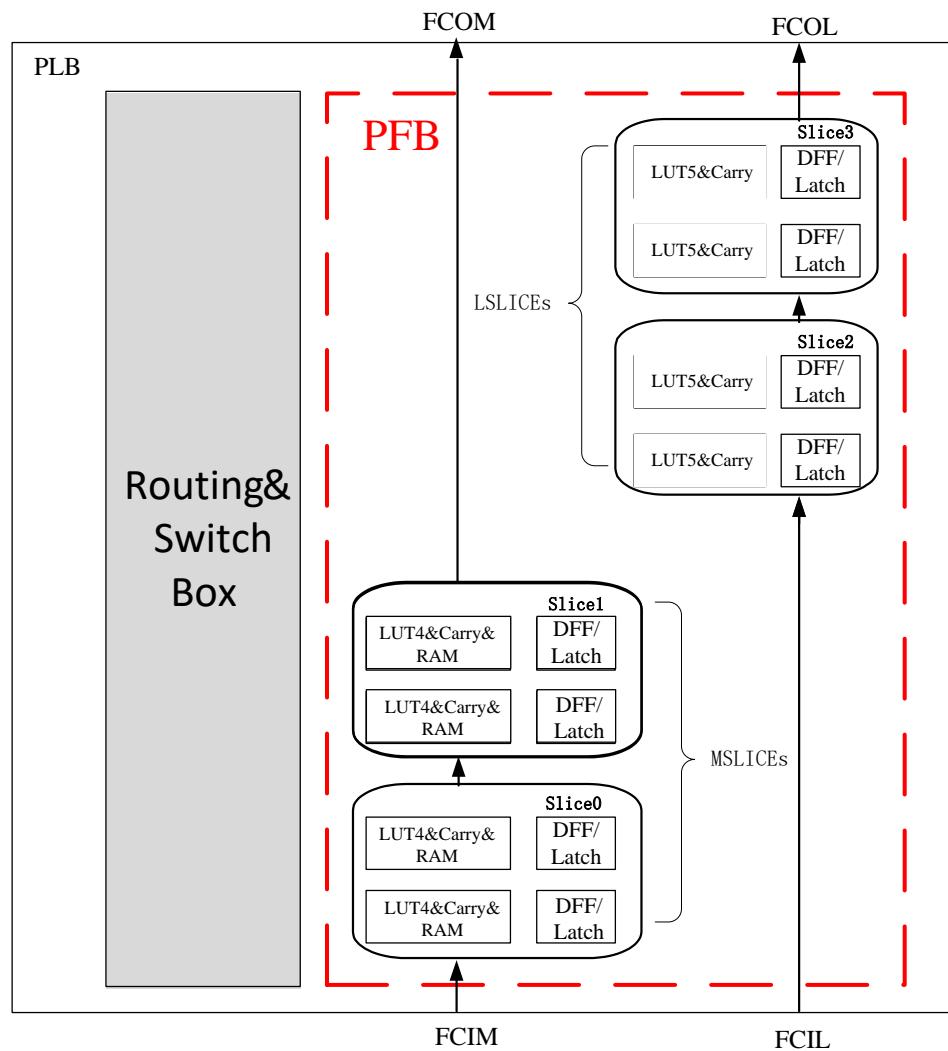


图 2-1- 1 可编程功能块（PFB）结构图

## 2.1.1 SLICE

ELF2 PFB 内包含两种 SLICE: MSLICE 和 LSLICE。

### 1. MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链, MSLICE 额外可配置成基于 LUT 的分布式 RAM (distribute RAM) 功能。PFB 内的 SLICE 0, 1 为 MSLICE 类型, 可组合配置成为  $16 \times 4$  的 RAM。MSLICE 内部逻辑可实现 LUT4s 间的连接, 可以实现输入数大于 4 的函数, 如 LUT5。两个 MSLICE 组合可实现 LUT6。

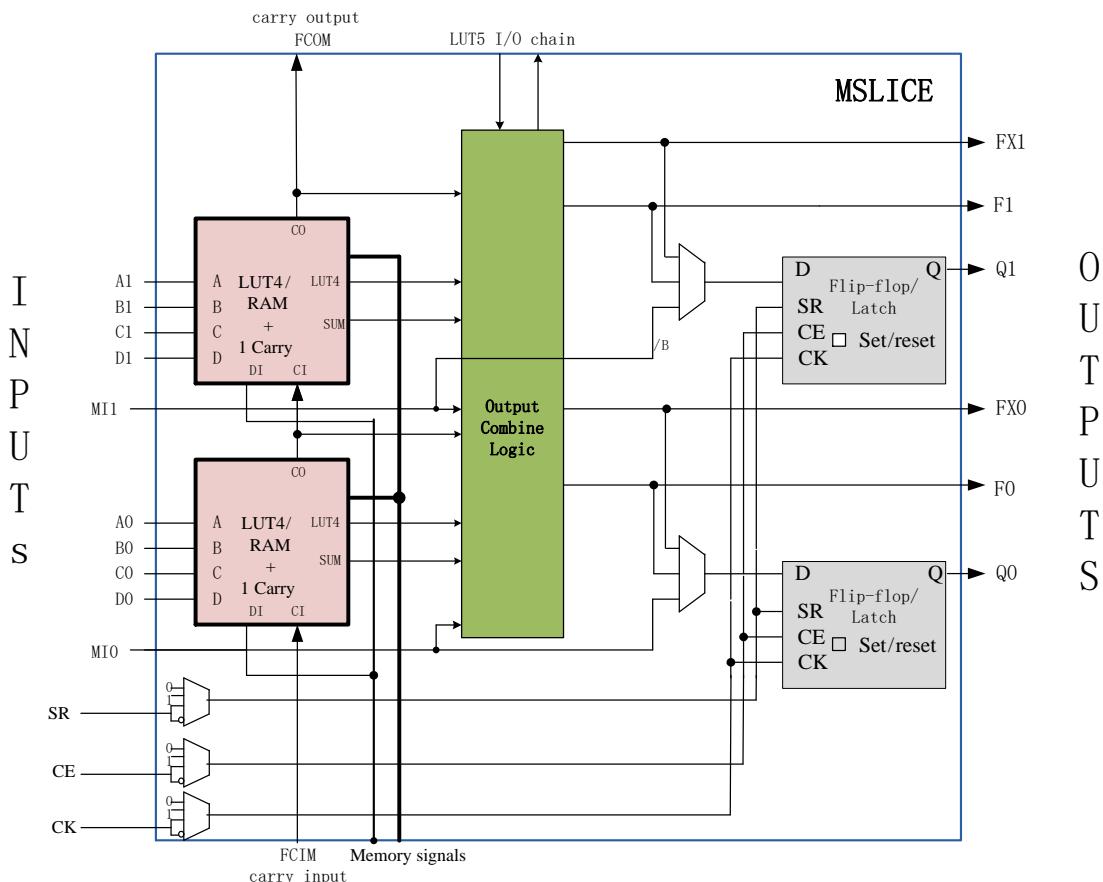


图 2-1-2 MSLICE 结构图

如上图所示, MSLICE 内部有两个 4 输入查找表 (LUT4), 并带有 RAM 写入译码器, 结合 PFB 内部的分布式 RAM 控制逻辑, 每个 LUT4 可实现  $16 \times 1$  bits RAM 存储器, 2 个 MSLICE 配合一个 RAM 控制器实现  $16 \times 4$  的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入 (FCIM) 可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法, 并实现快速进/借位输出 (FCOM)。

MSLICE 和 LSLICE 内部寄存器相同, 可配置成 DFF 或者 LATCH。

## 2. LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2, 3 为 LSLICE 类型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5, LUT6。两个 LSLICE 组合可实现 LUT7。

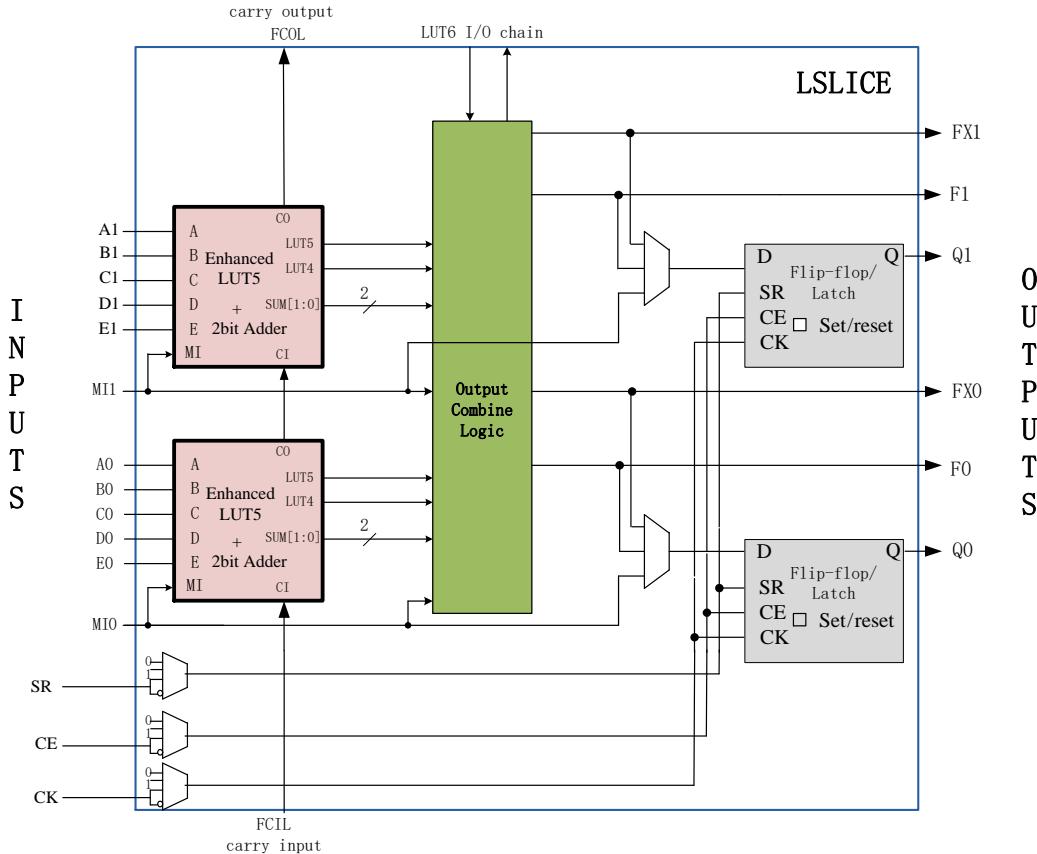


图 2-1-3 LSLICE 结构图

如上图所示，LSLICE 内部有 4 个 4 输入查找表（LUT4），以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4；2 个 LUT4 + 1 个 LUT5；2 个 LUT5；一个 LUT6 等。每个 enhanced LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出（FCOL）。

### 2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

#### 1. 逻辑模式

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的 enhanced LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。

表 2-1-1 常见逻辑实现表

LUT5	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7		3 LSLICE

## 2. 算术模式

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

## 3. 分布式 RAM 模式

MSLICE 可配置成此模式，两个 MSLICE：SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM（一口写/一口读）。

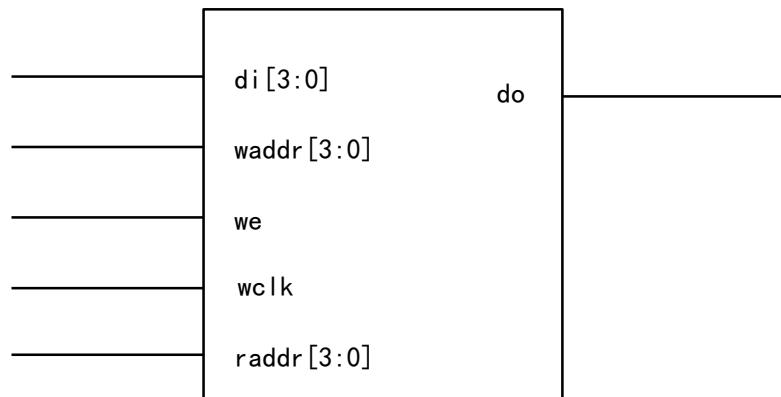


图 2-1-4 Disram 方框图

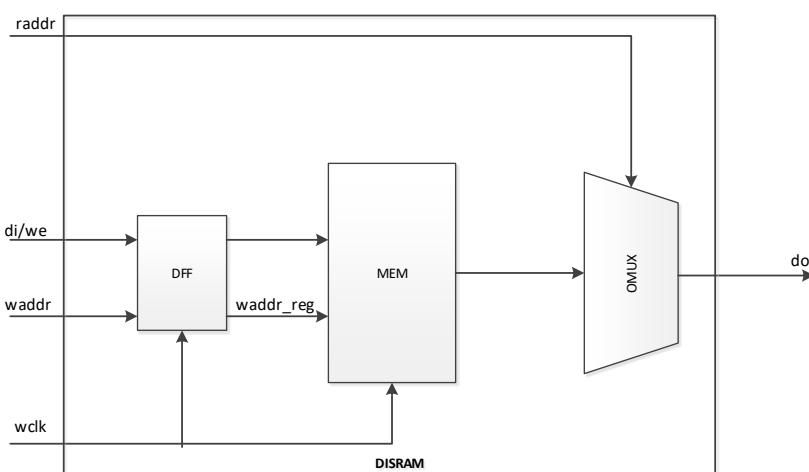


图 2-1-5 DISRAM 内部框图



其特性如下：

- DISRAM 内有写地址和写数据锁存器，写地址/写数据相对于时钟时同步
- 读地址端口异步
- 支持 16x4 分布式 RAM 模式
- 当 waddr 锁存后的信号 waddr\_reg 与读地址 raddr 相同时，会出现同一地址空间读写冲突，输出数据未知，需要避免此种情况出现。

#### 4. ROM 模式

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

### 2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器 (DFF) 或电平使能锁存器 (LATCH)
- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

### 2.2 互连 (Routing)

可编程互连实现 FPGA 内部各个功能块之间的信号传输。ELF2 系列器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。ELF2 系列互连线全部带有缓冲器，从而实现高速信号传输和可靠的信号完整性。

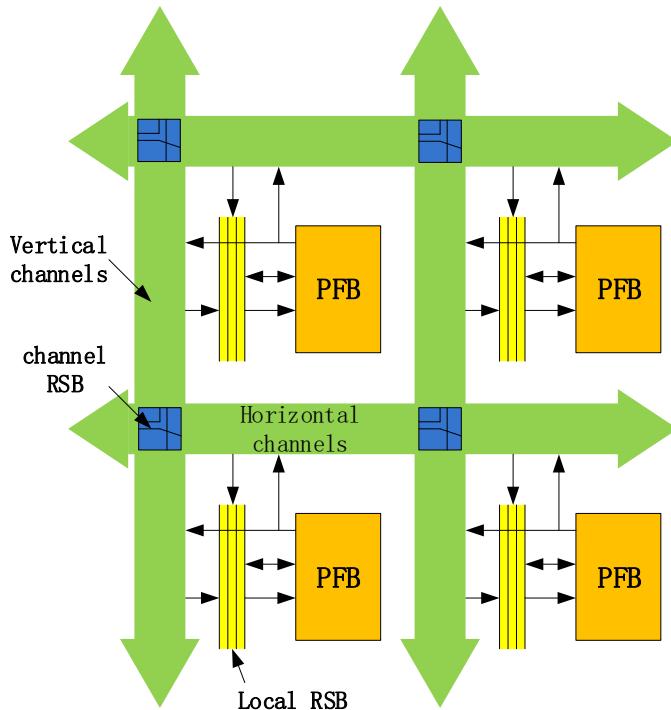


图 2-2- 1 ELF2 互联架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB (routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

## 2.3 嵌入式存储器模块 (ERAM)

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB (routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

### 2.3.1 ERAM 9K

#### 2.3.1.1 简介

ERAM9K 每块容量 9Kbits，在芯片中按列排布，分布在 PFB 的阵列中。

ERAM9K 可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM (也称为伪双口)
- FIFO (ERAM9K 内嵌有硬件 FIFO 控制器)

ERAM9K 模块支持的功能特色有：



- 9216 (9K) bits / 每块
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x9，支持 x18 简单双口（一写一读）
- 9 或 18 位写操作时带有字节使能 (Byte Enable) 控制
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 ERAM9K 数据初始化）
- 支持多种写操作模式。可选择只写 (Normal)，先读后写 (Read before Write)，写穿通 (Write through) 三种模式。

表 2-3- 1 ERAM 9K 特色

类别	特性
容量	9K
配置(深度 x 位宽)	8192 x 1    4096 x 2    2048 x 4 1024 x 8 或 9    512 x 16 或 18
奇偶位 (Parity bits)	8+1    16+2
字节使能 (Byte enable)	有，可选择
输入地址/数据寄存器	有
单口模式 (Single-port mode)	支持
简单双口模式 (Simple dual-port mode)	支持
真双口模式 (True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有
Read-during-write	输出旧数据 (read before write) 输出写数据 (write through)
工作前 RAM 初始化	支持

### ■ 字节使能 (Byte Enable)

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 datain[15:8] 和 datain[7:0]。

### ■ 写操作时并行读操作 (Read-during-Write)

ELF2 系列的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真

双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 rdw 选择，输出数据保持不变（No change）。

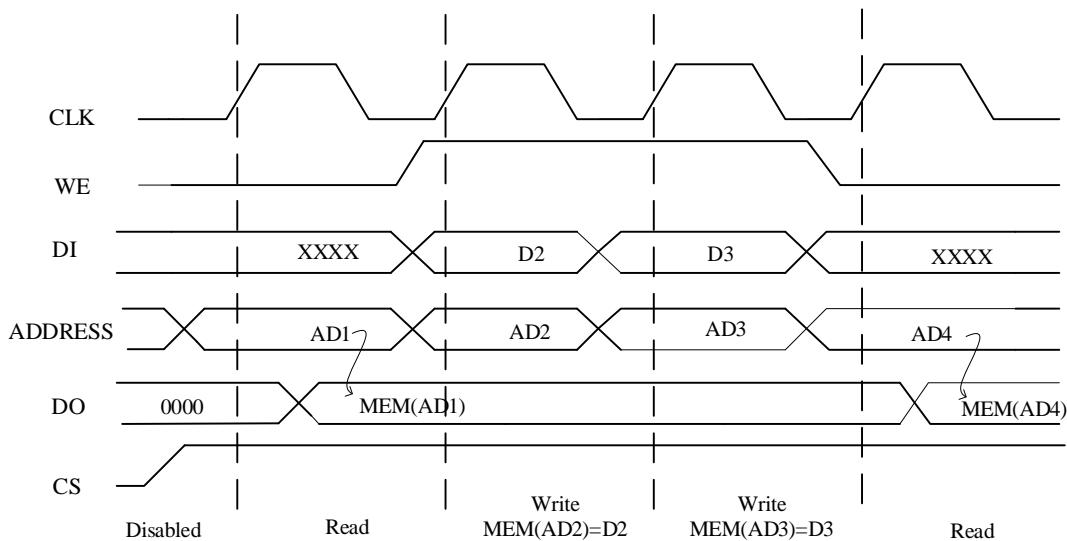


图 2-3- 1 No change 模式波形

RDW 模式下用户有两种选择：读出旧数据 (Read Before Write)；读出新数据即正要写入的数据 (Write Through)。

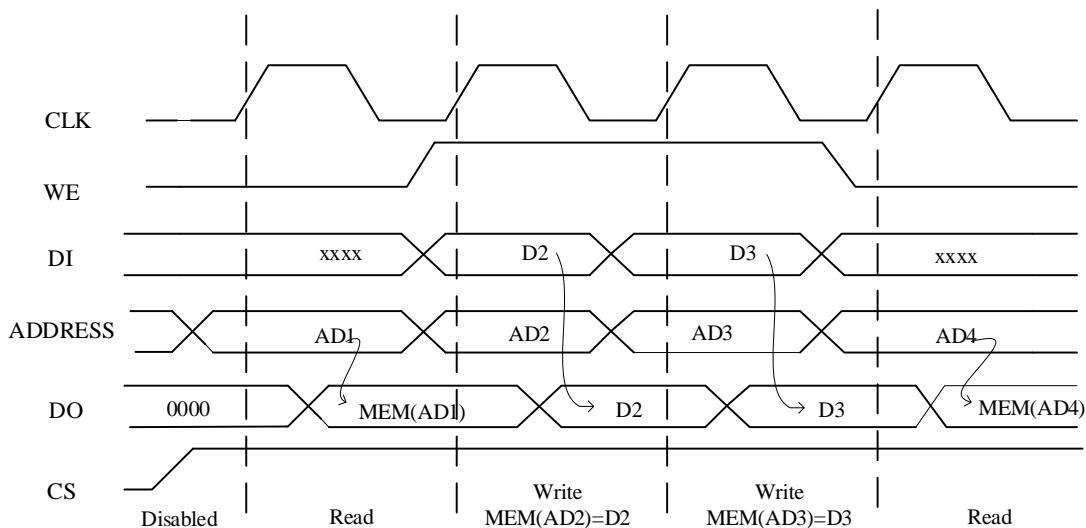


图 2-3- 2 Write Through 模式波形

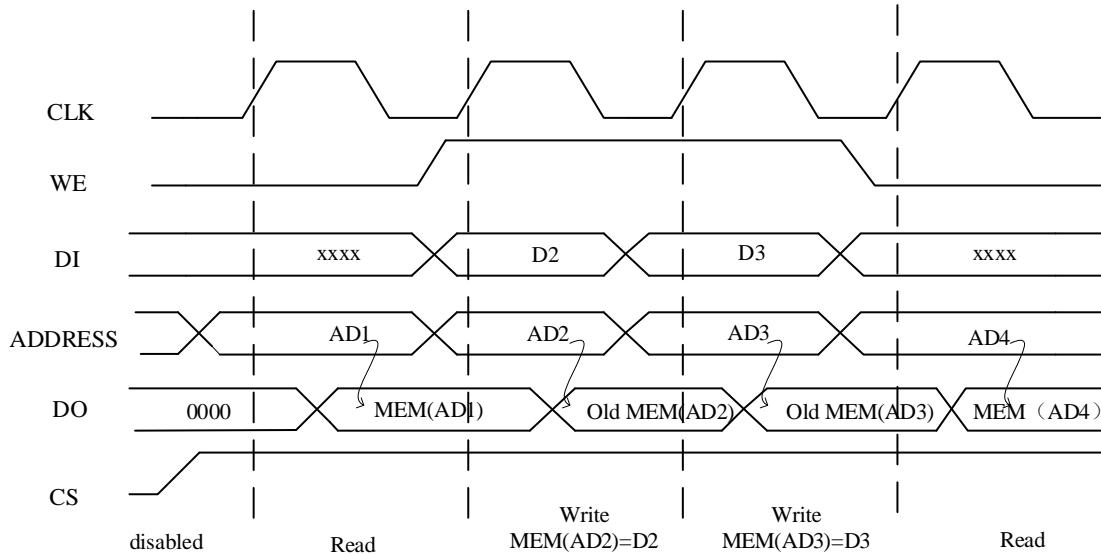


图 2-3-3 Read Before Write 模式波形

EF2 ERAM 内部采用 8T-SRAM 真双口结构，当用户从 2 个口访问同一地址 SRAM 空间时会发生冲突，用户需要注意以下几点：

1. 当访问同一地址空间时，若双口同时为读操作，双口可以完成正常读操作，SRAM 内容正常，不会被破坏。
2. 当访问同一地址空间时，若一口为写、另一口为读操作，写口可以正常写入数据，读口读操作失败，输出数据未知；SRAM 内容不会被破坏，为写口写入值。
3. 当访问同一地址空间时，若一口为写、另一口同样为写操作，双口写操作同时失败，SRAM 器件内数据有损坏风险。

### 2.3.1.2 RAM 存储器模式

ERAM9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 ERAM9K 用户端口名称和设置略有不同。

ERAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式同步 RAM 操作和 ROM 操作。

### 2.3.1.3 RAM 存储器模式下的端口信号

ERAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

- 片选信号 (ChipSelect)
- 时钟使能 (Clock Enable)
- 输入/输出寄存器复位控制信号 (RST)



- 写/读操作 (WE)
- 数据输出寄存器锁存使能 (OCE)
- 字节使能 (Byte Enable[1:0])。

表 2-3- 2 控制逻辑信号表

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

ERAM9K 的端口如下表:

表 2-3- 3 RAM 模式下的端口信号

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入, 简单双口 18 位输入端口模式时作为低 9 位数据输入
addra[12:0]	输入	A 端口地址输入, [12:4]作为 word 地址一直有效, [3:0]取决于 bit 模式。 在 18 位模式时, addra[1:0]复用为字节使能信号 Byte Enable[1:0]。
doa[8:0]	输出	A 端口数据输出, 简单双口 18 位输出端口模式时作为低 9 位数据输出
clkA	输入	A 端口时钟输入, 默认上升沿有效 (可反向), 简单双口 18 位模式时作为输入地址/数据端口时钟
rsta	输入	A 端口复位信号, 默认高有效 (可反向), 可配置同步/异步复位
cea	输入	A 端口时钟有效控制信号, 默认高有效 (可反向)。
wea	输入	A 端口写入/读出操作控制, 1 为写入操作, 0 为读出操作; 18 位写入模式时固定为 1。
cса[2:0]	输入	A 端口 3 位片选信号 (可反向), csa[2:0]=3' b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceA	输入	A 端口数据寄存器时钟使能, 默认高有效 (可反向)。只有当输出寄存器被使用时 (REGMODE_A=“OUTREG” ) 才有效。
B 端口名	方向	说明
dib[8:0]	输入	B 端口数据输入, 18 位输入端口模式时作为高 9 位数据输入
addrB[12:0]	输入	B 端口地址输入, [12:4]作为 word 地址一直有效, [3:0]取决于 bit 模式
dob[8:0]	输出	B 端口数据输出, 18 位输出端口模式时作为高 9 位数据输入
clkB	输入	B 端口时钟输入, 默认上升沿有效 (可反向), 简单双口 18 位模式时作为输出地址/数据端口时钟
rstB	输入	B 端口复位信号, 默认高有效 (可反向), 可配置同步/异步复位
ceb	输入	B 端口时钟有效控制信号, 默认高有效 (可反向)。



A 端口名	方向	说明
web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位读出模式时固定为 0。
csb[2:0]	输入	B 端口 3 位片选信号（可反向）， $\text{csb}[2:0]=3'$ b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（ $\text{REGMODE\_B}=“OUTREG”$ ）才有效。

### ■ 多位片选信号逻辑说明：

ERAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示（CSA, CSB 在 RAM 模式/CSW, CSR 在 FIFO 模式）：

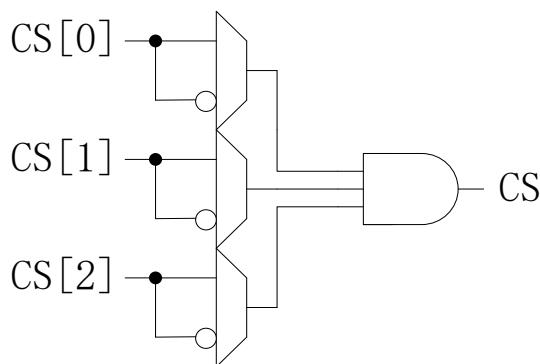


图 2-3- 4 CS 逻辑控制

利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对  $2^8$  块 RAM 进行深度扩展。

### ■ 18 位模式时的字节使能 (Byte Enable)

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的  $\text{datain}[15:8]$  和  $\text{datain}[7:0]$ 。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入 (dia)。在 18 位模式时，字节使能 Byte Enable[1:0] 信号和端口  $\text{addr}[1:0]$  复用。

### ■ 写操作时并行读操作 (Read-during-Write)

ELF2 系列的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式 (Normal)，输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据 (Read Before Write)；读出新数据 (Write Through)。

## 2. 3. 1. 4 RAM 存储器模式下的常见配置

### 1. 单口模式 (Single-Port Mode)

单口模式支持对非同时发生的对同一地址的读或写操作。ERAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 ERAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

ERAM9K 在单口模式下支持的位宽

- 8192 × 1 (独立的 A 口或 B 口实现)
- 4096 × 2 (独立的 A 口或 B 口实现)
- 2048 × 4 (独立的 A 口或 B 口实现)
- 1024 × 8, 1024 × 9 (独立的 A 口或 B 口实现)
- 512 × 16, 512 × 18 (A 口 B 口联合实现)

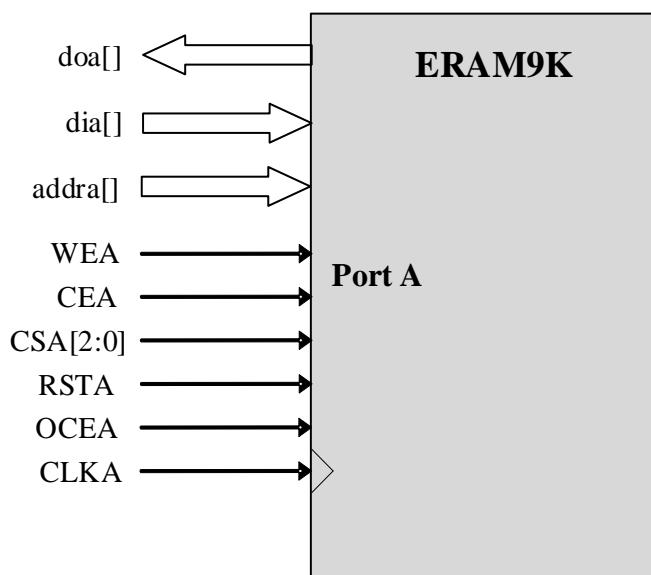


图 2-3- 5 利用 A 口实现的 9 位宽（及以下）单口 RAM

## 2. 简单双口模式 (Simple Dual-Port Mode)

当用一块 ERAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0]作为高 9 位数据输入，DIA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0]作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-3- 4 9/18 位简单双口模式时数据端口连接关系

模式	ERAM9K RAM 端口	用户端口
W=18 位	DIA[8:0]	wdata[8:0]
R=18 位	DIB[8:0]	wdata[17:9]



模式	ERAM9K RAM 端口	用户端口
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W<=9 位 R=18 位	DIA[]	wdata[]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W=18 位 R<=9 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	rdata[]

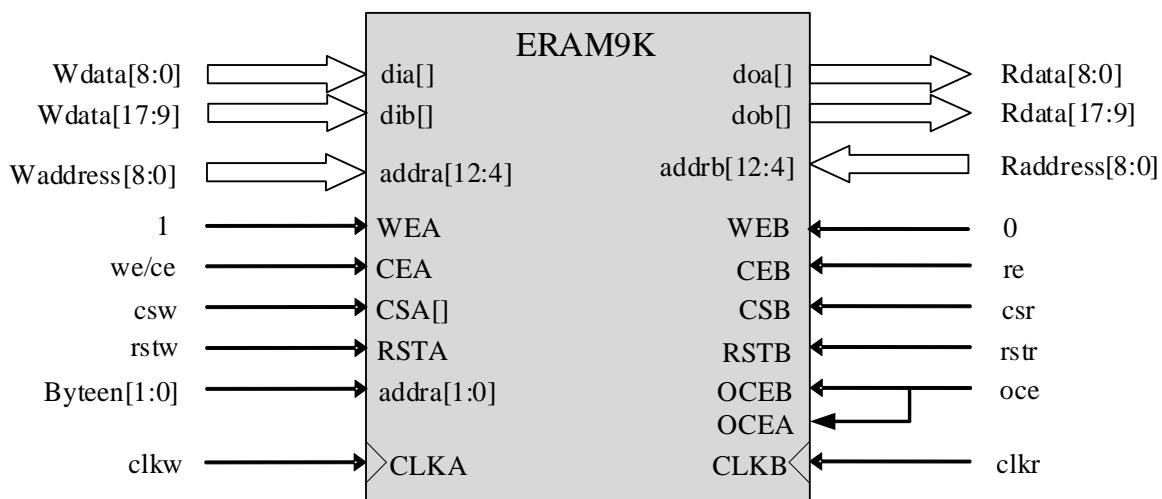


图 2-3- 6 简单双口 18 位写/18 位读端口连接

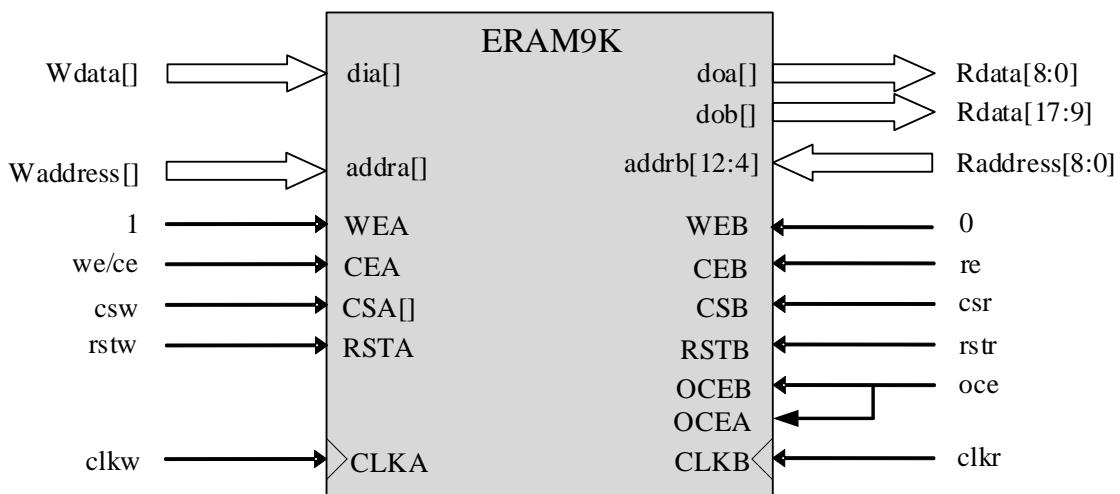


图 2-3- 7 简单双口模式&lt;=9 位写/18 位读端口连接

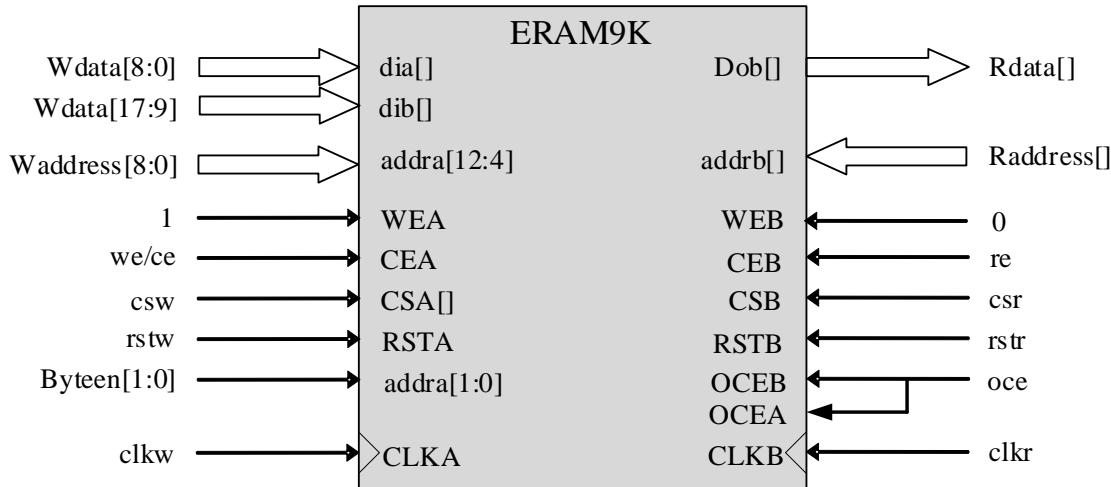


图 2-3-8 简单双口模式 18 位写 / &lt;=9 位读端口连接

ERAM9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-3-5 简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

表 2-3-6 简单双口模式下支持的混合端口位宽配置

	端口宽度	地址位宽度	DOB[8]	DOA[8]	最低 4 位地址 addr [3:0] 值对应的 WORD 内部数据位											
	18	9	0		0											
	9	10	1	0	1				0							
	4	11	X	X	3		2		1		0		1		0	
	2	12	X	X	7	6	5	4	3	2	1	0	3	2	1	0
	1	13	X	X	15	14	13	12	11	10	9	8	7	6	5	4
18/16 位 WORD 内部数据位			17	16	15	14	13	12	11	10	9	8	7	6	5	4

### 3. 真双口模式 ( True Dual-Port Mode)

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

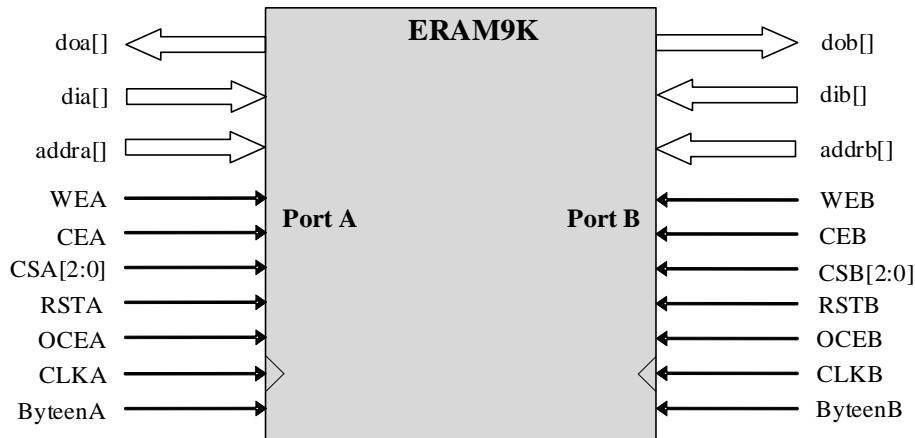


图 2-3- 9 位宽<=9 位时 A/B 双口 RAM

表 2-3- 7 真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	
1Kx8	√	√	√	√	
1Kx9					√

### 4. ROM 模式

ERAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 ERAM9K 中。初始化值可以在 IP 生成时用 MIF 文件设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

#### 2.3.1.5 FIFO 模式

ERAM9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 ERAM9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。

表 2-3- 8 FIFO 模式下的端口信号

输入端口名	方向	说明
dia[8:0]	输入	FIFO 数据输入， 16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。
clkw	输入	FIFO 写端口时钟输入， 默认上升沿有效（可反向）



rst	输入	FIFO 内部写指针/读指针复位信号（可反向）
we	输入	FIFO 写使能，1 为写入操作，0 无操作。
csw[2:0]	输入	FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。
输出端口名	方向	说明
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。
dob[8:0]	输出	<=9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。
clk	输入	读端口时钟输入，默认上升沿有效（可反向）
rprst	输入	FIFO 读指针复位信号
re	输入	FIFO 读使能，1 为读操作，0 无操作。
csr[2:0]	输入	FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。
oce_a	输入	doa 端口数据寄存器时钟使能，默认高有效（可反向）。只有 18 位输出端口模式并且当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
oce_b	输入	dob 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。
FIFO 标志名	方向	说明
empty_flag	输出	FIFO 读空标志，和 clk 同步。
aempty_flag	输出	FIFO 几乎读空标志，和 clk 同步。相对读空提前量由 AE_POINTER 参数决定。
full_flag	输出	FIFO 满标志，和 clk 同步。FIFO 满容量由 FULL_POINTER 参数决定。
afull_flag	输出	FIFO 几乎满标志，和 clk 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。

表 2-3- 9 FIFO 模式支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

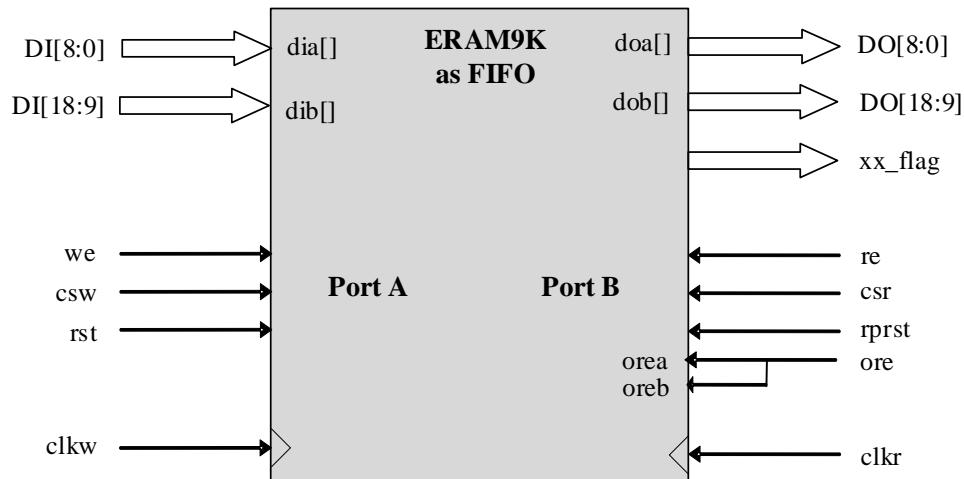


图 2-3- 10 18 位进/18 位出 FIFO 模式

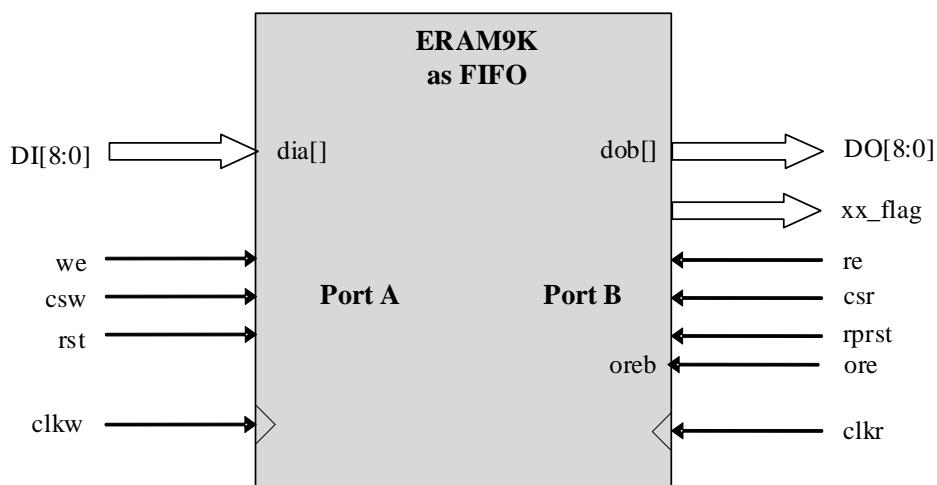


图 2-3- 11 &lt;=9 位进/&lt;=9 位出 FIFO 模式

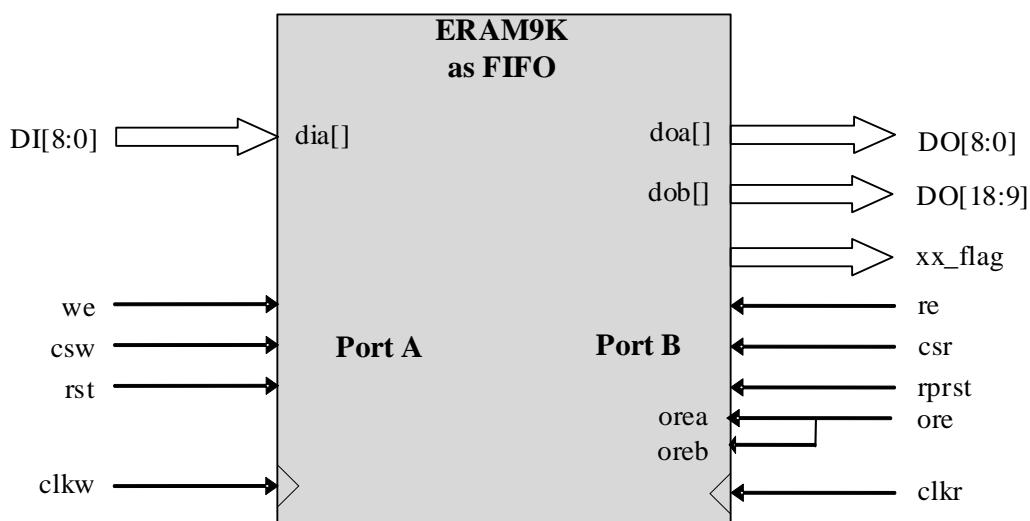


图 2-3- 12 9 位进/18 位出 FIFO 模式

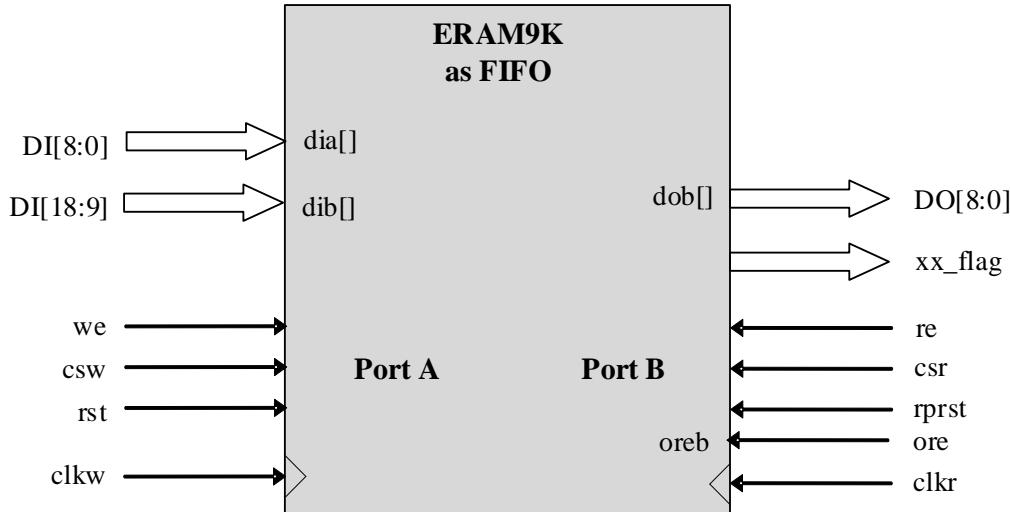


图 2-3- 13 18 位进/9 位出 FIFO 模式

### ■ 空满标志属性的设置

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志 (empty\_flag) , 几乎空标志 (almost\_empty) , 满标志 (full\_flag) , 几乎满标志 (almost\_full)。当内部计数器计数到标志值时会在 FF/AF/EF/AE 相应端口输出高电平。

表 2-3- 10 FF/AF/EF/AE 属性设置

FIFO 属性名称	描述	设置范围
FF	Full flag	1 to Max
AF	Almost full	1 to Full-1
AE	Almost empty	1 to Full-1
EF	Empty setting	0

### ■ FIFO 模式下常用配置

FIFO 模式的 csw/csr 和 RAM 模式中的 csa/csba 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 csw 端，空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向与逻辑实现。

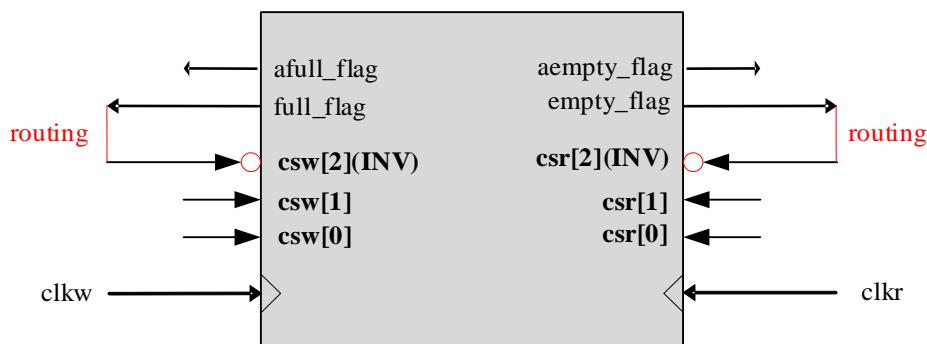


图 2-3- 14 单个 ERAM9K FIFO 模式连接

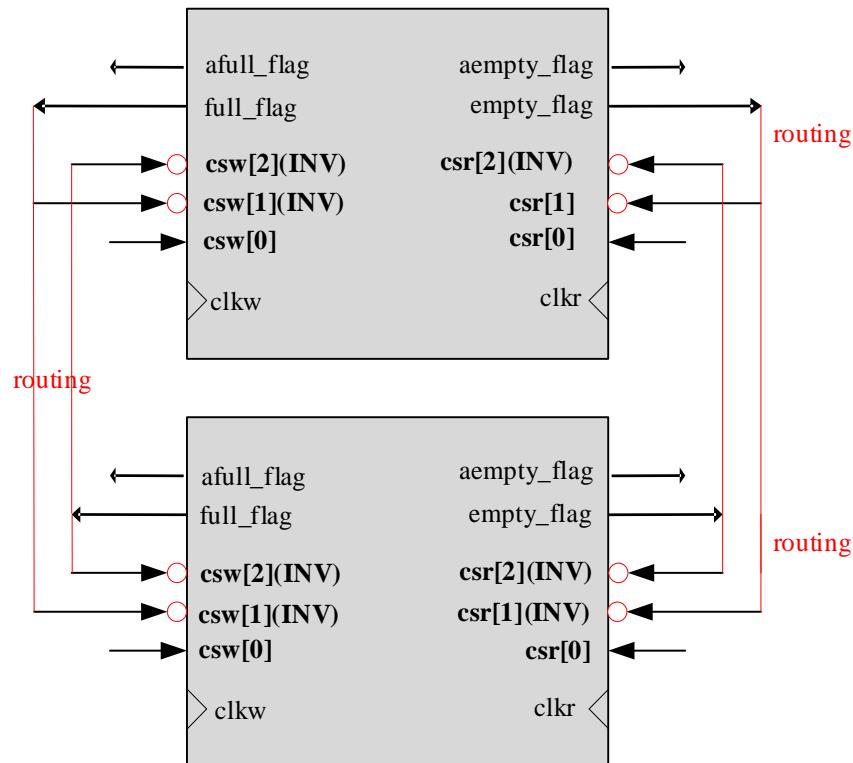


图 2-3- 15 两个 ERAM9K FIFO 级联模式连接

## 2. 3. 2 ERAM32K

为了达到更高的存储容量，ELF2 系列器件中设计了嵌入式真双口存储器模块 ERAM32K，类似于 ERAM9K，ERAM32K 单独占有一列。

ERAM32K 可实现：

- 单口 RAM
- 双口 RAM

ERAM32K 模块支持的功能特色有：

- 32K bits / 每块，可设置为 2K\*16 或 4K\*8
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，支持 8 位/16 位两种宽度
- 输出锁存器可选择（支持 1 级流水线）
- 支持两种写操作模式。可选择只写（Normal），写穿通（Write through）

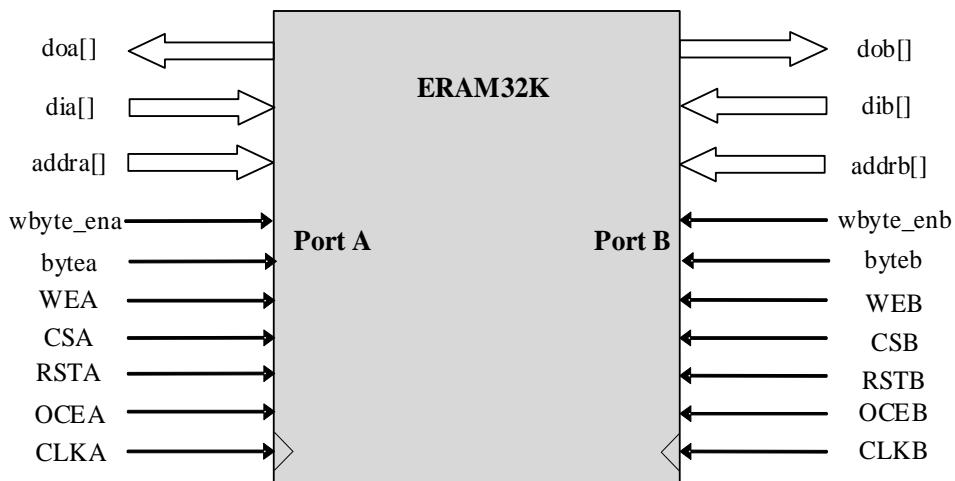


图 2-3- 16 ERAM32K 双口 RAM

表 2-3- 11 ERAM32K 端口信号

A 端口名	方向	说明
dia[15:0]	输入	A 端口数据输入，8 位输入端口模式时 dia[7:0]有效。
addra[10:0]	输入	A 端口地址输入，2K 深度。
wbyte_ena	输入	A 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。
bytea	输入	8 位模式时作为最低位地址输入；16 位模式 wbyte_ena=1 时，bytea=1 选择高 8 位写入，bytea=0 选择低 8 位写入。
doa[15:0]	输出	A 端口数据输出，8 位输出端口模式时只 doa[7:0]有效



A 端口名	方向	说明
clka	输入	A 端口时钟输入， 默认上升沿有效（可反向）
rsta	输入	A 端口数据输出寄存器同步复位信号， 默认高有效（可反向）
csa	输入	A 端口片选， 默认高有效（可反向）。
wea	输入	A 端口写入/读出操作控制， 1 为写入操作， 0 为读出操作；
oceA	输入	A 端口数据寄存器时钟使能， 默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[15:0]	输入	B 端口数据输入， 8 位输入端口模式时 dib[7:0] 有效
addrb[10:0]	输入	B 端口地址输入， 2K 深度
wbyte_enb	输入	B 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。
byteb	输入	8 位模式时作为最低位地址输入；16 位模式 wbyte_enb=1 时，byteb=1 选择高 8 位写入，byteb=0 选择低 8 位写入。
dob[15:0]	输出	B 端口数据输出， 8 位输出端口模式时 dob[7:0] 有效
clkB	输入	B 端口时钟输入， 默认上升沿有效（可反向）。
rstb	输入	B 端口数据输出寄存器同步复位信号， 默认高有效（可反向）
csb	输入	B 端口时钟有效控制信号， 默认低有效（可反向）。
web	输入	B 端口写入/读出操作控制， 0 为写入操作， 1 为读出操作。
oceB	输入	B 端口数据寄存器时钟使能， 默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

## 2.3.3 大容量存储器

### 2.3.3.1 大容量存储器模块简介

ELF2 系列 FPGA 包含了 ERAM128K 和 ERAM256K 各一个，可以全部由 FPGA 控制。

#### 2.3.3.2 ERAM128K

ERAM128K：128K 内部基于 128 位单口 128Kbit ERAM，外部只允许 1 个口访问 ERAM

128K ERAM 应用场景：128K ERAM 被 FPGA 使用，32 位单口访问。

ERAM128K 模块支持的功能特色：

- 单口 RAM/ROM，支持上电初始化
- 128Kbits
- FPGA 模式时，写入读出数据位宽 32 位，写操作带有字节使能（Byte Enable）控制，可实现 4 字节分别写入



- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化
- FPGA 模式下，只支持 write normal

表 2-3- 12 ERAM 128K 特色

类别	特性
容量	128K
配置(深度 × 位宽)	4K × 32
字节使能 (Byte enable)	有
输入地址/数据寄存器	有
单口模式 (Single-port mode)	只支持单口
ROM 模式	支持
数据输出寄存器	FPGA 模式下有，可选择
独立数据输出寄存器使能	有
数据输出寄存器初始化	有，只支持异步复位（上电复位为 0）
Read-during-write	FPGA 模式下，无，只支持 write normal
工作前 RAM 初始化	支持

### 2. 3. 3. 3 ERAM256K

ERAM 256K 内部基于 32 位真双口核心。ERAM256K 为真双口，允许 2 个端口同时访问 ERAM。

表 2-3- 13 256K ERAM 通过 A/B 口被访问

外部访问端口	内部 ERAM 端口
FPGA_A 口	A 口
FPGA_B 口	B 口

256K ERAM 使用场景：32 位双口，可初始化。

256K 可实现：

- 单口 RAM/ROM
- 真双口 RAM

256K 模块支持的功能特色：

- 256K bits 每块
- A/B 口时钟独立



- A/B 口数据位宽 32 位，写操作带有字节使能 (Byte Enable) 控制，4 位控制 4 个字节的分别写入。
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（和 ERAM9K 相同的初始化接口，9 位数据接口只使用低 8 位）
- 支持两种写操作模式：可选择只写 (Normal) 和写穿通 (Write through)

表 2-3- 14 ERAM 256K 特色

类别	特性
容量	256K
配置(深度 × 位宽)	8K × 32
字节使能 (Byte enable)	支持，4 位控制
输入地址/数据寄存器	有
单口模式 (Single-port mode)	支持
真双口模式 (True dual-port mode)	支持
ROM 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有
数据输出寄存器初始化	有，只支持异步复位（上电复位为 0）
Read-during-write	保持不变 (normal) 输出写数据 (write through)
工作前 RAM 初始化	支持

### 2.3.3.4 FPGA 模式下 ERAM128K/256K 存储器通用控制逻辑说明

#### ■ 控制信号说明

在 FPGA 模式下，128K/256K 的输入控制信号有：片选信号 cs，写/读操作 (we)，字节写操作使能 (wbyte)，数据输出寄存器锁存使能 (oprce)，数据输出寄存器异步复位 (rst)。

表 2-3- 15 写操作控制信号逻辑

操作	CLK	CS	WE	WBYTE[3:0]	RST	OPRCE
32 位写操作	上升沿	1	1	4'b1111	0	X
32 位读操作	上升沿	1	0	x	0	X
不工作	X	0	X	x	0	X

注：

- 即使不使用输出寄存器，RST 输入也必须为 0。



表 2-3- 16 字节使能

Wbyte_en[3]	Byte3 写使能	=1, di<31:24>写入 ; =0, 不写
Wbyte_en[2]	Byte2 写使能	=1, di<23:16>写入; =0, 不写
Wbyte_en[1]	Byte1 写使能	=1, di<15:8>写入; =0, 不写
Wbyte_en[0]	Byte0 写使能	=1, di<7:0>写入; =0, 不写

表 2-3- 17 读操作控制信号逻辑

操作	CLK	CS	OPRCE	rst	we	Wbyte<3:0>
无输出寄存器读操作	上升沿	1	X	0	0	X
有输出寄存器读操作	x	1	1 (延迟 1 个周期)	0	0	X
Save power	x	0	0	0	X	X

### 2. 3. 3. 5 FPGA 模式下 ERAM128K/256K 端口和模式说明

#### ■ FPGA 模式下 ERAM128K 端口和模式说明

表 2-3- 18 ERAM128K 与 FPGA 间端口信号说明

端口名	方向	说明
di [31:0]	输入	FPGA 数据输入。
addr [11:0]	输入	地址输入, 4K 深度。
wbyte[3:0]	输入	字节写入使能, 对应 4 个字节, 1 允许写入。
do [31:0]	输出	数据输出
clk	输入	时钟输入, 默认上升沿有效 (在 PIB 中可反向)
rst	输入	数据输出寄存器异步复位信号, 高有效 (在 PIB 中可反向)
cs	输入	使能输入, 高有效 (在 PIB 中可反向)。
we	输入	写入/读出操作控制, 1 为写入操作, 0 为读出操作;
oprce	输入	软件名 ocea , A 端口数据寄存器时钟使能, 默认高有效 (可反向)。只有当输出寄存器被使用时 (REGMODE_A= "OUTREG" ) 才有效。

表 2-3- 19 ERAM 128K 配置参数

参数名	模式	值	说明
REGMODE	MCU/FPGA	"NOREG"	(默认值) A 端口数据输出无寄存器, ocea/rsta 无效。
	FPGA	"OUTREG"	A 端口数据输出带有寄存器, 数据输出延迟 1 个周期, oce/a/rsta 控制信号有效。
WRITEMODE_A (在 OUTREG 模式	MCU/FPGA	"NORMAL"	写模式选择 1 (默认值)。 写操作不会对输出 doa 产生影响 (no change)。



参数名	模式	值	说明
时有效)	FPGA	“WRITETH ROUGH”	写模式选择 2。 写操作会将正在写入的数据同时读出到 doa。

### ■ FPGA 模式下 ERAM256K 端口和模式说明

表 2-3- 20 ERAM256K 与 FPGA 间端口信号说明

A 端口名	方向	说 明
dia[31:0]	输入	FPGA A 端口数据输入。
addr[a[12:0]]	输入	A 端口地址输入，8K 深度。
wbytea[3:0]	输入	A 端口字节写入使能，对应 4 个字节，1 允许写入。
doa[31:0]	输出	A 端口数据输出
clkA	输入	A 端口时钟输入， 默认上升沿有效（在 PIB 中可反向）
rsta	输入	A 端口数据输出寄存器异步复位信号，高有效（在 PIB 中可反向）
csa	输入	A 端口使能输入，高有效（在 PIB 中可反向）。
wEA	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；
oprcea	输入	软件名 ocea，A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说 明
dib[31:0]	输入	B 端口数据输入
addrb[12:0]	输入	B 端口地址输入，8K 深度
wbyteb[3:0]	输入	B 端口字节写入使能，对应 4 个字节，1 允许写入。
dob[31:0]	输出	B 端口数据输出，8 位输出端口模式时 dob[7:0] 有效
clkB	输入	B 端口时钟输入， 默认上升沿有效（可反向）。
rstb	输入	B 端口数据输出寄存器同步复位信号， 默认高有效（可反向）
csb	输入	B 端口使能信号， 默认高有效（可反向）。
web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作。
oprceb	输入	软件名 oceab，B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

ERAM 内部带有上升沿触发的地址/数据/控制信号锁存器，根据 CS/WE 两个控制信号逻辑写入/读出 RAM 阵列。

输出带有异步 latch，latch 的数据更新由 WRITEMODE 模式控制，normal 模式时，latch 会在读操作时才更新数据；write\_through 模式时，写操作时也会更新 latch 数据；默认为 normal 模式。

后面带有可选择的 clk 同步输出数据缓冲器，可提高 ERAM 的最高工作频率，但是数据输出会延迟 1 个周期（latency=1）。由 REGMODE 参数控制，默认不使用寄存器，无 latency，此时 clk->do 的延迟最大为 4ns。

rsta 和 oprcea 只对输出寄存器有效， 默认模式下（不使用输出寄存器）时，rsta 必须接 0。



表 2-3- 21 用 ERAM256K 的 RAM 可以设置的工作模式如下

参数名	模式	值	说明
REGMODE_A	MCU/FPGA	“NOREG”	(默认值) A 端口数据输出无寄存器, ocea/rsta 无效。
	FPGA	“OUTREG”	A 端口数据输出带有寄存器, 数据输出延迟 1 个周期, oceab/rstb 控制信号有效。
REGMODE_B	FPGA	“NOREG”	(默认值) B 端口数据输出无寄存器, oceb/rstb 无效。
	FPGA	“OUTREG”	B 端口数据输出 dob 带有寄存器, 数据输出延迟 1 个周期, oceb/rstb 控制信号有效。
WRITEMODE_A (在 OUTREG 模式时有效)	MCU/FPGA	“NORMAL”	写模式选择 1 (默认值)。 写操作不会对输出 doa 产生影响 (no change)。
	FPGA	“WRITETHROUGH”	写模式选择 2。 写操作会将正在写入的数据同时读出到 doa。
WRITEMODE_B (在 OUTREG 模式时有效)	FPGA	“NORMAL”	写模式选择 1 (默认值)。 写操作不会对输出 dob 产生影响。
	FPGA	“WRITETHROUGH”	写模式选择 2。 写操作会将正在写入的数据同时读出到 dob。

## 2.4 时钟资源

ELF2 系列 FPGA 包含 3 种时钟资源, 第一种是给核心逻辑、嵌入式存储器、IOL 和 DSP 使用的全局时钟 (GCLK), 第二个是支持高速输入/输出接口串并转换的输入输出时钟 (IOCLK), 第三个是支持时钟快速输入到 IOCLK 和 PLL 输入的快速时钟。

### 2.4.1 全局时钟

ELF2 系列全局时钟资源包含专门的时钟输入, 缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源, 同时全局时钟也可用于高扇出信号, 时钟架构如下图所示。

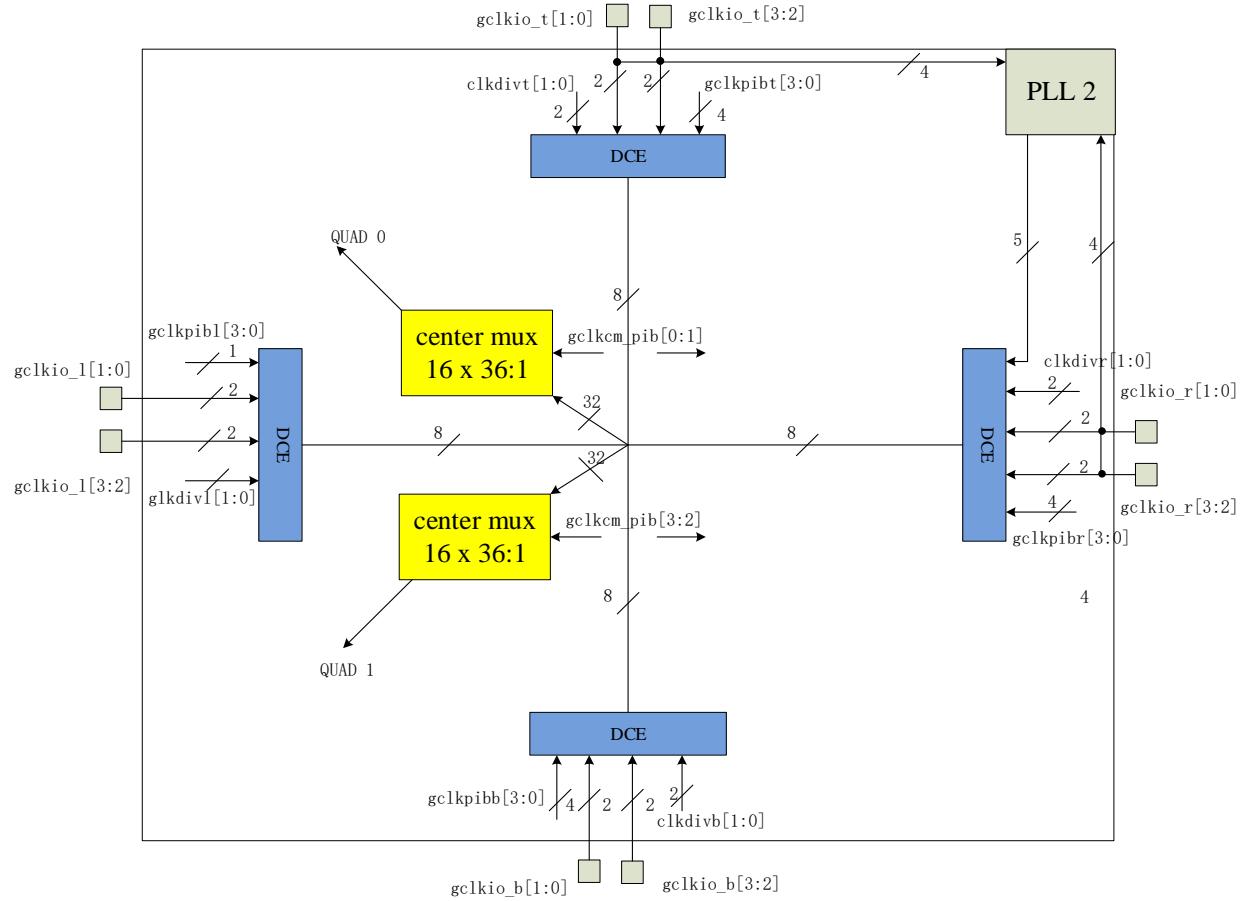


图 2-4-1 全局时钟分布网络

在全局时钟传输路径上有一级动态时钟使能逻辑，可以实现无毛刺的时钟动态使能，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的 36:1 多路选择器，进而分别送到 4 个象限驱动用户逻辑 DFF。

整个芯片以水平和垂直中间线为四个象限，每个象限有 16 路独立的全局时钟资源。

#### 2.4.1.1 时钟切换模块 (CSB)

每个 ELF2 器件有 2 个全局时钟动态时钟切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2: 1 多路复用器。

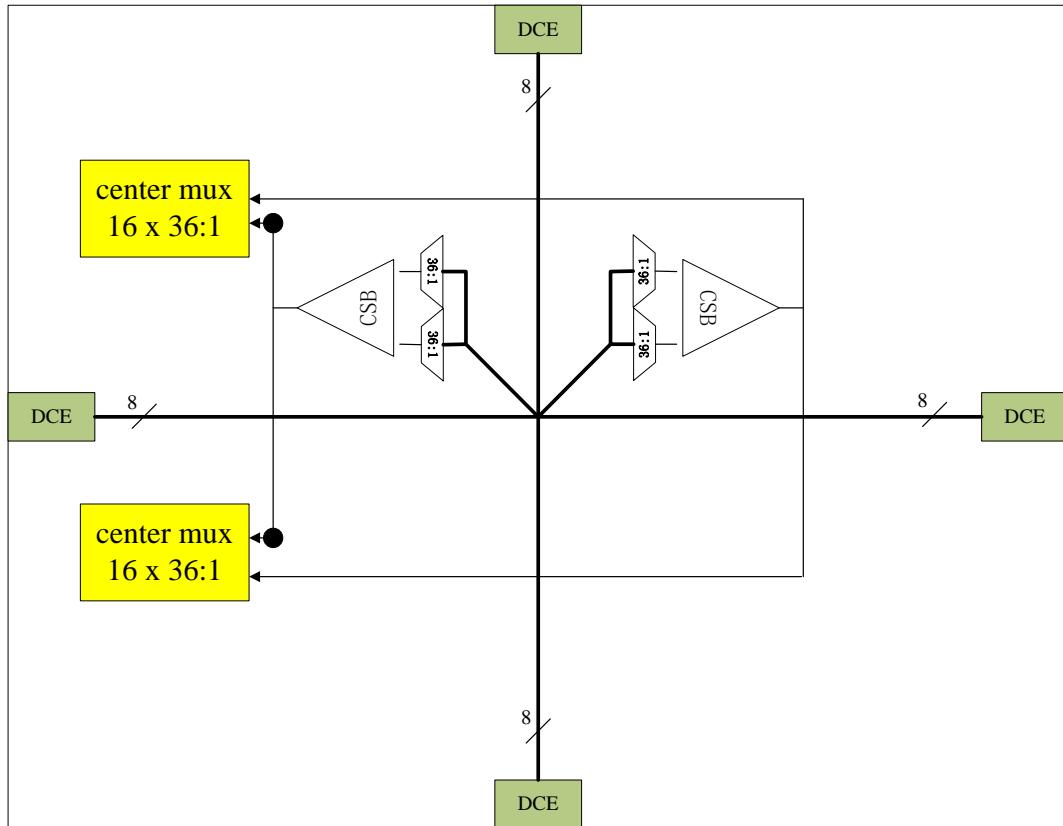


图 2-4- 2 CSB 框图

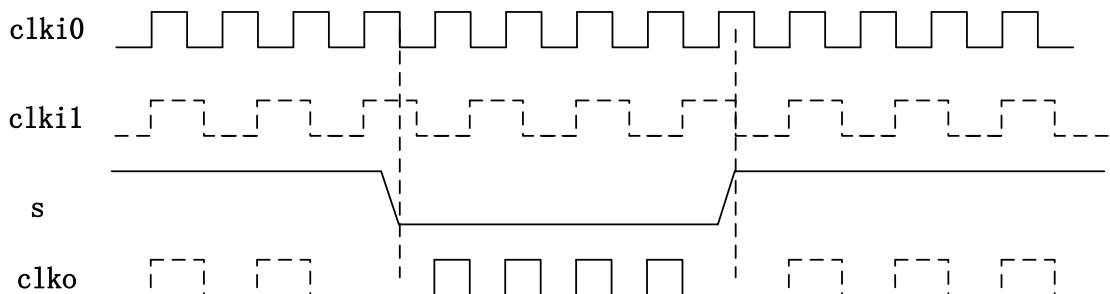


图 2-4- 3 CSB 时钟切换时序图

表 2-4- 1 DCS 操作模式表

模 式	S		描 述
	0	1	
BUFGMUX	clkio	clkil	有毛刺时钟切换

## 2.4.2 输入输出时钟

输入输出时钟(IOLK)是可以在 ELF2 器件中使用的一种时钟缓冲器。IOLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样，BUFI0 就可以理想地适合源同步数据采集（传送/接收器时钟分配）。IOLK 可以由位于同一时钟区域的 **clock capable I/O** 驱动，也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOLK。每个 IOLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOLK 不能驱动逻辑资源（PLB、ERAM 等），因为 IOLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。

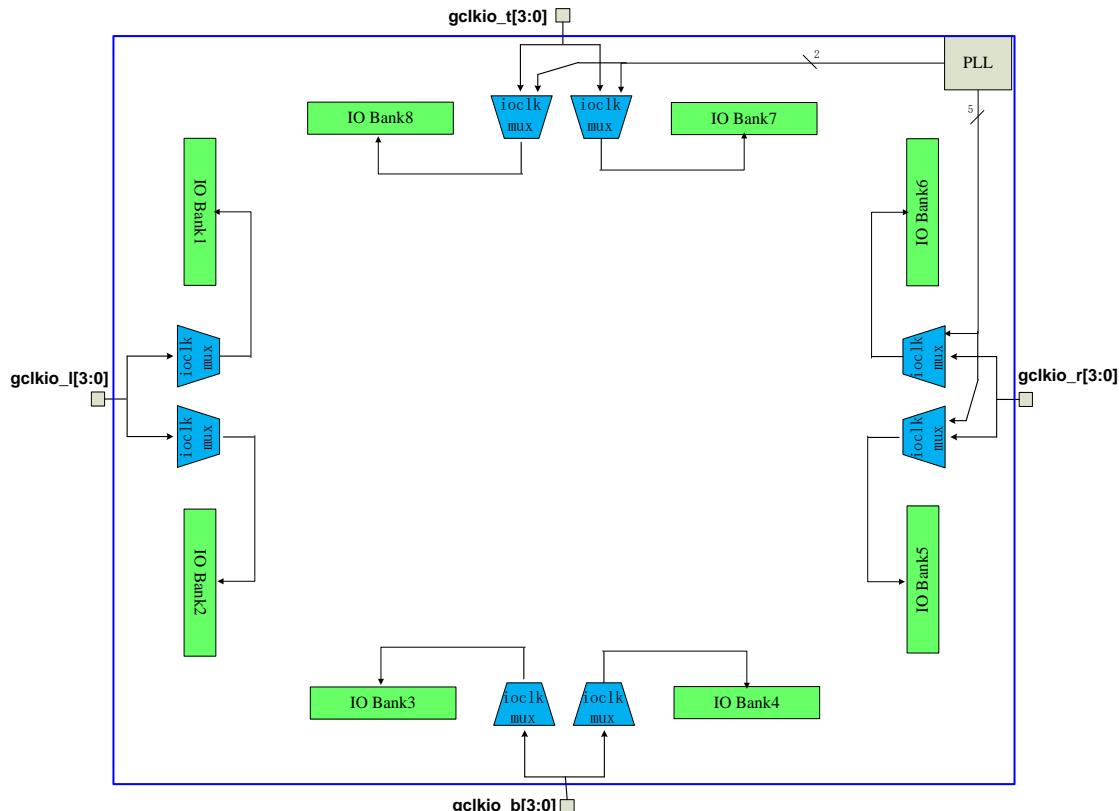


图 2-4-4 IOLK 架构图

### 2.4.2.1 时钟分频器

ELF2 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自于相同 I/O 组的输入输出时钟。输出分频系数可以是 1/2/4 中的任意一个。

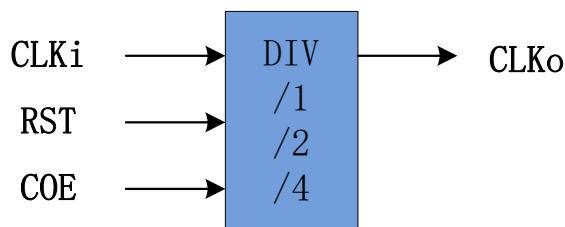


图 2-4-5 时钟分频器

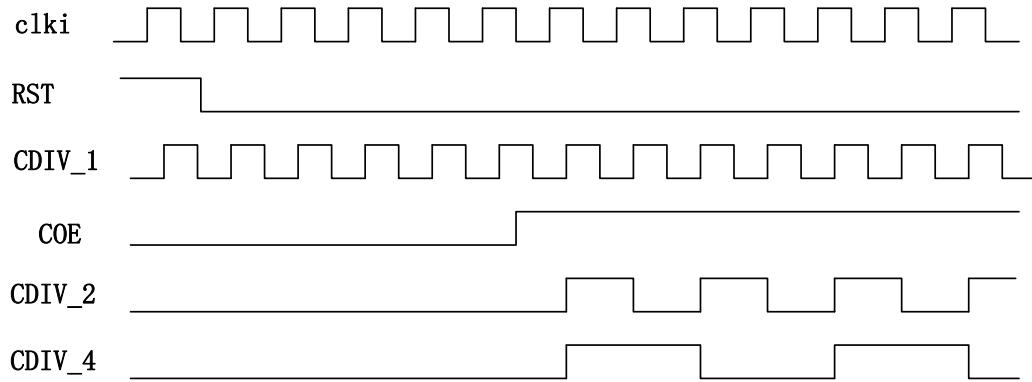


图 2-4- 6 时钟分频器时序图

### 2.4.3 快速时钟

快速时钟用以实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。

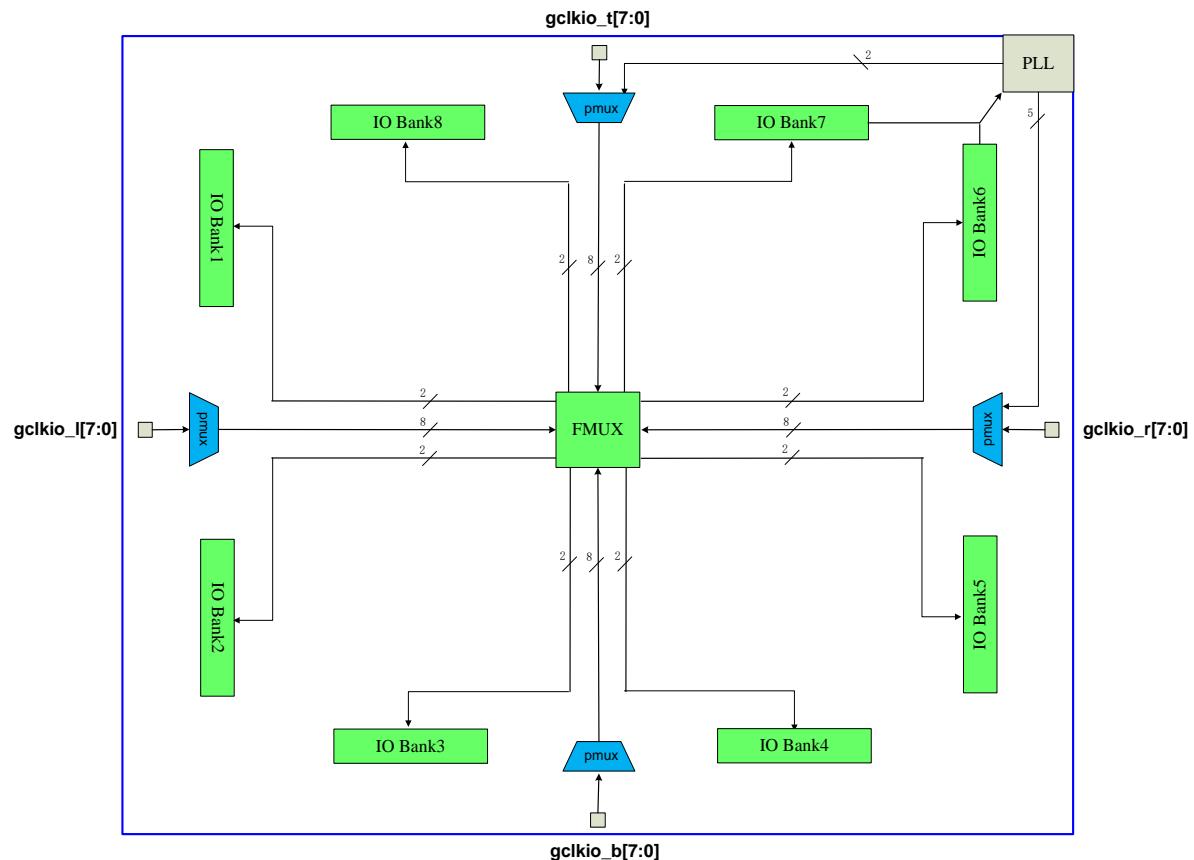


图 2-4- 7 快速时钟架构图

## 2.5 锁相环 (PLL)

### 2.5.1 简介

ELF2 系列 FPGA 内嵌 1 个多功能锁相环 (PLL)，可实现高性能时钟管理功能。可以实现时钟分频、倍频、占空比调整、输入和反馈时钟对准、多相位时钟输出等功能。

用户在使用中应关注 PLL 的 lock 信号是否为高，同时建议用户等待输入信号稳定后，再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C4。

PLL 输出 C5 和 C0 共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

PLL 输出 C6 和 C1 共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

在需要时钟输出稳定相位时，优先选择 C0、C1、C5、C6。

PLL 专用输入管脚进入的时钟可以直接进入 PLL，但不能直接进全局时钟。

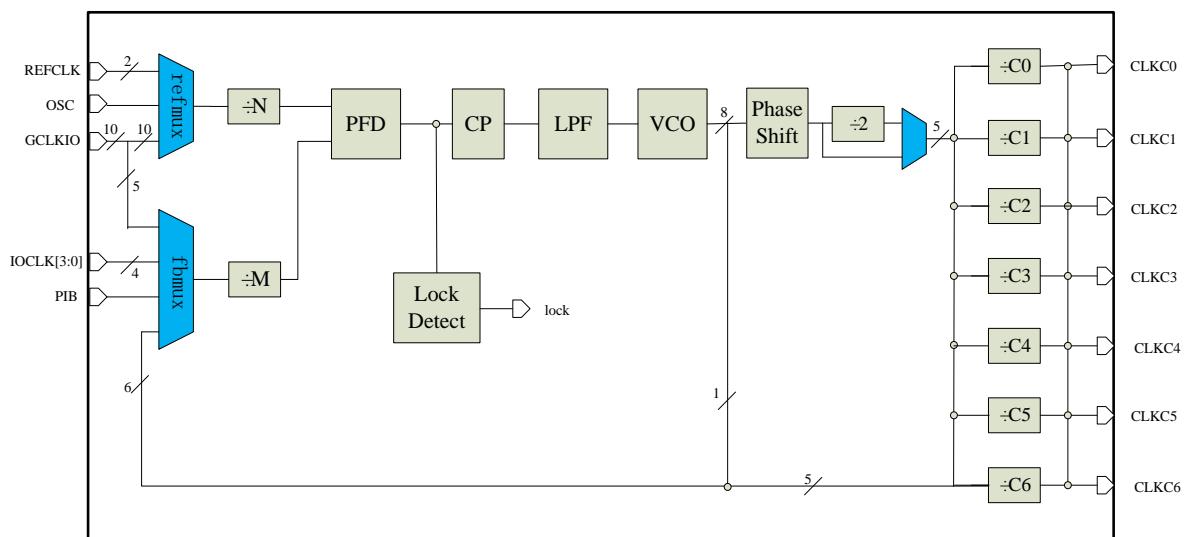


图 2-5-1 ELF2 PLL 架构图

PLL 有专门的输出驱动芯片的专用时钟输出管脚，已获得更好的抖动性能。

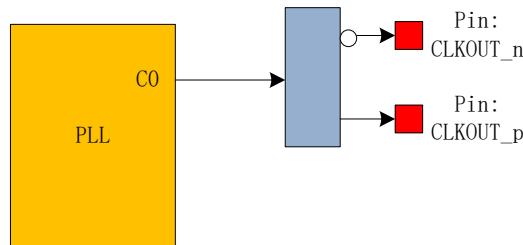


图 2-5- 2 ELF2 C0 直接输出到时钟输出 IO 管脚（差分模式）

表 2-5- 1 ELF2 PLL 特性表

Feature	ELF2 PLL
输出端口数	7 (C0~C4 相位完全独立)
参考时钟分频系数 (N)	1 to 128
反馈时钟分频系数 (M)	1 to 128
输出时钟分频系数 (C0-4)	1 to 128
相移分辨率	45° (相对 VCO)
输出端口可选相位偏移量 (°)	0, 45, 90, 135, 180, 225, 270, 315
用户动态相移控制	支持 (+/-每单位 45 度相移, 相对 VCO)
锁定状态输出	Lock
专用时钟输出管脚	支持
占空比调整	支持

## 2.5.2 动态相移

ELF2 系列 PLL 支持动态相移功能。ELF2 系列 PLL 控制属性为静态配置。静态配置由用户通过软件设置生成码流，经过上电下载后不能更改。

静态配置参数包括：

- 参考/反馈时钟输入/输出选择
- 参考时钟分频系数 (N)
- 反馈时钟分频系数 (M)
- 输出时钟分频系数 (C0-4)

动态相移特性允许对锁相环的每个独立输出相位进行动态调整，通过对给定的计数器递增或递减实时改变输出时钟相。每次移动相位为 1/8VCO 周期。下表列出了用于动态相移的控制信号。



表 2-5- 2 动态相移控制信号

信号名称	描述	信号来源	信号目的地
PSCLKSEL [2:0]	要进行动态移相的时钟选择信号，从 C0-C4 中选出一路进行动态相位移动。	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSDOWN	动态相移方向选择，1=向上，0=向下， PSCLK 的上升沿采样。	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSSTEP	PSSTEP=1，使能动态相移	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSCLK	动态相移时钟	GCLK 或者 IO 引脚	PLL reconfiguration 电路
PSDONE	信号为高电平时，表明相位调整结束， PSCLK 的上升沿采样。	PLL reconfiguration 电路	PIB 或者 IO 引脚

对于动态相移，每次能对一路输出进行相位调整，由 PIB 的接口 PSCLKSEL[2:0] 来选择 C[4:0] 中的一路执行动态相移，如下表所示。

表 2-5- 3 动态相移输出选择

PSCLKSEL [2:0]	PLL 输出选择
000 (default)	C[0]
001	C[1]
010	C[2]
011	C[3]
100	C[4]

执行一次动态相移调整，必须遵循以下步骤：

1. 根据需要设置 PSDOWN 和 PSCLKSEL。
2. 打开相位调整，相位调整 PSSTEP 至少需要四个 PSCLK 周期，每一个 PSSTEP 脉冲进行一次相位移动。
3. 关闭相位调整。
4. 等待 PSDONE 变为高电平。
5. 重复上述步骤 1-4，可以进行多次动态相位调整。

PSCLKSEL [2:0], PSSTEP, PSDOWN 和 PSCLK 同步，必须由 PSCLK 同步过后送给 PLL。

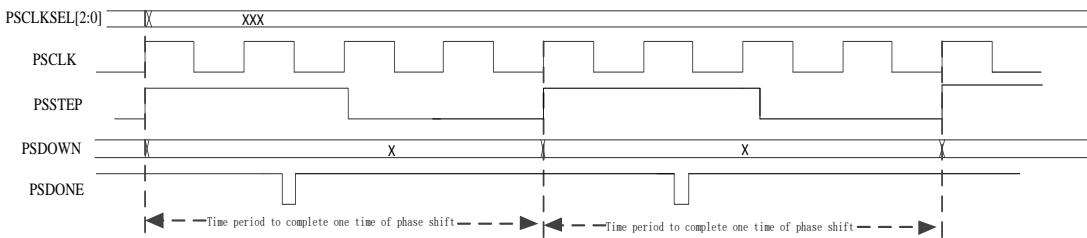


图 2-5- 3 PLL 动态相移

PSSTEP 信号在 PSCLK 的上升沿被锁存，如上图所示，PSSTEP 必须满足至少四个 PSCLK 周期触发一次。PSDONE 信号变为低电平并保持大概 3 个 VCO 周期。然后 PSDONE 由低变为高电平时相位移动完成。PSDONE 信号拉高后的下个输出时钟周期，动态相位移动生效。

注：

1. 在动态相移过程中被调节时钟可能会产生 glitch。

## 2.5.3 时钟反馈模式

ELF2 系列 PLL 支持 4 种反馈模式。每种模式都支持时钟分频/倍频和相移。

### 2.5.3.1 源同步模式 (Source-Synchronous Mode)

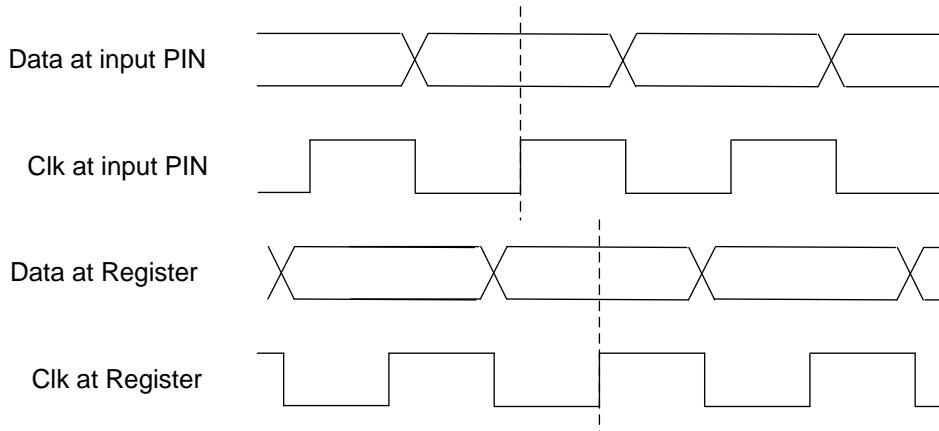


图 2-5- 4 源同步模式

如上图所示，源同步模式通过动态相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

### 2.5.3.2 无补偿模式 (No Compensation Mode)

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，会提高 PLL 的抖动特性。

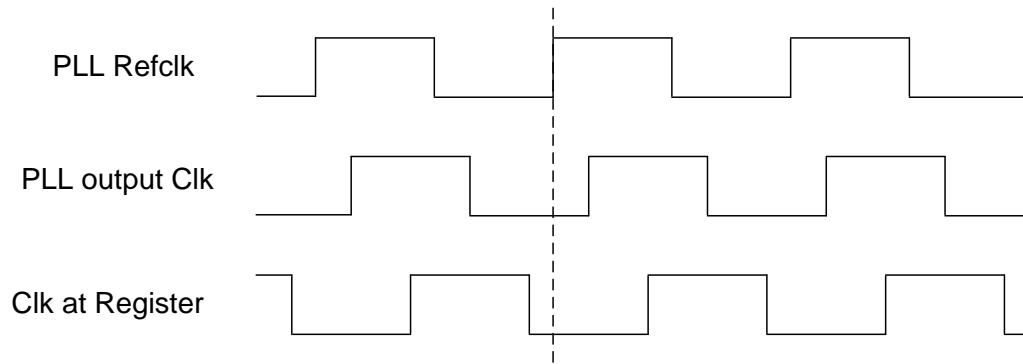


图 2-5- 5 无补偿模式（相位不对齐）

### 2.5.3.3 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

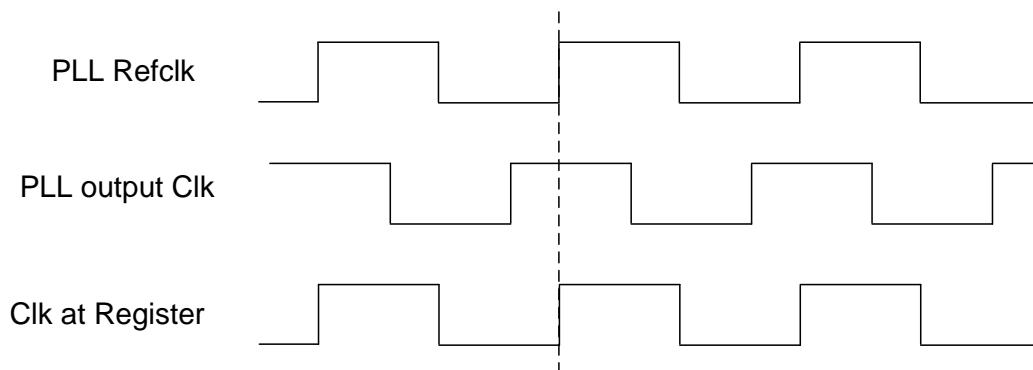


图 2-5- 6 普通模式

### 2.5.3.4 零延迟缓冲模式

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。

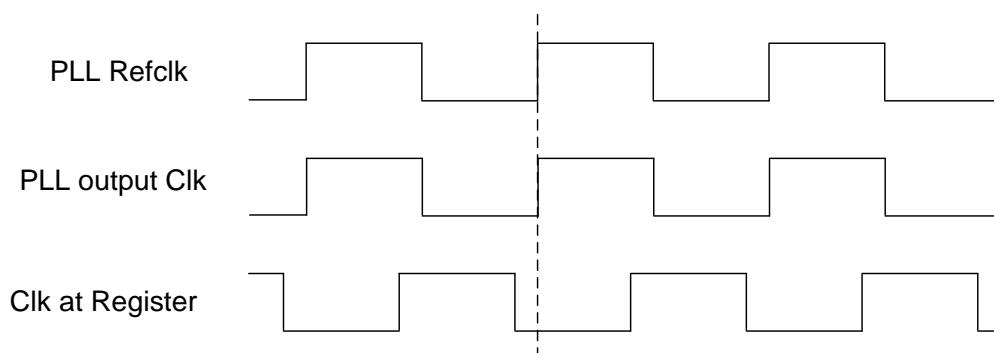


图 2-5- 7 零延迟缓冲模式



## 2.5.3.5 整数分频

当 ELF2 系列 PLL 工作在整数分频模式，具有最好的 jitter 性能。

## 2.6 数字信号处理 (DSP)

ELF2 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理 (DSP) 系统的功耗。ELF2 器件本身或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

### 2.6.1 体系结构

嵌入式乘法器可以配置成一个  $18 \times 18$  乘法器，或者配置成两个  $9 \times 9$  乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

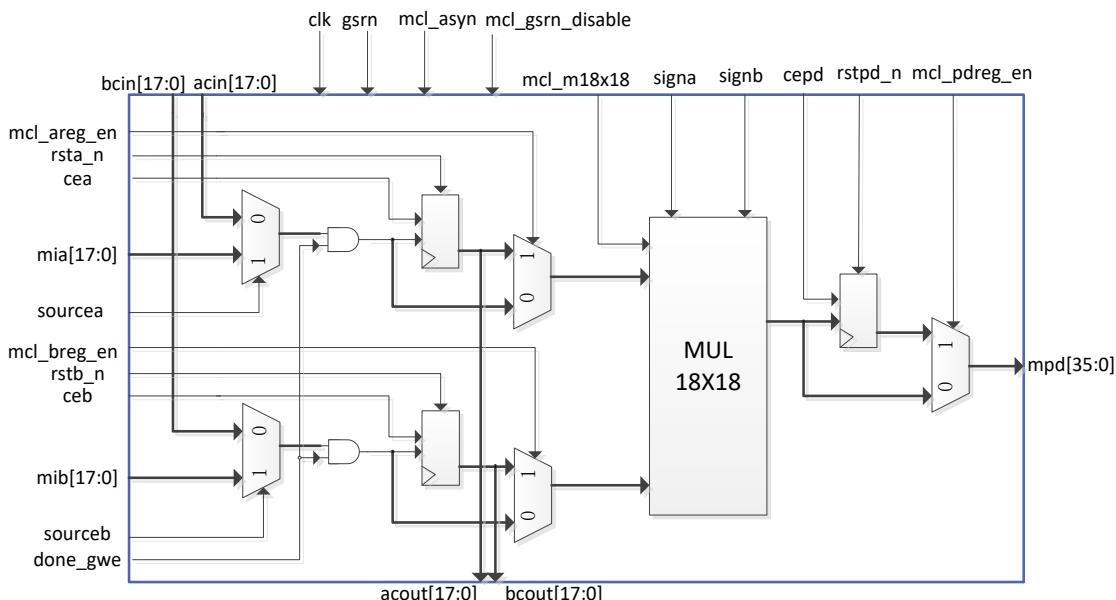


图 2-6-1 乘法器模块的体系结构

#### 1. 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9 bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 `mia` 信号连接到输入寄存器，将 `mib` 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 同步/异步清零



同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

## 2. 乘法器级

嵌入式乘法器模块的乘法器级支持 9x9 或者 18x18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。`signa` 与 `signb` 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 `signa` 信号为高电平，则 `mia` 操作数是一个有符号数值。反之，`mia` 操作数便是一个无符号数值。

下表为乘法器符号表示给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 2-6- 1 乘法器符号表示

mia		mib		乘积
signa	逻辑值	Signb	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 `signa` 信号和一个 `signb` 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9 x9 乘法器，那么这两个乘法器的 `mia` 输入与 `mib` 输入将分别共享同一个 `signa` 信号和同一个 `signb` 信号。可以在运行时动态改变 `signa` 和 `signb` 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 `signa` 以及 `signb`。不管符号表示如何，乘法器都会支持全精度。

## 3. 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。



表 2-6- 2 乘法器端口说明

名称	方向	位宽	描述
mia	输入	18	来自 PIB 的 dsp 操作数输入。具有寄存器输入模式
acin	输入	18	来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式
acout	输出	18	连接到下一级 dsp 的 acin 端口上的级联数据输出
mib	输入	18	来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式
bcin	输入	18	来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式
bcout	输出	18	连接到下一级 dsp 的 bcin 端口上的级联数据输出
cea	输入	1	输入寄存器时钟使能信号。当 cea 为高电平时，输入有效
ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时，输入有效
cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平时，输出有效
clk	输入	1	clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器
rsta_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstb_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstpd_n	输入	1	输出寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin
sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin
mpd	输出	36	dsp 的乘积数据输出

## 2. 6. 2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个  $18 \times 18$  乘法器
- 两个  $9 \times 9$  独立的乘法器

通过使用 ELF2 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，该功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

### 2. 6. 2. 1 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一  $18 \times 18$  乘法器。下图给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

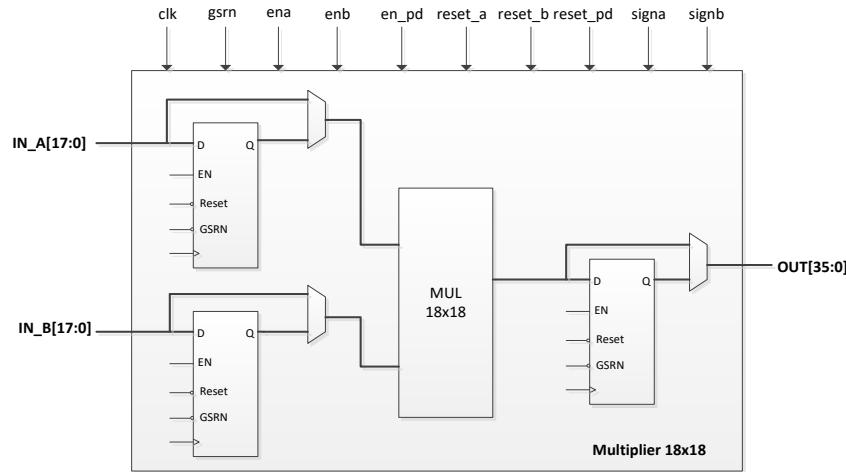


图 2-6- 2 18 位乘法器模式

### 2. 6. 2. 2 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个  $9 \times 9$  乘法器。图 2-6- 3 给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个  $9 \times 9$  乘法器共享同一个 signa 和 signb 信号。因此，用于驱动同一嵌入式乘法器的所有 mia 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 mib 输入数据也必须要有相同的符号表示。

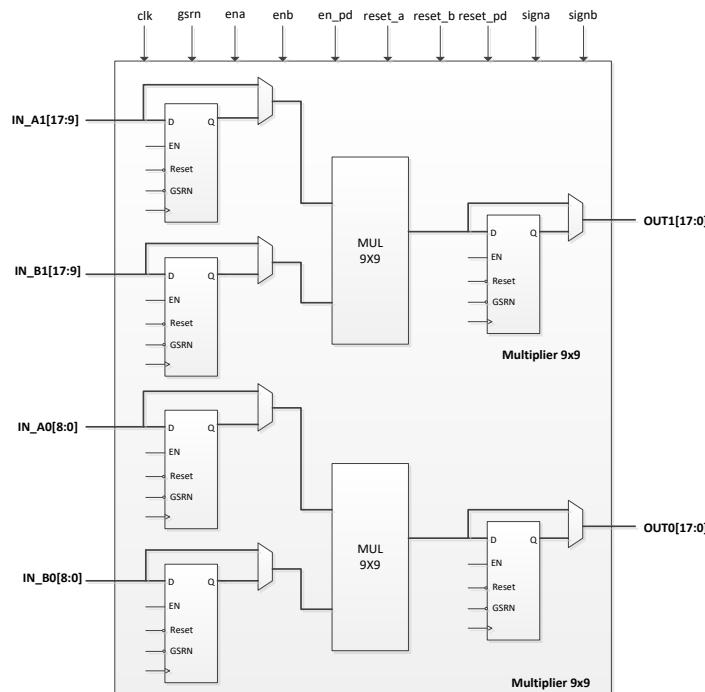


图 2-6- 3 9 位乘法器模式

## 2.7 输入输出逻辑单元 (IOL)

ELF2 器件的 IOL 逻辑支持多种工作模式。本章节主要介绍如何配置 IOL 资源支持多种工作模式。与两种 IOB 类型相匹配，ELF2 器件有两种对应的 IOL 类型，支持的工作模式如下表所示。

表 2-7- 1 IOL 支持工作模式

模式		IOLB 基本型	IOLE 增强型
输入	BYPASS	√	√
	SDR	√	√
	iDDR <sub>x1</sub>	√	√
	iDDR <sub>x2</sub>	-	√
输出	BYPASS	√	√
	SDR	√	√
	oDDR <sub>x1</sub>	√	√
	oDDR <sub>x2</sub>	-	√

注：

1. IOLB 仅支持 iDDR x1 的 pipelined 模式，IOBE 对 iDDR x1 的两种模式都支持。

### 2.7.1 输入寄存器逻辑

输入输出逻辑 (IOL) 中的输入寄存器用来处理高速接口，将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据 (GDDR) 的支持。

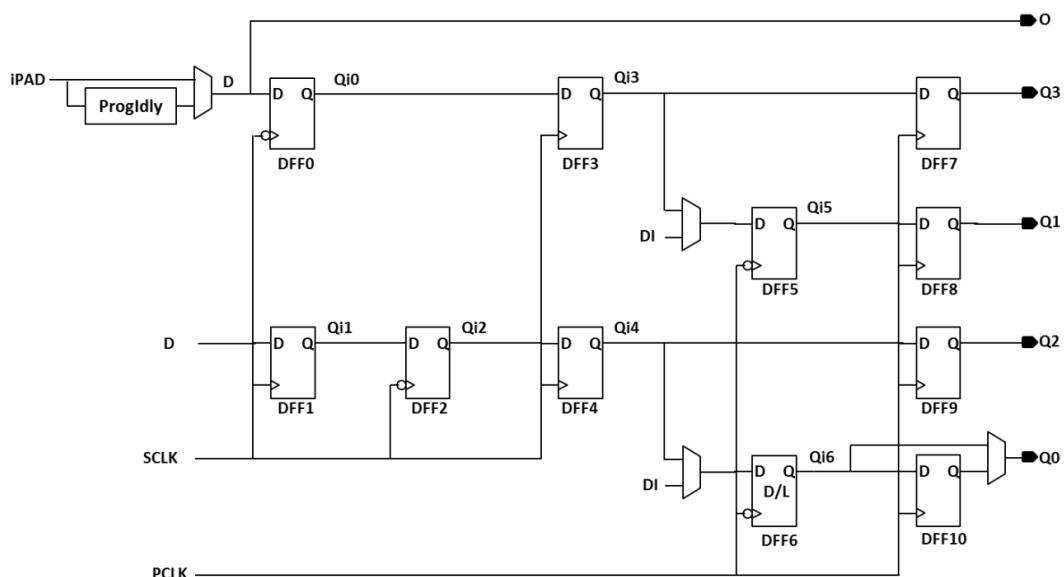


图 2-7- 1 输入寄存器框图

### 2.7.1.1 普通输入模式

普通模式下的 IO 逻辑如下图所示，此模式下信号直接进入 FPGA 内部逻辑。

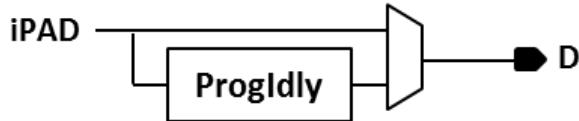


图 2-7- 2 普通输入模式框图

### 2.7.1.2 SDR 输入模式

相比普通模式，如下图所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

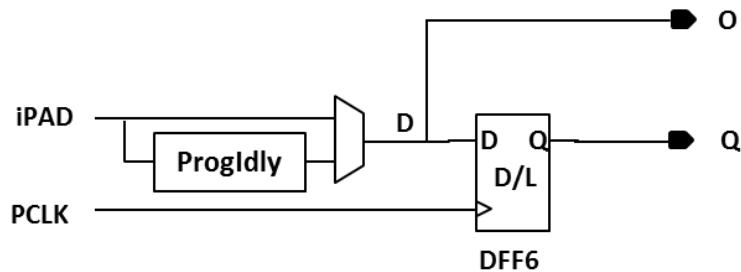


图 2-7- 3 SDR 输入模式框图

### 2.7.1.3 DDR 输入模式

ELF2 器件 IOL 中有专用的寄存器用以支持 iDDR<sub>x1</sub> 和 iDDR<sub>x2</sub> 模式。需要注意的是 IOLB 不支持 iDDR<sub>x2</sub> 模式的，其中 IOLB 仅支持 iDDR x1 的 pipelined 模式，IOBE 对 iDDR x1 的两种模式都支持。

#### ■ iDDR<sub>x1</sub> 同沿输入模式

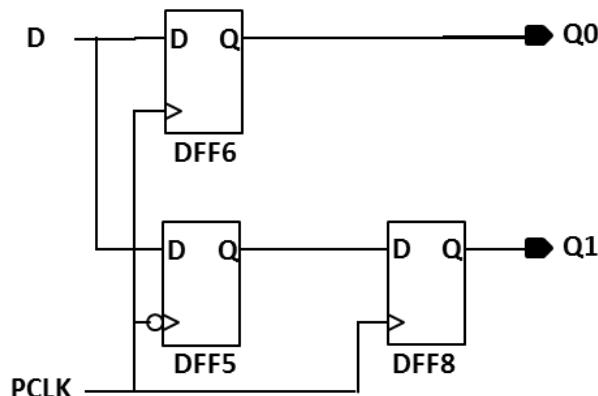


图 2-7- 4 iGDDR 同沿输入模式框图

在 iDDR<sub>x</sub>1 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如下图所示。

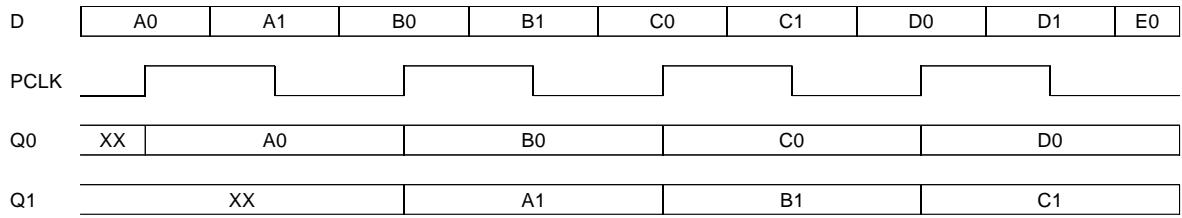


图 2-7- 5 iGDDR 同沿输入模式

#### ■ iDDR<sub>x</sub>1 同沿 Pipelined 输入模式

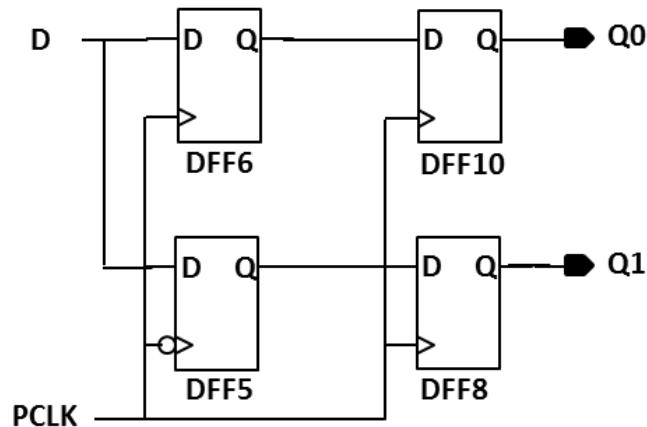


图 2-7- 6 iGDDR 同沿 Pipelined 输入模式框图

在 iDDR<sub>x</sub>1 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如上图所示。时序如下图所示。

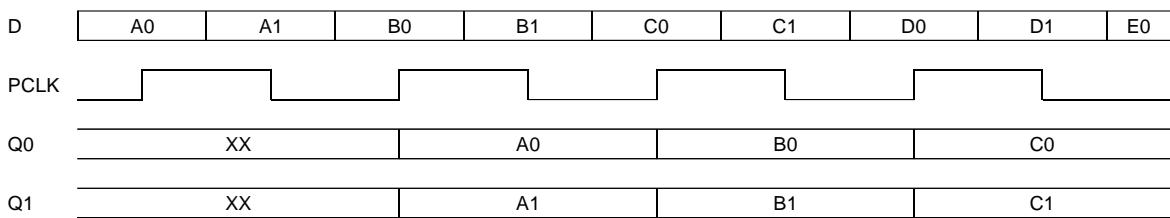


图 2-7- 7 iGDDR 同沿 Pipelined 输入模式

#### ■ iDDR<sub>x</sub>2 输入模式

iDDR<sub>x</sub>2 模式下，可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

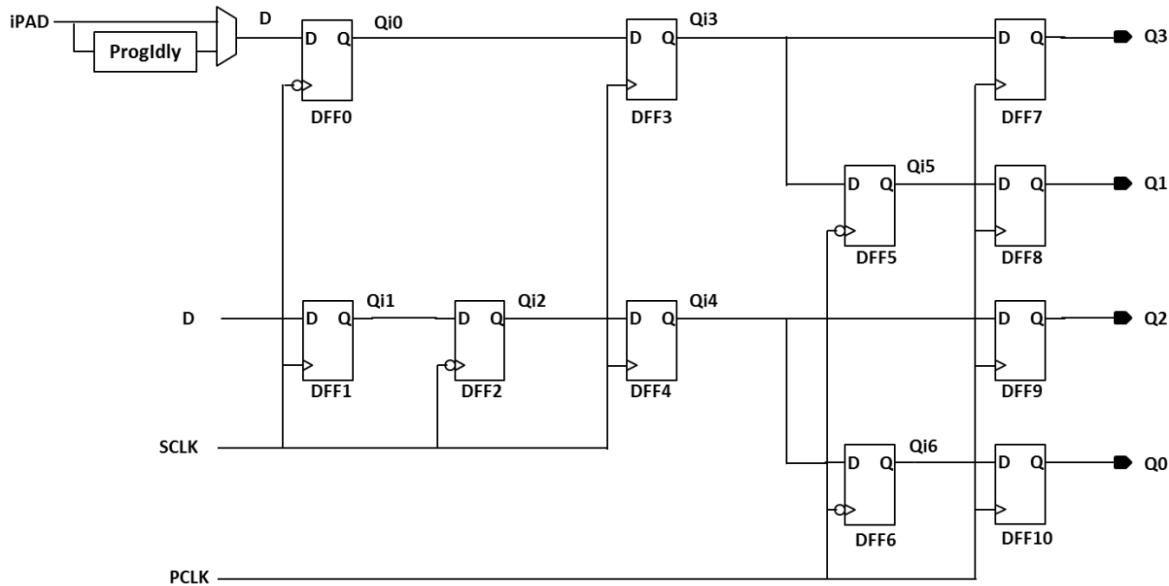


图 2-7-8 iDDRx2 输入模式

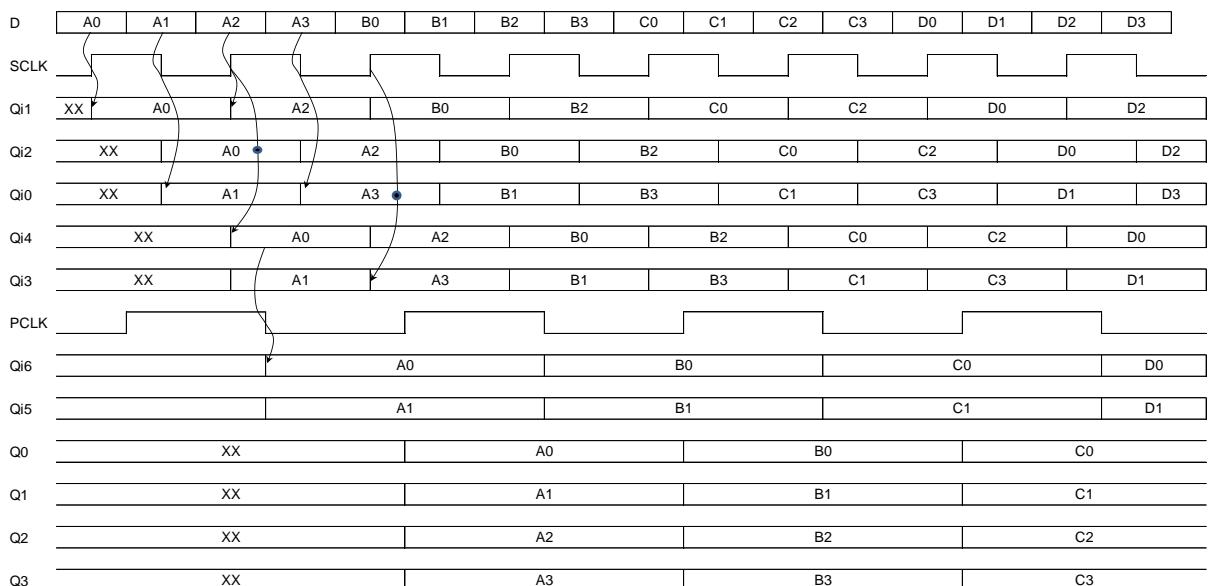


图 2-7-9 iDDRx2 输入模式时序

#### 2.7.1.4 输入延时单元

每一个 IOL 逻辑单元内都包含一个可编程输入延时单元，加强对源同步功能的支持。支持静态控制延迟的方式。IOLB 和 IOLE 支持的可调范围如下表所示。

表 2-7-2 输入延时调整范围

IOL 类型	可调整 Step	平均步进精度	最大延时
IOLB	8	50ps	0.7ns
IOLE	32	35ps	1.2ns

## 2.7.2 输出寄存器逻辑

输入输出逻辑 (IOL) 中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。下图给出了输出寄存器框图。

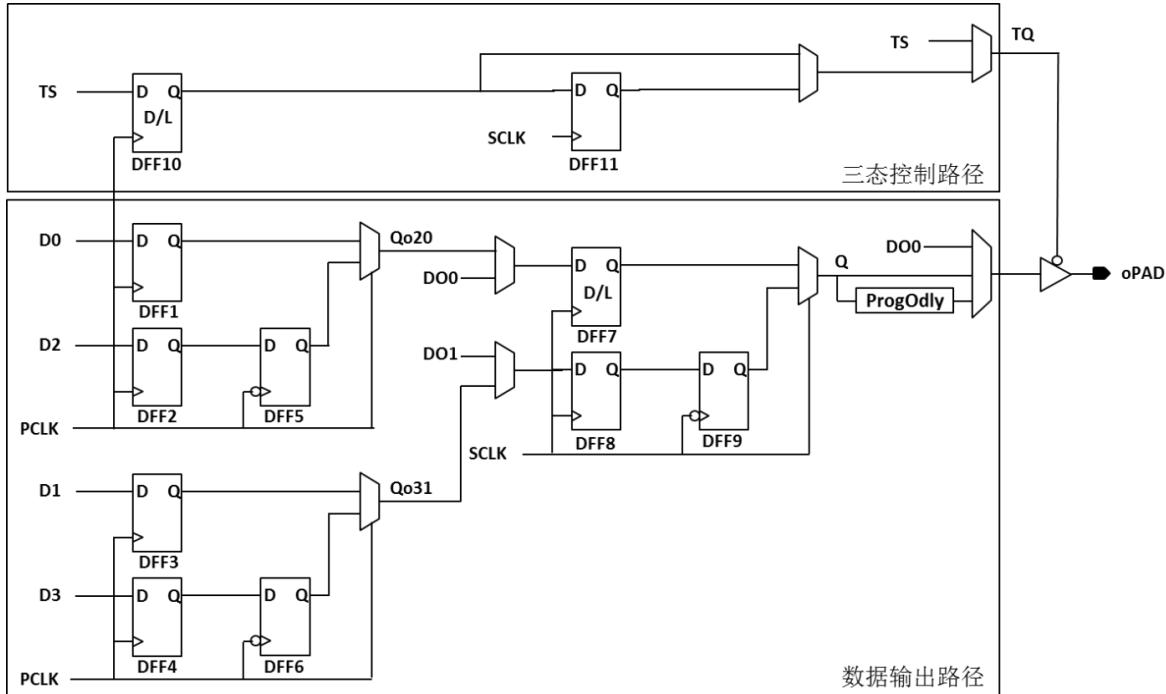


图 2-7- 10 输出寄存器框图

### 2.7.2.1 普通输出模式

普通输出模式下的 IO 逻辑如下图所示，此模式下信号直接从 FPGA 内部逻辑输出到 PAD。

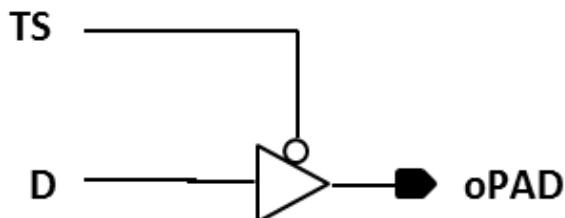


图 2-7- 11 普通输出模式框图

### 2.7.2.2 SDR 输出模式

相比普通模式，如下图所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

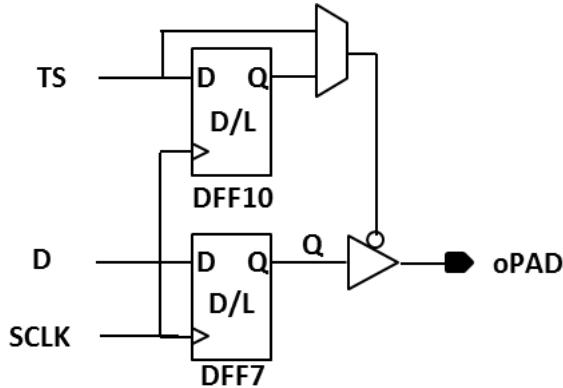
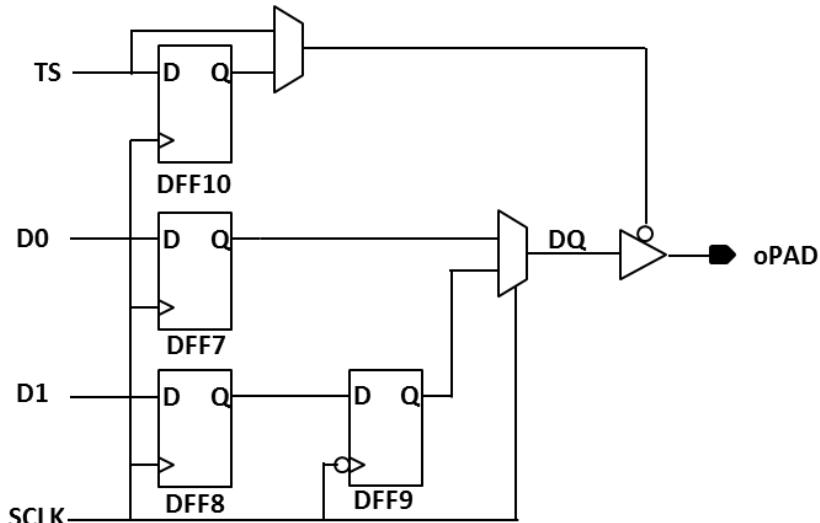


图 2-7- 12 SDR 输出模式框图

### 2.7.2.3 DDR 输出模式

ELF2 器件 IOL 中有专用的寄存器用以支持 oDDR<sub>x1</sub> 和 oDDR<sub>x2</sub> 模式。

#### ■ oDDR<sub>x1</sub> 输出模式

图 2-7- 13 oDDR<sub>x1</sub> 输出模式框图

在 oDDR<sub>x1</sub> 模式，数据 D00 和 D01 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 oPAD，时序如下图所示。

D0	XX	A0	B0	C0	D0				
D1	XX	A1	B1	C1	D1				
SCLK									
Q	XX	A0	A1	B0	B1	C0	C1	D0	D1

图 2-7- 14 oGDDR 输出模式

## ■ oDDRx2 输出模式

oDDRx2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发，实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

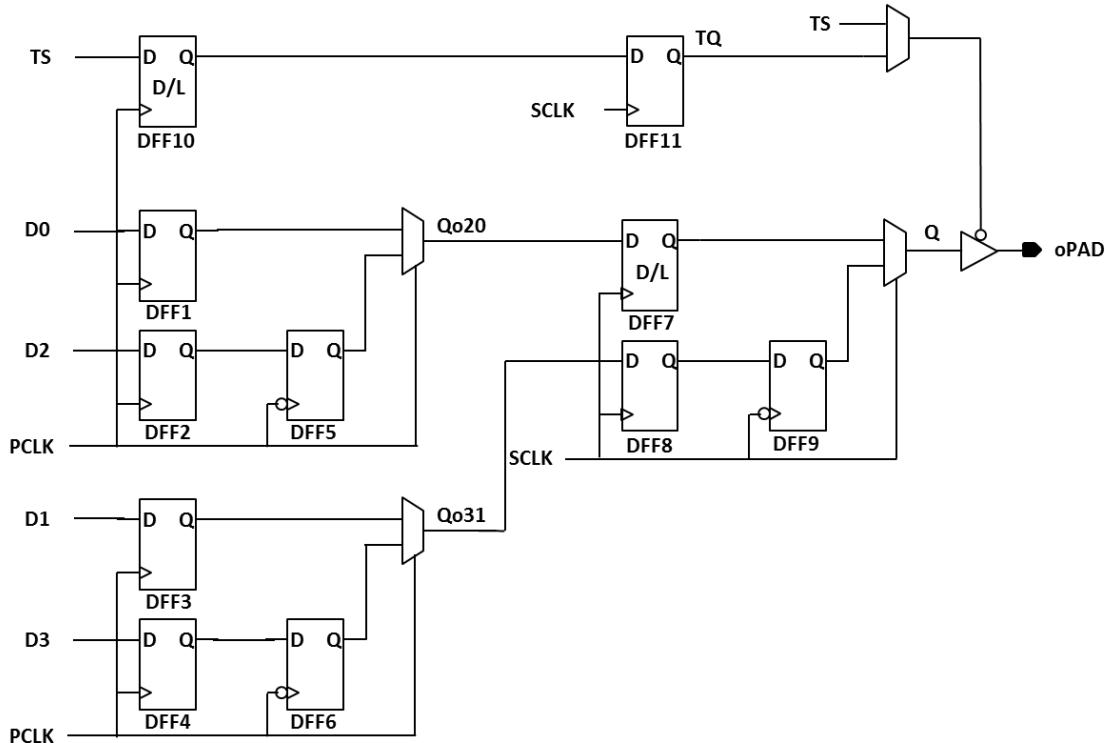


图 2-7- 15 oDDRx2 输出模式

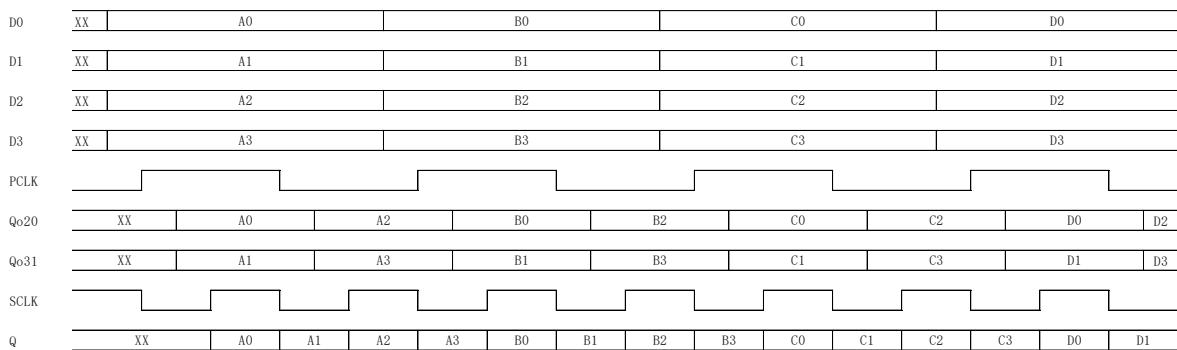


图 2-7- 16 oDDRx2 输出模式时序

## ■ oDDRx2L 输出模式

与 oDDRx2 相比，oDDRx2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDRx2 模式晚一个 SCLK 时钟周期。

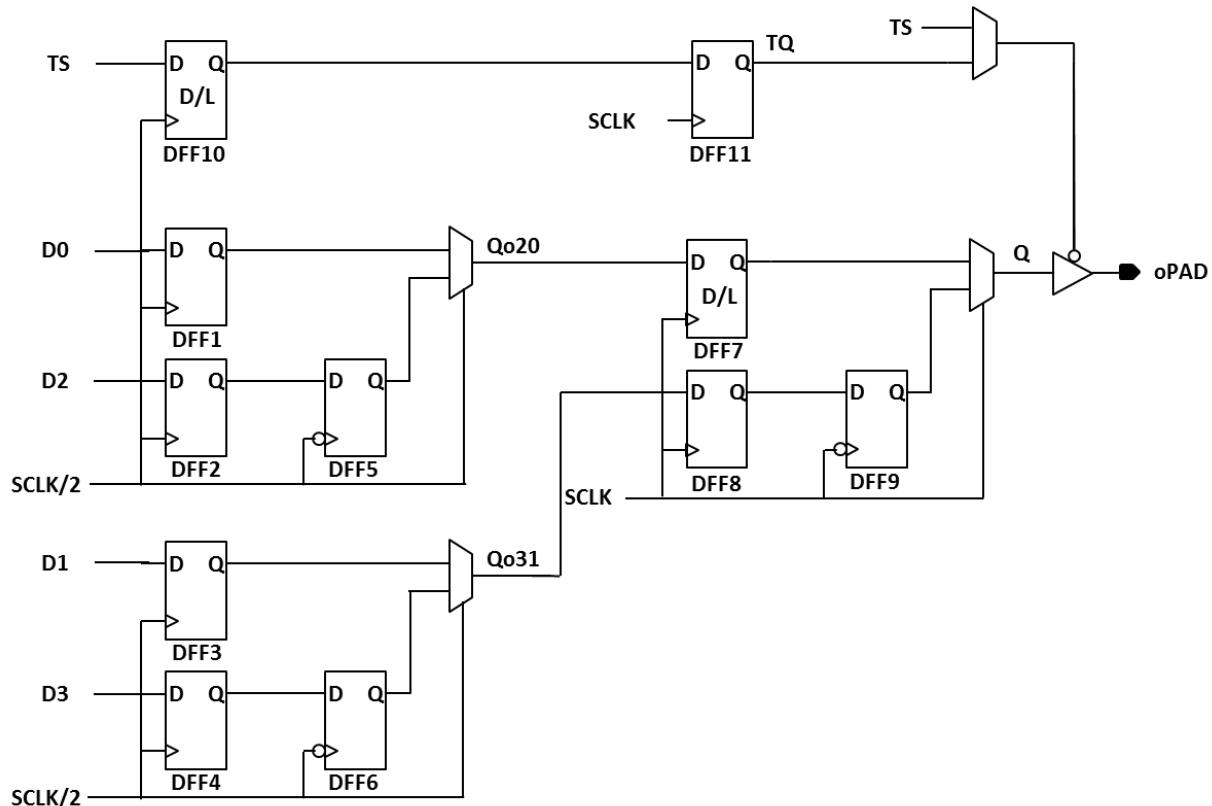


图 2-7-17 oDDRx2L 输出模式

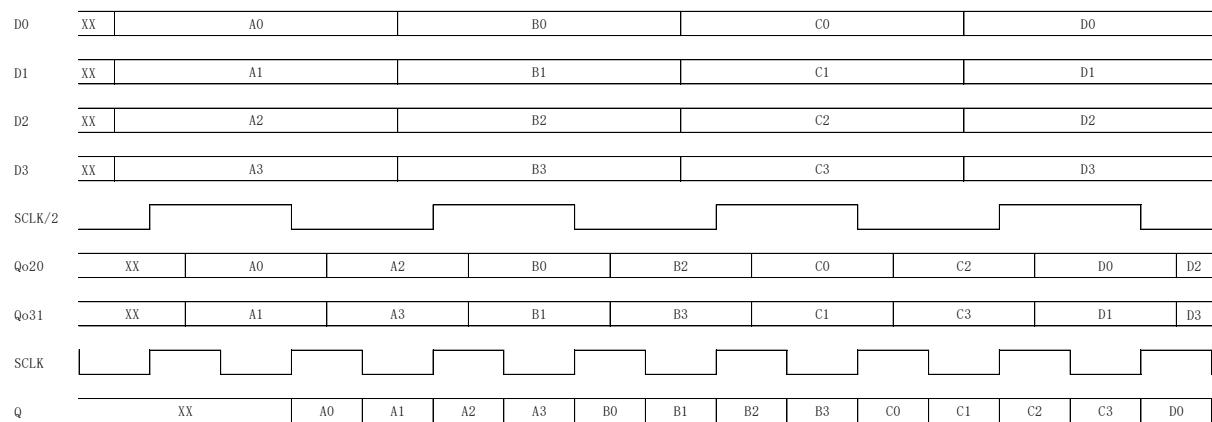


图 2-7-18 oDDRx2L 输出模式时序

#### 2.7.2.4 输出延时单元

每一个 IOLE 逻辑单元内都包含一个可编程输出延时单元，总共支持 4 级调节，每级延时 100ps。支持静态控制延迟的方式。



## 2.8 输入输出缓冲器 (IOB)

### 2.8.1 IOB 简介

ELF2 有两种类型 I/O：基本型 IOBB 和增强型 IOBE。ELF2 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和斜率的可编程控制。

每个 IOBE 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。差分 I/O 使用在一个模块中的两个 IOBE。

IOBE 支持电平标准：

- 单端 I/O 标准 (LVCMOS、LVTTL、PCI)
- 差分 I/O 标准 (LVDS、LVPECL)

IOBE 支持上述电平标准的同时，IOBE 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

IOBB 支持电平标准：

- 单端 I/O 标准 (LVCMOS)
- 差分 I/O 标准 (LVDS 输入、LVPECL 输入)

IOBB 支持以下配置项：

- 弱上拉/下拉电阻选择配置
- Bus Hold 功能使能

需要注意的是：

1. IOBB 管脚的驱动电流是不可调的，IOBE 管脚的驱动电流是可调的。
2. EF2L45BG256 器件差分对 IO (M15/ M14、N16 /N14、P15 /R16、N15 /P16、R9 /T10) 作为单端 I/O 避免输入输出混用，非差分组合 N14/N15、N16/R16 之间避免输入输出混用；差分对作为单端时钟输出时，建议差分极性的另一端通过电阻下拉到地进行屏蔽。

表 2-8- 1 ELF2 支持电气标准

IO Type	IOBB	IOBE
IO Buffer Type	Single Ended	Single Ended and Differential
Output Standards Supported	LVTTL33	LVTTL33
	LVCMOS33	LVCMOS33
	LVCMOS25	LVCMOS25
	LVCMOS18	LVCMOS18
	LVCMOS15	LVCMOS15
	LVCMOS12	LVCMOS12
	-	PCI33
Inputs	All Single Ended and True Differential	All Single Ended and True Differential
Clock Inputs	All Single Ended	All Single Ended
	True Differential	True Differential
True LVDS Outputs	-	LVDS25 LVDS33
Emulated LVDS Outputs	LVDS25_E	LVDS25_E
	LVDS33_E	LVDS33_E
	LVPECL33_E	LVPECL33_E
Rdiff 100	-	Yes
PCI Clamp	-	Yes

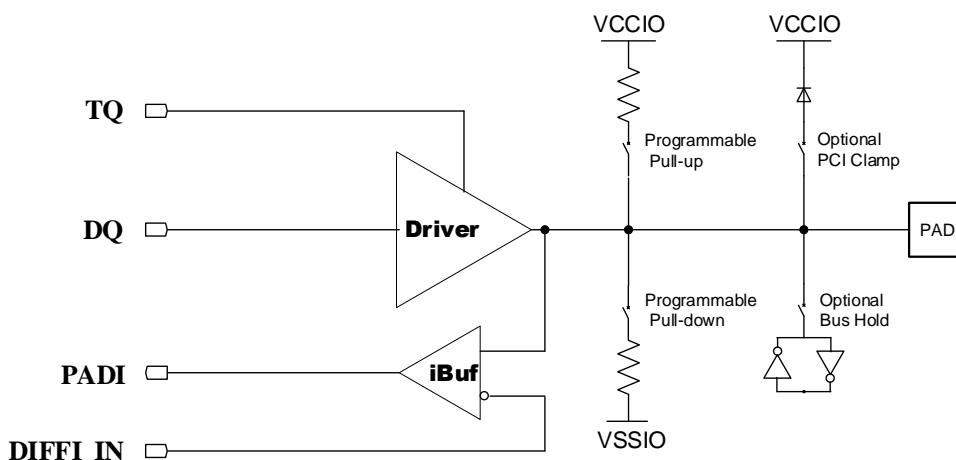


图 2-8- 1 基本 IOBE 框图

各 IOBE 直接连接 IOLE 组成输入输出逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和



IOBE 的三态控制。

IOBB 的框图和 IOBE 基本一致，区别在于 IOBB 没有可选的 PCI Clamp。

## 2.8.2 高速 LVDS 接口

ELF2 系列器件支持的差分标准如下表所示。

表 2-8-2 ELF2 支持的差分标准

差分标准	I/O Type	接收		发送	
		支持	内部电阻	支持	外部电阻
LVDS	IOBE	YES	YES	YES	不需要
	IOBB	YES	No	YES	3R 电阻
LVPECL	IOBE	YES	YES/不要使用	YES	需要
	IOBB	YES	NO	YES	需要

其中芯片的 IOBE 管脚对可以作为真差分对使用，内部带有 100 欧姆电阻，用户可根据实际需求选择打开或者关闭该电阻。IOBB 管脚对内不存在 100 欧姆电阻，使用时需要外部加 100 欧姆电阻。

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入。最大输入频率 400 MHz (800Mbps)，需要注意的是 LVDS 内部的 100 欧姆电阻是可以关闭的，使用外部电阻替代的。

作为输出时，True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准，无需外部匹配电阻，如图 2-8-2 所示。

Emulated LVDS 作为输出时采用 LVDS25E 标准，最大输出频率 166MHz，且要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如图 2-8-3 所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

下表给出了 Emulated LVDS 推荐电阻值。

表 2-8-3 Emulated LVDS 推荐电阻值

电 阻 (欧姆)		信号幅值 (毫伏)	
R <sub>s</sub>	R <sub>p</sub>	LVDS25_E	LVDSE33_E
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

注：

- 数据基于驱动能力设定为 8mA，接收器的 100 欧端接电阻可以是片上电阻也可以是片外电阻。当接收端信号幅值大于 500mV 时必须采用片外电阻。芯片内阻为 20Ω。



图 2-8- 2 True LVDS 输出

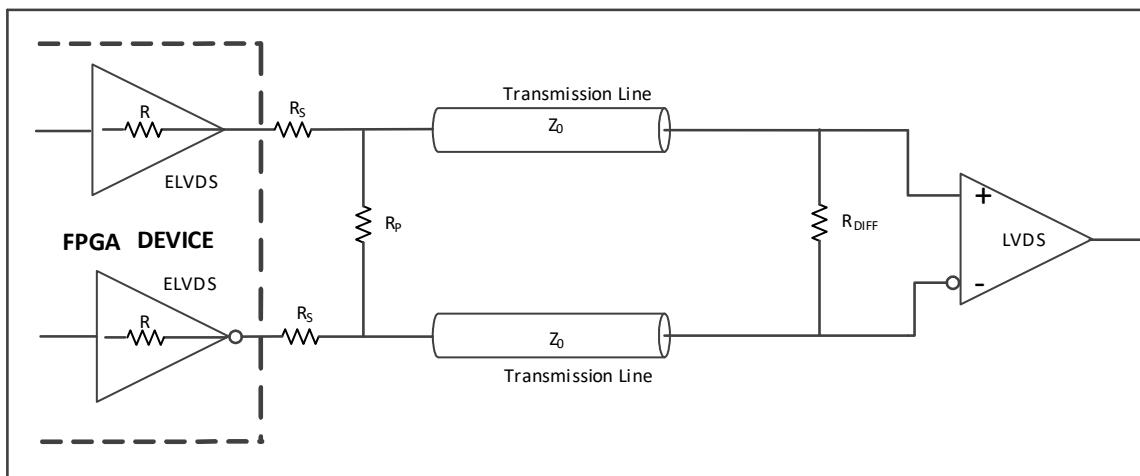


图 2-8- 3 Emulated LVDS 输出 3R 电阻网络

### 2.8.3 LVPECL

ELF2 系列 FPGA 的 I/O 支持 LVPECL 输入。对于 ELF2 系列 FPGA，接收 LVPECL 输入信号时需要外接偏置电路来调节差分信号的共模电压，保证 LVDS 能够正常接收。不同  $V_{CCIO}$  电压对应的偏置电阻值不同。如表 2-8- 4 为 LVPECL 推荐的交流耦合电路示意图。通常 LVPECL 外部器件发送的差分信号比较大，还需要在板级做相应的信号衰减。图中  $R_{series}$  用于调节接收端信号幅度。根据 LVPECL 发送端信号幅度进行选择，建议在 30~50 欧姆之间选取。 $R$  为直流偏置电阻，建议在 140~150 欧姆之间选取。 $R_{DIFF}$  为端接电阻，可以选择内部 100Ω 或者板级 100Ω。表 2-8- 4 为不同电压下 LVPECL 作为输入时偏置电阻设置。

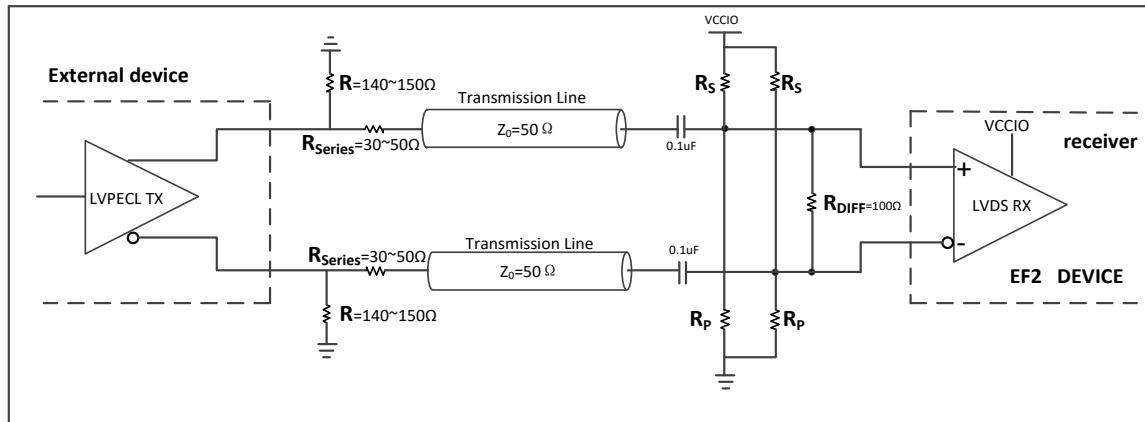


图 2-8-4 LVPECL 推荐的交流耦合电路

表 2-8-4 LVPECL 推荐电阻值

V <sub>CCIO</sub> (V)	电 阻 (欧姆)	
	R <sub>s</sub>	R <sub>p</sub>
3.3	6.5k	4.1k
2.5	5k	5k
1.8	4.5k	9k

对于 ELF2 系列 FPGA I/O 只支持 LVPECL\_E 输出。当 LVPECL\_E 作为输出时，需要外接 3R 电阻网络对输出电压摆幅进行衰减以满足差分标准。如下图所示为 LVPECL\_E 输出 3R 电阻网络电路示意。表 2-8-5 给出了 LVPECL\_E 推荐电阻值和信号幅值。

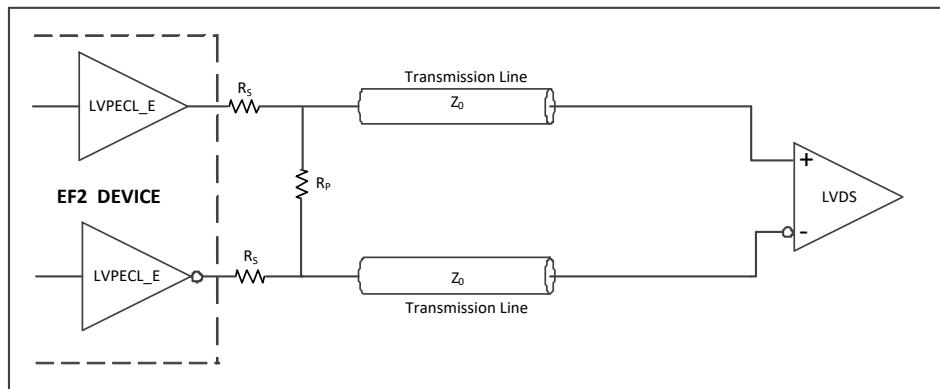


图 2-8-5 LVPECL\_E 输出 3R 电阻网络

表 2-8-5 LVPECL\_E 推荐电阻值

电 阻 (欧姆)		信号幅值 (mV)  V <sub>op</sub> -V <sub>on</sub>
R <sub>s</sub>	R <sub>p</sub>	LVPECL_E
93	196	800
115	160	460

## 2.8.4 兼容 5V 输入

ELF2 有两种类型 I/O：基本型和增强型。

基本型 IOBB 支持 5V 输入，不能打开 OverDriven。器件上电过程中，不支持 5V 输入，VI 最大值为 3.6V；在 3.3V 供电情况下，器件上电完成后，IOBB 可支持 5V 输入；器件下电后，IOBB 不支持 5V 输入。

增强型 IOBE 可以工作在 1.2~3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号通过增强型 IOBE 驱动到 ELF2 器件的输入，需要外部串接电阻，同时在软件中打开 ELF2 I/O 内部的 PCI 箍位二极管把输入端口接收到的电压降到器件安全范围内，如下图所示。

电阻 R 值依赖于 PCI 箍位二极管的电流特性，二极管的电压电流特性如表 2-8- 6 所示。

IOStandard	DriveStrength	PullType	PreEmphasis	DiffrDyn	SlewRate	DiffResistor	PCI.Clamp	PackReg	OverDriven	InDelay
1 LVCMOS25(d... NA PULLUP NA NA NA NA ON AUTO NA NONE N										
2 LVCMOS25(d... 8 NONE NA NA SLOW NA ON AUTO NA NA N										

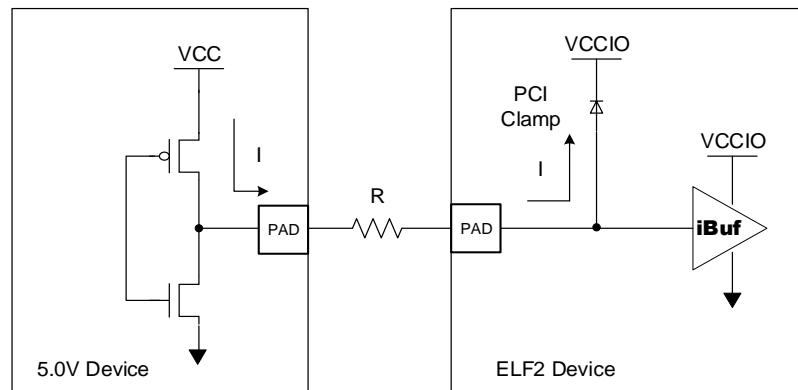


图 2-8- 6 5V 输入驱动 ELF2 器件

表 2-8- 6 PCI 箍位二极管的电流特性

V <sub>D</sub> (V)	I <sub>max</sub>	Unit
0.0	0.92	uA
0.1	9.2	uA
0.2	20	uA
0.3	30.4	uA
0.4	43.3	uA
0.5	76.5	uA
0.6	0.15	mA
0.7	0.36	mA
0.8	2.85	mA



V <sub>D</sub> (V)	I <sub>max</sub>	Unit
0.9	9.42	mA

为支持 5V 输入，建议 VCCIO 电压工作在 2.5~3.0V 范围，否则 I<sub>O</sub> 电压会超过安全电压，长期使用会降低器件寿命。设计完成后，应确认电路板 PAD 上的电压不超过 3.75V。且 5V 信号不能在进入用户模式前接入，否则要外接二极管。

I<sub>OBE</sub> I/O 器件最大容限绝对电压为 V<sub>IMAX</sub>，VCCIO=3.3V 时，V<sub>IMAX</sub>=3.75V；VCCIO≤2.5V 时，V<sub>IMAX</sub>=VCCIO+0.9。箝位二极管允许最大电流为 10mA。

设置 VCCIO=2.5V，取分压后 I<sub>O</sub> 输入端接收到的电压 V<sub>I</sub>=3.3V，则二极管上的压降为 V<sub>DIO</sub> = V<sub>I</sub> - VCCIO = 3.3 - 2.5 = 0.8V。I<sub>DIO</sub> @0.8V = 2.85mA，R = (5 - 3.3)V/2.85 mA = 596Ω。

在输入端箝位通路分别串接不同阻值电阻，在 ELF2 接收端测量波形如图 2-8-7，图 2-8-8 所示。

串接电阻 R=330 Ω，上升时间为 7.8ns，下降时间为 12ns，如下图所示。

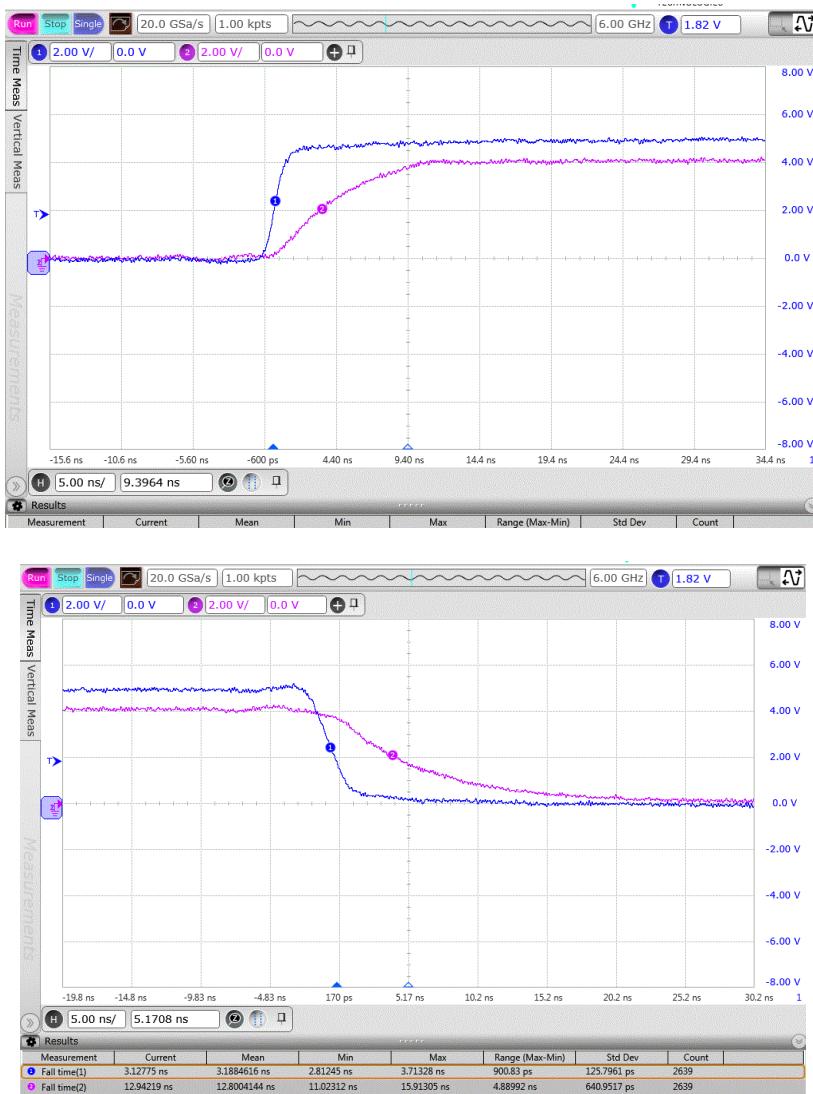


图 2-8-7 5V 输入驱动 ELF2 器件接收端波形 @R=330 Ω



串接电阻  $R=600 \Omega$ , 上升时间为 12ns, 下降时间为 21ns, 如下图所示。

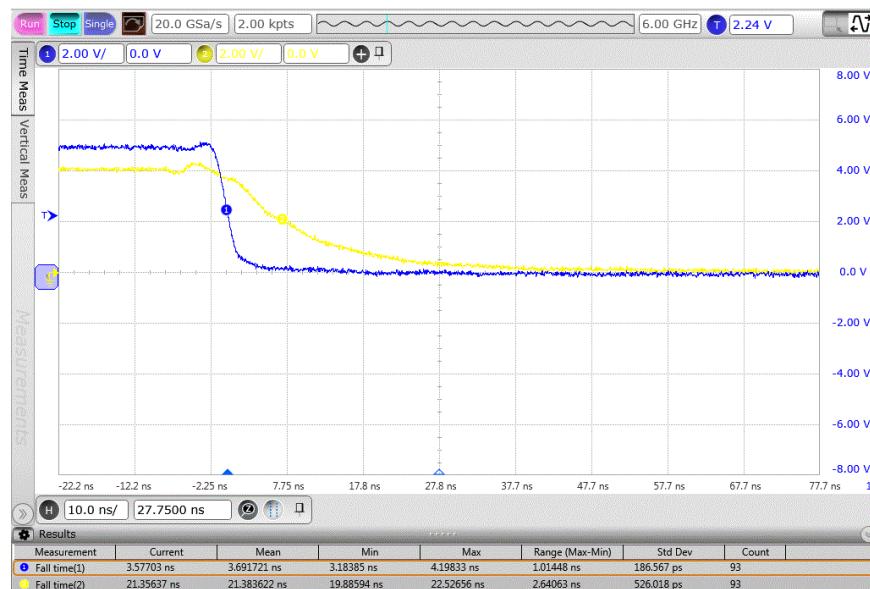
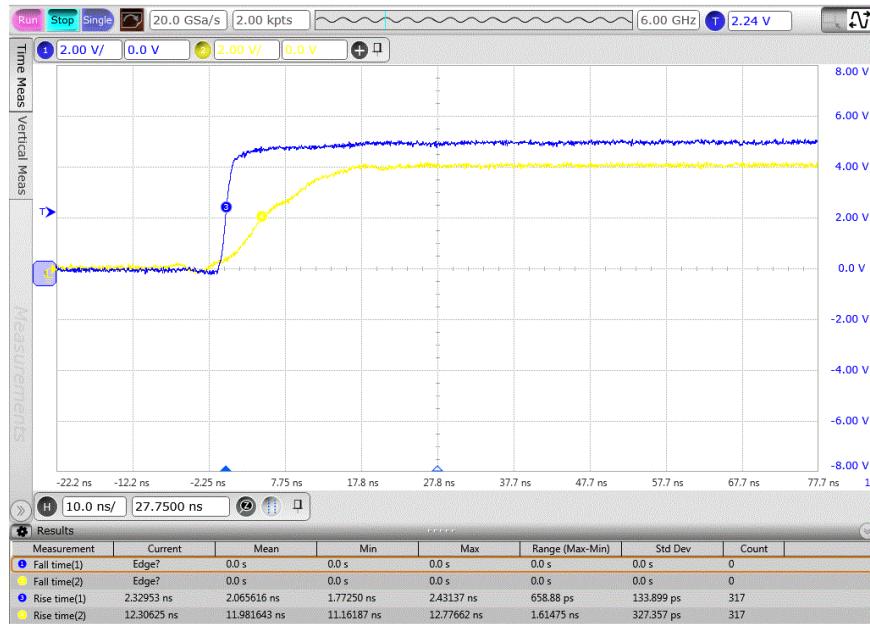


图 2-8- 8 5V 输入驱动 ELF2 器件上升/下降沿 @ $R=600 \Omega$



## 2.9 ELF2 FPGA 配置说明

ELF2 FPGA 内置 4Mbit spi flash。配置是通过往芯片内部装载配置数据来实现，支持内部和外部下载。ELF2 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，TD 软件提供复用引脚的配置功能，在配置完成之后可以用做一般输入输出。

### 2.9.1 配置模式

ELF2 支持 5 种配置方式，分别是从动串行，从动并行，主动并行，内部 SPI 模式和 JTAG 配置模式。其中从动串行、从动并行和 JTAG 是外部下载模式，内部 SPI 模式是内部下载模式。内部 SPI 模式支持 x1, x2, x4 位宽。配置模式由内部 FLASH 初始地址的 Feature 值决定，默认为内部 SPI 模式 x1。具体选择关系见表 2-9-1。

ELF2 系列 FPGA 配置位流最大~2M bits，长度与 ESRAM 初始化数据长度相关。

#### 2.9.1.1 ELF2 配置模式

表 2-9-1 ELF2 配置模式及引脚

配置									
配置引脚名	类型	SS	SP	MP	MSPI		JTAG		
		从动串行	从动并行	主动并行	内部 SPI		JTAG		
		Slave Serial	Slave Parallel	Master Parallel	X1	X2	X4		
PROGRAMN	复用 IO	PROGRAMN			-				
INITN	复用 IO	INITN			-				
DONE	复用 IO	DONE			-				
SCLK	复用 IO	SCLK		-		-			
CSN	复用 IO	-	CSN	-		-			
TMS TCK	复用 IO						TMS TCK		
TDI TDO							TDI TDO		
JTGEN							JTGEN		
D[7:2]	复用 IO	-	D[7:2]	D[7:2]	-		-		
D[1]	复用 IO	-	D[1]	D[1]	-		-		
D[0]/DIN	复用 IO	DIN	D[0]	D[0]	-		-		

下面是 ELF2 复用配置引脚：

- 配置时钟引脚 (SCLK)
- 配置开始信号引脚 (PROGRAMN)
- 配置完成引脚 (DONE)



- 配置错误指示引脚（**INITN**）
- 模式配置片选引脚（**CSN**）
- 配置级联数据输出脚（**DOUT**）
- 边界扫描相关引脚（**TDI**, **TDO**, **TMS**, **TCK**, **JTAGEN**）
- 配置数据输入引脚（**D[7:0]**），**D[0]**可以作为从模式下的 **DIN**

**DONE/INITN** 是带内部弱上拉的开漏输出。

**PROGRAMN/INITN/DONE** 等引脚复用为 **USER I/O** 时可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。

加载相关时钟信号包括 **JTAG** 加载的 **TCK**，从串、从并加载的 **SCLK** 等，要求这些信号边沿单调无回沟，建议在时钟源端串接一个  $33\Omega$  电阻，用于调整阻抗匹配，提高信号质量。

## 2.9.2 配置流程

**ELF2 FPGA** 芯片的整个配置过程可以分三个部分。首先，在芯片上电复位或者系统复位信号有效后进入复位，等待内部信号和电源稳定后，系统进入初始化阶段，装载 **Feature** 寄存器值，内部配置信息清除，初始化完成后，**FPGA** 开始接受配置数据写入，写入完成后，**FPGA** 芯片启动阶段，如图 2-9-1 所示。

### 1. 上电初始化过程

**ELF2 FPGA** 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，用户如果需要重新对配置数据下载，拉低 **PROGRAMN** 后，系统进入初始化过程，初始化过程中，**FPGA** 装载 **feature** 寄存器，然后将清除内部所有配置点，复位内部寄存器。

### 2. 配置数据写入

**ELF2 FPGA** 初始化完成后，**INITN** 信号变为高电平，此时用户配置数据可以写入 **ELF2 FPGA**。

**INITN** 信号变为高的时候，**FPGA** 根据 **Feature** 寄存器内容确定配置模式。**JTAG** 可以在任何模式中进入。

配置过程中，**INITN** 信号变低表示配置出错，出错后可以选择重新加载。

### 3. 启动阶段

**ELF2 FPGA** 完成所有配置点和块 **RAM** 的数据写入之后，进入启动过程。**ELF2 FPGA** 启动主要完成以下功能：

a) 释放 **DONE** 信号。**DONE** 信号从低电平变为高电平表示 **ELF2 FPGA** 顺利完成数据配置，反之则表示没有顺利完成配置。

- b) 释放全局三态信号 GTS，全局三态信号 GTS 的释放，能够释放所有 I/O 管脚。
- c) 释放全局复位/置位信号 GSR，允许所有的触发器改变状态。
- d) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

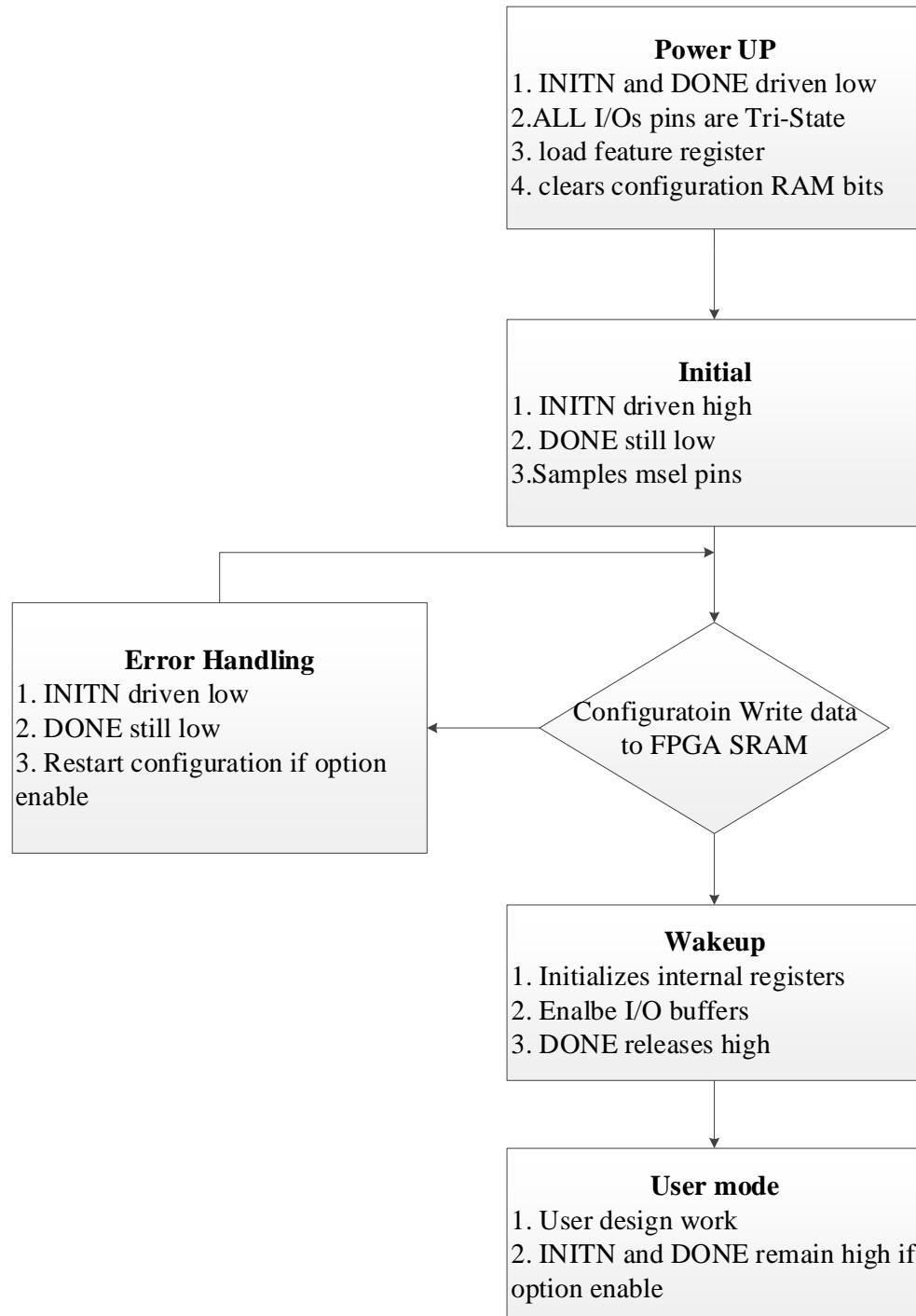


图 2-9- 1 ELF2 MSPI 配置流程

### 2.9.3 MSPI 配置模式

在 MSPI 模式下，ELF2 通过内部 Flash 进行配置。该模式下配置时钟由内部振荡器产生，用户能够选择下载频率范围。芯片上电时设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改频率，频率范围从 2.5MHz~24MHz。MSPI 支持 x1, x2, x4 位宽模式，可通过 Feature 寄存器设定。

内部 FLASH 数据写入可以使用安路 FPGA 下载器通过 JTAG 在线写入，批量生产时也可通过安路离线下载器写入。

下图为 ELF2 MSPI 配置方式连接图，PROGRAMN 信号控制复位 ELF2 FPGA 配置，其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号，DONE 信号变高，表示配置成功，芯片开始工作。

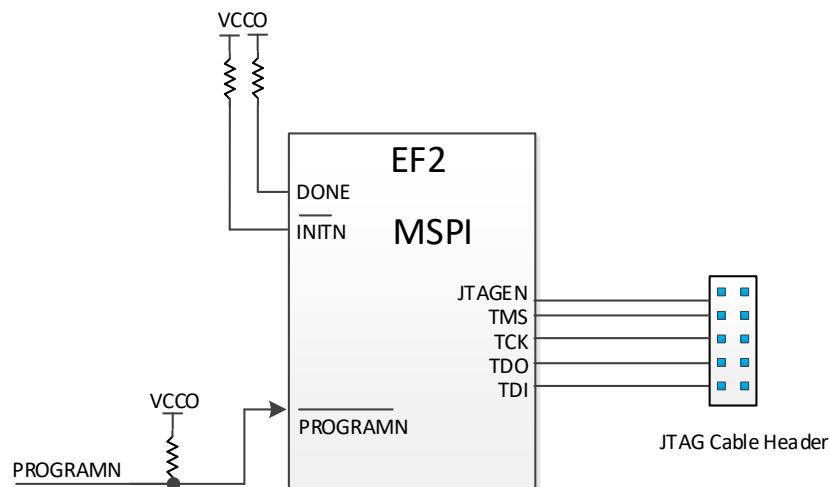


图 2-9- 2 ELF2 MSPI 配置方式

### 2.9.4 从动串行配置模式

从动串行（SS）模式下，FPGA 可以通过 MCU 进行加载。TD 软件可以生成 bin 文件用于 MCU 加载。

MCU 通过 SCLK、DIN 信号使用串行方式将数据写入 FPGA。ELF2 FPGA 芯片在每个 SCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成，如果配置出错，会将 INITN 信号拉低

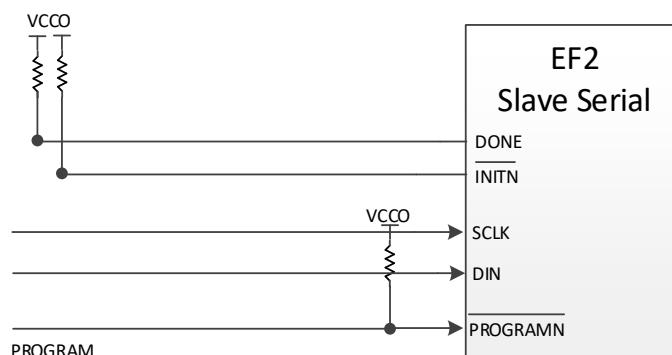


图 2-9- 3 ELF2 串行配置方式

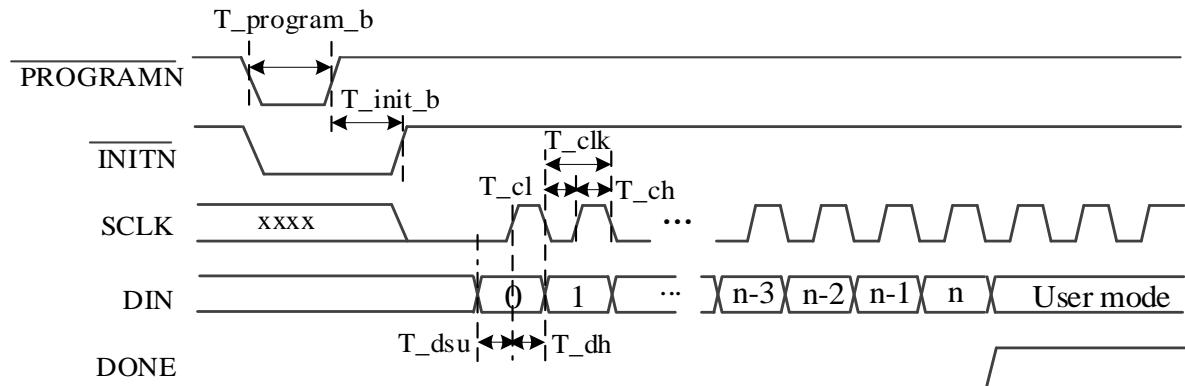


图 2-9-4 ELF2 串行配置模式时序图

表 2-9-2 从动串行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width		10	ms
T_clk	SCLK period	33	-	ns
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

## 2.9.5 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行通过 8 位并行数据写入能够达到较快的配置速度。

如下图所示，其中多个 CSN 信号可以选择多个配置芯片。

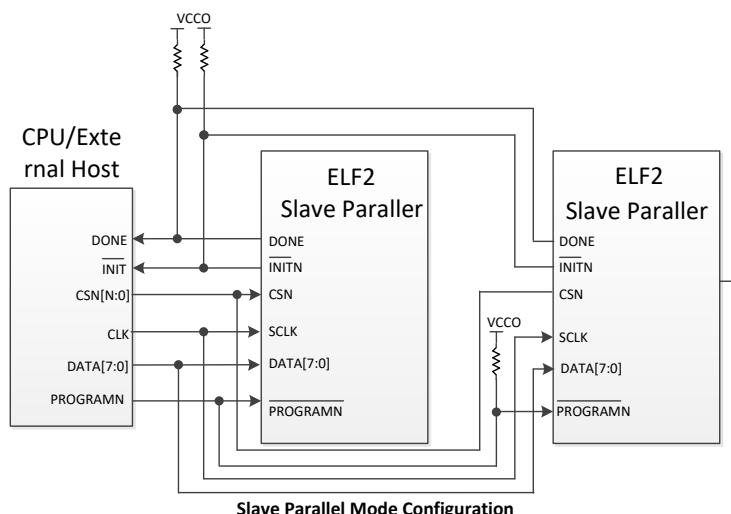


图 2-9-5 从动并行配置方式

从动并行配置模式时序如下图所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSN 有效时，在时钟的上升沿配置数据写入。同样，配置完成后，DONE 信号会变高。

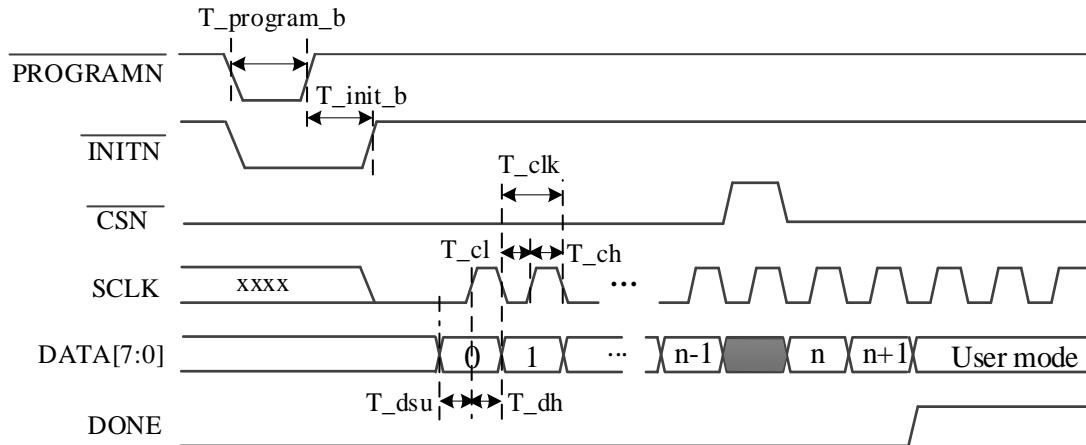


图 2-9-6 ELF2 从动并行配置时序图

表 2-9-3 从动并行时序规格表

符号	参数	最小	最大	单位
$T_{program\_b}$	PROGRAM_B low pulse width	1	-	us
$T_{init\_b}$	INIT_B low pulse width	-	10	ms
$T_{clk}$	SCLK period	33	-	ns
$T_{ch}$	SCLK high time	15.5	-	ns
$T_{cl}$	SCLK low time	15.5	-	ns
$T_{dsu}$	Data setup time	16.5	-	ns
$T_{dh}$	Data hold time	6	-	ns

## 2.9.6 主动并行配置模式

主动并行配置和从动并行配置类似，差别在于 SCLK 时钟由 FPGA 提供。

## 2.9.7 JTAG 配置模式

ELF2 FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过配置引脚 (TDI, TDO, TMS, TCK, JTAGEN) 进行的。在 INITN 信号变高后，JTAG 可以通过指令中断其他模式，进入 JTAG 配置模式。

TDI, TDO, TMS, TCK, JTAGEN 为复用 IO。当 TDI, TDO, TMS, TCK 配置为专用 IO 时，JTAGEN 可配置成用户 IO。当 TDI, TDO, TMS, TCK 配置成用户 IO 时，JTAGEN=1 可以将 TDI, TDO, TMS, TCK 强制变成专用 IO。

JTAG 配合使用安路公司专用的 USB 下载线，配合 TD 软件进行，可以通过软件查看配置是否成功。

JTAG 模式支持级联，但在烧写 FLASH 时，ELF2 器件必须处于 JTAG 链前三位。

JTAG 配置模式参考时序与时序规格如下图和下表所示。

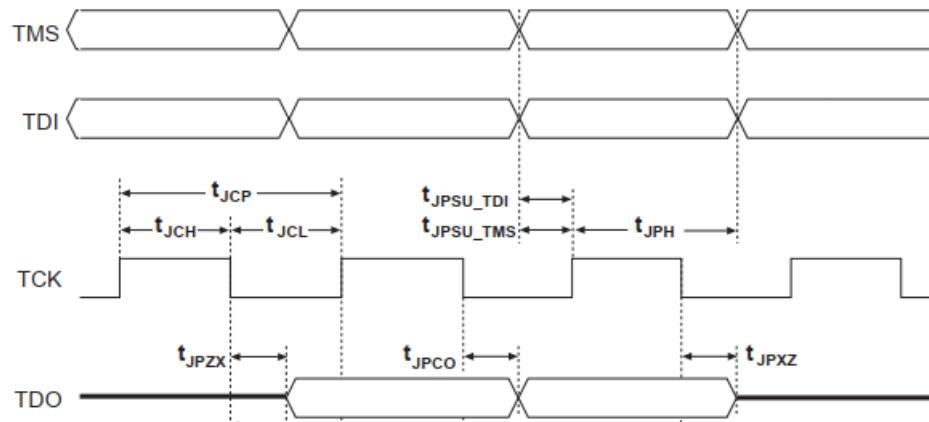


图 2-9- 7 ELF2 JTAG 时序图

表 2-9- 4 ELF2 JTAG 时序规格表

符号	参数	最小	最大	单位
$t_{JCP}$	TCK 周期	100	—	ns
$t_{JCH}$	TCK 高电平时间	48	—	ns
$t_{JCL}$	TCK 低电平时间	48	—	ns
$t_{JPSU\_TDI}$	TDI 建立时间	6	—	ns
$t_{JPSU\_TMS}$	TMS 建立时间	8	—	ns
$t_{JPH}$	JTAG 端口保持时间	10	—	ns
$t_{JPCO}$	JTAG 端口时钟到输出延时	—	16	ns
$t_{JPZX}$	JTAG 端口高阻到有效输出转换时间	—	16	ns
$t_{JPXZ}$	JTAG 端口有效输出到高阻转换时间	—	16	ns

注：

1. 非背景模式下通过 JTAG 烧写 flash 数据，tck 的频率要大于等于 100K。

## 2.9.8 IEEE 1149.1 边界扫描测试

ELF2 器件所有 IO 都集成边界扫描单元，可以通过标准 1149.1 TAP 控制器来访问和控制 IO，边界扫描指令可以在任何状态下访问 IO 单元（SAMPLE 指令只能在用户模式下使用）。

## 2.9.9 DUAL BOOT 功能

ELF2 在 MSPI 模式下支持 Dual Boot 功能。当 Primary 位流下载失败后，ELF2 FPGA 自动跳转到用户设定的地址去读取 golden 位流。下图为 Dual Boot 下内部 SPI Flash 的数据空间分配。

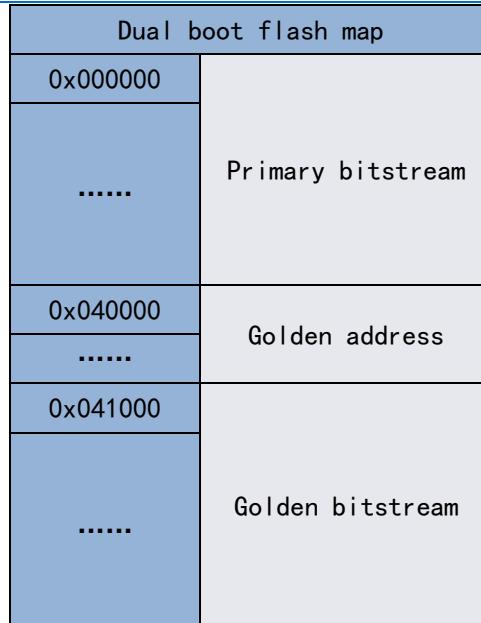


图 2-9-8 ELF2 Dual Boot SPI Flash 的数据空间分配

### 2.9.10 MULTI BOOT 功能

MSPI 模式下, 用户可以使用 TD 软件设置 Multi Boot 功能。当进入用户模式后, 应用本身可以通过接口触发信号 rebootn=0, 从指定的内部 SPI Flash 地址重新开始下载位流。由于 ELF2 内部 flash 限制, 建议只存放两套位流, 第二个 bit 流存放在 040000 位置处。需要注意的是, rebootn 信号保持低电平的时间需大于 2.5us。

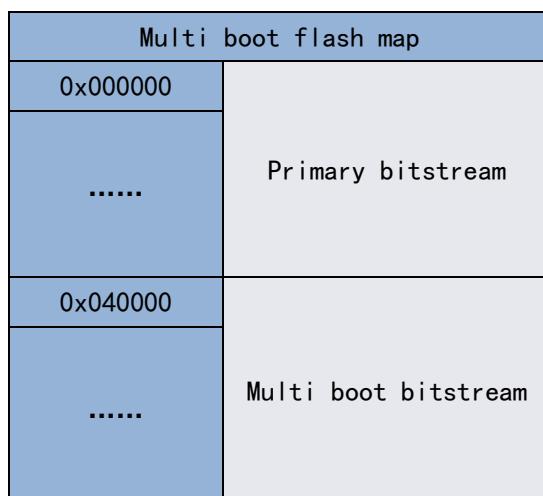


图 2-9-9 ELF2 Multi Boot SPI Flash 的数据空间分配



## 2.9.11 FPGA I/O 引脚在配置阶段的设置

在配置阶段，FPGA 的专用引脚有上拉/下拉电阻，用户 I/O 引脚在配置过程中有可选的上拉电阻。HSWAPEN 控制位来决定用户 I/O 引脚上是否使能上拉电阻，在 ELF2 中，HSWAPEN 只能由位流改写。

## 2.9.12 FPGA I/O 引脚在配置阶段的状态

### 1. 非配置相关 I/O

- a) 芯片上电完成后程序加载前，非配置相关 I/O 处于三态；
- b) 芯片在调用 DUAL BOOT 和 MULTI BOOT 功能以及不断电重加载，feature 寄存器加载前，非配置相关 I/O 处于三态。
- c) 加载过程中，普通 I/O 的状态受 HSWAPEN 脚控制，可以为弱上拉或者三态；
- d) 进入用户模式之后，用户使用的 I/O 脚状态受代码控制，未使用的管脚为弱上拉状态。

### 2. 配置相关引脚跟配置设置相关，如下表所示

表 2-9- 5 ELF2 Configuration Pin Termination

Pin	配置成功前		配置成功后
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O



ELF2 器件的以下管脚在配置前和加载过程中都处于弱上拉状态，不可控制。如果用户在此期间对管脚状态有要求，需要尽量避开这些管脚。

表 2-9-6 ELF2 器件在配置前和加载期间不受控引脚列表

DEVICE	PIN NAME
EF2L15BG256/ EF2L25BG256/ EF2L45BG256	E16, F15, F12, J11, L12, G12, F14, G13, H13, J12, J15, K16, K13, K12, C16, D15
EF2L15LG144/ EF2L25LG144/ EF2L45LG144	73, 74, 75, 76, 77, 78, 83, 84, 94, 95, 96, 97, 98
EF2L45UG132	—
EF2L15LG100/ EF2M45LG100	51, 52, 57, 58, 59, 60, 61, 67, 68, 69, 70, 71
EF2M45LG48	34, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47
EF2L25XG42/ EF2L25AG42	38

## 2.9.13 DNA 安全功能

ELF2 FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以利用 DNA 进行用户设计保护。TD 软件将提供 IP 接口，使用户读出 DNA 数据。如下图所示。**din** 为移位数据输入，用于接口测试使用，**dout** 为 DNA 移位数据输出。

DNA 模块的 **clk** 时钟频率范围 0~20MHz，**shift\_en** 建议采用时钟下降沿送出，保证时序要求。

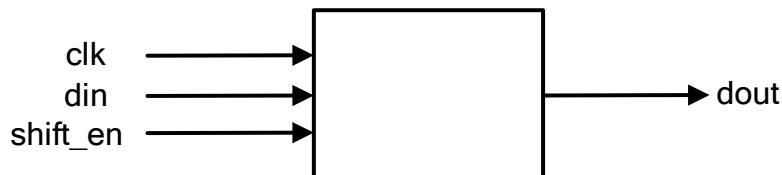


图 2-9-10 ELF2 DNA 接口示意

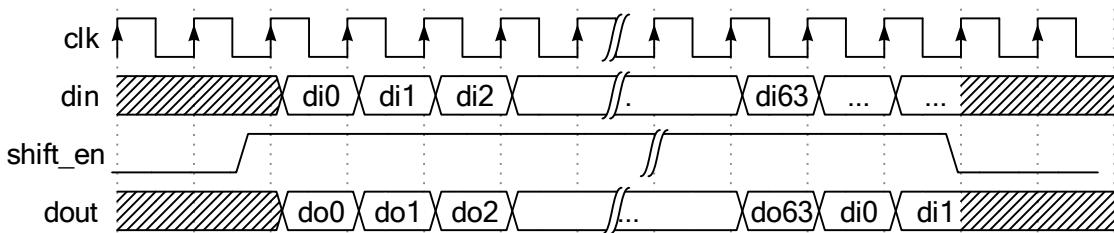


图 2-9-11 ELF2 DNA 时序图

## 2.10 内嵌 ADC 模块

ELF2 内嵌有两个 8 通道 12 位 1MSPS ADC。ADC 需要独立的供电、地以及一个独立的 VREF 电压输入。8 个通道输入和用户 IO 复用，用户实际可用通道数随芯片封装而异，当用户不需要 ADC 时可以用作普通用户 IO，复用 IO 设置相互独立，未使用的 ADC 通道管脚可以作为普通 IO 使用。

EF2L45UG132B 器件不支持 ADC 模块。

表 2-10-1 ADC 外部/内部端口

芯片端口名	端口类型	说明
ADC_VDDD	电源 PAD	模拟数字电源输入
ADC_VDDA	外部电源 PAD	模拟电源输入
GND_ADC	外部电源 PAD	ADC 模拟地
ADC_VREF	外部 PAD	参考电压，不大于 ADC_VDDA
ADC_CH[7:0]	外部 PAD	8 路采样信号输入，和用户 IO 复用
内部端口名	端口方向	说明
clk	输入	ADC 工作时钟

pd	输入	ADC 低功耗掉电模式
s[2:0]	输入(来自 FPGA)	ADC 通道选择信号输入
soc	输入(来自 FPGA)	ADC 采样使能信号输入, 高有效
eoc	输出(到 FPGA)	ADC 转换完成输出, 高有效
dout[11:0]	输出(到 FPGA)	对应通道的 ADC 转换结果

注:

- 在 ADC 中, ADC\_CH[7:0]与 ADC\_VREF 不支持热插拔。在有热插拔需求的场合下, 建议避开 ADC 复用管脚。

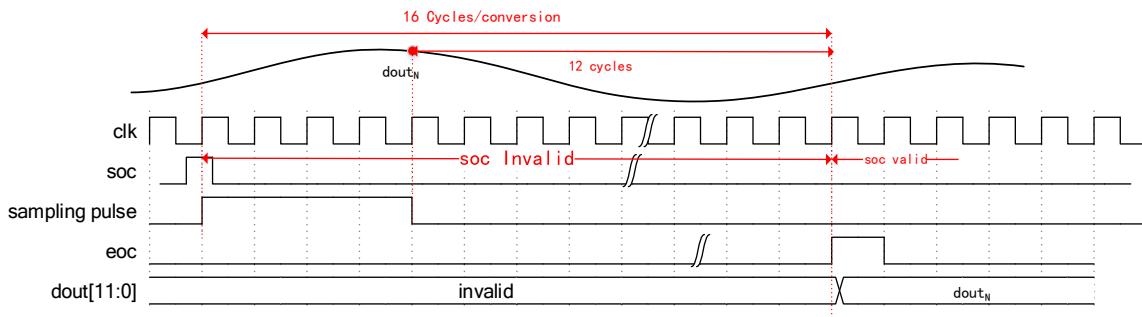


图 2-10- 1 ELF2 ADC 采样控制时序

## 2.11 内置环形振荡器

ELF2 器件包含一个 CMOS 环形振荡器, 环形振荡器的输出可以作为全局时钟的输入, 也可以作为 PLL 的参考时钟。环形振荡器在全局时钟路径上, 插入的可配置分频器可以对 OSC 的频率进行 1-128 任意整数分频。可以动态配置分频系数, 不使用时可以关闭 OSC 以节省功耗。

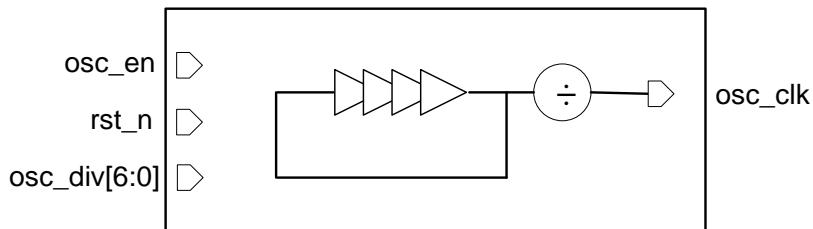


图 2-11- 1 内置环形振荡器模块框图

- OSC、OSCDIV 输出可以接 PLL, 但不能直接 Fabric, 可以通过 GCLK 连接到 Fabric。
- ELF2 系列器件不建议使用 OSC+PLL 的组合方式, 建议使用内部的 EF2\_PHY\_OSCDIV (rstn, stdby, div, clko)。
- OSC 输出时钟中心频率为 290MHz, 最大偏差在±30%以内, 对时钟精度要求较高的场景不建议使用。



### 3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

#### 3.1 直流电气特性

##### 3.1.1 最大绝对额定值

表 3-1-1 最大绝对额定值

Symbol	参数		最小	最大	单位
VCCAUX	辅助电源		-0.5	3.75	V
VCCIO	I/O 驱动供电电压		-0.5	3.75	V
VI	直流输入电压	增强型 IOBE	-0.5	3.75	V
		基础型 IOBB	-0.5	6.00	V
VESDHBM	人体模型静电放电电压		-	±1500	V
VESDCDM	器件充电模型静电放电电压		-	±500	V
TSTG	存储温度		-65	150	°C
TJ	结点温度		-40	125	°C

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

输入 IO 在信号跳变过程中，可能会产生过冲或下冲，如下图所示。给出了 10 年使用寿命下允许的最大过冲、下冲的占比值。

表 3-1-2 列出了 IOBE 最大允许输入过冲/下冲电压，以及过冲/下冲电压的持续时间占数据 UI 的百分比。如图 3-1-1 所示，T 为数据的 UI 长度，DT 为过冲信号的持续时间。过冲电压超过 VCCIO+0.3V 的时刻即为统计过冲 DT 的起始时刻，过冲电压低于 VCCIO+0.3V 的时刻即为统计过冲 DT 的结束时刻。同样，下冲电压低于 GND-0.3V 的时刻即为统计下冲 DT 的起始时刻，下冲电压超过 GND-0.3V 的时刻即为统计下冲 DT 的结束时刻。表 3-1-2 中一个直流输入信号意味着过冲信号（例如幅值为 VCCIO+0.3V 的过冲信号）的持续时间（DT）可以占整个数据 UI 的 100%，或者下冲信号（例如幅值为 GND-0.3V 的下冲信号）的持续时间（DT）可以占整个数据 UI 的 100%。

表 3-1-3 和表 3-1-4 列出了 IOBB 最大允许输入过冲/下冲电压，以及过冲/下冲电压的持续时间占数据 UI 的百分比。当 VCCIO=3.3V 时，过冲电压超过 5.5V 的时刻即为统计过冲 DT 的起始时刻，过冲电压低于 5.5V 的时刻即为统计过冲 DT 的结束时刻；当 VCCIO≤2.5V 时，过冲电压超过 3.6V 的时刻即为统计过冲 DT 的起始时刻，过冲电压低于 3.6V 的时刻即为统计过冲 DT 的结束时刻。同样，下冲电压低于-0.3V 的时刻即为统计下冲 DT 的起始时刻，下冲电压超过-0.3V 的时刻即为统计下冲 DT 的结束时刻。

表 3-1-3 中一个直流输入信号意味着过冲信号(例如幅值为 5.5V 的过冲信号)的持续时间 (DT) 可以占整个数据 UI 的 100%，或者下冲信号(例如幅值为-0.3V 的下冲信号)的持续时间 (DT) 可以占整个数据 UI 的 100%。

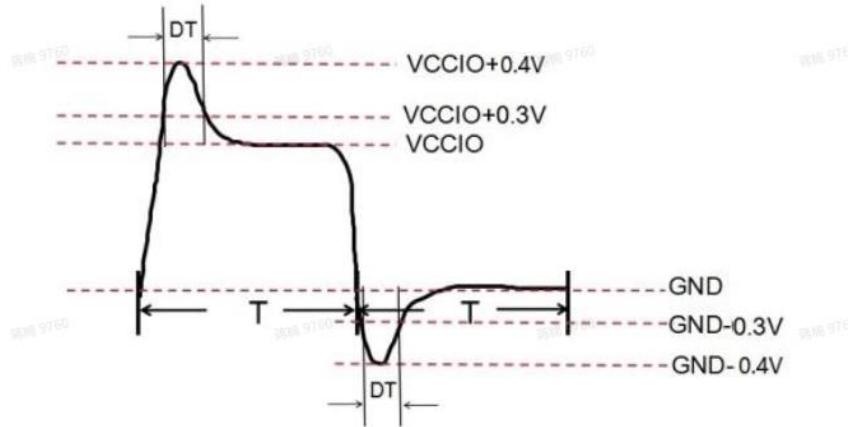


图 3-1-1 输入信号过冲、下冲

表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比 (10BE)

Parameter	Condition (V)	Under/Overshoot Duration as % of UI	Unit
VI AC Input Voltage	GND-0.3	100	%
	GND-0.4	100	%
	GND-0.5	86	%
	GND-0.6	49	%
	GND-0.7	28	%
	GND-0.8	16	%
	GND-0.9	9.23	%
	GND-1	5.27	%
	GND-1.1	3	%
	VCCIO+0.4	100	%
	VCCIO+0.5	86	%
	VCCIO+0.6	49	%
	VCCIO+0.7	28	%
	VCCIO+0.8	16	%
	VCCIO+0.9	9.23	%
	VCCIO+1.0	5.27	%
	VCCIO+1.1	3	%

注：

1. UI 的周期不超过 20us。

表 3-1- 3 10 年使用寿命条件下允许的最大过冲、下冲占比 (I<sub>OBB</sub>, V<sub>CC10</sub>=3.3V)

Parameter	Condition(V)	Under/Overshoot Duration as % of UI	Unit
VI AC Input Voltage	-0.3	100	%
	-0.4	100	%
	-0.5	67	%
	-0.6	32	%
	-0.7	14	%
	-0.8	6	%
	-0.9	2	%
	-1	0.5	%
	5.9	100	%
	6.0	67	%
	6.1	32	%
	6.2	14	%
	6.3	6	%
	6.4	2	%
	6.5	0.5	%

注:

1. UI 的周期不超过 20us。

表 3-1- 4 10 年使用寿命条件下允许的最大过冲、下冲占比 (I<sub>OBB</sub>, V<sub>CC10</sub>≤2.5V)

Parameter	Condition(V)	Under/Overshoot Duration as % of UI	Unit
VI AC Input Voltage	-0.3	100	%
	-0.4	100	%
	-0.5	67	%
	-0.6	32	%
	-0.7	14	%
	-0.8	6	%
	-0.9	2	%
	-1	0.5	%
	3.7	100	%
	3.8	67	%
	3.9	32	%
	4	14	%
	4.1	6	%
	4.2	2	%
	4.3	0.5	%



注：

- UI 的周期不超过 20us。

### 3.1.2 推荐基本操作条件

表 3-1- 5 推荐基本操作条件<sup>1</sup>

Symbol	参数		最小	典型	最大	单位
VCCAUX	辅助电源		2. 375	2. 5/3. 3	3. 63	V
VCCIO	I/O 供电电压 @ 3. 3V		3. 135	3. 3	3. 465	V
	I/O 供电电压 @ 2. 5V		2. 375	2. 5	2. 625	V
	I/O 供电电压 @ 1. 8V		1. 71	1. 8	1. 89	V
	I/O 供电电压 @ 1. 5V		1. 425	1. 5	1. 575	V
	I/O 供电电压 @ 1. 2V		1. 14	1. 2	1. 26	V
VI	直流输入电压	增强型 IOBE <sup>4</sup>	-0. 3	—	VCCIO+0. 3	V
		基础型 IOBB <sup>5</sup>	-0. 3	—	5. 5	V
V0	输出电压		0	—	VCCIO	V
TJ	结点温度	商业	0	—	85	°C
		工业	-40	—	100	°C
TRAMP	电源缓变率		0. 05	—	100	V/ms
IDiode	PCI-clamp 二极管电流		—	—	10	mA

注：

- 器件工作时要求所有 I/O 的 VCCIO 必须连接好电源。
- 所有输入缓冲器由 VCCIO 供电。
- IO 端口不能直接接地或者 VCCIO，如有连接应用，需要串接电阻。
- 如果将真差分对管脚当作单端 IO 使用，则要求最小输入电压不能低于-0. 3V，或真差分对的另外两个管脚不使用。
- IOBB 的直流输入电压 VI 与其 BANK 供电有关：具体请参考“2.8.4 兼容 5V 输入”一节。

### 3.1.3 基本供电要求

表 3-1- 6 EF2L15/25/45BG256 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	>=2. 5V	纹波峰峰值应小于 100mV，必须供电
VCCIO0 <sup>1</sup>	>=1. 5V	如果使用 JTAG 下载，需要和下载器供电电压保持一致
VCCIO1 <sup>1</sup>	>=2. 5V	芯片配置器件（内部 Flash）电源与 VCCIO1 相连



电源域标识	基本供电要求 <sup>3</sup>	备注
VCCIO2	$\geq 1.2V$	VCCIO 不用时也要供电。
VCCIO3	$\geq 1.2V$	VCCIO 不用时也要供电。
VCCIO4	$\geq 1.2V$	VCCIO 不用时也要供电。
VCCIO5	$\geq 1.2V$	VCCIO 不用时也要供电。

注：

1. POR 上电检测，必须供电，不用时也要供电。
2. 如果使用 LVDS，相应 bank 的供电电压应 $\geq 2.5V$ 。
3. 无论是否使用 ADC 都要求 ADC\_VDDD/ADC\_VDDA 同电压，ADC\_VREF 不得大于 ADC\_VDDA，同时建议 ADC\_VDDA/ADC\_VDDD 接芯片最高供电电压。

表 3-1- 7 EF2L15/45LG144 & EF2M45LG144 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV，必须供电
VCCIO0	$\geq 1.2V$	VCCIO 不用时也供电。
VCCIO1	$\geq 1.2V$	VCCIO 不用时也供电。
VCCIO2 <sup>1</sup>	$\geq 2.5V$	芯片配置器件（内部 Flash）电源与 VCCIO2 相连
VCCIO3 <sup>1</sup>	$\geq 1.5V$	如果使用 JTAG 下载，需要和下载器供电电压保持一致

注：

1. POR 上电检测，必须供电，不用时也供电。
2. 如果使用 LVDS，相应 bank 的供电电压应 $\geq 2.5V$ 。
3. 无论是否使用 ADC，ADC\_VREF 不得大于 VCCAUX (ADC\_VDDA/ADC\_VDDD)。

表 3-1- 8 EF2L15LG100 & EF2M45LG100 最小供电要求

电源域标识	基本供电要求	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV，必须供电
VCCIO0	$\geq 1.2V$	VCCIO 不用时也供电。可选择性供电，无附加要求 <sup>2</sup>
VCCIO1	$\geq 1.2V$	VCCIO 不用时也供电。可选择性供电，无附加要求 <sup>2</sup>
VCCIO2 <sup>1</sup>	$\geq 2.5V$	芯片配置器件（内部 Flash）电源与 VCCIO2 相连
VCCIO3 <sup>1</sup>	$\geq 1.5V$	如果使用 JTAG 下载，需要和下载器供电电压保持一致

注：

1. POR 上电检测，必须供电，不用时也供电。
2. 如果使用 LVDS，相应 bank 的供电电压应 $\geq 2.5V$ 。
3. 无论是否使用 ADC，ADC\_VREF 不得大于 VCCIO2 (ADC\_VDDA/ADC\_VDDD)。



表 3-1- 9 EF2M45LG48 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV, 必须供电
VCC100 <sup>1</sup>	$\geq 1.5V$	如果使用 JTAG 下载, 需要和下载器供电电压保持一致
VCC101	$\geq 1.2V$	VCC10 不用时也供电。
VCC102	$\geq 1.2V$	VCC10 不用时也供电。
VCC103 <sup>1</sup>	$\geq 2.5V$	芯片配置器件 (内部 Flash) 电源与 VCC103 相连

注:

1. POR 上电检测, 必须供电, 不用时也供电。
2. 如果使用 LVDS, 相应 bank 的供电电压应 $\geq 2.5V$ 。
3. 无论是否使用 ADC 都要求 ADC\_VDDA/ VCCAUX (ADC\_VDDD) 同电压, ADC\_VREF 不得大于 ADC\_VADDA, 同时建议 ADC\_VDDA/ VCCAUX (ADC\_VDDD) 接芯片最高供电电压。

表 3-1- 10 EF2L25XG42 &amp; EF2L25AG42 最小供电要求

电源域标识	基本供电要求	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV, 必须供电
VCC100 <sup>1</sup>	=VCCAUX	封装内固定连接
VCC101	$\geq 1.2V$	VCC10 不用时也供电。
VCC102	$\geq 1.2V$	VCC10 不用时也供电。
VCC103 <sup>1</sup>	=VCCAUX	封装内固定连接

注:

1. POR 上电检测, 必须供电。
2. 如果使用 LVDS, 相应 bank 的供电电压应 $\geq 2.5V$ 。

表 3-1- 11 EF2L45UG132 最小供电要求

电源域标识	基本供电要求	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV, 必须供电
VCC100 <sup>1</sup>	$\geq 1.5V$	如果使用 JTAG 下载, 需要和下载器供电电压保持一致
VCC101 <sup>1</sup>	$\geq 2.5V$	芯片配置器件 (内部 Flash) 电源与 VCC101 相连
VCC102 <sup>2</sup>	$\geq 1.2V$	VCC10 不用时也供电。
VCC103 <sup>2</sup>	$\geq 1.2V$	VCC10 不用时也供电。
VCC104 <sup>2</sup>	$\geq 1.2V$	VCC10 不用时也供电。
VCC105 <sup>2</sup>	$\geq 1.2V$	VCC10 不用时也供电。

注:

1. POR 上电检测, 必须供电, 不用时也供电。



2. 如果使用 LVDS, 相应 bank 的供电电压应 $>=2.5V$ 。

### 3.1.4 单电源器件静态供电电流- B Devices<sup>1,2</sup>

表 3-1- 12 静态电源电流

Symbol	参数	器件	典型	单位
I <sub>VCCIO</sub>	I/O 组电源, @VCCIO=2.5V	所有器件	<0.5	mA
I <sub>VCCAUX</sub>	辅助电源	ELF2L15	16	mA
		ELF2L25	16	mA
		ELF2L45	16	mA
		ELF2M45	16	mA

注:

1. 该表中的数值基于通用的推荐操作条件, 室温下 ( $T_J = 25^{\circ}C$ ) 使用典型器件测得。
2. 典型值为空白器件, 没有输出电流负载, 高阻抗状态下, 并当所有上拉/下拉电阻器在 I/O 引脚禁止时, 测量的所有 I/O 驱动的静态电源电流。

### 3.1.5 热插拔规格

热插拔 IO 支持 2 级热插拔防护, 防止单板插拔时的驱动冲突。2 级防护设计除了具有 1 级防护设计的能力外, 信号端还能在电源电压上升到指定值之前保持高阻状态, 在电源电压超过这个指定值后按照配置保持输入或输出状态。单板断电时, 信号端在电源电压下降到指定电压值之前仍然保持当前配置状态, 之后变成高阻状态。按照 2 级防护设计的要求, 单板带电插拔期间总线上的数据传输可能会被打断。

表 3-1- 13 热插拔规格

Symbol	参数	最大	条件	单位
I <sub>HS</sub>	热插拔电流, 每个 I/O <sup>1</sup>	1	0<VIN<VIN(MAX)	mA

注:

1.  $0 < VCCAUX < VCCAUX(MAX)$ ,  $0 < VCCIO < VCCIO(MAX)$
2. EF2L15/25/45BG256 的 F8, D9, F7, E8, C9, A9, A8, C8, J12, H13, G13, F14, G12, F15, E16, F12, D15 不支持热插拔, 有热插拔需求时, 需要注意避开这些引脚。
3. EF2L15/45LG144 和 EF2M45LG144 的 P112, P111, P115, P117, P125, P126, P127, P128, P83, P84, P94, P95, P96, P97, P98 不支持热插拔, 有热插拔需求时, 需要注意避开这些引脚。
4. EF2L15LG100/EF2M45LG100 的 P78, P85, P86, P87, P88, P61, P67, P68, P69, P71, P70 不支持热插拔, 有热插拔需求时, 需要注意避开这些引脚。



5. EF2M45LG48 的 P3, P6, P7, P9, P10, P41, P42, P43, P44, P45, P47, P46 不支持热插拔，有热插拔需求时，需要注意避开这些引脚。
6. EF2L25XG42 和 EF2L25AG42 的 P38 不支持热插拔，有热插拔需求时，需要注意避开这些引脚。

### 3.1.6 上下电时序

表 3-1- 14 上电复位电压阈值

Symbol	参数	最小	典型	最大	单位
V <sub>CCAUX_PORUP</sub>	V <sub>CCAUX</sub> 上电检测阈值	2.05	2.1	2.15	V
V <sub>CCIO</sub>	V <sub>CCIO</sub> 上电检测	0.95	1.0	1.05	V
V <sub>CCAUX_PORDN</sub>	V <sub>CCAUX</sub> 掉电检测阈值	—	—	1.85	V
V <sub>SRAM_PORDN</sub>	SRAM 电源掉电检测阈值	—	—	0.8	V

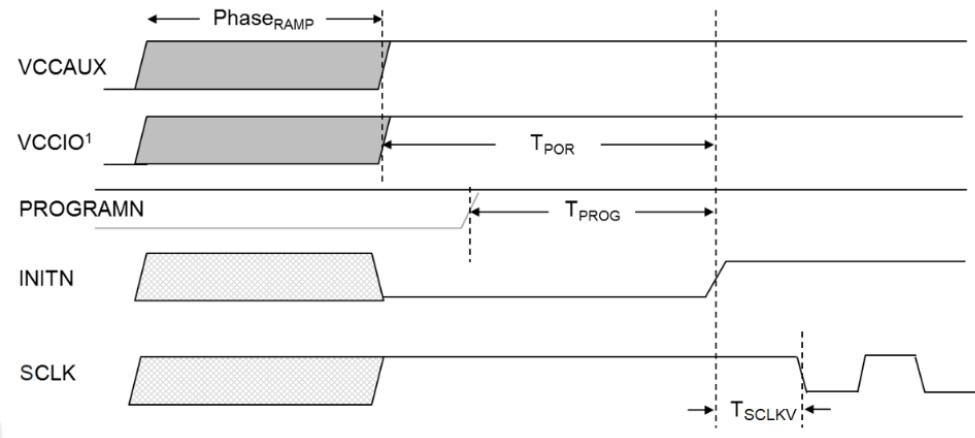


图 3-1- 2 器件上电时序图

注：

1. 对 V<sub>CCAUX</sub>、V<sub>CCIO</sub>\*没有上电时序要求，但需注意上电过程中 I/O 端口电压不得高于 V<sub>CCIO</sub>。
2. 电源上电过程中（PhaseRAMP）所有的 I/O 处于三态。
3. T<sub>POR</sub>最大为 10ms，T<sub>PROG</sub>同 T<sub>POR</sub>，T<sub>SCLKV</sub>约 6.4us。



### 3.1.7 I/O 管脚电容

表 3-1- 15 ELF2 器件管脚电容

Symbol	参数	QFP	LFBGA	单位
$C_{IOTB}$	上下管脚输入电容	7	6	pF
$C_{IOLR}$	左右管脚输入电容	8	7	pF

### 3.1.8 I/O 直流电气特性

表 3-1- 16 IOBE 推荐基本操作条件

Symbol	参数	条件	最小	典型	最大	单位
$I_{IL}, I_{IH}$	输入漏电电流	$0 \leq V_I \leq V_{CCIO} - 0.5V$	-15	-	15	uA
$I_{IH}$	输入漏电电流	$V_{CCIO} - 0.5V \leq V_I \leq V_{IH\_MAX}$	-	-	150	uA
$V_{HYST}$	Hysteresis for Schmitt Trigger Input	$V_{CCIO} = 3.3V$	-	350	-	mV
		$V_{CCIO} = 2.5V$	-	260	-	mV
		$V_{CCIO} = 1.8V$	-	130	-	mV
		$V_{CCIO} = 1.5V$	-	70	-	mV
$I_{PU}$	I/O 弱上拉电流	-	35	-	250	uA
$I_{PD}$	I/O 弱下拉电流	-	35	-	250	uA
$I_{BHLS}$	总线保持 0 维持电流	-	40	-	-	uA
$I_{BHHS}$	总线保持 1 维持电流	-	40	-	-	uA
$I_{BHLO}$	总线保持 0 改写电流	$0 \leq V_I \leq V_{CCIO}$	-	-	350	uA
$I_{BHHO}$	总线保持 1 改写电流	$0 \leq V_I \leq V_{CCIO}$	-	-	350	uA
$V_{BHT}$	总线保持触发电平	-	$V_{IL\_max}$	-	$V_{IH\_min}$	V

注：

1. LVCMS12 电平不支持迟滞。

表 3-1- 17 IOBB 推荐基本操作条件

符号	参数	最小	典型	最大	单位
$I_L$	输入漏电电流	-15	-	15	uA
$I_{OZ}$	I/O 三态输出漏电电流	-10	-	10	uA
$R_{PU}$	I/O 弱上拉电阻	19	-	39	KΩ
$R_{PD}$	I/O 弱下拉电阻	16	-	38	KΩ



### 3.1.9 单端 I/O 直流电学特性

表 3-1- 18 ELF2 器件 IOBE 单端 I/O 标准规格

标准	V <sub>IL</sub> (V)		V <sub>IH</sub> (V)		V <sub>OL</sub> 最大	V <sub>OH</sub> 最小	I <sub>OL</sub>	I <sub>OH</sub>
	最小	最大	最小	最大	(V)	(V)	(mA)	(mA)
LVTTL33/ LVCMS33	-0.3	0.8	1.9	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4
							8	-8
							12	-12
							16	-16
							20 <sup>1</sup>	-20 <sup>1</sup>
LVCMS25	-0.3	0.7	1.7	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4
							8	-8
							12	-12
							16 <sup>2</sup>	-16 <sup>2</sup>
LVCMS18	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4
							8	-8
LVCMS15	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4
							8	-8
LVCMS12	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	2	-2
							4	-4
PCI33	-0.3	0.3*V <sub>CCIO</sub>	0.5*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.1*V <sub>CCIO</sub>	0.9*V <sub>CCIO</sub>	1.5	-0.5

注:

- 在温度 125 度, V<sub>CCIO</sub> 偏差负 5%情况下, LVCMS33 输出电流最低到 17mA, 应用中建议以 IBIS 模型仿真为准。
- 在温度 125 度, V<sub>CCIO</sub> 偏差负 5%情况下, LVCMS25 输出电流最低到 13mA, 应用中建议以 IBIS 模型仿真为准。

表 3-1- 19 单端电平标准驱动关系

Input Standard	V <sub>CCIO</sub> (Typ.)				
	3.3V	2.5V	1.8V	1.5V	1.2V
LVTTL33	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMS33	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMS25	√ <sup>1</sup>	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMS18		√ <sup>1</sup>	√	√ <sup>2</sup>	√ <sup>2</sup>
LVCMS15			√ <sup>1</sup>	√	√
LVCMS12				√ <sup>1</sup>	√



注：

1. 输入高电平时，如果输入电压幅度不够，会导致较大漏电流。
2. 不能打开 PCI-clamp 和 OverDriven，否则会产生漏电流。

表 3-1- 20 ELF2 器件 IOBB 单端 I/O 标准规格

标准	V <sub>IL</sub> (V)		V <sub>IH</sub> (V)		V <sub>OL</sub> 最大	V <sub>OH</sub> 最小	I <sub>OL</sub>	I <sub>OH</sub>
	最小	最大	最小	最大	(V)	(V)	(mA)	(mA)
LVTTL33	-0.3	0.8	2.3	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	20	-20
LVCMOS33								
LVCMOS25	-0.3	0.7	1.7	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	16	-16
LVCMOS18	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	12	-12
LVCMOS15	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	5.5	0.4	V <sub>CCIO</sub> - 0.4	8	-8
LVCMOS12	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4

注：

1. 作为兼容 5V 输入时，VIH 最大值为 5.5V。

### 3.1.10 差分 I/O 电学特性

表 3-1- 21 ELF2 LVDS 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V <sub>IP</sub> , V <sub>IN</sub>	输入电平	V <sub>CCIO</sub> =2.5V	0	—	2.4	V
		V <sub>CCIO</sub> =3.3V	0.45	—	3.2	V
V <sub>ID</sub>	输入差分摆幅	V <sub>IP</sub> -V <sub>IN</sub>  , RT = 100 Ω V <sub>CCIO</sub> =3.3/2.5V	150	350	800	mV
V <sub>ICM</sub>	输入共模电压	V <sub>CCIO</sub> =2.5V	0.05	—	2.35	V
		V <sub>CCIO</sub> =3.3V	0.6	—	3.15	V
I <sub>IN</sub>	输入电流	上电过程	—	—	±15	uA
R <sub>T</sub>	片内端接差分电阻	—	80	100	120	Ω
V <sub>OD</sub>	标准差分输出摆幅	V <sub>OP</sub> - V <sub>ON</sub>  , R <sub>T</sub> =100Ω, V <sub>CCIO</sub> =2.5V	150	250	350	mV
ΔV <sub>OD</sub>	差分输出摆幅变化	—	—	—	50	mV
V <sub>OCM</sub>	输出共模电压	(V <sub>OP</sub> +V <sub>ON</sub> ) / 2, R <sub>T</sub> =100Ω, V <sub>CCIO</sub> =2.5V	0.6	—	1.4	V
		(V <sub>OP</sub> +V <sub>ON</sub> ) / 2, R <sub>T</sub> =100Ω, V <sub>CCIO</sub> =3.3V	0.6	—	1.4	V
ΔV <sub>OCM</sub>	输出共模电压偏差	—	—	—	50	mV

注：

1. 当差分输入摆幅大于 500mV 时，只能使用外接 100Ω 差分匹配电阻。



表 3-1- 22 ELF2 LVPECL33 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
$V_{IP}, V_{IN}$	输入电平	—	0	—	2.95	V
$V_{ID}$	输入差分摆幅	$ V_{IP}-V_{IN} $ $V_{CCIO}=3.3$	100	—	1600	mV
$V_{ICM}$	输入共模电压	—	0.3	—	2.9	V

注：

1. LVPECL 接收不能使用芯片内部  $100\Omega$  电阻。

### 3.1.11 ADC 性能

表 3-1- 23 ADC 性能

参数	性能
工作电压	3.3V 模拟电源 (VDDA) 和 3.3V 数字电源 (VDDD)
ADC 参考电压 VREF	0.5~1.0xVDDA
最高采样速率	1MHz
通道数	8
采样范围	$0.1*VREF \sim 0.9*VREF$
ADC 输出数位宽	12 bits
ADC 有效精度	8 bits
动态性能	>50dB SFDR >45dB SINAD
线性度性能	INL<1 LSB, DNL<1 LSB (8bits 精度)
最高时钟频率	16MHz

注：

1. ADC 的精度和参考电压关系非常紧密，需要板上提供非常准确和干净的 VREF 参考电压，精度控制在 VDDA +/- 0.2% 以内。
2. VREF 可以接受的范围是  $0.5\times VDDA \sim 1.0\times VDDA$ ，由于输入信号范围也是由 VREF 决定，为了得到更大的输入信号范围，建议 VREF 设成  $1.0\times VDDA$ 。
3. 在使用 ADC 的时候，尽量避免使用 ADC IO 相同 BANK 的数字 IO 以减小噪声干扰。



## 3.2 交流电气特性

本章节提供 ELF2 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

### 3.2.1 时钟性能

表 3-2- 1 最大时钟操作频率

器件	性能	单位
所有器件	440	MHz

### 3.2.2 嵌入数字信号处理模块 (DSP) 规格

表 3-2- 2 ELF2 嵌入 DSP 规格

器件	性能	单位
M9x9 (All register)	350	MHz
M18x18 (All register)	350	MHz

### 3.2.3 锁相环 (PLL) 规格

表 3-2- 3 ELF2 器件的 PLL 规格

参数	描述	最小	典型	最大	单位
$f_{IN}$	输入时钟频率	10	—	400	MHz
$f_{PFD}$	鉴频鉴相器 (PFD) 输入频率	10	—	400	MHz
$f_{VCO}$	锁相环内部振荡器频率范围	300	—	1200	MHz
$f_{OUT}$	输出时钟频率	2.3438	—	600	MHz
交流特性					
$t_{IN\_H}$	输入时钟高电平时间 (90% to 90%)	0.5	—	—	ns
$t_{IN\_L}$	输入时钟低电平时间 (10% to 10%)	0.5	—	—	ns
$f_{INDUTY}$	输入时钟占空比	40	—	60	%
$f_{RISE}$	输入时钟上升沿斜率	1	—	3	V/ns
$f_{FALL}$	输入时钟下降沿斜率	1	—	3	V/ns
$t_{INJITTER}^1$	输入时钟抖动, $f_{PFD} \geq 20$ MHz	—	—	800	ps p- p
	输入时钟抖动, $f_{PFD} < 20$ MHz	—	—	0.02	UI
$t_{OUTDUTY}$	输出占空比波动范围 (用户设定值基础上波动)	-5	0	5	%
$t_{OUTJITTER}^2$	输出时钟周期抖动 (Period Jitter), $f_{OUT} > 100$ MHz, $f_{VCO} > 400$ MHz	—	—	160	ps p- p



参数	描述	最小	典型	最大	单位
	输出时钟相邻周期抖动 (Cycle-to-cycle Jitter) , $f_{out} > 100MHz$ , $f_{vco} > 400MHz$	—	—	200	ps p-p
	输出时钟相位抖动 (Phase Jitter) , $f_{out} > 100MHz$ , $f_{vco} > 400MHz$	—	—	180	ps p-p
$t_{LOCK}^3$	PLL 锁定时间	—	—	15	ms
$t_{DLOCK}$	动态锁定时间 (切换、重配置之后)	—	—	15	ms
$t_{PLL\_PS}$	PLL 相移精度	—	—	±125	ps
$t_{RST}$	复位脉冲最小宽度	1	—	—	ns
$t_{RSTREC}$	复位恢复时间	1	—	—	ns
$t_{CONFIGPLL}$	PLL 相位动态配置时间	—	3.5	—	cycle s
$f_{SCANCLK}$	SCANCLK 频率	—	—	100	MHz

注:

- 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。PLL 不会滤掉低频输入噪声而是会跟上输入的低频噪声，PLL 会滤掉部分高频输入噪声。
- 周期抖动通过对 PLL 输出采样 10,000 次测量得到。相邻周期间抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。
- $t_{LOCK}$  之后，在输出端得到稳定时钟。
- 为保证 PLL 输出时钟相位稳定，建议复位信号宽度大于 100us。

### 3.2.4 存储器模块 (ERAM) 规格

表 3-2- 4 ELF2 存储器模块规格表

存储器	模式	性能	单位
ERAM9K	FIFO 512 x 18	220	MHz
	单口 512 x 18	220	MHz
	简单双口 512 x 18	220	MHz
	真双口 1024 x 9	220	MHz

### 3.2.5 高速 I/O 接口性能

表 3-2- 5 高速 I/O 接口性能表

输入/输出标准	描述	最大	单位
最大输入频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVPECL33	LVPECL, VCCIO = 3.3V	400	MHz



输入/输出标准	描述	最大	单位
LVTT33	LVTT, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	166	MHz
PCI33	-	133	MHz
最大输出频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS25E	LVDS, Emulated, VCCIO = 2.5V	166	MHz
LVPECL33E	LVPECL, Emulated, VCCIO = 3.3V	166	MHz
LVTT33	LVTT, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	100	MHz
PCI33	-	133	MHz

### 3.2.6 配置模块规格

表 3-2-6 ELF2 器件配置模式时序规格表

下载模式	最小	典型	最大	单位
主模式串行 SPI (MSPI)	2.5	-	24	MHz
主模式并行 x8 (MP)	2.5	-	24	MHz
从模式串行 (SS)	-	-	30	MHz
从模式并行 x8 (SP)	-	-	30	MHz
JTAG	-	-	10	MHz



## 4 引脚和封装

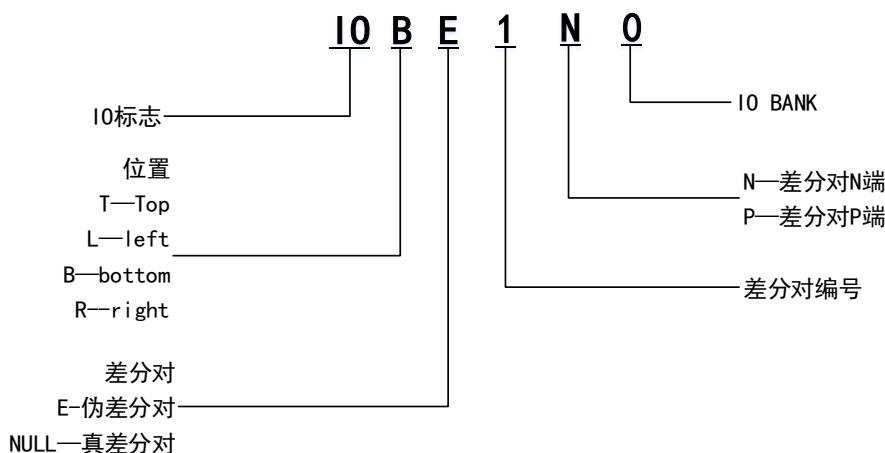
### 4.1 引脚定义和规则

表 4-1- 1 引脚定义和规则

引脚名称	方向	描述
<b>时钟引脚</b>		
GPLLx_CLKIN/GPLLx_CLKIP	I/O	PLL 参考时钟专用输入引脚
GPLLx_OUTN/GPLLx_OUTP	I/O	PLL 输出时钟专用引脚
GCLKIOT/GCLKIOR	输入	全局时钟专用输入引脚 除 EF2L25 芯片只有一组 GCLKIO 信号外, EF2 系列其他器件均预留了四组信号连接 PLL 参考时钟输入
XTALI/XTALO	I/O	RTC 晶振的输入/输出
<b>普通 I/O</b>		
NC	-	无连接
GND	-	电源地
VCC10x	-	I/O 组电源
VCCAUX	-	辅助电源
GND_PLLx	-	PLL 地
<b>JTAG 专用引脚</b>		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
JTAGEN	输入	JTAG 使能
<b>配置专用管脚</b>		
CSN	输入	并行下载模式片选信号, 低有效
PROGRAMN	输入	全局复位输入, 低有效
SCLK	I/O	配置时钟专用引脚
DONE	I/O	专用配置状态引脚, 在配置完成后会输出高, 源端开路。 (1) 在配置完成前, 需保证 DONE 引脚可被内部驱动为低电平。 (2) 进入用户模式后, 可复用为 USER I/O。在复用时作为输入使用, 可能会导致重新加载等问题, 但是可以作为输出引脚使用
INITN	I/O	专用配置状态引脚。输出低时, 表示上电初始化或配置错误; 输出高时, 表示 FPGA 准备进入配置模式, 源端开路。 (1) 在配置完成前, 需保证 INITN 引脚可被内部驱动为高电平。 (2) 进入用户模式后, 可复用为 USER I/O, 在复用时作为输入使

引脚名称	方向	描述
		用，可能会导致重新加载等问题，但是可以作为输出引脚使用。
<b>ADC 功能管脚</b>		
ADC_CHx	输入	ADC 模拟信号输入
ADC_VREF	输入	ADC 参考电压
ADC_VDDA	输入	ADC 模拟电源
ADC_VDDD	输入	ADC 数字电源
GND_ADC	输入	ADC 电源地

## 4.2 IO 命名规则





#### 4.3 EF2L15/EF2M45 引脚信息：LQFP100

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
1	IOBB	0	IO_BE1N_0, D1	28	IOBE	1	IO_R1N_1
2	IOBB	0	IO_BE1P_0, D0	29	IOBE	1	IO_R2P_1
3	IOBB	0	IO_BE2N_GCLK1OB_1_0	30	IOBE	1	IO_R2N_1
4	IOBB	0	IO_BE2P_GCLK1OB_0_0	31	IOBE	1	IO_R3P_1
5	-	0	VCC100	32	IOBE	1	IO_R3N_1
6	-	-	GND	33	-	-	GND
7	IOBB	0	IO_BE3N_0, D3	34	IOBE	1	IO_R4N_GCLK1OR_1_1, LVDSTX_1N
8	IOBB	0	IO_BE3P_0, D2	35	IOBE	1	IO_R4P_GCLK1OR_0_1, LVDSTX_1P
9	IOBB	0	IO_BE4P_0	36	IOBE	1	IO_R5P_1
10	IOBB	0	IO_BE4N_0	37	IOBE	1	IO_R5N_1, DPCLK1O_5
11	-	0	VCC100	38	IOBE	1	IO_R6N_GCLK1OR_3_1, LVDSTX_1N
12	IOBB	0	IO_BE5P_GCLK1OB_2_0	39	IOBE	1	IO_R6P_GCLK1OR_2_1, LVDSTX_1P
13	IOBB	0	IO_BE5N_GCLK1OB_3_0	40	IOBE	1	IO_R7N_1, LVDSRX_1N
14	IOBB	0	IO_BE6P_0, DPCLK1O_4	41	IOBE	1	IO_R7P_1, LVDSRX_1P
15	IOBB	0	IO_BE6N_0	42	IOBE	1	IO_R8P_1
16	IOBB	0	IO_BE7P_0	43	IOBE	1	IO_R8N_1
17	IOBB	0	IO_BE7N_0	44	-	-	GND
18	IOBB	0	IO_BE8P_0	45	IOBE	1	IO_R9P_1, SCLK
19	IOBB	0	IO_BE8N_0	46	-	1	VCC101
20	IOBB	0	IO_BE9P_GCLK1OB_4_0, D4	47	IOBE	1	IO_R9N_1
21	IOBB	0	IO_BE9N_GCLK1OB_5_0, D5	48	IOBE	1	IO_R10N_1
22	-	-	GND	49	IOBE	1	IO_R10P_1
23	-	0	VCC100	50	-	-	VCCAUX
24	IOBB	0	IO_BE10P_0, D6	51	IOBB	2	IO_TE1N_2, GPIO4
25	IOBB	0	IO_BE10N_0, D7	52	IOBB	2	IO_TE1P_2, GPIO3
26	-	1	VCC101	53	IOBB	2	IO_TE2N_2
27	IOBE	1	IO_R1P_1	54	IOBB	2	IO_TE2P_2



编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
55	-	2	VCC102	80	-	3	VCC103
56	-	-	GND	81	I0BE	3	I0_L6_3, PROGRAMN
57	I0BB	2	I0_TE3N_2, GPIO13	82	I0BE	3	I0_L3_3, JTAGEN
58	I0BB	2	I0_TE3P_2, GPIO12	83	I0BE	3	I0_L1N_3, DPCLK10_1
59	I0BB	2	I0_TE4N_2, GPIO11	84	I0BE	3	I0_L1P_3
60	I0BB	2	I0_TE4P_2, GPIO10	85	I0BE	3	I0_L2N_GCLK10L_1_3, ADC0_CH1, LVDSRX_ON
61	I0BB	2	I0_T1_2, GPIO8, USRCLK, ADC1_CH2	86	I0BE	3	I0_L2P_GCLK10L_0_3, ADC0_CH2, LVDSRX_OP
62	I0BB	2	I0_TE5N_GCLK10T_3_2	87	I0BE	3	I0_L3N_GCLK10L_3_3, ADC0_CH3, LVDSTX_ON
63	I0BB	2	I0_TE5P_GCLK10T_2_2	88	I0BE	3	I0_L3P_GCLK10L_2_3, ADC0_CH4, LVDSTX_OP
64	I0BB	2	I0_TE6N_GCLK10T_1_2	89	I0BE	3	I0_L2_3
65	I0BB	2	I0_TE6P_GCLK10T_0_2	90	I0BE	3	I0_L7_3, TMS
66	I0BB	2	I0_T2_2	91	I0BE	3	I0_L8_3, TCK
67	I0BB	2	I0_T3_2, GPIO7, ADC1_CH1	92	-	-	GND
68	I0BB	2	I0_T4_2, GPIO6, DPCLK10_8, ADC1_CH0	93	-	3	VCC103
69	I0BB	2	I0_T5_2, GPIO5, ADC0_REF	94	I0BE	3	I0_L9_3, TDI
70	I0BB	2	I0_TE7P_2, GPIO0, ADC1_CH4	95	I0BE	3	I0_L10_3, TDO
71	I0BB	2	I0_TE7N_2, GPIO1, ADC1_REF	96	I0BE	3	I0_L4P_3
72	-	-	GND	97	I0BE	3	I0_L4N_3
73	-	2	VCC102, ADC_VDDA, ADC_VDDD	98	I0BE	3	I0_L5N_3
74	I0BB	2	I0_T6_2	99	I0BE	3	I0_L5P_3
75	I0BB	2	I0_T7_2	100	-	-	VCCAUX
76	I0BE	3	I0_L5_3, DONE				
77	I0BE	3	I0_L4_3, INITN				
78	I0BE	3	I0_L1_3, ADC0_CH0				
79	-	-	GND				

注：

- 在芯片内部，FLASH 电源与 VCC102 相连，BANK2 的电压不应低于 2.5V。
- ADC\_VDDD、ADC\_VDDA 在芯片内部与 VCC102 固定连接。



## 4.4 EF2L15/45 引脚信息：LQFP144

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
1	IOBB	0	IO_BE1N_0, D1	28	IOBB	0	IO_BE11N_GCLK10B_5_0, D5
2	IOBB	0	IO_BE1P_0, D0	29	-	-	GND
3	IOBB	0	IO_BE2N_0	30	-	0	VCC100
4	IOBB	0	IO_BE2P_0	31	IOBB	0	IO_B3_0
5	IOBB	0	IO_BE3N_GCLK10B_1_0	32	IOBB	0	IO_BE12P_0
6	IOBB	0	IO_BE3P_GCLK10B_0_0	33	IOBB	0	IO_BE12N_0
7	-	0	VCC100	34	IOBB	0	IO_BE13P_0, D6
8	-	-	GND	35	IOBB	0	IO_BE13N_0, D7
9	IOBB	0	IO_BE4P_0	36	-	-	VCCAUX
10	IOBB	0	IO_BE4N_0	37	-	1	VCC101
11	IOBB	0	IO_BE5P_0, D2	38	IOBE	1	IO_R1P_1
12	IOBB	0	IO_BE5N_0, D3	39	IOBE	1	IO_R1N_1
13	IOBB	0	IO_BE6P_0	40	IOBE	1	IO_R2P_1
14	IOBB	0	IO_BE6N_0	41	IOBE	1	IO_R2N_1
15	IOBB	0	IO_B1_0	42	IOBE	1	IO_R3P_1
16	-	0	VCC100	43	IOBE	1	IO_R3N_1
17	IOBB	0	IO_B2_0, DPCLK10_3	44	IOBE	1	IO_R4N_1
18	-	-	GND	45	IOBE	1	IO_R4P_1
19	IOBB	0	IO_BE7P_GCLK10B_2_0	46	-	-	GND
20	IOBB	0	IO_BE7N_GCLK10B_3_0	47	IOBE	1	IO_R5P_1
21	IOBB	0	IO_BE8P_0, DPCLK10_4	48	IOBE	1	IO_R5N_1
22	IOBB	0	IO_BE8N_0	49	IOBE	1	IO_R6N_GCLK10R_1_1, LVDSTX_1 N
23	IOBB	0	IO_BE9P_0	50	IOBE	1	IO_R6P_GCLK10R_0_1, LVDSTX_1 P
24	IOBB	0	IO_BE9N_0	51	-	1	VCC101
25	IOBB	0	IO_BE10P_0	52	IOBE	1	IO_R7P_1
26	IOBB	0	IO_BE10N_0				
27	IOBB	0	IO_BE11P_GCLK10B_4_0, D4				



编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
53	-	-	GND	83	I0BB	2	I0_TE5N_2, GP109, DPCLK10_7, ADC1_CH3
54	I0BE	1	I0_R7N_1, DPCLK10_5	84	I0BB	2	I0_TE5P_2, GP108, ADC1_CH2
55	I0BE	1	I0_R8N_GCLK10R_3_1, LVDSTX_1N	85	I0BB	2	I0_TE6N_2
56	I0BE	1	I0_R8P_GCLK10R_2_1, LVDSTX_1P	86	I0BB	2	I0_TE6P_2
57	I0BE	1	I0_R9P_1, DPCLK10_6	78	I0BB	2	I0_TE3P_2, GP1010
58	I0BE	1	I0_R9N_1	79	-	2	VCC102
59	I0BE	1	I0_R10P_1, LVDSRX_1P	80	-	-	GND
60	I0BE	1	I0_R10N_1, LVDSRX_1N	81	I0BB	2	I0_TE4N_2
61	I0BE	1	I0_R11P_1	82	I0BB	2	I0_TE4P_2
62	I0BE	1	I0_R11N_1	83	I0BB	2	I0_TE5N_2, GP109, DPCLK10_7, ADC1_CH3
63	-	-	GND	84	I0BB	2	I0_TE5P_2, GP108, ADC1_CH2
64	-	-	GND	85	I0BB	2	I0_TE6N_2
65	I0BE	1	I0_R12N_1	86	I0BB	2	I0_TE6P_2
66	-	1	VCC101	87	I0BB	2	I0_TE7N_GCLKIOT_3_2
67	I0BE	1	I0_R12P_1	88	-	2	VCC102
68	I0BE	1	I0_R13P_1, SCLK	89	I0BB	2	I0_TE7P_GCLKIOT_2_2
69	I0BE	1	I0_R13N_1	90	-	-	GND
70	I0BE	1	I0_R14N_1	91	I0BB	2	I0_TE8N_GCLKIOT_1_2
71	I0BE	1	I0_R14P_1	92	I0BB	2	I0_TE8P_GCLKIOT_0_2
72	-	-	VCCAUX	93	I0BB	2	I0_T1_2
73	I0BB	2	I0_TE1N_2, GP104	94	I0BB	2	I0_T2_2, GP107, ADC1_CH1
74	I0BB	2	I0_TE1P_2, GP103	95	I0BB	2	I0_T3_2, GP106, DPCLK10_8, ADC1_CH0
75	I0BB	2	I0_TE2N_2, GP1013	96	I0BB	2	I0_T4_2, GP105, ADC0_VREF
76	I0BB	2	I0_TE2P_2, GP1012	97	I0BB	2	I0_TE9N_2, GP101, ADC1_VREF
77	I0BB	2	I0_TE3N_2, GP1011	98	I0BB	2	I0_TE9P_2, GP100, ADC1_CH4
78	I0BB	2	I0_TE3P_2, GP1010	99	I0BB	2	I0_TE10N_2
79	-	2	VCC102	100	I0BB	2	I0_TE10P_2
80	-	-	GND	101	-	-	GND
81	I0BB	2	I0_TE4N_2	102	-	2	VCC102
82	I0BB	2	I0_TE4P_2				



编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
103	I0BB	2	I0_T5_2	126	I0BE	3	I0_L5P_GCLK10L_0_3, ADC0_CH2 , LVDSRX_OP
104	I0BB	2	I0_TE11P_2	127	I0BE	3	I0_L6N_GCLK10L_3_3, ADC0_CH3 , LVDSTX_ON
105	I0BB	2	I0_TE11N_2	128	I0BE	3	I0_L6P_GCLK10L_2_3, ADC0_CH4 , LVDSTX_OP
106	I0BB	2	I0_TE12P_2	129	-	3	VCCI03
107	I0BB	2	I0_TE12N_2	130	I0BE	3	I0_L7_3, TMS
108	-	-	VCCAUX	131	I0BE	3	I0_L6_3, TCK
109	I0BE	3	I0_L1_3, DONE	132	I0BE	3	I0_L7P_3, DPCLK10_2, LVDSTX_0 P
110	I0BE	3	I0_L3_3, INITN	133	I0BE	3	I0_L7N_3, LVDSTX_ON
111	I0BE	3	I0_L1N_3, ADC0_CH5	134	-	-	GND
112	I0BE	3	I0_L1P_3, ADC0_CH0	135	-	3	VCCI03
113	I0BE	3	I0_L2N_3	136	I0BE	3	I0_L8_3, TDI
114	I0BE	3	I0_L2P_3	137	I0BE	3	I0_L5_3, TDO
115	I0BE	3	I0_L3P_3, ADC0_CH6	138	I0BE	3	I0_L8N_3
116	-	-	GND	139	I0BE	3	I0_L8P_3
117	I0BE	3	I0_L3N_3, ADC0_CH7	140	I0BE	3	I0_L9P_3
118	-	3	NC	141	I0BE	3	I0_L9N_3
119	I0BE	3	I0_L2_3, PROGRAMN	142	I0BE	3	I0_L10N_3
120	I0BE	3	I0_L4_3, JTAGEN	143	I0BE	3	I0_L10P_3
121	I0BE	3	I0_L4N_3, DPCLK10_1	144	-	-	VCCAUX
122	I0BE	3	I0_L4P_3				
123	-	3	VCCI03				
124	-	-	GND				
125	I0BE	3	I0_L5N_GCLK10L_1_3, ADC0_CH1 , LVDSRX_ON				

注：

- 在芯片内部，FLASH 电源与 VCCI02 相连，BANK2 的电压不应低于 2.5V。
- ADC\_VDDD、ADC\_VDDA 在芯片内部与 VCCAUX 固定连接。



## 4.5 EF2L15/25/45 引脚信息：LFBGA256

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
A11	IOBB	0	I0_LE1P_0	B8	IOBE	0	I0_L6_0, TMS
C11	IOBB	0	I0_LE1N_0	A7	IOBE	0	I0_L8_0, TCK
B9	IOBE	0	I0_L2P_0	E6	IOBE	0	I0_L11P_0, DPCLK10_2, LVDSTX_OP
A10	IOBE	0	I0_L2N_0	D7	IOBE	0	I0_L11N_0, LVDSTX_ON
C13	IOBE	0	I0_L1_0, DONE	E7	IOBE	0	I0_L12N_0
A13	IOBE	0	I0_L3_0, INITN	D6	IOBE	0	I0_L12P_0
F8	IOBE	0	I0_L3P_0, ADC0_CH0	C6	IOBE	0	I0_L7_0, TDO
D9	IOBE	0	I0_L3N_0, ADC0_CH5	A6	IOBE	0	I0_L5_0, TDI
E10	IOBE	0	I0_L4N_0	C5	IOBE	0	I0_L13N_0
D10	IOBE	0	I0_L4P_0	A4	IOBE	0	I0_L13P_0
F7	IOBE	0	I0_L5P_0, ADC0_CH6	C4	IOBE	0	I0_L14P_0
E8	IOBE	0	I0_L5N_0, ADC0_CH7	B5	IOBE	0	I0_L14N_0
B10	IOBE	0	I0_L2_0, PROGRAMN	B4	IOBE	0	I0_L15N_0
C10	IOBE	0	I0_L4_0, JTAGEN	A3	IOBE	0	I0_L15P_0
D8	IOBE	0	I0_L6P_0	B3	IOBB	0	I0_L_0
E9	IOBE	0	I0_L6N_0, DPCLK10_1	A15	IOBB	0	I0_TE1N_0
C9	IOBE	0	I0_L7N_GCLK10L_1_0, LVDSRX_ON, ADC0_CH1	B14	IOBB	0	I0_TE1P_0
A9	IOBE	0	I0_L7P_GCLK10L_0_0, LVDSRX_OP, ADC0_CH2	A14	IOBB	0	I0_TE2N_0
A5	IOBE	0	I0_L8P_0	B13	IOBB	0	I0_TE2P_0
B6	IOBE	0	I0_L8N_0	B12	IOBB	0	I0_TE3N_0
A8	IOBE	0	I0_L9N_GCLK10L_3_0, LVDSTX_ON, ADC0_CH3	C12	IOBB	0	I0_TE3P_0
C8	IOBE	0	I0_L9P_GCLK10L_2_0, LVDSTX_OP, ADC0_CH4	A12	IOBB	0	I0_TE4N_0
B7	IOBE	0	I0_L10P_0	B11	IOBB	0	I0_TE4P_0
C7	IOBE	0	I0_L10N_0	D11	IOBB	0	I0_TE5N_0
				F10	IOBB	0	I0_TE5P_0
				E11	IOBB	0	I0_TE6N_0
				F9	IOBB	0	I0_TE6P_0



编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
B1	I0BB	5	I0_BE1P_5	K3	I0BB	4	I0_BE4P_4, D2
C2	I0BB	5	I0_BE1N_5	K2	I0BB	4	I0_BE4N_4, D3
C1	I0BB	5	I0_BE2P_5	H4	I0BB	4	I0_BE5P_4
D2	I0BB	5	I0_BE2N_5	J6	I0BB	4	I0_BE5N_4
D3	I0BB	5	I0_BE3P_5	H5	I0BB	4	I0_BE6P_4
D1	I0BB	5	I0_BE3N_5	J4	I0BB	4	I0_BE6N_4
E2	I0BB	5	I0_BE4P_5	J5	I0BB	4	I0_BE7P_4, DPCLKI0_3
E3	I0BB	5	I0_BE4N_5	K6	I0BB	4	I0_BE7N_4
G2	I0BB	5	I0_BE5P_5, D0	J1	I0BB	4	I0_BE8P_GCLKI0B_2_4
G3	I0BB	5	I0_BE5N_5, D1	J3	I0BB	4	I0_BE8N_GCLKI0B_3_4
F3	I0BB	5	I0_BE6P_5	L2	I0BB	3	I0_BE1P_3
F1	I0BB	5	I0_BE6N_5	M1	I0BB	3	I0_BE1N_3
G5	I0BB	5	I0_BE7P_5	L1	I0BB	3	I0_BE2P_3, DPCLKI0_4
G4	I0BB	5	I0_BE7N_5	L3	I0BB	3	I0_BE2N_3
E1	I0BB	5	I0_BE8P_GCLKI0B_0_5	N2	I0BB	3	I0_BE3P_3
F2	I0BB	5	I0_BE8N_GCLKI0B_1_5	P1	I0BB	3	I0_BE3N_3
F4	I0BB	5	I0_BE9P_5	R1	I0BB	3	I0_BE4P_3
G6	I0BB	5	I0_BE9N_5	P2	I0BB	3	I0_BE4N_3
F5	I0BB	5	I0_BE10P_5	M3	I0BB	3	I0_BE5P_3
H6	I0BB	5	I0_BE10N_5	N1	I0BB	3	I0_BE5N_3
G1	I0BB	4	I0_BE1P_4	M2	I0BB	3	I0_BE6P_GCLKI0B_4_3, D4
H2	I0BB	4	I0_BE1N_4	N3	I0BB	3	I0_BE6N_GCLKI0B_5_3, D5
H3	I0BB	4	I0_BE2P_4	K4	I0BB	3	I0_BE7P_3
H1	I0BB	4	I0_BE2N_4	L5	I0BB	3	I0_BE7N_3
J2	I0BB	4	I0_BE3P_4	K5	I0BB	3	I0_BE8P_3
K1	I0BB	4	I0_BE3N_4	L4	I0BB	3	I0_BE8N_3



编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
T2	I0BB	2	I0_BE1P_2	M7	I0BE	2	I0_R3P_2
R3	I0BB	2	I0_BE1N_2	N7	I0BE	2	I0_R3N_2
T3	I0BB	2	I0_BE2P_2	L9	I0BE	2	I0_R4N_2
R4	I0BB	2	I0_BE2N_2	N8	I0BE	2	I0_R4P_2
P4	I0BB	2	I0_BE3P_2	M8	I0BE	2	I0_R5P_2
T4	I0BB	2	I0_BE3N_2	N9	I0BE	2	I0_R5N_2
T5	I0BB	2	I0_BE4P_2	L10	I0BE	2	I0_R6N_2
R6	I0BB	2	I0_BE4N_2	M9	I0BE	2	I0_R6P_2
R5	I0BB	2	I0_BE5P_2	M10	I0BE	2	I0_R7P_2
P5	I0BB	2	I0_BE5N_2	N11	I0BE	2	I0_R7N_2
P6	I0BB	2	I0_BE6P_2	R8	I0BE	2	I0_R8N_GCLKIOR_1_2, LVDSTX_1N
T6	I0BB	2	I0_BE6N_2	T7	I0BE	2	I0_R8P_GCLKIOR_0_2, LVDSTX_1P
R7	I0BB	2	I0_BE7P_2	N10	I0BE	2	I0_R9P_2
P7	I0BB	2	I0_BE7N_2	M11	I0BE	2	I0_R9N_2, DPCLKI0_5
P8	I0BB	2	I0_BE8P_2	P9	I0BE	2	I0_R10N_GCLKIOR_3_2, LVDSTX_1N
T8	I0BB	2	I0_BE8N_2	T9	I0BE	2	I0_R10P_GCLKIOR_2_2, LVDSTX_1P
M14	I0BB	2	I0_BE9P_2	P10	I0BE	2	I0_R11P_2, DPCLKI0_6
M15	I0BB	2	I0_BE9N_2	R10	I0BE	2	I0_R11N_2
R9	I0BB	2	I0_BE10P_2, D6	P11	I0BE	2	I0_R12N_2, LVDSRX_1N
T10	I0BB	2	I0_BE10N_2, D7	T11	I0BE	2	I0_R12P_2, LVDSRX_1P
P15	I0BB	2	I0_BE11P_2	P12	I0BE	2	I0_R13P_2
R16	I0BB	2	I0_BE11N_2	T13	I0BE	2	I0_R13N_2
N16	I0BB	2	I0_BE12P_2	T12	I0BE	2	I0_R14N_2
N14	I0BB	2	I0_BE12N_2	R11	I0BE	2	I0_R14P_2
N15	I0BB	2	I0_BE13P_2	R12	I0BE	2	I0_R15P_2, SCLK
P16	I0BB	2	I0_BE13N_2	P13	I0BE	2	I0_R15N_2
M6	I0BE	2	I0_R1P_2	T14	I0BE	2	I0_R16N_2, GPLL2_OUTN
L8	I0BE	2	I0_R1N_2	R13	I0BE	2	I0_R16P_2, GPLL2_OUTP
L7	I0BE	2	I0_R2N_2	T15	I0BE	2	I0_R17P_2
N6	I0BE	2	I0_R2P_2	R14	I0BE	2	I0_R17N_2



编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
M16	IOBB	1	I0_T1_1	H12	IOBB	1	I0_TE11N_GCLK10T_3_1
L12	IOBB	1	I0_TE1N_1, GPIO4	G11	IOBB	1	I0_TE11P_GCLK10T_2_1
J11	IOBB	1	I0_TE1P_1, GPIO3	H16	IOBB	1	I0_TE12N_GCLK10T_1_1
L14	IOBB	1	I0_TE2N_1, GPLL2IN	H14	IOBB	1	I0_TE12P_GCLK10T_0_1
L16	IOBB	1	I0_TE2P_1, GPLL2IP	G14	IOBB	1	I0_TE13N_1
L15	IOBB	1	I0_T2_1	G15	IOBB	1	I0_TE13P_1
K15	IOBB	1	I0_TE3N_1	G13	IOBB	1	I0_T3_1, GPIO7, ADC1_CH1
K14	IOBB	1	I0_TE3P_1	F16	IOBB	1	I0_TE14N_1, CS0N, DOUT
L13	IOBB	1	I0_TE4N_1	F14	IOBB	1	I0_TE14P_1, GPIO6, DPCLK10_0, ADC1_CH0
K11	IOBB	1	I0_TE4P_1	G12	IOBB	1	I0_T4_1, GPIO5, ADC0_VREF
K12	IOBB	1	I0_TE5N_1, GPIO13	F13	IOBB	1	I0_T5_1, CSN
K13	IOBB	1	I0_TE5P_1, GPIO12	F15	IOBB	1	I0_TE15N_1, GPIO1, ADC1_VREF
J14	IOBB	1	I0_TE6N_1	E16	IOBB	1	I0_TE15P_1, GPIO0, ADC1_CH4
J16	IOBB	1	I0_TE6P_1	E14	IOBB	1	I0_TE16N_1
K16	IOBB	1	I0_TE7N_1, GPIO11	D16	IOBB	1	I0_TE16P_1
J15	IOBB	1	I0_TE7P_1, GPIO10	F12	IOBB	1	I0_T_1, GPIO2, ADC1_CH5
H15	IOBB	1	I0_TE8N_1	E15	IOBB	1	I0_TE17N_1
G16	IOBB	1	I0_TE8P_1	D14	IOBB	1	I0_TE17P_1
J12	IOBB	1	I0_TE9N_1, GPIO9, DPCLK10_7, ADC1_CH3	D15	IOBB	1	I0_TE18N_1, GPIO15, ADC1_CH6
H13	IOBB	1	I0_TE9P_1, GPIO8, USRCLK, ADC1_C_H2	C16	IOBB	1	I0_TE18P_1, GPIO14
J13	IOBB	1	I0_TE10N_1	B16	IOBB	1	I0_TE19N_1
H11	IOBB	1	I0_TE10P_1	C15	IOBB	1	I0_TE19P_1



编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
A16	-	-	ADC_VDDA	R15	-	-	GND
F11	-	-	GND_ADC	A1	-	-	VCCAUX
A2	-	-	ADC_VDDD	G7	-	-	VCCAUX
L11	-	-	GND_PLLA2	G10	-	-	VCCAUX
B2	-	-	GND	K7	-	-	VCCAUX
B15	-	-	GND	K10	-	-	VCCAUX
C3	-	-	GND	T1	-	-	VCCAUX
C14	-	-	GND	T16	-	-	VCCAUX
D4	-	-	GND	G8	-	-	VCCI00
D13	-	-	GND	G9	-	-	VCCI00
E5	-	-	GND	D5	-	-	VCCI00
E12	-	-	GND	D12	-	-	VCCI00
F6	-	-	GND	H10	-	-	VCCI01
H8	-	-	GND	J10	-	-	VCCI01
H9	-	-	GND	E13	-	-	VCCI01
J8	-	-	GND	M13	-	-	VCCI01
J9	-	-	GND	K8	-	-	VCCI02
L6	-	-	GND	K9	-	-	VCCI02
M5	-	-	GND	N5	-	-	VCCI02
M12	-	-	GND	N12	-	-	VCCI02
N4	-	-	GND	M4	-	-	VCCI03
N13	-	-	GND	H7	-	-	VCCI04
P3	-	-	GND	J7	-	-	VCCI04
P14	-	-	GND	E4	-	-	VCCI05
R2	-	-	GND				

注：

- 在芯片内部，FLASH 电源与 VCCI01 相连，BANK1 的电压不应低于 2.5V。



#### 4.6 EF2L25 引脚信息：XWFN42<sup>1</sup>和 LGA42<sup>1</sup>

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
1	-	-	GND	22	IOBE	2	IO_R2P_2
2	IOBE	0	IO_L1N_0	23	IOBE	2	IO_R2N_2
3	IOBE	0	IO_L1P_0	24	IOBE	2	IO_R3P_GCLKIOR_0_2, LVDSTX_1P
4	-	-	GND	25	IOBE	2	IO_R3N_GCLKIOR_1_2, LVDSTX_1N
5	IOBE	0	IO_L2N_0	26	-	2	VCCI02
6	IOBE	0	IO_L2P_0	27	-	-	GND
7	-	0	VCCI00	28	IOBE	2	IO_R4N_2
8	IOBE	0	IO_L1_0, TMS	29	IOBE	2	IO_R5P_2
9	IOBE	0	IO_L2_0, TCK	30	IOBE	2	IO_R4P_2
10	IOBE	0	IO_L3_0, TDI	31	IOBE	2	IO_R5N_2
11	IOBE	0	IO_L4_0, TDO	32	-	-	GND
12	IOBE	0	IO_L3N_0	33	IOBB	3	IO_TE1N_3
13	IOBE	0	IO_L3P_0	34	IOBB	3	IO_TE1P_3
14	IOBE	0	IO_L4P_0	35	IOBB	3	IO_T1_GCLKIOT_3_3
15	IOBE	0	IO_L4N_0	36	-	3	VCCI03
16	-	1	VCCI01	37	-	-	GND
17	-	-	GND	38	IOBB	3	IO_T2_3
18	IOBB	1	IO_B1_GCLKI0B_4_1	39	-	3	VCCI03
19	-	1	VCCI01	40	IOBE	0	IO_L5P_0
20	IOBE	2	IO_R1P_2	41	IOBE	0	IO_L5N_0
21	IOBE	2	IO_R1N_2	42	-	-	VCCAUX

注：

1. 上表中 P7, P36 等电源引脚都在内部与 VCCAUX 连一起了，因此 BANK0 和 BANK3 的电压都必须与 VCCAUX 保持一致。
2. 在芯片内部，FLASH 电源与 VCCI03 相连，BANK3 的电压不应低于 2.5V。
3. ADC\_VDDD、ADC\_VDDA 在芯片内部与 VCCAUX 固定连接。



#### 4.7 EF2M45 引脚信息：LQFP48

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
1	-	-	VCCAUX	25	IOBB	1	D7, IO_BE4N_1
2	-	0	ADC_VDDA	26	IOBE	2	IO_R1P_2
3	IOBE	0	ADCO_CHO, IO_L_0	27	IOBE	2	IO_R1N_2
4	IOBE	0	PROGRAMN, IO_L1N_0	28	IOBE	2	IO_R1_2
5	IOBE	0	JTAGEN, IO_L1P_0	29	-	2	VCCIO_2
6	IOBE	0	ADCO_CH1, GCLK10L_1, LVDSRX_ON, IO_L2N_0	30	IOBE	2	SCLK, IO_R2_2
7	IOBE	0	ADCO_CH2, GCLK10L_0, LVDSRX_OP, IO_L2P_0	31	-	2	XTAL1
8	-	0	VCCIO_0	32	-	2	XTAL0
9	IOBE	0	ADCO_CH3, GCLK10L_3, LVDSTX_ON, IO_L3N_0	33	-	-	VCCAUX
10	IOBE	0	ADCO_CH4, GCLK10L_2, LVDSTX_OP, IO_L3P_0	34	IOBB	3	GPIO4, IO_TE1N_3
11	IOBE	0	TMS, IO_L4N_0	35	-	3	VBAT
12	IOBE	0	TCK, IO_L4P_0	36	IOBB	3	GPIO3, IO_TE1P_3
13	IOBE	0	TDI, IO_L5N_0	37	IOBB	3	GPIO13, IO_TE2N_3
14	IOBE	0	TDO, IO_L5P_0	38	IOBB	3	GPIO12, IO_TE2P_3
15	IOBB	1	D0, IO_BE1P_1	39	IOBB	3	GPIO11, IO_TE3N_3
16	IOBB	1	D1, IO_BE1N_1	40	IOBB	3	GPIO10, IO_TE3P_3
17	-	1	VCCIO_1	41	IOBB	3	GPIO9, DPCLK10_7, ADC1_CH3, IO_TE4N_3
18	IOBB	1	D2, IO_BE2P_1	42	IOBB	3	GPIO8, USRCLK, ADC1_CH2, IO_TE4P_3
19	IOBB	1	D3, IO_BE2N_1	43	IOBB	3	GPIO7, ADC1_CH1, IO_T1_3
20	-	-	VCCAUX	44	IOBB	3	GPIO6, DPCLK10_8, ADC1_CHO, IO_T2_3
21	IOBB	1	D4, GCLK10B_4, IO_BE3P_1	45	IOBB	3	GPIO5, ADC0_VREF, IO_T3_3
22	IOBB	1	D5, GCLK10B_5, IO_BE3N_1	46	IOBB	3	GPIO0, ADC1_CH4, IO_TE5P_3
23	-	1	VCCIO_1	47	IOBB	3	GPIO1, ADC1_VREF, IO_TE5N_3
24	IOBB	1	D6, IO_BE4P_1	48	-	3	VCCIO_3
				49	-	-	GND_EPAD

注：

- 在芯片内部，FLASH 电源与 VCCIO3 相连，BANK3 的电压不应低于 2.5V。
- ADC\_VDDD 在芯片内部与 VCCAUX 固定连接，GND 是由芯片底部的 EPAD 接入。



#### 4.8 EF2L45 引脚信息：UBGA132

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
A2	IOBE	0	IO_L1P_0	B14	IOBB	1	IO_TE1P_1
B3	IOBE	0	IO_L1N_0	C13	IOBB	1	IO_TE1N_1
A4	IOBE	0	IO_L1_0, TDO	C14	IOBB	1	IO_TE2P_1
B4	IOBE	0	IO_L2_0, TDI	D12	IOBB	1	IO_TE2N_1
A3	IOBE	0	IO_L2P_0	E12	IOBB	1	IO_TE3P_1
C4	IOBE	0	IO_L2N_0	E14	IOBB	1	IO_TE3N_1
B5	IOBE	0	IO_L3P_0, LVDSTX_OP	E13	IOBB	1	IO_TE4P_1
C6	IOBE	0	IO_L3N_0, LVDSTX_ON	F12	IOBB	1	IO_TE4N_1
A7	IOBE	0	IO_L4P_0	F13	IOBB	1	IO_TE5P_1
B7	IOBE	0	IO_L4N_0	F14	IOBB	1	IO_TE5N_1
B6	IOBE	0	IO_L3_0, TCK	G12	IOBB	1	IO_TE6P_1
A6	IOBE	0	IO_L4_0, TMS	G14	IOBB	1	IO_TE6N_1
C8	IOBE	0	IO_L5P_0	G13	IOBB	1	IO_TE7P_1, GCLKIOT_0
B8	IOBE	0	IO_L5N_0	H12	IOBB	1	IO_TE7N_1, GCLKIOT_1
C9	IOBE	0	IO_L6P_0	J12	IOBB	1	IO_TE8P_1, GCLKIOT_2
A9	IOBE	0	IO_L6N_0	J14	IOBB	1	IO_TE8N_1, GCLKIOT_3
B9	IOBE	0	IO_L5_0, JTAGEN	J13	IOBB	1	IO_TE9P_1
C10	IOBE	0	IO_L6_0, PROGRAMN	K12	IOBB	1	IO_TE9N_1
A10	IOBE	0	IO_L7P_0	K13	IOBB	1	IO_TE10P_1
C11	IOBE	0	IO_L7N_0	K14	IOBB	1	IO_TE10N_1
A11	IOBE	0	IO_L8P_0	L14	IOBB	1	IO_TE11P_1
B12	IOBE	0	IO_L8N_0	M13	IOBB	1	IO_TE11N_1
B13	IOBE	0	IO_L7_0, INITN	M12	IOBB	1	IO_TE12P_1
A13	IOBE	0	IO_L8_0, DONE	M14	IOBB	1	IO_TE12N_1
C12	IOBB	0	IO_LE9P_0	N13	IOBB	1	IO_TE13P_1, GPLL2IP
A12	IOBB	0	IO_LE9N_0	N14	IOBB	1	IO_TE13N_1, GPLL2IN



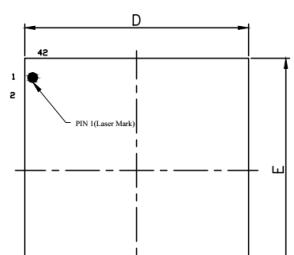
编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
P3	I0BE	2	I0_R1P_2	P13	I0BE	2	I0_R14N_2
M3	I0BE	2	I0_R1N_2	L3	I0BB	3	I0_BE1_3
P2	I0BE	2	I0_R2P_2	M1	I0BB	3	I0_BE1P_3
N2	I0BE	2	I0_R2N_2	M2	I0BB	3	I0_BE1N_3
N3	I0BE	2	I0_R3P_2	K1	I0BB	3	I0_BE2P_3, D4, GCLKI0B_4
P4	I0BE	2	I0_R3N_2	K3	I0BB	3	I0_BE2N_3, D5, GCLKI0B_5
N5	I0BE	2	I0_R4P_2	J3	I0BB	3	I0_BE3P_3, D6
M5	I0BE	2	I0_R4N_2	K2	I0BB	3	I0_BE3N_3, D7
M4	I0BE	2	I0_R5P_2	F1	I0BB	4	I0_BE4P_4
N4	I0BE	2	I0_R5N_2	F3	I0BB	4	I0_BE4N_4
N6	I0BE	2	I0_R6P_2, GCLKI0R_0, LVDSTX_1P	J1	I0BB	4	I0_BE5P_4, D2
P6	I0BE	2	I0_R6N_2, GCLKI0R_1, LVDSTX_1N	J2	I0BB	4	I0_BE5N_4, D3
M7	I0BE	2	I0_R7P_2, GCLKI0R_2, LVDSTX_1P	H1	I0BB	4	I0_BE6P_4, DPCLKI0_3
N8	I0BE	2	I0_R7N_2, GCLKI0R_3, LVDSTX_1N	H3	I0BB	4	I0_BE6N_4
P7	I0BE	2	I0_R8P_2	G3	I0BB	4	I0_BE7P_4, GCLKI0B_2
N7	I0BE	2	I0_R8N_2	H2	I0BB	4	I0_BE7N_4, GCLKI0B_3
P9	I0BE	2	I0_R9P_2, LVDSRX_1P	E1	I0BB	5	I0_BE8P_5, D0
N9	I0BE	2	I0_R9N_2, LVDSRX_1N	E2	I0BB	5	I0_BE8N_5, D1
P8	I0BE	2	I0_R10P_2	E3	I0BB	5	I0_BE9P_5
M8	I0BE	2	I0_R10N_2	F2	I0BB	5	I0_BE9N_5
M9	I0BE	2	I0_R11P_2	C2	I0BB	5	I0_BE10P_5, GCLKI0B_0
N10	I0BE	2	I0_R11N_2	D1	I0BB	5	I0_BE10N_5, GCLKI0B_1
M10	I0BE	2	I0_R12P_2, GPLL2_OUTP	C1	I0BB	5	I0_BE11P_5
P11	I0BE	2	I0_R12N_2, GPLL2_OUTN	C3	I0BB	5	I0_BE11N_5
M11	I0BE	2	I0_R13P_2, SCLK	B1	I0BB	5	I0_BE12P_5
P12	I0BE	2	I0_R13N_2	B2	I0BB	5	I0_BE12N_5
N12	I0BE	2	I0_R14P_2				



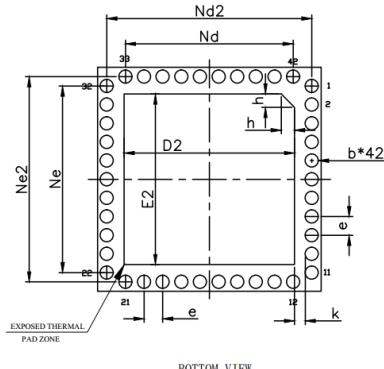
编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
A8	-	0	VCC100	D13	-	-	GND
B10	-	0	VCC100	D2	-	-	GND
C5	-	0	VCC100	G2	-	-	GND
D14	-	1	VCC101	H13	-	-	GND
H14	-	1	VCC101	L13	-	-	GND
L12	-	1	VCC101	L2	-	-	GND
M6	-	2	VCC102	P10	-	-	GND
N11	-	2	VCC102	P5	-	-	GND
P1	-	2	VCC102	C7	-	-	NC
L1	-	3	VCC103	A1	-	-	VCCAUX
G1	-	4	VCC104	A14	-	-	VCCAUX
D3	-	5	VCC105	N1	-	-	VCCAUX
A5	-	-	GND	P14	-	-	VCCAUX
B11	-	-	GND				

## 4.9 封装信息

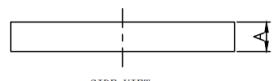
### 4.9.1 XWFN42 封装规格



TOP VIEW



BOTTOM VIEW

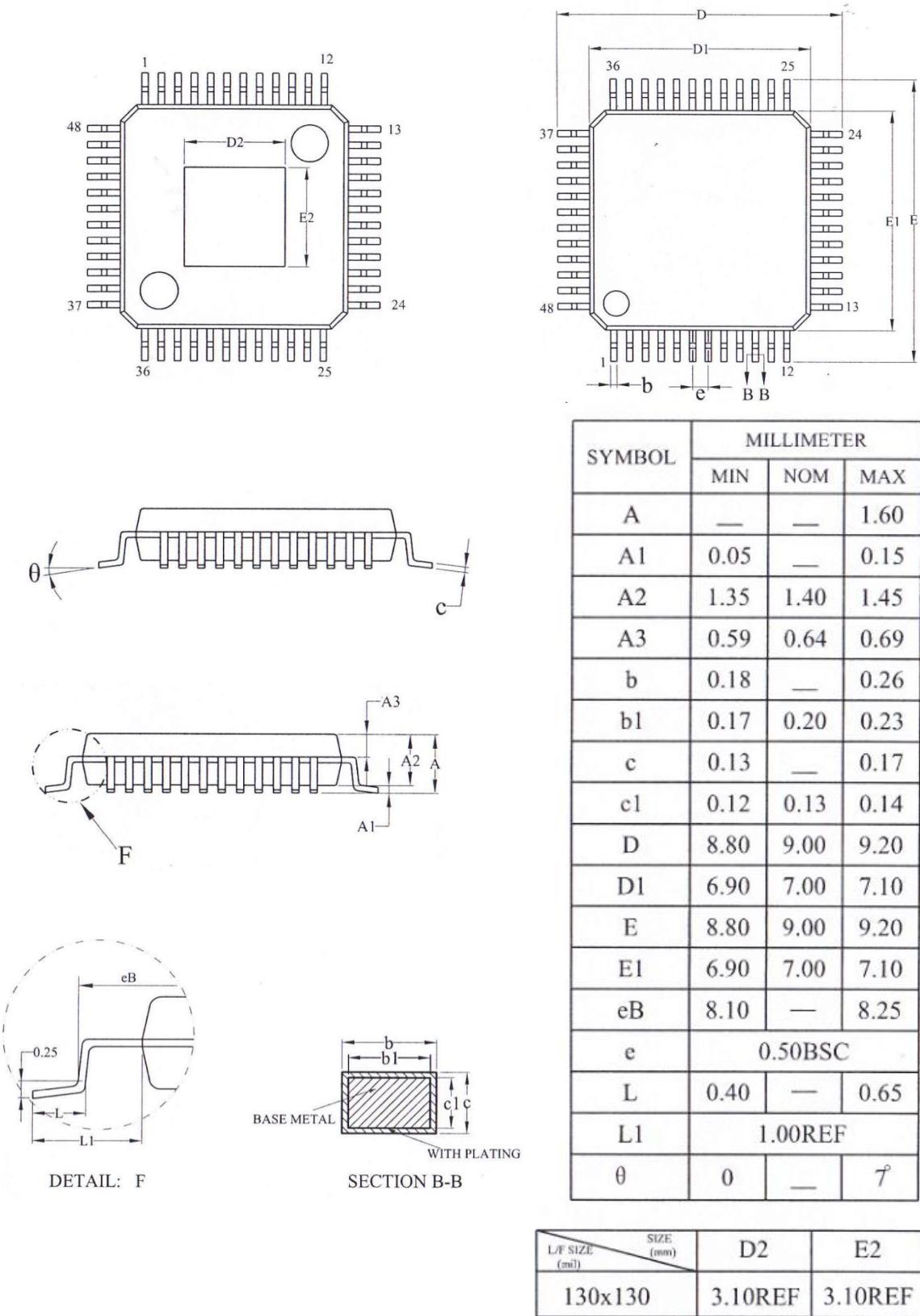


SIDE VIEW

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
b	0.20	0.25	0.30
D	4.10	4.20	4.30
E	4.10	4.20	4.30
D2	3.10	3.20	3.30
E2	3.10	3.20	3.30
Nd	3.15BSC		
Nd2	3.85BSC		
Ne	3.50BSC		
Ne2	3.85BSC		
e	0.35BSC		
k	0.20REF		
h	0.20	0.25	0.30

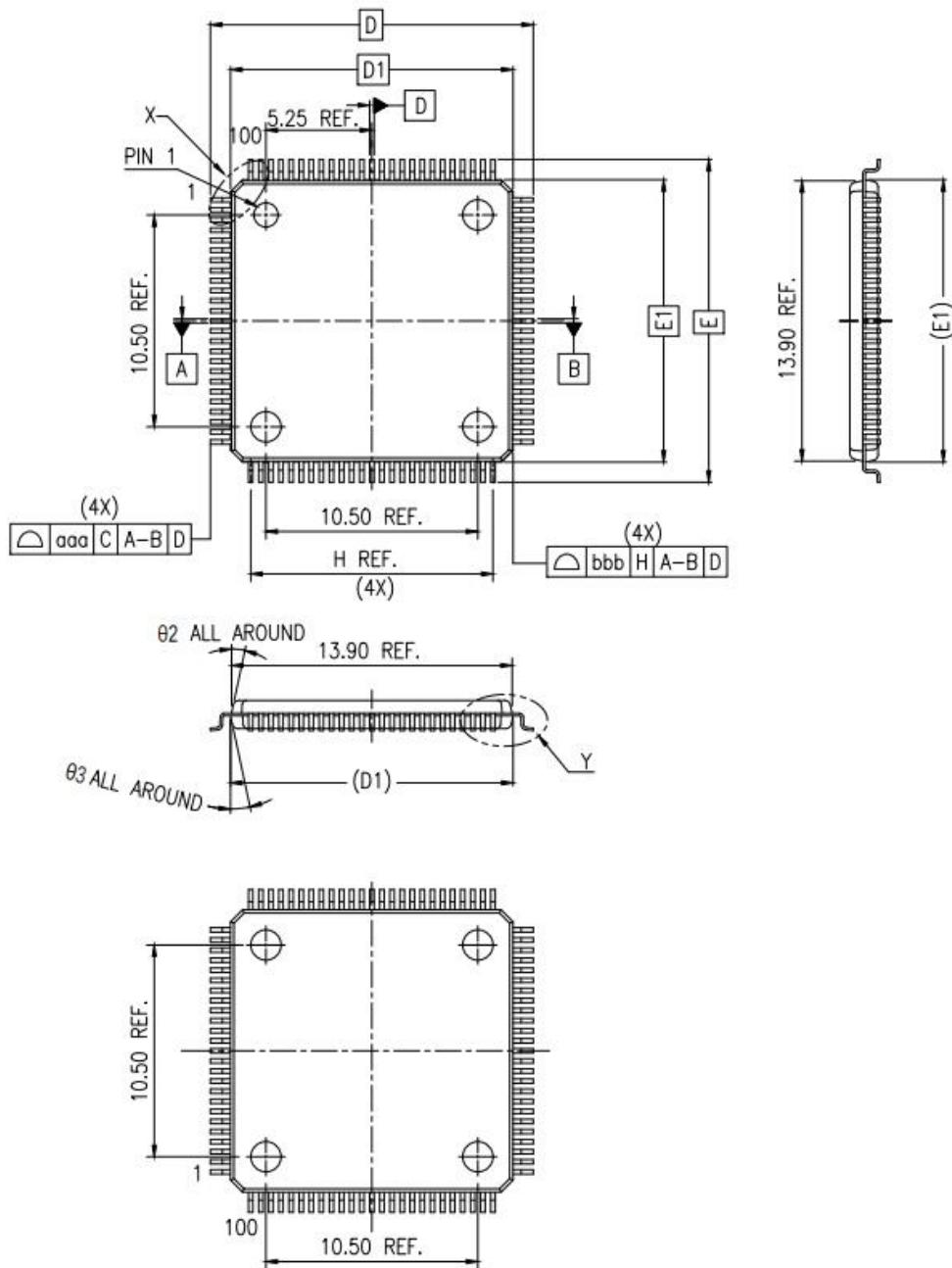
\*\* 特殊设计: 无

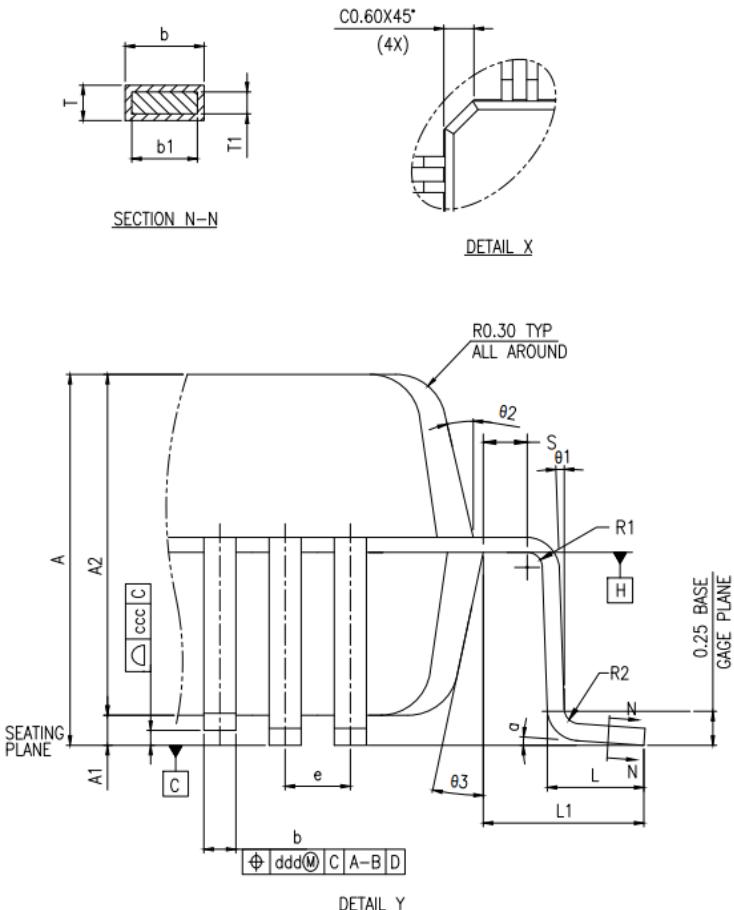
#### 4.9.2 LQFP48 封装规格



#### 4.9.3 LQFP100 封装规格

EF2L15LG100B 器件的不同封装之间，仅塑封体四角形状、塑封脱模顶针位置和大小存在差异，可以从外形上进行区别。





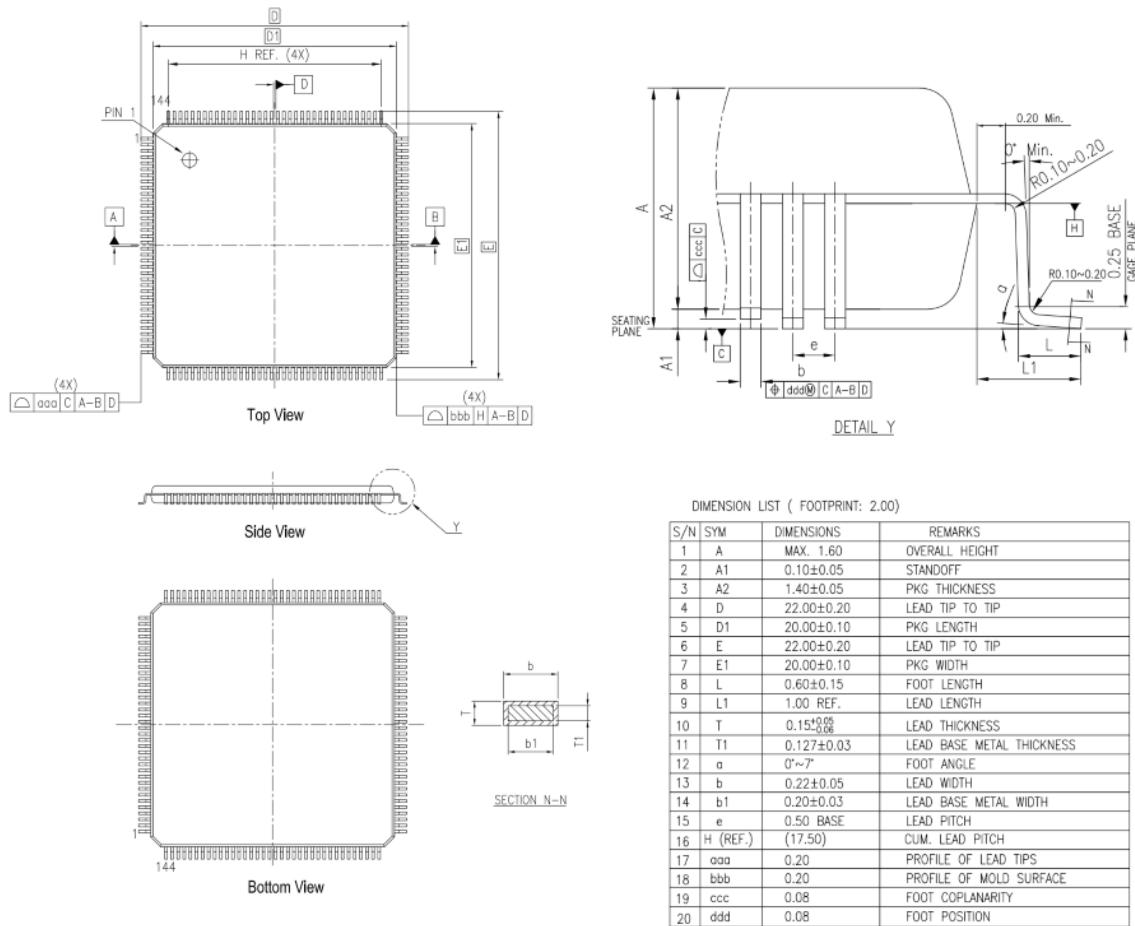
DIMENSION LIST ( FOOTPRINT: 2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.10±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	16.00±0.20	LEAD TIP TO TIP
5	D1	14.00±0.10	PKG LENGTH
6	E	16.00±0.20	LEAD TIP TO TIP
7	E1	14.00±0.10	PKG WIDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF.	LEAD LENGTH
10	T	0.15 <sup>+0.05</sup> <sub>-0.06</sub>	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	α	0°~7°	FOOT ANGLE
13	b	0.22±0.05	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(12.00)	CUM. LEAD PITCH
17	aaa	0.20	PROFILE OF LEAD TIPS
18	bbb	0.20	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION
21	θ1	0° Min	
22	θ2	12°	
23	θ3	12°	
24	R1(REF.)	0.10~0.20	
25	R2(REF.)	0.10~0.20	
26	S(REF.)	0.200 Min.	

## NOTES :

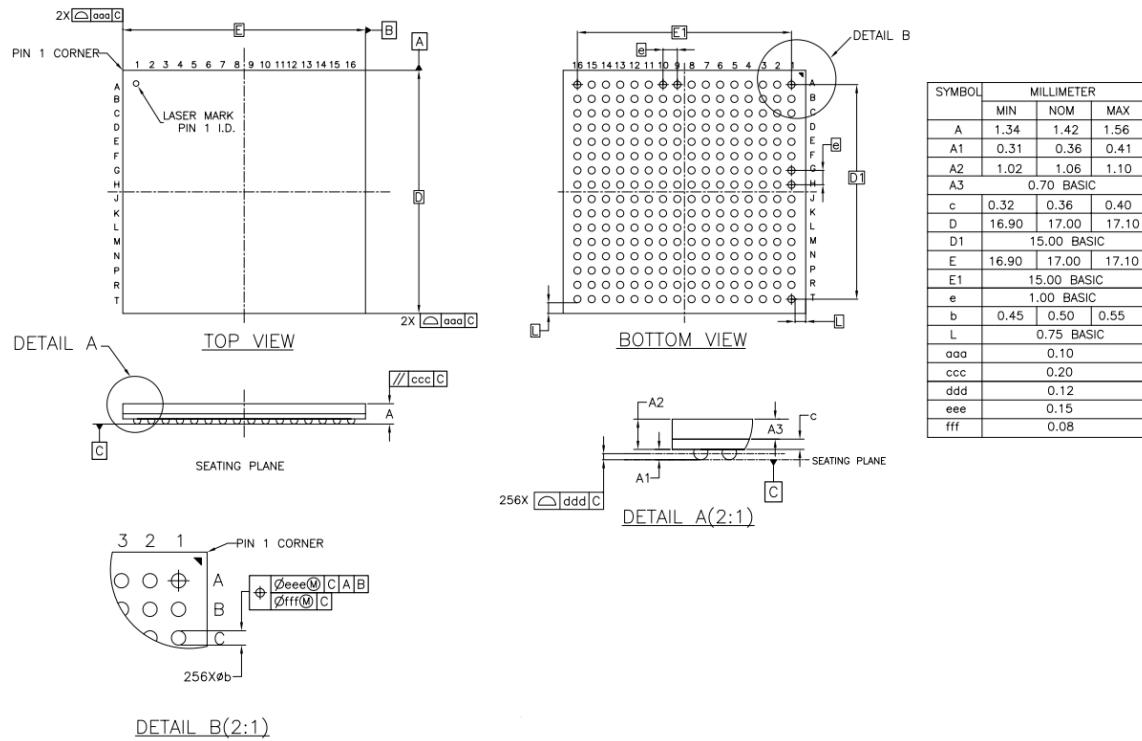
S/N	DESCRIPTION	SPECIFICATION
1	GENERAL TOLERANCE.	±0.10
	ANGLE	±2.5°
2	MATTE FINISH ON PACKAGE BODY SURFACE EXPECT EJECTION AND PIN 1 MARKING.	Ra0.8~2.0μm
3	ALL MOLDED BODY SHARP CORNER RADII UNLESS OTHERWISE SPECIFIED.	MAX. R0.20
4	PACKAGE/LEADFRAME MISALIGNMENT ( X, Y ):	MAX. 0.127
5	TOP/BTM PACKAGE MISALIGNMENT ( X, Y ):	MAX. 0.127
6	DRAWING DOES NOT INCLUDE PLASTIC OR METAL PROTRUSION OR CUTTING BURR.	
7	COMPLIANT TO JEDEC STANDARD: MS-026	
8	ALL DIMENSIONS SHOULD BE MEASURED EXCEPT BASIC/REF DIMENSIONS.	

## 4.9.4 LQFP144 封装规格

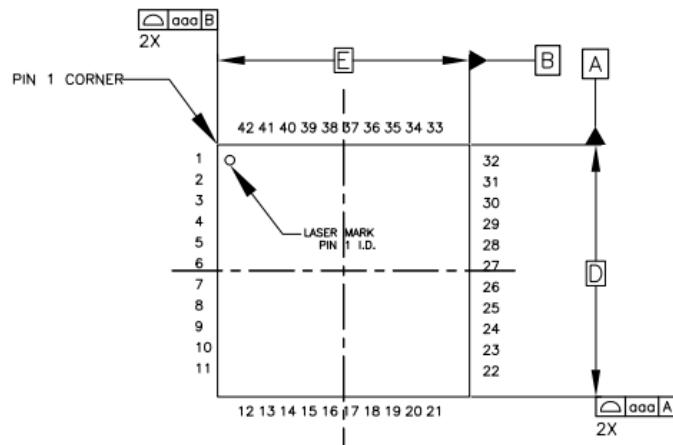




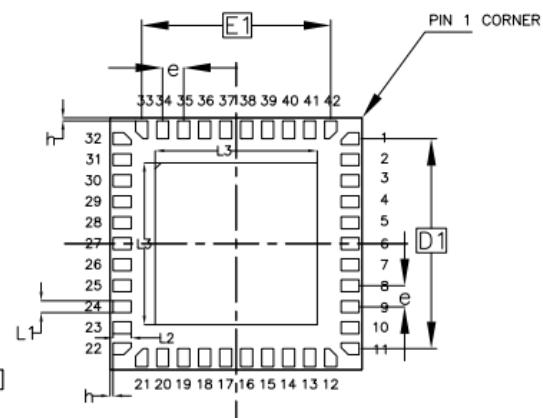
## 4.9.5 LFBGA256 封装规格



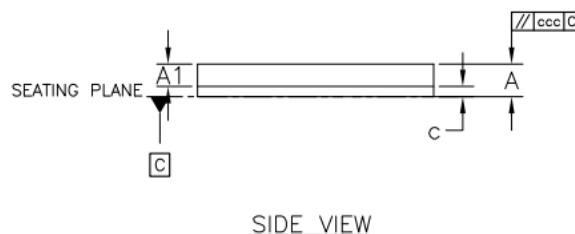
## 4.9.6 LGA42 封装规格



TOP VIEW



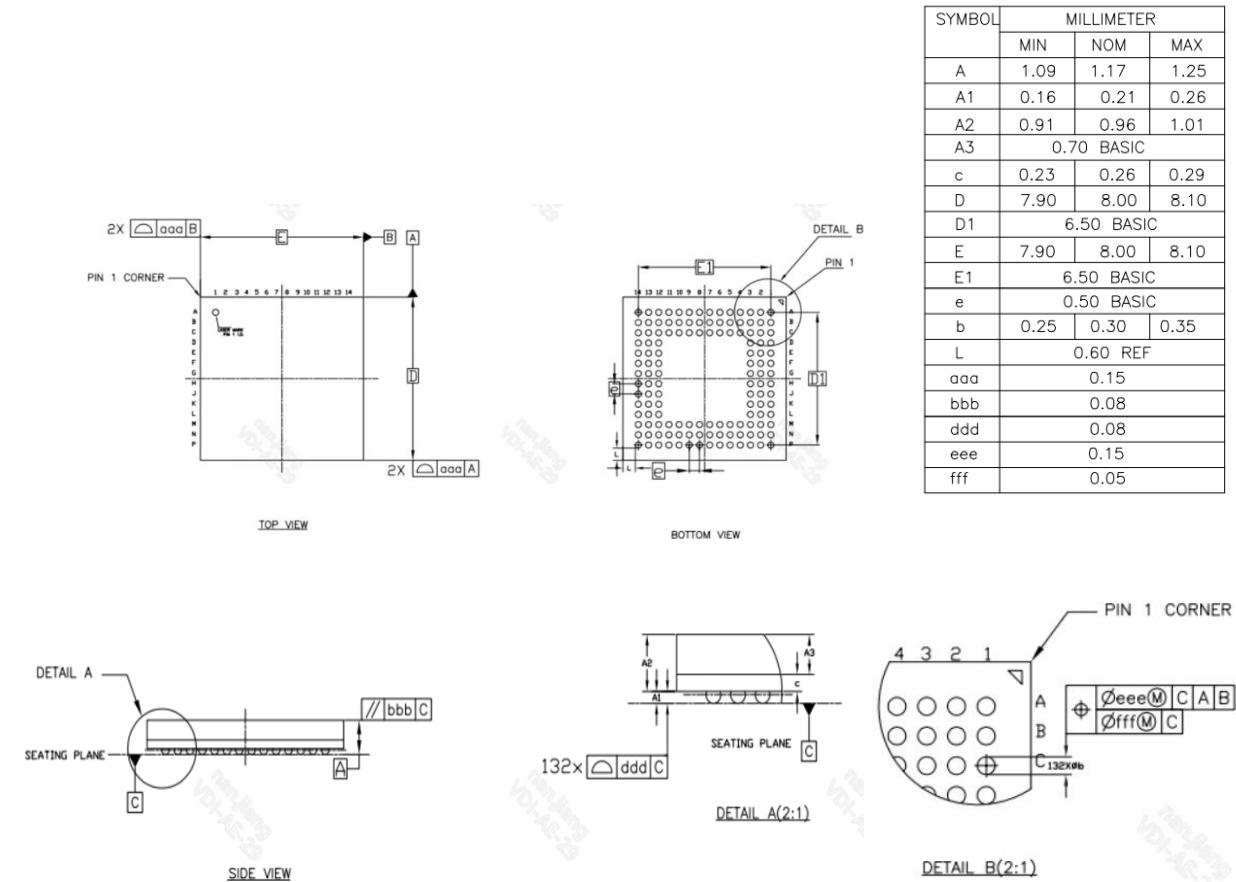
BOTTOM VIEW



SIDE VIEW

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.52	0.58	0.64
A1	0.40	BASIC	
c	0.15	0.18	0.21
D	4.10	4.20	4.30
D1	3.50	BASIC	
E	4.10	4.20	4.30
E1	3.15	BASIC	
e	0.35	BASIC	
L1	0.15	0.20	0.25
L2	0.25	0.30	0.35
L3	2.65	2.70	2.75
h	0.05	REF	
ooo		0.10	
ccc		0.15	

#### 4.9.7 UBGA132 封装规格





## 5 订购信息

表 5- 1 器件号缩写

器件名称	类别	查找表容量	封装类型
EF2	L	15	BG256

### ■ 产品系列

- ELF2 系列

### ■ 类别

- L 逻辑器件
- M 内嵌 MCU-M3

### ■ 查找表容量

- 15 1500 查找表
- 25 2500 查找表
- 45 4500 查找表

### ■ 封装类型: <类型><#>

- LG LQFP, lead free
- XG XWFN, lead free
- UG UBGAs,
- BG LFBGA, substrate
- AG LGA
- # 引脚数 (144 指 144 个引脚, 256 指 256 个引脚)

### ■ 温度等级

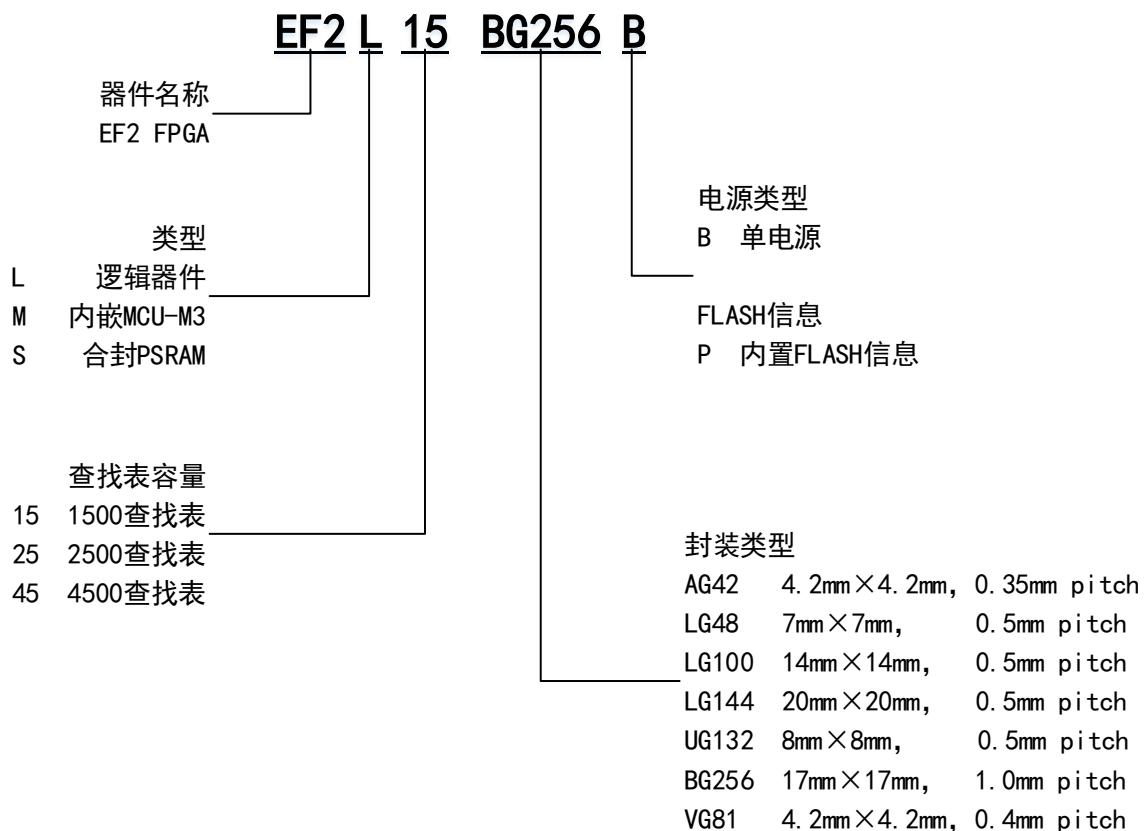
- I 工业 ( $T_J = -40 \sim 100^\circ\text{C}$ )
- C 商业 ( $T_J = 0 \sim 85^\circ\text{C}$ )

### ■ FLASH 信息

- P 内置 FLASH 信息

### ■ 电源

- B 单电源



注:

1. EF2L25AG42P 温度等级为商业级 (C)，支持的温度范围为: -10~85°C。
2. 器件内箱标签 GRADE 栏中的“17”和“1”均为 I 等级。



## 版本信息

日期	版本	修订记录
2017/10/15	0.1	首次发布中文版
2017/12/11	0.11	修改 IO 定义, 修改下载模式定义
2017/12/20	1.0	修改 IO 封装文件定义
2018/1/11	1.1	更新 IO 封装文件定义, 添加上电时序要求
2018/1/18	1.2	更新封装表
2018/1/26	1.3	更新 BGA256 封装
2018/1/27	1.4	更新型号表, 更新订购信息表
2018/2/25	1.5	更新型号表信息
2018/2/28	1.6	更新 XWFN42 引脚信息
2018/4/12	1.7	增加 AST 接口介绍
2018/4/18	1.8	更新 LQFP144 引脚, 增加 LQFP64 引脚信息
2018/4/24	1.9	修正 ERAM128K 写模式说明, 更新选型与引脚信息表与温度传感器计算公式
2018/5/16	2.0	添加 LQFP48 封装, 修改部分功能描述
2018/5/23	2.1	更改 LQFP48 尺寸, 修改部分功能描述
2018/5/31	2.2	添加电源监控模块使用说明
2018/6/7	2.3	删除 ADC 相关 BANK 电压错误描述
2018/6/19	2.4	更新 IOBB VIH 数值、更新 PLL 动态配置表描述
2018/6/27	2.5	1. 表 3.2.3 更新占空比描述; 3.1.6 节热拔插排除 ADC_VREF 引脚 2. 表 2-8-3 更新 IOBB Emulated LVDS 推荐电阻值
2018/7/4	2.6	1. 更新了交流电气特性的时钟性能和数字信号处理模块的描述 2. 新增 2.14 节 OSC、OSCDIV 输出限制注释
2018/7/12	2.7	修改了 IOB 简介部分的描述、更改了表 2-8-1 ELF2 支持电气标准
2018/7/18	2.8	增加 IOBB/IOBE 识别方法, 修改文档格式
2018/8/3	2.9	修改 IOBE 支持的单端标准
2018/8/10	3.0	删除 PLL 动态配置相关描述
2018/8/16	3.1	删除预加重、动态时钟使能模块、修改 IOB 描述、更新引脚注释
2018/8/24	3.2	更新 DCS 操作模式列表
2018/8/30	3.3	更改 ADC 复用引脚热插拔说明, 修正伪差分速率
2018/9/11	3.4	统一文档格式, 增加 PLL、OSC 使用建议、IO 引脚在配置过程中的状态说明
2018/11/20	3.5	修正 TRUE LVDS 输出示意图
2019/1/4	3.6	添加 LVPECL 输入建议外接电路
2019/2/12	3.7	1. 更改表 3-1-15VID 输入差分电平标准; 2. 添加 2.9.7 中的 JTAG 时序图和 JTAG 时序规格表; 3. 绘制添加 3.1.3 基本供电要求表格;



日期	版本	修订记录
2019/2/18	3. 8	<ol style="list-style-type: none"><li>删除表 3-1-1、表 3-1-2 中 VCC;</li><li>删除图 3-1-1 上电时序图 VCC 时序波形，删除 VCC 上电要求备注；</li><li>删除表 3-1-8 内核电压的内核电压上电阈值、掉电阈值要求；</li><li>删除表 4-1-1 引脚定义和规则中 VCC 描述；</li></ol>
2019/2/20	3. 9	删除双电源相关表述，修改人体模型静电放电电压 2000->1500
2019/2/27	4. 0	<ol style="list-style-type: none"><li>将 EF2M45LG48 芯片腹部 GND PAD 作为 49 脚添加入 LQFP48 封装引脚信息表</li><li>添加表 3-1- 1 ELF2 LVPECL 推荐操作条件</li><li>删除表 3-1- 10BE 推荐基本操作条件中关于施密特触发器的描述行</li></ol>
2019/3/29	4. 1	<ol style="list-style-type: none"><li>在添加 OSC 精度注释说明</li><li>在表 3-1- 8 ELF2 LVDS 推荐操作条件添加差分输入摆幅大于 500mV 时，只能使用外接电阻的注释说明</li><li>修改表 3-2- 5 高速 I/O 接口性能表中 LVPECL 参数 VCCIO 3.0-&gt;3.3V</li><li>修改表 2-4- 1 DCS 操作模式 BUFGMUX sel 信号对应的时钟输出</li><li>添加表 3-1- 5 EF2L15/45LG144&amp;EF2M45LG144&amp;EF2L15LG100 最小供电要求、表 3-1- 6 EF2M45LG48 最小供电要求、表 3-1- 7 EF2L25XG42&amp;EF2L25AG42 最小供电要求</li></ol>
2019/4/22	4. 2	PLL 展频、小数分频、温度传感器、电压监控模块未完成完整测试，暂删除相关章节；更改嵌入式存储模块缩写为 ERAM，修改 ERAM9K 配图；修改全局时钟网络配图
2019/4/25	4. 3	<ol style="list-style-type: none"><li>更新表 3-2- 3 ELF2 器件的 PLL 规格</li><li>修正 EF2M45LG48 引脚列表中的差分标识</li></ol>
2019/5/27	4. 4	<ol style="list-style-type: none"><li>更新表 3-1- ADC 规格说明；</li><li>校对并更新选型表表 1- 1 中 LVDS 数目</li><li>更新表表 2-8- 3 Emulated LVDS 推荐电阻值</li><li>修改表 3-1- 3 推荐基本操作条件中电源缓变率最小值</li><li>更新表 3-1- LVDS 推荐操作条件中输出共模电压范围</li><li>删除 HSTL, SSTL, GTL 单端标准，删除 MINILVDS, PPDS 差分标准支持</li><li>更新表 2-9- 4 ELF2 JTAG 时序规格表</li><li>更新表 3-2- 6 ELF2 器件配置模式时序规格表</li><li>更新 IO 直流电学特性表 3-1-、表 3-1- 中输入漏电流</li><li>删除表 3-1- 15 ELF2 器件 IOBE 单端 I/O 标准规格中 LVCMS33 20mA, LVCMS25 16mA, LVCMS18 12mA 输出强度时的测试内容</li><li>更新 ftBGA256 封装信息，明确芯片厚度范围</li><li>改写 PLL 动态相移一节</li></ol>
2019/7/3	4. 4. 1	修改 POR 相关 BANK 最小供电要求为 1.5V
2019/7/29	4. 4. 2	添加图 2-1-4 Disram 同步写入异步读出时序图、图 2-3- 1 No change 模式



日期	版本	修订记录
		波形、图 2-3- 2 Write Through 模式波形、图 2-3- 3 Read Before Write 模式波形
2019/10/25	4. 4. 3	1. 删除从动配置时, INITN 信号结束到配置时钟给出的相对时间要求 2. 添加 ADC 相关供电限制到器件基本供电要求章节 3. 非背景模式下, 通过 Jtag 烧写 flash 数据, tck 的频率要大于等于 100K
2019/11/25	4. 4. 4	修正 EF2L45LG144 封装 P142、P143 引脚差分极性标识错误
2019/12/30	4. 4. 5	1. 删除从动配置时最大建立时间限制, 添加最小保持时间要求 2. 修改 BGA256 封装 K12、K13, LQFP100 封装 20、21, 144 封装 55、56 脚引脚标识, 使其符合引脚命名规则 3. EF2 系列 FPGA 配置器件内置, 删除 SPI 接口复用相关说明
2020/4/24	4. 4. 6	增加 4. 9. 3 和 4. 9. 4 章节封装的引脚顺序描述
2020/7/7	4. 4. 7	增加 4. 9. 6 章节封装的引脚顺序描述; 更新表 1-2;
2020/8/6	4. 4. 8	1. 增加 4. 8 引脚信息和 4. 9. 7 封装规格 2. 更新表 1- 2 ELF2 FPGA 封装: 增加 132CSFBGA 封装信息 3. 更新目录序号
2020/8/11	4. 4. 9	1. 删除原有 LVPECL 说明和介绍, 增加 2. 8. 3LVPECL 章节说明和电路 2. 更新表 3-1- 17 ELF2 LVDS 推荐操作条件, 增加 LVDS33 输出和输出参数 3. 更新 3. 1. 1 最大绝对额定值章节: 增加图 3-1-1 输入信号过冲、下冲和表 3-1- 2 10 年使用寿命条件下允许的最大过冲、下冲占比
2020/10/25	4. 5. 0	1. 修正 2. 8. 3 LVPECL 章节, 修改推荐交流耦合电路示意图以及说明描述 2. 更新 2. 8. 1 IOB 介绍章节, 删除 IOBB 支持电平标准: 单端 I/O 标准中 GTL 电平标准
2020/11/26	4. 5. 1	新增 EF2L45UG132 封装信息; 修改 EF2L45UG132 封装名称;
2020/3/29	4. 5. 2	新增商业温度等级
2021/4/22	4. 5. 3	更新 LGA42 封装规格; 更新 EF2L25XG42 最小供电要求;
2021/5/5	4. 5. 4	1. 更新 3. 1. 3 章节, 增加表 3-1-6 EF2L45UG132 供电限制的描述; 2. 更新 4. 7 章节, 引脚信息标注, 修改为: “在芯片内部, FLASH 电源与 VCCIO3 相连, BANK3 的电压不应低于 2. 5V。”;
2021/11/8	4. 5. 5	更新 4. 9. 7 章节, C12、A12 管脚描述修正;
2022/3/17	4. 5. 6	更新 GND 引脚命名: ADC_VSSA 更新为 GND_ADC
2022/10/10	4. 5. 7	1. 在表 4-1-1 中新增时钟管脚说明项 2. 删除 2. 11 节中环形振荡器“中心频率 266MHz”的规格说明 3. 在 2. 1. 2 节的 c) 分布式 RAM 模式中添加图 2-1-4 DISRAM 框图和图 2-1-5 DISRAM 内部框图, 并在图 2-1-5 后增加 DISRAM 特性描述 4. 将 3. 1. 6 节改为上下电时序章节 5. 在表 3-1-3 后增加注 3 和注 4 说明 IO 端口应用限制



日期	版本	修订记录
		<ol style="list-style-type: none"><li>6. 在 2.8.1 节“需要注意（2）”中增加 IO 端口的使用限制说明</li><li>7. 在表 2-9-1 后增加加载时钟 TCK\SCLK 信号的串接说明</li><li>8. 在图 2-5-1 前增加 PLL 选择推荐，在表 3-2-3 注 4 中增加复位信号宽度的说明</li><li>9. 在第 2.9.10 节第一段增加 mult_bootn 信号的使用限制</li><li>10. 删除 1.1 器件特性中的 BLVDS、MLVDS 差分电平标准，删除 2.8.1 节中 IOB 支持差分标准中的 BLVDS 和 MLVDS，删除表 3-2-5 中的 BLVDS25、MLVDS25、BLVDS25E、MLVDS25E 规格</li><li>11. 删除表 2-8-1 中的 PCIX33 电气标准，删除表 3-1-5 中的 PCIX33 电气标准</li><li>12. 在 1.1 节封装形式中增加 LGA42</li><li>13. 在订购信息中增加内置 FLASH 信息，更新图片说明</li><li>14. 更新表 1-1 和表 1-2 中的 EF2 器件 IO 数目</li><li>15. 更新表 2-9-2 和表 2-9-3 中 T_cI 和 T_ch 的最小规格</li><li>16. 更新图 2-1-4，删除 DISRAM 特性中的 wrst 复位说明</li><li>17. 更新文档免责声明</li></ol>
2023/05/11	4.5.8	<ol style="list-style-type: none"><li>1. 在第 2.5 节中更新分频系数 M、N 标识及相应描述，更新图 2-5-1 ELF2 PLL 架构图，更新表 2-5-1 ELF2 PLL 特性表</li><li>2. 删除表 2-5-2 动态相移控制信号和表 2-5-3 动态相移输出选择表中 PSCLKSEL[2:0] 为“101”、全部输出进行动态相移的支持描述</li><li>3. 更新图 2-5-3 PLL 动态相移和 PLL 动态细调信号跳转的描述</li><li>4. 更新图 2-8-3 Emulated LVDS 输出 3R 电阻网络，在表 2-8-3 的注 1 中增加芯片内阻为 20 欧姆的说明</li><li>5. 更新文档中 MULT BOOT 相关描述为 MULTI BOOT，更新 mult_bootn 信号名称为 rebootn，跟原语保持一致</li><li>6. 更新第 4.9.3 节和第 4.9.4 节中的封装规格</li><li>7. 增加表 2-9-6 ELF2 器件在配置前和加载期间不受控引脚列表，在上文中对这些引脚应用进行说明，删除第 2.9.12 节中的“需注意”说明</li><li>8. 更新全文中的封装形式描述，将 TQFP 修正为 LQFP，在封装形式中增加 UG8 封装类型</li></ol>
2023/06/19	4.5.9	<ol style="list-style-type: none"><li>1. 更新全文 CCLK 管脚名为 SCLK</li><li>2. 更新全文 ftBGA 为 LFBGA</li><li>3. 更新器件特性中最大 IO 数量为 206</li><li>4. 更新表 1-1 和全文中器件的 LUTs、DFFs 和 BRAM 资源，跟软件对齐</li><li>5. 更新表 1-2 中 LG48 的 POD 尺寸更新为 7x7mm</li><li>6. 更新图 2-1-5 中的 rdo 端口为 do</li><li>7. 删除表 2-1-5 中 PLL 的输入时钟频率范围、输出时钟频率范围、VCO 频率范围，更新表 3-2-3 中的 F<sub>out</sub> 输出时钟频率为 2.3438~600MHz，ELF2 器件</li></ol>



日期	版本	修订记录
		<p>的 PLL 规格以此为准表 3-2-3 为准</p> <ul style="list-style-type: none"><li>8. 更新图 2-9-10 的图题为 ELF2 DNA 接口</li><li>9. 第 2.10 内嵌 ADC 模块章节中增加 EF2L45UG132B 器件不支持 ADC 模块说明</li><li>10. 表 3-1-5 的表题中增加 EF2M45LG144 器件</li><li>11. 表 3-1-7 的表题中增加 EF2L25AG42 器件</li><li>12. 第 3.1.5 热插拔规格章节中增加 EF2M45LG144 和 EF2L25AG42 器件</li><li>13. 增加 OSC 中心频率说明</li><li>14. 更新图 2-9-10 ELF2 DNA 接口图和图 2-9-11 ELF2 DNA 时序图</li><li>15. 在上下电要求中增加 I/O 端口电压不得高于 VCCIO 的说明</li></ul>
2024/03/04	4.6	<ul style="list-style-type: none"><li>1. 更新表 1-2 ELF2 FPGA 封装, 更新 256 LFBGA 封装中 Emulated LVDS 对的数量</li><li>2. 更新表 2-9-6 ELF2 器件在配置前和加载期间不受控引脚列表, 更新 EF2L25XG42/EF2L25AG42 器件不受控引脚</li><li>3. 更新图 2-9-11 ELF2 DNA 时序图</li><li>4. 更新 2.10 章节内嵌 ADC 模块相关描述, 更新表 2-10-1 ADC 模块端口, 更新图 2-10-1 ADC 采样控制时序</li><li>5. 更新表 3-1-8 EF2L45UG132 最小供电要求</li><li>6. 更新表 3-1-18 ELF2 LVDS 推荐操作条件中 VID 测试条件, 更新表 3-1-19 ELF2 LVPECL33 推荐操作条件中 VID 测试条件</li><li>7. 更新表 3-2-6 ELF2 器件配置模式时序规格表, 删除 MS 配置模式, 新增 JTAG 配置模式</li><li>8. 更新表 4-1-1 引脚定义和规则, 新增 XTAL1/XTAL0、GND_ADC</li><li>9. 更新 4.6 章节 EF2L25 引脚信息: XWFN42 和 LGA42, 更新 4.7 章节 EF2M45 引脚信息: LQFP48</li><li>10. 更新第 5 章节订购信息, 更新温度等级中的商业 (C) 温度</li></ul>
2025/4/13	4.7	<ul style="list-style-type: none"><li>1. 更新表 2-9-4 ELF2 JTAG 时序规格表 中 JTAG 时序规格描述, 图 2-9-7 ELF2 JTAG 时序图。</li><li>2. 更新 5 订购信息一章中注释 1、2, 说明器件温度等级及丝印描述。</li><li>3. 更新 3.1.5 热插拔规格一节中热插拔等级描述, 更新表 3-1-10 热插拔规格并新增注释。</li><li>4. 更新 4.9.7 一节中 UBG132 封装规格。</li><li>5. 删除 3.1.6 上下电时序一节中 INTBANK7 电平时序要求注释。</li><li>6. 更新表 3-2-6 ELF2 器件配置模式时序规格从动串行、从动并行配置模式速率。</li><li>7. 更新 3.1.3 基本供电要求一节中新增注释 POR 上电检测时不用时也要供电, 其他 VCCIO 不用时也要供电。</li></ul>



日期	版本	修订记录
		<ol style="list-style-type: none"><li>8. 新增表 3-1- 8 EF2L15LG100 &amp; EF2M45LG100 最小供电要求</li><li>9. 更新 EF2L15/EF2M45LQFP100, EF2L15/45LQFP144, EF2L25XWFN42/LGA42 引脚信息。</li><li>10. 新增 2.9.11 FPGA I/O 引脚在配置阶段的设置一节非配置相关 I/O 在不断电重加载及 feature 寄存器加载前的状态描述。</li><li>11. 更新表 2-9-6 ELF2 器件在配置前和加载期间不受控引脚列表。</li><li>12. 新增 2.9.7 JTAG 配置模式一节 JTAG 级联限制。</li><li>13. 更新表 1-2 ELF2 FPGA 封装注释 2。</li><li>14. EF2M45LG100 器件首次发布正式版本。</li></ol>
2025/06/28	4.7.1	<ol style="list-style-type: none"><li>1. 更新表 1-2 ELF2 FPGA 封装表中 EF2L45UG132 的差分对数。</li><li>2. 2.5.1 锁相环 (PLL) 简介一节中新增描述 PLL 专用输入管脚互连说明。</li><li>3. 更新 2.8.4 兼容 5V 输入一节中 IOBB 支持 5V 输入描述。</li><li>4. 更新表 3-1-1 最大绝对额定值中 VESDCDM 的参数名。</li><li>5. 新增表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比的注释 1，说明 UI 的周期。</li><li>6. 新增表 3-1-3 推荐基本操作条件的注释 5，说明 IOBB 承压能力条件。</li><li>7. 新增表 3-1-14 IOBE 推荐基本操作条件中 IOBE 的迟滞规格 VHYST 和注 1。</li></ol>
2025/12/30	4.7.2	<ol style="list-style-type: none"><li>1. 删除表 2-8- 2 ELF2 支持的差分标准的注 1。</li><li>2. 更新 2.8.4 兼容 5V 输入一节中 IOBB 支持 5V 输入的相关描述以及 IOBE 最大容限绝对电压 VIMAX 相关描述。</li><li>3. 更新 2.9.1.1 ELF2 配置模式一节中 PROGRAMN/INITN/DONE 引脚的使用限制说明。</li><li>4. 更新表 2-9-6 ELF2 器件在配置前和加载期间不受控引脚列表。</li><li>5. 3.1.1 最大绝对额定值一节新增对 IOBE、IOBB 类型最大允许输入过冲/下冲占比数据释义的相关内容。</li><li>6. 更新图 3-1-1 输入信号过冲、下冲。</li><li>7. 更新表 3-1- 2 10 年使用寿命条件下允许的最大过冲、下冲占比 (IOBE) 及注 1。</li><li>8. 新增表 3-1- 3 10 年使用寿命条件下允许的最大过冲、下冲占比 (IOBB, VCCIO=3.3V) 及注 1。</li><li>9. 新增表 3-1- 4 10 年使用寿命条件下允许的最大过冲、下冲占比 (IOBB, VCCIO≤2.5V) 及注 1。</li><li>10. 更新表 3-1- 5 推荐基本操作条件中 IOBE 的 VI 规格和注 5。</li><li>11. 更新表 3-1- 17 IOBB 推荐基本操作条件的 R<sub>Pu</sub> 和 R<sub>PD</sub> 规格。</li><li>12. 删除表 3-2- 5 高速 I/O 接口性能表中 RSDS25 电平规格。</li><li>13. 更新表 4-1- 1 引脚定义和规则。</li><li>14. 更新 4.9.3 LQFP100 封装规格。</li></ol>



版权所有©2025 上海安路信息科技股份有限公司 未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。