



# SALELF<sup>®</sup> 2 系列 FPGA 硬件设计指南

上海安路信息科技股份有限公司

UG402 (v1.4) 2023 年 05 月



## 目 录

<b>目 录 .....</b>	<b>1</b>
<b>1 电源 .....</b>	<b>3</b>
1.1 最小供电要求 .....	3
1.2 最大绝对额定值 .....	4
1.3 推荐基本操作条件 .....	5
1.4 上下电时序 .....	6
<b>2 配置 .....</b>	<b>7</b>
2.1 配置相关引脚 .....	7
2.2 配置状态指示引脚 .....	8
2.3 FPGA I/O 引脚在配置阶段的状态 .....	9
2.4 不同配置模式连接示意图 .....	11
2.4.1 从动串行配置方式 .....	11
2.4.2 从动串行级联配置方式 .....	11
2.4.3 从动并行配置方式 .....	12
2.4.4 从动并行级联配置方式 .....	12
<b>3 IO 配置 .....</b>	<b>13</b>
3.1 时钟输入 .....	13
3.2 热插拔 .....	13
3.3 兼容 5V .....	13
3.4 DDRx2 .....	13
3.5 LVDS .....	13
3.6 LVPECL .....	14



4 参考电路 .....	16
版本信息 .....	17
免责声明 .....	18



# 1 电源

## 1.1 最小供电要求

表 1- 1 EF2L15/25/45BG256 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV, 必须供电
VCCIO0 <sup>1</sup>	$\geq 1.5V$	如果使用 JTAG 下载, 需要和下载器供电电压保持一致 <sup>2</sup>
VCCIO1 <sup>1</sup>	$\geq 2.5V$	芯片配置器件 (内部 Flash) 电源与 VCCIO1 相连 <sup>2</sup>
VCCIO2	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO3	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO4	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO5	$\geq 1.2V$	可选择性供电 <sup>2</sup>

备注 1: POR 上电检测, 必须供电。

备注 2: VCCIO 不用时也需供电。

备注 3: 如果使用 LVDS, 相应 bank 的供电电压应 $\geq 2.5V$ 。

备注 4: 无论是否使用 ADC 都要求 ADC\_VDDD/ADC\_VDDA 同电压, ADC\_VREF 不得大于 ADC\_VADDA, 同时建议 ADC\_VDDA/ADC\_VDDD 接芯片最高供电电压。

表 1- 2 EF2L15/45LG144 &amp; EF2L15LG100 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV, 必须供电
VCCIO0	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO1	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO2 <sup>1</sup>	$\geq 2.5V$	芯片配置器件 (内部 Flash) 电源与 VCCIO2 相连 <sup>2</sup>
VCCIO3 <sup>1</sup>	$\geq 1.5V$	如果使用 JTAG 下载, 需要和下载器供电电压保持一致 <sup>2</sup>

备注 1: POR 上电检测, 必须供电。

备注 2: VCCIO 不用时也需供电。

备注 3: 如果使用 LVDS, 相应 bank 的供电电压应 $\geq 2.5V$ 。

备注 4: 无论是否使用 ADC, ADC\_VREF 不得大于 VCCAUX (ADC\_VDDA/ADC\_VDDD)。



表 1- 3 EF2M45LG48 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV, 必须供电
VCCIO0 <sup>1</sup>	$\geq 1.5V$	如果使用 JTAG 下载, 需要和下载器供电电压保持一致 <sup>2</sup>
VCCIO1	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO2	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO3 <sup>1</sup>	$\geq 2.5V$	芯片配置器件 (内部 Flash) 电源与 VCCIO3 相连 <sup>2</sup>

备注 1: POR 上电检测, 必须供电。

备注 2: VCCIO 不用时也需供电。

备注 3: 如果使用 LVDS, 相应 bank 的供电电压应 $\geq 2.5V$ 。

备注 4: 无论是否使用 ADC 都要求 ADC\_VDDA/ VCCAUX (ADC\_VDDD) 同电压, ADC\_VREF 不得大于 ADC\_VADDA, 同时建议 ADC\_VDDA/ VCCAUX (ADC\_VDDD) 接芯片最高供电电压。

表 1- 4 EF2L25XG42 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	$\geq 2.5V$	纹波峰峰值应小于 100mV, 必须供电
VCCIO0 <sup>1</sup>	=VCCAUX	封装内固定连接 <sup>2</sup>
VCCIO1	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO2	$\geq 1.2V$	可选择性供电 <sup>2</sup>
VCCIO3 <sup>1</sup>	=VCCAUX	封装内固定连接 <sup>2</sup>

备注 1: POR 上电检测, 必须供电。

备注 2: VCCIO 不用时也需供电。

备注 3: 如果使用 LVDS, 相应 bank 的供电电压应 $\geq 2.5V$ 。

## 1.2 最大绝对额定值

表 1- 5 表 3-1- 1 最大绝对额定值

Symbol	参数		最 小	最 大	单 位
VCCAUX	辅助电源		-0.5	3.75	V
VCCIO	I/O 驱动供电电压		-0.5	3.75	V
VI	直流输入电压	增强型 IOBE	-0.5	3.75	V
		基础型 IOBB	-0.5	6.00	V
VESDHBM	人体模型静电放电电压			$\pm 1500$	V



Symbol	参数	最小	最大	单位
VESDCDM	机器模型静电放电电压		±500	V
TSTG	存储温度	-65	150	℃
TJ	结点温度	-40	125	℃

备注 1：允许脉宽小于 20ns 的-2V 到 VIHMAX+2V 输入过冲和下冲，不影响器件使用寿命。

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

信号转换过程中，输入信号过冲/下冲可能超过上表中给出数值，但必须同时满足电流小于 100mA 和脉冲宽度小于 20ns 两个条件。

### 1.3 推荐基本操作条件

表 1- 6 EF2 系列 FPGA 推荐基本操作条件

Symbol	参数		最小	典型	最大	单位
VCCAUX	辅助电源		2. 375	2. 5/3. 3	3. 63	V
VCCIO1	I/O 供电电压 @ 3. 3V		3. 135	3. 3	3. 465	V
	I/O 供电电压 @ 2. 5V		2. 375	2. 5	2. 625	V
	I/O 供电电压 @ 1. 8V		1. 71	1. 8	1. 89	V
	I/O 供电电压 @ 1. 5V		1. 425	1. 5	1. 575	V
	I/O 供电电压 @ 1. 2V		1. 14	1. 2	1. 26	V
VI	直流输入电压	增强型 IOBE	-0. 5	—	3. 6	V
		基础型 IOBB	-0. 3	—	5. 5	V
V0	输出电压		0	—	VCCIO	V
TRAMP	电源缓变率		0. 05	—	100	V/ms
IDiode	PCI-clamp 二极管电流		—	—	10	mA

备注 1：器件工作时要求所有 I/O 的 VCCIO 必须连接好电源。

备注 2：所有输入缓冲器有 VCCIO 供电。

## 1.4 上下电时序

表 1- 7 EF2 系列 FPGA 上电复位电压阈值

Symbol	参数	最 小	典 型	最 大	单 位
VCCAUX_PORUP	VCCAUX 上电检测阈值	2.05	2.1	2.15	V
Vccio	Vccio 上电检测	0.95	1.0	1.05	V
VCCAUX_PORDN	VCCAUX 掉电检测阈值	—	—	1.85	V
VSRAM_PORDN	SRAM 电源掉电检测阈值	—	—	0.8	V

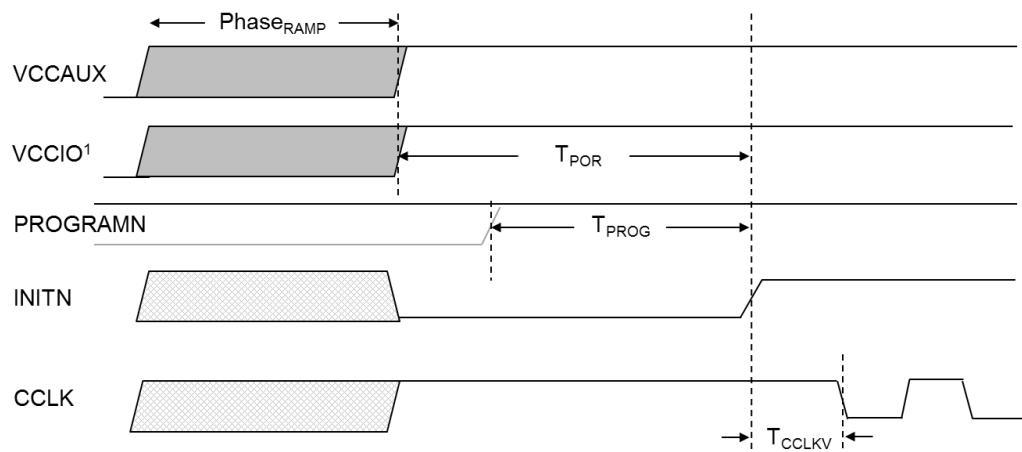


图 1- 1 EF2 系列 FPGA 器件上电时序图

备注 1：电源上电过程中（PhaseRAMP）所有的 IO 处于三态。

备注 2：没有上电时序要求，但在下电时 VCCAUX 不早于 VCCIO。

备注 3：POR 监测 JTAG 端口和 INTBANK7 所在的 VCCIO\*电平。

备注 4：TPOR 最大为 10ms，T<sub>PROG</sub> 同 T<sub>POR</sub>，TCCLK 约 6.4us



## 2 配置

### 2.1 配置相关引脚

EF2 系列 FPGA 支持通过位流改写配置模式，用户在按照需要选择性使用这些配置模式时，应预留出该配置模式所需的配置引脚。在使用 JTAG 模式时，建议将 TDI, TDO, TMS 通过电阻上拉到 VCCIO。

表 2- 1 配置模式及引脚

配置引脚名	类型	配置					
		SS	SP	MP	MSPI		JTAG
		从动串行 Slave Serial	从动并行 Slave Parallel	主动并行 Master Parallel	X1	X2	X4
PROGRAMN	复用 IO	PROGRAMN				-	
INITN	复用 IO	INITN				-	
DONE	复用 IO	DONE				-	
SCLK	复用 IO	SCLK		-		-	
CSN	复用 IO	-	CSN	-		-	
TMS TCK TDI TDO JTAGEN	复用 IO					TMS TCK TDI TDO JTAGEN	
D[7:2]	复用 IO	-	D[7:2]	D[7:2]	-		-
D[1]	复用 IO	-	D[1]	D[1]	-		-
D[0]/DIN	复用 IO	DIN	D[0]	D[0]	-		-

备注 1：只有 JTAG 模式支持内置 Flash 的刷新与配置回读

备注 2：配置方式通过软件界面设置，下载位流时自动写入到内置 Flash 的指定位置

备注 3：DONE/INITN 是带内部弱上拉的开漏输出。

备注 4：PROGRAMN INITN DONE 信号的复用可能会导致重新加载等问题，不建议复用为输入管脚。但是可以复用为输出管脚使用。

备注 5：EF2 上电后先进行配置，然后判断复用 IO 是作为配置专用 IO 还是通用 IO 使用，在进行配置 IO 复用且对配置 IO 上电状态有要求时需要注意。

## 2.2 配置状态指示引脚

EF2 系列 FPGA 的 PROGRAMN、INITN、DONE、JTAGEN 这些配置指示引脚，处于内部弱上拉状态，为避免外部电源不稳，造成芯片循环重启，要求通过电阻上拉到 VCCIO。

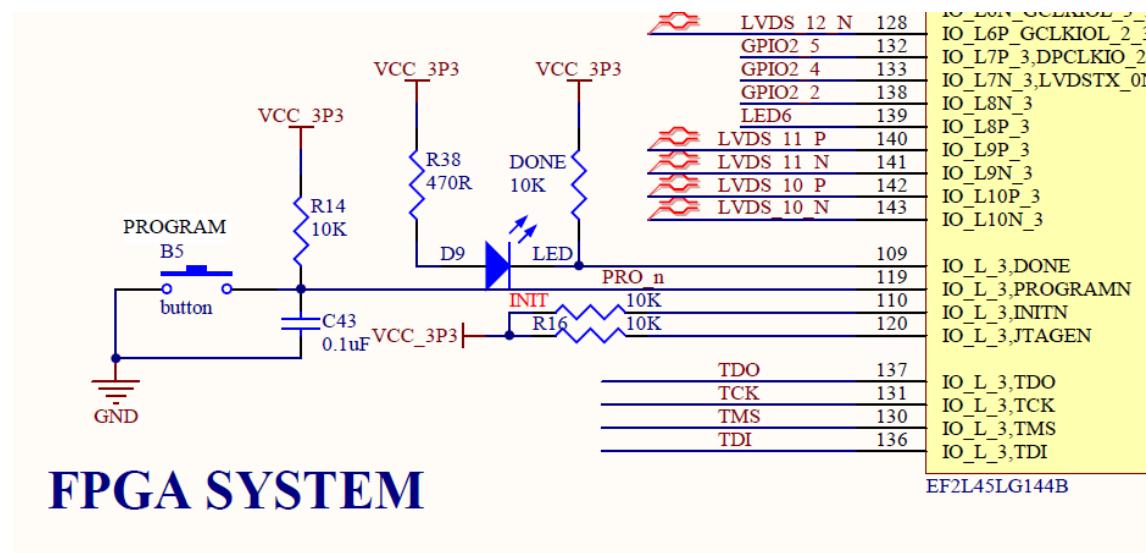


图 2- 1 EF2 系列 FPGA 配置指示引脚上拉示意



## 2.3 FPGA I/O 引脚在配置阶段的状态

### (1) 非配置相关 I/O

芯片上电完成后程序加载前，非配置相关 I/O 处于三态；

加载过程中，普通 I/O 的状态受 HSWAPEN 脚控制可以为弱上拉或者三态；

进入用户模式之后，用户使用的 I/O 脚状态受代码控制，未使用的管脚为弱上拉状态

### (2) 配置相关引脚跟配置设置相关，如下表所示。

表 2- 2 EF2 系列 FPGA Configuration Pin Termination

Pin	配置成功前		配置成功后
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	User I/O
CS0N/DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O

ELF2 器件的以下管脚在配置前和加载过程中都处于弱上拉状态，不可控制。如果用户在此期间对管脚状态有要求，需要尽量避开这些管脚。

表 2-3 ELF2 器件在配置前和加载期间不受控引脚列表

DEVICE	PIN NAME
EF2L15BG256B/ EF2L25BG256B/ EF2L45BG256B	E16, F15, F12, J11, L12, G12, F14, G13, H13, J12, J15, K16, K13, K12, C16, D15
EF2L15LG144B/ EF2L25LG144/	73, 74, 75, 76, 77, 78, 83, 84, 94, 95, 96, 97, 98



DEVICE	PIN NAME
EF2L45LG144	
EF2L45UG132B	-
EF2L15LG100B	51, 52, 57, 58, 59, 60, 61, 67, 68, 69, 70, 71
EF2M45LG48B	34, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47
EF2L25XG42B/ EF2L25AG42B	-

## 2.4 不同配置模式连接示意图

### 2.4.1 从动串行配置方式

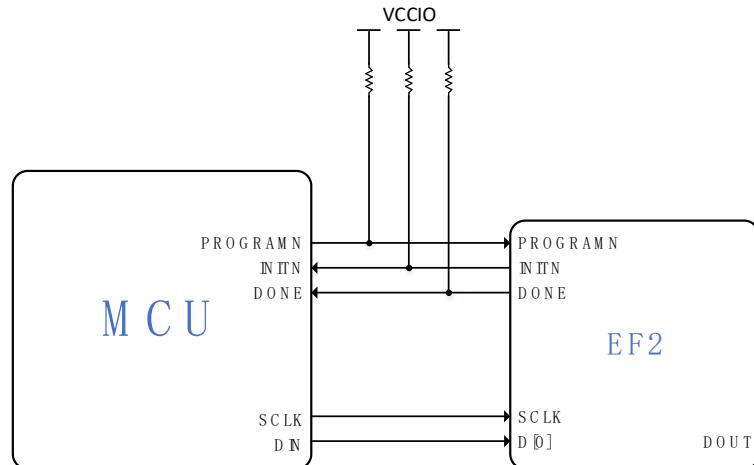


图 2- 2 从动串行配置连接示意图

### 2.4.2 从动串行级联配置方式

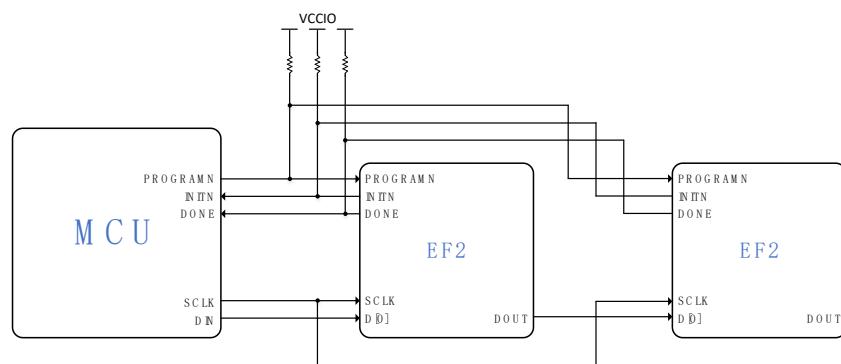


图 2- 3 从动串行配置连接示意图

### 2.4.3 从动并行配置方式

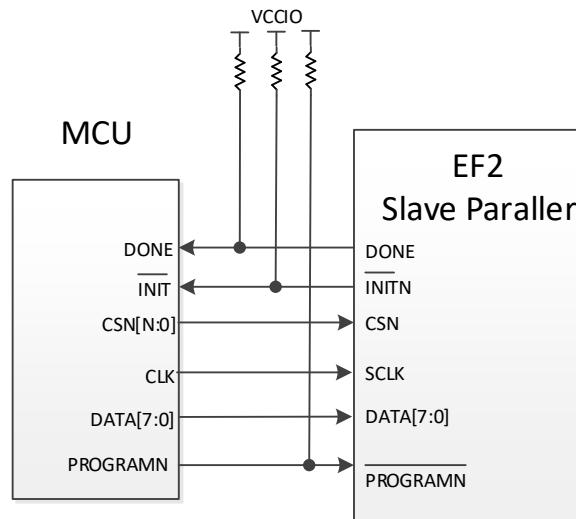


图 2- 4 从动并行配置连接示意图

### 2.4.4 从动并行级联配置方式

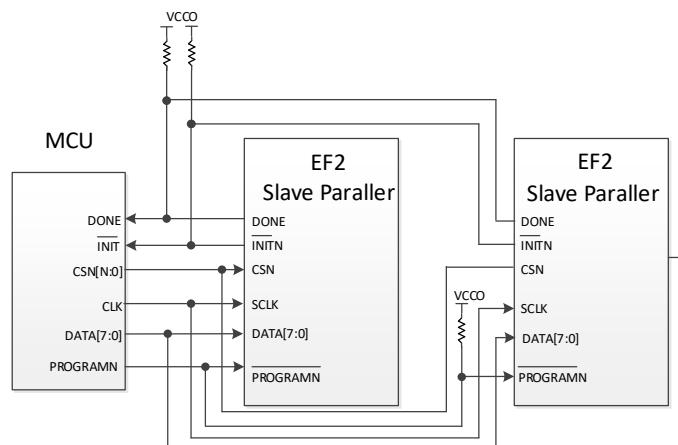


图 2- 5 从动并行级联配置连接示意图



## 3 IO 配置

### 3.1 时钟输入

全局时钟输入建议走全局时钟专用管脚(GCLK10)

GCLK10 为全局时钟引脚，可直接上全局时钟网络，但最多只有 16 个可以上全局时钟网络

GPLLINP/N 和 GPLLOUTP/N 为锁相环专用管脚，如果不用作差分使用，可以用作普通 IO，PLL 专用引脚可以直接上 PLL，但不能直接上全局时钟网络。

差分信号如需上全局时钟网络，要求 p/n 端都接，并在软件物理约束中设置为 LVDS25/LVDS33。

### 3.2 热插拔

表 3-1 热插拔规格

Symbol	参数	最大	单位
$I_{IOPIN(DC)}$	DC 电流，每个 I/O	1	mA
$I_{IOPIN(AC)}$	AC 电流，每个 I/O	8 <sup>1</sup>	mA

备注 1：信号上升时间等于或大于 10ns。

备注 2：EF2 系列 FPGA 与 ADC 复用的引脚不支持热插拔，有热插拔需求时需要避开这些引脚。

### 3.3 兼容 5V

EF2 的 IOBB 在 OverDriven 打开情况下支持 5V 直接输入

EF2 的 IOBE 需要外部串联电阻，同时在 IO Constraints 中打开内部的钳位二极管，即 PCI Clamp = ON。

### 3.4 DDRx2

EF2 的 IOBB 不支持 DDRx2，有使用需求时应避开这些管脚。

### 3.5 LVDS

EF2 系列 FPGA 的 IOBE 管脚对可以作为真差分对使用，内部带有 100 差分输入电阻，用户可根据实际需求选择打开或者关闭该电阻。IOBB 管脚对内不存在 100 差分输入电阻，作为差分输入时需要外部加 100 欧姆电阻。

True LVDS 直接输出 LVDS 标准电平，无需外部匹配电阻如图 3-1 True LVDS 输出所示。



图 3-1 True LVDS 输出

Emulated LVDS 作为输出时, 要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准, 如图 3-2 所示, 可以通过改变电阻网络值来降低功耗或者改善噪声容限。

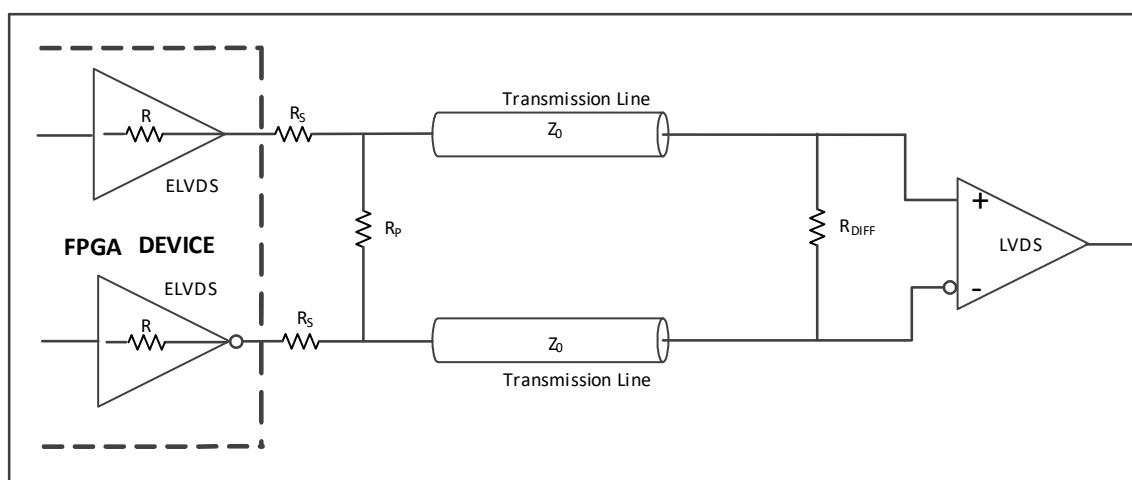


图 3-2 Emulated LVDS 输出 3R 电阻网络

表 3-2 Emulated LVDS 推荐电阻值

电 阻 (欧姆)		信 号 幅 值 (毫伏)	
$R_s$	$R_p$	LVDSE25	LVDSE33
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

备注 1: 数据基于驱动能力设定为 8mA, 接收器的 100 欧端接电阻可以是片上电阻也可以是片外电阻。当接收端信号幅值大于 500mv 时必须采用片外电阻。芯片内阻为 20 欧姆。

### 3.6 LVPECL

EF2 系列 FPGA 的 IOBE 支持 LVPECL33 输入, 如果对端器件是 2.5v, 可以直接输入; 如果对端器件是 3.3v, 共模电压要往下拉 2v, 建议使用外接匹配电阻网络, 不要使用内部的电阻; IOBE 管脚不支

持 True LVPECL33 输出，只支持 LVPECL33\_E 输出；

EF2 系列 FPGA 的 IOBB 管脚支持 LVPECL33 输入，但是需外加电阻网络；不支持 LVPECL33 输出，支持 LVPECL33\_E 输出。

LVPECL 输入建议外接如下电路：

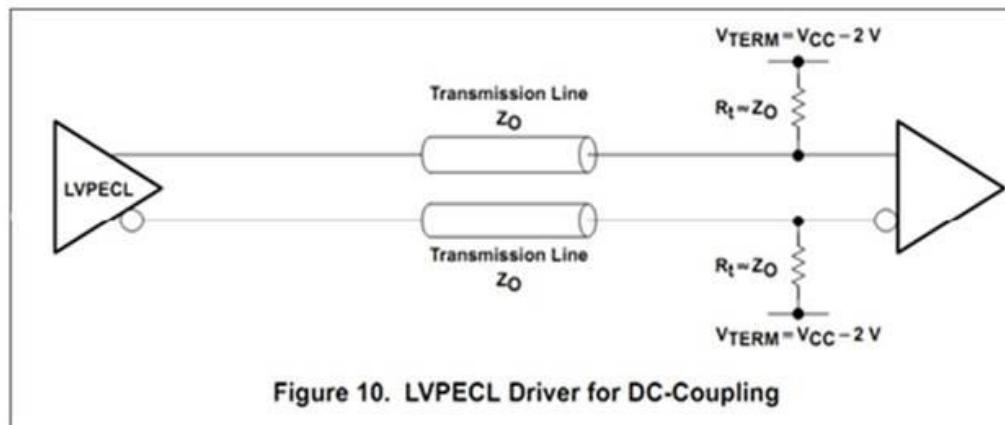


图 3- 3 直流耦合

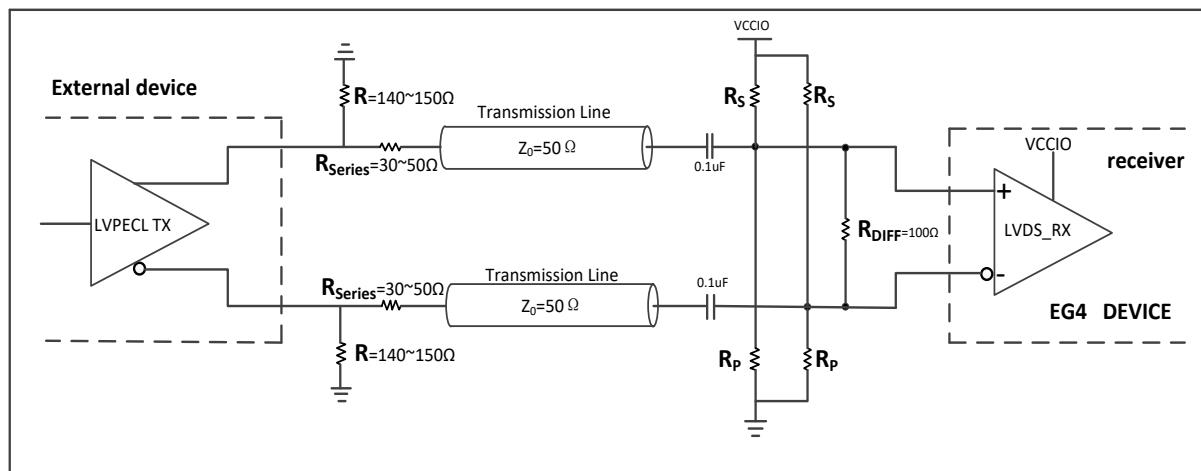


图 3- 4 交流耦合



## 4 参考电路

EF2L25XG42B\_RESCH.pdf

ELF2MCU\_LQFP48\_sch.pdf

EF2L25LG100.pdf

EF2L45LG144B\_MINI\_DEV.pdf

EF2L45BG256B\_SCH.pdf



## 版本信息

日期	版本	修订记录
2019/4/10	1. 0	首次发布中文版
2019/10/31	1. 1	改写 ADC 电源供电限制
2021/4/22	1. 2	新增 LGA42、UBGA132 封装规格; 更新 EF2L25XG42 最小供电要求;
2022/10/12	1. 3	1. 将第 1.4 节改为上下电时序章节，在图 1-1 后增加备注 4 和备注 5，对 PRO 信号进行说明。 2. 更新表 2-2 中配置管脚在配置成功后的设置 3. 删除第 4 章封装规格 4. 更新文档免责声明
2023/05/22	1. 4	1. 增加表 2-3 ELF2 器件在配置前和加载期间不受控引脚列表，在上文中对这些引脚应用进行说明，删除第 2.3 节中的“需注意”说明，删除 3.7 章节并更新至表 2-3 中 2. 在 1.1 章节最小供电要求中，更新表 1-1，表 1-2，表 1-3，表 1-4，更新备注 2 3. 删除 1.4 章节上下电时序中的备注 2 4. 更新 2.1 章节配置相关管脚中的备注 4 5. 在表 3-2 EmulatedLVDS 推荐电阻值的注 1 中新增“芯片内阻为 20 欧姆”的描述，更新图 3-2 EmulatedLVDS 输出 3R 电阻网络 6. 在 3.6 章节中更新图 3-4



版权所有©2023 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。