



SALELF® 3 系列 FPGA

硬件设计指南

上海安路信息科技股份有限公司

UG603 (v1.3) 2024 年 6 月



术语/缩略词

缩略词	英文全拼	中文释义
FPGA	Field Programmable Gate Array	现场可编程门阵列
JTAG	Joint Test Action Group	联合测试工作组



目 录

术语/缩略词.....	I
1 关于本手册.....	1
2 电源设计要求.....	1
2.1 电源退耦电容数量.....	1
2.2 电源管脚数量.....	1
3 IO 设计要求.....	3
3.1 时钟 IO.....	3
3.2 配置 IO.....	3
3.3 LVDS 接口.....	3
3.4 LVPECL 接口.....	3
4 PCB 设计指导.....	3
4.1 信号完整性.....	3
4.2 电源完整性.....	4
4.3 走线处理方式.....	6
5 封装尺寸及热参数.....	8
5.1 封装热阻.....	8
版本信息.....	9
免责声明.....	10



1 关于本手册

本手册为 EF3 系列 FPGA 器件的硬件设计通用文档，对 EF3 系列 FPGA 外围硬件电路设计进行指导建议。EF3 系列 FPGA 器件的具体规格请参考《DS600_ELF3_Datasheet》。

2 电源设计要求

为保证所有功能正常，EF3 系列器件所有 BANK 电源域要求必须供电。

2.1 电源退耦电容数量

EF3 系列器件在电源设计时为保证电源质量，需要给每个电源域放置一定数量和容量的退耦电容，推荐电容的数量和容量如下表所示。

表 2-1 电源退耦电容数量表

封装	VCCAUX		VCCIO	
	4.7uF	0.47uF	4.7uF	0.1uF
EF3L40CG324	1	9	1	17
EF3L40CG332	1	7	1	16
EF3L50CG256	1	7	1	15
EF3L70CG256	1	7	1	15
EF3L90CG324	1	9	1	17
EF3L90CG400	1	9	1	19
EF3LA0CG484	1	11	2	34
EF3LA0CG642	2	18	2	55

注：1. VCCAUX 为芯片辅助供电电源

2. VCCIO 为芯片 BANK 电源

2.2 电源管脚数量

为保证 FPGA 供电正常，器件每个 BANK 和 VCCAUX 的供电要求请参考《DS600_ELF3_Datasheet》。EF3 系列器件电源管脚数量如下表。

表 2-2 电源管脚数量表

封装	BANK0	BANK1	BANK2	BANK3	BANK4	BANK5	BANK6	BANK7	VCCAUX	GND
EF3L40CG324	4	4	4	2	2	2	—	—	10	16
EF3L40CG332	4	4	4	2	1	2	—	—	8	27
EF3L50CG256	4	4	4	1	2	1	—	—	8	24
EF3L70CG256	4	4	4	1	2	1	—	—	8	24
EF3L90CG324	4	4	4	2	2	2	—	—	10	16
EF3L90CG400	5	5	5	2	2	2	—	—	10	33



封装	BANK0	BANK1	BANK2	BANK3	BANK4	BANK5	BANK6	BANK7	VCCAUX	GND
EF3LA0CG484	9	9	9	3	3	3	—	—	12	52
EF3LA0CG642	10	11	12	4	4	5	5	6	20	89



3 IO 设计要求

3.1 时钟 IO

EF3 系列器件在设计时钟时，时钟输入可以选择全局时钟 P 管脚或者 N 管脚。全局时钟资源包含专用的时钟输入，缓冲器和布线网络，提供低延迟、低偏斜、互联的全局时钟网络。

3.2 配置 IO

EF3 系列 FPGA 使用配置相关管脚时，可参考《DS600_ELF3_Datasheet》。当配置 IO 用作普通 IO 时，只能做输出，且需要保持 4.7K 上拉状态。

EF3 系列 FPGA 的配置相关管脚上下拉要求如下表。

表 3-1 EF3 器件配置 IO 状态表

配置 IO 名称	上下拉要求	说明
TCK	4.7K 下拉到 GND	当普通 IO 使用时只能做输出，且必须保留 4.7K 上下拉电阻。
TMS	4.7K 上拉到 VCCIO	
TDI	4.7K 上拉到 VCCIO	
TD0	悬空或 4.7K 上拉到 VCCIO	
INITN	4.7K 上拉到 VCCIO	
PROGRAMN	4.7K 上拉到 VCCIO	
DONE	4.7K 上拉到 VCCIO	
JTAGEN	4.7K 上拉到 VCCIO	

3.3 LVDS 接口

EF3 系列 FPGA 器件 LVDS 接口的具体规格请参考《DS600_ELF3_Datasheet》。

3.4 LVPECL 接口

EF3 系列 FPGA 器件 LVPECL 接口的具体规格请参考《DS600_ELF3_Datasheet》。

4 PCB 设计指导

4.1 信号完整性

- 差分对阻抗推荐为 100 欧姆。
- 单端阻抗推荐为 50 欧姆。
- 差分对内等长建议控制在相关协议规定范围内。
- 走线间距应建议满足 3W 规则或大于 6 倍 PCB 介质层厚度，以减少相邻走线之间的串扰。
- 建议同组信号采用相同结构传输线，均为带状线，或均为微带线。
- 确保信号到地之间的回路最短。
- 有阻抗控制的走线不得经过不连续覆铜平面和焊盘。

- 对于较长的信号，应仔细选择铜皮的平整度，PCB 基板的均匀性，走线的几何形状（推荐弧形走线）。
- 差分信号链路的耦合电容端接电阻摆放位置要求不允许走线存在 stub，焊盘应当串入走线，避免走线分叉，如下图。

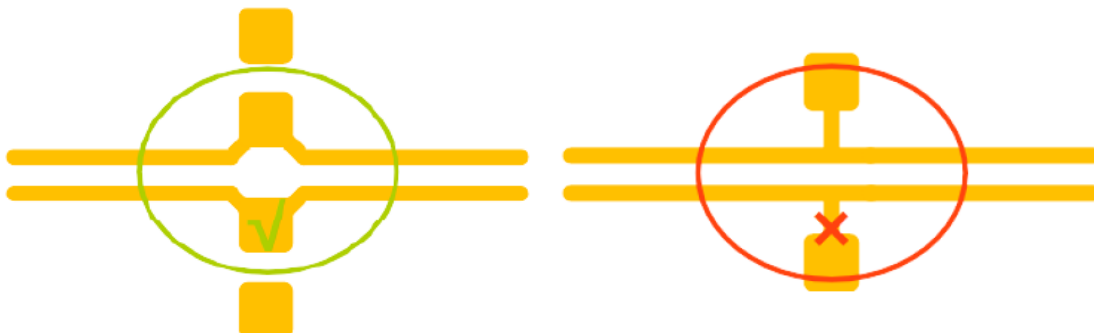


图 4-1 焊盘走线方式

4.2 电源完整性

1. BGA 芯片电源 pin 下方放置去耦电容，尽量保证每个 pin 放置 1 个，小容量的电容靠近管脚放置。对于较大容值或大封装电容，允许排布在 BGA 芯片外围，电解电容建议放在开关电源芯片附近。

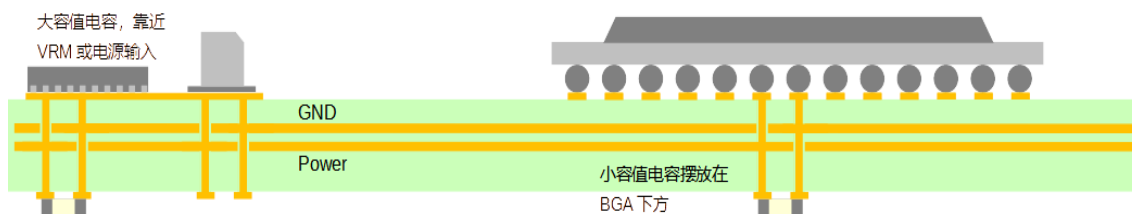


图 4-2 退藕电容布局示意图

2. PCB 走线宽度以及过孔，需要考虑通流能力，对于 1oz 铜箔来说，常温应用场景下，按照 1mm（40mil）线宽，承载 1A 电流，高温应用场景，需降额处理。过孔孔径与承载电流关系按下列公式计算，其中 D 为孔径，单位 mil。

$$I_{\max} = D \times 0.08 \text{ (mA)} \quad \text{公式 4-1}$$

3. 电源平面应该从电源芯片位置平铺到负载，中间减少换层。

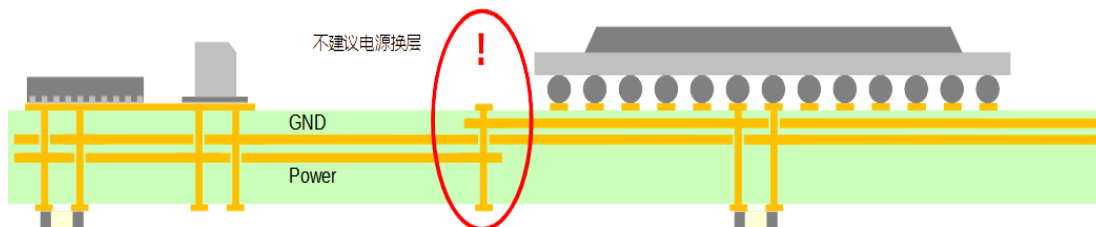


图 4-3 不合理电源平面换层图

4. 去耦电容优先选择 ESR 小的电容，以优化 PDN，使得 PDN 控制在更低水平。电容材质，推荐优先选择 X7R，X5R。

5. VIPPO 工艺的 PCB，pad 直接打孔到底层，不需要扇出操作。电容焊盘放置在过孔上，避免走线连接，如下图。

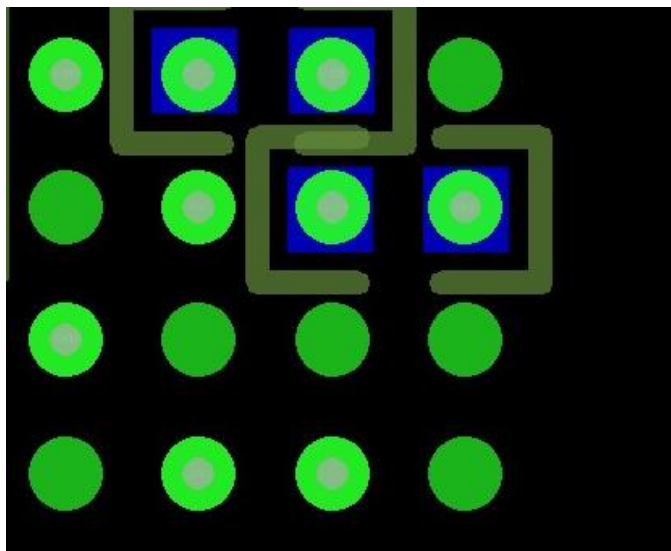


图 4-4 VIPPO 工艺示意图

6. 电容与内层平面的连接方式如下图所示，从 A 到 F 的布置方式，去耦效果依次递增。电容管脚与电源层之间的过孔数量越多，去耦效果越好，在电容管脚与过孔之间的走线存在电感，会弱化去耦效果，走线越长，电感越大，会使信号回路等效阻抗变大。对于 VIPPO 工艺的 PCB 来说，优先尝试焊盘下打孔。如图 4-5 是集中不同的去耦电容处理方式。

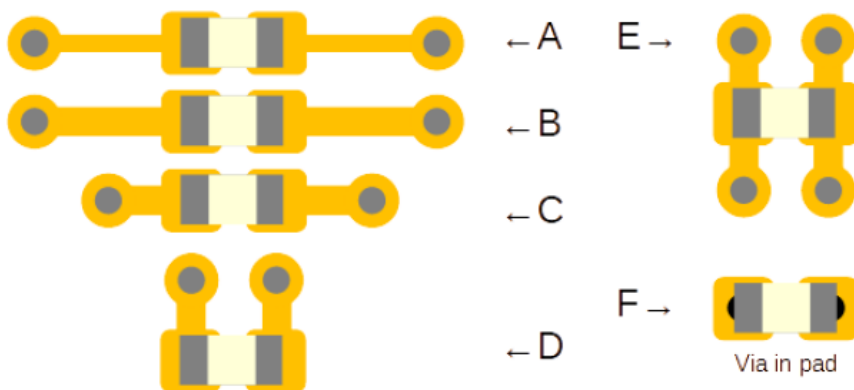


图 4-5 电容与电源层连接关系

7. 电容的每个管脚建议放置过孔，尽量避免电容之间共用过孔，这样做会导致寄生电感增加，如图 4-6。



图 4-6 BGA 下方不建议共用 GND 过孔

4.3 走线处理方式

4.3.1 单端走线方式

对于从 BGA ball 之间单端引出的情况，走线需要尽量短，BGA 空间紧张，可以做 neck 处理，选择更细的引出线。

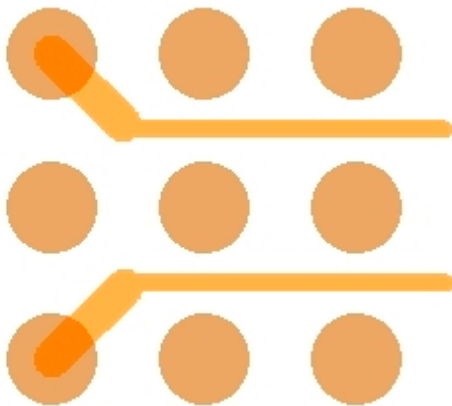


图 4-7 BGA 单端 neck 出线方式

4.3.2 差分走线方式

对于从 BGA ball 之间差分引出的情况，可以参考如下图所示的引出方式，同样的，BGA 下方引出时应当考虑 PN skew，左侧引出方式在离开 BGA 区域后就可以保持 PN match，右侧引出方式需要在 BGA 外的区域进行补偿，不利于 Scd11 参数控制。BGA 空间紧张，可以做 neck 处理，选择更细的引出线。



图 4-8 BGA 差分出线方式

4.3.3 过孔设计方式

电源类过孔，信号类过孔，以及普通过孔需要分开设计。

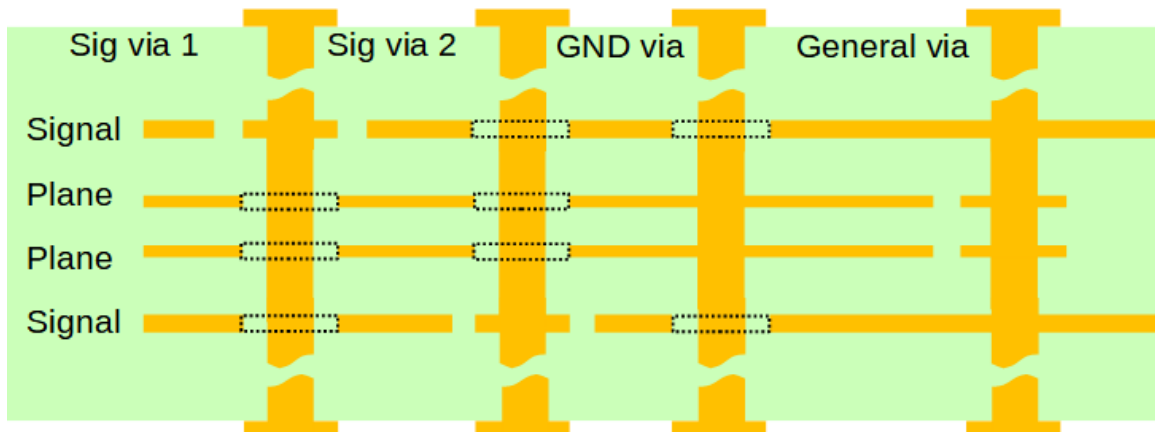


图 4-9 过孔示意图

GND 过孔，主要用于 **BGA** 区域的过孔，布线层放 **antipad**，不放置焊盘，直接在过孔类型里添加，后期设计中，在保证避让空间足够的情况下，有更多布线区域。可用于 **BGA** 下方 **GND VCC** 等，一般电源电容电阻附近的过孔。能够增加 **BGA** 下方过孔之间走线区域。

信号类过孔，**plane** 层放置 **antipad**，非引线层也放 **antipad**，只在需要走线的层放焊盘，减轻后期摘焊盘任务量，可以降低焊盘带来的电容，优化过孔性能。同时可以给电源平面留有更多的电流路径，优化电源性能。可用于 **BGA** 下方普通 **IO**，普通换层孔，扇出部分密集走线区域的信号孔。



5 封装尺寸及热参数

5.1 封装热阻

封装	封装尺寸 (mm)	θ_{JC} (°C/W)	θ_{JB} (°C/W)	θ_{JA} (°C/W)	$\theta_{JA-Effective}$ (°C/W)		
					@250LFM	@500LFM	@750LFM
EF3L40CG324	15×15	15.06	11.43	30.12	27.51	26.47	25.82
EF3L40CG332	17×17	13.6	19.38	26.98	24.383	23.362	22.724
EF3L50CG256	14×14	11.487	21.271	31.468	27.480	26.309	25.543
EF3L70CG256	14×14	11.487	21.271	31.468	27.480	26.309	25.543
EF3L90CG324	15×15	15.06	11.43	30.12	27.51	26.47	25.82
EF3L90CG400	17×17	12.8	22.99	34.32	—	—	—
EF3LA0CG484	19×19	11.095	24.014	34.101	30.063	28.853	27.969
EF3LA0CG642	23×23	9.97	22.29	32.53	27.99	26.82	25.95



版本信息

日期	版本	说明
2023/03/16	1.0	首次发布正式版本
2023/05/11	1.1	1. 在表 2-1 和表 2-2 中新增 EF3L90CG324
2023/10/16	1.2	1. 在表 2-1 和表 2-2 中新增 EF3L50CG256B
2024/06/28	1.3	1. 新增第 5 章节封装尺寸及热参数 2. 更新表 3-1 EF3 器件配置 IO 状态表中 TCK 上下拉要求



版权所有© 2024 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。