



# **SALELF®3 系列 FPGA**

## **数据手册**

上海安路信息科技股份有限公司

DS\_600 (v1.7.9) 2025 年 12 月

ALQR-7.5-11



## 目 录

## 目 录 .....

## 1 简介 .....

1.1 SALELF®3 (以下简称 EF3) 器件系列特性 ..... 1

1.2 EF3 器件介绍 ..... 2

## 2 EF3 架构介绍 .....

2.1 PFB 模块 ..... 4

2.1.1 SLICE ..... 5

2.1.2 PFB 操作模式 ..... 6

2.1.3 寄存器 ..... 7

2.2 互连 (Routing) ..... 8

2.3 嵌入式存储器模块 (ERAM) ..... 8

2.3.1 简介 ..... 8

2.3.2 RAM 存储器模式 ..... 12

2.4 时钟资源 ..... 22

2.4.1 全局时钟 ..... 22

2.4.2 输入输出时钟 ..... 25

2.4.3 快速时钟 ..... 26

2.5 锁相环 (PLL) ..... 27

2.5.1 简介 ..... 27

2.5.2 动态相移 ..... 28

2.5.3 时钟反馈模式 ..... 30

2.6 数字信号处理 (DSP) ..... 32

2.6.1 体系结构 ..... 32

2.6.2 操作模式 ..... 34



2.7 输入输出逻辑单元 (IOL) .....	37
2.7.1 输入寄存器逻辑 .....	37
2.7.2 输出寄存器逻辑 .....	41
2.8 输入输出缓冲器 (IOB) .....	45
2.8.1 IOB 简介 .....	45
2.8.2 IO 分组 .....	47
2.8.3 高速 LVDS 接口 .....	47
2.8.4 LVPECL .....	49
2.8.5 兼容 5V 输入 .....	50
2.9 EF3 FPGA 配置说明 .....	54
2.9.1 配置模式 .....	54
2.9.2 配置流程 .....	56
2.9.3 MSPI 配置模式 .....	58
2.9.4 从动串行配置模式 .....	58
2.9.5 从动并行配置模式 .....	59
2.9.6 主动并行配置模式 .....	61
2.9.7 JTAG 配置模式 .....	61
2.9.8 SSPI 配置模式 .....	62
2.9.9 I2C 配置模式 .....	64
2.9.10 IEEE 1149.1 边界扫描测试 .....	65
2.9.11 DUAL BOOT 功能 .....	65
2.9.12 MULTI BOOT 功能 .....	66
2.9.13 FPGA I/O 引脚在配置阶段的设置 .....	67
2.9.14 FPGA I/O 引脚在配置阶段的状态 .....	67
2.9.15 DNA 安全功能 .....	69
2.9.16 StateHold I/O 功能 .....	70
<b>3 直流交流特性 .....</b>	<b>71</b>



3.1 直流电气特性 .....	71
3.1.1 最大绝对额定值 .....	71
3.1.2 推荐基本操作条件 .....	72
3.1.3 基本供电要求 .....	73
3.1.4 单电源器件静态供电电流-B Devices <sup>1,2</sup> .....	74
3.1.5 热插拔规格 .....	74
3.1.6 上下电时序 .....	74
3.1.7 I/O 管脚电容 .....	75
3.1.8 I/O 直流电气特性 .....	75
3.1.9 单端 I/O 直流电学特性 .....	76
3.1.10 差分 I/O 电学特性 .....	77
3.2 交流电气特性 .....	79
3.2.1 时钟性能 .....	79
3.2.2 嵌入数字信号处理模块 (DSP) 规格 .....	79
3.2.3 锁相环 (PLL) 规格 .....	79
3.2.4 存储器模块 (ERAM) 规格 .....	80
3.2.5 高速 I/O 接口性能 .....	81
3.2.6 配置模块 .....	81
<b>4 引脚和封装 .....</b>	<b>83</b>
4.1 引脚定义和规则 .....	83
4.2 I/O 命名规则 .....	85
4.3 CG256 引脚信息 (EF3L50/EF3L70) .....	86
4.4 CG324 引脚信息 (EF3L40) .....	91
4.5 CG324 引脚信息 (EF3L90) .....	96
4.6 CG324 引脚信息 (EF3L70) .....	101
4.7 CG332 引脚信息 .....	106



4. 8 CG400 引脚信息 .....	111
4. 9 CG484 引脚信息 .....	117
4. 10 CG642 引脚信息 .....	125
4. 11 封装信息 .....	137
4. 11. 1 caBGA256 封装规格 (EF3L50/EF3L70) .....	137
4. 11. 2 caBGA324 封装规格 (EF3L40/EF3L90) .....	138
4. 11. 3 caBGA324 封装规格 (EF3L70) .....	139
4. 11. 4 caBGA332 封装规格 .....	140
4. 11. 5 caBGA400 封装规格 .....	141
4. 11. 6 caBGA484 封装规格 .....	142
4. 11. 7 caBGA642 封装规格 .....	143
<b>5 订购信息 .....</b>	<b>144</b>
<b>版本信息 .....</b>	<b>146</b>
<b>免责声明 .....</b>	<b>152</b>



## 1 简介

### 1.1 SALELF®3 (以下简称 EF3) 器件系列特性

#### ■ 灵活的逻辑结构

- 多种器件，规模从 4800 到 11776 LUTs
- 最大用户 I/O 数量达 475

#### - PCI33

- 可配置支持以下差分标准
  - LVDS (3.3/2.5/1.8), LVPECL33

#### ■ 低功耗工艺

- 先进的 55nm 低功耗工艺

- 支持 True LVDS 输出，所有 BANK 均支持单端和差分输入

#### ■ 内置 FLASH

- 内置 8Mb FLASH，无需外部配置器件

#### - 支持热插拔

#### ■ 支持分布式和嵌入式存储器

- 可配置上拉/下拉模式
- 兼容 5V 输入
- 片内 100Ω 差分电阻

- 最大支持 94Kbits 分布存储器

#### ■ 时钟资源

- 最大支持 612Kbits 嵌入块存储器
- 内置嵌入式存储模块，多种组合模式，可配置为真双口
- 专用 FIFO 控制逻辑

- 16 路全局时钟

#### ■ 可配置逻辑模块 (PLBs)

- 每 BANK 2 路针对高速 I/O 接口设计的 IOCLK

- 优化的 LUT4/LUT5 组合设计

- 优化全局时钟的快速时钟

- 双端口分布式存储器

- 多功能 PLLs 用于频率综合

- 支持算数逻辑运算

#### - 支持 7 路时钟输出

- 快速进位链逻辑

- 分频系数 1 到 128

#### ■ 源同步输入/输出接口

- 支持 5 路时钟输出级联

- 输入/输出单元包含 DDR 寄存器支持 DDRx1、DDRx2 模式

- 动态相位调节

#### ■ 高性能，灵活的输入/输出缓冲器

- 可配置支持以下单端标准

#### ■ 配置模式

- LVTTL33

EF3L40, EF3L90 支持以下配置模式：

- LVCMS (3.3/2.5/1.8/1.5/1.2V)

- MSP1 模式

- 从模式串行 (SS)

- 从模式并行 x8 (SP)



- 主模式并行 x8 (MP)
- JTAG 模式 (IEEE-1532)
- EF3L50, EF3L70 和 EF3LA0 支持以下配置模式:
- 增强安全设计保护
  - 每个芯片拥有唯一的 64 位 DNA
- 丰富封装形式
  - caBGA256
  - caBGA324
  - caBGA332
  - caBGA400
  - caBGA484
  - caBGA642
- BSCAN
  - 兼容 IEEE-1149.1

表 1-1 EF3 FPGA 系列选型表

Device	LUTs	DFFs	Dis-RAM (Kbs)	ERAM		DSP	PLL	FLASH	MAX user IO
				9K	Total (Kbits)				
EF3L40	4800	4800	38	15	135	8	2	8Mb	279
EF3L50	5304	5304	42	31	279	-	2	8Mb	206
EF3L70	7952	7952	63	36	324	-	2	8Mb	206
EF3L90	9280	9280	73	30	270	16	2	8Mb	335
EF3LA0	11776	11776	92	68	612	-	2	8Mb	475

表 1-2 EF3 FPGA 封装

Packages	Size	Pitch	EF3L40	EF3L50	EF3L70	EF3L90	EF3LA0
caBGA256	14x14	0.8mm	-	206/(41+58)	206/(41+58)	-	-
caBGA324	15x15	0.8mm	279/(35+104)	-	280/(40+99)	279/(35+104)	-
caBGA332	17x17	0.8mm	279/(34+105)	-	-	-	-
caBGA400	17x17	0.8mm	-	-	-	335/(41+126)	-
caBGA484	19x19	0.8mm	-	-	-	-	383(47+144)
caBGA642	23x23	0.8mm	-	-	-	-	475(47+141)

注:

1. 335/(41+126) 表示: 用户可用 IO 数 (用户可用 True LVDS 对+用户可用 Emulated LVDS 对)。
2. JTAGEN 和 TCK, TMS, TDI, TDO 引脚功能互斥, 当 JTAGEN 引脚作为普通 IO 时, TCK, TMS, TDI, TDO 不支持作为普通 IO, 表中 IO 数量不包含 JTAGEN 引脚。



## 1.2 EF3 器件介绍

EF3 器件是安路科技的第三代 FPGA 产品，定位通信、工业控制和服务器市场，最多支持 475 个用户 I/O，满足客户板级 I/O 扩展应用需求。EF3 器件采用先进的 55nm 低功耗工艺，优化功耗与性能，并可以通过低成本实现较高的功能。器件旨在用于大批量、成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

安路科技提供丰富的设计工具帮助用户有效地利用 EF3 平台实现复杂设计。业界领先的综合和布局布线工具，为用户设计高质量产品提供有力保障。

## 2 EF3 架构介绍

EF3 系列器件由查找表逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在四边。嵌入式块存储单元（ERAM9K）和数据信号处理模块（DSP）嵌在 PLB 中间。EF3LA0、EF3L70 和 EF3L50 器件不含 DSP 模块。下图为 EF3L90 器件架构示例。

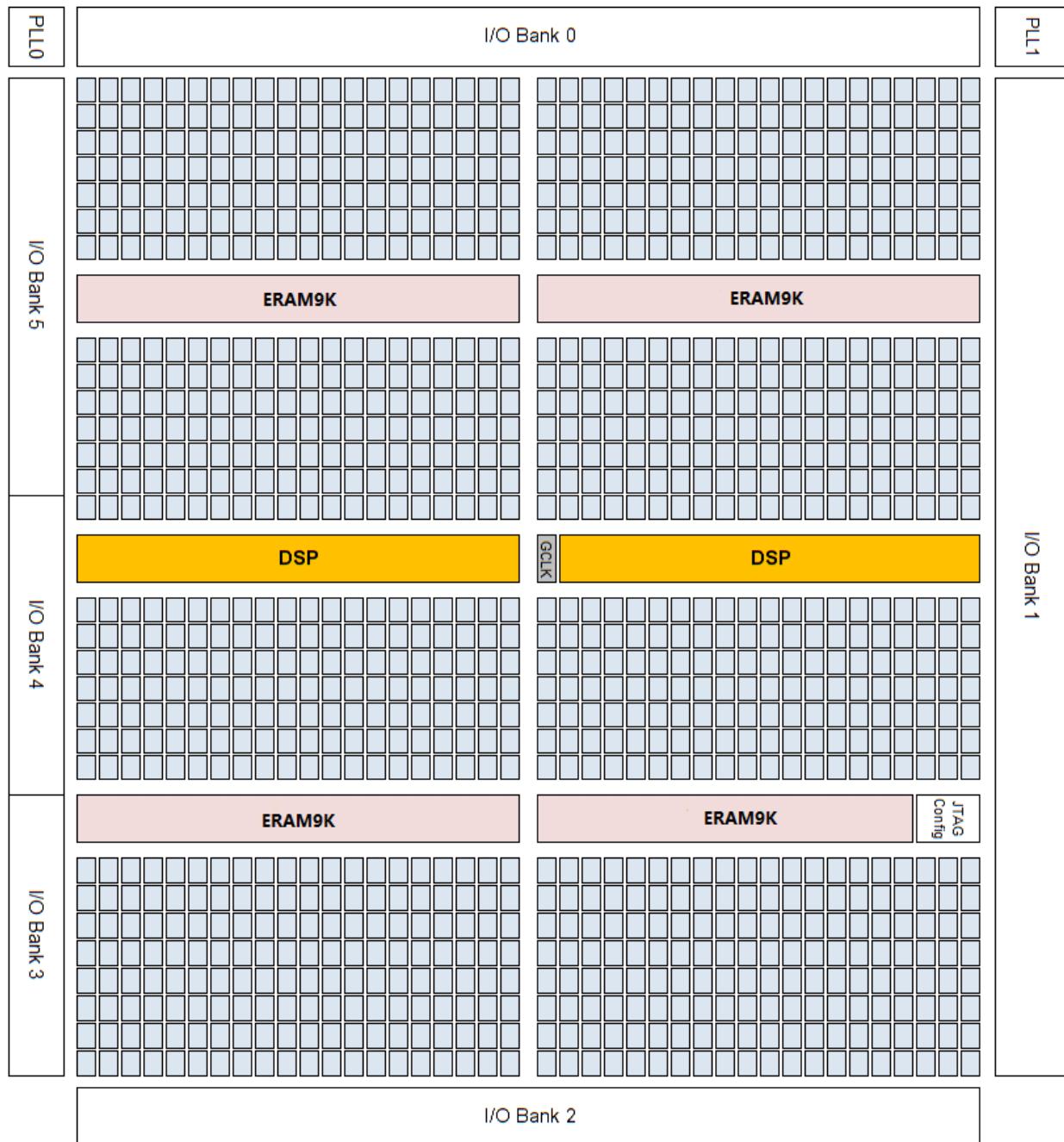


图 2-1 EF3L90 器件简化框图

查找表逻辑模块分为两种，逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）。两种模块均支持逻辑、算数功能，不同的是 MSLICE 支持分布式 RAM 和 ROM 功能。逻辑可编程模块（LSLICE）

和存储逻辑可编程模块（MSLICE）均经过设计优化，便于用户快速有效地实现复杂设计。

EF3 系列器件包含多列嵌入式存储器模块（ERAM），存储器模块规模为 9K，支持快速数据访问。每一个存储模块可独立配置为 1~18 位宽的单口或双口应用。

EF3 的输入输出缓冲器（I/O Buffer）支持单端和双端的多种电平标准。BANK0/2 的 I/O 支持 TRUE LVDS 发送。

EF3 系列内部嵌有 2 个多功能 PLL 模块，位于器件的左上角和右上角，有专用的时钟线连接到 PLL 输入。PLL 具有对时钟分频/倍频/移相等功能。

## 2.1 PFB 模块

可编程逻辑块（PLB）按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连（Routing）和可编程功能块（Programmable Functional Block, PFB）。PFB 是 FPGA 的可编程功能核心。EF3 器件内部 PFB 可实现：逻辑，算术，分布式 RAM（distribute RAM），ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0, 1 为 MSLICE 类型，SLICE 2, 3 为 LSLICE 类型。

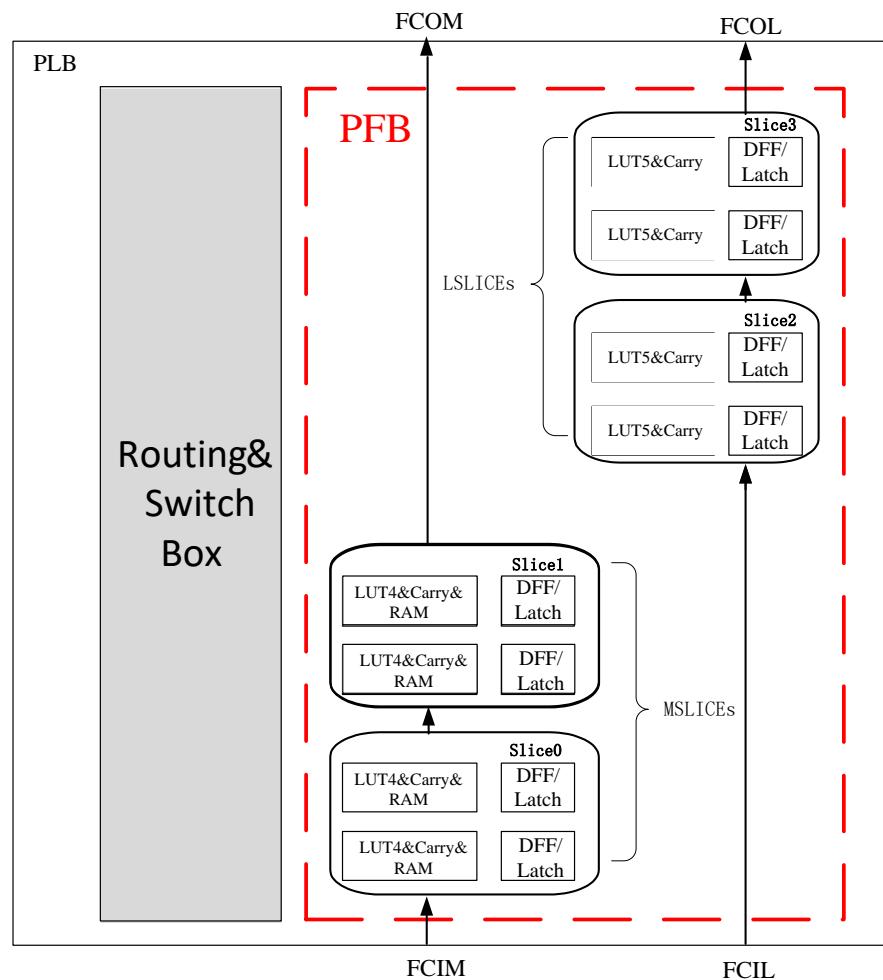


图 2-1-1 可编程功能块（PFB）结构图

## 2.1.1 SLICE

EF3 PFB 内包含两种 SLICE：MSLICE 和 LSLICE。

### a) MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链，MSLICE 额外可配置成基于 LUT 的分布式 RAM (distribute RAM) 功能。PFB 内的 SLICE 0, 1 为 MSLICE 类型，可组合配置成为  $16 \times 4$  的 RAM。MSLICE 内部逻辑可实现 LUT4s 间的连接，可以实现输入数大于 4 的函数，如 LUT5。两个 MSLICE 组合可实现 LUT6。

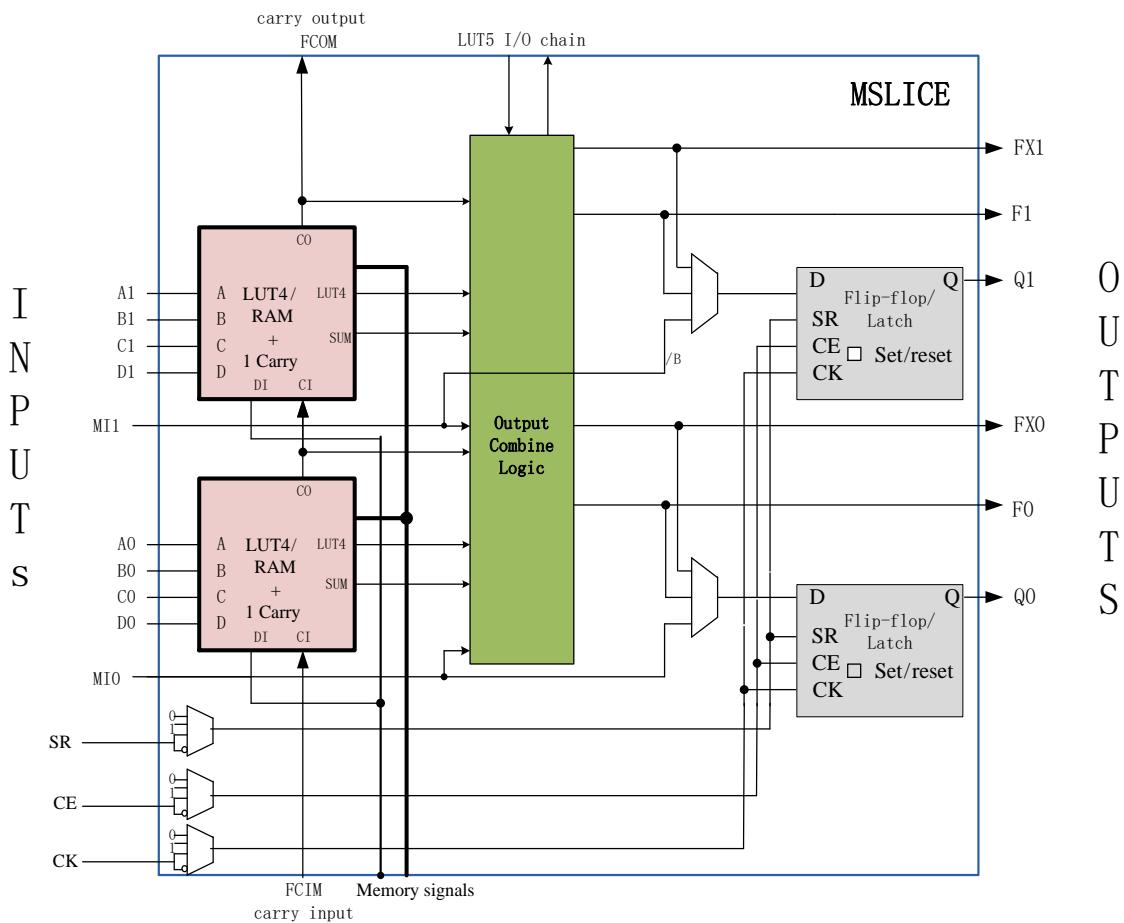


图 2-1-2 MSLICE 结构图

如图 2-1-2 所示，MSLICE 内部有两个 4 输入查找表 (LUT4)，并带有 RAM 写入译码器，结合 PFB 内部的分布式 RAM 控制逻辑，每个 LUT4 可实现  $16 \times 1$  bits RAM 存储器，2 个 MSLICE 配合一个 RAM 控制器实现  $16 \times 4$  的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入 (FCIM) 可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法，并实现快速进/借位输出 (FCOM)。

### b) LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2, 3 为 LSLICE 类

型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5, LUT6。两个 LSLICE 组合可实现 LUT7。

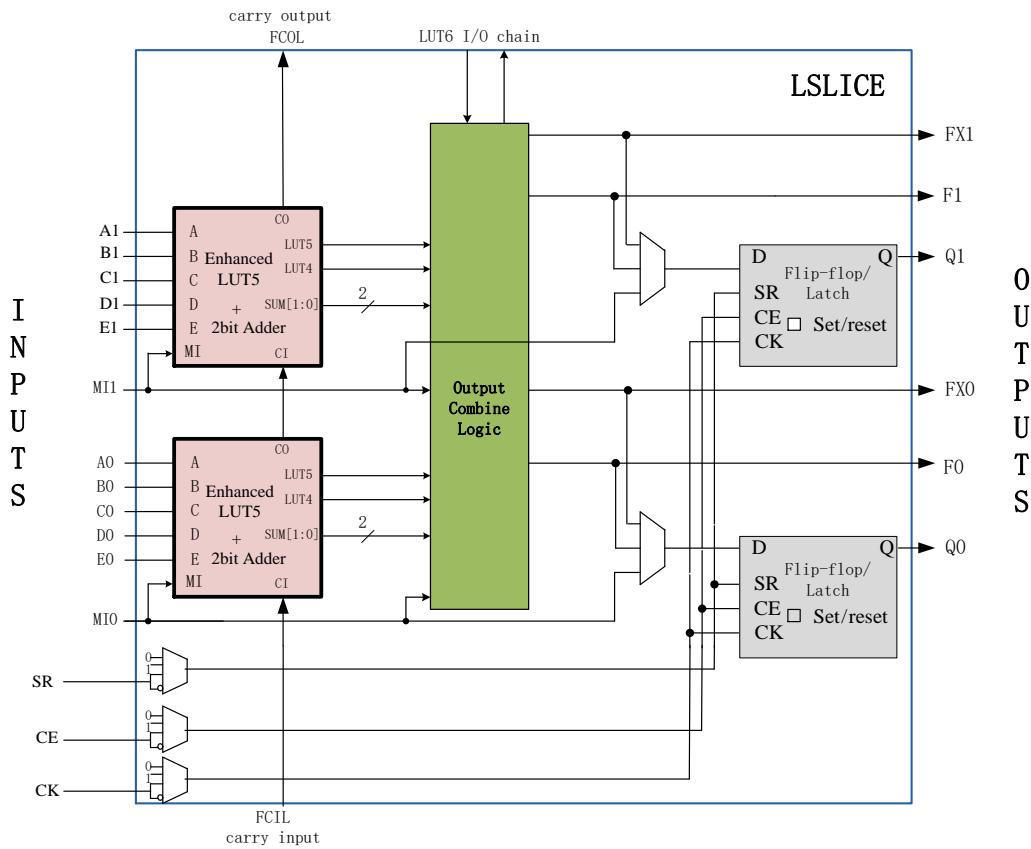


图 2-1-3 LSLICE 结构图

如图 2-1-3 所示，LSLICE 内部有 4 个 4 输入查找表（LUT4），以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4；2 个 LUT4 + 1 个 LUT5；2 个 LUT5；一个 LUT6 等。每个增强型 LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出（FCOL）。

MSLICE 和 LSLICE 内部寄存器相同，可配置成 DFF 或者 LATCH。

## 2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

### a) 逻辑模式

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的增强型 LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。

表 2-1-1 常见逻辑实现表

LUT5	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7		2 LSLICE

### b) 算术模式

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

### c) 分布式 RAM 模式

MSLICE 可配置成此模式，两个 MSLICE: SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM（一口写/一口读）。

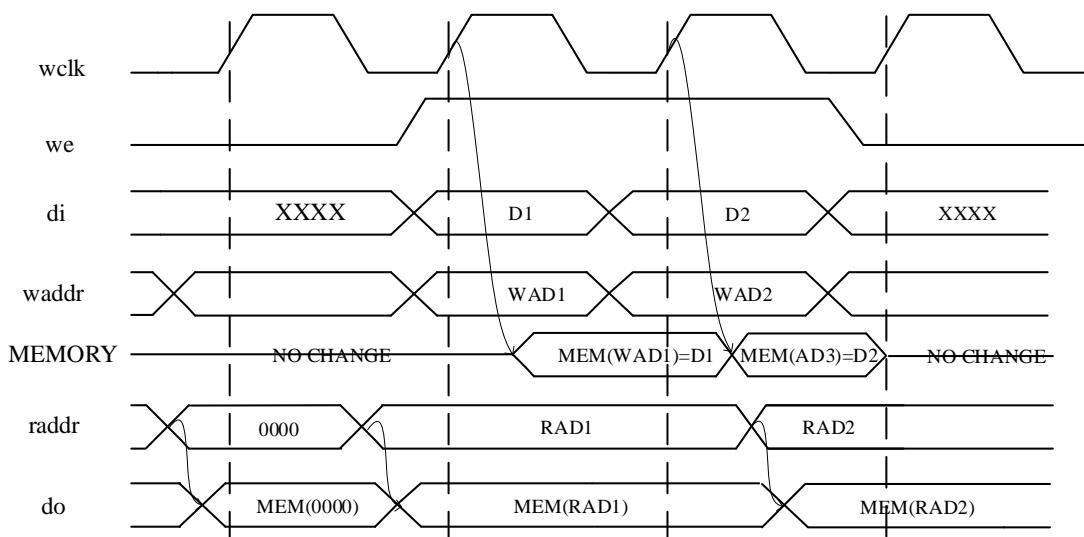


图 2-1-4 Disram 同步写入异步读出时序图

### d) ROM 模式

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

## 2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器 (DFF) 或电平使能锁存器 (LATCH)

- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

## 2.2 互连 (Routing)

可编程互连实现 FPGA 内部各个功能块之间的信号传输。EF3 系列器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。EF3 系列互连线全部带有缓冲器，从而实现高速信号传输和可靠的信号完整性。

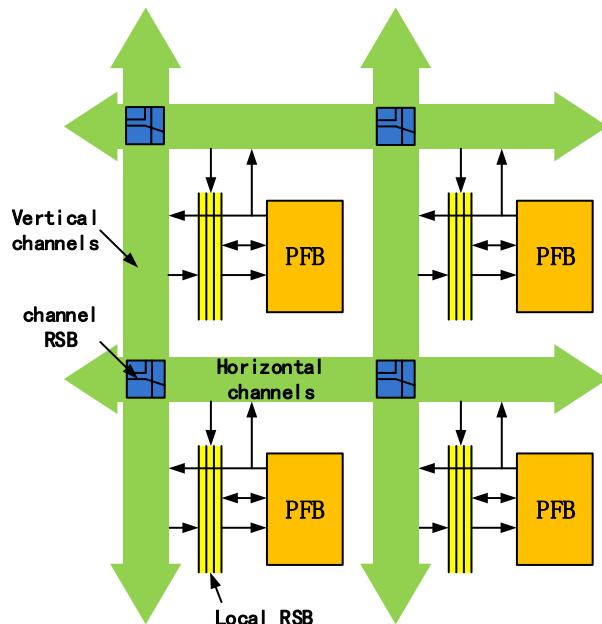


图 2-2-1 EF3 互连架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB(routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

## 2.3 嵌入式存储器模块 (ERAM)

### 2.3.1 简介

ERAM9K 每块容量 9Kbits，在芯片中按列排布，分布在 PFB 的阵列中。

ERAM9K 可实现：

- 单口 RAM/ROM
- 双口 RAM



- 简单双口 RAM (也称为伪双口)
- FIFO (ERAM9K 内嵌有硬件 FIFO 控制器)

ERAM9K 模块支持的功能特色有:

- 9216 (9K) bits/每块
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽, 真双口从 x1 到 x9, 支持 x18 简单双口 (一写一读)
- 9 或 18 位写操作时带有字节使能 (Byte Enable) 控制
- 输出锁存器可选择 (支持 1 级流水线)
- 支持 RAM/ROM 模式下数据初始化 (通过初始化文件在配置过程中对 ERAM9K 数据初始化)
- 支持多种写操作模式。可选择只写 (Normal), 先读后写 (Read before Write), 写穿通 (Write through) 三种模式。

表 2-3-1 ERAM 9K 特色

类别	特性
容量	9K
配置(深度 x 位宽)	8192 x 1    4096 x 2    2048 x 4 1024 x 8 或 9    512 x 16 或 18
奇偶位 (Parity bits)	8+1    16+2
字节使能 (Byte enable)	有, 可选择
输入地址/数据寄存器	有
单口模式 (Single-port mode)	支持
简单双口模式 (Simple dual-port mode)	支持
真双口模式 (True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有, 可选择
独立数据输出寄存器使能	有
Read-during-write <sup>1</sup>	输出旧数据 (read before write) 输出写数据 (write through) 输出数据保持不变 (no change)
工作前 RAM 初始化	支持

注：

1. `read before write` 模式在软件中选择 `read first, write through` 模式在软件中选择 `write first, no change` 模式在软件中选择 `no change`。

### ■ 字节使能 (Byte Enable)

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 `datain[15:8]` 和 `datain[7:0]`。

### ■ 写操作时并行读操作 (Read-during-Write)

EF3 系列的 ERAM9K 支持同端口的 `read-during-write`。`read-during-write` 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 `rdw` 选择，输出数据保持不变 (`No change`)。

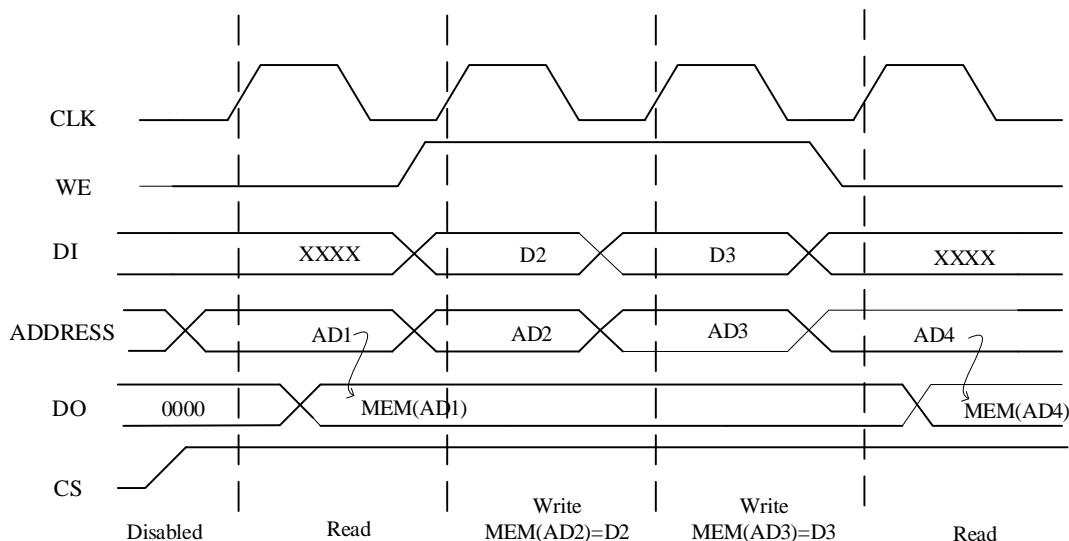


图 2-3-1 No change 模式波形

RDW 模式下用户有两种选择：读出旧数据 (`Read Before Write`)；读出新数据即正要写入的数据 (`Write Through`)。

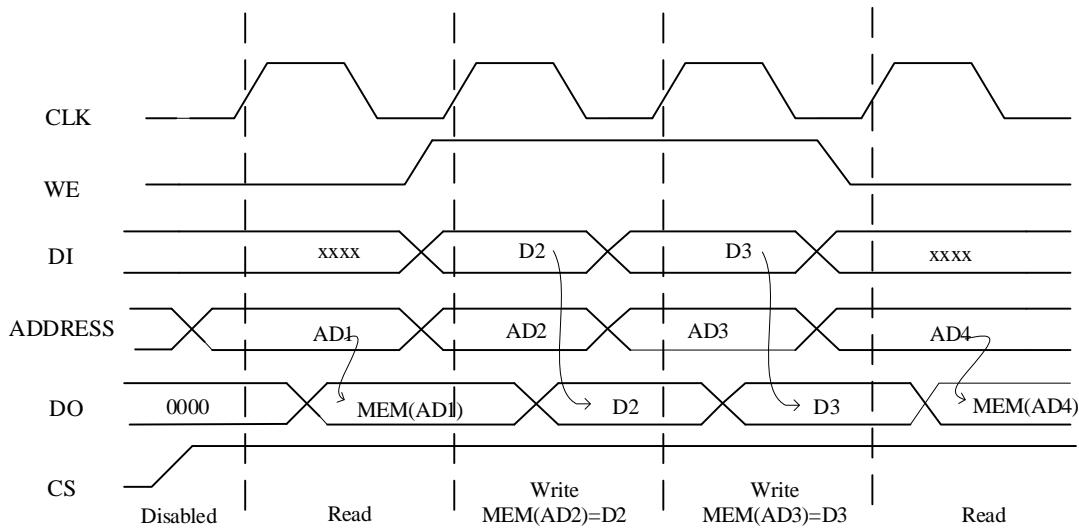


图 2-3-2 Write Through 模式波形

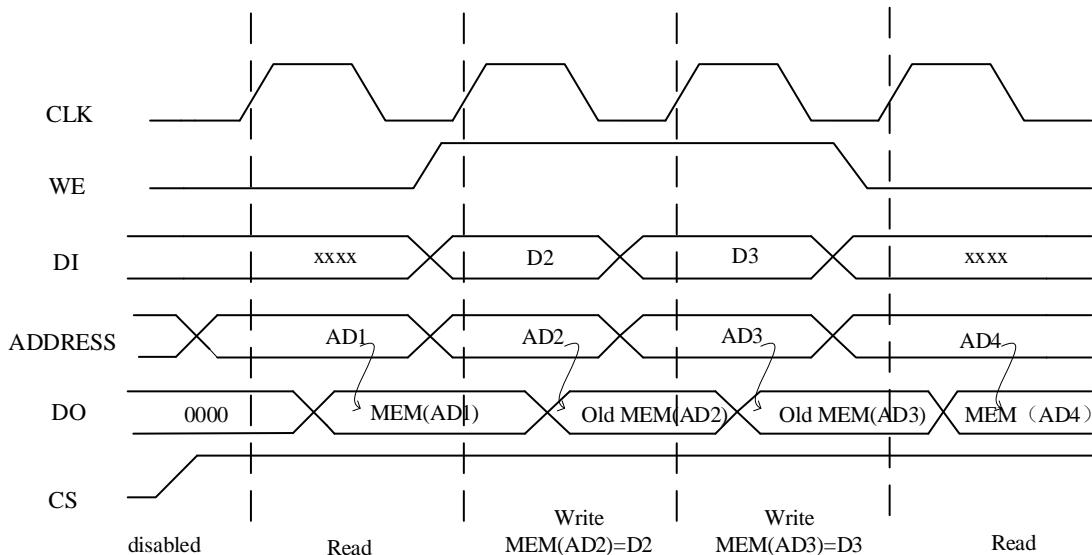


图 2-3-3 Read Before Write 模式波形

EF3 ERAM 内部采用 8T-SRAM 真双口结构，当用户从 2 个口访问同一地址 SRAM 空间时会发生冲突，用户需要注意以下几点：

1. 当访问同一地址空间时，若双口同时为读操作，双口可以完成正常读操作，SRAM 内容正常，不会被破坏。
2. 当访问同一地址空间时，若一口为写、另一口为读操作，写口可以正常写入数据，读口读操作失败，输出数据未知；SRAM 内容不会被破坏，为写口写入值。
3. 当访问同一地址空间时，若一口为写、另一口同样为写操作，双口写操作同时失败，SRAM 器件内数据有损坏风险。



## 2.3.2 RAM 存储器模式

ERAM9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 ERAM9K 用户端口名称和设置略有不同。

ERAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式同步 RAM 操作和 ROM 操作。

### 2.3.2.1 RAM 存储器模式下的端口信号

ERAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

- 片选信号 (ChipSelect)
- 时钟使能 (Clock Enable)
- 输入/输出寄存器复位控制信号 (RST)
- 写/读操作 (WE)
- 数据输出寄存器锁存使能 (OCE)
- 字节使能 (Byte Enable[1:0])

表 2-3-2 控制逻辑信号表

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

ERAM9K 的端口如下表：

表 2-3-3 RAM 模式下的端口信号

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入，简单双口 18 位输入端口模式时作为低 9 位数据输入
addrA[12:0]	输入	A 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。 在 18 位模式时，addrA[1:0]复用为字节使能信号 Byte Enable[1:0]。
doa[8:0]	输出	A 端口数据输出，简单双口 18 位输出端口模式时作为低 9 位数据输出
clka	输入	A 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输入地址/数据端口时钟
rsta	输入	A 端口复位信号，默认高有效（可反向），可配置同步/异步复位



A 端口名	方向	说明
cea	输入	A 端口时钟有效控制信号， 默认高有效（可反向）。
wea	输入	A 端口写入/读出操作控制， 1 为写入操作， 0 为读出操作； 18 位写入模式时固定为 1。
csa[2:0]	输入	A 端口 3 位片选信号（可反向）， $csa[2:0]=3' b111$ 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceaa	输入	A 端口数据寄存器时钟使能， 默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[8:0]	输入	B 端口数据输入， 18 位输入端口模式时作为高 9 位数据输入
addrb[12:0]	输入	B 端口地址输入， [12:4] 作为 word 地址一直有效， [3:0] 取决于 bit 模式
dob[8:0]	输出	B 端口数据输出， 18 位输出端口模式时作为高 9 位数据输入
clk	输入	B 端口时钟输入， 默认上升沿有效（可反向）， 简单双口 18 位模式时作为输出地址/数据端口时钟
rstb	输入	B 端口复位信号， 默认高有效（可反向）， 可配置同步/异步复位
ceb	输入	B 端口时钟有效控制信号， 默认高有效（可反向）。
web	输入	B 端口写入/读出操作控制， 1 为写入操作， 0 为读出操作； 18 位读出模式时固定为 0。
csb[2:0]	输入	B 端口 3 位片选信号（可反向）， $csb[2:0]=3' b111$ 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceb	输入	B 端口数据寄存器时钟使能， 默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

#### ■ 多位片选信号逻辑说明：

ERAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示（CSA, CSB 在 RAM 模式/CSW, CSR 在 FIFO 模式）：

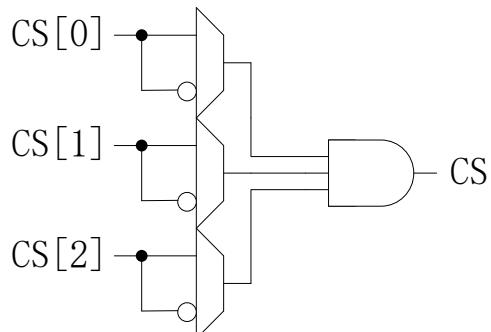


图 2-3-4 CS 逻辑控制



利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对 2~8 块 RAM 进行深度扩展。

#### ■ 18 位模式时的字节使能 (Byte Enable) :

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 datain[15:8] 和 datain[7:0]。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入 (dia)。在 18 位模式时，字节使能 Byte Enable[1:0] 信号和端口 addra[1:0] 复用。

#### ■ 写操作时并行读操作 (Read-during-Write)

EF3 系列的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式 (Normal)，输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据 (Read Before Write)；读出新数据 (Write Through)。

### 2.3.2.2 RAM 存储器模式下的常见配置

#### a) 单口模式 (Single-Port Mode)

单口模式支持对非同时发生的对同一地址的读或写操作。ERAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 ERAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

ERAM9K 在单口模式下支持的位宽

- 8192 x 1 (独立的 A 口或 B 口实现)
- 4096 x 2 (独立的 A 口或 B 口实现)
- 2048 x 4 (独立的 A 口或 B 口实现)
- 1024 x 8, 1024 x 9 (独立的 A 口或 B 口实现)
- 512 x 16, 512 x 18 (A 口 B 口联合实现)

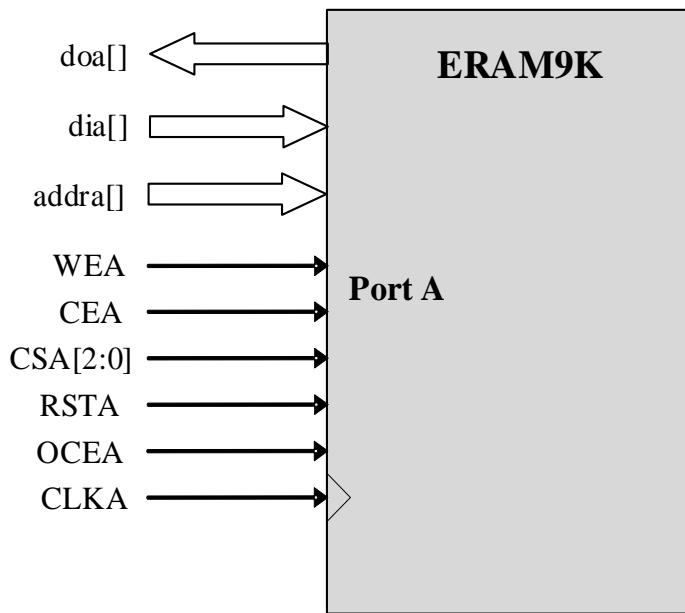


图 2-3-5 利用 A 口实现的 9 位宽（及以下）单口 RAM

**b) 简单双口模式 ( Simple Dual-Port Mode )**

当用一块 ERAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0] 作为高 9 位数据输入，DIA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0] 作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-3-4 9/18 位简单双口模式时数据端口连接关系

模式	ERAM9K RAM 端口	用户端口
W=18 位 R=18 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W<=9 位 R=18 位	DIA[]	wdata[]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W=18 位 R<=9 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	rdata[]

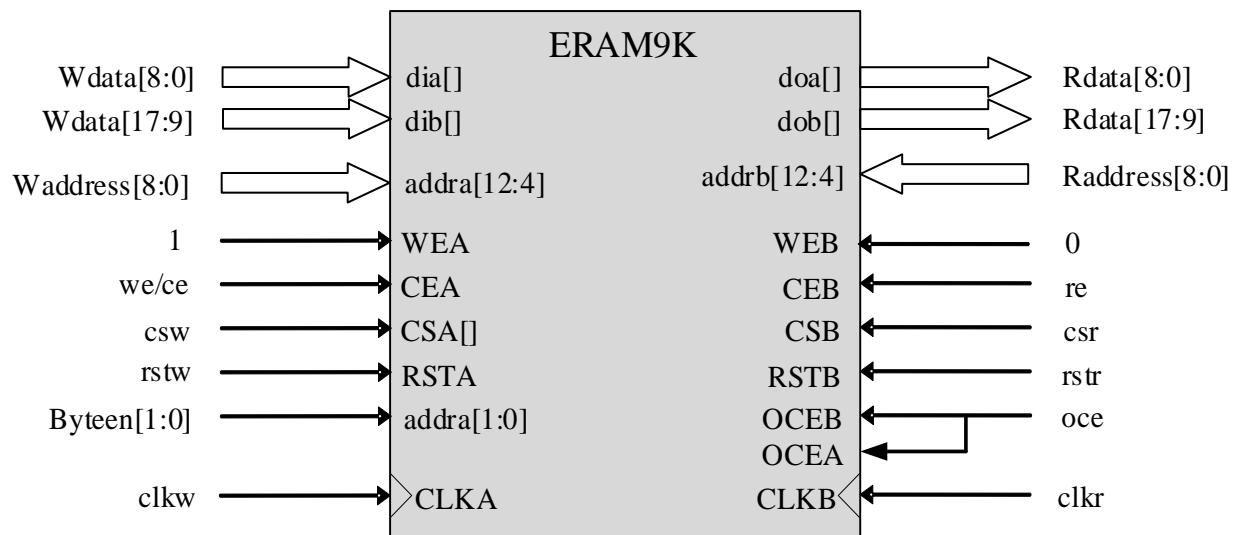


图 2-3-6 简单双口 18 位写/18 位读端口连接

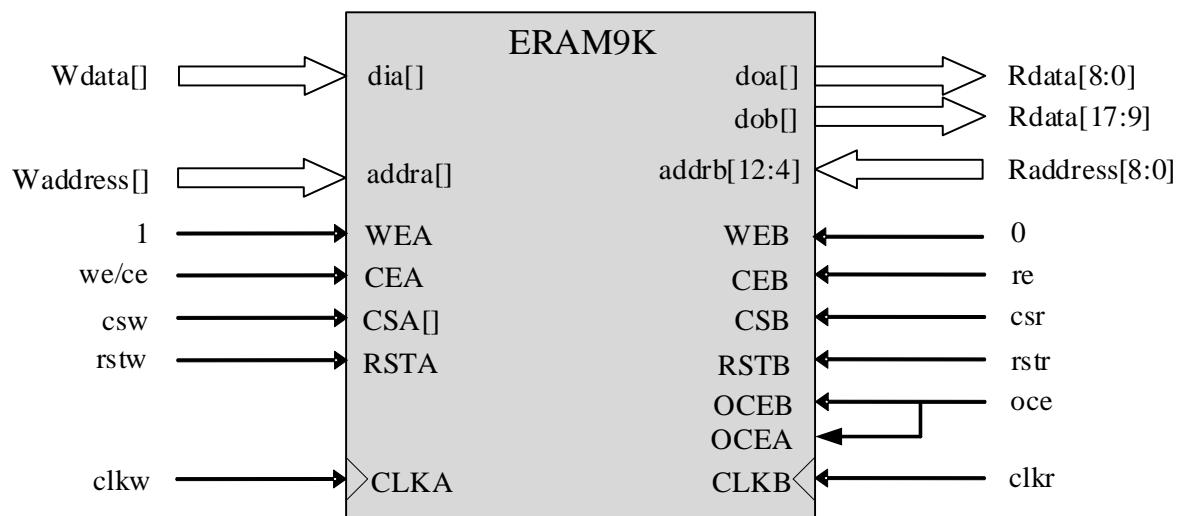


图 2-3-7 简单双口模式&lt;=9 位写/18 位读端口连接

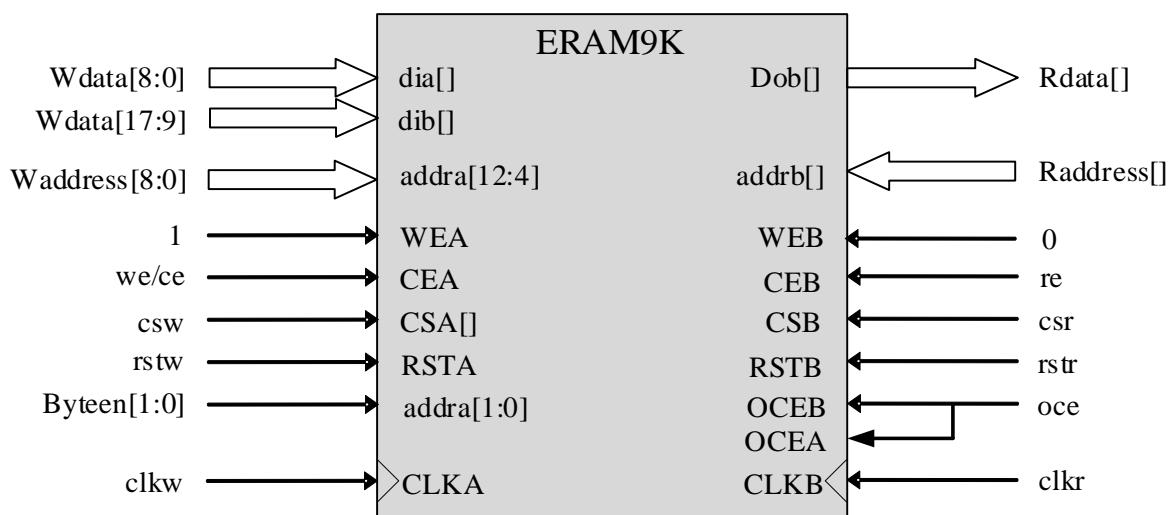


图 2-3-8 简单双口模式 18 位写/&lt;=9 位读端口连接

ERAM9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-3-5 简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

表 2-3-6 简单双口模式下支持的混合端口位宽配置

	端口宽度	地址位宽度	DOB[8]	DOA[8]	最低 4 位地址 addr [3:0] 值对应的 WORD 内部数据位											
	18	9	0		0											
	9	10	1	0	1				0				0			
	4	11	X	X	3			2			1		0			
	2	12	X	X	7	6	5	4	3	2	1	0				
	1	13	X	X	15	14	13	12	11	10	9	8	7	6	5	4
18/16 位 WORD 内部数据位			17	16	15	14	13	12	11	10	9	8	7	6	5	4
					3	2	1	0								

### c) 真双口模式 ( True Dual-Port Mode )

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

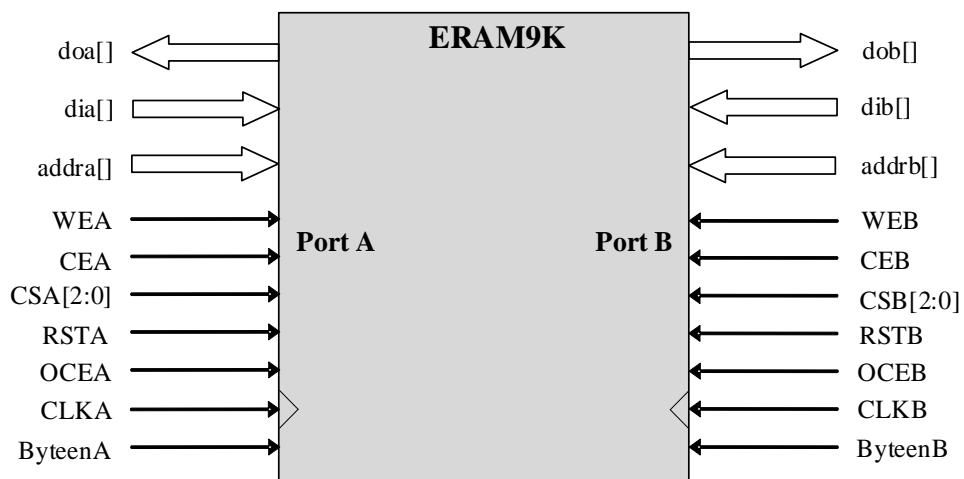


图 2-3-9 位宽<=9 位时 A/B 双口 RAM



表 2-3-7 真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	
1Kx8	√	√	√	√	
1Kx9					√

#### d) ROM 模式

ERAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 ERAM9K 中。初始化值可以在 IP 生成时用 MIF 文件设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

### 2.3.2.3 FIFO 模式

ERAM9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 ERAM9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。

表 2-3-8 FIFO 模式下的端口信号

输入端口名	方向	说明
dia[8:0]	输入	FIFO 数据输入， 16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。
clkw	输入	FIFO 写端口时钟输入， 默认上升沿有效（可反向）
rst	输入	FIFO 内部写指针/读指针复位信号（可反向）
we	输入	FIFO 写使能，1 为写入操作，0 无操作。
csw[2:0]	输入	FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。
输出端口名	方向	说明
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。
dob[8:0]	输出	<=9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。
clkr	输入	读端口时钟输入， 默认上升沿有效（可反向）
rprst	输入	FIFO 读指针复位信号
re	输入	FIFO 读使能，1 为读操作，0 无操作。
csr[2:0]	输入	FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。
oceaa	输入	doa 端口数据寄存器时钟使能， 默认高有效（可反向）。只有 18 位输出端口模



		式并且当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
oceb	输入	dob 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。
FIFO 标志名	方向	说明
empty_flag	输出	FIFO 读空标志，和 clk_r 同步。
aempty_flag	输出	FIFO 几乎读空标志，和 clk_r 同步。相对读空提前量由 AE_POINTER 参数决定。
full_flag	输出	FIFO 满标志，和 clk_w 同步。FIFO 满容量由 FULL_POINTER 参数决定。
afull_flag	输出	FIFO 几乎满标志，和 clk_w 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。

表 2-3-9 FIFO 模式支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

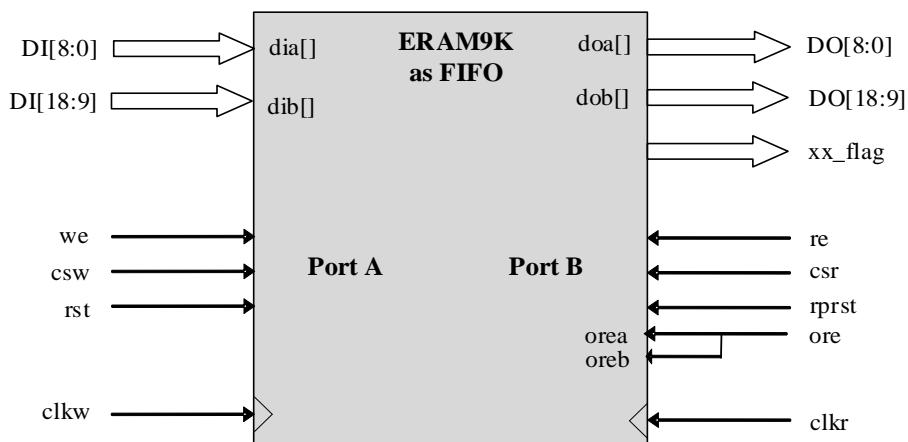


图 2-3-10 18 位进/18 位出 FIFO 模式

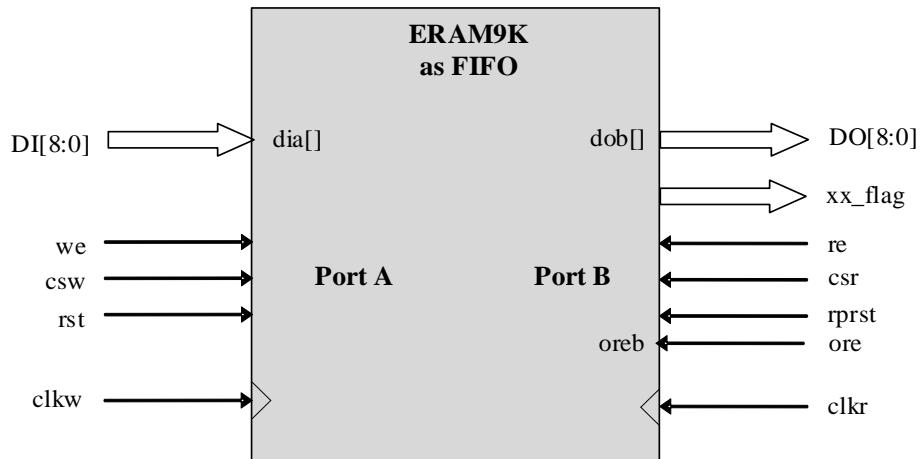


图 2-3-11 &lt;=9 位进/&lt;=9 位出 FIFO 模式

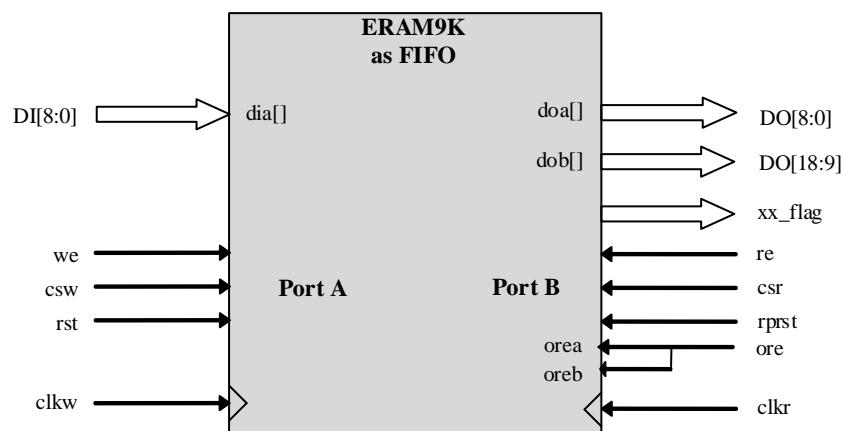


图 2-3-12 9 位进/18 位出 FIFO 模式

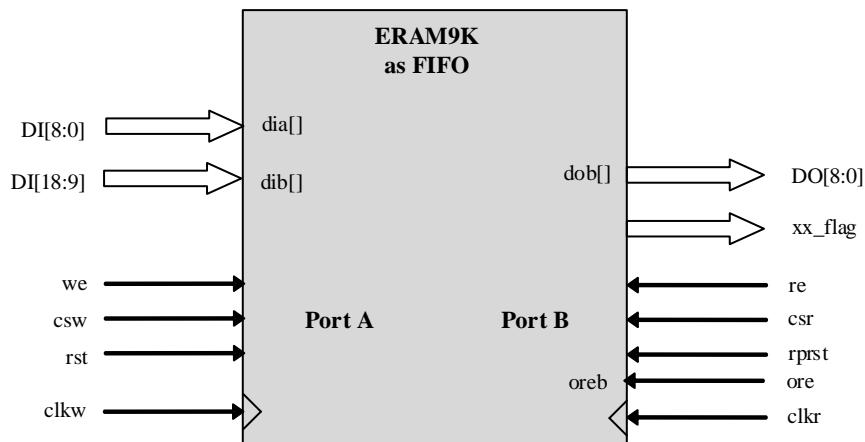


图 2-3-13 18 位进/9 位出 FIFO 模式

#### ■ 空满标志属性的设置

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志 (empty\_flag)，几乎空标志 (almost\_empty)，满标志 (full\_flag)，几乎满标志 (almost\_full)。当内部计数器计数到标志值时

会在 FF/AF/EF/AE 相应端口输出高电平。

表 2-3-10 FF/AF/EF/AE 属性设置

FIFO 属性名称	描述	设置范围
FF	Full flag	1 to Max
AF	Almost full	1 to Full-1
AE	Almost empty	1 to Full-1
EF	Empty setting	0

### ■ FIFO 模式下常用配置

FIFO 模式的 csw/csr 和 RAM 模式中的 csa/csb 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 csw 端，空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向与逻辑实现。

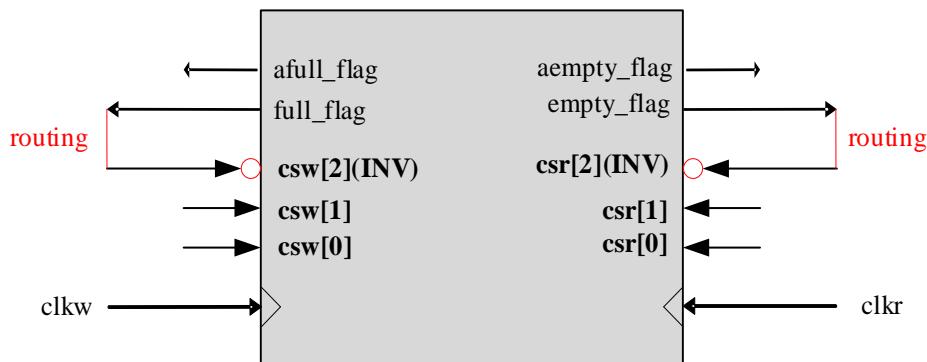


图 2-3-14 单个 ERAM9K FIFO 模式连接

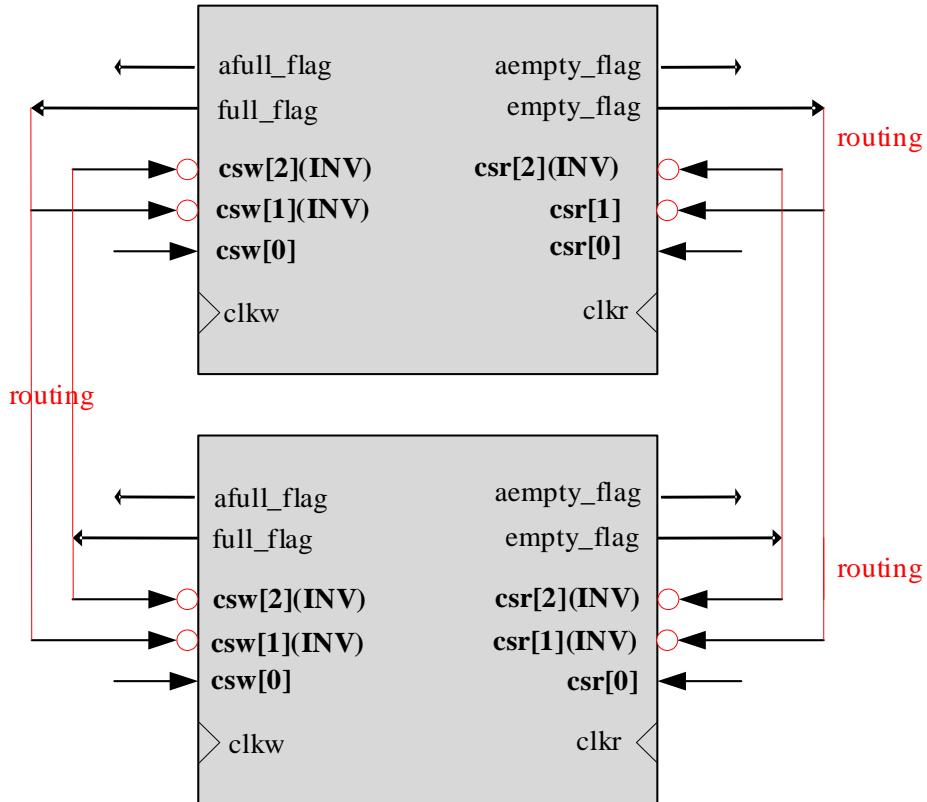


图 2-3-15 两个 ERAM9K FIFO 级联模式连接

## 2.4 时钟资源

EF3 系列 FPGA 包含 3 种类型时钟资源，第一种是给核心逻辑、嵌入式存储器、IOL 和 DSP 使用的全局时钟（GCLK），第二种是支持高速输入/输出接口串并转换的输入输出时钟（IOCLK），第三种是支持时钟快速输入到 IOCLK 和 PLL 输入的快速时钟。

### 2.4.1 全局时钟

EF3 系列全局时钟资源包含专用的时钟输入，缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源，同时全局时钟也可用于高扇出信号，时钟架构如图 2-4-1 所示。

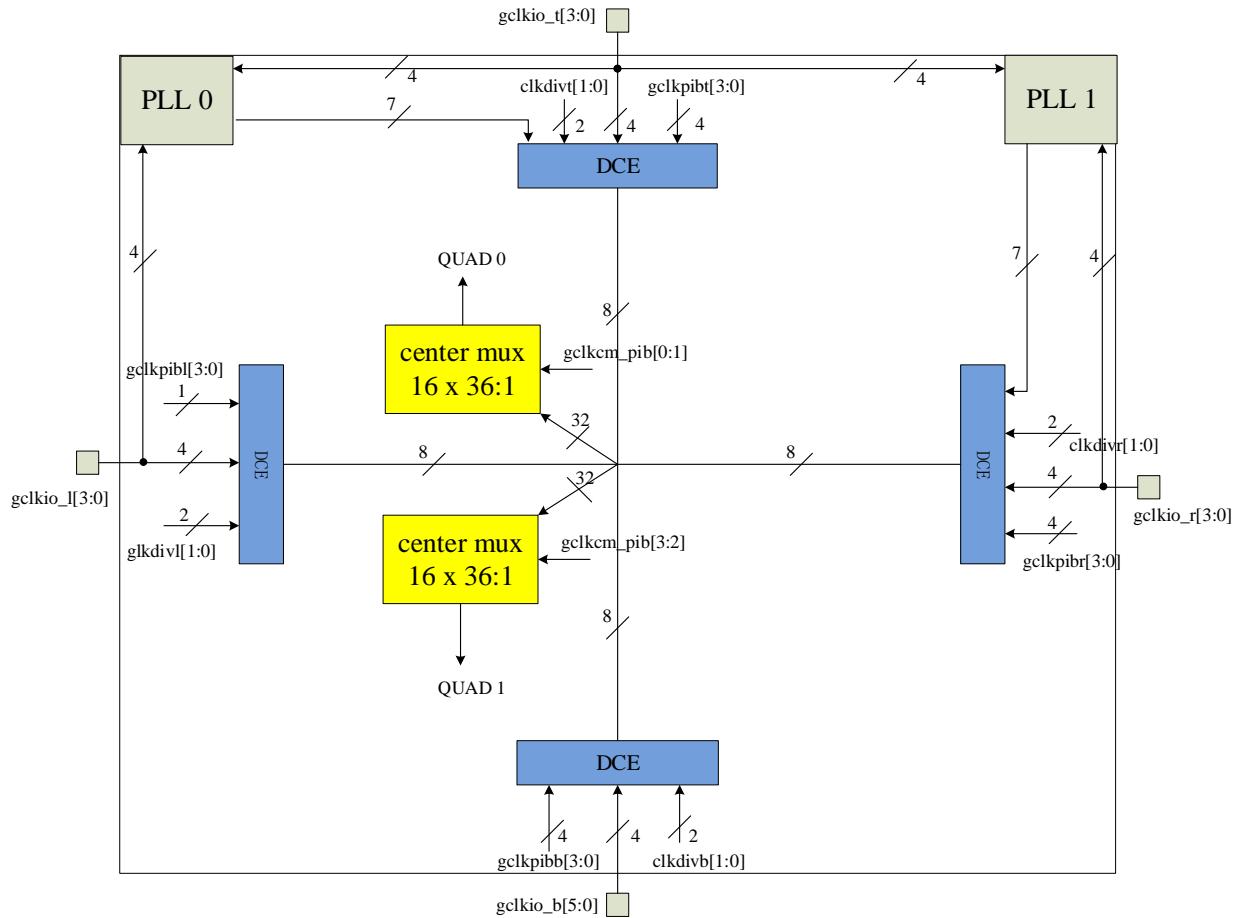


图 2-4-1 全局时钟分布网络

在全局时钟传输路径上有一级动态时钟使能逻辑，可以实现无毛刺的时钟动态使能，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的 36:1 多路选择器，进而分别送到 4 个象限驱动用户逻辑 DFF。

整个芯片以水平和垂直中间线划分为四个象限，每个象限有 16 路独立的全局时钟资源。

#### 2.4.1.1 时钟切换模块 (CSB)

每个 EF3 器件有 2 个全局时钟动态切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。

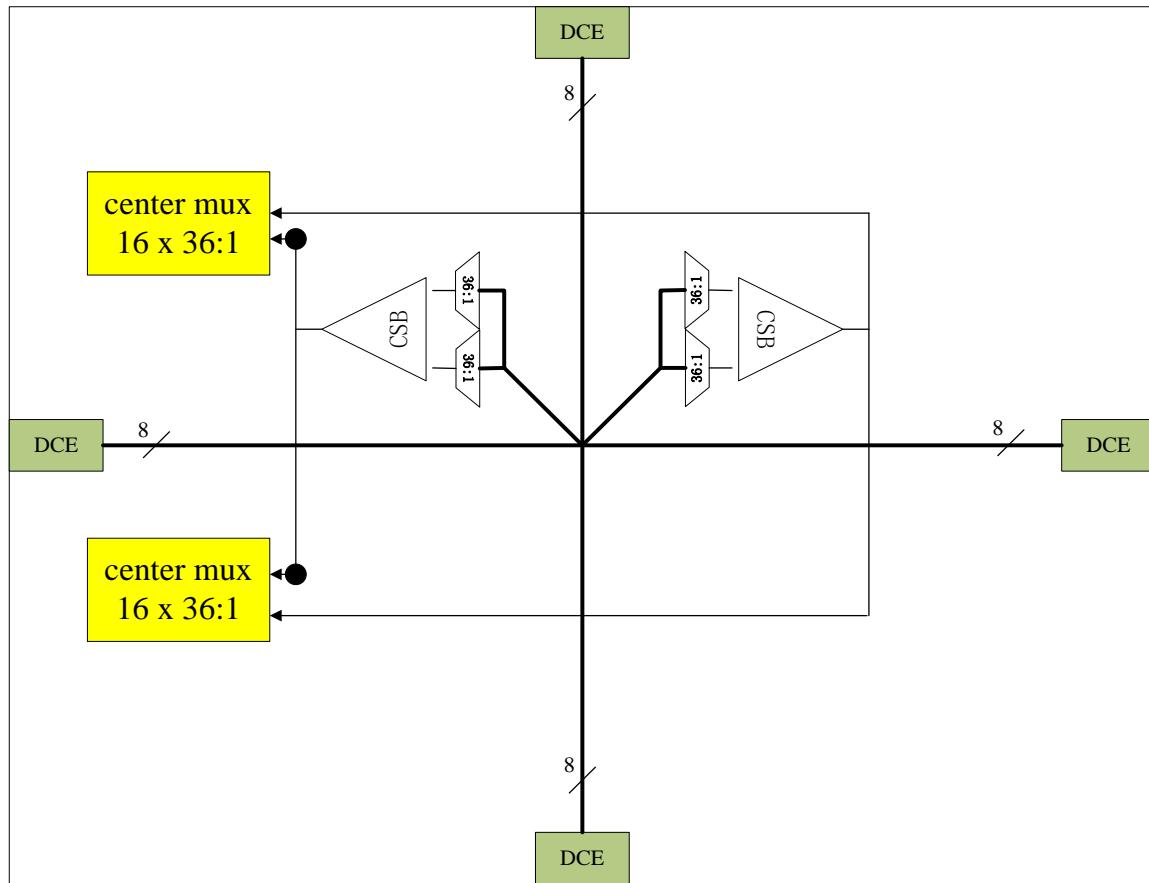


图 2-4-2 CSB 框图

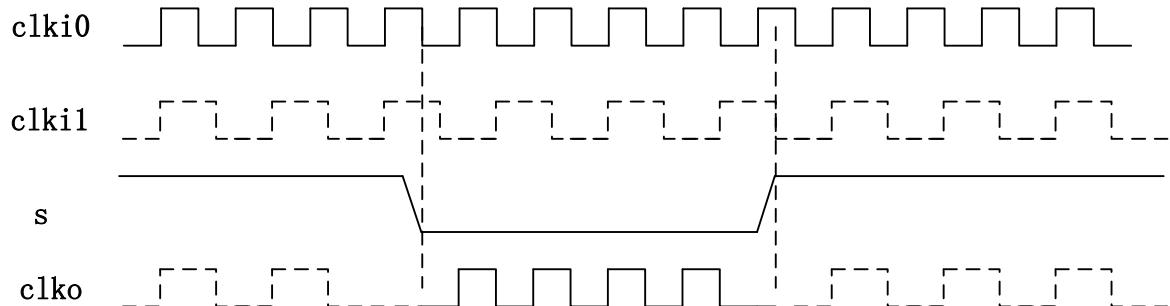


图 2-4-3 CSB 时钟切换时序图

表 2-4-1 DCS 操作模式

模 式	S		描 述
	0	1	
BUFGMUX	clkio	clkil	有毛刺时钟切换

## 2.4.2 输入输出时钟

输入输出时钟 (IOCLK) 是可以在 EF3 器件中使用的一种时钟缓冲器。IOCLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样，BUFIO 就可以理想地适合源同步数据采集（传送/接收器时钟分配）。IOCLK 可以由位于同一时钟区域的 `clock capable I/O` 驱动，也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOCLK。每个 IOCLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOCLK 不能驱动逻辑资源 (PLB、ERAM 等)，因为 IOCLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。

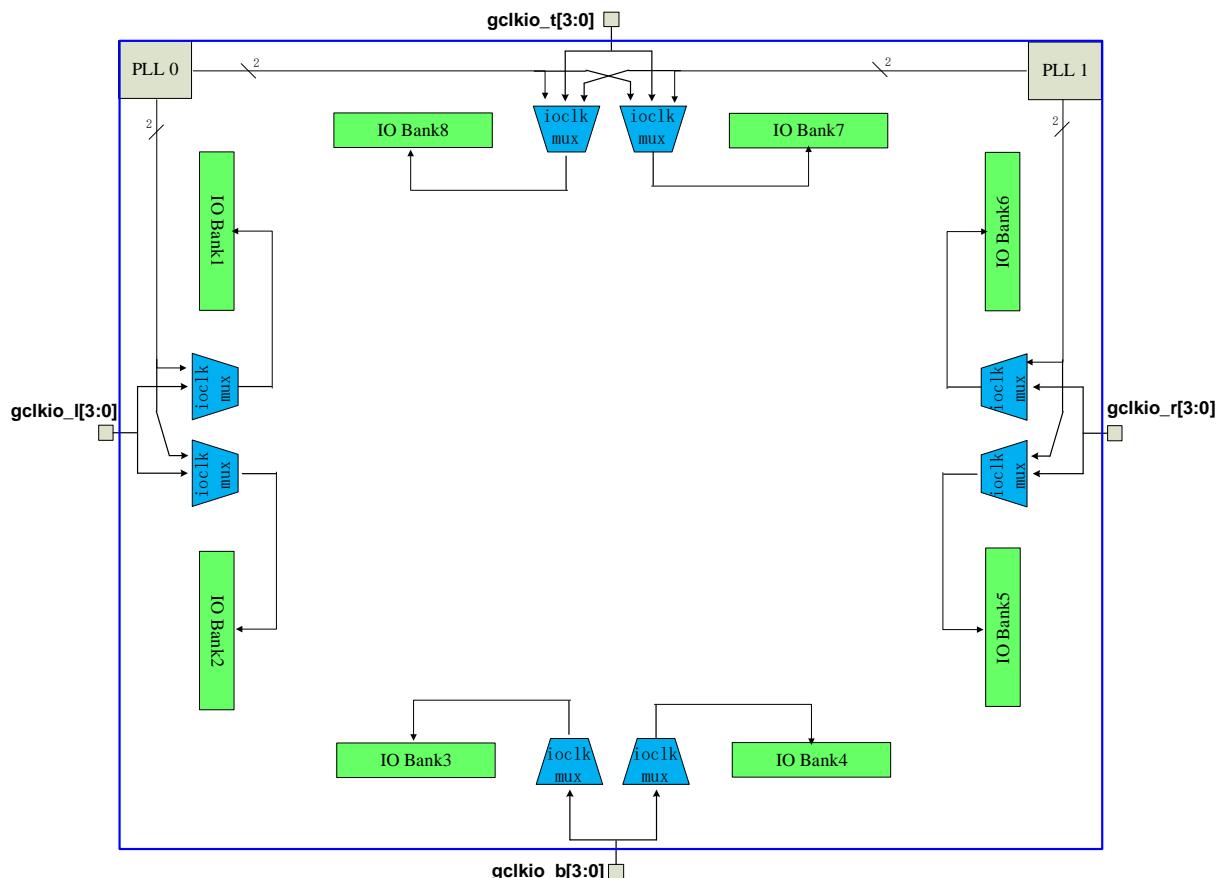


图 2-4-4 IOCLK 架构图

### 2.4.2.1 时钟分频器

EF3 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自于相同 I/O 组的输入输出时钟。输出分频系数可以是 1/2/4 中的任意一个。

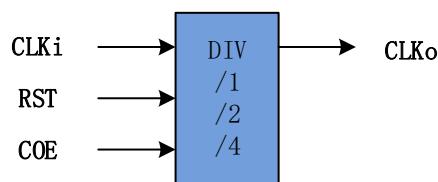


图 2-4-5 时钟分频器

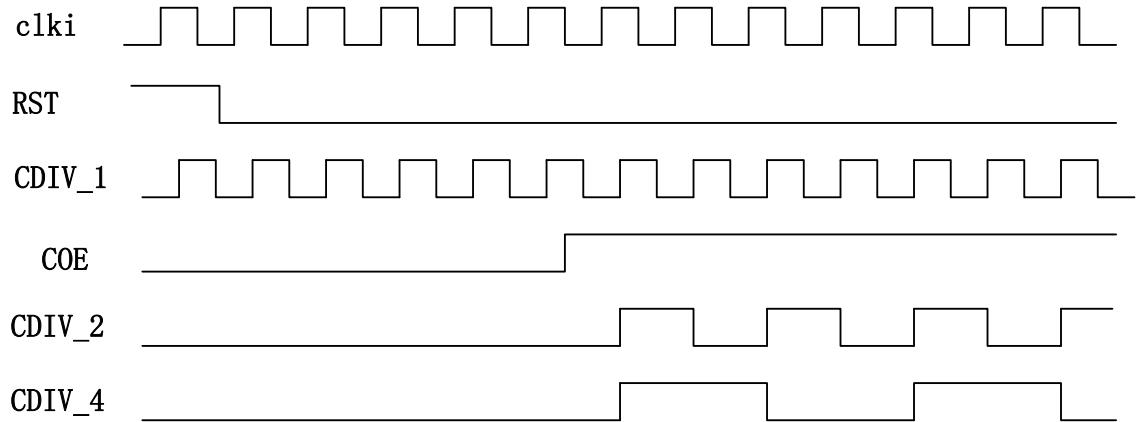


图 2-4-6 时钟分频器时序图

### 2.4.3 快速时钟

快速时钟用以实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。

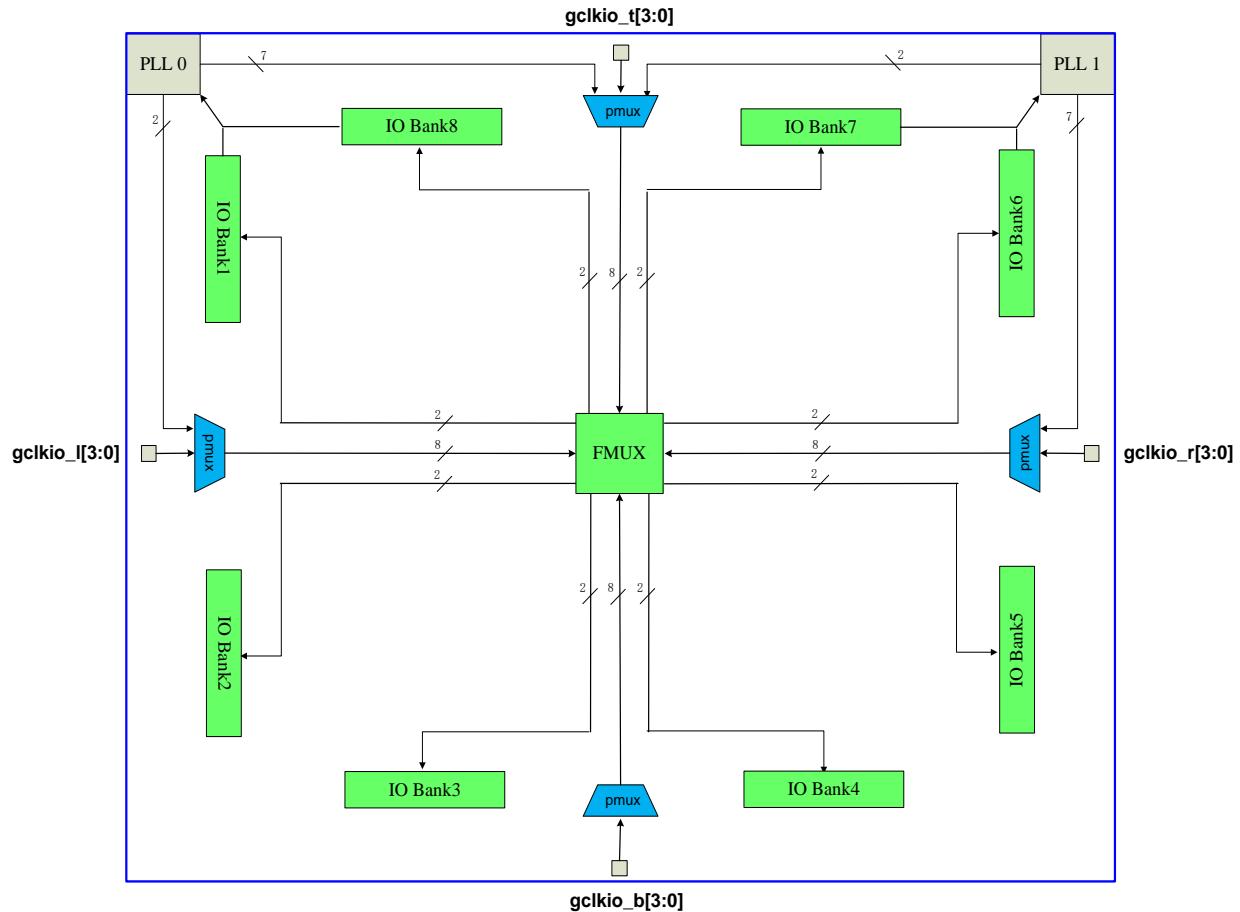


图 2-4-7 快速时钟架构图

## 2.5 锁相环 (PLL)

### 2.5.1 简介

EF3 系列 FPGA 内嵌 2 个多功能锁相环，可实现高性能时钟管理功能。可以实现时钟分频、倍频、占空比调整、输入和反馈时钟对准、多相位时钟输出等功能。

用户在使用中应关注 PLL 的 lock 信号是否为高，同时建议用户等待输入信号稳定后，再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C4。

PLL 输出 C5 和 C0 共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

PLL 输出 C6 和 C1 共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

在需要时钟输出稳定相位时，优先选择 C0、C1、C5、C6。

PLL 专用输入管脚进入的时钟可以直接进入 PLL，但不能直接进全局时钟。

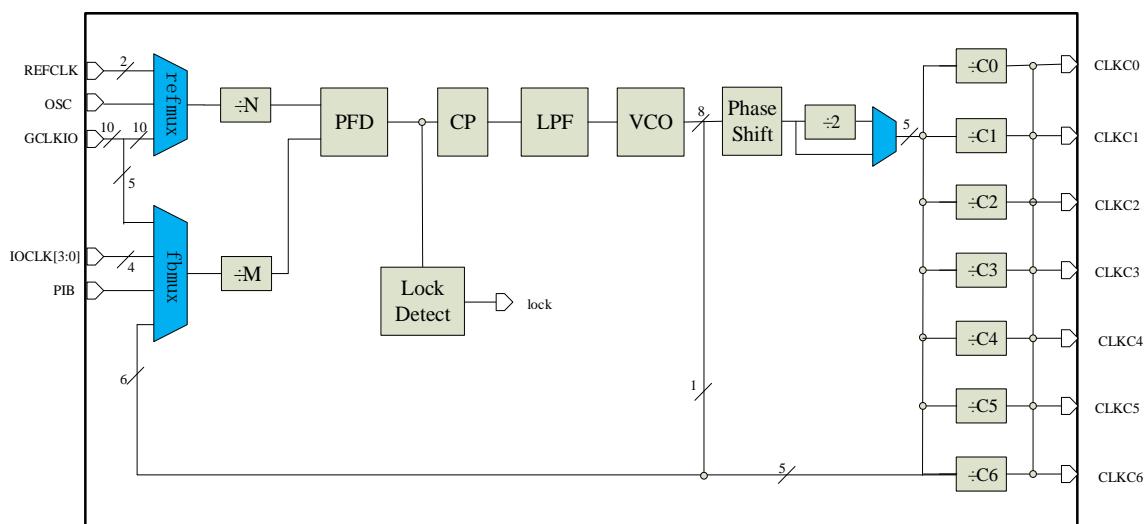


图 2-5-1 EF3 PLL 架构图

PLL 有专门的输出驱动芯片的专用时钟输出管脚，已获得更好的抖动性能。

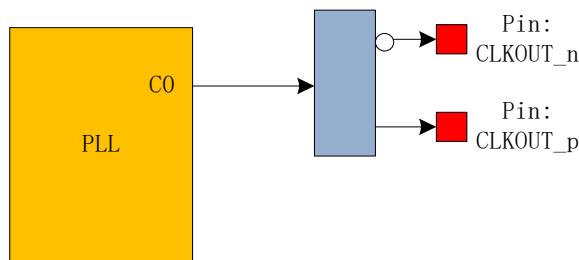


图 2-5-2 EF3 CO 直接输出到时钟输出 IO 管脚（差分模式）

表 2-5-1 EF3 PLL 特性表

Feature	EF3 PLL
输出端口数	7 (C0~C4 相位完全独立)
参考时钟分频系数(N)	1 to 128
反馈时钟分频系数(M)	1 to 128
输出时钟分频系数(C0-4)	1 to 128
相移分辨率	45° (相对 VCO)
输出端口可选相位偏移量 (°)	0, 45, 90, 135, 180, 225, 270, 315
用户动态相移控制	支持 (+/-每单位 45 度相移, 相对 VCO)
锁定状态输出	Lock
专用时钟输出管脚	支持
占空比调整	支持

## 2.5.2 动态相移

EF3 系列 PLL 支持静态配置，即由用户通过软件设置生成码流，上电下载后不能更改。此外，EF3 系列 FPGA 支持动态相移功能。

静态配置参数包括：

- 参考/反馈时钟输入/输出选择
- 参考时钟分频系数(N)
- 反馈时钟分频系数(M)
- 输出时钟分频系数(C0-4)

动态相移特性允许对锁相环的每个独立输出相位进行动态调整，通过对给定的计数器递增或递减实时改变输出时钟相。每次移动相位为 1/8 VCO 周期。表 2-5-2 列出了用于动态相移的控制信号。



表 2-5-2 动态相移控制信号

信号名称	描述	信号来源	信号目的地
PSCLKSEL[2:0]	要进行动态移相的时钟选择信号，从 C0-C4 中选出一路。	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSDOWN	动态相移方向选择，1=向上，0=向下， PSCLK 的上升沿采样。	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSSTEP	PSSTEP=1，使能动态相移	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSCLK	动态相移时钟	GCLK 或者 IO 引脚	PLL reconfiguration 电路
PSDONE	信号为高电平时，表明相位调整结束， PSCLK 的上升沿采样。	PLL reconfiguration 电路	PIB 或者 IO 引脚

对于动态相移，每次能对一路输出进行相位调整，由 PIB 的接口 PSCLKSEL[2:0]来选择 C[4:0]中的一路执行动态相移，如下表所示。

表 2-5-3 动态相移输出选择

PSCLKSEL[2:0]	PLL 输出选择
000 (default)	C[0]
001	C[1]
010	C[2]
011	C[3]
100	C[4]

执行一次动态相位细调调整，必须遵循以下步骤：

1. 根据需要设置 PSDOWN 和 PSCLKSEL。
2. 打开相位调整，相位调整 PSSTEP 至少需要四个 PSCLK 周期，每一个 PSSTEP 脉冲进行一次相位移动。
3. 关闭相位调整。
4. 等待 PSDONE 变为高电平。
5. 重复上述步骤 1-4，可以进行多次动态相位细调调整。

PSCLKSEL[2:0], PSSTEP, PSDOWN 和 PSCLK 同步，必须由 PSCLK 同步过后送给 PLL。

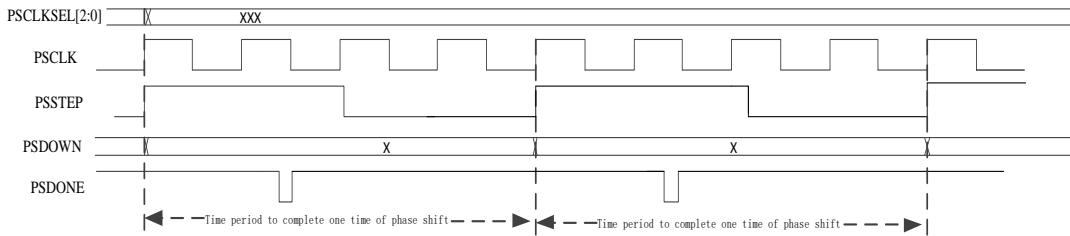


图 2-5-3 PLL 动态细调相位

PSSTEP 信号在 PSCLK 的上升沿被锁存，如图 2-5-3 所示，PSSTEP 必须满足至少四个 PSCLK 周期触发一次。PSDONE 信号变为低电平并保持大概 3 个 VCO 周期。然后 PSDONE 由低变为高电平时相位移动完成。PSDONE 信号拉高后的下个输出时钟周期，动态相位移动生效。

注意：在动态相移过程中被调节时钟可能会产生 **glitch**。

## 2.5.3 时钟反馈模式

EF3 系列 PLL 支持 4 种反馈模式。每种模式都支持时钟分频/倍频和相移。

### 2.5.3.1 源同步模式 (Source-Synchronous Mode)

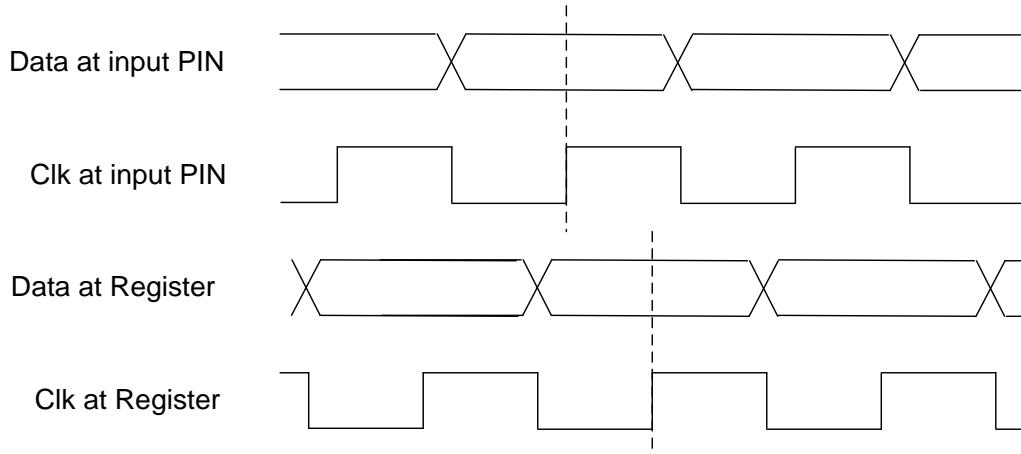


图 2-5-4 源同步模式

如图 2-5-4 源同步模式通过动态相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

### 2.5.3.2 无补偿模式 (No Compensation Mode)

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，会提高 PLL 的抖动特性。

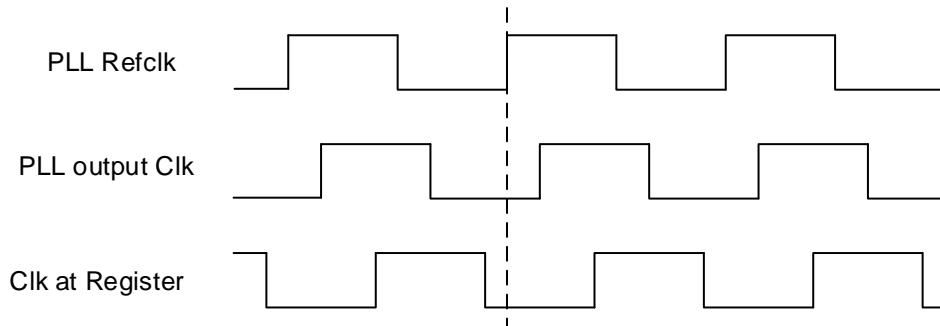


图 2-5-5 无补偿模式（相位不对齐）

### 2.5.3.3 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

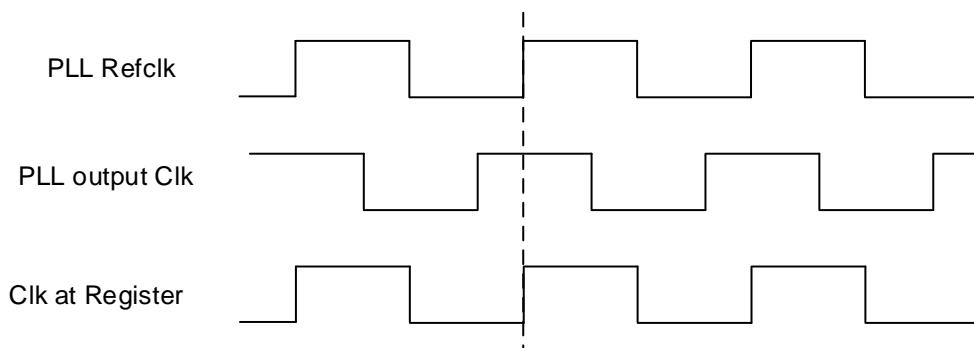


图 2-5-6 普通模式

### 2.5.3.4 零延迟缓冲模式

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。

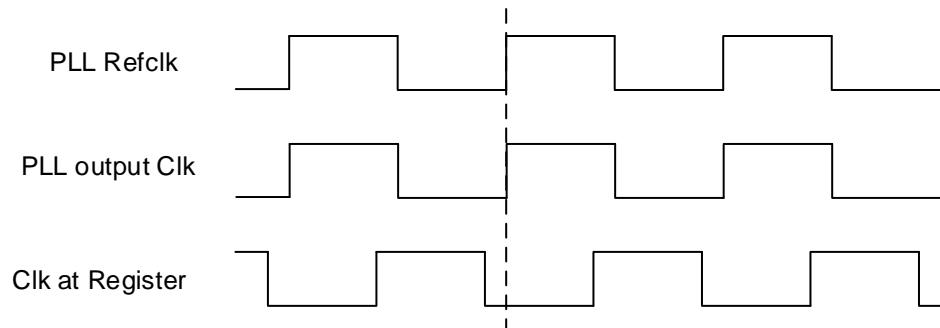


图 2-5-7 零延迟缓冲模式

## 2.6 数字信号处理 (DSP)

EF3 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理 (DSP) 系统的功耗。EF3 器件本身或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

EF3LA0、EF3L70 和 EF3L50 器件不包含 DSP。

### 2.6.1 体系结构

嵌入式乘法器可以配置成一个  $18 \times 18$  乘法器，或者配置成两个  $9 \times 9$  乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

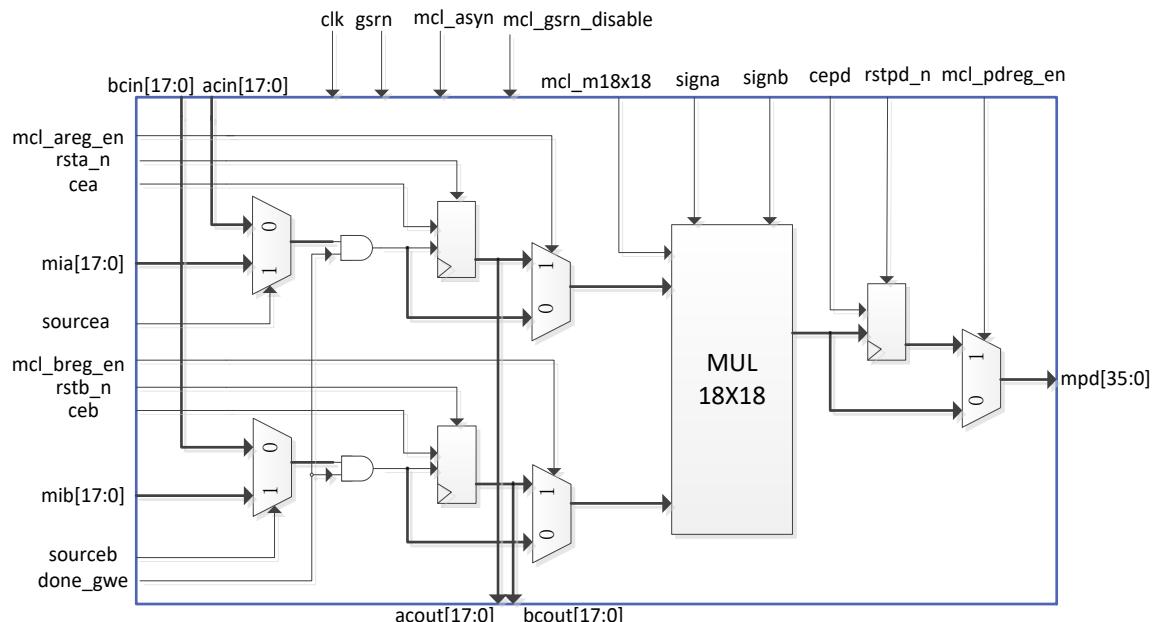


图 2-6-1 乘法器模块的体系结构

#### a) 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 mia 信号连接到输入寄存器，将 mib 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能



## ■ 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

### b) 乘法器级

嵌入式乘法器模块的乘法器级支持 9x9 或者 18x18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。`signa` 与 `signb` 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 `signa` 信号为高电平，则 `mia` 操作数是一个有符号数值。反之，`mia` 操作数便是一个无符号数值。

表 2-6-1 为乘法器符号表示给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 2-6-1 乘法器符号表示

mia		mib		乘积
signa	逻辑值	signb	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 `signa` 信号和一个 `signb` 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9 x9 乘法器，那么这两个乘法器的 `mia` 输入与 `mib` 输入将分别共享同一个 `signa` 信号和同一个 `signb` 信号。可以在运行时动态改变 `signa` 和 `signb` 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 `signa` 以及 `signb`。不管符号表示如何，乘法器都会支持全精度。

### c) 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。



表 2-6-2 乘法器端口说明

名称	方向	位宽	描述
mia	输入	18	来自 PIB 的 dsp 操作数输入。具有寄存器输入模式
acin	输入	18	来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式
acout	输出	18	连接到下一级 dsp 的 acin 端口上的级联数据输出
mib	输入	18	来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式
bcin	输入	18	来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式
bcout	输出	18	连接到下一级 dsp 的 bcin 端口上的级联数据输出
cea	输入	1	输入寄存器时钟使能信号。当 cea 为高电平时，输入有效
ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时，输入有效
cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平时，输出有效
clk	输入	1	clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器
rsta_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstb_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstpd_n	输入	1	输出寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin
sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin
mpd	输出	36	dsp 的乘积数据输出

## 2.6.2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个  $18 \times 18$  乘法器
- 两个  $9 \times 9$  独立的乘法器

通过使用 EF3 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，该功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

### 2.6.2.1 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一  $18 \times 18$  乘法器。图 2-6-2 给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、

无符号整数，或者两者的组合。另外，也可以动态修改 `signa` 与 `signb` 信号，并且通过专用的输入寄存器发送这些信号。

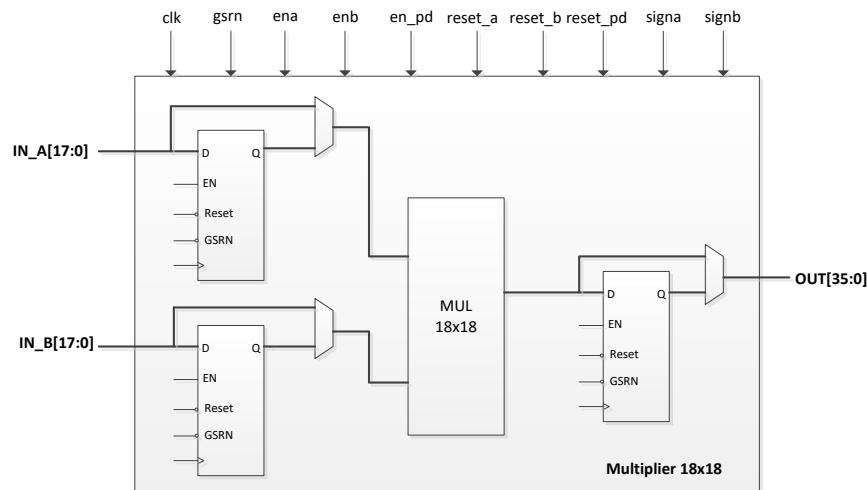


图 2-6-2 18 位乘法器模式

### 2.6.2.2 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个  $9 \times 9$  乘法器。图 2-6-3 给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个  $9 \times 9$  乘法器共享同一个 `signa` 和 `signb` 信号。因此，用于驱动同一嵌入式乘法器的所有 `mia` 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 `mib` 输入数据也必须要有相同的符号表示。

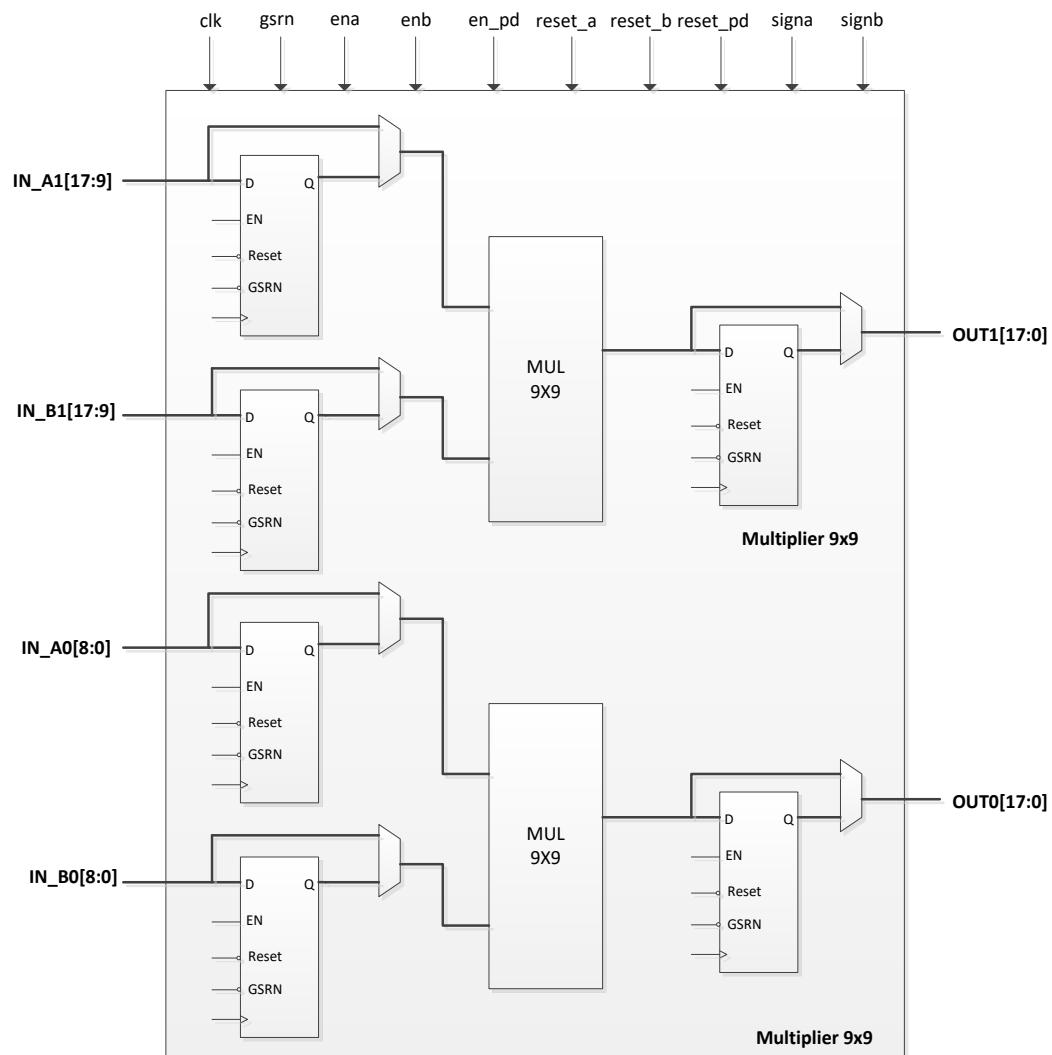


图 2-6-3 9 位乘法器模式

## 2.7 输入输出逻辑单元 (IOL)

EF3 器件的 IOL 支持多种工作模式。本章节主要介绍如何配置 IOL 资源支持多种工作模式。与 IOB 类型相匹配，EF3 器件只有一种 IOL 类型，支持的工作模式如表 2-7-1 所示。

表 2-7-1 IOL 支持工作模式

模式		IOL 增强型
输入	BYPASS	✓
	SDR	✓
	iDDR <sub>x</sub> 1	✓
	iDDR <sub>x</sub> 2	✓ <sup>1</sup>
输出	BYPASS	✓
	SDR	✓
	oDDR <sub>x</sub> 1	✓
	oDDR <sub>x</sub> 2	✓ <sup>2</sup>

注：

1. EF3L40 和 EF3L90CG324 BANK0/2 的所用 IOL 和 BANK1/3/5 的差分 P 端支持 iDDR<sub>x</sub>2，EF3L90CG400 BANK0/2 的所用 IOL (Y1、T6 除外) 和 BANK1/3/5 的差分 P 端均支持 iDDR<sub>x</sub>2。
2. EF3L40 和 EF3L90CG324 BANK0/2 的所用 IOL 支持 oDDR<sub>x</sub>2，EF3L90CG400 BANK0/2 的所用 IOL (Y1、R6、W1、T6 除外) 支持 oDDR<sub>x</sub>2。

### 2.7.1 输入寄存器逻辑

输入输出逻辑 (IOL) 中的输入寄存器用来处理高速接口，将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据 (GDDR) 的支持。

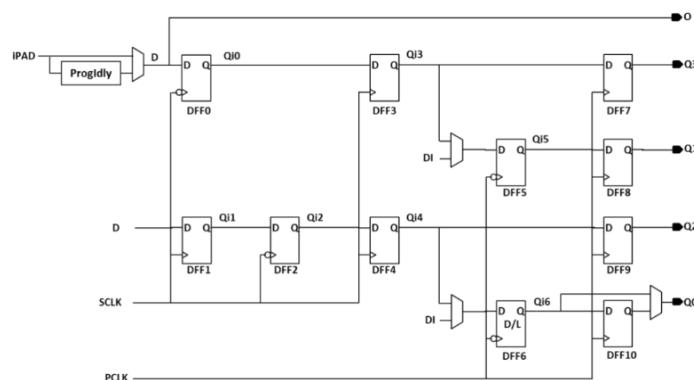


图 2-7-1 输入寄存器框图

## 2.7.1.1 普通输入模式

普通模式下的 IO 逻辑如图 2-7-2 所示，此模式下信号直接进入 FPGA 内部逻辑。

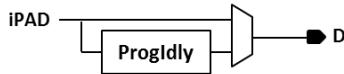


图 2-7-2 普通输入模式框图

## 2.7.1.2 SDR 输入模式

相比普通模式，如图 2-7-3 所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

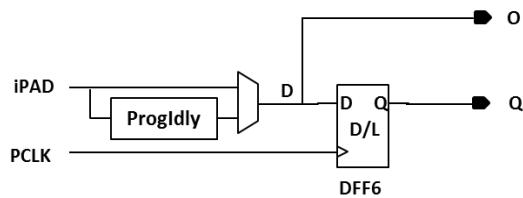


图 2-7-3 SDR 输入模式框图

## 2.7.1.3 DDR 输入模式

EF3 器件 IOL 中有专用的寄存器用以支持 iDDRx1 和 iDDRx2 模式。

### ■ iDDRx1 同沿输入模式

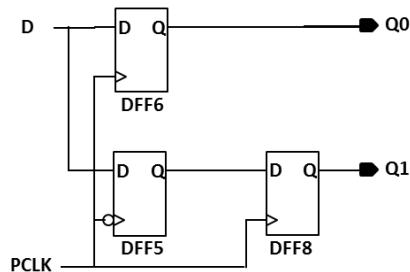


图 2-7-4 iGDDR 同沿输入模式框图

在 iDDRx1 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如图 2-7-5 所示。

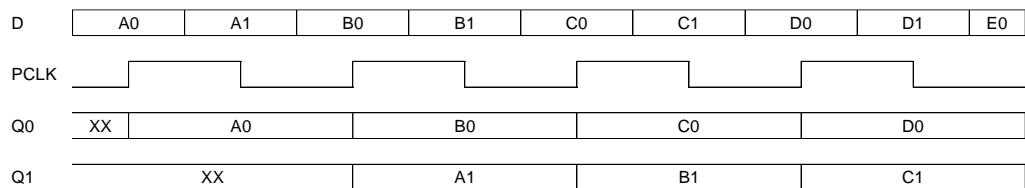


图 2-7-5 iGDDR 同沿输入模式

### ■ iDDRx1 同沿 Pipelined 输入模式

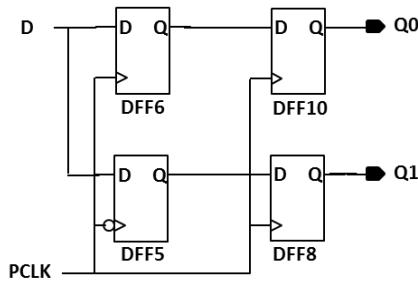


图 2-7-6 iGDDR 同沿 Pipelined 输入模式框图

在 iDDRx1 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如图 2-7-6 所示。时序如图 2-7-7 所示。

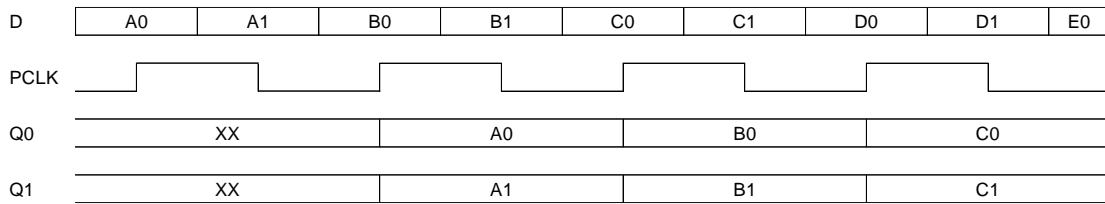


图 2-7-7 iGDDR 同沿 Pipelined 输入模式

### ■ iDDRx2 输入模式

iDDRx2 模式下，可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

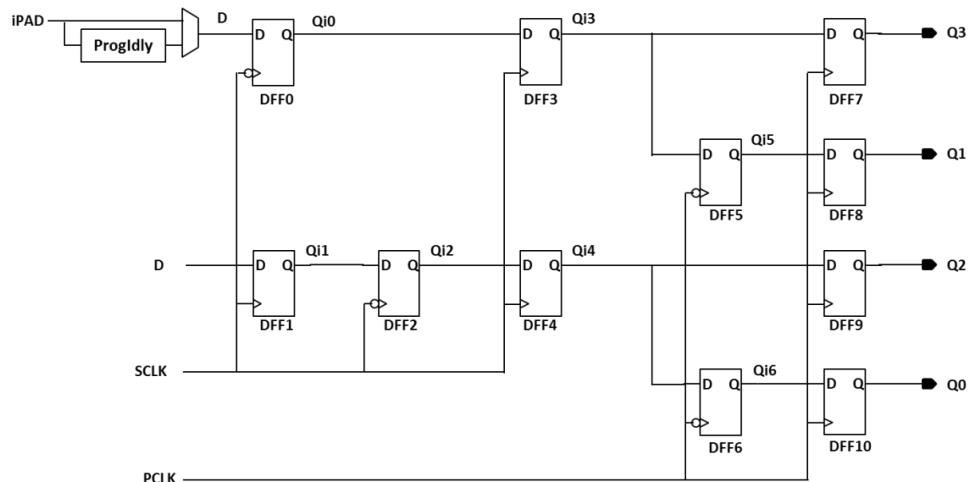


图 2-7-8 iDDRx2 输入模式

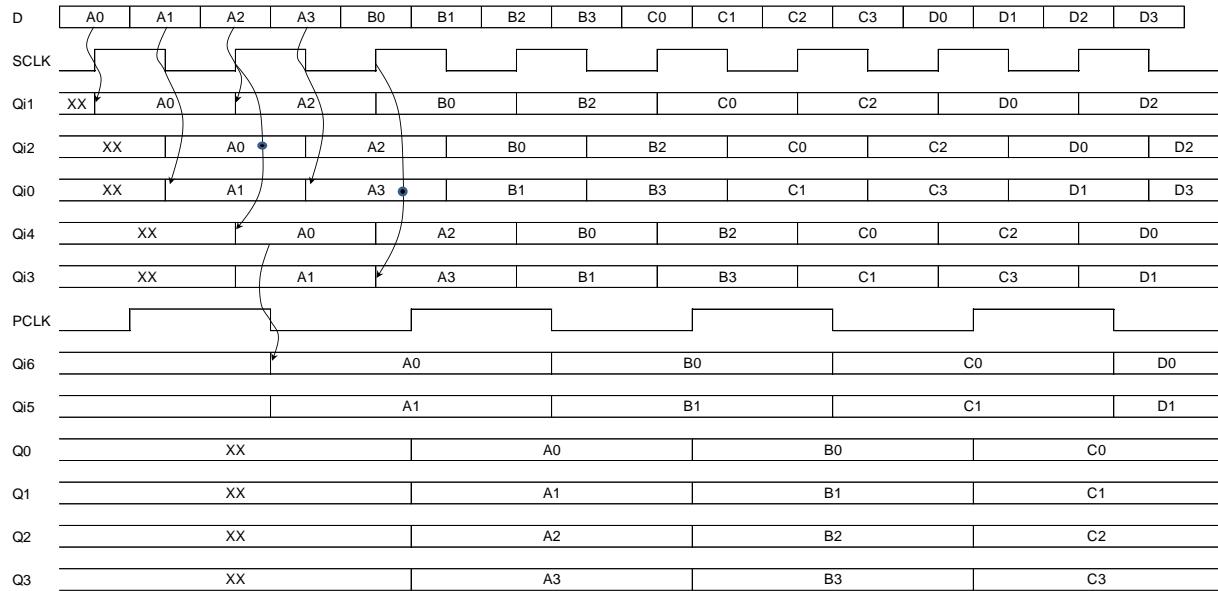


图 2-7-9 iDDRx2 输入模式时序

#### 2.7.1.4 输入延时单元

每一个 IOL 逻辑单元内都包含一个可编程输入延时单元，加强对源同步功能的支持。支持静态控制延迟的方式。IOL 支持的可调范围如所示。

表 2-7-2 输入延时调整范围

器件	IOL 类型	可调整 Step	平均步进精度	最大延时
EF3L40、EF3L90	IOL	32	35ps	1.2ns
EF3L50、EF3L70、EF3LA0	IOL_Min	32	26ps	0.92ns
	IOL_Max	32	46ps	1.62ns

## 2.7.2 输出寄存器逻辑

输入输出逻辑(IOL)中的输出寄存器用来处理内部核心逻辑到高速I/O接口的时序。图2-7-10给出了输出寄存器框图。

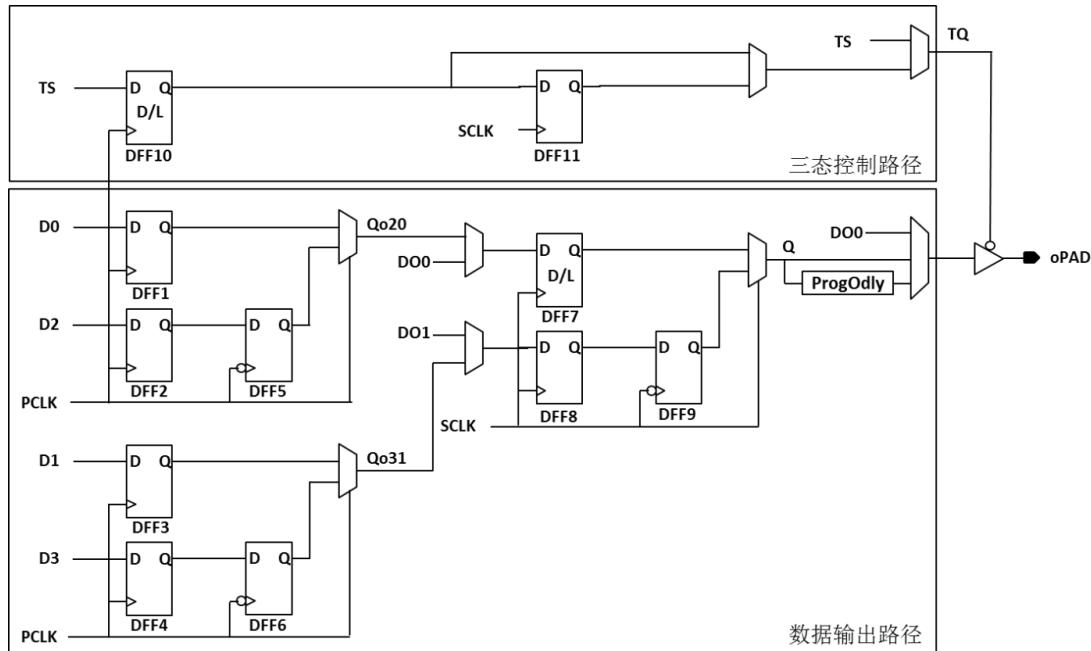


图2-7-10 输出寄存器框图

### 2.7.2.1 普通输出模式

普通输出模式下的IO逻辑如图2-7-11所示，此模式下信号直接从FPGA内部逻辑输出到PAD。

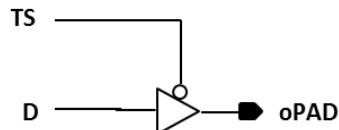


图2-7-11 普通输出模式框图

### 2.7.2.2 SDR输出模式

相比普通模式，如图2-7-12所示，SDR模式使用了IOL寄存器，可有效地改善IO的时序性能。

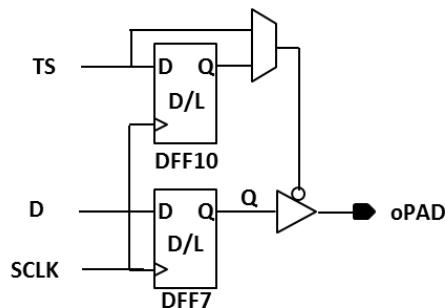
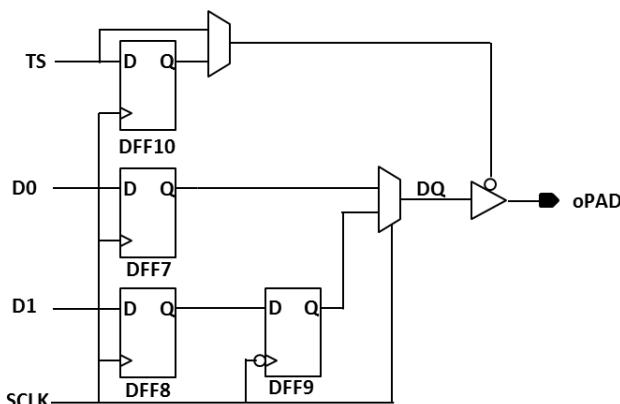


图 2-7-12 SDR 输出模式框图

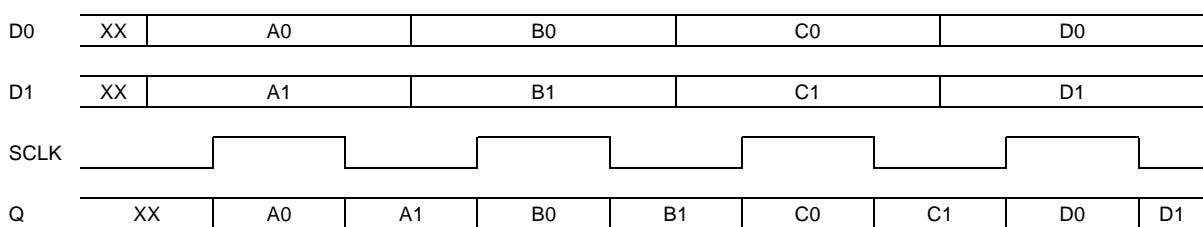
### 2.7.2.3 DDR 输出模式

EF3 器件 IOL 中有专用的寄存器用以支持 oDDR<sub>x1</sub> 和 oDDR<sub>x2</sub> 模式。

#### ■ oDDR<sub>x1</sub> 输出模式

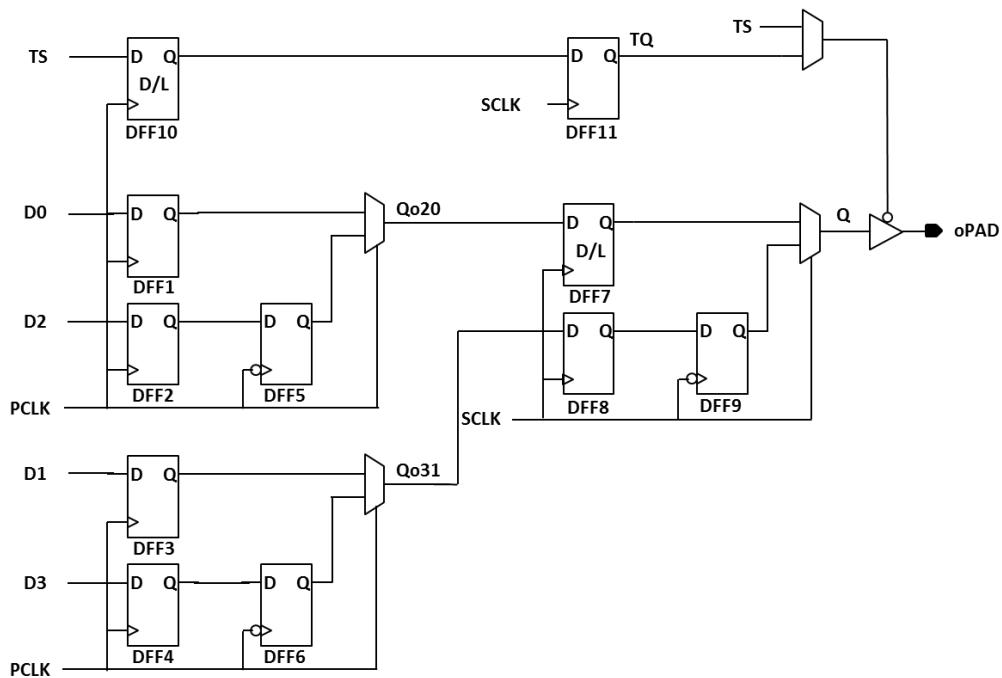
图 2-7-13 oDDR<sub>x1</sub> 输出模式框图

在 oDDR<sub>x1</sub> 模式，数据 D00 和 D01 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 oPAD，时序如图 2-7-14 所示。

图 2-7-14 oDDR<sub>x1</sub> 输出模式

#### ■ oDDR<sub>x2</sub> 输出模式

oDDR<sub>x2</sub> 模式下，可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发，实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

图 2-7-15 oDDR<sub>x</sub>2 输出模式

D0	XX	A0	B0	C0	D0										
D1	XX	A1	B1	C1	D1										
D2	XX	A2	B2	C2	D2										
D3	XX	A3	B3	C3	D3										
PCLK															
Qo20	XX	A0	A2	B0	B2	C0	C2	D0	D2						
Qo31	XX	A1	A3	B1	B3	C1	C3	D1	D3						
SCLK															
Q	XX	A0	A1	A2	A3	B0	B1	B2	B3	C0	C1	C2	C3	D0	D1

图 2-7-16 oDDR<sub>x</sub>2 输出模式时序

### ■ oDDR<sub>x</sub>2L 输出模式

与 oDDR<sub>x</sub>2 相比，oDDR<sub>x</sub>2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDR<sub>x</sub>2 模式晚一个 SCLK 时钟周期。

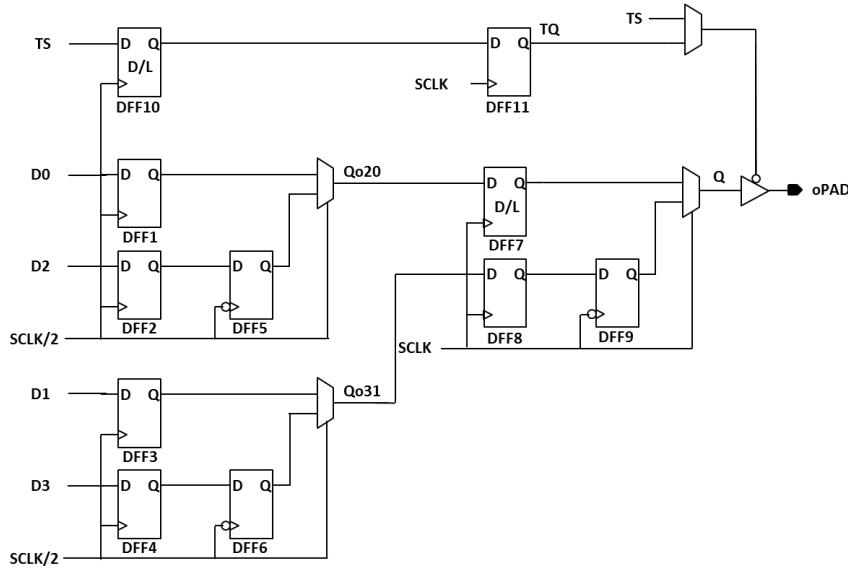


图 2-7-17 oDDRx2L 输出模式

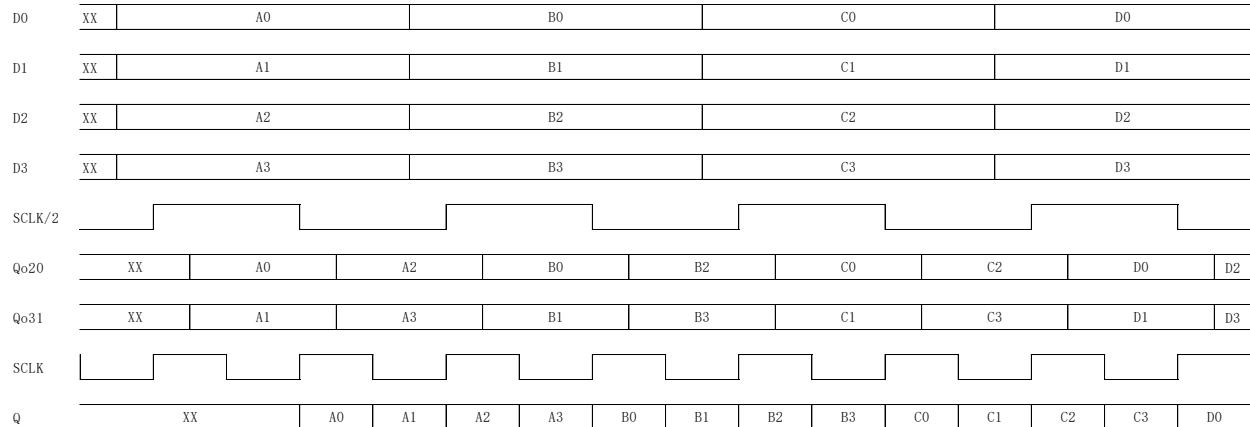


图 2-7-18 oDDRx2L 输出模式时序

#### 2.7.2.4 输出延时单元

每一个 IOLE 逻辑单元内都包含一个可编程输出延时单元，支持静态控制延迟的方式，调整范围如下表所示。

表 2-7-3 输出延时调整范围

器件	IOLE 类型	可调整 Step	平均步进精度
EF3L40、EF3L90	IOLE	4	100ps
EF3L50、EF3L70、EF3LA0	IOLE_Min	4	62ps
	IOLE_Max	4	90ps



## 2.8 输入输出缓冲器（I/O）

### 2.8.1 I/O 简介

EF3 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。功能包括输出强度和斜率的可编程控制。

EF3 的 I/O 均为增强型 IOBE，统称为 I/O，每个 I/O 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。

I/O 支持电平标准：

- 单端 I/O 标准（LVCMOS、LVTTL、PCI）
- 差分 I/O 标准（LVDS、LVPECL）

I/O 支持上述电平标准的同时，I/O 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

需要注意的是：I/O 管脚的驱动电流是可调的。

表 2-8-1 EF3 支持电气标准

Description	BANK0/2	BANK1/3/4/5	BANK6/7
I/O Buffer Type	Single Ended and Differential	Single Ended	Single Ended
Output Standards Supported	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33	LVTTL33 LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33
Inputs	All Single Ended	All Single Ended	All Single Ended

Description	BANK0/2	BANK1/3/4/5	BANK6/7
	Differential	Differential	
Clock Inputs	All Single Ended Differential	All Single Ended Differential	All Single Ended
True LVDS Outputs	LVDS18 <sup>1</sup> LVDS25 <sup>1</sup> LVDS33 <sup>1</sup>	-	-
Emulated LVDS Outputs	LVDS18E LVDS25E LVDS33E LVPECL33E	LVDS18E LVDS25E LVDS33E LVPECL33E	-
Rdiff 100	Yes <sup>2</sup>	-	-
PCI Clamp	Yes	Yes	Yes

注：

1. 只有具有真差分标识的引脚支持真差分输出。
2. EF3L90CG400 BANK2 的 Y1、R6、W1、T6 没有片内 100 Ω 差分电阻；EF3LA0CG484 BANK2 的 U6, AB2, V6, AA2 没有片内 100 Ω 差分电阻；EF3LA0CG642 BANK2 的 Y8, Y7, W8, Y6 没有片内 100 Ω 差分电阻。

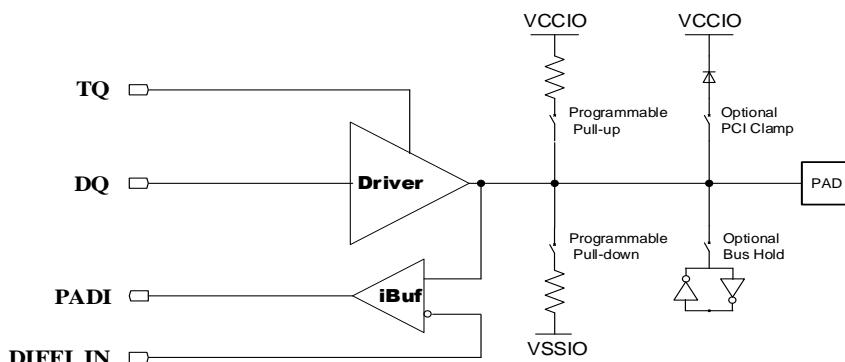


图 2-8-1 基本 IOBE 框图

各 IOB 直接连接 IOL 组成输入输出逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。

## 2.8.2 I/O 分组

EF3L40、EF3L50、EF3L70、EF3L90 和 EF3LA0CG484 器件有 6 个 I/O 组，如图 2-8-2-1 所示；EF3LA0CG642 器件有 8 个 I/O 分组，如图 2-8-2-2 所示。每一个 I/O 组由对应的 VCCIO 供电。

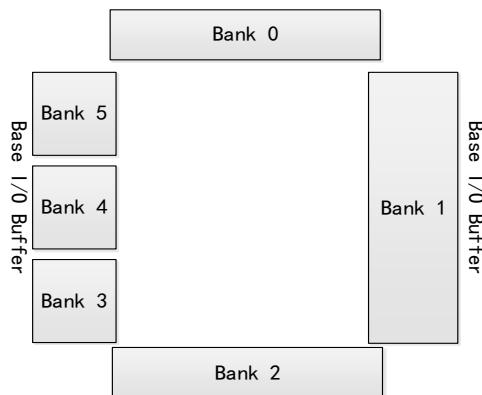


图 2-8-2-1 EF3 器件 6 个 I/O 分组示意图

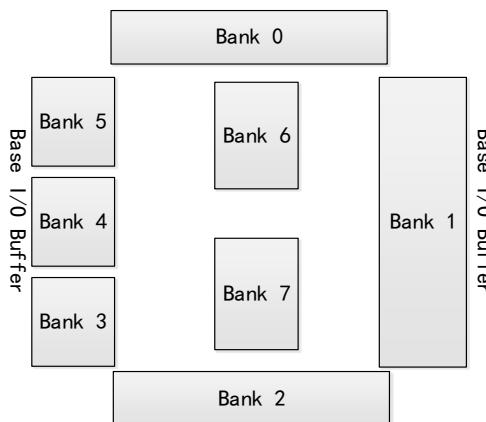


图 2-8-2-2 EF3 器件 8 个 I/O 分组示意图

## 2.8.3 高速 LVDS 接口

EF3 器件支持的差分标准见表 2-8-2。只有具有真差分标识的引脚为真差分，支持真差分输出。

表 2-8-2 EF3 支持的差分标准

差分标准	接收		发送	
	支持	内部电阻	支持	外部电阻
LVDS	YES	YES	YES	不需要
LVPECL	YES	YES/不要使用	YES	需要

EF3L90&EF3L40 BANK0/2 的所有引脚（不包括 EF3L90CG400 BANK2 的 Y1、R6、W1、T6）内部均有可关闭的  $100\Omega$  差分输入电阻，也可以使用外部电阻。

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入。

作为 True LVDS 输出时，无需外部匹配电阻，如下图所示。

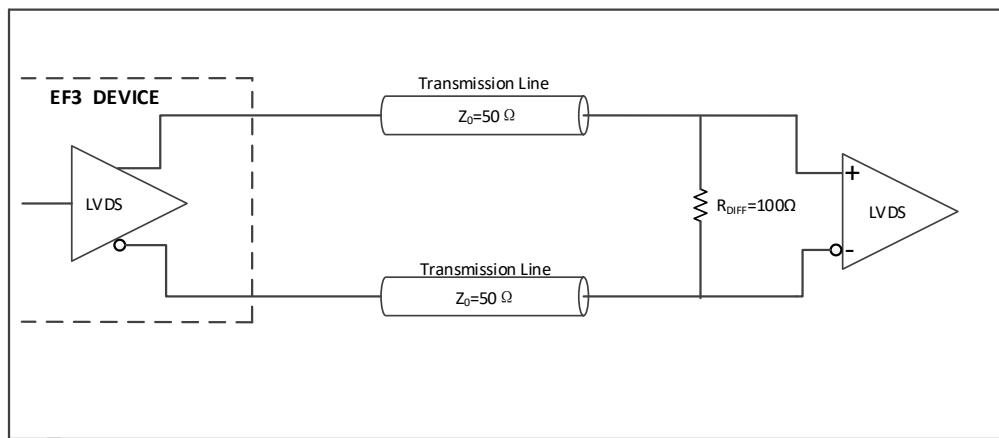


图 2-8-3 True LVDS 输出

作为 Emulated LVDS 输出时，支持 LVDS25E 标准，需要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如图 2-8-4 所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

表 2-8-3 给出了 Emulated LVDS 推荐电阻值。

表 2-8-3 Emulated LVDS 推荐电阻值

电 阻 (Ω)		信 号 幅 值 (毫 伏)	
R <sub>s</sub>	R <sub>p</sub>	LVDSE25	LVDSE33
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

注：

1. 数据基于驱动能力设定为 8mA，接收器的 100 欧端接电阻可以是片上电阻也可以是片外电阻。当接收端信号幅值大于 500mv 时必须采用片外电阻。芯片内阻为 20Ω。

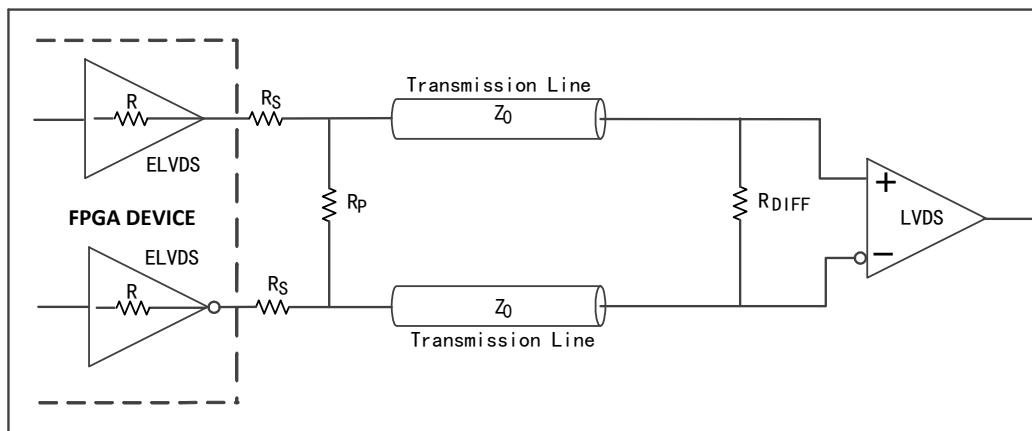


图 2-8-4 Emulated LVDS 输出 3R 电阻网络

EF3 器件 I/O 可实现类差分输出（MLVDS 电平），MLVDS 被用作需要双向多点驱动输出输入差分信号的情况。EF3 器件 I/O 本身不支持该种输出标准，需要借助 LVC MOS 取反输出或者 LVDS25\_E 电平，并且搭配芯片外部电阻共同实现。

## 2.8.4 LVPECL

EF3 器件的 I/O 支持 LVPECL 输入。对于 EF3 系列 FPGA，接收 LVPECL 输入信号时需要外接偏置电路来调节差分信号的共模电压，保证 LVDS 能够正常接收。不同  $V_{CCIO}$  电压对应的偏置电阻值不同。如图 2-8-5 为 LVPECL 推荐的交流耦合电路示意图。通常 LVPECL 外部器件发送的差分信号比较大，还需要在板级做相应的信号衰减。图中  $R_{Series}$  用于调节接收端信号幅度。根据 LVPECL 发送端信号幅度进行选择，建议在  $30\sim50\Omega$  之间选取。 $R$  为直流偏置电阻，建议在  $140\sim150\Omega$  之间选取。 $R_{DIFF}$  为端接电阻，可以选择内部  $100\Omega$  或者板级  $100\Omega$ 。相对 VCO 为不同电压下 LVPECL 作为输入时偏置电阻设置。

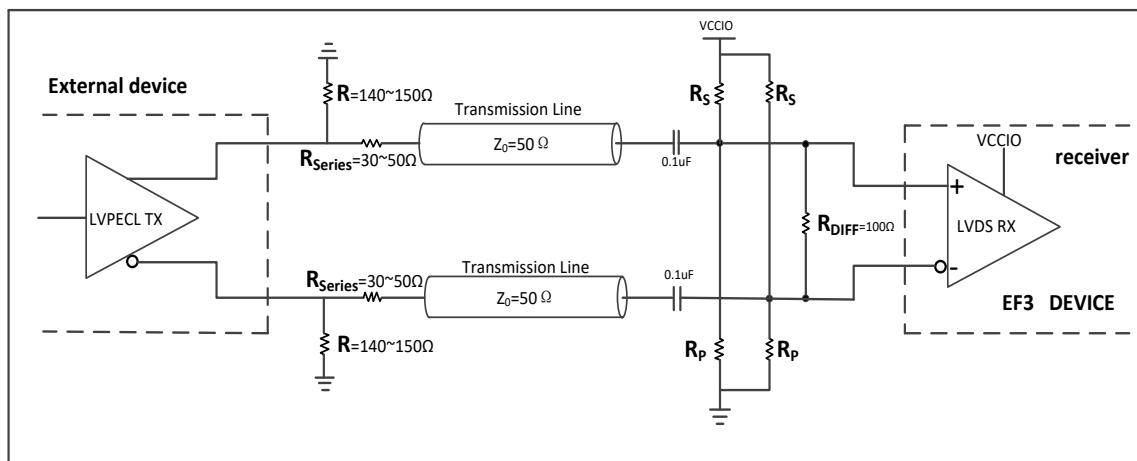


图 2-8-5 LVPECL 推荐的交流耦合电路

表 2-8-4 LVPECL 推荐电阻值

$V_{CCIO}$ (V)	电 阻 ( $\Omega$ )	
	$R_s$	$R_p$
3. 3	6. 5k	4. 1k
2. 5	5k	5k
1. 8	4. 5k	9k

对于 EF3 系列 FPGA I/O 只支持 LVPECL\_E 输出。当 LVPECL\_E 作为输出时，需要外接 3R 电阻网络对输出电压摆幅进行衰减以满足差分标准。如图 2-8-6 所示为 LVPECL\_E 输出 3R 电阻网络电路示意。表 2-8-5 所示给出了 LVPECL\_E 推荐电阻值和信号幅值。

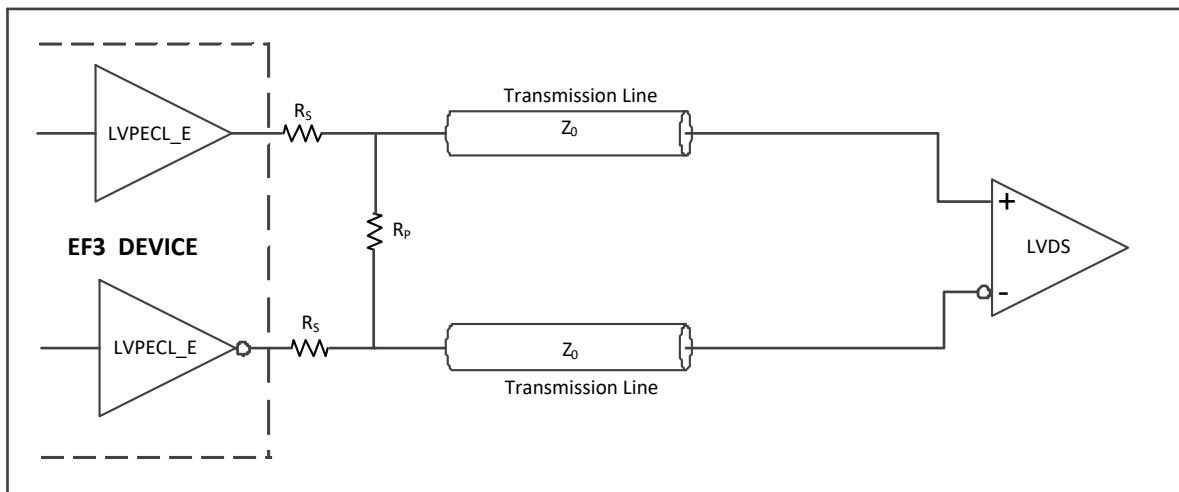


图 2-8-6 LVPECL\_E 输出 3R 电阻网络

表 2-8-5 LVPECL\_E 推荐电阻值

电 阻 ( $\Omega$ )		信号幅值 (mV) $ V_{op}-V_{on} $
$R_s$	$R_p$	LVPECL_E
93	196	800
115	160	460

## 2.8.5 兼容 5V 输入

EF3 的 IOB 可以工作在 1.2~3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号通过 IOB 驱动到 EF3 器件的输入，需要外部串接电阻，同时在软件中打开 EF3 I/O 内部的 PCI 箍位二极管把输入端口接收到的电压降到器件安全范围内，如图 2-8-7 所示。设计完成后，应确认电路板 PAD 上的电压不超过  $V_{CCIO}+0.3V$ 。且 5V 信号不能在进入用户模式前接入，否则要外接二极管。

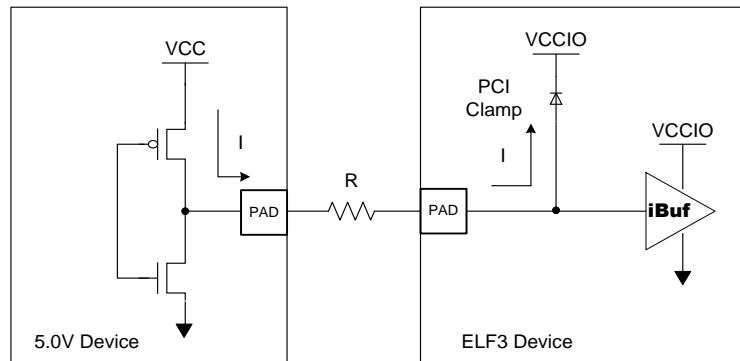


图 2-8-7 5V 输入驱动 EF3 器件

表 2-8-6 PCI 箍位二极管的电流特性

V <sub>D</sub> (V)	I <sub>max</sub>	Unit
0. 0	0. 92	uA
0. 1	9. 2	uA
0. 2	20	uA
0. 3	30. 4	uA
0. 4	43. 3	uA
0. 5	76. 5	uA
0. 6	0. 15	mA
0. 7	0. 36	mA
0. 8	2. 85	mA
0. 9	9. 42	mA

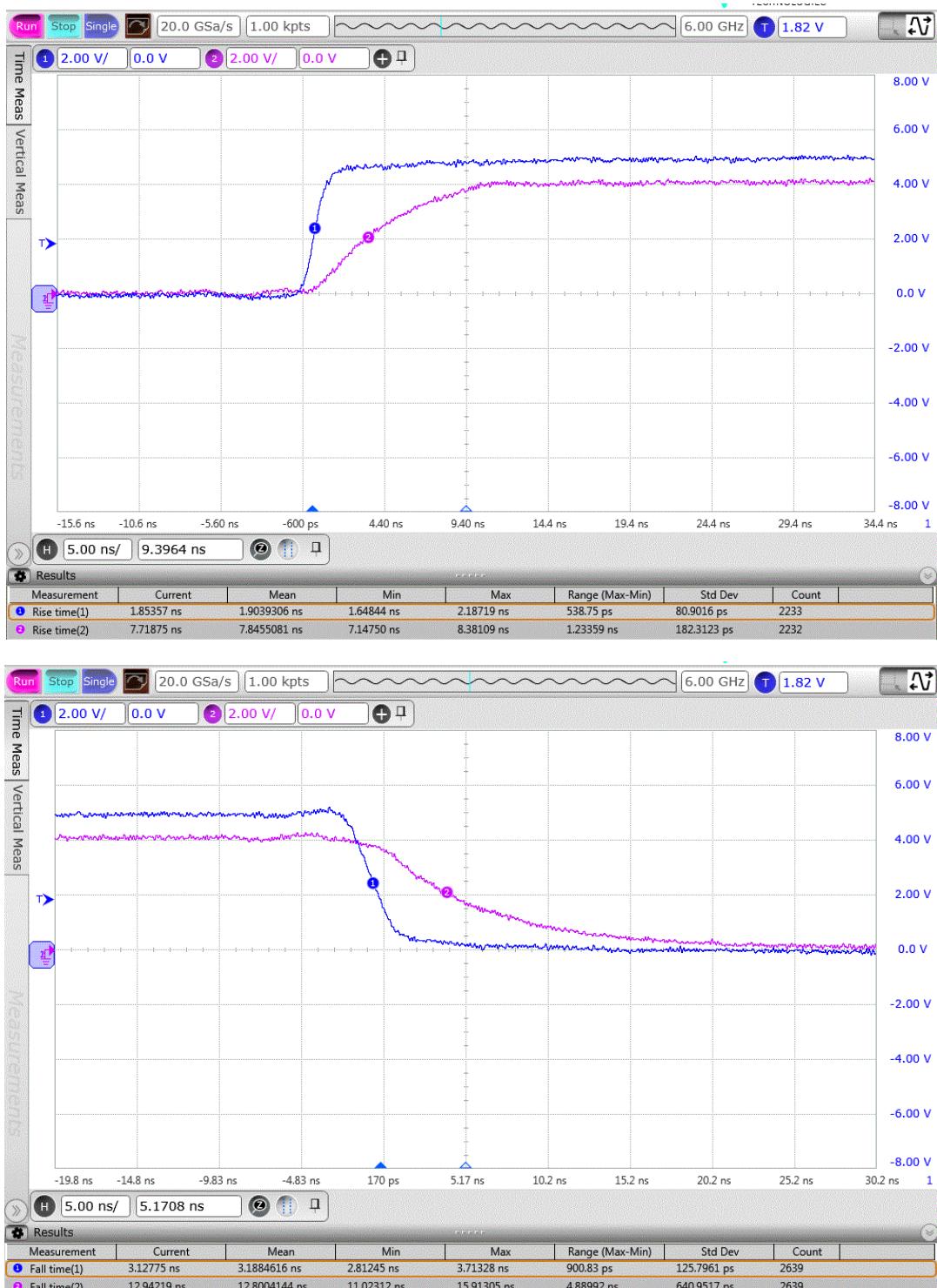
为支持 5V 输入，建议 VCCIO 电压工作在 2.5~3.0V 范围，否者 IO 电压会超过安全电压，长期使用会降低器件寿命。

I/O 器件最大容限绝对电压为 VIMAX，VCCIO=3.3V 时，VIMAX = 3.75V；VCCIO<=2.5V 时，VIMAX=VCCIO+0.9。

设置 VCCIO = 2.5V，取分压后 IO 输入端接收到的电压 VI = 3.3V，则二极管上的压降为 VDIO = VI-VCCIO = 3.3-2.5 = 0.8V。IDIO @0.8V = 2.85mA，R = (5-3.3)V/2.85 mA = 596 Ω。

在输入端箝位通路分别串接不同阻值电阻，在 EF3 接收端测量波形如图 2-8-8、图 2-8-9 所示。

串接电阻 R=330 Ω，上升时间为 7.8ns，下降时间为 12ns，见图 2-8-8。

图 2-8-8 5V 输入驱动 EF3 器件接收端波形 @ $R=330\ \Omega$

串接电阻  $R=600 \Omega$ , 上升时间为 12ns, 下降时间为 21ns。

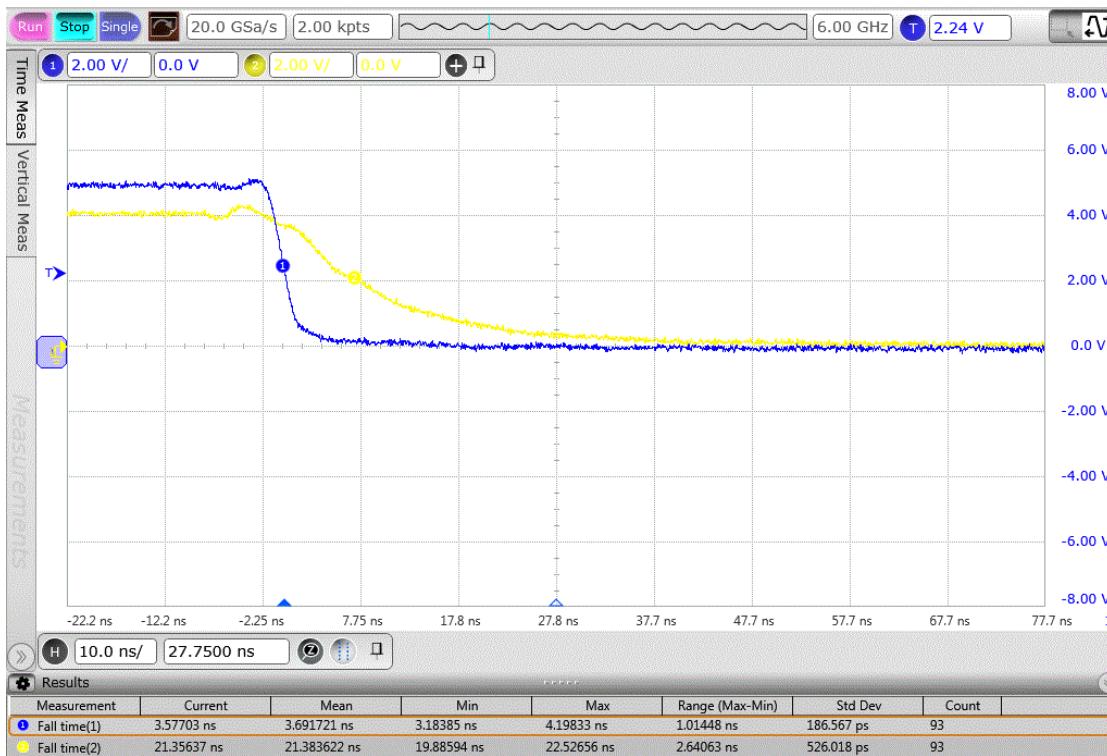
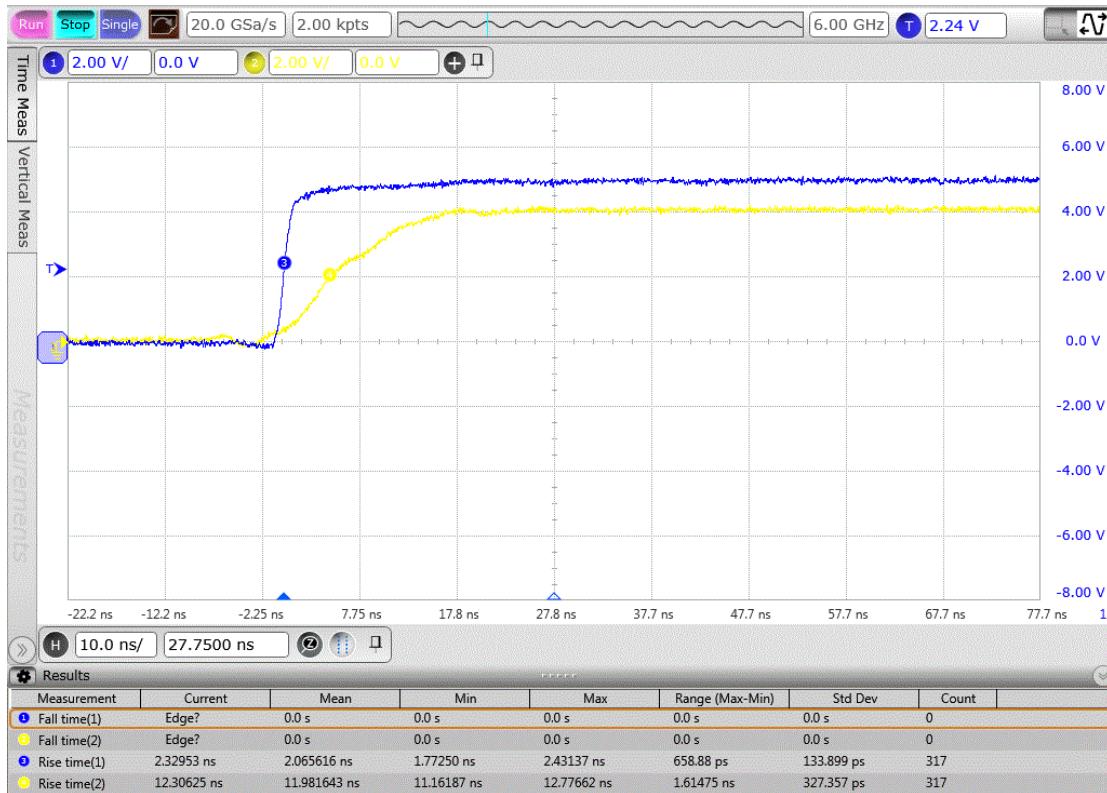


图 2-8-9 5V 输入驱动 EF3 器件上升/下降沿 @ $R=600 \Omega$



## 2.9 EF3 FPGA 配置说明

EF3 FPGA 内置 8Mbit spi FLASH。配置是通过往芯片内部装载配置数据来实现，支持内部和外部下载。EF3 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，软件提供复用引脚的配置功能，在配置完成之后可以用做一般输入输出。

### 2.9.1 配置模式

EF3 器件支持多种配置模式。EF3L40 和 EF3L90 器件配置位流最大~2.8Mbits，EF3L50、EF3L70 和 EF3LA0 器件配置位流最大~4Mbits，长度与 ERAM 初始化数据长度相关。

表 2-9 EF3 器件配置模式支持

器件	SS <sup>1</sup>	SP <sup>1</sup>	MP	MSPI <sup>1</sup>	SSPI	JTAG	I2C
EF3L40	√	√	√	√	-	√	-
EF3L50	-	-	-	√	√	√	√
EF3L70	-	-	-	√	√	√	√
EF3L90	√	√	√	√	-	√	-
EF3LA0	-	-	-	√	√	√	√

注：

1. EF3L50, EF3L70, EF3LA0 器件的 SS 和 SP 为内部测试模式。
2. MSPI 模式支持 x1, x2, x4 位宽。

#### 2.9.1.1 EF3 配置模式

表 2-9-1 EF3 配置模式及引脚

配置引脚名	类型	配置								
		SS	SP	MP	MSPI			JTAG	SSPI	I2C
		从动串行	从动并行	主动并行	内部	SPI	X1	X2	X4	
PROGRAMN	复用 IO	PROGRAMN					-	-	-	PROGRAMN
INITN	复用 IO	INITN					-	-	-	INITN
DONE	复用 IO	DONE					-	-	-	DONE
SCLK	复用 IO	SCLK				-	-	SCLK	-	
CSN	复用	-	CSN			-	-	CSN	-	



配置								
	I/O							
TMS TCK TDI TDO JTAGEN	复用 I/O	-			TMS TCK TDI TDO JTAGEN	-	-	-
D[7:2]	复用 I/O	-	D[7:2]	D[7:2]	-	-	-	-
D[1]	复用 I/O	-	D[1]	D[1]	-	-	-	-
D[0]/DIN	复用 I/O	DIN	D[0]	D[0]	-	-	-	-
CSON/DOUT	复用 I/O	DOUT	-	-	-	-	-	-
SI SO	复用 I/O	-	-	-	-	-	SI SO	-
SDA SCL	复用 I/O	-	-	-	-	-	-	SDA SCL

下面是 EF3 复用配置引脚：

- 配置时钟引脚 (SCLK)
- 配置开始信号引脚 (PROGRAMM)
- 配置完成引脚 (DONE)
- 配置错误指示引脚 (INITN)
- 模式配置片选引脚 (CSN)
- 配置级联数据输出脚 (DOUT)
- 配置级联数据输入脚 (DIN)
- 边界扫描相关引脚 (TDI, TDO, TMS, TCK, JTAGEN)
- 配置数据输入引脚 (D[7:0])，D[0]可以作为从模式下的 DIN
- SSPI 配置模式数据输入输出引脚 (SI, SO)
- I2C 配置模式模式引脚 (SDA, SCL)
- 配置级联片选引脚 (CSON)
- DONE/INITN 是带内部弱上拉的开漏输出。
- PROGRAMM INITN DONE 等信号的复用可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。
- 加载相关时钟信号包括 JTAG 加载的 TCK，从串、从并加载的 SCLK 等，要求这些信号边沿单调无回



沟，建议在时钟源端串接一个  $33\Omega$  电阻，用于调整阻抗匹配，提高信号质量。

## 2.9.2 配置流程

EF3 FPGA 芯片的整个配置过程可以分三个部分。首先，在芯片上电复位或者系统复位信号有效后进入复位，等待内部信号和电源稳定后，系统进入初始化阶段，装载 **feature** 寄存器值，内部配置信息清除，初始化完成后，FPGA 开始接收配置数据写入，写入完成后，FPGA 芯片进入启动阶段，如图 2-9-1 所示。

### 上电初始化过程

EF3 FPGA 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，用户如果需要重新对配置数据下载，拉低 **PROGRAMN** 后，系统进入初始化过程，初始化过程中，FPGA 装载 **feature** 寄存器，然后将清除内部所有配置点，复位内部寄存器。

### 配置数据写入

EF3 FPGA 初始化完成后，**INITN** 信号变为高电平，此时用户配置数据可以写入 EF3 FPGA。

**INITN** 信号变为高的时候，FPGA 根据 **feature** 寄存器内容确定配置模式。**JTAG** 可以在任何模式中进入。

配置过程中，**INITN** 信号变低表示配置出错，出错后可以选择重新加载。

### 启动阶段

EF3 FPGA 完成所有配置点和块 RAM 的数据写入之后，进入启动过程。EF3 FPGA 启动主要完成以下功能：

1. 释放 **DONE** 信号。**DONE** 信号从低电平变为高电平表示 EF3 FPGA 顺利完成数据配置，反之则表示没有顺利完成配置。
2. 释放全局三态信号 **GTS**，全局三态信号 **GTS** 的释放，能够释放所有 I/O 管脚。
3. 释放全局复位/置位信号 **GSR**，允许所有的触发器改变状态。
4. 释放全局写使能信号 **GWE**，允许所有的 RAM 和触发器能够被写入。

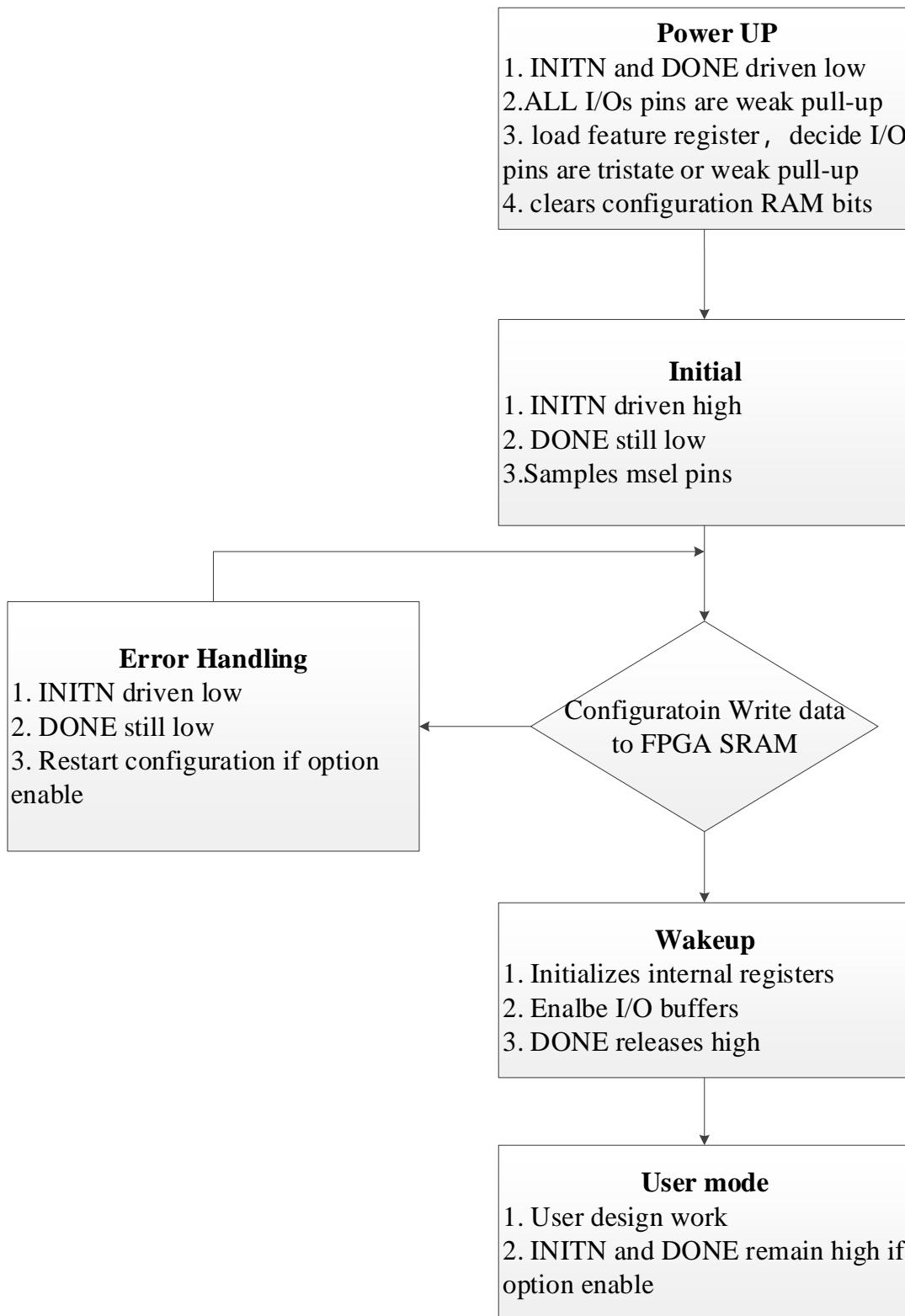


图 2-9-1 EF3 MSPI 配置流程

### 2.9.3 MSPI 配置模式

在 MSPI 模式下，EF3 通过内部 FLASH 进行配置。该模式下配置时钟由内部振荡器产生，用户能够选择下载频率范围。芯片上电时设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改频率，具体参见 3.2.6 配置模块一节。MSPI 支持 x1, x2, x4 位宽模式，可通过 Feature 寄存器设定。

内部 FLASH 数据写入可以使用安路 FPGA 下载器通过 JTAG 在线写入，批量生产时也可通过安路离线下载器写入。

图 2-9-2 是 EF3 MSPI 配置方式连接图，PROGRAMN 信号控制复位 EF3 FPGA 配置，其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号，DONE 信号变高，表示配置成功。芯片开始工作。

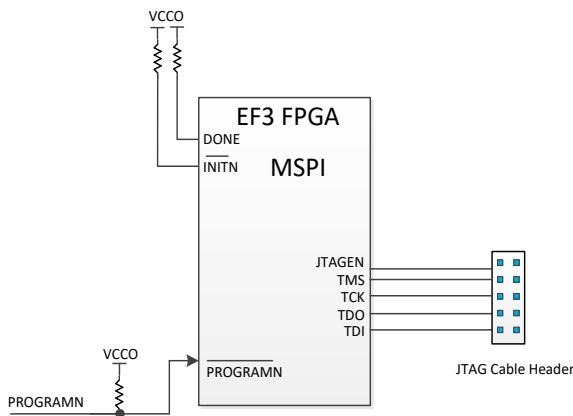


图 2-9-2 EF3 MSPI 配置方式

### 2.9.4 从动串行配置模式

从动串行（SS）模式下，FPGA 可以通过 MCU 进行加载。软件可以生成 bin 文件用于 MCU 加载。

MCU 通过 SCLK、DIN 信号使用串行方式将数据写入 FPGA。EF3 FPGA 芯片在每个 SCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成，如果配置出错，会将 INITN 信号拉低。

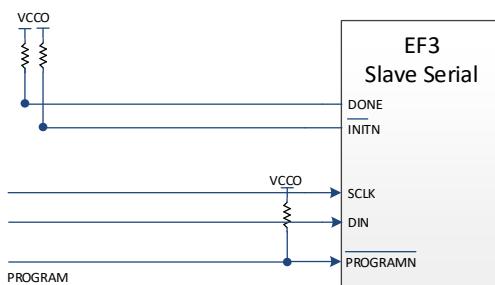


图 2-9-3 EF3 串行配置方式

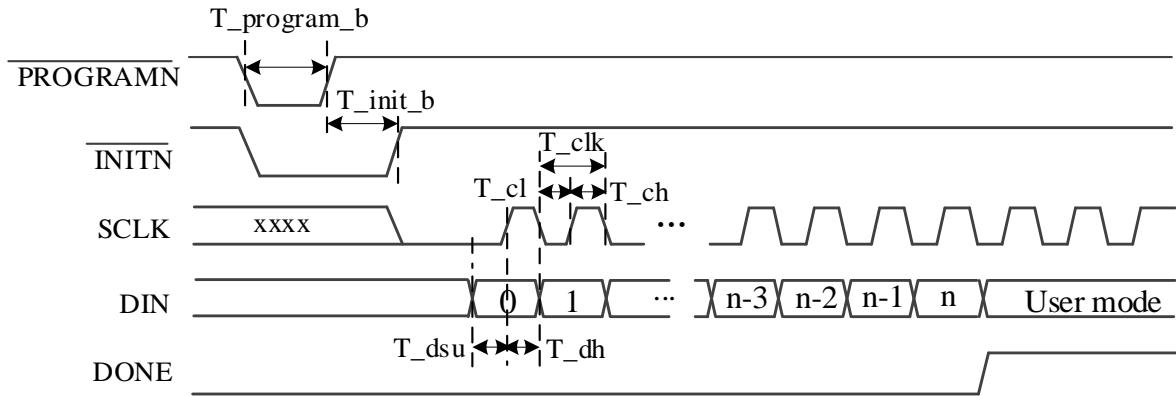


图 2-9-4 EF3 串行配置模式时序图

表 2-9-2 从动串行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width	-	35	ms
T_clk	SCLK period	33	-	ns
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

注:

1. FPGA 芯片在每个 SCLK 的上升沿接收数据，为保证时序，建议配置时，在下降沿发送数据。
2. EF3L40 和 EF3L90 系列器件使用从动串行模式加载时，若用户需要将配置管脚（SCLK, CS0N/DOUT）复用为 GPIO，或是需要通过逻辑对 FLASH 进行读写操作，则 DONE 信号拉高后 SCLK 至少需要再维持 6us 加 10 个周期的时钟输出。

## 2.9.5 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行通过 8 位并行数据写入能够达到较快的配置速度。

如图 2-9-5 所示，其中多个 CSN 信号可以选择多个配置芯片。

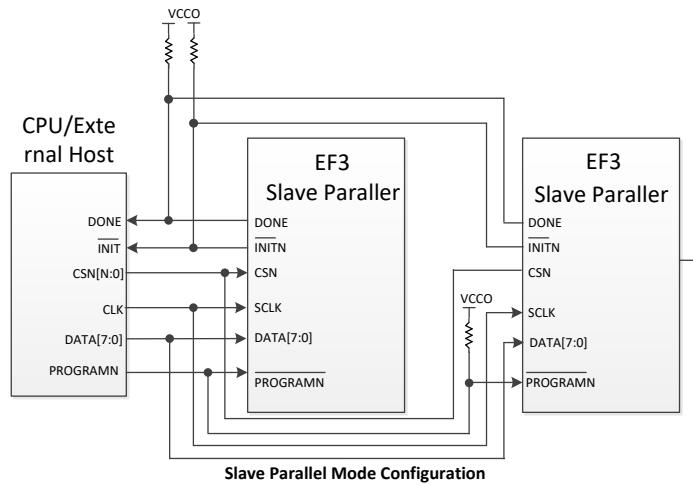


图 2-9-5 从动并行配置方式

从动并行配置模式时序如图 2-9-6 所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSN 有效时，在时钟的上升沿配置数据写入。同样，配置完成后，DONE 信号会变高。

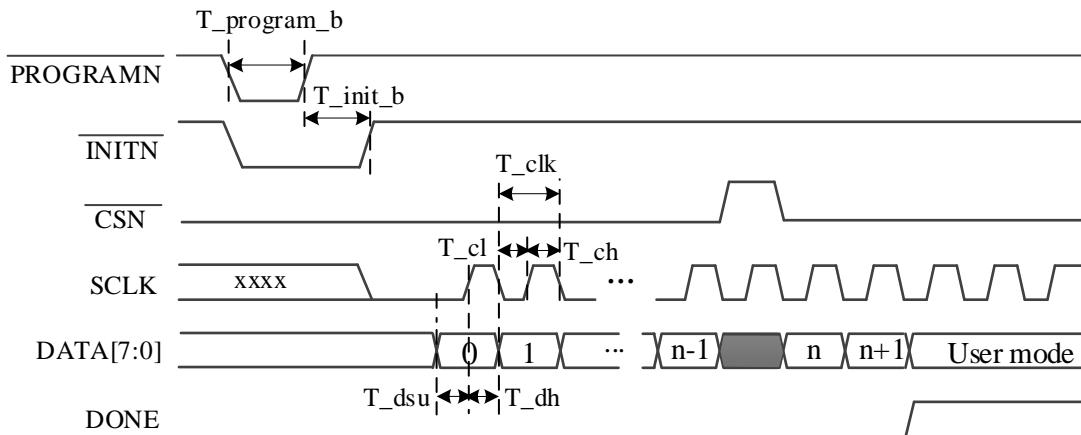


图 2-9-6 EF3 从动并行配置时序图

表 2-9-3 从动并行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width		35	ms
T_clk	SCLK period	33	-	ns
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

注：

1. FPGA 芯片在每个 SCLK 的上升沿接收数据，为保证时序，建议配置时，在下降沿发送数据。



2. EF3L40 和 EF3L90 系列器件使用从动并行模式加载时, 若用户需要将配置管脚 (SCLK, CSON/DOUT) 复用为 GPIO, 或是需要通过逻辑对 FLASH 进行读写操作, 则 DONE 信号拉高后 SCLK 至少需要再维持 6us 加 10 个周期的时钟输出。

## 2.9.6 主动并行配置模式

主动并行配置和从动并行配置类似, 差别在于 SCLK 时钟由 FPGA 提供。

## 2.9.7 JTAG 配置模式

EF3 FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过配置引脚 (TDI, TDO, TMS, TCK, JTAGEN) 进行的。在 INITN 信号变高后, JTAG 可以通过指令中断其他模式, 进入 JTAG 配置模式。

TDI, TDO, TMS, TCK, JTAGEN 为复用 IO。当 TDI, TDO, TMS, TCK 配置为专用 IO 时, JTAGEN 可配置成用户 IO。当 TDI, TDO, TMS, TCK 配置成用户 IO 时, JTAGEN=1 可以将 TDI, TDO, TMS, TCK 强制变成专用 IO。

JTAG 配合使用安路公司专用的 USB 下载线, 配合 TD 软件进行, 可以通过软件查看配置是否成功。

JTAG 配置模式参考时序与时序规格如图 2-9-7 和表 2-9-4 所示。

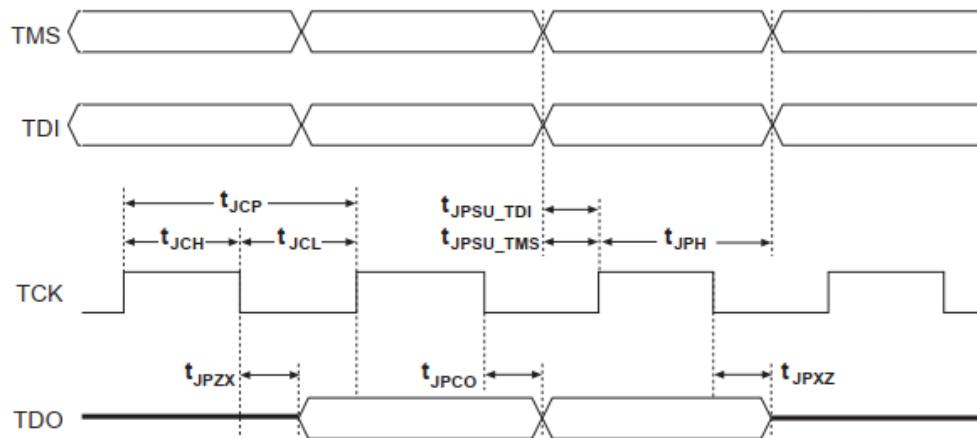


图 2-9-7 EF3 JTAG 时序图

表 2-9-4 EF3 JTAG 时序规格表

符号	参数	最 小	最 大	单 位
$t_{JCP}^1$	TCK 周期	100	—	ns
$t_{JCH}$	TCK 高电平时间	48	—	ns
$t_{JCL}$	TCK 低电平时间	48	—	ns
$t_{JPSU\_TDI}$	TDI 建立时间	6	—	ns



符号	参数	最小	最大	单位
$t_{JPSU\_TMS}$	TMS 建立时间	8	—	ns
$t_{JPH}$	JTAG 端口保持时间	10	—	ns
$t_{JPC0}$	JTAG 端口时钟到输出延时	—	16	ns
$t_{JPZX}$	JTAG 端口高阻到有效输出转换时间	—	16	ns
$t_{JPXZ}$	JTAG 端口有效输出到高阻转换时间	—	16	ns

注：

- 若采用 MSPI 加载模式，并且通过 JTAG 非背景升级外部 FLASH 数据，tck 的频率要大于等于 100K。

## 2.9.8 SSPI 配置模式

EF3LA0、EF3L70 和 EF3L50 器件可以选择 SSPI 端口配置 FLASH，通过将码流写入 FLASH 后转存的方式将码流下载到 SRAM，但不能直接通过 SSPI 端口直接对 SRAM 进行写操作。

使用 SSPI 配置模式并进入用户模式后，可以通过 Feature 寄存器配置 SSPI 配置引脚 SI/S0/CSN/SCLK 是否用作 GPIO。

EF3 器件 SSPI 配置模式配置接口如图 2-9-8，信号说明如表 2-9-5。

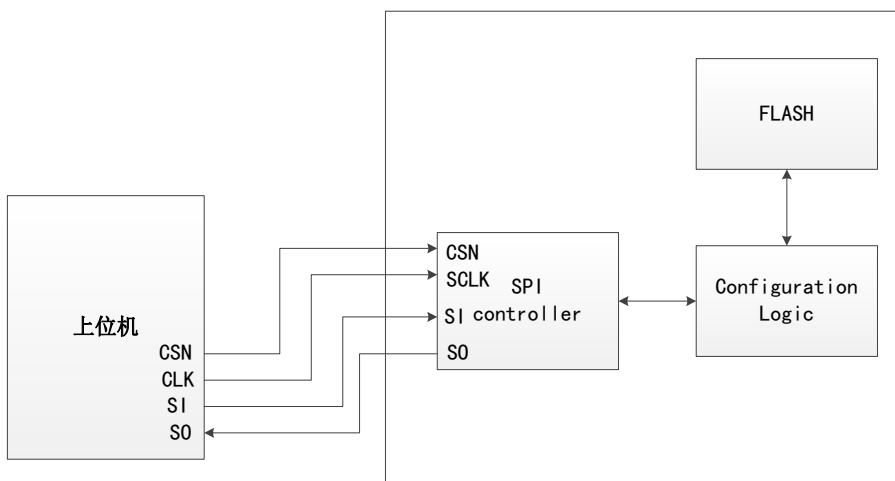


图 2-9-8 SSPI 模式配置接口

表 2-9-5 SSPI 模式信号说明

Pin name	I/O	Description
SCLK <sup>1, 2</sup>	I	时钟信号，由 SSPI 配置模式的主设备提供给 EF3 器件
SI <sup>1</sup>	I	SSPI 配置模式的 EF3 器件数据输入
CSN <sup>3</sup>	I	SSPI 配置模式的使能信号，由主设备提供给 EF3 器件，低电平有效
S0 <sup>1</sup>	O	SSPI 配置模式的 EF3 器件数据输出

注：

- 在 SSPI 配置模式中，数据通过 SI 端口在 SCLK 的上升沿输入，输出数据在 SCLK 的下降沿通过 SO 输出
- 启动 SSPI 配置模式时，CSN 信号至少需保持 8 个 SCLK 的高电平之后再拉低；在发送指令之前或指令发送之后，CSN 信号也应至少保持 8 个 SCLK 的高电平
- 若在用户模式保留 SSPI 接口，需要在配置完成、DONE 信号变高后，拉高 CSN；当需要再次执行加载操作时，才可拉低 CSN 信号

EF3 器件有两种方式可以进入 SSPI 模式。图 2-9-9 所示为配置阶段通过加载 Feature 寄存器来开启 SSPI 接口流程；图 2-9-10 所示为用户模式阶段 wakeup 后通过 Feature 寄存器来保留 SSPI 接口的流程。



图 2-9-9 配置模式阶段启动 SSPI 的流程

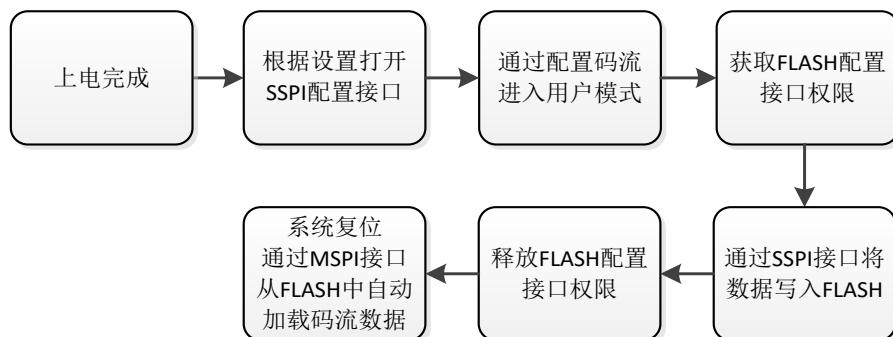


图 2-9-10 用户模式阶段启动 SSPI 的流程

SSPI 配置模式时序图如下所示，具体的时序规格要求如表 2-9-6。

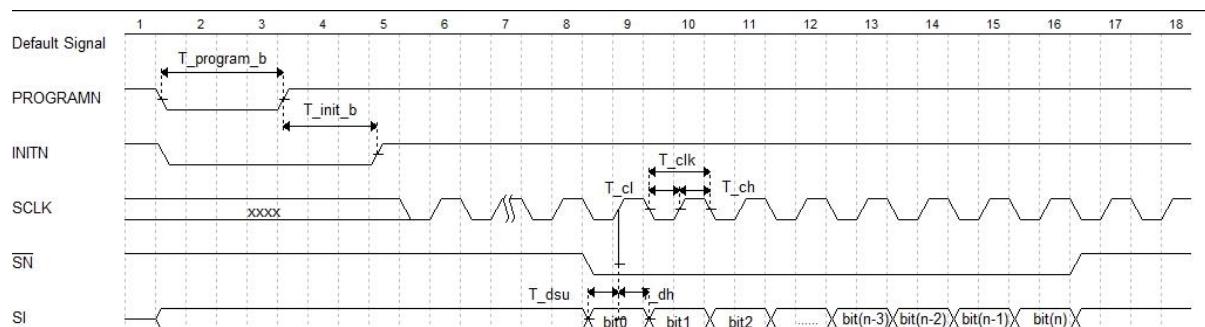


图 2-9-11 SSPI 配置模式时序图

表 2-9-6 SSPI 配置模式时序规格

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b <sup>1</sup>	INIT_B low pulse width	-	35	ms
T_clk	SCLK period	25	-	ns
T_ch	SCLK high time	11.25	-	ns
T_cl	SCLK low time	11.25	-	ns
T_dsu	Data setup time	12.5	-	ns
T_dh	Data hold time	4.5	-	ns

注：

- 建议在 INITN 信号拉高后再使用 SSPI 接口进行配置。

## 2.9.9 I2C 配置模式

EF3LA0、EF3L70 和 EF3L50 器件可选择 I2C 配置模式对 FLASH 进行访问，有 7bit 和 10bit 两种地址模式；支持 Fast mode；支持 FPGA 作为 Slave 从器件。通过 I2C 模式进行配置时，外部上位机（I2C 总线的 Master）通过 I2C 接口将码流数据写入 FLASH 进行配置。

EF3 器件 I2C 配置模式接口如下图所示，信号说明如下表所示。

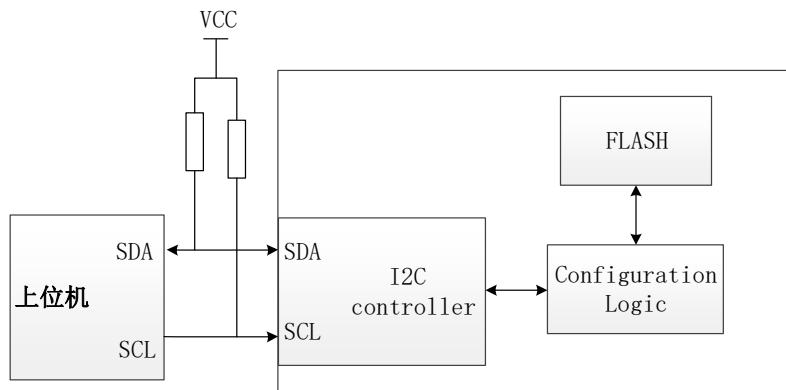


图 2-9-12 I2C 配置模式接口

表 2-9-7 I2C 配置模式接口信号说明

Pin name	I/O	Description
SCL	I	I2C 总线时钟
SDA	I/O	I2C 总线传输数据

注：

- 当数据在总线上传输时，SDA 必须在 SCL 为高电平时保持稳定。



EF3 器件 I2C 配置模式流程有两种。图 2-9-13 所示为配置阶段，通过 Feature 寄存器确定 I2C 配置模式，对 FLASH 进行写操作的配置流程；图 2-9-14 所示为用户阶段，通过设置 Feature 寄存器保留 I2C 接口作为配置接口，对 FLASH 进行写操作的配置流程。



图 2-9-13 配置模式阶段启动 I2C 的流程

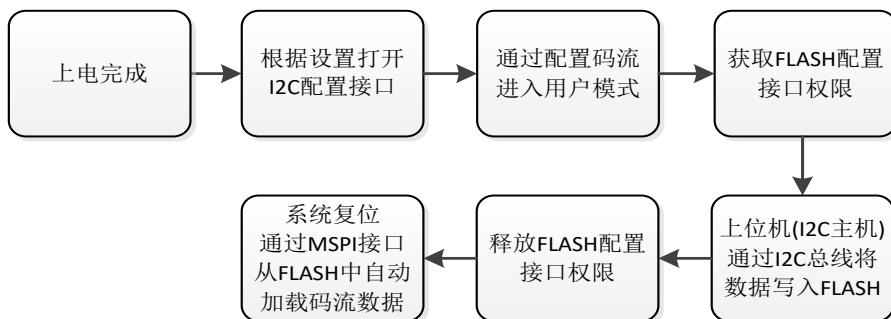


图 2-9-14 用户模式阶段启动 I2C 的流程

## 2.9.10 IEEE 1149.1 边界扫描测试

EF3 器件所有 IO 都集成边界扫描单元，可以通过标准 1149.1 TAP 控制器来访问和控制 IO，边界扫描指令可以在任何状态下访问 IO 单元（SAMPLE 指令只能在用户模式且为 INPUT 或 INOUT 下使用）。

## 2.9.11 DUAL BOOT 功能

EF3 系列器件在 MSPI 模式下支持 Dual Boot 功能。当 Primary 位流下载失败后，EF3 系列 FPGA 自动跳转到 Golden address 去获取 Golden bitstream 起始地址，然后从该地址读取位流。表 2-9-8 中为 EF3 系列器件 Dual Boot 加载时的 Golden address 起始地址，图 2-9-15 所示为 EF3L40 器件 Dual Boot 下内部 SPI FLASH 的数据空间分配示意。

表 2-9-8 EF3 器件 Dual Boot 加载 Golden bitstream 起始地址

Device	Package	Golden bitstream 起始地址	Primary bitstream 中 feature 寄存器地址	Golden bitstream 中 feature 寄存器地址
EF3L40	CG324	0x061000	0x000000	0x060000
	CG332	0x061000	0x000000	0x060000
EF3L90	CG400	0x061000	0x000000	0x060000
	CG324	0x061000	0x000000	0x060000
EF3L50	CG256	0x081000	0x0FF000	0x0FF000
EF3L70	CG256	0x081000	0x0FF000	0x0FF000



Device	Package	Golden bitstream 起始地址	Primary bitstream 中 feature 寄存器地址	Golden bitstream 中 feature 寄存器地址
EF3LA0	CG484	0x081000	0x0FF000	0x0FF000
	CG642	0x081000	0x0FF000	0x0FF000

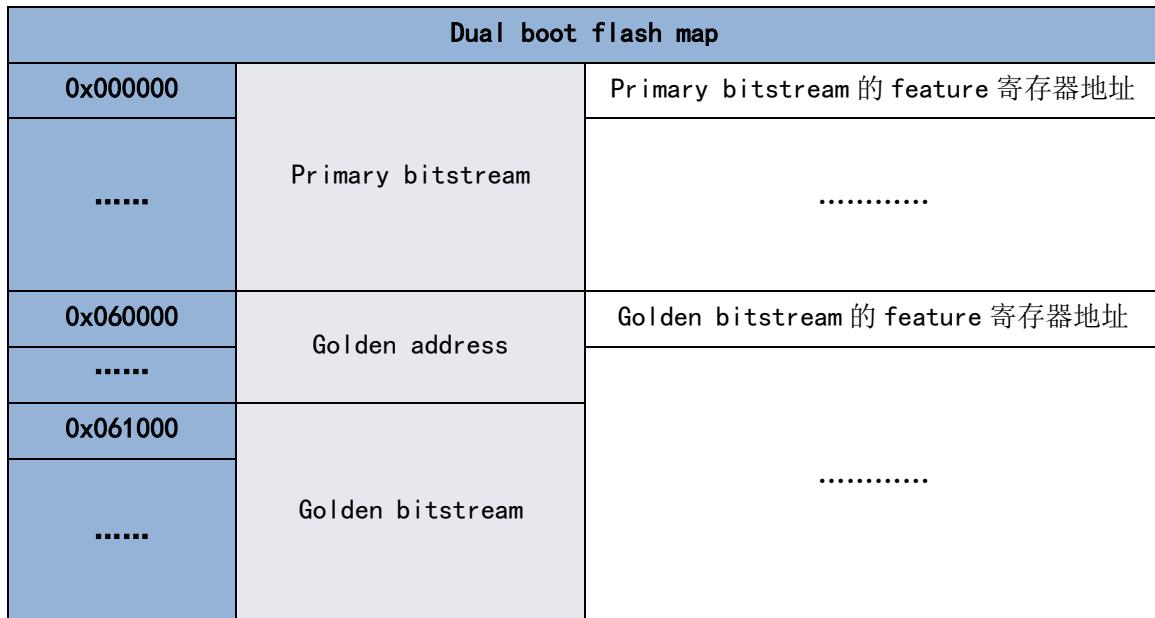


图 2-9-15 EF3L40 Dual Boot SPI FLASH 的数据空间分配

### 2.9.12 MULTI BOOT 功能

MSPI 模式下, 用户可以使用 TD 软件设置 Multi Boot 功能。当进入用户模式后, 应用本身可以通过接口触发信号 rebootn=0, 从指定的内部 SPI FLASH 地址重新开始下载位流。由于 EF3 内部 FLASH 限制, 建议只存放两套位流。需要注意的是, rebootn 信号保持低电平的时间需大于 2.5us。

Primary bitstream 的起始地址通常都是放在 0x000000。Multi Boot bitstream 的起始地址, 用户可以根据 bit 文件大小和 FLASH 的容量去自定义, 图 2-9-16 为 EF3 器件在 MULTI BOOT 模式下 SPI FLASH 的数据空间分布示例, 图中所示的 Multi Boot bitstream 起始地址仅供参考。

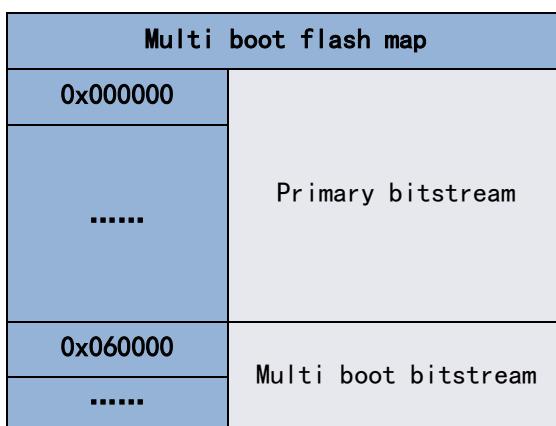


图 2-9-16 EF3 Multi Boot SPI FLASH 的数据空间分配



## 2.9.13 FPGA I/O 引脚在配置阶段的设置

在配置阶段，FPGA 的专用引脚有上拉/下拉电阻，用户 I/O 引脚在配置过程中有可选的上拉电阻。Hswapen 控制位来决定用户 I/O 引脚上是否使能上拉/下拉电阻。

在 EF3 中，Hswapen 默认值为 0，只能通过软件改写。

## 2.9.14 FPGA I/O 引脚在配置阶段的状态

### (1) 非配置相关 I/O

表 2-9-9 非配置相关 I/O 状态

器件	VERSION <sup>1</sup>	上电完成后， feature 寄存器加载前	不断电重加载 <sup>2, 3</sup> ， feature 寄存器加载前
EF3L40, EF3L90	-	弱上拉	弱上拉
EF3L50CG256B, EF3L70CG256B, EF3LA0CG484B, EF3LA0CG642B	3'b000	三态	保持重加载前 feature 设置
	3'b010	弱下拉	保持重加载前 feature 设置
EF3L50CG256BE, EF3L70CG324BE, EF3LA0CG484BE	3'b000	弱下拉	保持重加载前 feature 设置

注：

1. EF3LA0, EF3L50, EF3L70 器件 VERSION 可通过 EF3\_LOGIC\_DEVICE\_VERSION\_V2 原语进行查询。
2. EF3 器件重加载包括调用 DUAL BOOT, MULTI BOOT 功能，及不断电情况下进行复位操作。
3. 以 EF3LA0 器件为例，如果第一次上电加载时 feature 设置 Hswapen=0，用户 I/O 为弱上拉状态，当其不断电复位时，器件保持之前 feature 设置状态（Hswapen=0），用户 I/O 为弱上拉状态。

加载过程中，EF3L40 和 EF3L90 器件普通 I/O 的状态受 Hswapen 控制，可以为弱上拉或者三态；EF3LA0、EF3L70、EF3L50 器件普通 I/O 的状态受 Hswapen 控制，可以为弱下拉或者三态；

进入用户模式之后，用户使用的 I/O 脚状态受代码控制，未使用的管脚为弱上拉状态。

(2) EF3L40 和 EF3L90 器件配置相关引脚跟配置设置相关如表 2-9-9 所示，EF3LA0、EF3L70 和 EF3L50 器件配置相关引脚跟配置设置相关如表 2-9-10 所示。



表 2-9-10 EF3L40 和 EF3L90 器件 Configuration Pin Termination

Pin	配置成功前		配置成功后
	HWSWAPEN=0 (enable)	HWSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
USRCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O

表 2-9-11 EF3LA0、EF3L70 和 EF3L50 器件 Configuration Pin Termination

Pin	配置成功前		配置成功后
	HWSWAPEN=0 (enable)	HWSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	软件 SspiPin 设置
CSN	Pull-down to Gnd	Pull-down to Gnd	软件 SspiPin 设置
TMS、TCK、TDO、 TDI、JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:0] <sup>1</sup>	Pull-down to Gnd	Pull-down to Gnd	User I/O
CSON/DOUT <sup>1</sup>	Pull-down to Gnd	High-Z	User I/O
Others (User I/O)	Pull-down to Gnd	High-Z	User I/O
SI/SO	Pull-up to Vccio	Pull-up to Vccio	软件 SspiPin 设置
SCL/SDA	Pull-up to Vccio	Pull-up to Vccio	软件 I2cPin 设置
USRCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O

注：

- EF3LA0、EF3L70 和 EF3L50 器件的 D[7:0] 和 CSON/DOUT 为内部测试相关引脚。

## 2.9.15 DNA 安全功能

EF3 FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以利用 DNA 进行用户设计保护。软件将提供 IP 接口，使用户读出 DNA 数据。如图 2-9-17、图 2-9-18 所示。`din` 为移位数据输入，用于接口测试使用。

`clk` 时钟频率范围 0~20MHz，`shift_en` 建议采用时钟下降沿送出，保证时序要求。

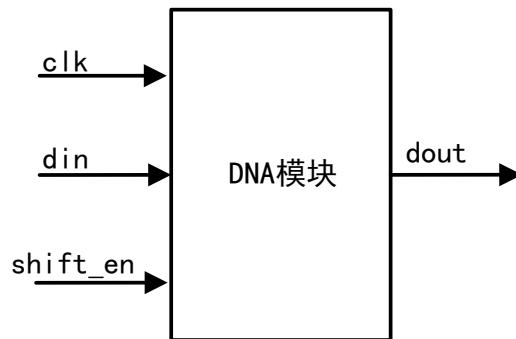


图 2-9-17 EF3 DNA IP

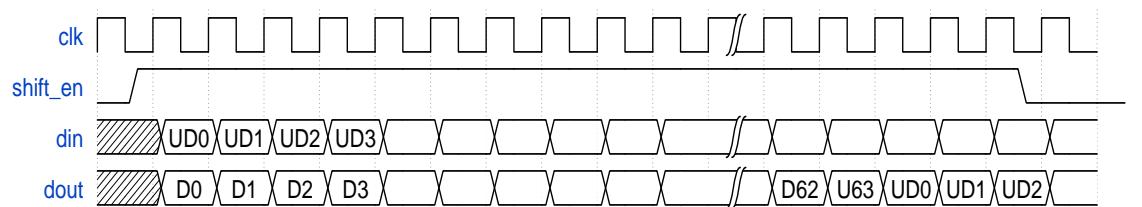


图 2-9-18 EF3 DNA 时序图



## 2.9.16 StateHold I/O 功能

StateHold I/O 功能可以保证器件在配置或者重配置过程中用户 I/O 的状态不变，避免对外部电路造成干扰。EF3 系列 FPGA 对该功能的支持差异如下。

表 2-9-1 EF3 器件 Statehold I/O 功能支持

器件型号	Statehold 功能
EF3L40, EF3L90	不支持
EF3L50CG256B EF3L70CG256B EF3LA0CG484B EF3LA0CG642B	部分 I/O 不支持，具体参见 4.3 CG256 引脚信息 (EF3L50/EF3L70)、4.9 CG484 引脚信息、4.10 CG642 引脚信息章节
EF3L50CG256BE EF3L70CG324BE EF3LA0CG484BE	所有 I/O 均支持 Statehold I/O 功能

用户可通过以下多种方式启动重配置流程：

- 通过 PROGRAMN 引脚触发配置复位
- 通过 JTAG 接口触发复位
- 使能 MULTI BOOT (仅 MSPI 模式支持)
- 通过 I2C/SSPI 触发复位

### 3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

#### 3.1 直流电气特性

##### 3.1.1 最大绝对额定值

表 3-1-1 最大绝对额定值

Symbol	参数		最小	最大	单位
$V_{CCAUX}$	辅助电源		-0.5	3.75	V
$V_{CCIO}$	I/O 驱动供电电压		-0.5	3.75	V
$V_I$	直流输入电压	增强型 IOBE	-0.5	3.75	V
$V_{ESDHBM}$	人体模型静电放电电压		-	±2000	V
$V_{ESDCDM}$	器件充电模型静电放电电压		-	±500	V
$T_{STG}$	存储温度		-65	150	°C
$T_J$	结点温度		-40	125	°C

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

输入 I0 在信号跳变过程中，可能会产生过冲或下冲，如图 3-1-1 所示，表 3-1-2 给出了最大允许输入过冲/下冲电压，以及过冲/下冲电压的持续时间占数据 UI 的百分比。如例图所示，T 为数据的 UI 长度，DT 为过冲信号的持续时间。过冲电压超过  $V_{CCIO}+0.3V$  的时刻即为统计过冲 DT 的起始时刻，过冲电压低于  $V_{CCIO}+0.3V$  的时刻即为统计过冲 DT 的结束时刻。同样，下冲电压低于 GND-0.3V 的时刻即为统计下冲 DT 的起始时刻，下冲电压超过 GND-0.3V 的时刻即为统计下冲 DT 的结束时刻。表 3-1-2 中一个直流输入信号意味着过冲信号（例如幅值为  $V_{CCIO}+0.3V$  的过冲信号）的持续时间（DT）可以占整个数据 UI 的 100%，或者下冲信号（例如幅值为 GND-0.3V 的下冲信号）的持续时间（DT）可以占整个数据 UI 的 100%。

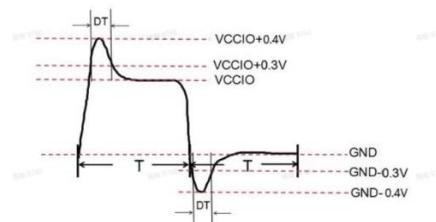


图 3-1-1 输入信号过冲、下冲



表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比

Parameter	Condition (V)	Under/Overshoot Duration as % of UI	Unit
VI AC Input Voltage	-0. 3	100	%
	-0. 4	100	%
	-0. 5	86	%
	-0. 6	49	%
	-0. 7	28	%
	-0. 8	16	%
	-0. 9	9. 23	%
	-1	5. 27	%
	-1. 1	3	%
	VCCIO+0. 4	100	%
	VCCIO+0. 5	86	%
	VCCIO+0. 6	49	%
	VCCIO+0. 7	28	%
	VCCIO+0. 8	16	%
	VCCIO+0. 9	9. 23	%
	VCCIO+1. 0	5. 27	%
	VCCIO+1. 1	3	%

注：

- UI 的周期 (T) 不超过 20μs。

### 3.1.2 推荐基本操作条件

表 3-1-3 推荐基本操作条件<sup>1, 2</sup>

Symbol	参数		最小	典型	最大	单位
V <sub>CCAUX</sub>	辅助电源		2. 375	2. 5/3. 3	3. 63	V
V <sub>CCLIO</sub>	I/O 供电电压 @ 3. 3V		3. 135	3. 3	3. 465	V
	I/O 供电电压 @ 2. 5V		2. 375	2. 5	2. 625	V
	I/O 供电电压 @ 1. 8V		1. 71	1. 8	1. 89	V
	I/O 供电电压 @ 1. 5V		1. 425	1. 5	1. 575	V
	I/O 供电电压 @ 1. 2V		1. 14	1. 2	1. 26	V
V <sub>i</sub> <sup>3, 4</sup>	直流输入电压	增强型 IOB	-0. 3	—	V <sub>CCLIO</sub> +0. 3	V
V <sub>o</sub>	输出电压		0	—	V <sub>CCLIO</sub>	V



Symbol	参数		最小	典型	最大	单位
T <sub>J</sub>	结点温度	商业	0	—	85	°C
		工业	-40	—	100	°C
T <sub>RAMP</sub>	电源缓变率		0.05	—	100	V/ms
I <sub>Diode</sub>	PCI-clamp 二极管电流		—	—	10	mA

注：

1. 器件工作时要求所有 I/O 的 VCCIO 必须连接好电源。
2. 所有输入缓冲器由 VCCIO 供电。
3. I/O 端口不能直接接地或者 VCCIO，如有连接应用，需要串接电阻。
4. 如果将真差分对管脚当作单端 I/O 使用，则要求最小输入电压不能低于-0.3V，或真差分对的另外一个管脚不使用。

### 3.1.3 基本供电要求

表 3-1-4 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
VCCAUX	>=2.5V	必须供电
VCCIO0 <sup>1</sup>	>=1.5V	如果使用 JTAG 下载，需要和下载器供电电压保持一致
VCCIO1	>=1.2V	可选择性供电，无附加要求 <sup>2</sup>
VCCIO2	>=1.2V	可选择性供电，无附加要求 <sup>2</sup>
VCCIO3	>=1.2V	可选择性供电，无附加要求 <sup>2</sup>
VCCIO4	>=1.2V	可选择性供电，无附加要求 <sup>2</sup>
VCCIO5	>=1.2V	可选择性供电，无附加要求 <sup>2</sup>
VCCIO6 <sup>5</sup>	>=1.2V	可选择性供电，无附加要求 <sup>2</sup>
VCCIO7 <sup>5</sup>	>=1.2V	可选择性供电，无附加要求 <sup>2</sup>

注：

1. POR 上电检测，必须供电。
2. 建议不用时也供电，避免潜在风险。
3. 如果使用 LVDS，EF3L40 和 EF3L90 器件相应 BANK 的供电电压应>=2.5V；EF3LA0、EF3L70 和 EF3L50 器件相应 BANK 的供电电压应>=1.8V。
4. EF3L90CG400 封装的芯片，Y2 脚作为输入时，不得接入高于 VCCAUX 的电平。
5. 仅 EF3LA0CG642B 有 VCCIO6 和 VCCIO7。



### 3.1.4 单电源器件静态供电电流-B Devices<sup>1,2</sup>

表 3-1-5 静态电源电流

Symbol	参数	器件	典型	单位
I <sub>VCCIO</sub>	I/O 组电源, @V <sub>CCIO</sub> =2.5V	EF3L40/EF3L90	<1.5	mA
		EF3L50/EF3L70/EF3LA0	<6	mA
I <sub>VCCAUX</sub>	辅助电源	EF3	16	mA

注:

- 该表中的数值基于通用的推荐操作条件, 室温下 ( $T_J = 25^\circ\text{C}$ ) 使用典型器件测得。
- 典型值为空白器件, 没有输出电流负载, 高阻抗状态下, 并当所有上拉/下拉电阻器在 I/O 引脚禁止时, 测量的所有 I/O 驱动的静态电源电流。

### 3.1.5 热插拔规格

表 3-1-6 热插拔规格

Symbol	参数	最大	单位
I <sub>IOPIN(DC)</sub>	DC 电流, 每个 I/O	1	mA
I <sub>IOPIN(AC)</sub>	AC 电流, 每个 I/O	8 <sup>1</sup>	mA

注:

- 信号上升时间等于或大于 10ns。
- EF3L90CG400 器件的 Y2, U4, U5, T5, R5, R7, P7, W3, Y3 引脚不支持热插拔。

### 3.1.6 上下电时序

表 3-1-7 上电复位电压阈值

Symbol	参数	最小	典型	最大	单位
V <sub>VCCAUX_PORUP</sub>	V <sub>VCCAUX</sub> 上电检测阈值	1.5	1.55	1.6	V
V <sub>CCIO</sub>	V <sub>CCIO</sub> 上电检测	—	1.0	—	V
V <sub>VCCAUX_PORDN</sub>	V <sub>VCCAUX</sub> 掉电检测阈值	EF3L40/EF3L90	—	1.5	V
		EF3L50/EF3L70/EF3LA0	—	1.35	V

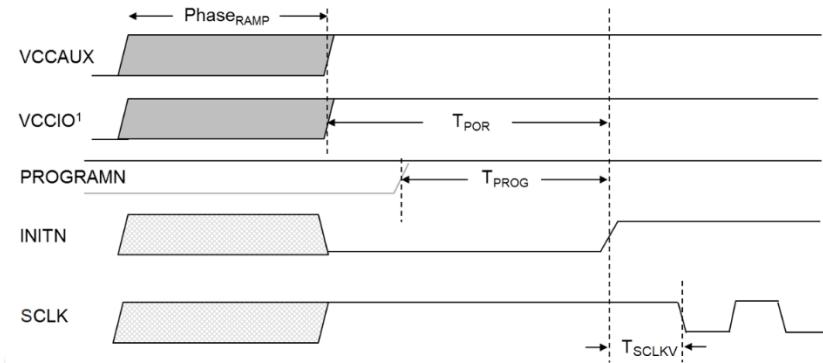


图 3-1-2 器件上电时序图

1. POR 监测 JTAG 端口所在的 VCCIO\* 电平
2. 对 VCCAUX、VCCIO\* 没有上电时序要求，但需注意上电过程中 I/O 端口电压不得高于 VCCIO
3. 电源上电过程中 (Phase<sub>RAMP</sub>) 所有的 I/O 处于三态
4. T<sub>POR</sub> 最大为 35ms, T<sub>PROG</sub> 同 TPOR, T<sub>SCLK</sub> 约 6.4us

### 3.1.7 I/O 管脚电容

表 3-1-8 EF3 器件管脚电容

Symbol	参数	caBGA	单位
C <sub>IOTB</sub>	上下管脚输入电容	6	pF
C <sub>IOLR</sub>	左右管脚输入电容	7	pF

### 3.1.8 I/O 直流电气特性

表 3-1-9 I/O 推荐基本操作条件

Symbol	参数	条件	最小	典型	最大	单位
I <sub>IL</sub> , I <sub>IH</sub>	输入漏电电流	0 ≤ V <sub>I</sub> ≤ V <sub>CCIO</sub> -0.5V	-15	—	15	uA
I <sub>IH</sub>	输入漏电电流	V <sub>CCIO</sub> -0.5V ≤ V <sub>I</sub> ≤ V <sub>IH_MAX</sub>	—	—	150	uA
V <sub>HYST</sub>	Hysteresis for Schmitt Trigger Input	V <sub>CCIO</sub> =3.3V	—	350	—	mV
		V <sub>CCIO</sub> =2.5V	—	260	—	mV
		V <sub>CCIO</sub> =1.8V	—	130	—	mV
		V <sub>CCIO</sub> =1.5V	—	70	—	mV
I <sub>PU</sub>	I/O 弱上拉电流	—	35	—	250	uA
I <sub>PD</sub>	I/O 弱下拉电流	—	35	—	250	uA



Symbol	参数	条件	最小	典型	最大	单位
$I_{BHLs}$	总线保持 0 维持电流	—	40	—	—	uA
$I_{BHHS}$	总线保持 1 维持电流	—	40	—	—	uA
$I_{BHL0}$	总线保持 0 改写电流	$0 \leq V_i \leq V_{CCIO}$	—	—	350	uA
$I_{BHH0}$	总线保持 1 改写电流	$0 \leq V_i \leq V_{CCIO}$	—	—	350	uA
$V_{BHT}$	总线保持触发电平	—	$V_{IL\_max}$	—	$V_{IH\_min}$	V

### 3.1.9 单端 I/O 直流电学特性

表 3-1-10 EF3 器件 IOB 单端 I/O 标准规格

标准	$V_{IL}$ (V)		$V_{IH}$ (V)		$V_{OL}$ 最大	$V_{OH}$ 最小	$I_{OL}$	$I_{OH}$
	最小	最大	最小	最大	(V)	(V)	(mA)	(mA)
LVTTL33 LVCMOS33	-0.3	0.8	2.0	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
							20	-20
LVCMOS25	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
							4	-4
LVCMOS18	-0.3	$0.35*V_{CCIO}$	$0.65*V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							10	-10
LVCMOS15	-0.3	$0.35*V_{CCIO}$	$0.65*V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
LVCMOS12	-0.3	$0.35*V_{CCIO}$	$0.65*V_{CCIO}$	$V_{CCIO} + 0.3$	0.4	$V_{CCIO} - 0.4$	4	-4
PCI33	-0.3	$0.3*V_{CCIO}$	$0.5*V_{CCIO}$	$V_{CCIO} + 0.3$	$0.1*V_{CCIO}$	$0.9*V_{CCIO}$	1.5	-0.5

表 3-1-11 Single-Ended Interfaces

Input Standard	V <sub>CCIO</sub> (Typ.)				
	3.3V	2.5V	1.8V	1.5V	1.2V
LVTTL33	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMOS33	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMOS25	√ <sup>1</sup>	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVCMOS18		√ <sup>1</sup>	√	√ <sup>2</sup>	√ <sup>2</sup>



Input Standard	VCCIO (Typ.)				
	3.3V	2.5V	1.8V	1.5V	1.2V
LVCMOS15			√ <sup>1</sup>	√	√ <sup>2</sup>
LVCMOS12				√ <sup>1</sup>	√

注：

1. Under-drive causes higher DC current when the I/O is at logic high.
2. 不能打开 PCI-clamp 和 OverDriven，否则会产生漏电流。

### 3.1.10 差分 I/O 电学特性

表 3-1-12 EF3 器件 LVDS 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
$V_{IP}, V_{IN}$	输入电平	$V_{CCIO}=2.5$	0	—	2.4	V
		$V_{CCIO}=3.3$	0.45	—	3.2	V
$V_{ID}$	输入差分摆幅	$ V_{IP}-V_{IN} , R_T = 100 \Omega$ $V_{CCIO}=3.3/2.5$	150	350	800	mV
$V_{ICM}$	输入共模电压	$V_{CCIO}=2.5$	0.05	—	2.35	V
		$V_{CCIO}=3.3$	0.6	—	3.15	V
$I_{IN}$	输入电流	上电过程	—	—	±15	uA
$R_T$	片内端接差分电阻	—	80	100	120	Ω
$V_{OD}$	标准差分输出摆幅	$ V_{OP} - V_{ON} , R_T = 100 \Omega$ $V_{CCIO}=3.3/2.5$	150	250	350	mV
$\Delta V_{OD}$	差分输出摆幅变化	—	—	—	50	mV
$V_{OCM}$	输出共模电压	$(V_{OP} + V_{ON})/2, R_T = 100 \Omega$ $V_{CCIO}=2.5$	0.6	—	1.4	V
		$(V_{OP} + V_{ON})/2, R_T = 100 \Omega$ $V_{CCIO}=3.3$	0.6	—	1.4	V
$\Delta V_{OCM}$	输出共模电压偏差	—	—	—	50	mV

注：

1. 当差分输入摆幅大于 500mV 时，只能使用外接 100 欧差分匹配电阻。

表 3-1-13 EF3 LVPECL33 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
$V_{IP}, V_{IN}$	输入电平	$V_{CCIO}=3.3$	0	—	2.95	V
$V_{ID}$	输入差分摆幅	$ V_{IP}-V_{IN} $ $V_{CCIO}=3.3$	100	—	1600	mV



参数	描述	测试条件	最小	典型	最大	单位
$V_{ICM}$	输入共模电压	$V_{CCIO}=3.3$	0.3	—	2.9	V

注：

1. LVPECL 接收不能使用芯片内部  $100\Omega$  电阻。

表 3-1-14 EF3L50/70/A0 LVDS18 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
$V_{IP}, V_{IN}$	输入电平	$V_{CCIO}=1.8V$	0.3	—	1.5	V
$V_{ID}$	输入差分摆幅	$ V_{IP}-V_{IN} , R_T=100\Omega, V_{CCIO}=1.8V$	150	350	800	mV
$V_{ICM}$	输入共模电压	$V_{CCIO}=1.8V$	0.6	0.9	1.4	V
$I_{IN}$	输入电流	上电过程	—	—	$\pm 15$	uA
$R_T$	片内端接差分电阻	$V_{CCIO}=1.8V$	70	—	125	$\Omega$
$V_{OD}$	标准差分输出摆幅	$ V_{OP}-V_{ON} , R_T=100\Omega, V_{CCIO}=1.8V$	150	250	350	mV
$\Delta V_{OD}$	差分输出摆幅变化	—	—	—	50	mV
$V_{OCM}$	输出共模电压	$(V_{OP}+V_{ON})/2, R_T=100\Omega, V_{CCIO}=1.8V$	0.7	0.9	1.0	V
$\Delta V_{OCM}$	输出共模电压偏差	—	—	—	50	mV

注：

1. 当差分输入摆幅大于 500mV, 只能使用外接  $100\Omega$  差分电阻。



## 3.2 交流电气特性

本章节提供 EF3 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

### 3.2.1 时钟性能

表 3-2-1 推荐的最大时钟操作频率

器件	性能	单位
所有器件	440	Mhz

### 3.2.2 嵌入数字信号处理模块 (DSP) 规格

表 3-2-2 EF3 嵌入 DSP 规格

器件	性能	单位
M9x9 (All register)	350	Mhz
M18x18 (All register)	350	Mhz

### 3.2.3 锁相环 (PLL) 规格

表 3-2-3 EF3 器件的 PLL 规格

参数	描述	最小	典型	最大	单位
$f_{IN}$	输入时钟频率	10	—	400	MHz
$f_{PFD}$	鉴频鉴相器 (PFD) 输入频率	10	—	400	MHz
$f_{VCO}$	锁相环内部振荡器频率范围	300	—	1200	MHz
$f_{OUT}$	输出时钟频率	—	—	600	MHz
交流特性					
$t_{IN\_H}$	输入时钟高电平时间 (90% to 90%)	0.5	—	—	ns
$t_{IN\_L}$	输入时钟低电平时间 (10% to 10%)	0.5	—	—	ns
$f_{INDUTY}$	输入时钟占空比	40	—	60	%
$f_{RISE}$	输入时钟上升沿斜率	1	—	3	V/ns
$f_{FALL}$	输入时钟下降沿斜率	1	—	3	V/ns
$t_{INJITTER}^1$	输入时钟抖动, $f_{PFD} \geq 20$ MHz	—	—	800	ps p-p
	输入时钟抖动, $f_{PFD} < 20$ MHz	—	—	0.02	UI
$t_{OUTDUTY}$	输出占空比波动范围 (用户设定值基础上波动)	-5	0	5	%
$t_{OUTJITTER}^2$	输出时钟周期抖动 (Period Jitter), $f_{OUT} > 100$ MHz, $f_{VCO} > 400$ Mhz	—	—	160	ps p-p
	输出时钟相邻周期抖动 (Cycle-to-cycle)	—	—	200	ps p-p



参数	描述		最小	典型	最大	单位	
Jitter <sup>1</sup> , f <sub>OUT</sub> > 100MHz, fvco>400Mhz	输出时钟相位抖动 (Phase Jitter), f <sub>OUT</sub> > 100MHz, fvco>400Mhz		—	—	180	ps p-p	
	EF3L40/EF3L90 EF3L50/EF3L70/ EF3LA0	EF3L40/EF3L90 EF3L50/EF3L70/ EF3LA0	—	—	250	ps p-p	
			—	—	15	ms	
t <sub>LOCK</sub> <sup>3</sup>	PLL 锁定时间		—	—	300	us	
	EF3L40/EF3L90 EF3L50/EF3L70/ EF3LA0		—	—	15	ms	
t <sub>DLOCK</sub>	动态锁定时间 (切换、重配置之后)		—	—	15	ms	
t <sub>PLL_PS</sub>	PLL 相移精度		—	—	±125	ps	
t <sub>RST</sub> <sup>4</sup>	复位脉冲最小宽度	EF3	5	—	—	ns	
t <sub>CONFIGPLL</sub>	PLL 相位动态配置时间		4	—	—	cycles	
F <sub>PSCLK</sub>	动态相移频率		—	—	100	MHz	

注:

- 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。PLL 不会滤掉低频输入噪声而是会跟上输入的低频噪声，PLL 会滤掉部分高频输入噪声。
- 周期抖动通过对 PLL 输出采样 10,000 次测量得到。相邻周期间抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。
- t<sub>LOCK</sub> 之后，在输出端得到稳定时钟。
- 为保证 PLL 输出时钟相位稳定，建议复位信号宽度大于 100us。

### 3.2.4 存储器模块 (ERAM) 规格

表 3-2-4 EF3 存储器模块规格表

存储器	模式	性能	单位
ERAM9K	FIFO 512 x 18	220	MHz
	单口 512 x 18	220	MHz
	简单双口 512 x 18	220	MHz
	真双口 1024 x 9	220	MHz



### 3.2.5 高速 I/O 接口性能

表 3-2-5 高速 I/O 接口性能表

输入/输出标准	描述	最大	单位
最大输入频率			
LVDS18 <sup>1</sup>	LVDS, VCCIO = 1.8V	400	MHz
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS33 <sup>1</sup>	LVDS, VCCIO = 3.3V	400	MHz
LVPECL33	LVPECL, VCCIO = 3.3V	400	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	120	MHz
最大输出频率			
LVDS18 <sup>1</sup>	LVDS, VCCIO = 1.8V	400	MHz
LVDS18E	LVDS, Emulated, VCCIO = 1.8V	166	MHz
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS25E	LVDS, Emulated, VCCIO = 2.5V	166	MHz
LVDS33 <sup>1</sup>	LVDS, VCCIO = 3.3V	400	MHz
LVDS33E	LVDS, Emulated, VCCIO = 3.3V	166	MHz
LVPECL33E	LVPECL, Emulated, VCCIO = 3.3V	166	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	80	MHz

注:

- 该规格适用于 EF3LA0、EF3L70 和 EF3L50 器件。

### 3.2.6 配置模块

表 3-2-6 EF3 器件配置模式时序规格表

下载模式	最小	典型	最大	单位
主模式串行 SPI (MSPI) <sup>1</sup>	EF3L40/EF3L90CG400	2.5	—	24 MHz
	EF3L90CG324	2.5	—	16 MHz



下载模式		最小	典型	最大	单位
	EF3L50/EF3L70/EF3LA0	2.5	—	44	MHz
主模式并行 x8 (MP) <sup>1</sup>	EF3L40/EF3L90CG400	2.5	—	24	MHz
	EF3L90CG324	2.5	—	16	MHz
从模式串行 (SS)		—	—	30	MHz
从模式并行 x8 (SP)		—	—	30	MHz
SSPI		2.5	—	40	MHz
I2C	标准模式	—	100	—	kHz
	Fast mode 模式	—	400	—	kHz
JTAG		—	—	10	MHz

注：

1. 主模式加载，EF3 器件最高频率需考虑 OSC 精度偏差。EF3L40CG324B、EF3L40CG332B、EF3L90CG400B 和 EF3L90CG324B 器件的 OSC 中心频率为 290MHz，最大偏差在±30%以内；EF3LA0CG484B、EF3LA0CG642B、EF3L70CG256B、EF3L50CG256B 器件的 OSC 中心频率为 266MHz，最大偏差在±5%以内；对时钟精度要求较高的场景不建议使用。



## 4 引脚和封装

### 4.1 引脚定义和规则

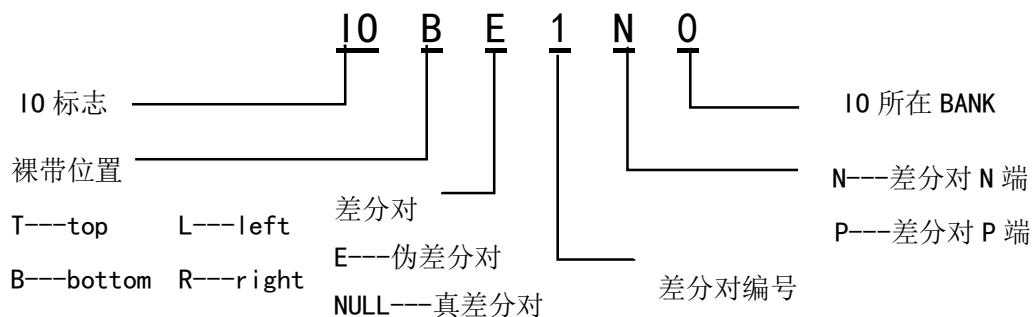
表 4-1-1 引脚定义和规则

引脚名称	方向	描述
普通 I/O		
#NHP	—	引脚不支持热拔插
GND	—	电源地
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
GND_PLLx	—	PLL 地
时钟引脚		
GCLKIOx	I/O	全局时钟专用输入引脚
GPLLx_OUTx	I/O	PLL 专用输出引脚
GPLLx_Ix_FDB	I/O	PLL 反馈时钟专用输入引脚
GPLLx_Ix_REF	I/O	PLL 参考时钟专用输入引脚
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
JTAGEN	输入	JTAG 使能
SSPI 配置专用引脚		
SI	输入	SSPI 配置模式数据输入
SO	输出	SSPI 配置模式数据输出
I2C 配置专用引脚		
SCL	输入	I2C 总线传输时钟
SDA	I/O	I2C 总线传输数据
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
PROGRAMN	输入	全局复位输入，低有效
SCLK	I/O	配置时钟专用输入引脚
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路 1. 在配置完成前，需保证 DONE 引脚可被内部驱动为低电平； 2. 进入用户模式后，可复用为 USER I/O，在复用为输入时，可能会导致重新加载等问题，但可作为输出引脚使用



引脚名称	方向	描述
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路 3. 在配置完成前，需保证 DONE 引脚可被内部驱动为低电平； 进入用户模式后，可复用为 USER I/O，在复用为输入时，可能会导致重新加载等问题，但可作为输出引脚使用

## 4.2 IO 命名规则





#### 4.3 CG256 引脚信息 (EF3L50/EF3L70)

编号	BANK	CG256 引脚说明	编号	BANK	CG256 引脚说明
A11	0	IO_L1P_0	C4	0	IO_L14P_0
C11	0	IO_L1N_0	B5	0	IO_L14N_0
B9	0	IO_L2P_0	A3	0	IO_L15P_0, GPLLO_OUTP2
A10	0	IO_L2N_0	B4	0	IO_L15N_0, GPLLO_OUTN2
F8	0	IO_L3P_0	B14	0	IO_L16P_0
D9	0	IO_L3N_0	A15	0	IO_L16N_0
D10	0	IO_L4P_0	B13	0	IO_L17P_0, GPLL1_OUTP1
E10	0	IO_L4N_0	A14	0	IO_L17N_0, GPLL1_OUTN1
F7	0	IO_L5P_0	C12	0	IO_L18P_0
E8	0	IO_L5N_0	B12	0	IO_L18N_0
D8	0	IO_L6P_0	B11	0	IO_L19P_0
E9	0	IO_L6N_0	A12	0	IO_L19N_0
A9	0	IO_L7P_0, GCLK10L_2, SCL <sup>1</sup>	F10	0	IO_L20P_0, GPLL1_OUTP2
C9	0	IO_L7N_0, GCLK10L_3, SDA <sup>1</sup>	D11	0	IO_L20N_0, GPLL1_OUTN2
A5	0	IO_L8P_0	F9	0	IO_L21P_0
B6	0	IO_L8N_0	E11	0	IO_L21N_0
C8	0	IO_L9P_0, GCLK10L_0	B3	0	IO_L1_0, CS0N, DOUT <sup>1</sup>
A8	0	IO_L9N_0, GCLK10L_1	C13	0	IO_L2_0, DONE <sup>1</sup>
B7	0	IO_L10P_0	B10	0	IO_L3_0, PROGRAMN <sup>1</sup>
C7	0	IO_L10N_0	A13	0	IO_L4_0, INITN <sup>1</sup>
E6	0	IO_L11P_0	C10	0	IO_L5_0, JTAGEN <sup>1</sup>
D7	0	IO_L11N_0	A6	0	IO_L6_0, TDI <sup>1</sup>
D6	0	IO_L12P_0	B8	0	IO_L7_0, TMS <sup>1</sup>
E7	0	IO_L12N_0	C6	0	IO_L8_0, TDO <sup>1</sup>
A4	0	IO_L13P_0, GPLLO_OUTP1	A7	0	IO_L9_0, TCK <sup>1</sup>
C5	0	IO_L13N_0, GPLLO_OUTN1			



编号	BANK	CG256 引脚说明	编号	BANK	CG256 引脚说明
L15	1	I0_TE1P_1, D0 <sup>1</sup>	G11	1	I0_TE14P_1
M16	1	I0_TE1N_1, D1 <sup>1</sup>	H12	1	I0_TE14N_1
J11	1	I0_TE2P_1, D2 <sup>1</sup>	H14	1	I0_TE15P_1, GCLKIOT_0
L12	1	I0_TE2N_1, D3 <sup>1</sup>	H16	1	I0_TE15N_1, GCLKIOT_1
P15	1	I0_TE3P_1, D4 <sup>1</sup>	G15	1	I0_TE16P_1
R16	1	I0_TE3N_1, D5 <sup>1</sup>	G14	1	I0_TE16N_1
N16	1	I0_TE4P_1, D6 <sup>1</sup>	F12	1	I0_TE17P_1
N14	1	I0_TE4N_1, D7 <sup>1</sup>	G13	1	I0_TE17N_1
L16	1	I0_TE5P_1	F14	1	I0_TE18P_1
L14	1	I0_TE5N_1	F16	1	I0_TE18N_1
K14	1	I0_TE6P_1	F13	1	I0_TE19P_1
K15	1	I0_TE6N_1	G12	1	I0_TE19N_1
K11	1	I0_TE7P_1	E16	1	I0_TE20P_1
L13	1	I0_TE7N_1	F15	1	I0_TE20N_1
K13	1	I0_TE8P_1	D16	1	I0_TE21P_1, GPLL1IP_REF
K12	1	I0_TE8N_1	E14	1	I0_TE21N_1, GPLL1IN_REF
J16	1	I0_TE9P_1	D14	1	I0_TE22P_1
J14	1	I0_TE9N_1	E15	1	I0_TE22N_1
J15	1	I0_TE10P_1, GCLKIOT_2	C16	1	I0_TE23P_1
K16	1	I0_TE10N_1, GCLKIOT_3	D15	1	I0_TE23N_1
G16	1	I0_TE11P_1	C15	1	I0_TE24P_1
H15	1	I0_TE11N_1	B16	1	I0_TE24N_1
H13	1	I0_TE12P_1	M14	1	I0_TE25P_1
J12	1	I0_TE12N_1	M15	1	I0_TE25N_1
H11	1	I0_TE13P_1	N15	1	I0_TE26P_1
J13	1	I0_TE13N_1	P16	1	I0_TE26N_1



编号	BANK	CG256 引脚说明	编号	BANK	CG256 引脚说明
T2	2	IO_RE1P_2	M8	2	IO_R14P_2
R3	2	IO_RE1N_2	N9	2	IO_R14N_2
T3	2	IO_R2P_2	M9	2	IO_R15P_2
R4	2	IO_R2N_2	L10	2	IO_R15N_2
P4	2	IO_R3P_2	M10	2	IO_R16P_2
T4	2	IO_R3N_2	N11	2	IO_R16N_2
T5	2	IO_R4P_2	T7	2	IO_RE17P_2, GCLKIOR_0
R6	2	IO_R4N_2	R8	2	IO_RE17N_2, GCLKIOR_1
R5	2	IO_R5P_2	N10	2	IO_RE18P_2 <sup>1</sup>
P5	2	IO_R5N_2	M11	2	IO_RE18N_2 <sup>1</sup>
P6	2	IO_R6P_2, SCLK <sup>1</sup>	T9	2	IO_RE19P_2, GCLKIOR_2
T6	2	IO_R6N_2, S0 <sup>1</sup>	P9	2	IO_RE19N_2, GCLKIOR_3
R7	2	IO_R7P_2	P10	2	IO_R20P_2
P7	2	IO_R7N_2	R10	2	IO_R20N_2
P8	2	IO_R8P_2	T11	2	IO_R21P_2
T8	2	IO_R8N_2	P11	2	IO_R21N_2
R9	2	IO_R9P_2	P12	2	IO_R22P_2 <sup>1</sup>
T10	2	IO_R9N_2	T13	2	IO_R22N_2 <sup>1</sup>
M6	2	IO_R10P_2	R11	2	IO_R23P_2
L8	2	IO_R10N_2	T12	2	IO_R23N_2
N6	2	IO_R11P_2	R12	2	IO_RE24P_2, CSN <sup>1</sup>
L7	2	IO_R11N_2	P13	2	IO_RE24N_2, SI <sup>1</sup>
M7	2	IO_R12P_2	R13	2	IO_RE25P_2 <sup>1</sup>
N7	2	IO_R12N_2	T14	2	IO_RE25N_2 <sup>1</sup>
N8	2	IO_R13P_2	T15	2	IO_R26P_2 <sup>1</sup>
L9	2	IO_R13N_2	R14	2	IO_R26N_2 <sup>1</sup>



编号	BANK	CG256 引脚说明	编号	BANK	CG256 引脚说明
L2	3	I0_BE1P_3, GCLK1OB_0	H5	4	I0_BE6P_4
M1	3	I0_BE1N_3, GCLK1OB_1	J4	4	I0_BE6N_4
L1	3	I0_BE2P_3	J5	4	I0_BE7P_4
L3	3	I0_BE2N_3	K6	4	I0_BE7N_4
N2	3	I0_BE3P_3	J1	4	I0_BE8P_4, GCLK1OB_2
P1	3	I0_BE3N_3	J3	4	I0_BE8N_4, GCLK1OB_3
R1	3	I0_BE4P_3	B1	5	I0_BE1P_5
P2	3	I0_BE4N_3	C2	5	I0_BE1N_5
M3	3	I0_BE5P_3	C1	5	I0_BE2P_5
N1	3	I0_BE5N_3	D2	5	I0_BE2N_5
M2	3	I0_BE6P_3	D3	5	I0_BE3P_5
N3	3	I0_BE6N_3	D1	5	I0_BE3N_5
K4	3	I0_BE7P_3	E2	5	I0_BE4P_5, GPLLO1P_REF
L5	3	I0_BE7N_3	E3	5	I0_BE4N_5, GPLLO1N_REF
K5	3	I0_BE8P_3	G2	5	I0_BE5P_5
L4	3	I0_BE8N_3	G3	5	I0_BE5N_5
G1	4	I0_BE1P_4	F3	5	I0_BE6P_5
H2	4	I0_BE1N_4	F1	5	I0_BE6N_5
H3	4	I0_BE2P_4	G5	5	I0_BE7P_5
H1	4	I0_BE2N_4	G4	5	I0_BE7N_5
J2	4	I0_BE3P_4	E1	5	I0_BE8P_5, GCLK1OB_4
K1	4	I0_BE3N_4	F2	5	I0_BE8N_5, GCLK1OB_5
K3	4	I0_BE4P_4	F4	5	I0_BE9P_5
K2	4	I0_BE4N_4	G6	5	I0_BE9N_5
H4	4	I0_BE5P_4	F5	5	I0_BE10P_5
J6	4	I0_BE5N_4	H6	5	I0_BE10N_5



编号	BANK	CG256 引脚说明	编号	BANK	CG256 引脚说明
A1	-	VCCAUX	N13	-	GND
G7	-	VCCAUX	P3	-	GND
G10	-	VCCAUX	P14	-	GND
K7	-	VCCAUX	R2	-	GND
K10	-	VCCAUX	R15	-	GND
T1	-	VCCAUX	L11	-	GND
T16	-	VCCAUX	F6	-	GND_PLLAO
A16	-	VCCAUX	F11	-	GND_PLLA1
A2	-	NC	G8	0	VCC100
B2	-	GND	G9	0	VCC100
B15	-	GND	D5	0	VCC100
C3	-	GND	D12	0	VCC100
C14	-	GND	H10	1	VCC101
D4	-	GND	J10	1	VCC101
D13	-	GND	E13	1	VCC101
E5	-	GND	M13	1	VCC101
E12	-	GND	K8	2	VCC102
H8	-	GND	K9	2	VCC102
H9	-	GND	N5	2	VCC102
J8	-	GND	N12	2	VCC102
J9	-	GND	M4	3	VCC103
L6	-	GND	H7	4	VCC104
M5	-	GND	J7	4	VCC104
M12	-	GND	E4	5	VCC105
N4	-	GND			

注：

1. 此引脚不支持 Statehold 功能。
2. EF3L50CG256B 与 EF3L70CG256B 引脚兼容。



#### 4.4 CG324 引脚信息 (EF3L40)

编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
A3	0	IO_L1P_0	A9	0	IO_L18P_0, GCLKIOL_0
B4	0	IO_L1N_0	B9	0	IO_L18N_0, GCLKIOL_1
D5	0	IO_LE2P_0, GPLLO_OUTP	F9	0	IO_LE19P_0
B5	0	IO_LE2N_0, GPLLO_OUTP	F10	0	IO_LE19N_0
C3	0	IO_L3P_0	A11	0	IO_L20P_0
C4	0	IO_L3N_0	A12	0	IO_L20N_0
D4	0	IO_LE4P_0	E9	0	IO_LE21P_0, GCLKIOL_2
E5	0	IO_LE4N_0	D10	0	IO_LE21N_0, GCLKIOL_3
A2	0	IO_L5P_0	C10	0	IO_L22P_0
B3	0	IO_L5N_0	B11	0	IO_L22N_0
F7	0	IO_LE6P_0	E10	0	IO_LE23P_0
E6	0	IO_LE6N_0	E11	0	IO_LE23N_0
A4	0	IO_L7P_0	B12	0	IO_L24P_0
A5	0	IO_L7N_0	C11	0	IO_L24N_0
C5	0	IO_LE8P_0	D11	0	IO_LE25P_0, JTAGEN
D6	0	IO_LE8N_0	D12	0	IO_LE25N_0, PROGRAMN
B6	0	IO_L9P_0	A13	0	IO_L26P_0
A6	0	IO_L9N_0	A14	0	IO_L26N_0
C9	0	IO_LE10P_0	C12	0	IO_L27P_0
D9	0	IO_LE10N_0	B13	0	IO_L27N_0
A7	0	IO_L11P_0	E12	0	IO_LE28P_0
B7	0	IO_L11N_0	F12	0	IO_LE28N_0
D7	0	IO_LE12P_0, TDO	A15	0	IO_L29P_0
C6	0	IO_LE12N_0, TDI	A16	0	IO_L29N_0
B8	0	IO_L13P_0	D14	0	IO_LE30P_0
A8	0	IO_L13N_0	D15	0	IO_LE30N_0
E8	0	IO_LE14P_0	F11	0	IO_LE31P_0
F8	0	IO_LE14N_0	C13	0	IO_LE31N_0
D8	0	IO_LE15P_0	B16	0	IO_L32P_0
E7	0	IO_LE15N_0	A17	0	IO_L32N_0
C7	0	IO_LE16P_0, TCK	B14	0	IO_L33P_0
C8	0	IO_LE16N_0, TMS	B15	0	IO_L33N_0
A10	0	IO_L17P_0	D13	0	IO_LE34P_0, GPLL1_OUTP
B10	0	IO_L17N_0	E13	0	IO_LE34N_0, GPLL1_OUTN



编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
C14	0	IO_L35P_0	K18	1	IO_TE17P_1
C15	0	IO_L35N_0	L16	1	IO_TE17N_1
C16	0	IO_LE36P_0, INITN	H18	1	IO_TE18P_1, GCLKIOT_0
E14	0	IO_LE36N_0, DONE	K15	1	IO_TE18N_1, GCLKIOT_1
B18	1	IO_TE1P_1, GPLL1IP_FDB	K12	1	IO_TE19P_1
C17	1	IO_TE1N_1, GPLL1IN_FDB	K13	1	IO_TE19N_1
F14	1	IO_TE2P_1	K16	1	IO_TE20P_1, GCLKIOT_2
D16	1	IO_TE2N_1	K17	1	IO_TE20N_1, GCLKIOT_3
E15	1	IO_TE3P_1, GPLL1IP_REF	L18	1	IO_TE21P_1, CS0N, DOUT
C18	1	IO_TE3N_1, GPLL1IN_REF	M18	1	IO_TE21N_1
F15	1	IO_TE4P_1	K14	1	IO_TE22P_1, D6
D17	1	IO_TE4N_1	J18	1	IO_TE22N_1, D7
G13	1	IO_TE5P_1	M17	1	IO_TE23P_1
G14	1	IO_TE5N_1	N18	1	IO_TE23N_1
H14	1	IO_TE6P_1	L17	1	IO_TE24P_1, D4
F17	1	IO_TE6N_1	M16	1	IO_TE24N_1, D5
E17	1	IO_TE7P_1	M15	1	IO_TE25P_1
D18	1	IO_TE7N_1	P18	1	IO_TE25N_1, USRCLK
G15	1	IO_TE8P_1	L15	1	IO_TE26P_1, CSN
F16	1	IO_TE8N_1	L13	1	IO_TE26N_1
J14	1	IO_TE9P_1	P17	1	IO_TE27P_1, SCLK
J12	1	IO_TE9N_1	N15	1	IO_TE27N_1
E18	1	IO_TE10P_1	L14	1	IO_TE28P_1, D2
G17	1	IO_TE10N_1	N17	1	IO_TE28N_1, D3
E16	1	IO_TE11P_1	M14	1	IO_TE29P_1, D0
H13	1	IO_TE11N_1	N16	1	IO_TE29N_1, D1
G16	1	IO_TE12P_1	P16	1	IO_TE30P_1
H15	1	IO_TE12N_1	T18	1	IO_TE30N_1
H16	1	IO_TE13P_1	R18	1	IO_TE31P_1
F18	1	IO_TE13N_1	M13	1	IO_TE31N_1
J13	1	IO_TE14P_1	R17	1	IO_TE32P_1
G18	1	IO_TE14N_1	N14	1	IO_TE32N_1
J15	1	IO_TE15P_1	R16	1	IO_TE33P_1
H17	1	IO_TE15N_1	T17	1	IO_TE33N_1
J16	1	IO_TE16P_1	P15	1	IO_TE34P_1
J17	1	IO_TE16N_1	U18	1	IO_TE34N_1



编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
U16	2	I0_R1P_2	T8	2	I0_RE19P_2, GCLK10R_0
V17	2	I0_R1N_2	T9	2	I0_RE19N_2, GCLK10R_1
T15	2	I0_RE2P_2	V9	2	I0_R20P_2
T16	2	I0_RE2N_2	U10	2	I0_R20N_2
P13	2	I0_R3P_2	N9	2	I0_RE21P_2
P14	2	I0_R3N_2	N10	2	I0_RE21N_2
U15	2	I0_RE4P_2	R9	2	I0_R22P_2
V16	2	I0_RE4N_2	P9	2	I0_R22N_2
R13	2	I0_R5P_2	V7	2	I0_RE23P_2
R15	2	I0_R5N_2	U8	2	I0_RE23N_2
T14	2	I0_RE6P_2	V5	2	I0_RE24P_2
N12	2	I0_RE6N_2	V6	2	I0_RE24N_2
P12	2	I0_R7P_2	U7	2	I0_R25P_2
R14	2	I0_R7N_2	R8	2	I0_R25N_2
U13	2	I0_RE8P_2	V3	2	I0_RE26P_2
V14	2	I0_RE8N_2	V4	2	I0_RE26N_2
R12	2	I0_R9P_2	T7	2	I0_R27P_2
T13	2	I0_R9N_2	P8	2	I0_R27N_2
P11	2	I0_RE10P_2	T5	2	I0_RE28P_2
T12	2	I0_RE10N_2	U5	2	I0_RE28N_2
N11	2	I0_RE11P_2	T6	2	I0_R29P_2
R11	2	I0_RE11N_2	U6	2	I0_R29N_2
P10	2	I0_R12P_2	T3	2	I0_RE30P_2
T11	2	I0_R12N_2	U4	2	I0_RE30N_2
U14	2	I0_RE13P_2	N8	2	I0_R31P_2
V15	2	I0_RE13N_2	R7	2	I0_R31N_2
U12	2	I0_R14P_2	V2	2	I0_RE32P_2
V13	2	I0_R14N_2	U3	2	I0_RE32N_2
V11	2	I0_RE15P_2	P5	2	I0_R33P_2
V12	2	I0_RE15N_2	R6	2	I0_R33N_2
T10	2	I0_R16P_2	R5	2	I0_RE34P_2
R10	2	I0_R16N_2	T4	2	I0_RE34N_2
V10	2	I0_RE17P_2, GCLK10R_2	R4	2	I0_R35P_2
U11	2	I0_RE17N_2, GCLK10R_3	P6	2	I0_R35N_2
V8	2	I0_R18P_2	N7	2	I0_R36N_2
U9	2	I0_R18N_2	P7	2	I0_R36P_2



编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
M5	3	IO_BE1P_3	J4	4	IO_BE6P_4
N3	3	IO_BE1N_3	K3	4	IO_BE6N_4
P4	3	IO_BE2P_3	J2	4	IO_BE7P_4
R3	3	IO_BE2N_3	J5	4	IO_BE7N_4
R1	3	IO_BE3P_3	K2	4	IO_BE8P_4, GCLK1OB_2
P3	3	IO_BE3N_3	J6	4	IO_BE8N_4, GCLK1OB_3
N1	3	IO_BE4P_3	H6	5	IO_BE1P_5
N2	3	IO_BE4N_3	J1	5	IO_BE1N_5
M1	3	IO_BE5P_3	H2	5	IO_BE2P_5
L6	3	IO_BE5N_3	H1	5	IO_BE2N_5
P1	3	IO_BE6P_3, GCLK1OB_0	F1	5	IO_BE3P_5
M4	3	IO_BE6N_3, GCLK1OB_1	G6	5	IO_BE3N_5
M3	3	IO_BE7P_3	E2	5	IO_BE4P_5
L5	3	IO_BE7N_3	E1	5	IO_BE4N_5
N4	3	IO_BE8P_3	G2	5	IO_BE5P_5
T1	3	IO_BE8N_3	G1	5	IO_BE5N_5
R2	3	IO_BE9P_3	H3	5	IO_BE6P_5
U1	3	IO_BE9N_3	H4	5	IO_BE6N_5
T2	3	IO_BE10P_3	F2	5	IO_BE7P_5
N5	3	IO_BE10N_3	H5	5	IO_BE7N_5
P2	3	IO_BE11P_3	G4	5	IO_BE8P_5, GCLK1OB_4
M6	3	IO_BE11N_3	G3	5	IO_BE8N_5, GCLK1OB_5
L4	3	IO_BE12P_3	F3	5	IO_BE9P_5
M2	3	IO_BE12N_3	D1	5	IO_BE9N_5
K6	4	IO_BE1P_4	D2	5	IO_BE10P_5, GPLLO1P_REF
L3	4	IO_BE1N_4	G5	5	IO_BE10N_5, GPLLO1N_REF
K1	4	IO_BE2P_4	E3	5	IO_BE11P_5
L1	4	IO_BE2N_4	F5	5	IO_BE11N_5
K7	4	IO_BE3P_4	E4	5	IO_BE12P_5, GPLLO1P_FDB
K5	4	IO_BE3N_4	F4	5	IO_BE12N_5, GPLLO1N_FDB
K4	4	IO_BE4P_4	B1	5	IO_BE13P_5
L2	4	IO_BE4N_4	C2	5	IO_BE13N_5
J3	4	IO_BE5P_4	D3	5	IO_BE14P_5
J7	4	IO_BE5N_4	C1	5	IO_BE14N_5



编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
G12	-	VCCAUX	L7	3	VCCI03
H8	-	VCCAUX	M7	3	VCCI03
H9	-	VCCAUX	J8	4	VCCI04
H10	-	VCCAUX	K8	4	VCCI04
H11	-	VCCAUX	G7	5	VCCI05
L8	-	VCCAUX	H7	5	VCCI05
L9	-	VCCAUX	A1	-	GND
L10	-	VCCAUX	A18	-	GND
L11	-	VCCAUX	B2	-	GND
M12	-	VCCAUX	B17	-	GND
G8	0	VCC100	J9	-	GND
G9	0	VCC100	J10	-	GND
G10	0	VCC100	K9	-	GND
G11	0	VCC100	K10	-	GND
H12	1	VCCI01	N6	-	GND
J11	1	VCCI01	N13	-	GND
K11	1	VCCI01	U2	-	GND
L12	1	VCCI01	U17	-	GND
M8	2	VCCI02	V1	-	GND
M9	2	VCCI02	V18	-	GND
M10	2	VCCI02	F6	-	GND_PLL0
M11	2	VCCI02	F13	-	GND_PLL1



#### 4.5 CG324 引脚信息 (EF3L90)

编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
A3	0	IO_L1P_0	A9	0	IO_L18P_0, GCLK1OL_0
B4	0	IO_L1N_0	B9	0	IO_L18N_0, GCLK1OL_1
D5	0	IO_LE2P_0, GPLLO_OUTP	F9	0	IO_LE19P_0
B5	0	IO_LE2N_0, GPLLO_OUTN	F10	0	IO_LE19N_0
C3	0	IO_L3P_0	A11	0	IO_L20P_0
C4	0	IO_L3N_0	A12	0	IO_L20N_0
D4	0	IO_LE4P_0	E9	0	IO_LE21P_0, GCLK1OL_2
E5	0	IO_LE4N_0	D10	0	IO_LE21N_0, GCLK1OL_3
A2	0	IO_L5P_0	C10	0	IO_L22P_0
B3	0	IO_L5N_0	B11	0	IO_L22N_0
F7	0	IO_LE6P_0	E10	0	IO_LE23P_0
E6	0	IO_LE6N_0	E11	0	IO_LE23N_0
A4	0	IO_L7P_0	B12	0	IO_L24P_0
A5	0	IO_L7N_0	C11	0	IO_L24N_0
C5	0	IO_LE8P_0	D11	0	IO_LE25P_0, JTAGEN
D6	0	IO_LE8N_0	D12	0	IO_LE25N_0, PROGRAMN
B6	0	IO_L9P_0	A13	0	IO_L26P_0
A6	0	IO_L9N_0	A14	0	IO_L26N_0
C9	0	IO_LE10P_0	C12	0	IO_L27P_0
D9	0	IO_LE10N_0	B13	0	IO_L27N_0
A7	0	IO_L11P_0	E12	0	IO_LE28P_0
B7	0	IO_L11N_0	F12	0	IO_LE28N_0
D7	0	IO_LE12P_0, TDO	A15	0	IO_L29P_0
C6	0	IO_LE12N_0, TDI	A16	0	IO_L29N_0
B8	0	IO_L13P_0	D14	0	IO_LE30P_0
A8	0	IO_L13N_0	D15	0	IO_LE30N_0
E8	0	IO_LE14P_0	F11	0	IO_LE31P_0
F8	0	IO_LE14N_0	C13	0	IO_LE31N_0
D8	0	IO_LE15P_0	B16	0	IO_L32P_0
E7	0	IO_LE15N_0	A17	0	IO_L32N_0
C7	0	IO_LE16P_0, TCK	B14	0	IO_L33P_0
C8	0	IO_LE16N_0, TMS	B15	0	IO_L33N_0
A10	0	IO_L17P_0	D13	0	IO_LE34P_0, GPLL1_OUTP
B10	0	IO_L17N_0	E13	0	IO_LE34N_0, GPLL1_OUTN



编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
C14	0	IO_L35P_0	H18	1	IO_TE17P_1, GCLKIOT_0
C15	0	IO_L35N_0	K15	1	IO_TE17N_1, GCLKIOT_1
C16	0	IO_LE36P_0, INITN	J16	1	IO_TE18P_1
E14	0	IO_LE36N_0, DONE	J17	1	IO_TE18N_1
B18	1	IO_TE1P_1	K12	1	IO_TE19P_1
C17	1	IO_TE1N_1	K13	1	IO_TE19N_1
F14	1	IO_TE2P_1	K16	1	IO_TE20P_1, GCLKIOT_2
D16	1	IO_TE2N_1	K17	1	IO_TE20N_1, GCLKIOT_3
E15	1	IO_TE3P_1	L18	1	IO_TE21P_1, CS0N, DOUT
C18	1	IO_TE3N_1	M18	1	IO_TE21N_1
F15	1	IO_TE4P_1	K14	1	IO_TE22P_1, D6
D17	1	IO_TE4N_1	J18	1	IO_TE22N_1, D7
G13	1	IO_TE5P_1	M17	1	IO_TE23P_1
G14	1	IO_TE5N_1	N18	1	IO_TE23N_1
H14	1	IO_TE6P_1	L17	1	IO_TE24P_1, D4
F17	1	IO_TE6N_1	M16	1	IO_TE24N_1, D5
E17	1	IO_TE7P_1	M15	1	IO_TE25P_1
D18	1	IO_TE7N_1	P18	1	IO_TE25N_1, USRCLK
G15	1	IO_TE8P_1	L14	1	IO_TE26P_1, D2
F16	1	IO_TE8N_1	N17	1	IO_TE26N_1, D3
E16	1	IO_TE9P_1	L15	1	IO_TE27P_1, CSN
H13	1	IO_TE9N_1	L13	1	IO_TE27N_1
G16	1	IO_TE10P_1	P17	1	IO_TE28P_1, SCLK
H15	1	IO_TE10N_1	N15	1	IO_TE28N_1
J14	1	IO_TE11P_1	M14	1	IO_TE29P_1, D0
J12	1	IO_TE11N_1	N16	1	IO_TE29N_1, D1
E18	1	IO_TE12P_1	P16	1	IO_TE30P_1
G17	1	IO_TE12N_1	T18	1	IO_TE30N_1
H16	1	IO_TE13P_1	R18	1	IO_TE31P_1
F18	1	IO_TE13N_1	M13	1	IO_TE31N_1
J13	1	IO_TE14P_1	R17	1	IO_TE32P_1
G18	1	IO_TE14N_1	N14	1	IO_TE32N_1
J15	1	IO_TE15P_1	R16	1	IO_TE33P_1
H17	1	IO_TE15N_1	T17	1	IO_TE33N_1
K18	1	IO_TE16P_1	P15	1	IO_TE34P_1
L16	1	IO_TE16N_1	U18	1	IO_TE34N_1



编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
P7	2	I0_RE1P_2	T8	2	I0_RE19P_2, GCLKIOR_0
N7	2	I0_RE1N_2	T9	2	I0_RE19N_2, GCLKIOR_1
R4	2	I0_R2P_2	T10	2	I0_R20P_2
P6	2	I0_R2N_2	R10	2	I0_R20N_2
P5	2	I0_R3P_2	V10	2	I0_RE21P_2, GCLKIOR_2
R6	2	I0_R3N_2	U11	2	I0_RE21N_2, GCLKIOR_3
R5	2	I0_RE4P_2	U12	2	I0_R22P_2
T4	2	I0_RE4N_2	V13	2	I0_R22N_2
N8	2	I0_R5P_2	V11	2	I0_RE23P_2
R7	2	I0_R5N_2	V12	2	I0_RE23N_2
V2	2	I0_RE6P_2	P10	2	I0_R24P_2
U3	2	I0_RE6N_2	T11	2	I0_R24N_2
T6	2	I0_R7P_2	U14	2	I0_RE25P_2
U6	2	I0_R7N_2	V15	2	I0_RE25N_2
T3	2	I0_RE8P_2	N11	2	I0_RE26P_2
U4	2	I0_RE8N_2	R11	2	I0_RE26N_2
T7	2	I0_R9P_2	R12	2	I0_R27P_2
P8	2	I0_R9N_2	T13	2	I0_R27N_2
T5	2	I0_RE10P_2	P11	2	I0_RE28P_2
U5	2	I0_RE10N_2	T12	2	I0_RE28N_2
U7	2	I0_R11P_2	P12	2	I0_R29P_2
R8	2	I0_R11N_2	R14	2	I0_R29N_2
V3	2	I0_RE12P_2	U13	2	I0_RE30P_2
V4	2	I0_RE12N_2	V14	2	I0_RE30N_2
V5	2	I0_RE13P_2	R13	2	I0_R31P_2
V6	2	I0_RE13N_2	R15	2	I0_R31N_2
R9	2	I0_R14P_2	T14	2	I0_RE32P_2
P9	2	I0_R14N_2	N12	2	I0_RE32N_2
V7	2	I0_RE15P_2	P13	2	I0_R33P_2
U8	2	I0_RE15N_2	P14	2	I0_R33N_2
V9	2	I0_R16P_2	U15	2	I0_RE34P_2
U10	2	I0_R16N_2	V16	2	I0_RE34N_2
N9	2	I0_RE17P_2	U16	2	I0_R35P_2
N10	2	I0_RE17N_2	V17	2	I0_R35N_2
V8	2	I0_R18P_2	T15	2	I0_RE36P_2
U9	2	I0_R18N_2	T16	2	I0_RE36N_2



编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
P2	3	I0_BE1P_3	K4	4	I0_BE6P_4
M6	3	I0_BE1N_3	L2	4	I0_BE6N_4
L4	3	I0_BE2P_3	K1	4	I0_BE7P_4
M2	3	I0_BE2N_3	L1	4	I0_BE7N_4
M3	3	I0_BE3P_3	K6	4	I0_BE8P_4
L5	3	I0_BE3N_3	L3	4	I0_BE8N_4
N4	3	I0_BE4P_3	B1	5	I0_BE1P_5
T1	3	I0_BE4N_3	C2	5	I0_BE1N_5
R2	3	I0_BE5P_3	D3	5	I0_BE2P_5
U1	3	I0_BE5N_3	C1	5	I0_BE2N_5
T2	3	I0_BE6P_3	E3	5	I0_BE3P_5
N5	3	I0_BE6N_3	F5	5	I0_BE3N_5
M1	3	I0_BE7P_3	E4	5	I0_BE4P_5
L6	3	I0_BE7N_3	F4	5	I0_BE4N_5
P1	3	I0_BE8P_3, GCLK1OB_0	F3	5	I0_BE5P_5
M4	3	I0_BE8N_3, GCLK1OB_1	D1	5	I0_BE5N_5
R1	3	I0_BE9P_3	D2	5	I0_BE6P_5
P3	3	I0_BE9N_3	G5	5	I0_BE6N_5
N1	3	I0_BE10P_3	F2	5	I0_BE7P_5
N2	3	I0_BE10N_3	H5	5	I0_BE7N_5
M5	3	I0_BE11P_3	G4	5	I0_BE8P_5, GCLK1OB_4
N3	3	I0_BE11N_3	G3	5	I0_BE8N_5, GCLK1OB_5
P4	3	I0_BE12P_3	E2	5	I0_BE9P_5
R3	3	I0_BE12N_3	E1	5	I0_BE9N_5
J3	4	I0_BE1P_4	G2	5	I0_BE10P_5
J7	4	I0_BE1N_4	G1	5	I0_BE10N_5
J4	4	I0_BE2P_4	H3	5	I0_BE11P_5
K3	4	I0_BE2N_4	H4	5	I0_BE11N_5
J2	4	I0_BE3P_4	H2	5	I0_BE12P_5
J5	4	I0_BE3N_4	H1	5	I0_BE12N_5
K2	4	I0_BE4P_4, GCLK1OB_2	F1	5	I0_BE13P_5
J6	4	I0_BE4N_4, GCLK1OB_3	G6	5	I0_BE13N_5
K7	4	I0_BE5P_4	H6	5	I0_BE14P_5
K5	4	I0_BE5N_4	J1	5	I0_BE14N_5



编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
G12	-	VCCAUX	L7	3	VCCIO_3
H10	-	VCCAUX	M7	3	VCCIO_3
H11	-	VCCAUX	J8	4	VCCIO_4
H8	-	VCCAUX	K8	4	VCCIO_4
H9	-	VCCAUX	G7	5	VCCIO_5
L10	-	VCCAUX	H7	5	VCCIO_5
L11	-	VCCAUX	A1	-	GND
L8	-	VCCAUX	A18	-	GND
L9	-	VCCAUX	B17	-	GND
M12	-	VCCAUX	B2	-	GND
G10	0	VCCIO_0	J10	-	GND
G11	0	VCCIO_0	J9	-	GND
G8	0	VCCIO_0	K10	-	GND
G9	0	VCCIO_0	K9	-	GND
H12	1	VCCIO_1	N13	-	GND
J11	1	VCCIO_1	N6	-	GND
K11	1	VCCIO_1	U17	-	GND
L12	1	VCCIO_1	U2	-	GND
M10	2	VCCIO_2	V1	-	GND
M11	2	VCCIO_2	V18	-	GND
M8	2	VCCIO_2	F13	-	GND_PLLA1
M9	2	VCCIO_2	F6	-	GND_PLLA0



## 4.6 CG324 引脚信息 (EF3L70)

编号	BANK	CG324 引脚说明	编号	BANK	CG324 引脚说明
A2	0	IO_L1P_0, GPLLO_OUTP2	B9	0	IO_L16N_0, GCLKIOL_1
B3	0	IO_L1N_0, GPLLO_OUTN2	E9	0	IO_L17P_0, SCL, GCLKIOL_2
D4	0	IO_LE2P_0	D10	0	IO_L17N_0, SDA, GCLKIOL_3
E5	0	IO_LE2N_0	A10	0	IO_L18P_0
C3	0	IO_L3P_0	B10	0	IO_L18N_0
C4	0	IO_L3N_0	C10	0	IO_L19P_0
F7	0	IO_LE4P_0	B11	0	IO_L19N_0
E6	0	IO_LE4N_0	C9	0	IO_LE20P_0
A3	0	IO_L5P_0, GPLLO_OUTP1	D9	0	IO_LE20N_0, USRCLK
B4	0	IO_L5N_0, GPLLO_OUTN1	B12	0	IO_L21P_0
D5	0	IO_LE6P_0	C11	0	IO_L21N_0
B5	0	IO_LE6N_0	F9	0	IO_LE22P_0
A4	0	IO_L7P_0	F10	0	IO_LE22N_0, CS0N, DOUT
A5	0	IO_L7N_0	A11	0	IO_L23P_0
C5	0	IO_L8P_0	A12	0	IO_L23N_0
D6	0	IO_L8N_0	E10	0	IO_LE24P_0
B6	0	IO_L9P_0	E11	0	IO_LE24N_0
A6	0	IO_L9N_0	C12	0	IO_L25P_0
D7	0	IO_LE10P_0, TDO	B13	0	IO_L25N_0
C6	0	IO_LE10N_0, TDI	D11	0	IO_LE26P_0, JTGEN
A7	0	IO_L11P_0	D12	0	IO_LE26N_0, PROGRAMN
B7	0	IO_L11N_0	A13	0	IO_L27P_0
E8	0	IO_LE12P_0	A14	0	IO_L27N_0
F8	0	IO_LE12N_0	F11	0	IO_L28P_0
D8	0	IO_L13P_0	C13	0	IO_L28N_0
E7	0	IO_L13N_0	B14	0	IO_L29P_0
B8	0	IO_L14P_0	B15	0	IO_L29N_0
A8	0	IO_L14N_0	E12	0	IO_LE30P_0
C7	0	IO_LE15P_0, TCK	F12	0	IO_LE30N_0
C8	0	IO_LE15N_0, TMS	C14	0	IO_L31P_0, GPLL1_OUTP2
A9	0	IO_L16P_0, GCLKIOL_0	C15	0	IO_L31N_0, GPLL1_OUTN2



编号	类型	CG324 引脚说明	编号	类型	CG324 引脚说明
D13	0	I0_LE32P_0	J15	1	I0_TE13P_1
E13	0	I0_LE32N_0	H17	1	I0_TE13N_1
A15	0	I0_L33P_0, GPLL1_OUTP1	J13	1	I0_TE14P_1
A16	0	I0_L33N_0, GPLL1_OUTN1	G18	1	I0_TE14N_1
D14	0	I0_LE34P_0	J14	1	I0_TE15P_1
D15	0	I0_LE34N_0	J12	1	I0_TE15N_1
B16	0	I0_L35P_0	J16	1	I0_TE16P_1
A17	0	I0_L35N_0	J17	1	I0_TE16N_1
C16	0	I0_LE36P_0, INITN	H18	1	I0_TE17P_1, GCLKIOT_0
E14	0	I0_LE36N_0, DONE	K15	1	I0_TE17N_1, GCLKIOT_1
F14	1	I0_TE1P_1	K14	1	I0_TE18P_1, GCLKIOT_2
D16	1	I0_TE1N_1	J18	1	I0_TE18N_1, GCLKIOT_3
B18	1	I0_TE2P_1, GPLL1IP_FDB	K12	1	I0_TE19P_1
C17	1	I0_TE2N_1, GPLL1IN_FDB	K13	1	I0_TE19N_1
G13	1	I0_TE3P_1	K16	1	I0_TE20P_1
G14	1	I0_TE3N_1	K17	1	I0_TE20N_1
E15	1	I0_TE4P_1, GPLL1IP_REF	L15	1	I0_TE21P_1
C18	1	I0_TE4N_1, GPLL1IN_REF	L13	1	I0_TE21N_1
E16	1	I0_TE5P_1	K18	1	I0_TE22P_1
H13	1	I0_TE5N_1	L16	1	I0_TE22N_1
F15	1	I0_TE6P_1	L18	1	I0_TE23P_1
D17	1	I0_TE6N_1	M18	1	I0_TE23N_1
E17	1	I0_TE7P_1	L17	1	I0_TE24P_1
D18	1	I0_TE7N_1	M16	1	I0_TE24N_1
G15	1	I0_TE8P_1	L14	1	I0_TE25P_1
F16	1	I0_TE8N_1	N17	1	I0_TE25N_1
H14	1	I0_TE9P_1	M17	1	I0_TE26P_1, D0
F17	1	I0_TE9N_1	N18	1	I0_TE26N_1, D1
G16	1	I0_TE10P_1	M14	1	I0_TE27P_1
H15	1	I0_TE10N_1	N16	1	I0_TE27N_1
H16	1	I0_TE11P_1	M15	1	I0_TE28P_1, D2
F18	1	I0_TE11N_1	P18	1	I0_TE28N_1, D3
E18	1	I0_TE12P_1	R18	1	I0_TE29P_1
G17	1	I0_TE12N_1	M13	1	I0_TE29N_1



编号	类型	CG324 引脚说明	编号	类型	CG324 引脚说明
P17	1	I0_TE30P_1	V6	2	I0_RE12N_2
N15	1	I0_TE30N_1	U7	2	I0_R13P_2
R17	1	I0_TE31P_1, D4	R8	2	I0_R13N_2
N14	1	I0_TE31N_1, D5	V7	2	I0_RE14P_2
P16	1	I0_TE32P_1, D6	U8	2	I0_RE14N_2
T18	1	I0_TE32N_1, D7	R9	2	I0_R15P_2
R16	1	I0_TE33P_1	P9	2	I0_R15N_2
T17	1	I0_TE33N_1	T8	2	I0_RE16P_2, GCLKIOR_0
P15	1	I0_TE34P_1	T9	2	I0_RE16N_2, GCLKIOR_1
U18	1	I0_TE34N_1	P10	2	I0_R17P_2
R4	2	I0_R1P_2	T11	2	I0_R17N_2
P6	2	I0_R1N_2	V10	2	I0_RE18P_2, GCLKIOR_2
V2	2	I0_RE2P_2	U11	2	I0_RE18N_2, GCLKIOR_3
U3	2	I0_RE2N_2	N9	2	I0_R19P_2
P5	2	I0_R3P_2	N10	2	I0_R19N_2
R6	2	I0_R3N_2	V8	2	I0_RE20P_2
T3	2	I0_RE4P_2	U9	2	I0_RE20N_2
U4	2	I0_RE4N_2	T10	2	I0_R21P_2
R5	2	I0_R5P_2	R10	2	I0_R21N_2
T4	2	I0_R5N_2	V9	2	I0_RE22P_2
V3	2	I0_RE6P_2	U10	2	I0_RE22N_2
V4	2	I0_RE6N_2	N11	2	I0_R23P_2
N7	2	I0_R7P_2	R11	2	I0_R23N_2
P7	2	I0_R7N_2	V11	2	I0_RE24P_2
T5	2	I0_RE8P_2	V12	2	I0_RE24N_2
U5	2	I0_RE8N_2	U12	2	I0_R25P_2
N8	2	I0_RE9P_2	V13	2	I0_R25N_2
R7	2	I0_RE9N_2	P11	2	I0_RE26P_2
T6	2	I0_R10P_2, SCLK	T12	2	I0_RE26N_2
U6	2	I0_R10N_2, SO	R12	2	I0_R27P_2
T7	2	I0_R11P_2	T13	2	I0_R27N_2
P8	2	I0_R11N_2	U13	2	I0_RE28P_2
V5	2	I0_RE12P_2	V14	2	I0_RE28N_2



编号	类型	CG324 引脚说明	编号	类型	CG324 引脚说明
U14	2	I0_R29P_2	N4	3	I0_BE10P_3
V15	2	I0_R29N_2	T1	3	I0_BE10N_3
T14	2	I0_RE30P_2	P4	3	I0_BE11P_3
N12	2	I0_RE30N_2	R3	3	I0_BE11N_3
P12	2	I0_R31P_2	T2	3	I0_BE12P_3
R14	2	I0_R31N_2	N5	3	I0_BE12N_3
U15	2	I0_RE32P_2	J3	4	I0_BE1P_4
V16	2	I0_RE32N_2	J7	4	I0_BE1N_4
R13	2	I0_R33P_2	J2	4	I0_BE2P_4
R15	2	I0_R33N_2	J5	4	I0_BE2N_4
T15	2	I0_RE34P_2	J4	4	I0_BE3P_4
T16	2	I0_RE34N_2	K3	4	I0_BE3N_4
P13	2	I0_R35P_2	K7	4	I0_BE4P_4
P14	2	I0_R35N_2	K5	4	I0_BE4N_4
U16	2	I0_RE36P_2, CSN	K1	4	I0_BE5P_4
V17	2	I0_RE36N_2, SI	L1	4	I0_BE5N_4
M1	3	I0_BE1P_3	K2	4	I0_BE6P_4, GCLK1OB_2
L6	3	I0_BE1N_3	J6	4	I0_BE6N_4, GCLK1OB_3
L4	3	I0_BE2P_3	K6	4	I0_BE7P_4
M2	3	I0_BE2N_3	L3	4	I0_BE7N_4,
M3	3	I0_BE3P_3	K4	4	I0_BE8P_4
L5	3	I0_BE3N_3	L2	4	I0_BE8N_4
N1	3	I0_BE4P_3	D3	5	I0_BE1P_5
N2	3	I0_BE4N_3	C1	5	I0_BE1N_5
M5	3	I0_BE5P_3	B1	5	I0_BE2P_5
N3	3	I0_BE5N_3	C2	5	I0_BE2N_5
P1	3	I0_BE6P_3, GCLK1OB_0	E3	5	I0_BE3P_5
M4	3	I0_BE6N_3, GCLK1OB_1	F5	5	I0_BE3N_5
P2	3	I0_BE7P_3	E4	5	I0_BE4P_5, GPLLO1P_FDB
M6	3	I0_BE7N_3	F4	5	I0_BE4N_5, GPLLO1N_FDB
R1	3	I0_BE8P_3	F3	5	I0_BE5P_5
P3	3	I0_BE8N_3	D1	5	I0_BE5N_5
R2	3	I0_BE9P_3	D2	5	I0_BE6P_5, GPLLO1P_REF
U1	3	I0_BE9N_3	G5	5	I0_BE6N_5, GPLLO1N_REF



编号	类型	CG324 引脚说明	编号	类型	CG324 引脚说明
F2	5	I0_BE7P_5	J8	4	VCCI04_1
H5	5	I0_BE7N_5	K8	4	VCCI04_2
E2	5	I0_BE8P_5	G7	5	VCCI05_1
E1	5	I0_BE8N_5	H7	5	VCCI05_2
F1	5	I0_BE9P_5	M12	-	VCCAUX_1
G6	5	I0_BE9N_5	L11	-	VCCAUX_2
G4	5	I0_BE10P_5, GCLK10B_4	L10	-	VCCAUX_3
G3	5	I0_BE10N_5, GCLK10B_5	L9	-	VCCAUX_4
H3	5	I0_BE11P_5	L8	-	VCCAUX_5
H4	5	I0_BE11N_5	H11	-	VCCAUX_6
G2	5	I0_BE12P_5	H10	-	VCCAUX_7
G1	5	I0_BE12N_5	H9	-	VCCAUX_8
H6	5	I0_BE13P_5	H8	-	VCCAUX_9
J1	5	I0_BE13N_5	G12	-	VCCAUX_10
H2	5	I0_BE14P_5	A1	-	GND_1
H1	5	I0_BE14N_5	A18	-	GND_2
G8	0	VCCI00_1	B2	-	GND_3
G9	0	VCCI00_2	B17	-	GND_4
G10	0	VCCI00_3	J9	-	GND_5
G11	0	VCCI00_4	J10	-	GND_6
H12	1	VCCI01_1	K9	-	GND_7
J11	1	VCCI01_2	K10	-	GND_8
K11	1	VCCI01_3	N6	-	GND_9
L12	1	VCCI01_4	N13	-	GND_10
M8	2	VCCI02_1	U2	-	GND_11
M9	2	VCCI02_2	U17	-	GND_12
M10	2	VCCI02_3	V1	-	GND_13
M11	2	VCCI02_4	V18	-	GND_14
L7	3	VCCI03_1	F6	-	GND_PLLA0
M7	3	VCCI03_2	F13	-	GND_PLLA1



## 4.7 CG332 引脚信息

编号	BANK	CG332 引脚说明	编号	BANK	CG332 引脚说明
C4	0	IO_L1P_0	D10	0	IO_LE18P_0
B4	0	IO_L1N_0	D11	0	IO_LE18N_0
A2	0	IO_LE2P_0, GPLLO_OUTP	A11	0	IO_L19P_0
B2	0	IO_LE2N_0, GPLLO_OUTN	B11	0	IO_L19N_0
A4	0	IO_L3P_0	C11	0	IO_LE20P_0, GCLK10L_2_0
C5	0	IO_L3N_0	A12	0	IO_LE20N_0, GCLK10L_3_0
A3	0	IO_LE4P_0	B12	0	IO_L21P_0
B3	0	IO_LE4N_0	C12	0	IO_L21N_0
E7	0	IO_L5P_0	A13	0	IO_LE22P_0
D6	0	IO_L5N_0	B13	0	IO_LE22N_0
E6	0	IO_LE6P_0	D12	0	IO_L23P_0
D5	0	IO_LE6N_0	D13	0	IO_L23N_0
B5	0	IO_L7P_0	C13	0	IO_LE24P_0, JTAGEN
A5	0	IO_L7N_0	A14	0	IO_LE24N_0, PROGRAMN
B6	0	IO_LE8P_0	B14	0	IO_L25P_0
A6	0	IO_LE8N_0	C14	0	IO_L25N_0
C6	0	IO_L9P_0	A15	0	IO_L26P_0
D7	0	IO_L9N_0	B15	0	IO_L26N_0
A7	0	IO_L10P_0	C15	0	IO_LE27P_0
B8	0	IO_L10N_0	A16	0	IO_LE27N_0
C7	0	IO_LE11P_0, TDO	E12	0	IO_L28P_0
B7	0	IO_LE11N_0, TDI	D14	0	IO_L28N_0
D8	0	IO_L12P_0	E13	0	IO_LE29P_0
E9	0	IO_L12N_0	D15	0	IO_LE29N_0
E8	0	IO_LE13P_0	E14	0	IO_LE30P_0
C8	0	IO_LE13N_0	E15	0	IO_LE30N_0
D9	0	IO_LE14P_0	B16	0	IO_L31P_0
E10	0	IO_LE14N_0	C16	0	IO_L31N_0
A8	0	IO_LE15P_0, TCK	D17	0	IO_L32P_0
C9	0	IO_LE15N_0, TMS	D16	0	IO_L32N_0
C10	0	IO_L16P_0	A19	0	IO_LE33P_0, GPLL1_OUTP
B10	0	IO_L16N_0	B18	0	IO_LE33N_0, GPLL1_OUTN
B9	0	IO_L17P_0, GCLK10L_0_0	A18	0	IO_L34P_0
A9	0	IO_L17N_0, GCLK10L_1_0	C17	0	IO_L34N_0



编号	BANK	CG332 引脚说明	编号	BANK	CG332 引脚说明
A17	0	IO_LE35P_0, INITN	L20	1	IO_TE18P_1
B17	0	IO_LE35N_0, DONE	L19	1	IO_TE18N_1
D18	1	IO_TE1P_1, GPLL1IP_FDB	J19	1	IO_TE19P_1, GCLKIOT_2_1
D19	1	IO_TE1N_1, GPLL1IN_FDB	J20	1	IO_TE19N_1, GCLKIOT_3_1
E17	1	IO_TE2P_1	L18	1	IO_TE20P_1, CS0N, DOUT
F16	1	IO_TE2N_1	M20	1	IO_TE20N_1
D20	1	IO_TE3P_1, GPLL1IP_REF	M19	1	IO_TE21P_1, D6
E18	1	IO_TE3N_1, GPLL1IN_REF	M18	1	IO_TE21N_1, D7
F17	1	IO_TE4P_1	N18	1	IO_TE22P_1
G16	1	IO_TE4N_1	P20	1	IO_TE22N_1
F18	1	IO_TE5P_1	N20	1	IO_TE23P_1, D4
F19	1	IO_TE5N_1	N19	1	IO_TE23N_1, D5
G17	1	IO_TE6P_1	M17	1	IO_TE24P_1
H16	1	IO_TE6N_1	N17	1	IO_TE24N_1, USRCLK
B20	1	IO_TE7P_1	W20	1	IO_TE25P_1, CSN
B19	1	IO_TE7N_1	V19	1	IO_TE25N_1
E19	1	IO_TE8P_1	M16	1	IO_TE26P_1, SCLK
E20	1	IO_TE8N_1	P17	1	IO_TE26N_1
H17	1	IO_TE9P_1	P19	1	IO_TE27P_1, D2
J16	1	IO_TE9N_1	P18	1	IO_TE27N_1, D3
F20	1	IO_TE10P_1	P16	1	IO_TE28P_1, D0
G18	1	IO_TE10N_1	R16	1	IO_TE28N_1, D1
H18	1	IO_TE11P_1	R20	1	IO_TE29P_1
H19	1	IO_TE11N_1	R19	1	IO_TE29N_1
J17	1	IO_TE12P_1	U17	1	IO_TE30P_1
K16	1	IO_TE12N_1	T17	1	IO_TE30N_1
G19	1	IO_TE13P_1	N16	1	IO_TE31P_1
G20	1	IO_TE13N_1	R17	1	IO_TE31N_1
H20	1	IO_TE14P_1	U20	1	IO_TE32P_1
J18	1	IO_TE14N_1	U19	1	IO_TE32N_1
C20	1	IO_TE15P_1	R18	1	IO_TE33P_1
C19	1	IO_TE15N_1	T20	1	IO_TE33N_1
K18	1	IO_TE16P_1	V20	1	IO_TE34P_1
K19	1	IO_TE16N_1	U18	1	IO_TE34N_1
K17	1	IO_TE17P_1, GCLKIOT_0_1	T19	1	IO_TE35P_1
L17	1	IO_TE17N_1, GCLKIOT_1_1	T18	1	IO_TE35N_1



编号	BANK	CG332 引脚说明	编号	BANK	CG332 引脚说明
U16	2	IO_R1P_2	W9	2	IO_RE18N_2, GCLKIOR_1_2
T15	2	IO_R1N_2	U10	2	IO_R19P_2
U15	2	IO_RE2P_2	U11	2	IO_R19N_2
T14	2	IO_RE2N_2	W10	2	IO_RE20P_2
W17	2	IO_R3P_2	Y10	2	IO_RE20N_2
V17	2	IO_R3N_2	Y9	2	IO_R21P_2
U14	2	IO_RE4P_2	V10	2	IO_R21N_2
V15	2	IO_RE4N_2	W8	2	IO_RE22P_2
V13	2	IO_R5P_2	Y8	2	IO_RE22N_2
T13	2	IO_R5N_2	Y7	2	IO_RE23P_2
W18	2	IO_RE6P_2	V8	2	IO_RE23N_2
Y18	2	IO_RE6N_2	U8	2	IO_R24P_2
T12	2	IO_R7P_2	U9	2	IO_R24N_2
U13	2	IO_R7N_2	U7	2	IO_RE25P_2
V16	2	IO_RE8P_2	T9	2	IO_RE25N_2
Y17	2	IO_RE8N_2	V7	2	IO_R26P_2
W14	2	IO_RE9P_2	W7	2	IO_R26N_2
V14	2	IO_RE9N_2	Y5	2	IO_RE27P_2
Y16	2	IO_RE10P_2	V6	2	IO_RE27N_2
W16	2	IO_RE10N_2	W6	2	IO_R28P_2
W13	2	IO_R11P_2	Y6	2	IO_R28N_2
Y14	2	IO_R11N_2	V5	2	IO_RE29P_2
W19	2	IO_RE12P_2	W5	2	IO_RE29N_2
Y19	2	IO_RE12N_2	T6	2	IO_R30P_2
Y15	2	IO_R13P_2	U5	2	IO_R30N_2
W15	2	IO_R13N_2	W4	2	IO_RE31P_2
T11	2	IO_RE14P_2	Y4	2	IO_RE31N_2
U12	2	IO_RE14N_2	U4	2	IO_R32P_2
V12	2	IO_R15P_2	T7	2	IO_R32N_2
Y13	2	IO_R15N_2	V4	2	IO_RE33P_2
Y12	2	IO_RE16P_2, GCLKIOR_2_2	Y3	2	IO_RE33N_2
W12	2	IO_RE16N_2, GCLKIOR_3_2	W3	2	IO_R34P_2
W11	2	IO_R17P_2	Y2	2	IO_R34N_2
V11	2	IO_R17N_2	U6	2	IO_RE35P_2
V9	2	IO_RE18P_2, GCLKIOR_0_2	T8	2	IO_RE35N_2



编号	BANK	CG332 引脚说明	编号	BANK	CG332 引脚说明
W2	3	I0_BE1P_3	L4	4	I0_BE6N_4
W1	3	I0_BE1N_3	J1	4	I0_BE7P_4
U2	3	I0_BE2P_3	K3	4	I0_BE7N_4
U3	3	I0_BE2N_3	M1	4	I0_BE8P_4, GCLK10B_2_4
V2	3	I0_BE3P_3	M2	4	I0_BE8N_4, GCLK10B_3_4
V1	3	I0_BE3N_3	J3	5	I0_BE1P_5
P5	3	I0_BE4P_3	J2	5	I0_BE1N_5
R4	3	I0_BE4N_3	G1	5	I0_BE2P_5
R5	3	I0_BE5P_3	H3	5	I0_BE2N_5
T4	3	I0_BE5N_3	H2	5	I0_BE3P_5
R2	3	I0_BE6P_3, GCLK10B_0_3	H1	5	I0_BE3N_5
R3	3	I0_BE6N_3, GCLK10B_1_3	F2	5	I0_BE4P_5
T3	3	I0_BE7P_3	F1	5	I0_BE4N_5
U1	3	I0_BE7N_3	H4	5	I0_BE5P_5
T1	3	I0_BE8P_3	J4	5	I0_BE5N_5
T2	3	I0_BE8N_3	F5	5	I0_BE6P_5
P3	3	I0_BE9P_3	G5	5	I0_BE6N_5
R1	3	I0_BE9N_3	G4	5	I0_BE7P_5
N5	3	I0_BE10P_3	J5	5	I0_BE7N_5
P4	3	I0_BE10N_3	F4	5	I0_BE8P_5
P1	3	I0_BE11P_3	H5	5	I0_BE8N_5
P2	3	I0_BE11N_3	G3	5	I0_BE9P_5, GCLK10B_4_5
M5	3	I0_BE12P_3	G2	5	I0_BE9N_5, GCLK10B_5_5
N4	3	I0_BE12N_3	D2	5	I0_BE10P_5
N2	4	I0_BE1P_4	D1	5	I0_BE10N_5
N3	4	I0_BE1N_4	E1	5	I0_BE11P_5, GPLL01P_REF
L1	4	I0_BE2P_4	F3	5	I0_BE11N_5, GPLL01N_REF
M4	4	I0_BE2N_4	E4	5	I0_BE12P_5
M3	4	I0_BE3P_4	D4	5	I0_BE12N_5
N1	4	I0_BE3N_4	E3	5	I0_BE13P_5, GPLL01P_FDB
L2	4	I0_BE4P_4	E2	5	I0_BE13N_5, GPLL01N_FDB
L3	4	I0_BE4N_4	D3	5	I0_BE14P_5
K2	4	I0_BE5P_4	C1	5	I0_BE14N_5
K1	4	I0_BE5N_4	C2	5	I0_BE15P_5
K4	4	I0_BE6P_4	B1	5	I0_BE15N_5



编号	BANK	CG332 引脚说明	编号	BANK	CG332 引脚说明
J10	-	VCCAUX	Y11	-	GND
J11	-	VCCAUX	Y20	-	GND
L12	-	VCCAUX	M9	-	GND
L9	-	VCCAUX	L16	-	GND
M11	-	VCCAUX	N8	-	GND
M10	-	VCCAUX	M12	-	GND
K9	-	VCCAUX	T10	-	GND
K12	-	VCCAUX	N13	-	GND
H11	0	VCC100	V18	-	GND
H9	0	VCC100	V3	-	GND
H12	0	VCC100	A1	-	GND
H10	0	VCC100	A10	-	GND
M13	1	VCCI01	A20	-	GND
L13	1	VCCI01	E11	-	GND
J13	1	VCCI01	H8	-	GND
K13	1	VCCI01	H13	-	GND
N12	2	VCCI02	J9	-	GND
N9	2	VCCI02	J12	-	GND
N10	2	VCCI02	K10	-	GND
N11	2	VCCI02	K11	-	GND
M8	3	VCCI03	K20	-	GND
L8	3	VCCI03	L5	-	GND
K5	4	VCCI04	L10	-	GND
K8	5	VCCI05	L11	-	GND
J8	5	VCCI05	C3	-	GND_PLLAO
Y1	-	GND	C18	-	GND_PLLA1



## 4.8 CG400 引脚信息

编号	BANK	CG400 引脚说明	编号	BANK	CG400 引脚说明
B1	0	IO_L1P_0	C9	0	IO_LE18P_0, TCK
A1	0	IO_L1N_0	D9	0	IO_LE18N_0, TMS
G7	0	IO_LE2P_0, GPLLO_OUTP	B11	0	IO_L19P_0
F7	0	IO_LE2N_0, GPLLO_OUTN	A11	0	IO_L19N_0
B2	0	IO_L3P_0	G10	0	IO_LE20P_0
A2	0	IO_L3N_0	F10	0	IO_LE20N_0
E6	0	IO_LE4P_0	B10	0	IO_L21P_0, GCLK10L_0_0
D5	0	IO_LE4N_0	A10	0	IO_L21N_0, GCLK10L_1_0
B3	0	IO_L5P_0	D10	0	IO_LE22P_0
A3	0	IO_L5N_0	C10	0	IO_LE22N_0
D6	0	IO_LE6P_0	A12	0	IO_L23P_0
E7	0	IO_LE6N_0	B12	0	IO_L23N_0
B4	0	IO_L7P_0	C11	0	IO_LE24P_0, GCLK10L_2_0
A4	0	IO_L7N_0	D11	0	IO_LE24N_0, GCLK10L_3_0
G8	0	IO_LE8P_0	A13	0	IO_L25P_0
F8	0	IO_LE8N_0	B13	0	IO_L25N_0
B5	0	IO_L9P_0	D12	0	IO_LE26P_0
A5	0	IO_L9N_0	C12	0	IO_LE26N_0
G9	0	IO_LE10P_0	A14	0	IO_L27P_0
F9	0	IO_LE10N_0	B14	0	IO_L27N_0
B6	0	IO_L11P_0	C13	0	IO_LE28P_0, JTAGEN
A6	0	IO_L11N_0	D13	0	IO_LE28N_0, PROGRAMN
E8	0	IO_LE12P_0, TDO	A15	0	IO_L29P_0
C7	0	IO_LE12N_0, TDI	B15	0	IO_L29N_0
B7	0	IO_L13P_0	G11	0	IO_LE30P_0
A7	0	IO_L13N_0	F11	0	IO_LE30N_0
C6	0	IO_LE14P_0	A16	0	IO_L31P_0
D7	0	IO_LE14N_0	B16	0	IO_L31N_0
B8	0	IO_L15P_0	G12	0	IO_LE32P_0
A8	0	IO_L15N_0	F12	0	IO_LE32N_0
D8	0	IO_LE16P_0	A17	0	IO_L33P_0
C8	0	IO_LE16N_0	B17	0	IO_L33N_0
B9	0	IO_L17P_0	G13	0	IO_LE34P_0
A9	0	IO_L17N_0	F13	0	IO_LE34N_0



编号	BANK	CG400 引脚说明	编号	BANK	CG400 引脚说明
C15	0	IO_L35P_0	D20	1	IO_TE11P_1
C16	0	IO_L35N_0	E19	1	IO_TE11N_1
C14	0	IO_LE36P_0	G17	1	IO_TE12P_1
D14	0	IO_LE36N_0	E20	1	IO_TE12N_1
A18	0	IO_L37P_0	H16	1	IO_TE13P_1
B18	0	IO_L37N_0	G20	1	IO_TE13N_1
E14	0	IO_LE38P_0	G19	1	IO_TE14P_1
D15	0	IO_LE38N_0	H17	1	IO_TE14N_1
B19	0	IO_L39P_0	J18	1	IO_TE15P_1
A20	0	IO_L39N_0	J16	1	IO_TE15N_1
G14	0	IO_LE40P_0, GPLL1_OUTP	K16	1	IO_TE16P_1
F14	0	IO_LE40N_0, GPLL1_OUTN	L17	1	IO_TE16N_1
E15	0	IO_L41P_0	K14	1	IO_TE17P_1
D16	0	IO_L41N_0	K15	1	IO_TE17N_1
C17	0	IO_LE42P_0, INITN	K19	1	IO_TE18P_1, GCLKIOT_0_1
A19	0	IO_LE42N_0, DONE	K20	1	IO_TE18N_1, GCLKIOT_1_1
D17	1	IO_TE1P_1, GPLL1IP_FDB	H18	1	IO_TE19P_1
C18	1	IO_TE1N_1, GPLL1IN_FDB	H19	1	IO_TE19N_1
F15	1	IO_TE2P_1	J17	1	IO_TE20P_1
G15	1	IO_TE2N_1	H20	1	IO_TE20N_1
C19	1	IO_TE3P_1, GPLL1IP_REF	J19	1	IO_TE21P_1
E17	1	IO_TE3N_1, GPLL1IN_REF	J20	1	IO_TE21N_1
F16	1	IO_TE4P_1	L19	1	IO_TE22P_1, GCLKIOT_2_1
D18	1	IO_TE4N_1	L20	1	IO_TE22N_1, GCLKIOT_3_1
H14	1	IO_TE5P_1	K17	1	IO_TE23P_1
H15	1	IO_TE5N_1	K18	1	IO_TE23N_1
G16	1	IO_TE6P_1	L16	1	IO_TE24P_1
F18	1	IO_TE6N_1	M18	1	IO_TE24N_1
B20	1	IO_TE7P_1	L14	1	IO_TE25P_1
C20	1	IO_TE7N_1	L15	1	IO_TE25N_1
D19	1	IO_TE8P_1	M20	1	IO_TE26P_1, CS0N, DOUT
F17	1	IO_TE8N_1	M19	1	IO_TE26N_1
J14	1	IO_TE9P_1	M17	1	IO_TE27P_1, D6
J15	1	IO_TE9N_1	N20	1	IO_TE27N_1, D7
F19	1	IO_TE10P_1	M16	1	IO_TE28P_1
F20	1	IO_TE10N_1	N19	1	IO_TE28N_1



编号	BANK	CG400 引脚说明	编号	BANK	CG400 引脚说明
P20	1	IO_TE29P_1, D4	W3	2	IO_RE4P_2, #NHP
P19	1	IO_TE29N_1, D5	Y3	2	IO_RE4N_2, #NHP
N18	1	IO_TE30P_1	T7	2	IO_R5P_2
N17	1	IO_TE30N_1, USRCLK	T8	2	IO_R5N_2
N16	1	IO_TE31P_1, D2	W4	2	IO_RE6P_2
R19	1	IO_TE31N_1, D3	Y4	2	IO_RE6N_2
T20	1	IO_TE32P_1	P9	2	IO_R7P_2
T19	1	IO_TE32N_1	R9	2	IO_R7N_2
M15	1	IO_TE33P_1, CSN	W5	2	IO_RE8P_2
M14	1	IO_TE33N_1	Y5	2	IO_RE8N_2
P18	1	IO_TE34P_1, SCLK	W6	2	IO_R9P_2
R20	1	IO_TE34N_1	Y6	2	IO_R9N_2
N15	1	IO_TE35P_1, D0	V6	2	IO_RE10P_2
N14	1	IO_TE35N_1, D1	U6	2	IO_RE10N_2
U20	1	IO_TE36P_1	W8	2	IO_R11P_2
P17	1	IO_TE36N_1	Y8	2	IO_R11N_2
V20	1	IO_TE37P_1	W7	2	IO_RE12P_2
P16	1	IO_TE37N_1	Y7	2	IO_RE12N_2
P15	1	IO_TE38P_1	V9	2	IO_R13P_2
R16	1	IO_TE38N_1	T9	2	IO_R13N_2
V19	1	IO_TE39P_1	V8	2	IO_RE14P_2
T17	1	IO_TE39N_1	U9	2	IO_RE14N_2
T18	1	IO_TE40P_1	P10	2	IO_R15P_2
U19	1	IO_TE40N_1	R10	2	IO_R15N_2
U17	1	IO_TE41P_1	Y10	2	IO_RE16P_2
V17	1	IO_TE41N_1	W10	2	IO_RE16N_2
R17	1	IO_TE42P_1	Y11	2	IO_R17P_2
U18	1	IO_TE42N_1	W11	2	IO_R17N_2
P7	2	IO_R1P_2, #NHP	U10	2	IO_RE18P_2
R7	2	IO_R1N_2, #NHP	V10	2	IO_RE18N_2
W2	2	IO_RE2P_2	P11	2	IO_R19P_2
Y2	2	IO_RE2N_2, #NHP	R11	2	IO_R19N_2
P8	2	IO_R3P_2			
R8	2	IO_R3N_2			



编号	BANK	CG400 引脚说明	编号	BANK	CG400 引脚说明
U11	2	I0_RE20P_2	W19	2	I0_RE36N_2
T10	2	I0_RE20N_2	P13	2	I0_R37P_2
Y13	2	I0_R21P_2	R13	2	I0_R37N_2
W13	2	I0_R21N_2	Y20	2	I0_RE38P_2
W9	2	I0_RE22P_2, GCLK10R_0_2	W20	2	I0_RE38N_2
Y9	2	I0_RE22N_2, GCLK10R_1_2	T16	2	I0_R39P_2
U12	2	I0_R23P_2	R15	2	I0_R39N_2
T11	2	I0_R23N_2	T14	2	I0_RE40P_2
Y12	2	I0_RE24P_2, GCLK10R_2_2	U15	2	I0_RE40N_2
W12	2	I0_RE24N_2, GCLK10R_3_2	P14	2	I0_R41P_2
P12	2	I0_R25P_2	R14	2	I0_R41N_2
R12	2	I0_R25N_2	V15	2	I0_RE42P_2
Y14	2	I0_RE26P_2	V16	2	I0_RE42N_2
W14	2	I0_RE26N_2	M6	3	I0_BE1P_3
V12	2	I0_R27P_2	M7	3	I0_BE1N_3
V13	2	I0_R27N_2	R1	3	I0_BE2P_3
Y15	2	I0_RE28P_2	R2	3	I0_BE2N_3
W15	2	I0_RE28N_2	T1	3	I0_BE3P_3
Y16	2	I0_R29P_2	T2	3	I0_BE3N_3
W16	2	I0_R29N_2	R3	3	I0_BE4P_3
Y17	2	I0_RE30P_2	R4	3	I0_BE4N_3
W17	2	I0_RE30N_2	N3	3	I0_BE5P_3
R6	2	I0_BE31P_2	N4	3	I0_BE5N_3
T6	2	I0_BE31N_2	P3	3	I0_BE6P_3
W1	2	I0_BE32P_2	P4	3	I0_BE6N_3
Y1	2	I0_BE32N_2	V1	3	I0_BE7P_3
T12	2	I0_R33P_2	V2	3	I0_BE7N_3
T13	2	I0_R33N_2	U1	3	I0_BE8P_3, GCLK10B_0_3
V14	2	I0_RE34P_2	U2	3	I0_BE8N_3, GCLK10B_1_3
U14	2	I0_RE34N_2	N5	3	I0_BE9P_3
Y18	2	I0_R35P_2	N6	3	I0_BE9N_3
W18	2	I0_R35N_2	T3	3	I0_BE10P_3
Y19	2	I0_RE36P_2	T4	3	I0_BE10N_3



编号	BANK	CG400 引脚说明	编号	BANK	CG400 引脚说明
P5	3	I0_BE11P_3	F5	5	I0_BE1P_5
P6	3	I0_BE11N_3	G5	5	I0_BE1N_5
V3	3	I0_BE12P_3	F6	5	I0_BE2P_5
V4	3	I0_BE12N_3	G6	5	I0_BE2N_5
U4	3	I0_BE13P_3, #NHP	C4	5	I0_BE3P_5
U5	3	I0_BE13N_3, #NHP	C3	5	I0_BE3N_5
T5	3	I0_BE14P_3, #NHP	C2	5	I0_BE4P_5, GPLL01P_FDB
R5	3	I0_BE14N_3, #NHP	C1	5	I0_BE4N_5, GPLL01N_FDB
K6	4	I0_BE1P_4	E4	5	I0_BE5P_5
K7	4	I0_BE1N_4	E3	5	I0_BE5N_5
K5	4	I0_BE2P_4	D2	5	I0_BE6P_5, GPLL01P_REF
K4	4	I0_BE2N_4	D1	5	I0_BE6N_5, GPLL01N_REF
J2	4	I0_BE3P_4	F4	5	I0_BE7P_5
J1	4	I0_BE3N_4	F3	5	I0_BE7N_5
L1	4	I0_BE4P_4, GCLK10B_2_4	E2	5	I0_BE8P_5, GCLK10B_4_5
L2	4	I0_BE4N_4, GCLK10B_3_4	E1	5	I0_BE8N_5, GCLK10B_5_5
L3	4	I0_BE5P_4	F2	5	I0_BE9P_5
L4	4	I0_BE5N_4	F1	5	I0_BE9N_5
K2	4	I0_BE6P_4	G4	5	I0_BE10P_5
K1	4	I0_BE6N_4	G3	5	I0_BE10N_5
M1	4	I0_BE7P_4	H6	5	I0_BE11P_5
M2	4	I0_BE7N_4	H7	5	I0_BE11N_5
L5	4	I0_BE8P_4	G2	5	I0_BE12P_5
M5	4	I0_BE8N_4	G1	5	I0_BE12N_5
L6	4	I0_BE9P_4	J6	5	I0_BE13P_5
L7	4	I0_BE9N_4	J5	5	I0_BE13N_5
M3	4	I0_BE10P_4	H3	5	I0_BE14P_5
M4	4	I0_BE10N_4	H4	5	I0_BE14N_5
N1	4	I0_BE11P_4	J4	5	I0_BE15P_5
N2	4	I0_BE11N_4	J3	5	I0_BE15N_5
P1	4	I0_BE12P_4	H2	5	I0_BE16P_5
P2	4	I0_BE12N_4	H1	5	I0_BE16N_5



编号	BANK	CG400 引脚说明	编号	BANK	CG400 引脚说明
H12	-	VCCAUX	E5	-	GND_PLLAO
H13	-	VCCAUX	C5	-	GND
J10	-	VCCAUX	D3	-	GND
J11	-	VCCAUX	D4	-	GND
J9	-	VCCAUX	E10	-	GND
K12	-	VCCAUX	E11	-	GND
L12	-	VCCAUX	E12	-	GND
L9	-	VCCAUX	E13	-	GND
M12	-	VCCAUX	E18	-	GND
M10	-	VCCAUX	E9	-	GND
J7	5	VCC105	G18	-	GND
J8	5	VCC105	H5	-	GND
K8	4	VCC104	K10	-	GND
K9	4	VCC104	K11	-	GND
M8	3	VCC103	K3	-	GND
M9	3	VCC103	L10	-	GND
N10	2	VCC102	L11	-	GND
N11	2	VCC102	L18	-	GND
N12	2	VCC102	L8	-	GND
N8	2	VCC102	M11	-	GND
N9	2	VCC102	R18	-	GND
J13	1	VCC101	T15	-	GND
K13	1	VCC101	U13	-	GND
L13	1	VCC101	U16	-	GND
M13	1	VCC101	U3	-	GND
N13	1	VCC101	U7	-	GND
H10	0	VCC100	U8	-	GND
H11	0	VCC100	V11	-	GND
H8	0	VCC100	V18	-	GND
H9	0	VCC100	V5	-	GND
J12	0	VCC100	V7	-	GND
E16	-	GND_PLLA1	N7	-	GND



## 4.9 CG484 引脚信息

编号	BANK	CG484 引脚说明	编号	BANK	CG484 引脚说明
B1	0	IO_L1P_0, GPLLO_OUTP2	F10	0	IO_LE18P_0
A2	0	IO_L1N_0, GPLLO_OUTN2	E10	0	IO_LE18N_0
E6	0	IO_LE2P_0	B10	0	IO_L19P_0, GCLK10L_0
F7	0	IO_LE2N_0	A10	0	IO_L19N_0, GCLK10L_1
B2	0	IO_L3P_0	G11	0	IO_LE20P_0
A3	0	IO_L3N_0	F11	0	IO_LE20N_0
C3	0	IO_LE4P_0	B11	0	IO_L21P_0
C4	0	IO_LE4N_0	A11	0	IO_L21N_0
B3	0	IO_L5P_0, GPLLO_OUTP1	E11	0	IO_L22P_0
A4	0	IO_L5N_0, GPLLO_OUTN1	D11	0	IO_L22N_0
F8	0	IO_LE6P_0	D12	0	IO_LE23P_0
G8	0	IO_LE6N_0	E12	0	IO_LE23N_0
B4	0	IO_L7P_0	B12	0	IO_L24P_0, SCL, GCLK10L_2 <sup>1</sup>
A5	0	IO_L7N_0	A12	0	IO_L24N_0, SDA, GCLK10L_3 <sup>1</sup>
D5	0	IO_LE8P_0	G12	0	IO_LE25P_0
C5	0	IO_LE8N_0	F12	0	IO_LE25N_0
B5	0	IO_L9P_0	E13	0	IO_LE26P_0
A6	0	IO_L9N_0	F13	0	IO_LE26N_0, USRCLK <sup>1</sup>
D6	0	IO_LE10P_0	A13	0	IO_L27P_0
E7	0	IO_LE10N_0	B13	0	IO_L27N_0
B6	0	IO_L11P_0	C13	0	IO_L28P_0
A7	0	IO_L11N_0	D13	0	IO_L28N_0
C6	0	IO_LE12P_0	A14	0	IO_L29P_0
D7	0	IO_LE12N_0	B14	0	IO_L29N_0
C8	0	IO_L13P_0	C14	0	IO_LE30P_0
D8	0	IO_L13N_0	D14	0	IO_LE30N_0, CS0N, DOUT <sup>1</sup>
B8	0	IO_L14P_0	G14	0	IO_LE31P_0
A8	0	IO_L14N_0	F14	0	IO_LE31N_0
C9	0	IO_LE15P_0	A15	0	IO_L32P_0
D9	0	IO_LE15N_0	B15	0	IO_L32N_0
B9	0	IO_L16P_0	C15	0	IO_LE33P_0
A9	0	IO_L16N_0	D15	0	IO_LE33N_0
F9	0	IO_LE17P_0	A16	0	IO_L34P_0
G9	0	IO_LE17N_0	B17	0	IO_L34N_0



编号	BANK	CG484 引脚说明	编号	BANK	CG484 引脚说明
C17	0	I0_LE35P_0	E22	1	I0_TE5P_1
D16	0	I0_LE35N_0	E21	1	I0_TE5N_1
A17	0	I0_L36P_0	E19	1	I0_TE6P_1
B18	0	I0_L36N_0	E20	1	I0_TE6N_1
E16	0	I0_LE37P_0	F22	1	I0_TE7P_1
D17	0	I0_LE37N_0	G22	1	I0_TE7N_1
A18	0	I0_L38P_0	F18	1	I0_TE8P_1
B19	0	I0_L38N_0	F19	1	I0_TE8N_1
C18	0	I0_LE39P_0	G21	1	I0_TE9P_1
D18	0	I0_LE39N_0	G20	1	I0_TE9N_1
A19	0	I0_L40P_0	G19	1	I0_TE10P_1
B20	0	I0_L40N_0	G18	1	I0_TE10N_1
F15	0	I0_LE41P_0	H22	1	I0_TE11P_1
G15	0	I0_LE41N_0	H21	1	I0_TE11N_1
A20	0	I0_L42P_0, GPLL1_OUTP2	G17	1	I0_TE12P_1
B21	0	I0_L42N_0, GPLL1_OUTN2	H20	1	I0_TE12N_1
C19	0	I0_L43P_0	H19	1	I0_TE13P_1
C20	0	I0_L43N_0	H18	1	I0_TE13N_1
A21	0	I0_L44P_0, GPLL1_OUTP1	H17	1	I0_TE14P_1
B22	0	I0_L44N_0, GPLL1_OUTN1	H16	1	I0_TE14N_1
E8	0	I0_LE45P_0, TDO <sup>1</sup>	J16	1	I0_TE15P_1
E9	0	I0_LE45N_0, TDI <sup>1</sup>	J17	1	I0_TE15N_1
D10	0	I0_LE46P_0, TCK <sup>1</sup>	J18	1	I0_TE16P_1
C10	0	I0_LE46N_0, TMS <sup>1</sup>	J19	1	I0_TE16N_1
E14	0	I0_LE47P_0, JTGEN <sup>1</sup>	J21	1	I0_TE17P_1
E15	0	I0_LE47N_0, PROGRAMN <sup>1</sup>	J22	1	I0_TE17N_1
F16	0	I0_LE48P_0, INITN <sup>1</sup>	J20	1	I0_TE18P_1
E17	0	I0_LE48N_0, DONE <sup>1</sup>	K20	1	I0_TE18N_1
C21	1	I0_TE1P_1, GPLL1IP_FDB	K19	1	I0_TE19P_1
C22	1	I0_TE1N_1, GPLL1IN_FDB	K18	1	I0_TE19N_1
F17	1	I0_TE2P_1	K17	1	I0_TE20P_1
G16	1	I0_TE2N_1	K16	1	I0_TE20N_1
D22	1	I0_TE3P_1, GPLL1IP_REF	L17	1	I0_TE21P_1
D21	1	I0_TE3N_1, GPLL1IN_REF	L16	1	I0_TE21N_1
D19	1	I0_TE4P_1	L19	1	I0_TE22P_1
D20	1	I0_TE4N_1	L20	1	I0_TE22N_1



编号	BANK	CG484 引脚说明	编号	BANK	CG484 引脚说明
K22	1	I0_TE23P_1	U22	1	I0_TE36P_1, D0 <sup>1</sup>
L21	1	I0_TE23N_1	U21	1	I0_TE36N_1, D1 <sup>1</sup>
L22	1	I0_TE24P_1	V22	1	I0_TE37P_1, D2 <sup>1</sup>
M17	1	I0_TE24N_1	W22	1	I0_TE37N_1, D3 <sup>1</sup>
M22	1	I0_TE25P_1, GCLKIOT_0	R20	1	I0_TE38P_1
M21	1	I0_TE25N_1, GCLKIOT_1	R19	1	I0_TE38N_1
M20	1	I0_TE26P_1	R18	1	I0_TE39P_1
M19	1	I0_TE26N_1	R17	1	I0_TE39N_1
M16	1	I0_TE27P_1	R16	1	I0_TE40P_1
N16	1	I0_TE27N_1	T20	1	I0_TE40N_1
N17	1	I0_TE28P_1	T19	1	I0_TE41P_1
N18	1	I0_TE28N_1	T18	1	I0_TE41N_1
N22	1	I0_TE29P_1, GCLKIOT_2	T17	1	I0_TE42P_1
P21	1	I0_TE29N_1, GCLKIOT_3	U20	1	I0_TE42N_1
N20	1	I0_TE30P_1	Y22	1	I0_TE43P_1, D6 <sup>1</sup>
N19	1	I0_TE30N_1	W21	1	I0_TE43N_1, D7 <sup>1</sup>
R22	1	I0_TE31P_1	U19	1	I0_TE44P_1, D4 <sup>1</sup>
R21	1	I0_TE31N_1	U18	1	I0_TE44N_1, D5 <sup>1</sup>
P22	1	I0_TE32P_1	AA22	1	I0_TE45P_1
P20	1	I0_TE32N_1	Y21	1	I0_TE45N_1
T22	1	I0_TE33P_1	U17	1	I0_TE46P_1
T21	1	I0_TE33N_1	V19	1	I0_TE46N_1
P19	1	I0_TE34P_1	V18	1	I0_TE47P_1
P18	1	I0_TE34N_1	W20	1	I0_TE47N_1
P17	1	I0_TE35P_1	W19	1	I0_TE48P_1
P16	1	I0_TE35N_1	Y20	1	I0_TE48N_1



编号	BANK	CG484 引脚说明	编号	BANK	CG484 引脚说明
AA2	2	IO_BE1P_2	V10	2	IO_R19P_2
AB2	2	IO_BE1N_2	W10	2	IO_R19N_2
V6	2	IO_BE2P_2	Y9	2	IO_RE20P_2
U6	2	IO_BE2N_2	Y10	2	IO_RE20N_2
AA3	2	IO_RE3P_2	AA10	2	IO_RE21P_2, GCLKIOR_0
AB3	2	IO_RE3N_2	AB10	2	IO_RE21N_2, GCLKIOR_1
Y4	2	IO_R4P_2	T11	2	IO_R22P_2
W5	2	IO_R4N_2	U11	2	IO_R22N_2
AA4	2	IO_RE5P_2	AA11	2	IO_RE23P_2
AB4	2	IO_RE5N_2	AB11	2	IO_RE23N_2
U7	2	IO_R6P_2	V11	2	IO_R24P_2
T8	2	IO_R6N_2	Y11	2	IO_R24N_2
AA5	2	IO_RE7P_2	Y12	2	IO_R25P_2
AB5	2	IO_RE7N_2	T12	2	IO_R25N_2
Y5	2	IO_R8P_2	U12	2	IO_R26P_2
Y6	2	IO_R8N_2	V12	2	IO_R26N_2
AA6	2	IO_RE9P_2	AB12	2	IO_RE27P_2, GCLKIOR_2
AB6	2	IO_RE9N_2	AA12	2	IO_RE27N_2, GCLKIOR_3
W6	2	IO_R10P_2	V13	2	IO_R28P_2
V7	2	IO_R10N_2	U13	2	IO_R28N_2
AA7	2	IO_RE11P_2	AB13	2	IO_RE29P_2
AB7	2	IO_RE11N_2	AA13	2	IO_RE29N_2
V8	2	IO_R12P_2	Y13	2	IO_RE30P_2
U8	2	IO_R12N_2	W13	2	IO_RE30N_2
T9	2	IO_R13P_2, SCLK <sup>1</sup>	T13	2	IO_R31P_2
U9	2	IO_R13N_2, SO <sup>1</sup>	T14	2	IO_R31N_2
V9	2	IO_R14P_2	U14	2	IO_R32P_2
W8	2	IO_R14N_2	V14	2	IO_R32N_2
AA8	2	IO_RE15P_2	AB14	2	IO_RE33P_2
AB8	2	IO_RE15N_2	AA14	2	IO_RE33N_2
Y8	2	IO_RE16P_2	Y14	2	IO_R34P_2
W9	2	IO_RE16N_2	W14	2	IO_R34N_2
AA9	2	IO_RE17P_2	AB15	2	IO_RE35P_2
AB9	2	IO_RE17N_2	AA15	2	IO_RE35N_2
T10	2	IO_R18P_2	Y15	2	IO_R36P_2
U10	2	IO_R18N_2	W15	2	IO_R36N_2



编号	BANK	CG484 引脚说明	编号	BANK	CG484 引脚说明
AB16	2	IO_RE37P_2	AB19	2	IO_RE43P_2
AA16	2	IO_RE37N_2	AA19	2	IO_RE43N_2
V15	2	IO_R38P_2	T15	2	IO_R44P_2 <sup>1</sup>
U15	2	IO_R38N_2	U16	2	IO_R44N_2 <sup>1</sup>
AB17	2	IO_RE39P_2	AB20	2	IO_RE45P_2 <sup>1</sup>
AA17	2	IO_RE39N_2	AA20	2	IO_RE45N_2 <sup>1</sup>
Y17	2	IO_R40P_2	Y19	2	IO_RE46P_2 <sup>1</sup>
V16	2	IO_R40N_2	W18	2	IO_RE46N_2 <sup>1</sup>
AB18	2	IO_RE41P_2	AB21	2	IO_RE47P_2, CSN <sup>1</sup>
AA18	2	IO_RE41N_2	AA21	2	IO_RE47N_2, SI <sup>1</sup>
Y18	2	IO_R42P_2	V17	2	IO_R48P_2 <sup>1</sup>
W17	2	IO_R42N_2	T16	2	IO_R48N_2 <sup>1</sup>



编号	BANK	CG484 引脚说明	编号	BANK	CG484 引脚说明
T5	3	I0_BE1P_3	W1	3	I0_BE16P_3
T6	3	I0_BE1N_3	W2	3	I0_BE16N_3
T3	3	I0_BE2P_3	U3	3	I0_BE17P_3
T4	3	I0_BE2N_3	U4	3	I0_BE17N_3
R6	3	I0_BE3P_3	U2	3	I0_BE18P_3, GCLK1OB_0
R7	3	I0_BE3N_3	V1	3	I0_BE18N_3, GCLK1OB_1
T2	3	I0_BE4P_3	L7	4	I0_BE1P_4
U1	3	I0_BE4N_3	K5	4	I0_BE1N_4
R5	3	I0_BE5P_3	K4	4	I0_BE2P_4
P7	3	I0_BE5N_3	K3	4	I0_BE2N_4
R3	3	I0_BE6P_3	K2	4	I0_BE3P_4
R4	3	I0_BE6N_3	K1	4	I0_BE3N_4
P5	3	I0_BE7P_3	L6	4	I0_BE4P_4
P6	3	I0_BE7N_3	L5	4	I0_BE4N_4
R2	3	I0_BE8P_3	L1	4	I0_BE5P_4, GCLK1OB_2
T1	3	I0_BE8N_3	M2	4	I0_BE5N_4, GCLK1OB_3
N6	3	I0_BE9P_3	L3	4	I0_BE6P_4
N7	3	I0_BE9N_3	L4	4	I0_BE6N_4
P4	3	I0_BE10P_3	M1	4	I0_BE7P_4
N5	3	I0_BE10N_3	N1	4	I0_BE7N_4
V5	3	I0_BE11P_3	M6	4	I0_BE8P_4
T7	3	I0_BE11N_3	M5	4	I0_BE8N_4
Y3	3	I0_BE12P_3	N2	4	I0_BE9P_4
W4	3	I0_BE12N_3	P1	4	I0_BE9N_4
W3	3	I0_BE13P_3	N3	4	I0_BE10P_4
Y2	3	I0_BE13N_3	N4	4	I0_BE10N_4
Y1	3	I0_BE14P_3	P2	4	I0_BE11P_4
AA1	3	I0_BE14N_3	R1	4	I0_BE11N_4
V4	3	I0_BE15P_3	P3	4	I0_BE12P_4
U5	3	I0_BE15N_3	M7	4	I0_BE12N_4



编号	BANK	CG484 引脚说明	编号	BANK	CG484 引脚说明
D3	5	I0_BE1P_5	K10	-	VCCAUX
D4	5	I0_BE1N_5	K11	-	VCCAUX
F6	5	I0_BE2P_5	K12	-	VCCAUX
G7	5	I0_BE2N_5	K13	-	VCCAUX
E4	5	I0_BE3P_5, GPLLO1P_FDB	L11	-	VCCAUX
F5	5	I0_BE3N_5, GPLLO1N_FDB	L12	-	VCCAUX
G6	5	I0_BE4P_5	M11	-	VCCAUX
H7	5	I0_BE4N_5	M12	-	VCCAUX
C1	5	I0_BE5P_5, GPLLO1P_REF	N10	-	VCCAUX
D2	5	I0_BE5N_5, GPLLO1N_REF	N11	-	VCCAUX
G5	5	I0_BE6P_5	N12	-	VCCAUX
H6	5	I0_BE6N_5	N13	-	VCCAUX
D1	5	I0_BE7P_5	F3	5	VCCI05
E2	5	I0_BE7N_5	J8	5	VCCI05
E3	5	I0_BE8P_5	K8	5	VCCI05
F4	5	I0_BE8N_5	L8	4	VCCI04
E1	5	I0_BE9P_5	M8	4	VCCI04
F1	5	I0_BE9N_5	M3	4	VCCI04
G3	5	I0_BE10P_5	N8	3	VCCI03
G4	5	I0_BE10N_5	P8	3	VCCI03
G2	5	I0_BE11P_5, GCLK10B_4	V3	3	VCCI03
G1	5	I0_BE11N_5, GCLK10B_5	R9	2	VCCI02
H4	5	I0_BE12P_5	R10	2	VCCI02
H3	5	I0_BE12N_5	R11	2	VCCI02
H2	5	I0_BE13P_5	R12	2	VCCI02
H1	5	I0_BE13N_5	R13	2	VCCI02
J7	5	I0_BE14P_5	R14	2	VCCI02
J6	5	I0_BE14N_5	W7	2	VCCI02
H5	5	I0_BE15P_5	W11	2	VCCI02
J5	5	I0_BE15N_5	W16	2	VCCI02
J4	5	I0_BE16P_5	F20	1	VCCI01
J3	5	I0_BE16N_5	J15	1	VCCI01
J2	5	I0_BE17P_5	K15	1	VCCI01
J1	5	I0_BE17N_5	L15	1	VCCI01
K7	5	I0_BE18P_5	M15	1	VCCI01
K6	5	I0_BE18N_5	M18	1	VCCI01



编号	BANK	CG484 引脚说明	编号	BANK	CG484 引脚说明
N15	1	VCC101	L14	-	GND
P15	1	VCC101	L18	-	GND
V20	1	VCC101	B7	-	GND
C7	0	VCC100	M4	-	GND
C12	0	VCC100	M9	-	GND
C16	0	VCC100	M10	-	GND
G10	0	VCC100	M13	-	GND
G13	0	VCC100	M14	-	GND
H9	0	VCC100	N9	-	GND
H11	0	VCC100	N14	-	GND
H12	0	VCC100	N21	-	GND
H14	0	VCC100	P9	-	GND
A1	-	GND	P10	-	GND
F21	-	GND	B16	-	GND
H8	-	GND	P11	-	GND
H10	-	GND	P12	-	GND
H13	-	GND	P13	-	GND
H15	-	GND	P14	-	GND
J9	-	GND	R8	-	GND
J10	-	GND	R15	-	GND
J11	-	GND	V2	-	GND
J12	-	GND	V21	-	GND
J13	-	GND	W12	-	GND
A22	-	GND	Y7	-	GND
J14	-	GND	C2	-	GND
K9	-	GND	Y16	-	GND
K14	-	GND	AB1	-	GND
K21	-	GND	AB22	-	GND
L2	-	GND	C11	-	GND
L9	-	GND	E5	-	GND
L10	-	GND	E18	-	GND
L13	-	GND	F2	-	GND

注：

- 此引脚不支持 Statehold 功能。



## 4.10 CG642 引脚信息

编号	BANK	CG642 引脚说明	编号	BANK	CG642 引脚说明
D5	0	I0_L1P_0, GPLLO_OUT2P	B17	0	I0_L18P_0
D4	0	I0_L1N_0, GPLLO_OUT2N	B18	0	I0_L18N_0
F6	0	I0_LE2P_0	E9	0	I0_L19P_0
F7	0	I0_LE2N_0	F8	0	I0_L19N_0
D10	0	I0_L3P_0	E6	0	I0_LE20P_0
E10	0	I0_L3N_0	E7	0	I0_LE20N_0
H10	0	I0_LE4P_0	E16	0	I0_L21P_0
H9	0	I0_LE4N_0	E15	0	I0_L21N_0
D11	0	I0_L5P_0	C16	0	I0_L22P_0
E11	0	I0_L5N_0	D15	0	I0_L22N_0
G9	0	I0_LE6P_0	C17	0	I0_LE23P_0
F9	0	I0_LE6N_0	C18	0	I0_LE23N_0
A3	0	I0_L7P_0	D17	0	I0_L24P_0
B3	0	I0_L7N_0	D16	0	I0_L24N_0
C10	0	I0_L8P_0	A24	0	I0_L25P_0
C11	0	I0_L8N_0	B24	0	I0_L25N_0
B10	0	I0_LE9P_0	F16	0	I0_LE26P_0
B11	0	I0_LE9N_0	G16	0	I0_LE26N_0
D12	0	I0_L10P_0	C21	0	I0_L27P_0
C12	0	I0_L10N_0	C20	0	I0_L27N_0
F11	0	I0_LE11P_0	B22	0	I0_LE28P_0
G11	0	I0_LE11N_0	C22	0	I0_LE28N_0
A13	0	I0_L12P_0	D19	0	I0_L29P_0
B13	0	I0_L12N_0	D20	0	I0_L29N_0
F13	0	I0_L13P_0, GCLK10L_0	F17	0	I0_LE30P_0
E13	0	I0_L13N_0, GCLK10L_1	G17	0	I0_LE30N_0
G12	0	I0_LE14P_0	E21	0	I0_L31P_0, GPLL1_OUT2P
F12	0	I0_LE14N_0	D21	0	I0_L31N_0, GPLL1_OUT2N
G13	0	I0_LE15P_0	E22	0	I0_LE32P_0
G14	0	I0_LE15N_0	D22	0	I0_LE32N_0
B16	0	I0_L16P_0	A25	0	I0_L33P_0, GPLL1_OUT1P
B15	0	I0_L16N_0	B25	0	I0_L33N_0, GPLL1_OUT1N
D13	0	I0_LE17P_0	C24	0	I0_LE34P_0
D14	0	I0_LE17N_0	C25	0	I0_LE34N_0



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
E18	0	I0_L35P_0	G15	0	I0_LE42P_0
E19	0	I0_L35N_0	F14	0	I0_LE42N_0, USRCLK <sup>1</sup>
D8	0	I0_L36P_0, GPLLO_OUT1P	F15	0	I0_LE43P_0
E8	0	I0_L36N_0, GPLLO_OUT1N	E14	0	I0_LE43N_0, CS0N, DOUT <sup>1</sup>
B2	0	I0_LE37P_0	C13	0	I0_L44P_0, SCL, GCLKIO_2 <sup>1</sup>
A2	0	I0_LE37N_0	C14	0	I0_L44N_0, SDA, GCLKIO_3 <sup>1</sup>
D6	0	I0_L38P_0	D18	0	I0_L0_0, JTAGEN <sup>1</sup>
D7	0	I0_L38N_0	G19	0	I0_L1_0, INITN <sup>1</sup>
C7	0	I0_LE39P_0	F19	0	I0_L2_0, DONE <sup>1</sup>
B7	0	I0_LE39N_0	E17	0	I0_L3_0, PROGRAMN <sup>1</sup>
C5	0	I0_L40P_0	C9	0	I0_L4_0, TDO <sup>1</sup>
C6	0	I0_L40N_0	B9	0	I0_L5_0, TDI <sup>1</sup>
C8	0	I0_LE41P_0	F10	0	I0_L6_0, TCK <sup>1</sup>
B8	0	I0_LE41N_0	G10	0	I0_L7_0, TMS <sup>1</sup>



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
D24	1	I0_TE1P_1	Y26	1	I0_TE19P_1
D23	1	I0_TE1N_1	Y25	1	I0_TE19N_1
J22	1	I0_TE2P_1	V23	1	I0_TE20P_1
H22	1	I0_TE2N_1	W23	1	I0_TE20N_1
K19	1	I0_TE3P_1	AA26	1	I0_TE21P_1
K20	1	I0_TE3N_1	AA25	1	I0_TE21N_1
M24	1	I0_TE4P_1	U21	1	I0_TE22P_1
M25	1	I0_TE4N_1	U22	1	I0_TE22N_1
M21	1	I0_TE5P_1	F20	1	I0_TE23P_1
L22	1	I0_TE5N_1	G20	1	I0_TE23N_1
N25	1	I0_TE6P_1	G22	1	I0_TE24P_1
N24	1	I0_TE6N_1	G23	1	I0_TE24N_1
L20	1	I0_TE7P_1	W22	1	I0_TE25P_1
L19	1	I0_TE7N_1	V22	1	I0_TE25N_1
M22	1	I0_TE8P_1	AB25	1	I0_TE26P_1
M23	1	I0_TE8N_1	AB26	1	I0_TE26N_1
K23	1	I0_TE9P_1	AC26	1	I0_TE27P_1
K22	1	I0_TE9N_1	AC25	1	I0_TE27N_1
R24	1	I0_TE10P_1	AA23	1	I0_TE28P_1
R23	1	I0_TE10N_1	AB22	1	I0_TE28N_1
N23	1	I0_TE11P_1	AB21	1	I0_TE29P_1
N22	1	I0_TE11N_1	AA22	1	I0_TE29N_1
T24	1	I0_TE12P_1, GCLK10T_0	AC24	1	I0_TE30P_1
T23	1	I0_TE12N_1, GCLK10T_1	AD25	1	I0_TE30N_1
P23	1	I0_TE13P_1	Y20	1	I0_TE31P_1
P22	1	I0_TE13N_1	W20	1	I0_TE31N_1
U24	1	I0_TE14P_1, GCLK10T_2	AD26	1	I0_TE32P_1
U23	1	I0_TE14N_1, GCLK10T_3	AE26	1	I0_TE32N_1
R21	1	I0_TE15P_1	F21	1	I0_TE33P_1
R22	1	I0_TE15N_1	E20	1	I0_TE33N_1
V24	1	I0_TE16P_1	E23	1	I0_TE34P_1, GPLL1IP_REF
V25	1	I0_TE16N_1	E24	1	I0_TE34N_1, GPLL1IN_REF
T21	1	I0_TE17P_1	G21	1	I0_TE35P_1
T22	1	I0_TE17N_1	F22	1	I0_TE35N_1
W25	1	I0_TE18P_1	H24	1	I0_TE36P_1
W26	1	I0_TE18N_1	J24	1	I0_TE36N_1



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
F24	1	I0_TE37P_1	H20	1	I0_TE43P_1
G24	1	I0_TE37N_1	H21	1	I0_TE43N_1
F25	1	I0_TE38P_1	K25	1	I0_TE44P_1
G25	1	I0_TE38N_1	L25	1	I0_TE44N_1
J25	1	I0_TE39P_1	Y24	1	I0_TE45P_1, D0 <sup>1</sup>
H25	1	I0_TE39N_1	AA24	1	I0_TE45N_1, D1 <sup>1</sup>
K24	1	I0_TE40P_1	Y23	1	I0_TE46P_1, D2 <sup>1</sup>
L24	1	I0_TE40N_1	Y22	1	I0_TE46N_1, D3 <sup>1</sup>
J23	1	I0_TE41P_1	Y21	1	I0_TE47P_1, D4 <sup>1</sup>
H23	1	I0_TE41N_1	W21	1	I0_TE47N_1, D5 <sup>1</sup>
L21	1	I0_TE42P_1	AB23	1	I0_TE48P_1, D6 <sup>1</sup>
K21	1	I0_TE42N_1	AB24	1	I0_TE48N_1, D7 <sup>1</sup>



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
AC4	2	IO_R1P_2	AE18	2	IO_RE19P_2
AD4	2	IO_R1N_2	AE19	2	IO_RE19N_2
AF2	2	IO_RE2P_2	Y17	2	IO_R20P_2
AE2	2	IO_RE2N_2	AA16	2	IO_R20N_2
AC10	2	IO_RE3P_2	AD16	2	IO_RE21P_2
AD9	2	IO_RE3N_2	AD15	2	IO_RE21N_2
Y10	2	IO_R4P_2	AB6	2	IO_R22P_2
AA10	2	IO_R4N_2	AB7	2	IO_R22N_2
AB10	2	IO_RE5P_2	AC9	2	IO_RE23P_2
AA11	2	IO_RE5N_2	AB9	2	IO_RE23N_2
AD10	2	IO_R6P_2	AC15	2	IO_R24P_2
AD11	2	IO_R6N_2	AC16	2	IO_R24N_2
AD8	2	IO_RE7P_2	AB15	2	IO_RE25P_2
AE8	2	IO_RE7N_2	AA15	2	IO_RE25N_2
AC11	2	IO_R8P_2	AE22	2	IO_R26P_2
AD12	2	IO_R8N_2	AF22	2	IO_R26N_2
AE11	2	IO_RE9P_2	AE17	2	IO_RE27P_2
AE10	2	IO_RE9N_2	AD17	2	IO_RE27N_2
AB12	2	IO_R10P_2	AD19	2	IO_R28P_2
AA12	2	IO_R10N_2	AD20	2	IO_R28N_2
AC12	2	IO_RE11P_2	AD18	2	IO_RE29P_2
AC13	2	IO_RE11N_2	AC17	2	IO_RE29N_2
Y12	2	IO_R12P_2	AA19	2	IO_R30P_2
Y11	2	IO_R12N_2	Y18	2	IO_R30N_2
AE14	2	IO_RE13P_2	AB18	2	IO_RE31P_2
AF14	2	IO_RE13N_2	AB17	2	IO_RE31N_2
Y13	2	IO_R14P_2	AA17	2	IO_R32P_2
Y14	2	IO_R14N_2	AA18	2	IO_R32N_2
AB13	2	IO_RE15P_2, GCLK10R_0	AC18	2	IO_RE33P_2
AA13	2	IO_RE15N_2, GCLK10R_1	AB19	2	IO_RE33N_2
Y15	2	IO_R16P_2	Y19	2	IO_R34P_2
Y16	2	IO_R16N_2	W18	2	IO_R34N_2
AD13	2	IO_RE17P_2, GCLK10R_2	AD22	2	IO_RE35P_2 <sup>1</sup>
AD14	2	IO_RE17N_2, GCLK10R_3	AE23	2	IO_RE35N_2 <sup>1</sup>
AB14	2	IO_R18P_2	AD23	2	IO_R36P_2 <sup>1</sup>
AA14	2	IO_R18N_2	AD24	2	IO_R36N_2 <sup>1</sup>



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
AC20	2	IO_RE37P_2 <sup>1</sup>	AD7	2	IO_R43P_2
AC19	2	IO_RE37N_2 <sup>1</sup>	AE7	2	IO_R43N_2
AB20	2	IO_R38P_2 <sup>1</sup>	AD5	2	IO_RE44P_2
AA20	2	IO_R38N_2 <sup>1</sup>	AC5	2	IO_RE44N_2
AE3	2	IO_R39P_2	W8	2	IO_BE45P_2
AF3	2	IO_R39N_2	Y8	2	IO_BE45N_2
AC8	2	IO_RE40P_2	Y6	2	IO_BE46P_2
AB8	2	IO_RE40N_2	Y7	2	IO_BE46N_2
AE4	2	IO_R41P_2	Y9	2	IO_R47P_2, SCLK <sup>1</sup>
AF4	2	IO_R41N_2	AA9	2	IO_R47N_2, SO <sup>1</sup>
AD6	2	IO_RE42P_2	AC21	2	IO_RE48P_2, CSN <sup>1</sup>
AC7	2	IO_RE42N_2	AC22	2	IO_RE48N_2, SI <sup>1</sup>



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
T7	3	IO_BE1P_3	AD2	3	IO_BE16P_3
T6	3	IO_BE1N_3	AD3	3	IO_BE16N_3
W2	3	IO_BE2P_3	AB5	3	IO_BE17P_3
W1	3	IO_BE2N_3	AA6	3	IO_BE17N_3
Y1	3	IO_BE3P_3	AD1	3	IO_BE18P_3
Y2	3	IO_BE3N_3	AE1	3	IO_BE18N_3
V4	3	IO_BE4P_3	M5	4	IO_BE1P_4
W4	3	IO_BE4N_3	M6	4	IO_BE1N_4
AA1	3	IO_BE5P_3	N2	4	IO_BE2P_4
AA2	3	IO_BE5N_3	N3	4	IO_BE2N_4
Y3	3	IO_BE6P_3	M7	4	IO_BE3P_4
AA3	3	IO_BE6N_3	L7	4	IO_BE3N_4
U5	3	IO_BE7P_3	N6	4	IO_BE4P_4
T5	3	IO_BE7N_3	N5	4	IO_BE4N_4
Y4	3	IO_BE8P_3, GCLK1OB_0	N4	4	IO_BE5P_4
Y5	3	IO_BE8N_3, GCLK1OB_1	M4	4	IO_BE5N_4
U7	3	IO_BE9P_3	R3	4	IO_BE6P_4
U6	3	IO_BE9N_3	R4	4	IO_BE6N_4
AB2	3	IO_BE10P_3	P6	4	IO_BE7P_4
AB1	3	IO_BE10N_3	P5	4	IO_BE7N_4
AC1	3	IO_BE11P_3	T3	4	IO_BE8P_4
AC2	3	IO_BE11N_3	T4	4	IO_BE8N_4
AA4	3	IO_BE12P_3	R5	4	IO_BE9P_4
AA5	3	IO_BE12N_3	P4	4	IO_BE9N_4
V7	3	IO_BE13P_3	U3	4	IO_BE10P_4, GCLK1OB_2
V6	3	IO_BE13N_3	U4	4	IO_BE10N_4, GCLK1OB_3
AB4	3	IO_BE14P_3	R7	4	IO_BE11P_4
AB3	3	IO_BE14N_3	R6	4	IO_BE11N_4
W7	3	IO_BE15P_3	V3	4	IO_BE12P_4
W6	3	IO_BE15N_3	V2	4	IO_BE12N_4



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
E4	5	I0_BE1P_5	M1	6	I0_M1_6
E5	5	I0_BE1N_5	N1	6	I0_M2_6
G4	5	I0_BE2P_5	L1	6	I0_M3_6
H4	5	I0_BE2N_5	K1	6	I0_M4_6
H6	5	I0_BE3P_5	AF5	6	I0_M5_6
H5	5	I0_BE3N_5	AE5	6	I0_M6_6
K2	5	I0_BE4P_5	B4	6	I0_M7_6
L2	5	I0_BE4N_5	A4	6	I0_M8_6
J6	5	I0_BE5P_5	AF6	6	I0_M9_6
K7	5	I0_BE5N_5	AE6	6	I0_M10_6
M3	5	I0_BE6P_5	B5	6	I0_M11_6
M2	5	I0_BE6N_5	A5	6	I0_M12_6
G5	5	I0_BE7P_5	AF9	6	I0_M13_6
F5	5	I0_BE7N_5	AF8	6	I0_M14_6
F3	5	I0_BE8P_5	B6	6	I0_M15_6
G3	5	I0_BE8N_5	A6	6	I0_M16_6
E3	5	I0_BE9P_5	AF11	6	I0_M17_6
D3	5	I0_BE9N_5	AF10	6	I0_M18_6
H3	5	I0_BE10P_5	A8	6	I0_M19_6
J3	5	I0_BE10N_5	A9	6	I0_M20_6
C2	5	I0_BE11P_5	AF12	6	I0_M21_6
C3	5	I0_BE11N_5	AE12	6	I0_M22_6
F2	5	I0_BE12P_5, GPLLO1P_REF	A10	6	I0_M23_6
G2	5	I0_BE12N_5, GPLLO1N_REF	A11	6	I0_M24_6
J2	5	I0_BE13P_5	AF13	6	I0_M25_6
H2	5	I0_BE13N_5	AE13	6	I0_M26_6
K3	5	I0_BE14P_5	B12	6	I0_M27_6, GCLK10M_0
L3	5	I0_BE14N_5	A12	6	I0_M28_6, GCLK10M_1
K4	5	I0_BE15P_5	P1	6	I0_M29_6
J4	5	I0_BE15N_5	P2	6	I0_M30_6
K5	5	I0_BE16P_5, GCLK10B_4	H1	6	I0_M31_6
K6	5	I0_BE16N_5, GCLK10B_5	G1	6	I0_M32_6
G6	5	I0_BE17P_5	R1	6	I0_M33_6
G7	5	I0_BE17N_5	R2	6	I0_M34_6
L6	5	I0_BE18P_5	C1	6	I0_M35_6
L5	5	I0_BE18N_5	B1	6	I0_M36_6



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
T1	6	I0_M37_6	AE24	7	I0_M21_7
T2	6	I0_M38_6	AF24	7	I0_M22_7
D1	6	I0_M39_6	B21	7	I0_M23_7
D2	6	I0_M40_6	A22	7	I0_M24_7
U1	6	I0_M41_6	AE25	7	I0_M25_7
U2	6	I0_M42_6	AF25	7	I0_M26_7
F1	6	I0_M43_6	B23	7	I0_M27_7
E2	6	I0_M44_6	A23	7	I0_M28_7
AE15	7	I0_M1_7	U25	7	I0_M29_7
AF15	7	I0_M2_7	U26	7	I0_M30_7
A14	7	I0_M3_7, GCLK10M_2	E25	7	I0_M31_7
B14	7	I0_M4_7, GCLK10M_3	F26	7	I0_M32_7
AE16	7	I0_M5_7	T25	7	I0_M33_7
AF16	7	I0_M6_7	T26	7	I0_M34_7
A15	7	I0_M7_7	D25	7	I0_M35_7
A16	7	I0_M8_7	D26	7	I0_M36_7
AF19	7	I0_M9_7	R25	7	I0_M37_7
AF18	7	I0_M10_7	R26	7	I0_M38_7
A17	7	I0_M11_7	B26	7	I0_M39_7
A18	7	I0_M12_7	C26	7	I0_M40_7
AF21	7	I0_M13_7	P25	7	I0_M41_7
AF20	7	I0_M14_7	P26	7	I0_M42_7
A19	7	I0_M15_7	G26	7	I0_M43_7
B19	7	I0_M16_7	H26	7	I0_M44_7
AE21	7	I0_M17_7	N26	7	I0_M45_7
AE20	7	I0_M18_7	M26	7	I0_M46_7
A20	7	I0_M19_7	K26	7	I0_M47_7
B20	7	I0_M20_7	L26	7	I0_M48_7



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
L12	-	VCCAUX	AF23	-	GND
L13	-	VCCAUX	AF26	-	GND
L14	-	VCCAUX	AF7	-	GND
L15	-	VCCAUX	C15	-	GND
M12	-	VCCAUX	C19	-	GND
M13	-	VCCAUX	P3	-	GND
M14	-	VCCAUX	P9	-	GND
M15	-	VCCAUX	R11	-	GND
N13	-	VCCAUX	R16	-	GND
N14	-	VCCAUX	R18	-	GND
P13	-	VCCAUX	T11	-	GND
P14	-	VCCAUX	T16	-	GND
R12	-	VCCAUX	U10	-	GND
R13	-	VCCAUX	U11	-	GND
R14	-	VCCAUX	U12	-	GND
R15	-	VCCAUX	U13	-	GND
T12	-	VCCAUX	U14	-	GND
T13	-	VCCAUX	U15	-	GND
T14	-	VCCAUX	U16	-	GND
T15	-	VCCAUX	U17	-	GND
A1	-	GND	U18	-	GND
A21	-	GND	U9	-	GND
A26	-	GND	V1	-	GND
A7	-	GND	V19	-	GND
AA21	-	GND	V21	-	GND
AA7	-	GND	V26	-	GND
AB11	-	GND	V9	-	GND
AB16	-	GND	W24	-	GND
AC14	-	GND	W3	-	GND
AC23	-	GND	W5	-	GND
AC3	-	GND	C23	-	GND
AC6	-	GND	C4	-	GND
AD21	-	GND	D9	-	GND
AE9	-	GND	E1	-	GND
AF1	-	GND	E12	-	GND
AF17	-	GND	E26	-	GND



编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
F18	-	GND	N12	-	GND
F23	-	GND	N15	-	GND
F4	-	GND	P12	-	GND
H18	-	GND	P15	-	GND
H19	-	GND	P18	-	GND
H7	-	GND	P24	-	GND
H8	-	GND	L11	-	GND_PLLAO
J1	-	GND	L16	-	GND_PLLA1
J18	-	GND	G18	0	VCC100
J21	-	GND	G8	0	VCC100
J26	-	GND	J10	0	VCC100
J5	-	GND	J11	0	VCC100
J9	-	GND	J12	0	VCC100
K10	-	GND	J13	0	VCC100
K11	-	GND	J14	0	VCC100
K12	-	GND	J15	0	VCC100
K13	-	GND	J16	0	VCC100
K14	-	GND	J17	0	VCC100
K15	-	GND	J19	1	VCC101
K16	-	GND	N16	1	VCC101
K17	-	GND	J20	1	VCC101
K8	-	GND	K18	1	VCC101
L18	-	GND	L17	1	VCC101
L23	-	GND	U19	1	VCC101
L4	-	GND	P16	1	VCC101
L9	-	GND	R17	1	VCC101
M11	-	GND	T17	1	VCC101
M16	-	GND	T18	1	VCC101
M8	-	GND			



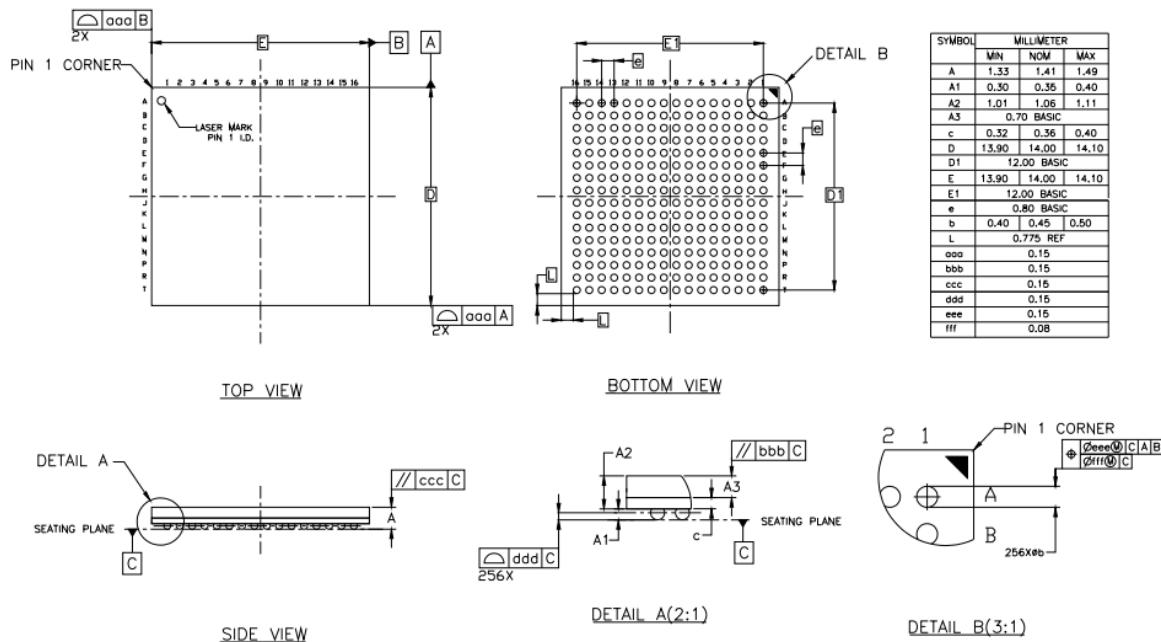
编号	BANK	642 引脚说明	编号	BANK	642 引脚说明
V20	1	VCCI01	R9	4	VCCI04
AA8	2	VCCI02	T9	4	VCCI04
V10	2	VCCI02	J7	5	VCCI05
V11	2	VCCI02	J8	5	VCCI05
V12	2	VCCI02	K9	5	VCCI05
V13	2	VCCI02	L10	5	VCCI05
V14	2	VCCI02	M10	5	VCCI05
V15	2	VCCI02	L8	6	VCCI06
V16	2	VCCI02	M9	6	VCCI06
V17	2	VCCI02	N10	6	VCCI06
V18	2	VCCI02	N11	6	VCCI06
W19	2	VCCI02	P11	6	VCCI06
W9	2	VCCI02	M17	7	VCCI07
T10	3	VCCI03	M18	7	VCCI07
U8	3	VCCI03	M19	7	VCCI07
V5	3	VCCI03	N17	7	VCCI07
V8	3	VCCI03	N18	7	VCCI07
P10	4	VCCI04	P17	7	VCCI07
R10	4	VCCI04			

注：

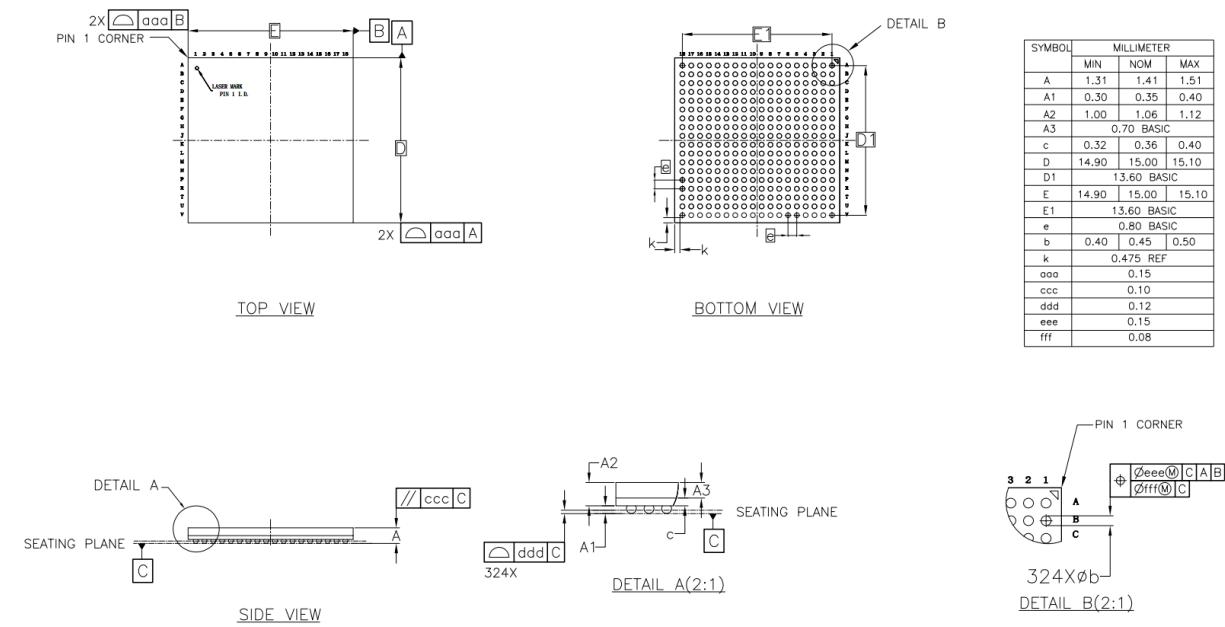
- 此引脚不支持 Statehold 功能。

## 4.11 封装信息

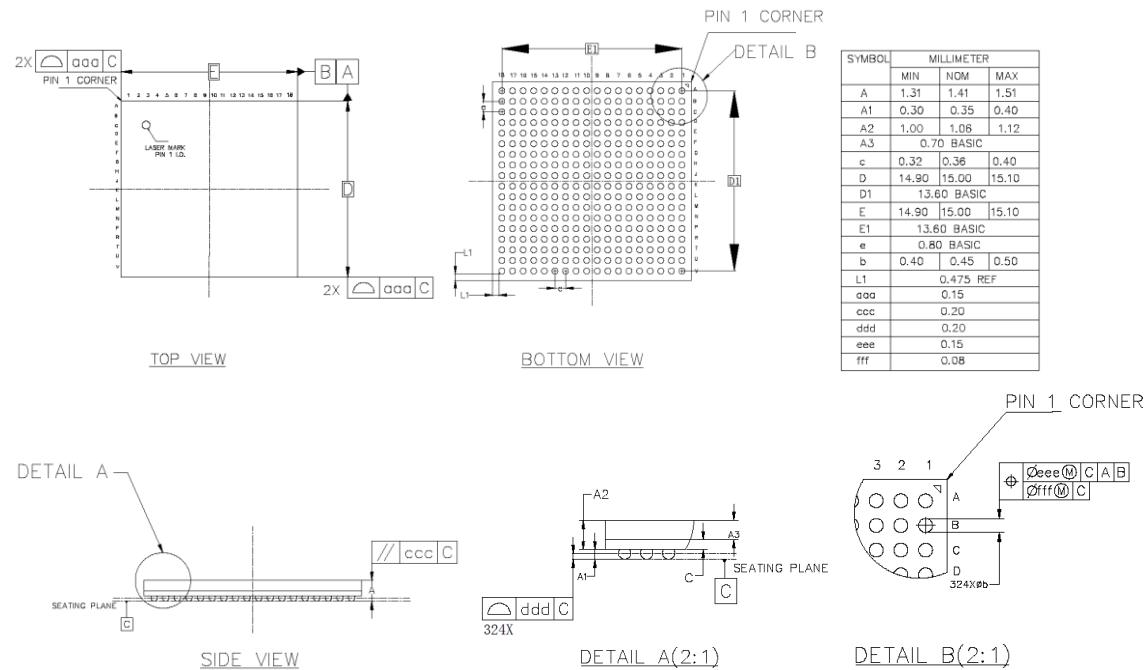
### 4.11.1 caBGA256 封装规格 (EF3L50/EF3L70)



## 4. 11. 2 caBGA324 封装规格 (EF3L40/EF3L90)

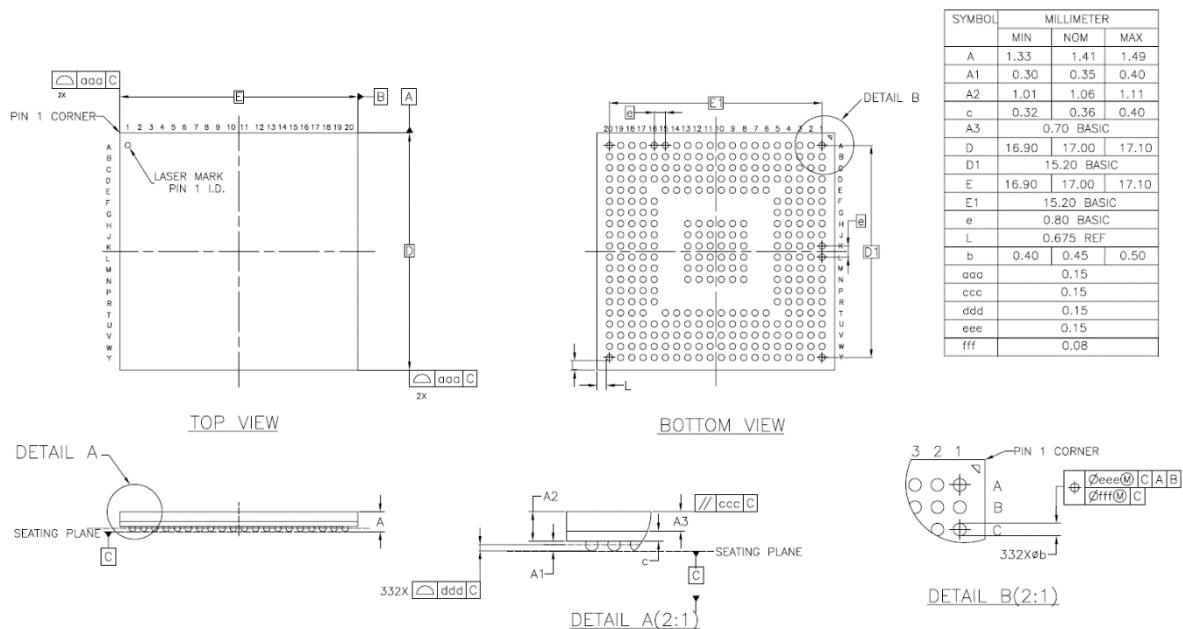


## 4.11.3 caBGA324 封装规格 (EF3L70)

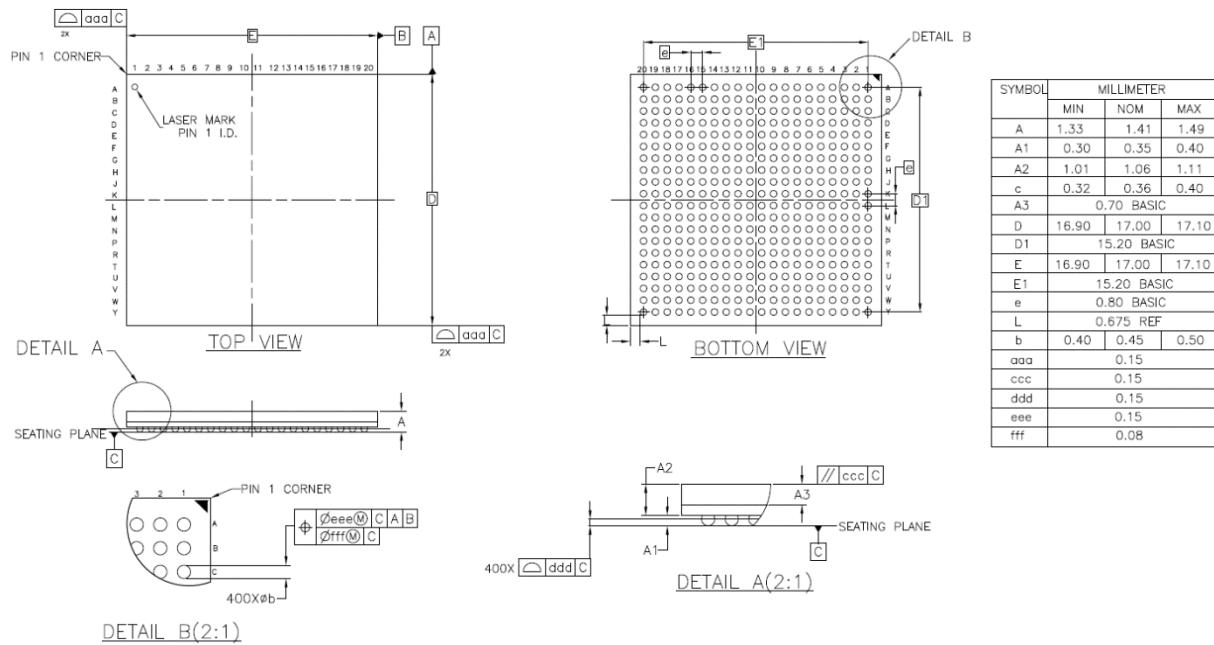




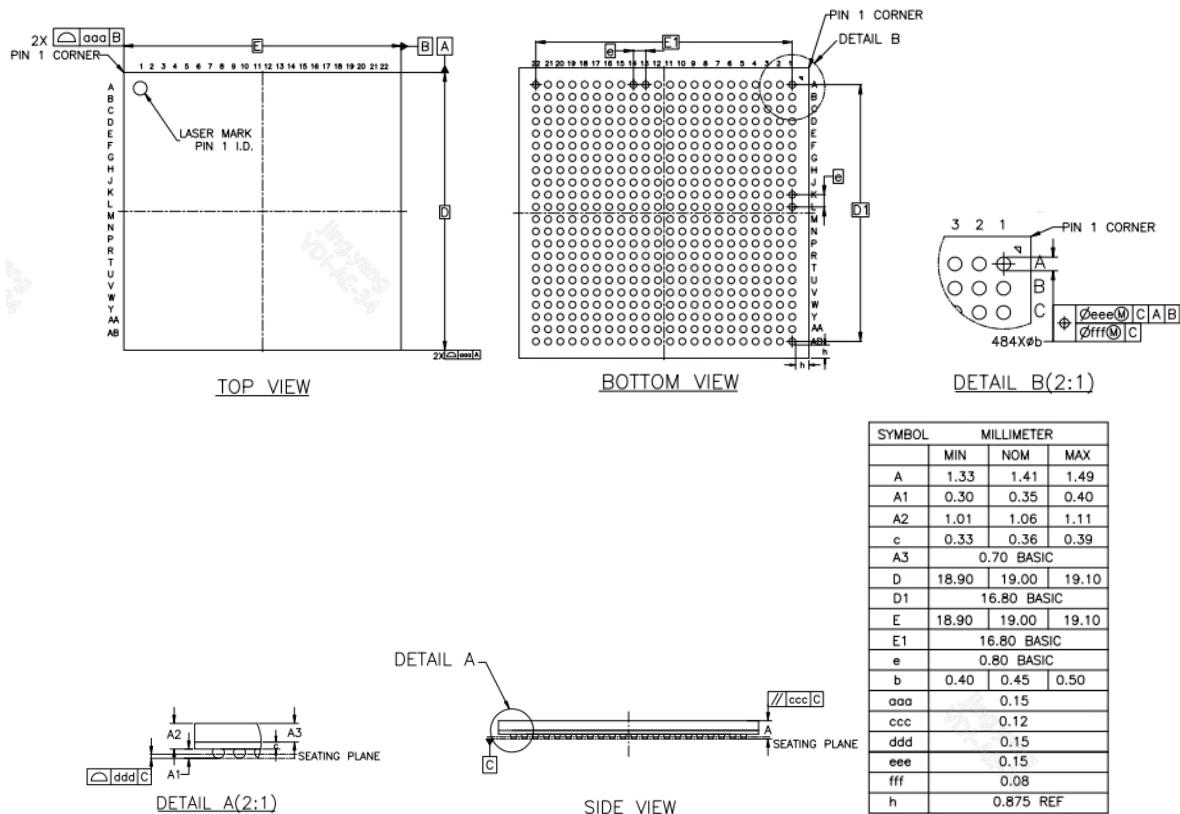
## 4.11.4 caBGA332 封装规格



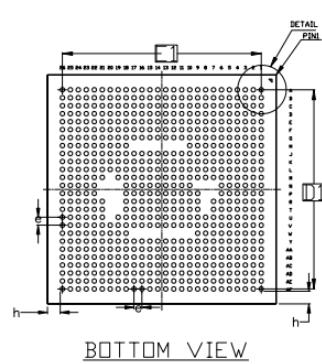
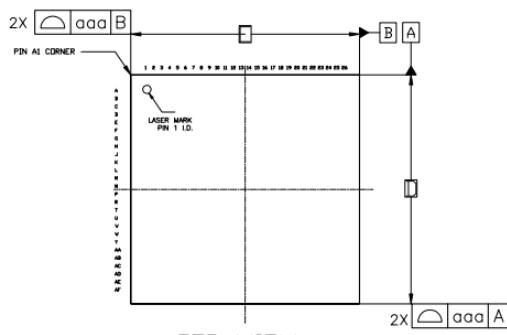
#### 4.11.5 caBGA400 封装规格



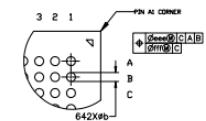
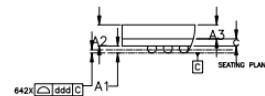
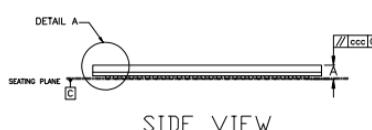
#### 4.11.6 caBGA484 封装规格



## 4.11.7 caBGA642 封装规格



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.33	1.41	1.49
A1	0.30	0.35	0.40
A2	1.01	1.06	1.11
A3	0.70	BASIC	
c	0.32	0.36	0.40
D	22.90	23.00	23.10
D1	20.00	BASIC	
E	22.90	23.00	23.10
E1	20.00	BASIC	
e	0.80	BASIC	
b	0.40	0.45	0.50
h	1.275	REF	
ooo	0.20		
ccc	0.15		
ddd	0.20		
eee	0.18		
fff	0.10		





## 5 订购信息

表 5-1 器件号缩写

器件名称	类别	查找表容量	封装类型	电源类型	可选后缀
EF3	L	90	CG400	B	E

■ 产品系列

- EF3 EF3 系列

■ 类别

- L 逻辑器件

■ 查找表容量

- 40 4800 查找表
- 50 5304 查找表
- 70 7952 查找表
- 90 9280 查找表
- A0 11776 查找表

■ 封装类型: <类型><#>

- CG caBGA, substrate
- # 引脚数 (400 指 400 个引脚)

■ 电源类型

- B 单电源 (EF3 器件电源类别均为单电源)

■ 可选后缀

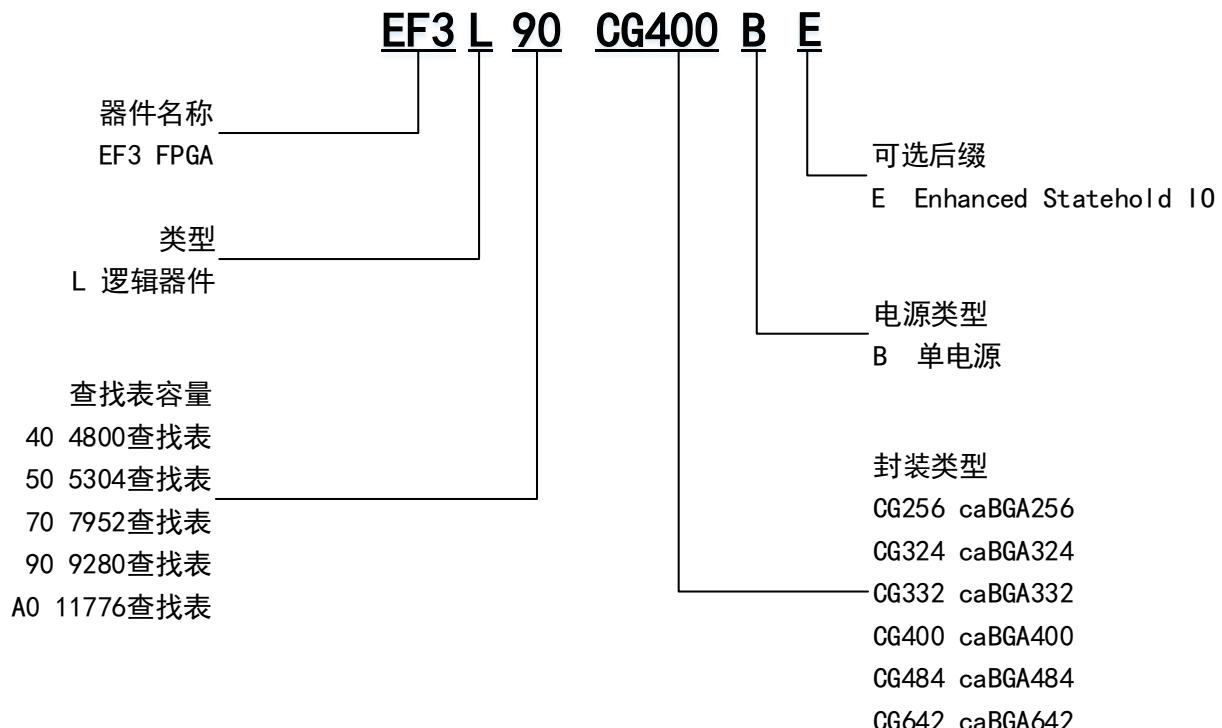
- E Enhanced Statehood 10

■ 温度等级

- I 工业 ( $T_J = -40 \sim 100^\circ\text{C}$ )

注:

1. EF3 器件温度等级均为工业级。
2. 内箱标签 GRADE 栏中的 “I” 和 “I7” 均为 I 等级。





## 版本信息

日期	版本	修订记录
2018/11/12	0. 1	首次发布中文版
2018/11/20	0. 2	增加 EF1L90 不支持热插拔的引脚注释
2018/11/22	0. 3	修改器件号缩写 EF3->EF3, 更新 caBGA332 引脚列表
2018/11/23	0. 4	在器件号缩写中添加单电源标识与描述
2018/11/29	0. 5	修改 PLL 架构图
2018/12/05	0. 6	修改 ERAM 性能指标描述方式
2018/12/11	0. 7	调整 SLICE 描述中部分语句位置, ehanced LUT5->增强型 LUT5
2018/12/27	0. 8	修改 caBGA400 封装 D15 与 F14 引脚标识
2019/2/18	0. 9	修改上电时序图, 删除内核电压上电要求及相关描述
2019/2/25	1. 0	添加 2-9-7 EF3 JTAG 时序图和 2-9-4 EF3 JTAG 时序规格表
2019/3/6	1. 1	在表 2-7-1 IOL 支持工作模式中添加不支持 DDRx2 的引脚说明 在 2.8.3 节高速 LVDS 接口中添加具有 100 欧电阻的引脚说明
2019/3/18	1. 2	删除表 3-1-9 中关于施密特触发器的描述 添加表 3-1-4 最小供电要求
2019/3/28	1. 3	在 OSC 一节添加 OSC 精度注释说明表 3-1-16 EF3L50/70/A0 与表 3-1-12 差分输入摆幅大于 500mV 时只能使用外接电阻的注释说明 添加图 2-8-1 图 2-8-2 LVPECL 输入建议外接电路 修改表 3-2-5 高速 I/O 接口性能表中 LVPECL 参数 VCCIO 3.0->3.3V 修改 CSB 时钟切换时序图 BUFGMUX sel 信号对应的时钟输出
2019/4/26	1. 4	嵌入式存储模块 BRAM、EMB 统一修改为 ERAM, 并相应更新 ERAM 配图 更新 MSLICE 与 LSLICE 配图, 图 2-1-2、图 2-1-3 更新图 2-4-1 全局时钟网络配图及其文字说明 修改图 2-9-4 EF3 串行配置模式时序图, 添加表 2-9-2 从动串行时序规格表 修改图 2-9-6 EF3 从动并行配置时序图, 添加表 2-9-3 从动并行时序规格表 更新表 3-2-3 EF3 器件的 PLL 规格 更新表 3-2-6 EF3 器件配置模式时序规格表 OSC、AES 模块未完成完整测试, 暂时删除
2019/5/31	1. 5	修改 BANK0 的最小供电要求为 1.5V
2019/8/16	1. 6	添加 BANK1/3/4/5 的 A、C 端口 (差分对的 P 端) 同样支持 iDDRx2 的说明 添加 EF3L40CG324 引脚列表与封装尺寸说明 添加不同 BANK 支持的电平标准图文描述 T_por 最大时间修改为 35ms 添加 10 年使用寿命下允许的最大过冲、下冲的占比值 VCCAUX_PORUP 阈值最小值 1.5V, 典型值 1.55V, 最大值 1.6V 修改 VCCAUX_PORDN 最大值为 1.5V 删除 LVDS 规格表中差分输出大摆幅数据 彻底去除订购信息中的双电源描述
2019/9/23	1. 6. 1	修正 EF3L40CG324 引脚列表中 H15 标识错误, 由 " IO_TE12P_1" 改



日期	版本	修订记录
		为” IO_TE12N_1”
2019/10/25	1. 6. 2	删除从动配置时， INITN 信号结束到配置时钟给出的相对时间要求 非背景模式下，通过 Jtag 烧写 FLASH 数据， tck 的频率要大于等于 100KHz 在表 3-2-3 EF3 器件的 PLL 规格中加入 PLL 参考时钟规格要求
2019/12/30	1. 6. 3	删除从动配置时最大建立时间限制，添加最小保持时间要求 EF3 系列 FPGA 配置器件内置，删除 SPI 接口相关说明
2020/2/2	1. 6. 4	修改 IO 管脚在上电完成后位流加载前的状态为弱上拉
2020/10/25	1. 6. 5	删除原有 LVPECL 部分介绍。增加 2. 8. 4 LVPECL 章节说明和电路 更新表 3-1-12 EF3 LVDS 推荐操作条件，增加 LVDS33 输入和输出参数。
2022/10/12	1. 6. 6	1. 更新表 2-9-2：将 T_ch 和 T_ci 的最小规格改为 15. 5 2. 更新表 2-9-3：将 T_ch 和 T_ci 的最小规格改为 15. 5 3. 在表 2-9-4 后增加 tck 的频率要大于等于 100KHz 的限制说明 4. 将 3. 1. 6 节改为上下电时序章节 5. 在表 3-1-3 后增加注 3 和注 4 说明 IO 端口应用限制 6. 在表 2-9-1 后增加加载时钟 TCK\SCLK 信号的串接说明 7. 在图 2-5-1 前增加 PLL 选择推荐，在表 3-2-3 注 4 中增加复位信号宽度的说明 8. 更新第 2. 9. 10 节为 MULTI BOOT，更新 mult_bootn 为 rebootn，在第一段增加 rebootn 信号的使用限制 9. 删除 1. 1 器件特性中的 BLVDS、MLVDS 差分电平标准，删除 2. 8. 1 节中 IOB 支持差分标准中的 BLVDS、RSDS 和 MLVDS，删除表 2-8-2 中的 BLVDS 和 RSDS 规格，删除表 3-2-5 中的 BLVDS25、MLVDS25、RSDS25、RSDS25E、BLVDS25E、MLVDS25E 规格 10. 删除表 2-8-1 中的 PCIx33 电气标准，删除表 3-1-10 中的 PCIx33 电气标准 11. 更新表 1-1 和表 1-2 中的 EF3 器件 IO 数目，更新表 1-2 后备注的说明 12. 更新文档免责声明
2022/12/9	1. 7	1. 更新第 1. 1 节器件结构中的特性描述，更新表 1-1 器件选型表和表 1-2 FPGA 封装，更新第 5 节中的器件信息 2. 更新 1. 2 节中的器件介绍中的最大用户 IO 数量 3. 更新第 2 节 EF3 架构介绍说明 4. 更新 2. 5. 2 节的动态相位细调步骤介绍，更新图 2-5-3 5. 更新 2. 6 节数字信号处理 (DSP) 介绍 6. 在表 2-7-2 中增加 EF3L70 和 EF3LA0 的输入 IO 延时，更新第 2. 7. 2. 4 节中 IO 输出延时的描述，增加表 2-7-3 输出延时调节范围 7. 在 2. 8. 2 节中更新 IO 分组的描述，增加图 2-8-3 EF3 器件 8 个 IO 分组示意图 8. 更新表 2-8-3 注 1，增加内阻 20Ω 说明；更新图 2-8-4 LVDS_E 的输入电阻网络 9. 在 2. 9. 1 节配置模式介绍中增加 EF3LA0 和 EF3L70 器件的配置方式，更新表 2-9-1 EF3 配置模式及引脚，更新表后的复用配置引脚说明 10. 更新 2. 9. 3 节和表 3-2-6 中的 MSPI 频率范围 11. 更新表 2-9-2、表 2-9-3、表 4-1-1 中的 CCLK 为 SCLK



日期	版本	修订记录
		<ol style="list-style-type: none"><li>12. 增加 2.9.8 节 SSPI 配置模式和 2.9.9 节 I2C 配置模式</li><li>13. 更新 2.9.11 节 DUAL BOOT 功能描述, 新增表 2-9-8 EF3 器件 Dual Boot 加载 Golden bitstream 起始地址, 更新图 2-9-14 的图题为 EF3L40 Dual Boot SPI FLASH 的数据空间分配</li><li>14. 更新 2.9.12 节 MULTI BOOT 功能描述, 且增加信号说明</li><li>15. 更新 2.9.14 节 FPGA I/O 在配置阶段的状态, 更新表 2-9-9 的表题为 EF3L40 和 EF3L90 器件 Configuration Pin Termination, 增加 USRCLK 引脚在配置阶段的状态信息; 增加表 2-9-10 EF3LA0 和 EF3L70 器件 Configuration Pin Termination</li><li>16. 更新表 3-1-4 的表题为最小供电要求</li><li>17. 在表 3-1-5 静态电源电流中增加 EF3LA0 和 EF3L70 器件规格</li><li>18. 更新表 3-1-7, 删除 Vccio 上电检测最小值和最大值规格, VCCAUX 掉电检测阈值中增加 EF3LA0 和 EF3L70 器件规格</li><li>19. 更新图 3-1-2 器件上电时序图中的 CCLK 为 SCLK</li><li>20. 更新表 3-2-3, 增加 EF3LA0 和 EF3L70 相应规格, 更新复位脉冲最小宽度和 PLL 相位动态配置时间规格, 删除复位恢复时间和 SCANCLK 频率规格, 增加动态相移频率参数</li><li>21. 更新表 3-2-6 器件配置模式时序规格表, 增加 MSPI 不同器件的规格区分, 增加 SSPI、I2C 和 JTAG 频率规格</li><li>22. 新增 4.3 节 caBGA256 引脚信息、4.7 节 caBGA484 引脚信息和 4.8 节 caBGA642 引脚信息</li><li>23. 新增 4.9.1 节 caBGA256 封装规格、4.9.5 节 caBGA484 封装规格和 4.9.6 节 caBGA642 封装规格</li><li>24. 在表 3-2-3 中增加 EF3L70 和 EF3LA0 器件规格</li><li>25. 更新表 2-5-3, 删除 PSCLKSEL[2:0] 为 101 的输出项</li><li>26. 更新表 4-1-1, 增加 I2C 和 SSPI 配置模式引脚说明</li><li>27. 在表 2-9-2 注 2、注 3 和表 2-9-3 注 2、注 3 中增加 SCLK 引脚的限制要求</li></ol>
2023/03/23	1.7.1	<ol style="list-style-type: none"><li>1. 在第 1.1 节和表 1-1 EF3 FPGA 系列选型表中, 更新 EF3LA0 Total ERAM 数量为 612</li><li>2. 在表 1-2 EF3 FPGA 封装中新增 EF3L90CG324</li><li>3. 在表 2-7-1 IOI 支持工作模式注 1 和注 2 中新增器件 EF3L90CG324</li><li>4. 修改表 2-8-1 EF3 支持电气标准中注 1, 将 EF3L90 修改为 EF3L90CG400</li><li>5. 在 2.8.3 节高速 LVDS 接口中修改器件 EF3L90 的相关描述</li><li>6. 在 2.9.1 节中删除器件默认配置模式的相关描述</li><li>7. 在 2.9.3 节 MSPI 配置模式中位流软件频率的描述中新增器件 EF3L90CG324</li><li>8. 更新图 2-9-11 I2C 配置模式接口</li><li>9. 在表 2-9-8 EF3 器件 Dual Boot 加载 Golden bitstream 起始地址中新增器件 EF3L90CG324</li><li>10. 在第 2.9.14 节 FPGA I/O 引脚在配置阶段的状态中关于非配置相关 IO 的描述中新增器件 EF3L90CG324</li><li>11. 在表 3-1-6 热插拔规格中新增注 3, 对 EF3LA0、EF3L70、EF3L90CG324 器件的配置相关引脚不支持热插拔做出说明</li><li>12. 在第 3.1.10 节差分 I/O 电学特性中, 新增表格表 3-1-13 EF3L70/A0 LVDS</li></ol>



日期	版本	修订记录
		<p>推荐操作条件以及备注 1, 表 3-1-12 名称修改为 EF3L40/90 LVDS 推荐操作条件</p> <p>13. 在表 3-2-6 EF3 器件配置模式时序规格表中新增 EF3L90CG324 器件的 MSPI 频率规格</p>
2023/05/05	1.7.2	<ol style="list-style-type: none"><li>在第 2 章节中更新分频系数 M、N，更新图 2-5-1 EF3 PLL 架构图中分频系数 M、N，更新表 2-5-1 EF3 PLL 特性表中分频系数 M、N，更新 2.5.2 章节中关于分频系数 M、N 的相关描述</li><li>在第 2.5.2 章节中删除“五路同时支持动态相移”的相关描述，更新表 2-5-2 动态相移控制信号中 PSCLKSEL 信号的相关描述</li><li>在表 2-8-1 EF3 支持电气标准中新增 LVDS18E，新增一列 BANK6/7</li><li>在表 3-1-12 EF3L40/90 LVDS 推荐操作条件下，参数 V<sub>DD</sub> 新增 VCCIO=3.3V</li><li>在表 3-2-5 高速 I/O 接口性能表中，最大输入频率中新增 LVDS33，最大输出频率中新增 LVDS18、LVDS18E、LVDS33、LVDS33E，新增注释 1</li><li>更新 4.8 章节 caBGA484 引脚信息，更新 4.4 章节名为 caBGA324 引脚信息（EF3L40），新增 4.5 章节 caBGA324 引脚信息（EF3L90）</li></ol>
2023/09/01	1.7.3	<ol style="list-style-type: none"><li>在 1.1 章节，高性能，灵活的输入/输出缓冲器中更新电平标准，表 1-2 EF3 FPGA 封装中新增“注 2. JTAGEN 和 TCK, TMS, TDI, TDO 引脚功能互斥，当 JTAGEN 引脚作为普通 I/O 时，TCK, TMS, TDI, TDO 不支持作为普通 I/O，表中 I/O 数量不包含 JTAGEN 引脚”</li><li>新增器件 EF3L50CG256，在 1.1 章节，表 1-1 EF3 FPGA 系列选型表中新增 EF3L50，表 1-2 EF3 FPGA 封装中新增 EF3L50；第 2 章节 EF3 架构介绍、第 3 章节直流交流特性、第 4 章节引脚和封装、第 5 章节订购信息中新增 EF3L50</li><li>在表 2-3-1 ERAM 9K 特色 Read-during-write 中新增输出数据保持不变 (no change)，新增注：1. read before write 模式在软件中选择 read first, write through 模式在软件中选择 write first, no change 模式在软件中选择 no change</li><li>在 2.8.3 章节高速 LVDS 接口，更新图 2-8-3 True LVDS 输出</li><li>在 2.9.1 章节配置模式中，更新配置模式的相关描述，EF3LA0、EF3L70、EF3L50 中新增从动并行配置模式</li><li>在 2.9.8 章节 SSPI 配置模式中，更新表 2-9-5 SSPI 模式信号说明中注 1 为“在 SSPI 配置模式中，数据通过 SI 端口在 SCLK 的上升沿输入，输出数据在 SCLK 的下降沿通过 SO 输出”</li><li>在 2.9.11 章节 DUAL BOOT 功能中，新增 EF3L50CG256 器件的 Golden bitstream 起始地址</li><li>在 2.9.15 DNA 安全功能中，更新图 2-9-17 EF3 DNA IP, 更新图 2-9-18 EF3 DNA 时序图，更新 DNA 模块的相关描述</li><li>在第 3.1.5 章节热插拔规格中，新增表 3-1-7 EF3 系列 FPGA 不支持热插拔引脚列表，删除表 3-1-6 热插拔规格中的注 2 和注 3</li><li>在第 3.1.6 章节上下电时序中，注 2 的描述更新为“对 VCCAUX、VCCIO*没有上电时序要求，但需注意上电过程中 I/O 端口电压不得高于 VCCIO”</li><li>在 3.2.5 章节高速 I/O 接口性能中，更新表 3-2-5 高速 I/O 接口性能中注 1 “该规格适用于 EF3LA0、EF3L70 和 EF3L50 器件。”，注 1 新增适用电平 LVDS18</li></ol>



日期	版本	修订记录
		12. 在 3.2.6 章节配置模块中，新增描述“注：1. 主动 SPI 加载，EF3 器件最高频率需考虑 OSC 精度偏差。EF3L40CG324B、EF3L40CG332B、EF3L90CG400B 和 EF3L90CG324B 器件的 OSC 中心频率为 290MHz，最大偏差在±30%以内；EF3LA0CG484B、EF3LA0CG642B、EF3L70CG256B、EF3L50CG256B 器件的 OSC 中心频率为 266MHz，最大偏差在±5%以内；对时钟精度要求较高的场景不建议使用。”
2023/10/26	1.7.4	1. 在表 1-1 EF3 FPGA 系列选型表中，更新 EF3L90 Dis-RAM 数量为 73Kb，EF3LA0 Dis-RAM 数量为 92Kb，与软件对齐 2. 在表 3-1-7 EF3 系列 FPGA 不支持热插拔引脚列表中，更新 EF3L90CG324 器件不支持热插拔的引脚 3. 新增表 3-1-15 EF3L40/90 LVPECL33 推荐操作条件以及注“1. LVPECL 接收不能使用芯片内部 100 欧电阻”，修改原表 3-1-15 的表名为表 3-1-16 EF3L50/70/A0 LVPECL33 推荐操作条件 4. 在 4.3 章节 caBGA256 引脚信息（EF3L50/EF3L70）中，增加“注：EF3L50CG256B 与 EF3L70CG256B 引脚兼容” 5. 在表 3-1-13 EF3L40/90 LVDS 推荐操作条件、表 3-1-14 EF3L50/70/A0 LVDS 推荐操作条件、表 3-1-16 EF3L50/70/A0 LVPECL33 推荐操作条件中更新 V <sub>ID</sub> 测试条件 6. 在表 3-2-6 EF3 器件配置模式时序规格表中，删除主模式串行 PROM (MS)，更新主模式并行 x8 (MP) 规格，更新注释 1
2024/02/05	1.7.5	1. 更新第 4.3 caBGA256 引脚信息（EF3L50/EF3L70）的 BANK2 中 I/O 的位置标识 2. 在表 2-9-8 EF3 器件 Dual Boot 加载 Golden bitstream 起始地址表中增加不同位流 feature 寄存器地址；在图 2-9-15 EF3L40 Dual Boot SPI FLASH 的数据空间分配图中增加 feature 寄存器地址示意 3. 更新第 3.1.10 差分 I/O 电学特性节，删除 EF3L50/70/A0 LVDS 推荐操作条件表和 EF3L50/70/A0 LVPECL33 推荐操作条件表，合并入表 3-1-12 EF3 器件 LVDS 推荐操作条件和表 3-1-13 EF3 器件 LVPECL33 推荐操作条件 4. 更新第 3.1.5 热插拔规格章节描述，EF3 系列 FPGA 中仅 EF3L90CG400B 器件部分引脚不支持热插拔，解除其他器件的热插拔限制
2024/05/21	1.7.6	1. 新增表 2-9-9 非配置 I/O 在上电完成后，feature 寄存器加载前状态。 2. 在 2.8.3 章新增 IOB 可实现类差分输出（MLVDS 电平）的注释。 3. 新增表 3-1-14 EF3L50/70/A0 LVDS18 推荐操作条件 4. 根据统一的打标方案更新器件速度等级和温度的标签说明 5. 更新表 1-2 EF3LA0CG484 差分对数 6. 更新器件 EF3L50/EF3LA0/EF3L70 引脚信息，新增此引脚不支持 Statehold 功能 7. 功能更新 DOUT 引脚功能描述，新增 DIN, CSON 引脚描述 8. 更新表 2-9-4 JTAG 时序规格表，图 2-9-7 EF3 JTAG 时序图 9. 删除表 2-5-1 EF3 PLL 特性表中 PLL 规格，具体以第 3.2.3 章为准
2025/03/25	1.7.7	1. 删除 EF3L50, EF3L70, EF3LA0 器件 SS 和 SP 配置模式支持，并全文更新；新增表 2-9 EF3 器件配置模式支持。



日期	版本	修订记录
		<ol style="list-style-type: none"><li>2. 删除 2.9.3 MSPI 配置模式一节配置频率。</li><li>3. 新增表 2-9-9 非配置相关 I/O 状态一表中的不断电重加载, feature 寄存器加载前的非配置引脚 I/O 状态, 新增注 2 对其说明。</li><li>4. 表 2-9-10 EF3L40 和 EF3L90 器件 Configuration Pin Termination 新增注 1, 表 2-9-11 EF3LA0、EF3L70 和 EF3L50 器件 Configuration Pin Termination 新增注 2, 说明 EF3 器件部分普通 IO 在配置器件的 I/O 状态。</li><li>5. 更新表 3-1-1 最大绝对额定值一表中 VESDCDM 的参数描述。</li><li>6. 新增 4.11.6 cABGA484 封装规格一节中 TOP VIEW。</li><li>7. 更新 5 订购信息一节中温度等级描述。</li></ol>
2025/06/28	1.7.8	<ol style="list-style-type: none"><li>1. 2.5.1 锁相环 (PLL) 简介一节中新增描述 PLL 专用输入管脚互连说明。</li><li>2. 新增表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比的注释 1, 说明 UI 的周期。</li><li>3. 新增表 3-1-9 IOB 推荐基本操作条件中 IOB 的迟滞规格 VHYST 和注 1。</li><li>4. 更新表 2-8-1 EF3 支持电气标准的注 2, 说明 EF3L50、EF3L70 和 EF3LA0 器件 BANK2 的伪差分引脚不支持片内 100 Ω 差分电阻。</li></ol>
2025/12/20	1.7.9	<ol style="list-style-type: none"><li>1. 更新表 2-8-1 EF3 支持电气标准注 2 中 EF3L50、EF3L70 和 EF3LA0 器件 BANK2 的伪差分引脚不支持片内 100 Ω 差分电阻说明。</li><li>2. 删除表 2-9-10 EF3L40 和 EF3L90 器件 Configuration Pin Termination 注 1、表 2-9-11 EF3LA0、EF3L70 和 EF3L50 器件 Configuration Pin Termination 注 2, 解除对应器件涉及 IO 不受 HSWAPEN 控制的限制说明。</li><li>3. 更新表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比一表中上冲条件, 更新图 3-1-1 输入信号过冲、下冲, 并在上文中增加描述对数据进行说明</li><li>4. 更新表 3-1-3 推荐基本操作条件一表中 VI 规格</li><li>5. 更新表 5-1 引脚定义规则中的 DONE 引脚、INITB 引脚描述</li><li>6. 更新 2.8.3 高速 LVDS 接口一节描述</li><li>7. 新增 EF3L50CG256BE、EF3L70CG324BE 和 EF3LA0CG484BE 器件</li><li>8. 新增 2.9.16 Statehold IO 功能一节</li><li>9. 更新 2.8.5 兼容 5V 输入一节中 IO 支持 5V 输入的相关描述以及 IO 最大容限绝对电压 VIMAX 相关描述</li><li>10. 更新表 2-9-9 非配置相关 I/O 状态一表中“不断电重加载, feature 寄存器加载前”的状态描述, 并新增注释 3 进行举例说明</li></ol>



版权所有© 2025 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。