



# **SALELF®3L15&SALELF®3L25&SALELF®3L45 FPGA**

## **数据手册**

上海安路信息科技股份有限公司

DS\_500 (v1.5) 2025年12月

ALQR-7.5-11



## 目 录

### 目 录 .....

<b>1 简介 .....</b>	<b>1</b>
1.1 SALELF®3 (以下简称 EF3) L15&EF3L25&EF3L45 器件特性 .....	1
1.2 EF3L15&EF3L25&EF3L45 器件介绍 .....	3
<b>2 EF3L15&amp;EF3L25&amp;EF3L45 架构介绍 .....</b>	<b>4</b>
2.1 PFB 模块 .....	5
2.1.1 SLICE .....	6
2.1.2 PFB 操作模式 .....	7
2.1.3 寄存器 .....	8
2.2 互连 (Routing) .....	9
2.3 嵌入式存储器模块 (ERAM) .....	9
2.3.1 ERAM 9K .....	9
2.4 时钟资源 .....	22
2.4.1 全局时钟 .....	23
2.4.2 输入输出时钟 .....	25
2.4.3 快速时钟 .....	26
2.5 锁相环 (PLL) .....	27
2.5.1 简介 .....	27
2.5.2 动态相移 .....	28
2.5.3 时钟反馈模式 .....	30
2.6 数字信号处理 (DSP) .....	31
2.6.1 体系结构 .....	32
2.6.2 操作模式 .....	34
2.7 输入输出逻辑单元 (IOL) .....	36



2.7.1 输入寄存器逻辑 . . . . .	36
2.7.2 输出寄存器逻辑 . . . . .	40
2.8 输入输出缓冲器（IOB） . . . . .	44
2.8.1 IOB 简介 . . . . .	44
2.8.2 高速 LVDS 接口 . . . . .	46
2.8.3 兼容 5V 输入 . . . . .	48
2.9 EF3L15&EF3L25&EF3L45 FPGA 配置说明 . . . . .	52
2.9.1 配置模式 . . . . .	52
2.9.2 配置流程 . . . . .	53
2.9.3 MSPI 配置模式 . . . . .	55
2.9.4 从动串行配置模式 . . . . .	55
2.9.5 从动并行配置模式 . . . . .	57
2.9.6 主动并行配置模式 . . . . .	58
2.9.7 JTAG 配置模式 . . . . .	58
2.9.8 IEEE 1149.1 边界扫描测试 . . . . .	59
2.9.9 DUAL BOOT 功能 . . . . .	59
2.9.10 MULTI BOOT 功能 . . . . .	59
2.9.11 FPGA I/O 引脚在配置阶段的设置 . . . . .	60
2.9.12 FPGA I/O 引脚在配置阶段的状态 . . . . .	60
2.9.13 DNA 安全功能 . . . . .	61
2.10 内置环形振荡器 . . . . .	61
2.11 内嵌 ADC 模块 . . . . .	62
<b>3 直流交流特性 . . . . .</b>	<b>64</b>
3.1 直流电气特性 . . . . .	64
3.1.1 最大绝对额定值 . . . . .	64
3.1.2 推荐基本操作条件 . . . . .	67



3.1.3 最小供电要求 . . . . .	67
3.1.4 单电源器件静态供电电流- B Devices <sup>1,2</sup> . . . . .	68
3.1.5 热插拔规格 . . . . .	68
3.1.6 上电复位电压阈值 . . . . .	69
3.1.7 I/O 管脚电容 . . . . .	69
3.1.8 I/O 直流电气特性 . . . . .	70
3.1.9 单端 I/O 直流电学特性 . . . . .	71
3.1.10 差分 I/O 电学特性 . . . . .	72
3.1.11 ADC 性能 . . . . .	73
3.2 交流电气特性 . . . . .	74
3.2.1 时钟性能 . . . . .	74
3.2.2 嵌入数字信号处理模块 (DSP) 规格 . . . . .	74
3.2.3 锁相环 (PLL) 规格 . . . . .	74
3.2.4 存储器模块 (ERAM) 规格 . . . . .	75
3.2.5 高速 I/O 接口性能 . . . . .	75
3.2.6 配置模块规格 . . . . .	76
<b>4 引脚和封装 . . . . .</b>	<b>77</b>
4.1 引脚定义和规则 . . . . .	77
4.2 I/O 命名规则 . . . . .	78
4.3 EF3L15&EF3L25&EF3L45 引脚信息: caBGA256 . . . . .	79
4.4 EF3L45CG256BH 引脚信息 . . . . .	84
4.5 封装信息 . . . . .	89
4.5.1 caBGA256 封装规格 . . . . .	89
<b>5 订购信息 . . . . .</b>	<b>90</b>
<b>版本信息 . . . . .</b>	<b>92</b>



免责声明 . . . . .	96
----------------	----



## 1 简介

### 1.1 SALELF®3 (以下简称 EF3) L15&EF3L25&EF3L45 器件特性

#### ■ 灵活的逻辑结构

- 1,520 LUTs、2,520LUTs、4,480LUTs
- 最大用户 I/O 数量达 206

- LVTTL,
- LVCMOS (3.3/2.5/1.8V/1.5/1.2V)

#### ■ 低功耗器件

- 先进的 55nm 低功耗工艺

- PCI
- 通过配置支持以下差分标准
- LVDS, LVPECL

#### ■ 内置 Flash

- 内置 Flash, 无需外部配置器件
- 支持快速上电启动

- 支持热插拔
- 可配置上拉/下拉模式
- 片内 100 欧姆差分电阻
- 兼容 5V 输入

#### ■ 支持分布式和嵌入式存储器

- 最大支持 35 Kbits 分布存储器
- 最大支持 108Kbits 嵌入块存储器
- 内置嵌入式存储模块 (9K), 多种组合模式, 可配置为真双口
- 专用 FIFO 控制逻辑

#### ■ 时钟资源

- 16 路全局时钟
- 每个 BANK 上有 2 路针对高速 I/O 接口设计的 IOCLK
- 优化全局时钟的快速时钟
- 多功能 PLLs 用于频率综合

#### ■ 可配置逻辑模块 (PLBs)

- 优化的 LUT4/LUT5 组合设计
- 双端口分布式存储器
- 支持算数逻辑运算
- 快速进位链逻辑

- 7 路时钟输出
- 分频系数 1 到 128
- 支持 5 路时钟输出级联
- 动态相位选择

#### ■ 源同步输入/输出接口

- 输入/输出单元包含 DDR 寄存器, 支持 DDRx1、DDRx2 模式

#### ■ 配置模式

- 主模式串行 SPI (MSP1)
- 从模式串行 (SS)
- 从模式并行 x8 (SP)
- 主模式并行 x8 (MP)

#### ■ 高性能, 灵活的输入/输出缓冲器

- 可配置支持以下单端标准



- JTAG 模式 (IEEE-1532)
- 嵌入式硬核 IP
  - 内置环形振荡器
  - ADC
    - 12 比特逐次逼近寄存器型 (SAR)
    - 8 个模拟输入
    - 1MHz 采样速率 (MSPS)
- BSCAN
  - 兼容 IEEE-1149.1
- 增强安全设计保护
  - 每个芯片拥有唯一的 64 位 DNA
- 封装形式
  - CG256 14mm×14mm, 0.8mm pitch

表 1- 1 EF5&amp;EF3L25&amp;EF3L45 FPGA 选型表

Series	Device	LUTs	DFFs	Dis-RAM (Kbs)	ERAM		DSP	PLL	Min Flash	MAX user IO
					9K	Total (Kbits)				
L	EF3L15	1520	1520	12	12	108	8	1	4Mb	206
	EF3L25	2520	2520	20	12	108	8	1	4Mb	206
	EF3L45	4480	4480	35	12	108	15	1	4Mb	206

表 1- 2 EF3L15&amp;EF3L25&amp;EF3L45 FPGA 封装

Packages	EF3L15&EF3L25&EF3L45
256 caBGA (14x14, 0.8mm pitch)	206/(31+65) <sup>1</sup>

注:

1. 206 (31+65) 表示: 用户可用 IO 数 (用户可用 True LVDS 对+用户可用 Emulated LVDS 对)。
2. JTAGE 和 TCK, TMS, TDI, TDO 管脚功能互斥, 当 JTAGE 管脚作为普通 I/O 时, TCK, TMS, TDI, TDO 不支持作为普通 I/O, 表中 I/O 数量不包含 JTAGE 管脚。



## 1. 2 EF3L15&EF3L25&EF3L45 器件介绍

安路科技的 EF3L15&EF3L25&EF3L45 FPGA，定位低成本、低功耗可编程市场。EF3L15&EF3L25&EF3L45 器件旨在用于大批量，成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

EF3L15&EF3L25&EF3L45 器件建立在一个优化的低功耗工艺基础之上，并通过最低的成本实现较高的功能性。针对工业用户以及通信等行业的低成本的小型应用，EF3L15&EF3L25&EF3L45 器件无疑是理想的选择。

安路科技提供丰富的设计工具帮助用户有效地利用 EF3L15&EF3L25&EF3L45 平台实现复杂设计。业界领先的综合和布局布线工具，为用户设计高质量产品提供有力保障。



## 2 EF3L15&EF3L25&EF3L45 架构介绍

EF3L15&EF3L25&EF3L45 器件由查找表逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在四边。嵌入式块存储单元（ERAM9K）和数据信号处理模块（DSP）嵌在 PLB 中间。

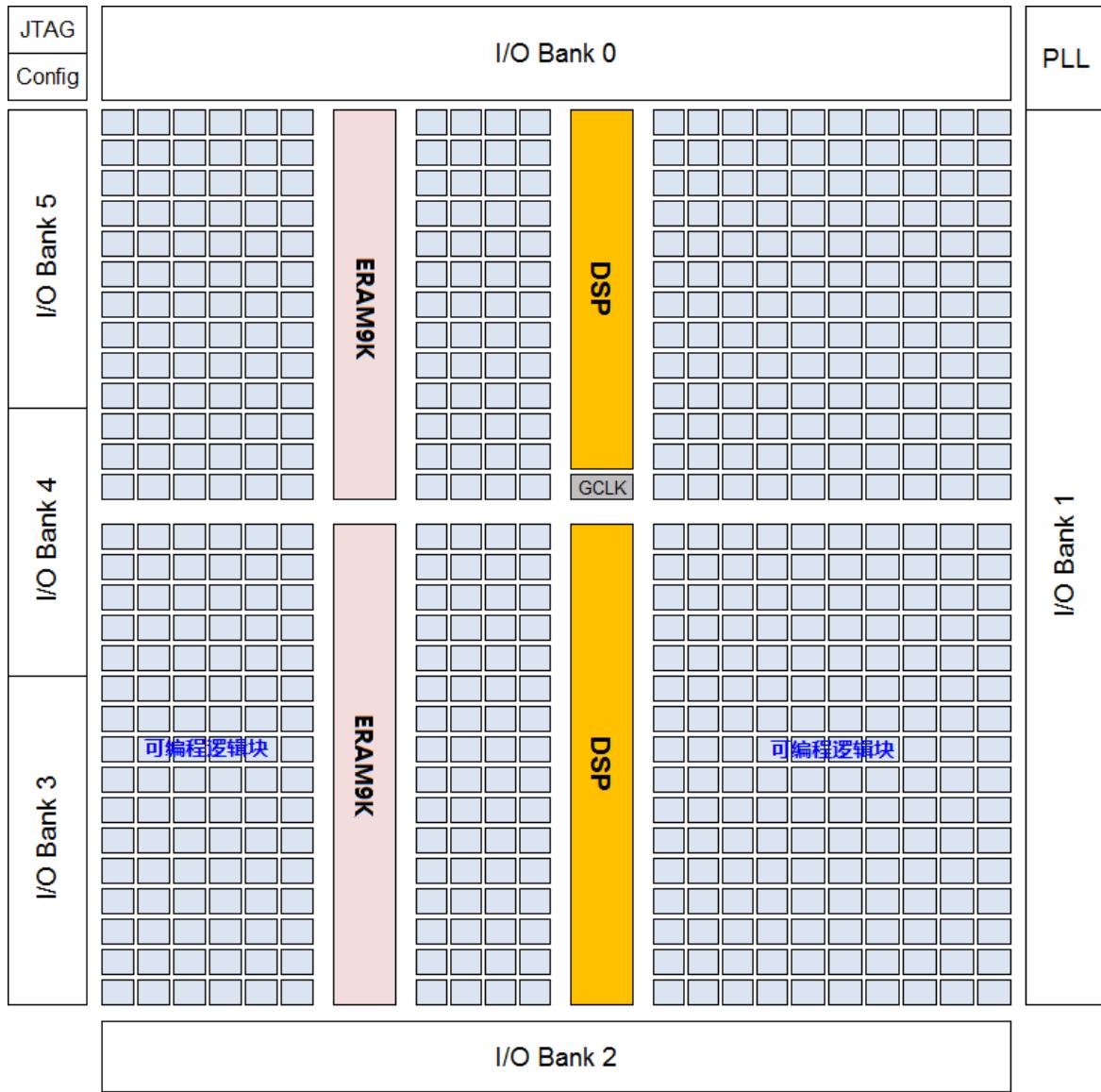


图 2-1 EF3L15&EF3L25&EF3L45 器件简化框图

查找表逻辑模块分为两种，逻辑可编程模块（**LSLICE**）和存储逻辑可编程模块（**MSLICE**）。两种模块均支持逻辑、算数功能，不同的是 **MSLICE** 支持分布式 RAM 和 ROM 功能。逻辑可编程模块（**LSLICE**）和存储逻辑可编程模块（**MSLICE**）均经过设计优化，便于用户快速有效地实现复杂设计。

EF3L15&EF3L25&EF3L45 器件包含多列嵌入式存储器模块（**ERAM**），存储器模块规模为 9K，支持快速数据访问。每一个存储模块可独立配置为 1-18 位宽的单口或双口应用。

EF3L15&EF3L25&EF3L45 的输入输出缓冲器（**I/O Buffer**）划分为 6 个组，支持单端和双端的多种

电平标准。BANK0/2 的 I/O 支持 TRUE LVDS 发送。

EF3L15&EF3L25&EF3L45 内部嵌有 1 个多功能 PLL 模块，在器件右上角，有专用的时钟线连接到 PLL 输入。PLL 具有对时钟分频/倍频/移相等功能。

## 2.1 PFB 模块

可编程逻辑块（PLB）按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连（Routing）和可编程功能块（Programmable Functional Block，PFB）。PFB 是 FPGA 的可编程功能核心。EF3L15&EF3L25&EF3L45 器件内部 PFB 可实现：逻辑，算术，分布式 RAM (distribute RAM)，ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0,1 为 MSLICE 类型，SLICE 2,3 为 LSLICE 类型。

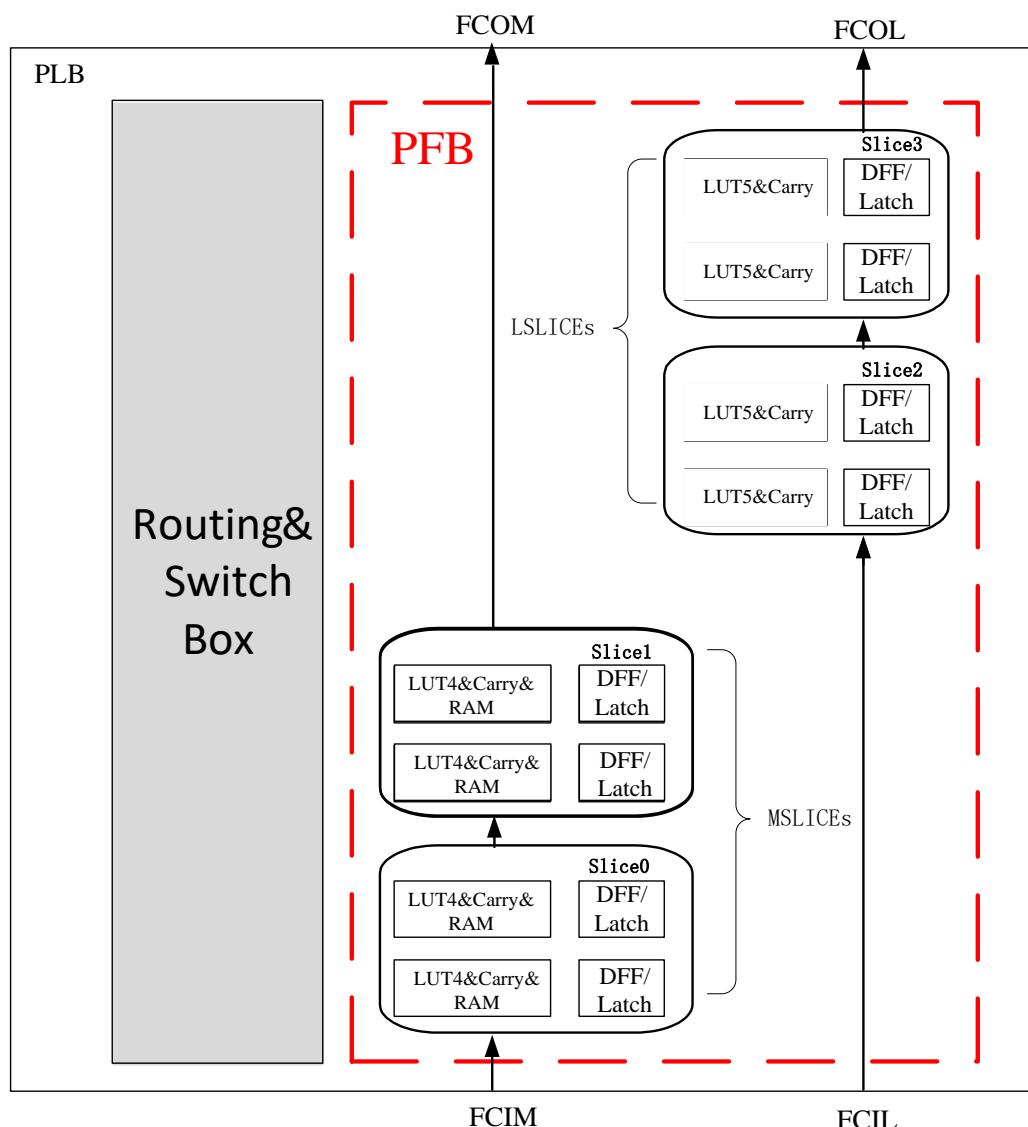


图 2-1-1 可编程功能块（PFB）结构图

## 2.1.1 SLICE

EF3L15&EF3L25&EF3L45 PFB 内包含两种 SLICE：MSLICE 和 LSLICE。

### 1. MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链，MSLICE 额外可配置成基于 LUT 的分布式 RAM (distribute RAM) 功能。PFB 内的 SLICE 0, 1 为 MSLICE 类型，可组合配置成为  $16 \times 4$  的 RAM。MSLICE 内部逻辑可实现 LUT4s 间的连接，可以实现输入数大于 4 的函数，如 LUT5。两个 MSLICE 组合可实现 LUT6。

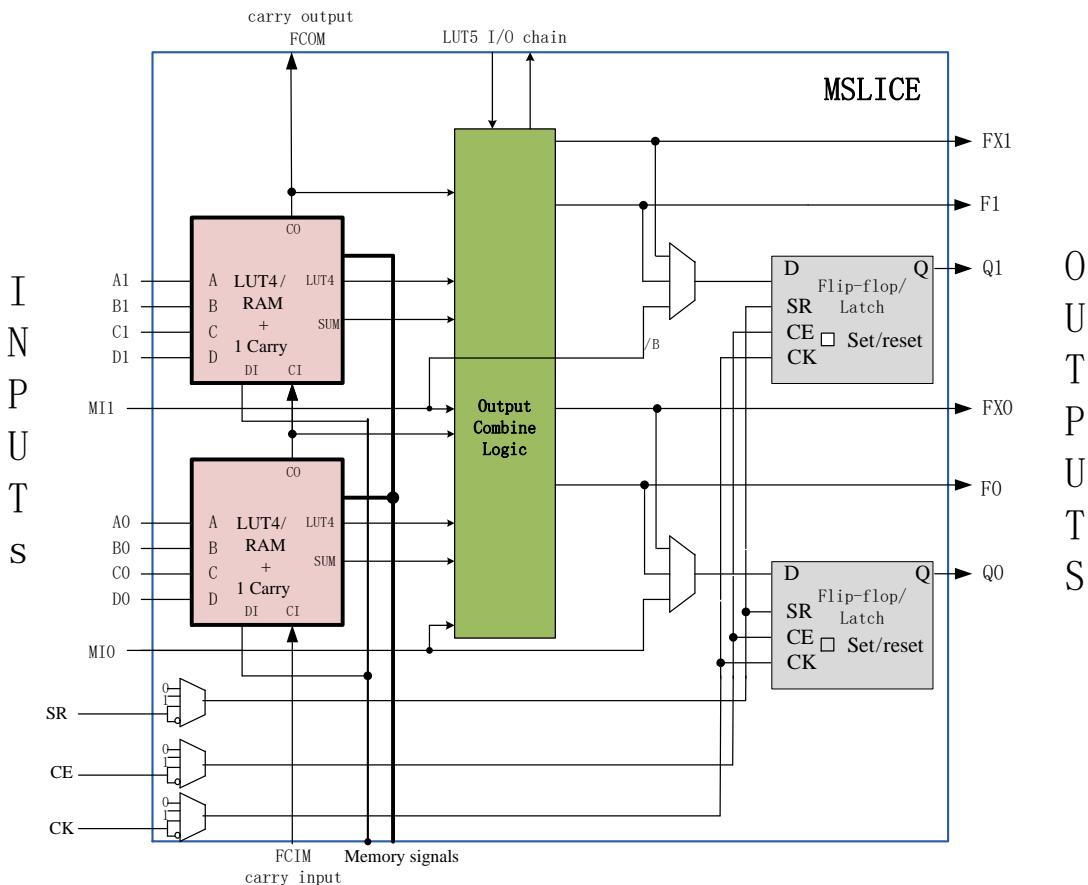


图 2-1-2 MSLICE 结构图

如上图所示，MSLICE 内部有两个 4 输入查找表 (LUT4)，并带有 RAM 写入译码器，结合 PFB 内部的分布式 RAM 控制逻辑，每个 LUT4 可实现  $16 \times 1$  bits RAM 存储器，2 个 MSLICE 配合一个 RAM 控制器实现  $16 \times 4$  的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入 (FCIM) 可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法，并实现快速进/借位输出 (FCOM)。

### 2. LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2, 3 为 LSLICE 类型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5, LUT6。两

一个 LSLICE 组合可实现 LUT7。

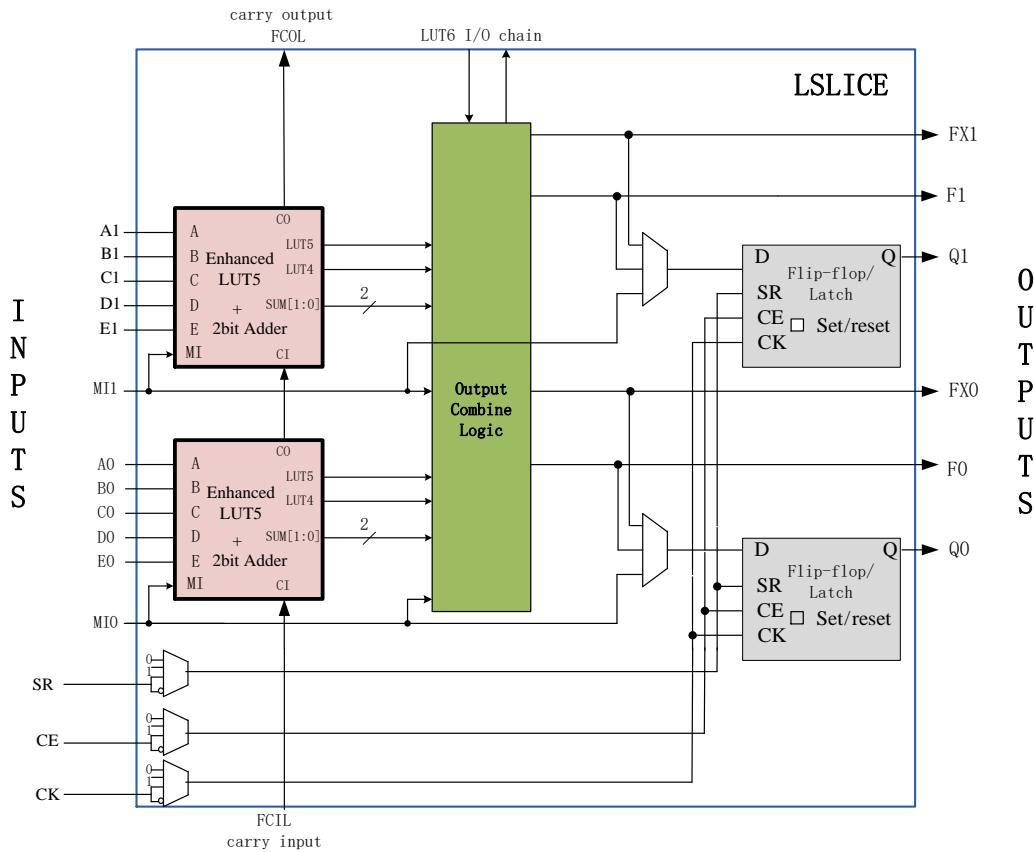


图 2-1-3 LSLICE 结构图

如上图所示，LSLICE 内部有 4 个 4 输入查找表 (LUT4)，以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4；2 个 LUT4 + 1 个 LUT5；2 个 LUT5；一个 LUT6 等。每个增强型 LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出 (FCOL)。

MSLICE 和 LSLICE 内部寄存器相同，可配置成 DFF 或者 LATCH。

## 2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

### 1. 逻辑模式

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的增强型 LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。

表 2-1-1 常见逻辑实现表

LUT5	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7		2 LSLICE

### 1. 算术模式

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

### 2. 分布式 RAM 模式

MSLICE 可配置成此模式，两个 MSLICE：SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM（一口写/一口读）。

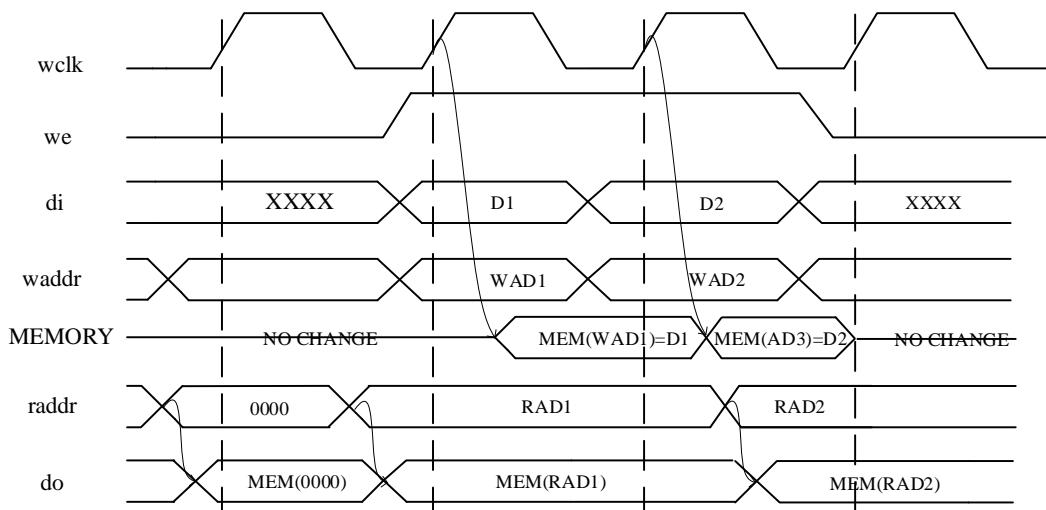


图 2-1-4 Disram 同步写入异步读出时序图

### 3. ROM 模式

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

#### 2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器 (DFF) 或电平使能锁存器 (LATCH)

- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

## 2.2 互连 (Routing)

可编程互连实现 FPGA 内部各个功能块之间的信号传输。EF3 器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。EF3 互连线全部带有缓冲器，从而实现高速信号传输和可靠的信号完整性。

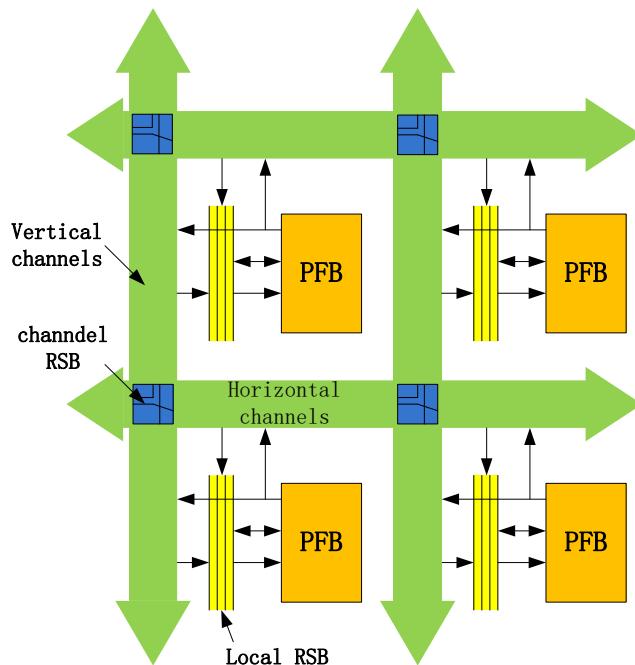


图 2-2-1 EF3L15&EF3L25&EF3L45 互连架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB (routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

## 2.3 嵌入式存储器模块 (ERAM)

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB (routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

### 2.3.1 ERAM 9K

#### 2.3.1.1 简介

ERAM9K 每块容量 9Kbits，在芯片中按列分布，分布在 PFB 的阵列中。



ERAM9K 可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM（也称为伪双口）
- FIFO（ERAM9K 内嵌有硬件 FIFO 控制器）

ERAM9K 模块支持的功能特色有：

- 9216 (9K) bits / 每块
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x9，支持 x18 简单双口（一写一读）
- 9 或 18 位写操作时带有字节使能（Byte Enable）控制
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 ERAM9K 数据初始化）
- 支持多种写操作模式。可选择只写（Normal），先读后写（Read before Write），写穿通（Write through）三种模式。

表 2-3- 1 ERAM 9K 特色

类别	特性
容量	9K
配置(深度 x 位宽)	8192 x 1    4096 x 2    2048 x 4 1024 x 8 或 9    512 x 16 或 18
奇偶位 (Parity bits)	8+1    16+2
字节使能 (Byte enable)	有，可选择
输入地址/数据寄存器	有
单口模式 (Single-port mode)	支持
简单双口模式 (Simple dual-port mode)	支持
真双口模式 (True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有



类别	特性
Read-during-write	输出旧数据 (read before write) 输出写数据 (write through)
工作前 RAM 初始化	支持

### ■ 字节使能 (Byte Enable)

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 datain[15:8] 和 datain[7:0]。

### ■ 写操作时并行读操作 (Read-during-Write)

EF3L15&EF3L25&EF3L45 的 ERAM9K 支持同端口的 Read-during-Write。Read-during-Write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 RDW 选择，输出数据保持不变 (No change)。

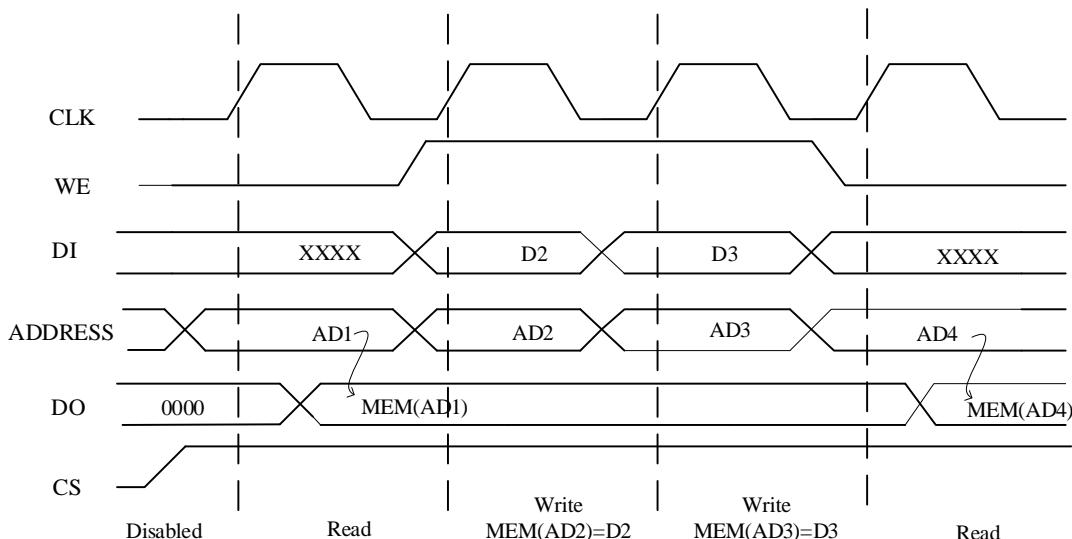


图 2-3- 1 No change 模式波形

RDW 模式下用户有两种选择：读出旧数据 (Read Before Write)；读出新数据即正要写入的数据 (Write Through)。

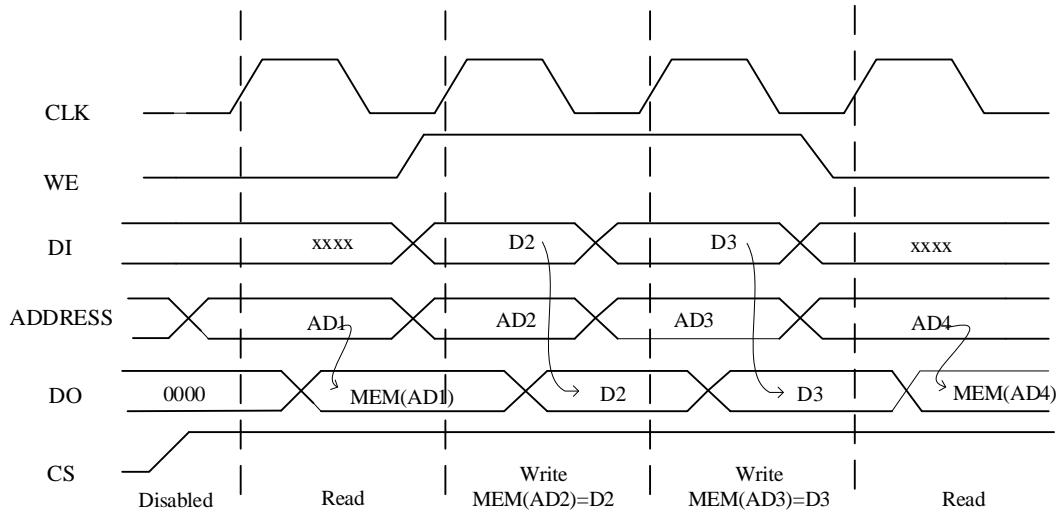


图 2-3- 2 Write Through 模式波形

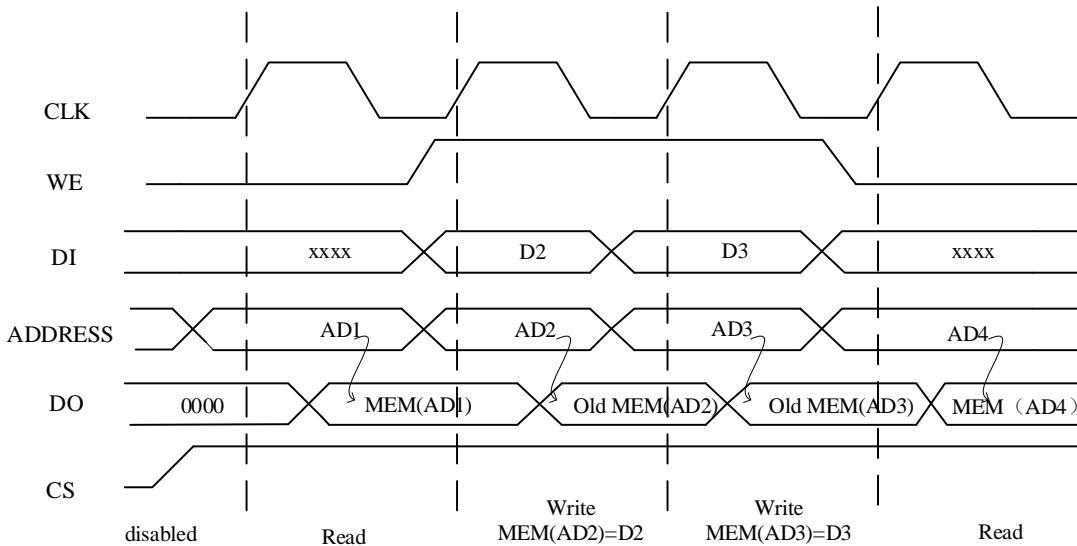


图 2-3- 3 Read Before Write 模式波形

EF3L15&EF3L25&EF3L45 ERAM 内部采用 8T-SRAM 真双口结构，当用户从 2 个口访问同一地址 SRAM 空间时会发生冲突，用户需要注意以下几点：

1. 当访问同一地址空间时，若双口同时为读操作，双口可以完成正常读操作，SRAM 内容正常，不会被破坏。
2. 当访问同一地址空间时，若一口为写、另一口为读操作，写口可以正常写入数据，读口读操作失败，输出数据未知；SRAM 内容不会被破坏，为写口写入值。
3. 当访问同一地址空间时，若一口为写、另一口同样为写操作，双口写操作同时失败，SRAM 器件内数据有损坏风险。



## 2.3.1.2 RAM 存储器模式

ERAM9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 ERAM9K 用户端口名称和设置略有不同。

ERAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式同步 RAM 操作和 ROM 操作。

## 2.3.1.3 RAM 存储器模式下的端口信号

ERAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

- 片选信号 (ChipSelect)
- 时钟使能 (Clock Enable)
- 输入/输出寄存器复位控制信号 (RST)
- 写/读操作 (WE)
- 数据输出寄存器锁存使能 (OCE)
- 字节使能 (Byte Enable[1:0])

表 2-3- 2 控制逻辑信号表

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

ERAM9K 的端口如下表：

表 2-3- 3 RAM 模式下的端口信号

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入，简单双口 18 位输入端口模式时作为低 9 位数据输入
addrA[12:0]	输入	A 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。 在 18 位模式时，addrA[1:0]复用为字节使能信号 Byte Enable[1:0]。
doa[8:0]	输出	A 端口数据输出，简单双口 18 位输出端口模式时作为低 9 位数据输出。
clka	输入	A 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输入地址/数据端口时钟。
rsta	输入	A 端口复位信号，默认高有效（可反向），可配置同步/异步复位。
cea	输入	A 端口时钟有效控制信号，默认高有效（可反向）。



A 端口名	方向	说明
wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位写入模式时固定为 1。
csa[2:0]	输入	A 端口 3 位片选信号（可反向）， $csa[2:0]=3' b111$ 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceaa	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[8:0]	输入	B 端口数据输入，18 位输入端口模式时作为高 9 位数据输入。
addrb[12:0]	输入	B 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。
dob[8:0]	输出	B 端口数据输出，18 位输出端口模式时作为高 9 位数据输入。
clkb	输入	B 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输出地址/数据端口时钟。
rstb	输入	B 端口复位信号，默认高有效（可反向），可配置同步/异步复位。
ceb	输入	B 端口时钟有效控制信号，默认高有效（可反向）。
web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位读出模式时固定为 0。
csb[2:0]	输入	B 端口 3 位片选信号（可反向）， $csb[2:0]=3' b111$ 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
ocebb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

#### ■ 多位片选信号逻辑说明：

ERAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示（CSA, CSB 在 RAM 模式/CSW, CSR 在 FIFO 模式）：

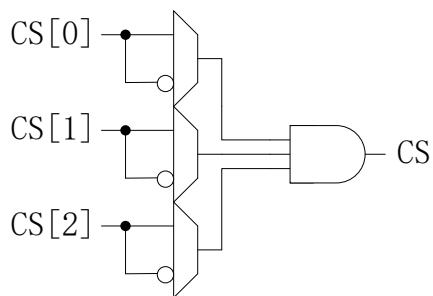


图 2-3- 4 CS 逻辑控制

利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对 2~8 块 RAM 进行深度扩展。

#### ■ 18 位模式时的字节使能 (Byte Enable)

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。



字节使能（Byte Enable[1:0]）信号分别对应写入数据的 datain[15:8]和 datain[7:0]。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入（dia）。在 18 位模式时，字节使能 Byte Enable[1:0]信号和端口 addr[1:0]复用。

### ■ 写操作时并行读操作（Read-during-Write）

EF3L15&EF3L25&EF3L45 的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式（Normal），输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据（Read Before Write）；读出新数据（Write Through）。

## 2.3.1.4 RAM 存储器模式下的常见配置

### 1. 单口模式（Single-Port Mode）

单口模式支持对非同时发生的对同一地址的读或写操作。ERAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 ERAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

ERAM9K 在单口模式下支持的位宽

- 8192 x 1（独立的 A 口或 B 口实现）
- 4096 x 2（独立的 A 口或 B 口实现）
- 2048 x 4（独立的 A 口或 B 口实现）
- 1024 x 8, 1024 x 9（独立的 A 口或 B 口实现）
- 512 x 16, 512 x 18（A 口 B 口联合实现）

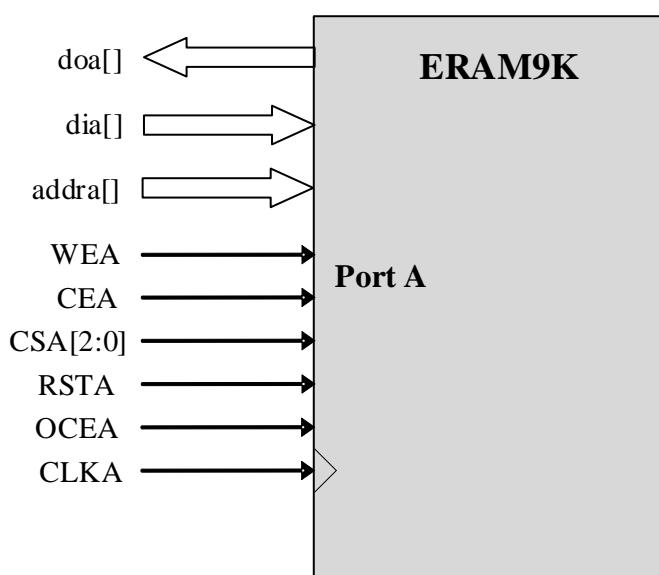


图 2-3-5 利用 A 口实现的 9 位宽（及以下）单口 RAM



## 2. 简单双口模式 ( Simple Dual-Port Mode )

当用一块 ERAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0]作为高 9 位数据输入，DIA[8:0]作为低 9 位数据输入；18 位读出时，DOB[8:0]作为高 9 位数据输出，DOA[8:0]作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-3-4 9/18 位简单双口模式时数据端口连接关系

模式	ERAM9K RAM 端口	用户端口
W=18 位 R=18 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W<=9 位 R=18 位	DIA[]	wdata[]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W=18 位 R<=9 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	rdata[]

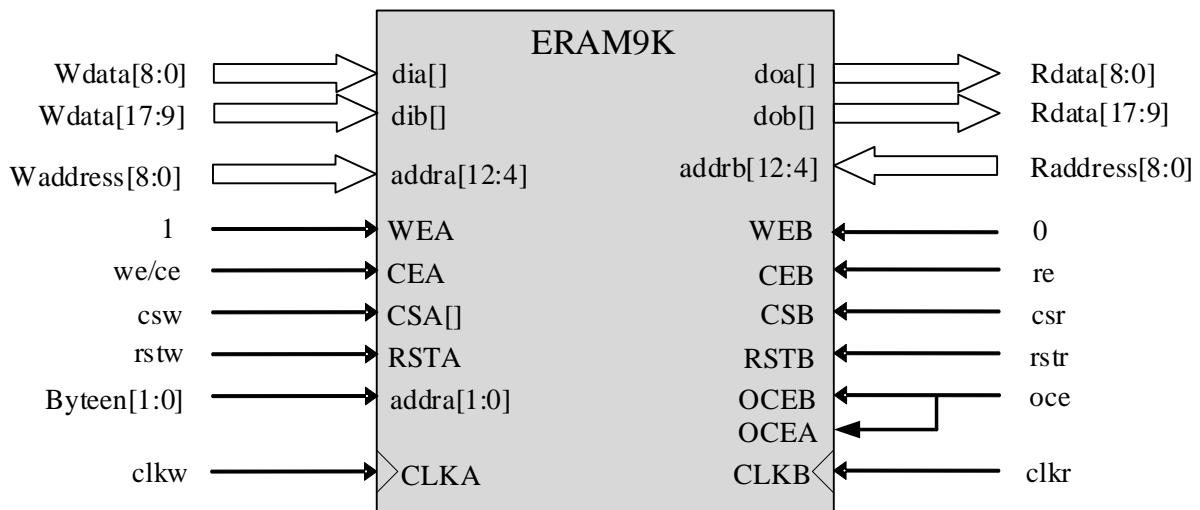


图 2-3-6 简单双口 18 位写/18 位读端口连接

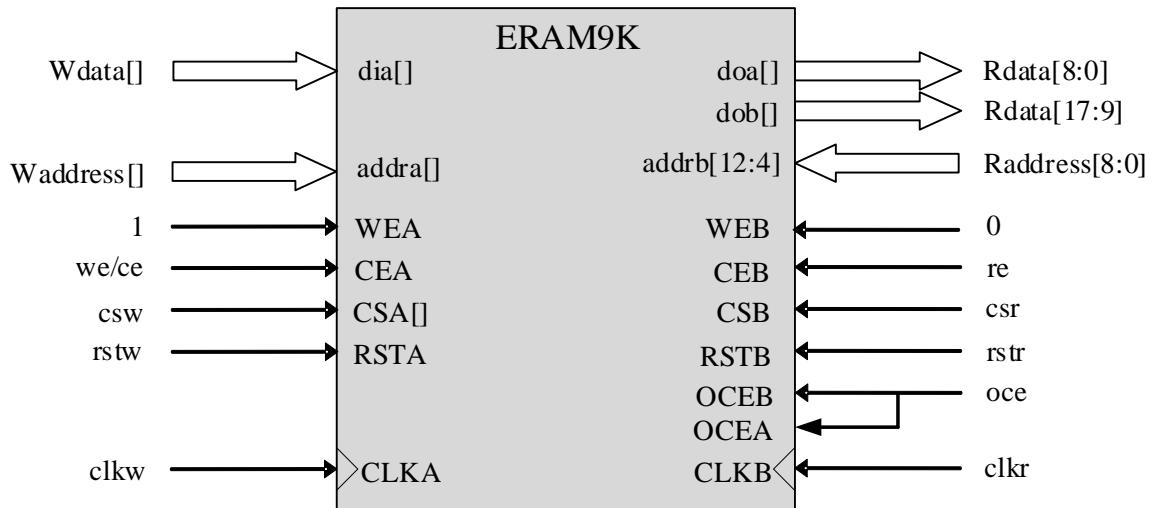


图 2-3-7 简单双口模式&lt;=9 位写/18 位读端口连接

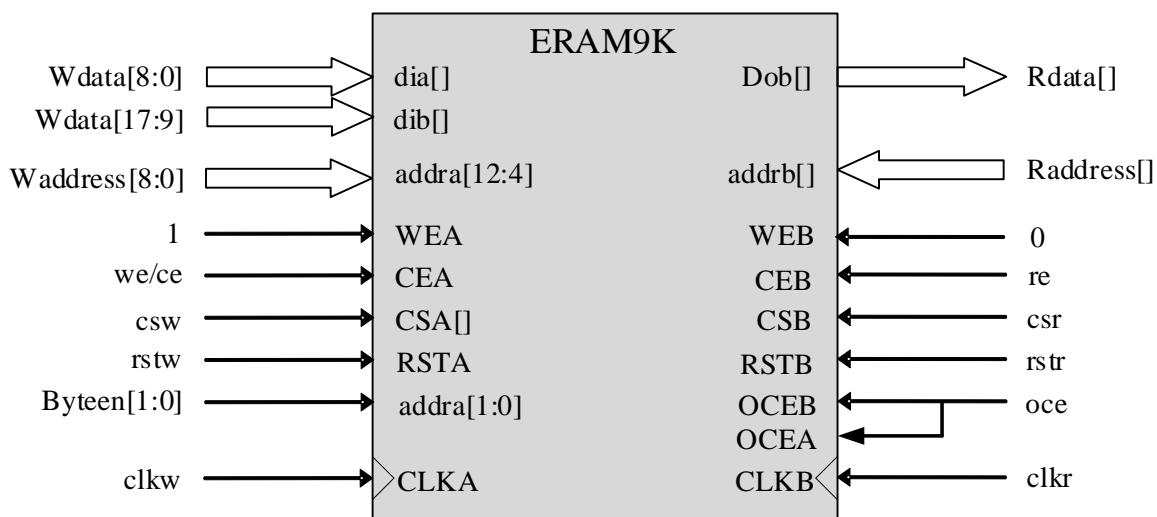


图 2-3-8 简单双口模式 18 位写/&lt;=9 位读端口连接

ERAM9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-3-5 简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√



表 2-3-6 简单双口模式下支持的混合端口位宽配置

	端口宽度	地址位宽度	DOB[8]	DOA[8]	最低 4 位地址 addr[3:0] 值对应的 WORD 内部数据位																	
	18	9	0		0																	
	9	10	1	0	1										0							
	4	11	X	X	3				2				1				0					
	2	12	X	X	7	6	5	4	3	2	1	0	3	2	1	0	3	2	1	0	1	0
18/16 位 WORD 内部 数据位			17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

### 3. 真双口模式 ( True Dual-Port Mode )

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

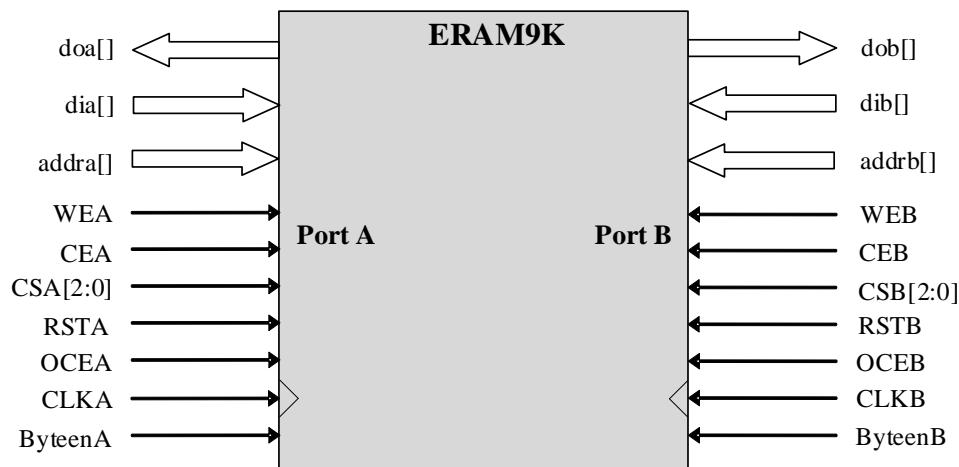


图 2-3-9 位宽&lt;=9 位时 A/B 双口 RAM

表 2-3-7 真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	
1Kx8	√	√	√	√	
1Kx9					√

### 4. ROM 模式

ERAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 ERAM9K 中。初始化



值可以在 IP 生成时用 **MIF** 文件设置。**ROM** 输出可选择带寄存器或不带寄存器锁存。**ROM** 的读出操作和单口 **RAM** 的读操作时序相同。

### 2.3.1.5 FIFO 模式

**ERAM9K** 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 **ERAM9K** 位宽设置和简单双口 **RAM** 设置相同，最高可支持 18bit 输入和输出。

表 2-3-8 FIFO 模式下的端口信号

输入端口名	方向	说明
dia[8:0]	输入	FIFO 数据输入，16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。
clkw	输入	FIFO 写端口时钟输入，默认上升沿有效（可反向）
rst	输入	FIFO 内部写指针/读指针复位信号（可反向）
we	输入	FIFO 写使能，1 为写入操作，0 无操作。
csw[2:0]	输入	FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。
输出端口名	方向	说明
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。
dob[8:0]	输出	<=9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。
clkkr	输入	读端口时钟输入，默认上升沿有效（可反向）
rprst	输入	FIFO 读指针复位信号
re	输入	FIFO 读使能，1 为读操作，0 无操作。
csr[2:0]	输入	FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。
oceaa	输入	doa 端口数据寄存器时钟使能，默认高有效（可反向）。只有 18 位输出端口模式并且当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
oceab	输入	dob 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。
FIFO 标志名	方向	说明
empty_flag	输出	FIFO 读空标志，和 clkkr 同步。
aempty_flag	输出	FIFO 几乎读空标志，和 clkkr 同步。相对读空提前量由 AE_POINTER 参数决定。
full_flag	输出	FIFO 满标志，和 clkw 同步。FIFO 满容量由 FULL_POINTER 参数决定。
afull_flag	输出	FIFO 几乎满标志，和 clkw 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。

表 2-3-9 FIFO 模式支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		



Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

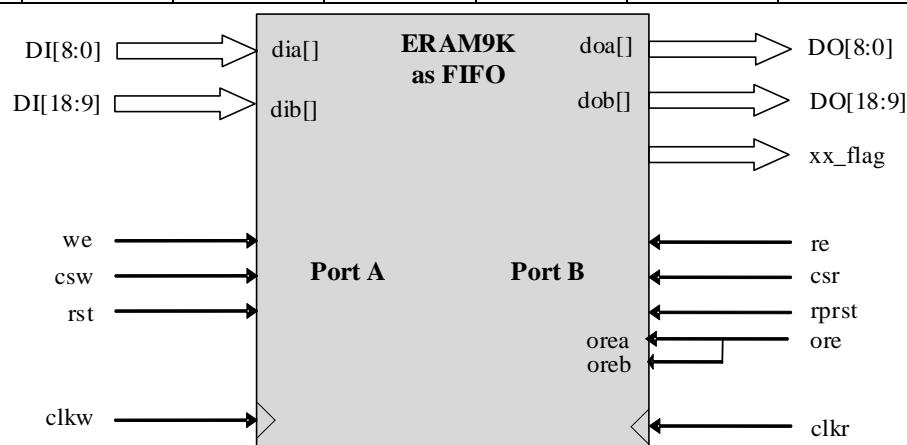


图 2-3-10 18 位进/18 位出 FIFO 模式

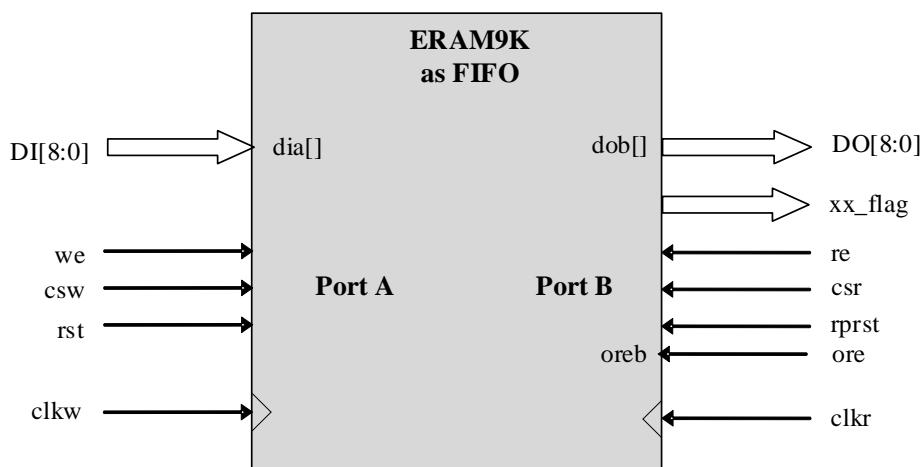


图 2-3-11 &lt;=9 位进/&lt;=9 位出 FIFO 模式

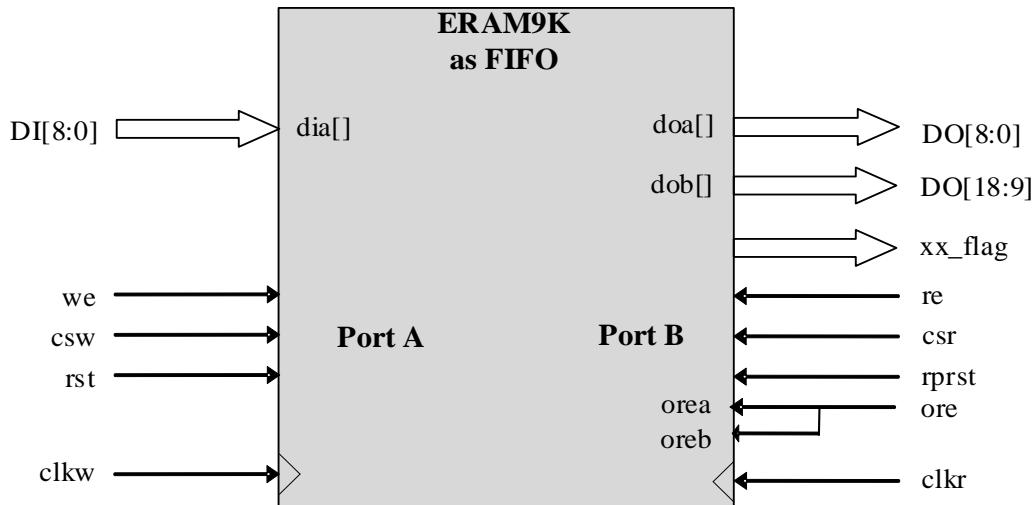


图 2-3-12 9 位进/18 位出 FIFO 模式

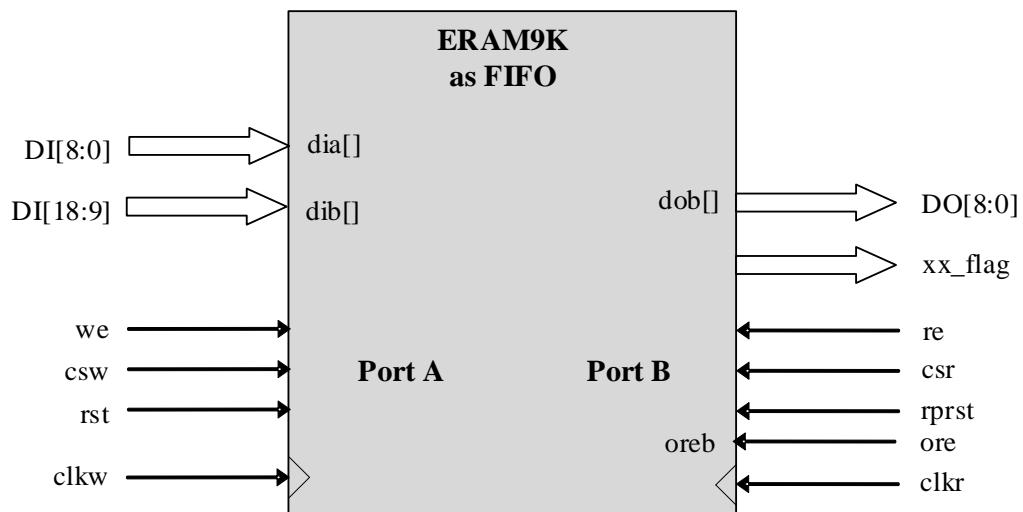


图 2-3-13 18 位进/9 位出 FIFO 模式

### ■ 空满标志属性的设置

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志 (empty\_flag)，几乎空标志 (almost\_empty)，满标志 (full\_flag)，几乎满标志 (almost\_full)。当内部计数器计数到标志值时会在 FF/AF/EF/AE 相应端口输出高电平。

表 2-3-10 FF/AF/EF/AE 属性设置

FIFO 属性名称	描述	设置范围
FF	Full flag	1 to Max
AF	Almost full	1 to Full-1
AE	Almost empty	1 to Full-1
EF	Empty setting	0



## ■ FIFO 模式下常用配置

FIFO 模式的 csw/csr 和 RAM 模式中的 csa/csba 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 csw 端，空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向与逻辑实现。

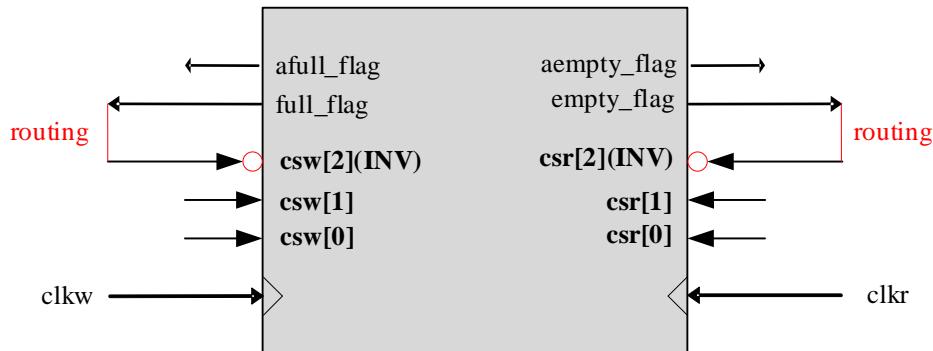


图 2-3-14 单个 ERAM9K FIFO 模式连接

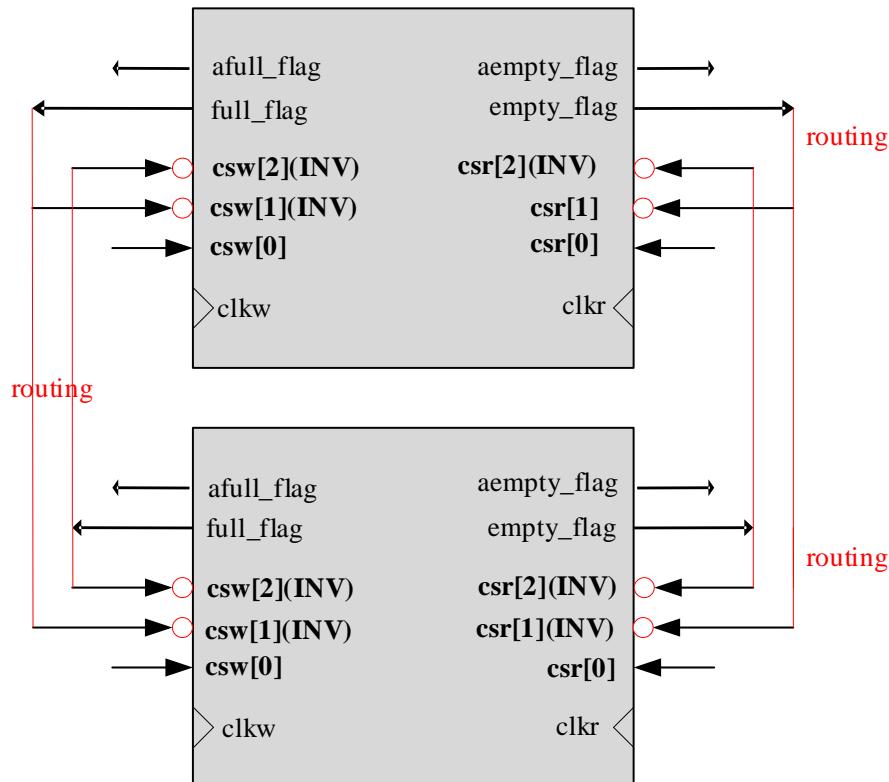


图 2-3-15 两个 ERAM9K FIFO 级联模式连接

## 2.4 时钟资源

EF3L15&EF3L25&EF3L45 FPGA 包含 3 种类型的时钟资源，第一种是给核心逻辑、嵌入式存储器、IOL 和 DSP 使用的全局时钟 (GCLK)，第二种是支持高速输入/输出接口串并转换的输入输出时钟 (IOCLK)，第三种是支持时钟快速输入到 IOCLK 和 PLL 输入的快速时钟。

## 2.4.1 全局时钟

EF3L15&EF3L25&EF3L45 全局时钟资源包含专用的时钟输入，缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源，同时全局时钟也可用于高扇出信号，时钟架构如下图所示。

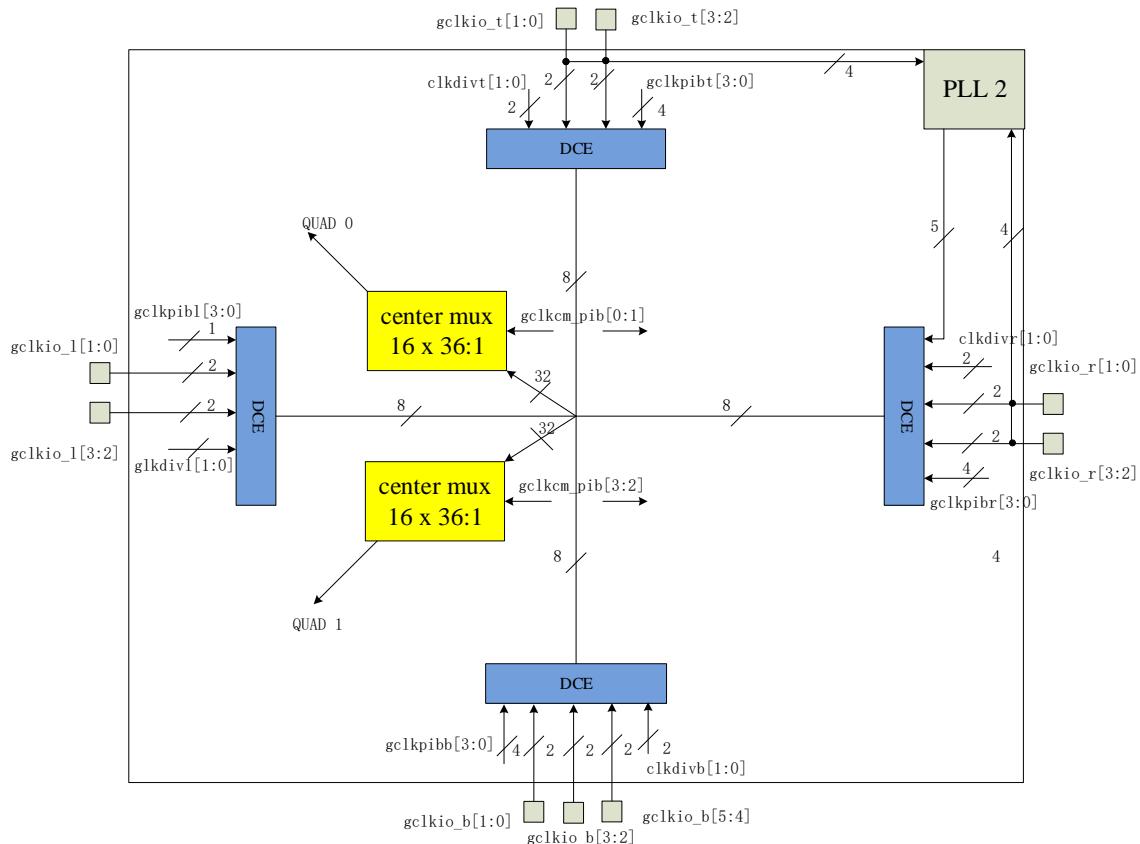


图 2-4-1 全局时钟分布网络

在全局时钟传输路径上有一级动态时钟使能逻辑，可以实现无毛刺的时钟动态使能，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的 36:1 多路选择器，进而分别送到 4 个象限驱动用户逻辑 DFF。

整个芯片以水平和垂直中间线划分为四个象限，每个象限有 16 路独立的全局时钟资源。

### 2.4.1.1 时钟切换模块（CSB）

每个 EF3L15&EF3L25&EF3L45 器件有 2 个全局时钟动态时钟切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。

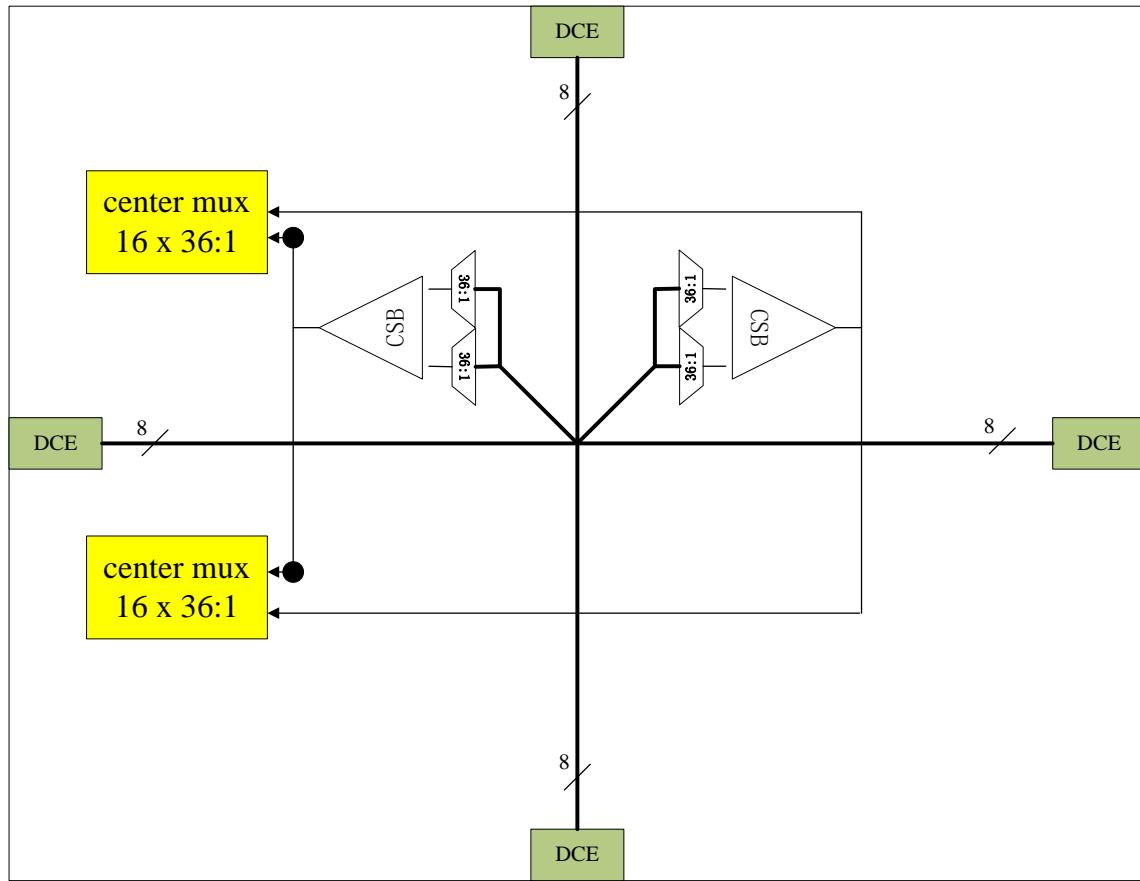


图 2-4-2 CSB 框图

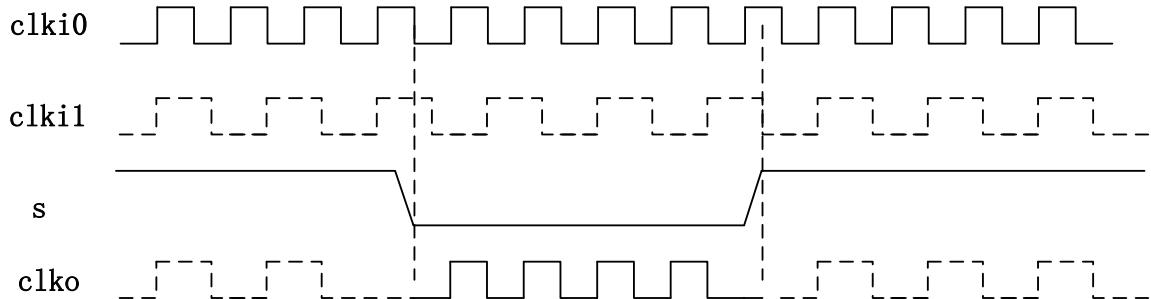


图 2-4-3 CSB 时钟切换时序图

表 2-4- 1 DCS 操作模式

模 式	S		描 述
	0	1	
BUFGMUX	clkio0	clkii1	有毛刺时钟切换

## 2.4.2 输入输出时钟

输入输出时钟(IOLK)是可以在EF3L15&EF3L25&EF3L45器件中使用的一种时钟缓冲器。IOLK驱动I/O列内一个独立于全局时钟资源的专用时钟网。这样，BUFIO就可以理想地适合源同步数据采集(传送/接收器时钟分配)。IOLK可以由位于同一时钟区域的clock capable I/O驱动，也可以由PLL输出驱动。典型的I/O组中有两个IOLK。每个IOLK可驱动同一区域/组中的一个I/O时钟网络。IOLK不能驱动逻辑资源(PLB、ERAM等)，因为IOLK时钟网络只能覆盖同一组或时钟区域内的I/O列。

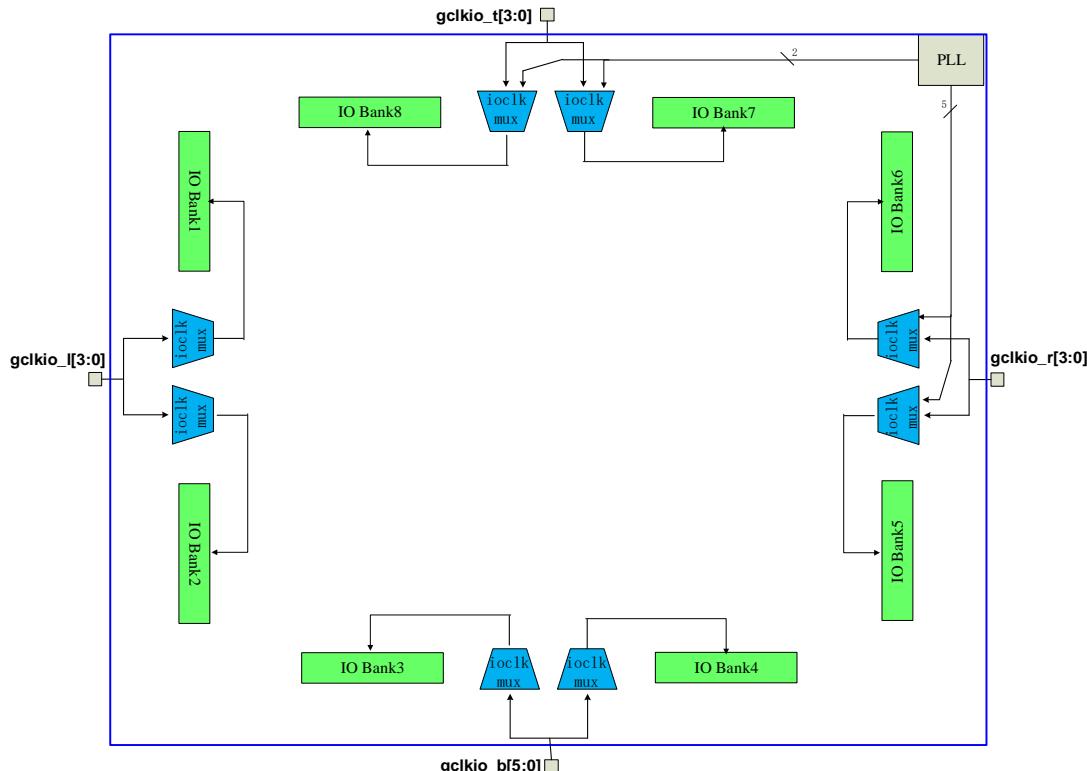


图 2-4-4 IOLK 架构图

### 2.4.2.1 时钟分频器

EF3L15&EF3L25&EF3L45器件在每个I/O组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自于相同I/O组的输入输出时钟。输出分频系数可以是1/2/4中的任意一个。

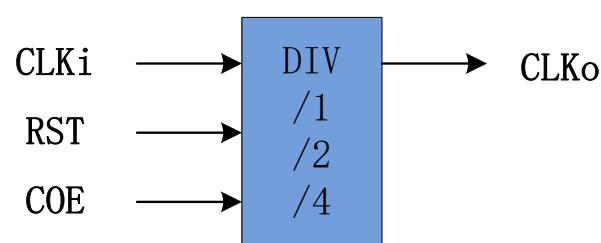


图 2-4-5 时钟分频器

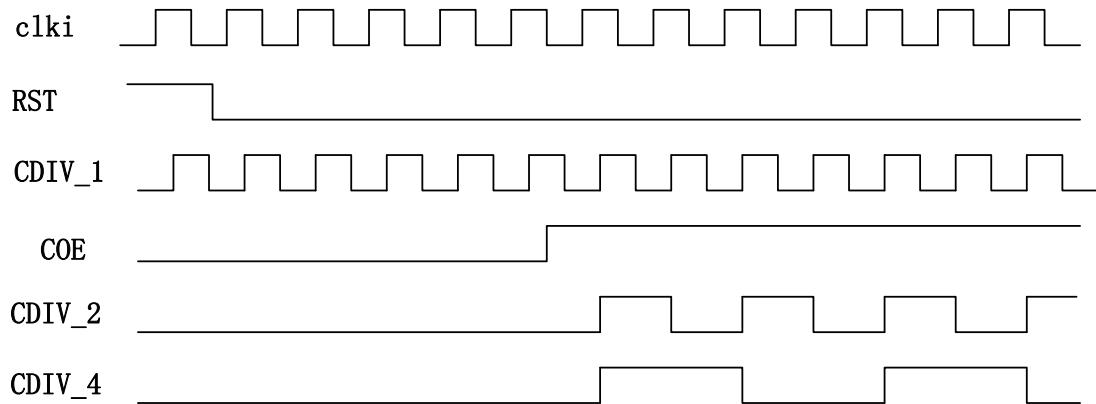


图 2-4- 6 时钟分频器时序图

### 2.4.3 快速时钟

快速时钟用以实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。

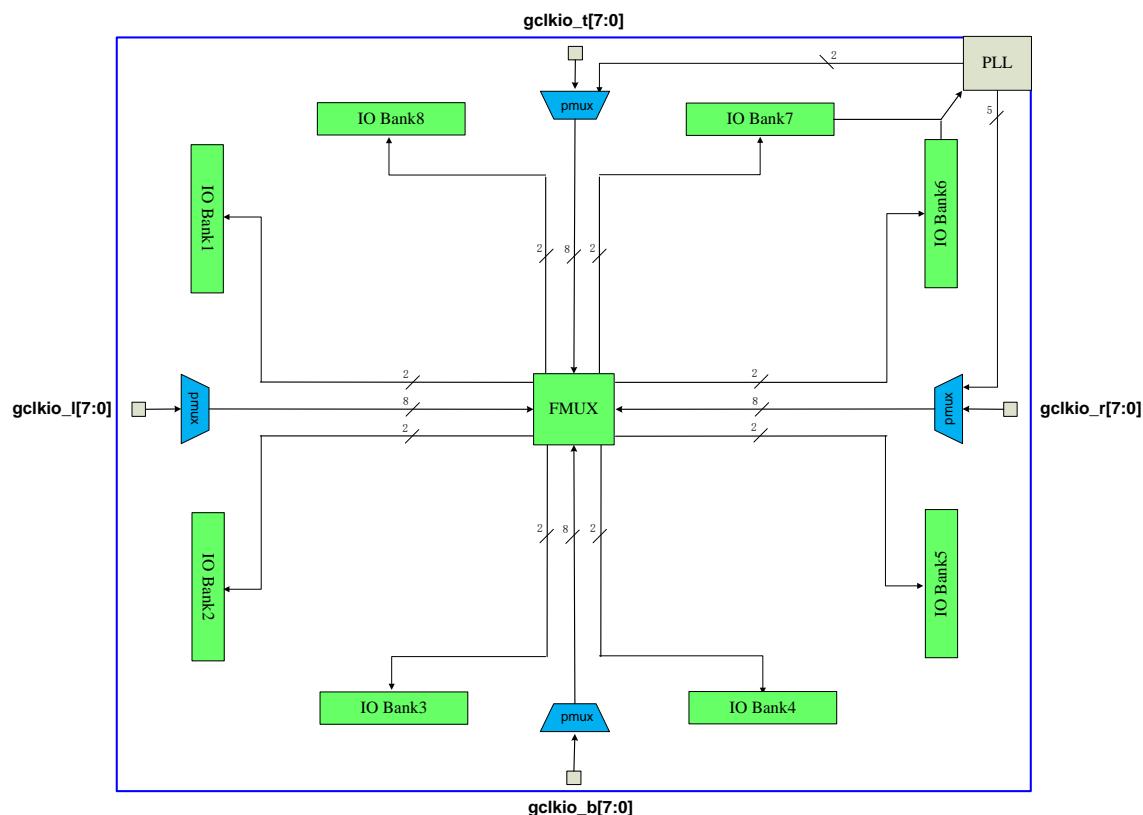


图 2-4- 7 快速时钟架构图

## 2.5 锁相环 (PLL)

### 2.5.1 简介

EF3L15&EF3L25&EF3L45 FPGA 内嵌 1 个多功能锁相环，可实现高性能时钟管理功能。可以实现时钟分频、倍频、占空比调整、输入和反馈时钟对准、多相位时钟输出等功能。

用户在使用中应关注 PLL 的 lock 信号是否为高，同时建议用户等待输入信号稳定后，再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟  $\text{C}0 \sim \text{C}4$ 。

PLL 输出  $\text{C}5$  和  $\text{C}0$  共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

PLL 输出  $\text{C}6$  和  $\text{C}1$  共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

在需要时钟输出稳定相位时，优先选择  $\text{C}0$ 、 $\text{C}1$ 、 $\text{C}5$ 、 $\text{C}6$ 。

PLL 专用输入管脚进入的时钟可以直接进 PLL 但不能直接进全局时钟网络。

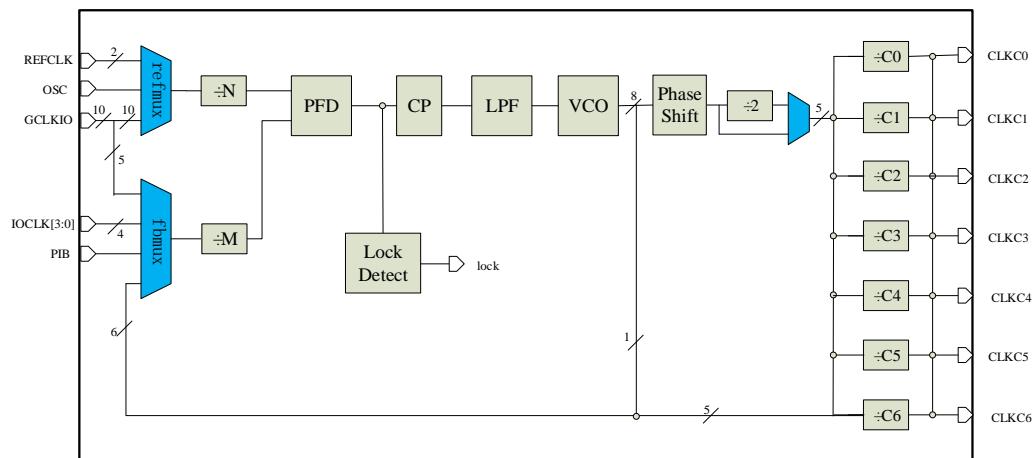


图 2-5-1 EF3L15&EF3L25&EF3L45 PLL 架构图

PLL 有专用的输出驱动芯片的专用时钟输出管脚，已获得更好的抖动性能。

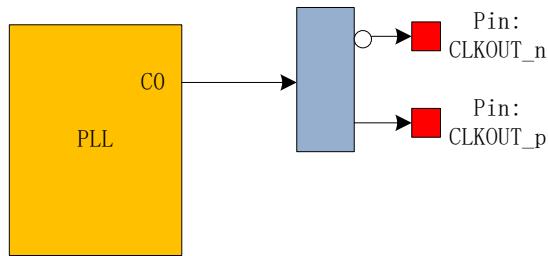


图 2-5- 2 EF3L15&amp;EF3L25&amp;EF3L45 C0 直接输出到时钟输出 IO 管脚（差分模式）

表 2-5- 1 EF3L15&amp;EF3L25&amp;EF3L45 PLL 特性表

Feature	EF3L15&EF3L25&EF3L45 PLL
输出端口数	7 (C0~C4 相位完全独立)
参考时钟分频系数 (N)	1 to 128
反馈时钟分频系数 (M)	1 to 128
输出时钟分频系数 (C0~4)	1 to 128
相移分辨率	45° (相对 VCO)
输出端口可选相位偏移量 (°)	0, 45, 90, 135, 180, 225, 270, 315
用户动态相移控制	支持 (+/-每单位 45 度相移, 相对 VCO)
锁定状态输出	Lock
专用时钟输出管脚	支持
占空比调整	支持

## 2.5.2 动态相移

EF3L15&EF3L25&EF3L45 PLL 支持静态配置，即由用户通过软件设置生成码流，上电下载后不能更改。此外，EF3 系列 FPGA 支持动态相移功能。

静态配置参数包括：

- 参考/反馈时钟输入/输出选择
- 参考时钟分频系数 (N)
- 反馈时钟分频系数 (M)
- 输出时钟分频系数 (C0~4)

动态相移特性允许对锁相环的每个独立输出相位进行动态调整，通过对给定的计数器递增或递减实时改变输出时钟相。每次移动相位为 1/8 VCO 周期。如下表所示列出了用于动态相移的控制信号。

表 2-5- 2 动态相移控制信号

信号名称	描述	信号来源	信号目的地
PSCLKSEL [2:0]	要进行动态移相的时钟选择信	PIB 或者 IO 引脚	PLL reconfiguration 电



信号名称	描述	信号来源	信号目的地
	号, 从 C0-C4 中选出一路		路
PSDOWN	动态相移方向选择, 1=向上, 0=向下, PSCLK 的上升沿采样。	PIB 或者 IO 引脚	PLL reconfiguration 电 路
PSSTEP	PSSTEP=1, 使能动态相移	PIB 或者 IO 引脚	PLL reconfiguration 电 路
PSCLK	动态相移时钟	GCLK 或者 IO 引脚	PLL reconfiguration 电 路
PSDONE	信号为高电平时, 表明相位调 整结束, PSCLK 的上升沿采样。	PLL reconfiguration 电路	PIB 或者 IO 引脚

对于动态相移, 每次能对一路输出进行相位调整, 由 PIB 的接口 PSCLKSEL[2:0]来选择 C[4:0]中的一路执行动态相移, 如下表所示。

表 2-5- 3 动态相移输出选择

PSCLKSEL[2:0]	PLL 输出选择
000 (default)	C[0]
001	C[1]
010	C[2]
011	C[3]
100	C[4]

执行一次动态相移调整, 必须遵循以下步骤:

1. 根据需要设置 PSDOWN 和 PSCLKSEL。
2. 打开相位调整, 相位调整 PSSTEP 至少需要四个 PSCLK 周期, 每一个 PSSTEP 脉冲进行一次相位移  
动。
3. 关闭相位调整。
4. 等待 PSDONE 变为高电平。
5. 重复上述步骤 1-4, 可以进行多次动态相位调整。

PSCLKSEL[2:0], PSSTEP, PSDOWN 和 PSCLK 同步, 必须由 PSCLK 同步过后送给 PLL。

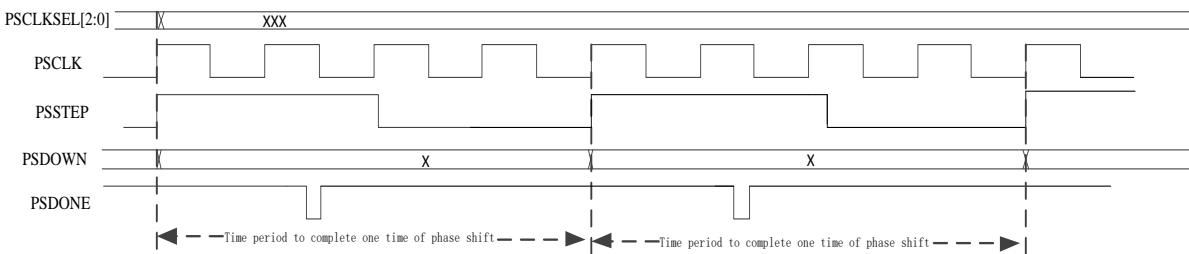


图 2-5- 3 PLL 动态相移

PSSTEP 信号在 PSCLK 的上升沿被锁存，如上图所示，PSSTEP 必须在至少四个 PSCLK 周期内保持高电平。PSDONE 信号变为低电平并保持大概 3 个 VCO 周期。然后 PSDONE 由低变为高电平时相位移动完成。PSDONE 信号拉高后的下个输出时钟周期，动态相位移动生效。

注：

1. 在动态相移过程中被调节时钟可能会产生 glitch。

## 2.5.3 时钟反馈模式

EF3L15&EF3L25&EF3L45 PLL 支持 4 种反馈模式。每种模式都支持时钟分频/倍频和相移。

### 2.5.3.1 源同步模式 (Source-Synchronous Mode)

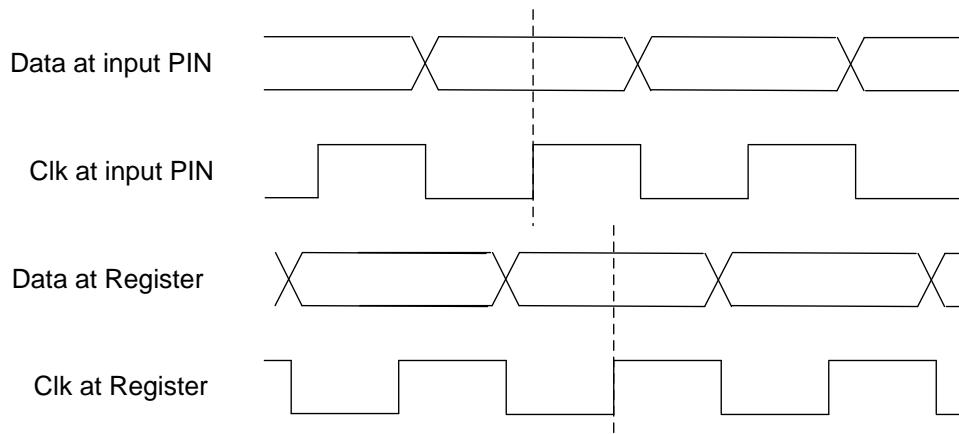


图 2-5- 4 源同步模式

如上图源同步模式通过动态相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

### 2.5.3.2 无补偿模式 (No Compensation Mode)

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，会提高 PLL 的抖动特性。

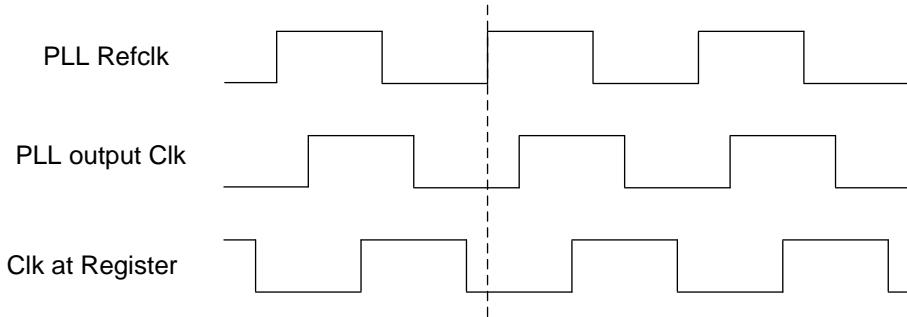


图 2-5- 5 无补偿模式（相位不对齐）

### 2.5.3.3 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

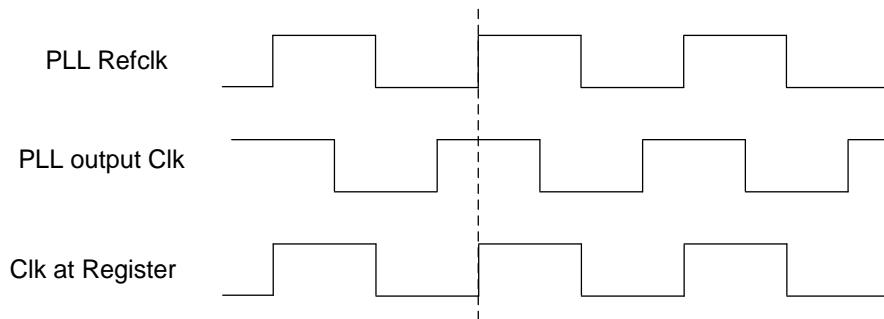


图 2-5- 6 普通模式

### 2.5.3.4 零延迟缓冲模式

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。

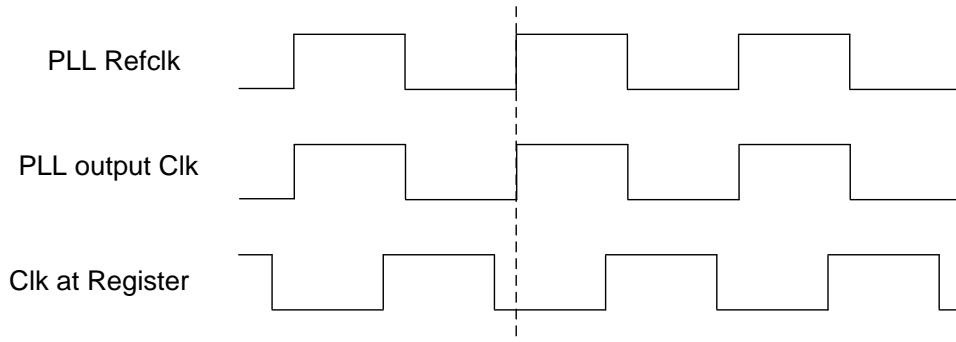


图 2-5- 7 零延迟缓冲模式

## 2.6 数字信号处理 (DSP)

EF3L15&EF3L25&EF3L45 结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理 (DSP) 系统的功耗。EF3L15&EF3L25&EF3L45 器件本身或者作为 DSP 器件的协处理器，都



可用于提高 DSP 系统的性价比。

## 2.6.1 体系结构

嵌入式乘法器可以配置成一个  $18 \times 18$  乘法器，或者配置成两个  $9 \times 9$  乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

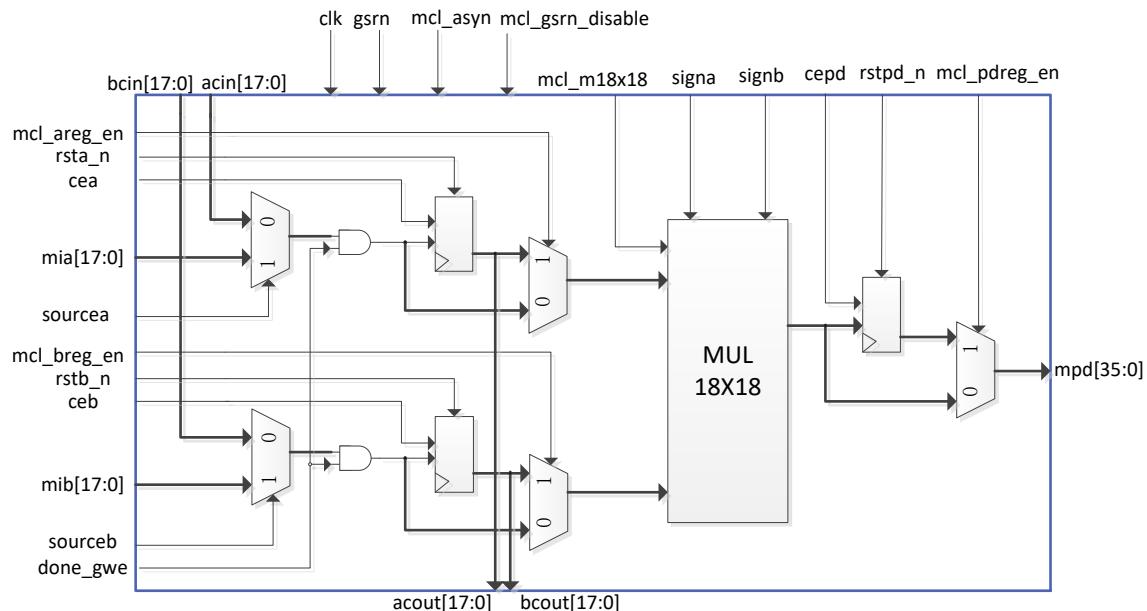


图 2-6-1 乘法器模块的体系结构

### 1. 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 mia 信号连接到输入寄存器，将 mib 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。



## 2. 乘法器级

嵌入式乘法器模块的乘法器级支持  $9 \times 9$  或者  $18 \times 18$  乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。**signa** 与 **signb** 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 **signa** 信号为高电平，则 **mia** 操作数是一个有符号数值。反之，**mia** 操作数便是一个无符号数值。

下表为乘法器符号表示给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 2-6- 1 乘法器符号表示

<b>mia</b>		<b>mib</b>		<b>乘积</b>
<b>signa</b>	逻辑值	<b>Signb</b>	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 **signa** 信号和一个 **signb** 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个  $9 \times 9$  乘法器，那么这两个乘法器的 **mia** 输入与 **mib** 输入将分别共享同一个 **signa** 信号和同一个 **signb** 信号。可以在运行时动态改变 **signa** 和 **signb** 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 **signa** 以及 **signb**。不管符号表示如何，乘法器都会支持全精度。

## 3. 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

表 2-6- 2 乘法器端口说明

名称	方向	位宽	描述
<b>mia</b>	输入	18	来自 PIB 的 dsp 操作数输入。具有寄存器输入模式
<b>acin</b>	输入	18	来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式



名称	方向	位宽	描述
acout	输出	18	连接到下一级 dsp 的 acin 端口上的级联数据输出
mib	输入	18	来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式
bcin	输入	18	来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式
bcout	输出	18	连接到下一级 dsp 的 bcin 端口上的级联数据输出
cea	输入	1	输入寄存器时钟使能信号。当 cea 为高电平时，输入有效
ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时，输入有效
cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平时，输出有效
clk	输入	1	clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器
rsta_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstb_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstpd_n	输入	1	输出寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin
sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin
mpd	输出	36	dsp 的乘积数据输出

## 2.6.2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个  $18 \times 18$  乘法器
- 两个  $9 \times 9$  独立的乘法器

通过使用 EF3L15&EF3L25&EF3L45 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，该功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

### 2.6.2.1 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一  $18 \times 18$  乘法器。下图给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

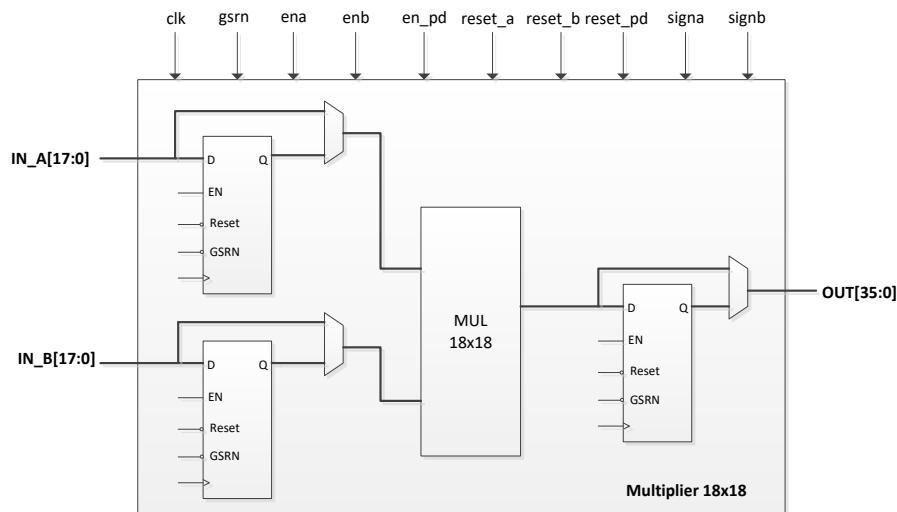


图 2-6-2 18 位乘法器模式

### 2.6.2.2 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个  $9 \times 9$  乘法器。下图给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个  $9 \times 9$  乘法器共享同一个 signa 和 signb 信号。因此，用于驱动同一嵌入式乘法器的所有 mia 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 mib 输入数据也必须要有相同的符号表示。

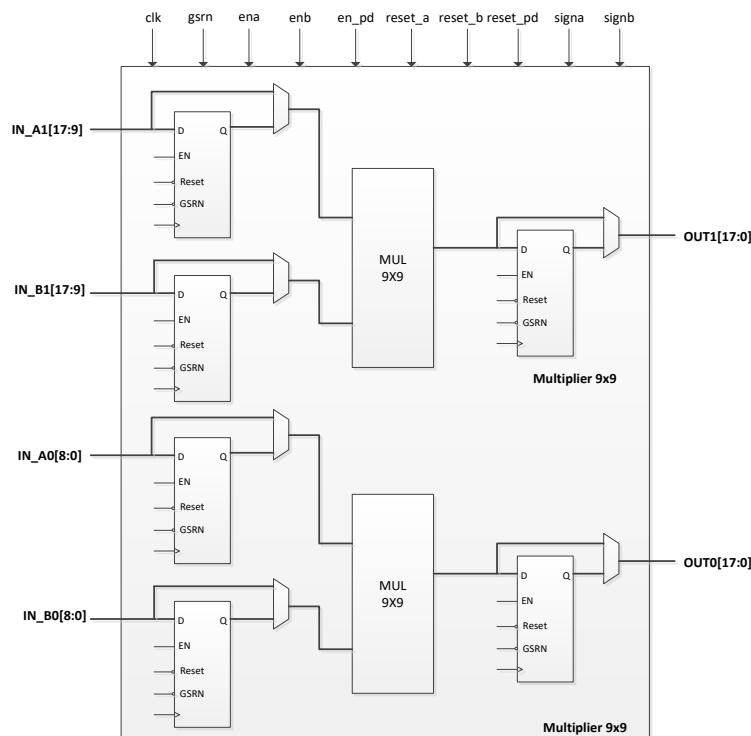


图 2-6-3 9 位乘法器模式



## 2.7 输入输出逻辑单元 (IOL)

EF3L15&EF3L25&EF3L45 器件的 IOL 逻辑支持多种工作模式。本章节主要介绍如何配置 IOL 资源支持多种工作模式。与两种 IOB 类型相匹配, EF3L15&EF3L25&EF3L45 器件有两种对应的 IOL 类型, 支持的工作模式如下表所示。

表 2-7- 1 IOL 支持工作模式

模式		IOLB 基本型	IOLE 增强型
输入	BYPASS	√	√
	SDR	√	√
	iDDRx1	√	√
	iDDRx2		√
输出	BYPASS	√	√
	SDR	√	√
	oDDRx1	√	√
	oDDRx2		√

注:

1. IOLB 仅支持 iDDR x1 的 pipelined 模式, IOBE 对 iDDR x1 的两种模式都支持。

### 2.7.1 输入寄存器逻辑

输入输出逻辑 (IOL) 中的输入寄存器用来处理高速接口, 将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据 (GDDR) 的支持。

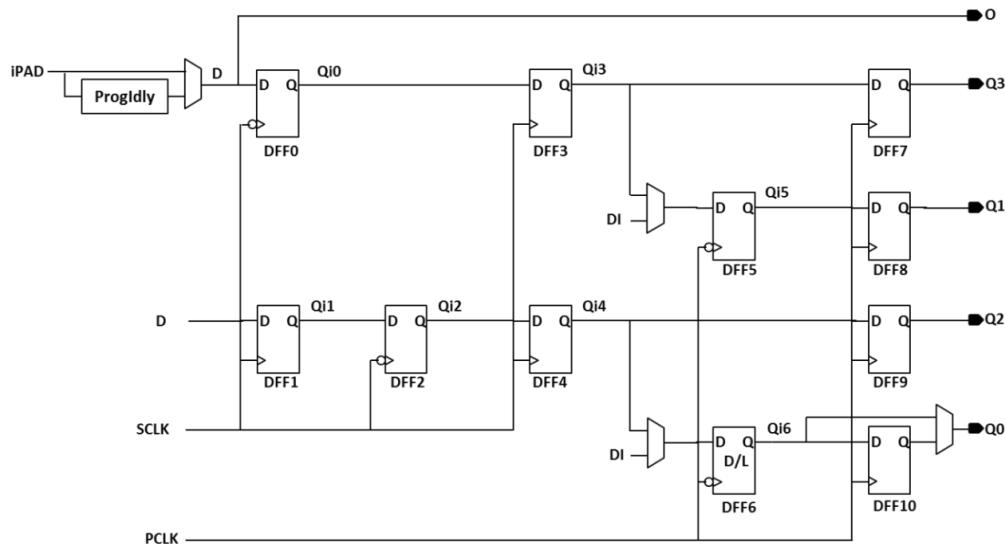


图 2-7- 1 输入寄存器框图



### 2.7.1.1 普通输入模式

普通模式下的 I/O 逻辑如下图所示，此模式下信号直接进入 FPGA 内部逻辑。

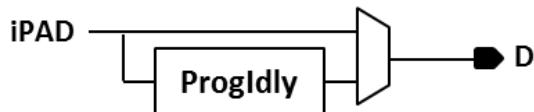


图 2-7-2 普通输入模式框图

### 2.7.1.2 SDR 输入模式

相比普通模式，如下图所示，SDR 模式使用了 IOL 寄存器，可有效地改善 I/O 的时序性能。

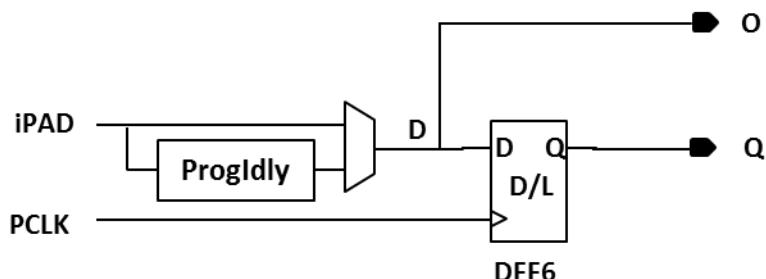


图 2-7-3 SDR 输入模式框图

### 2.7.1.3 DDR 输入模式

EF3L15&EF3L25&EF3L45 器件 IOL 中有专用的寄存器用以支持 iDDR<sub>x1</sub> 和 iDDR<sub>x2</sub> 模式。需要注意的是 IOLB 不支持 iDDR x2 模式的，其中 IOLB 仅支持 iDDR x1 的 pipelined 模式，IOBE 对 iDDR x1 的两种模式都支持

#### ■ iDDR<sub>x1</sub> 同沿输入模式

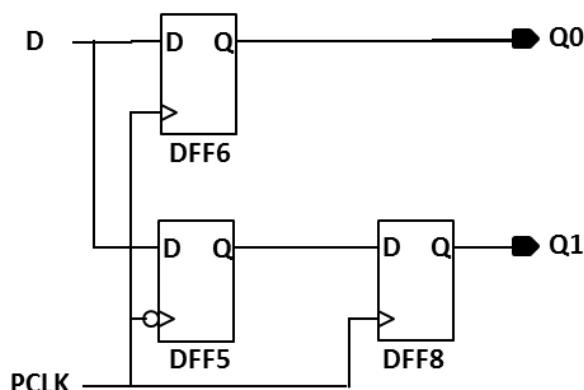


图 2-7-4 iDDR 同沿输入模式框图

在 iDDR<sub>x1</sub> 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到



时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如下图所示。

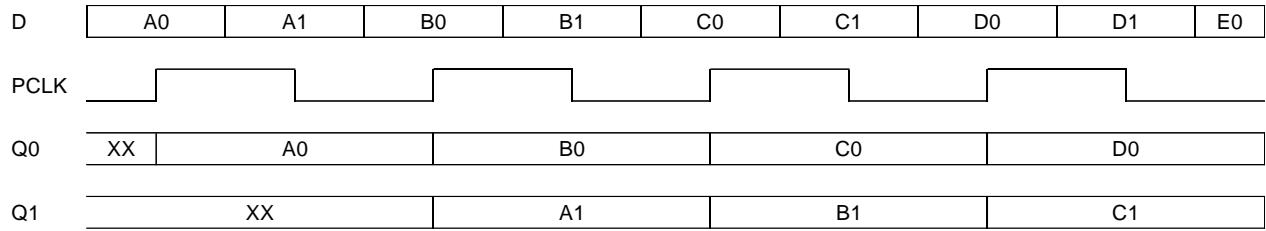


图 2-7- 5 iDDR 同沿输入模式

#### ■ iDDR<sub>x1</sub> 同沿 Pipelined 输入模式

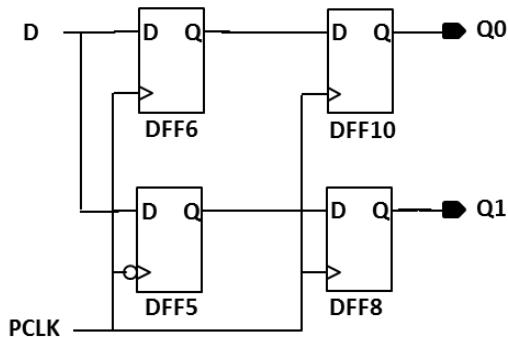


图 2-7- 6 iDDR 同沿 Pipelined 输入模式框图

在 iDDR<sub>x1</sub> 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如上图所示。时序如下图所示。

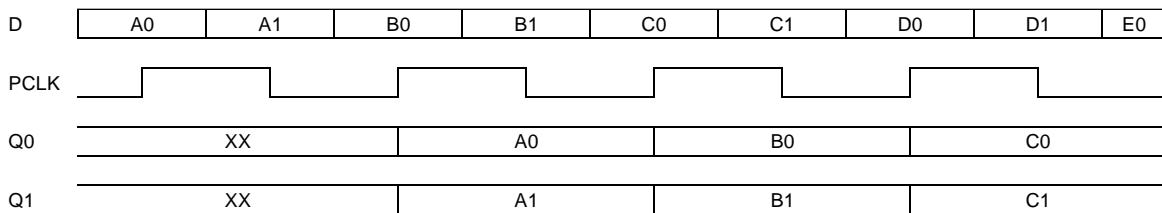


图 2-7- 7 iDDR 同沿 Pipelined 输入模式

#### ■ iDDR<sub>x2</sub> 输入模式

iDDR<sub>x2</sub> 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

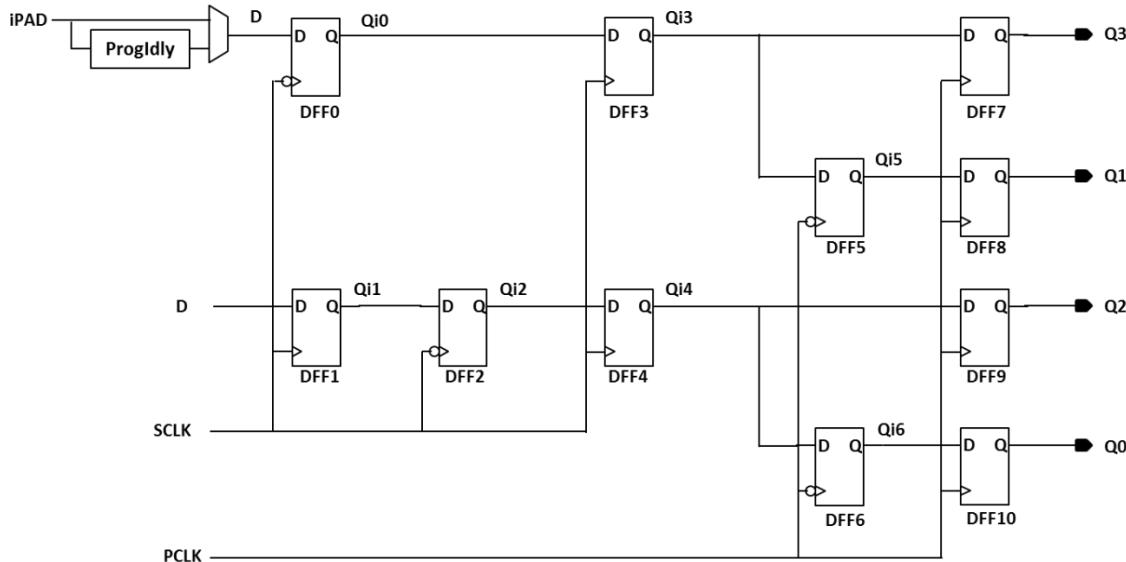


图 2-7-8 iDDRx2 输入模式

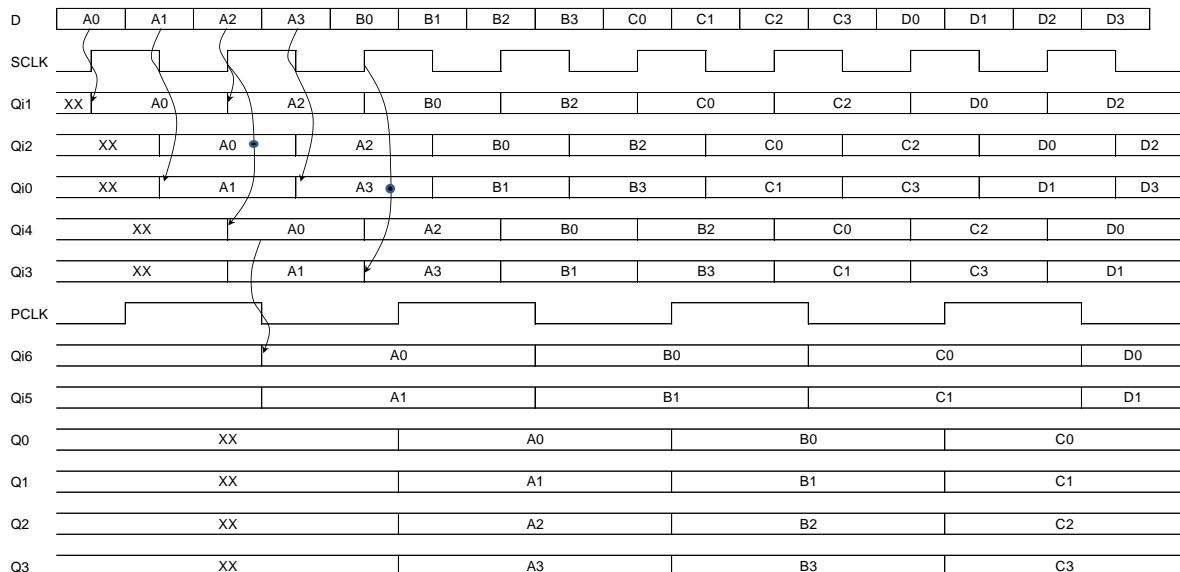


图 2-7-9 iDDRx2 输入模式时序

### 2.7.1.4 输入延时单元

每一个 IOL 逻辑单元内都包含一个可编程输入延时单元，加强对源同步功能的支持。支持静态控制延迟的方式。IOLB 和 IOLE 支持的可调范围如所示。

表 2-7-2 输入延时调整范围

IOL 类型	可调整 Step	平均步进精度	最大延时
IOLB	8	50ps	0.7ns
IOLE	32	35ps	1.2ns

## 2.7.2 输出寄存器逻辑

输入输出逻辑 (IOL) 中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。下图给出了输出寄存器框图。

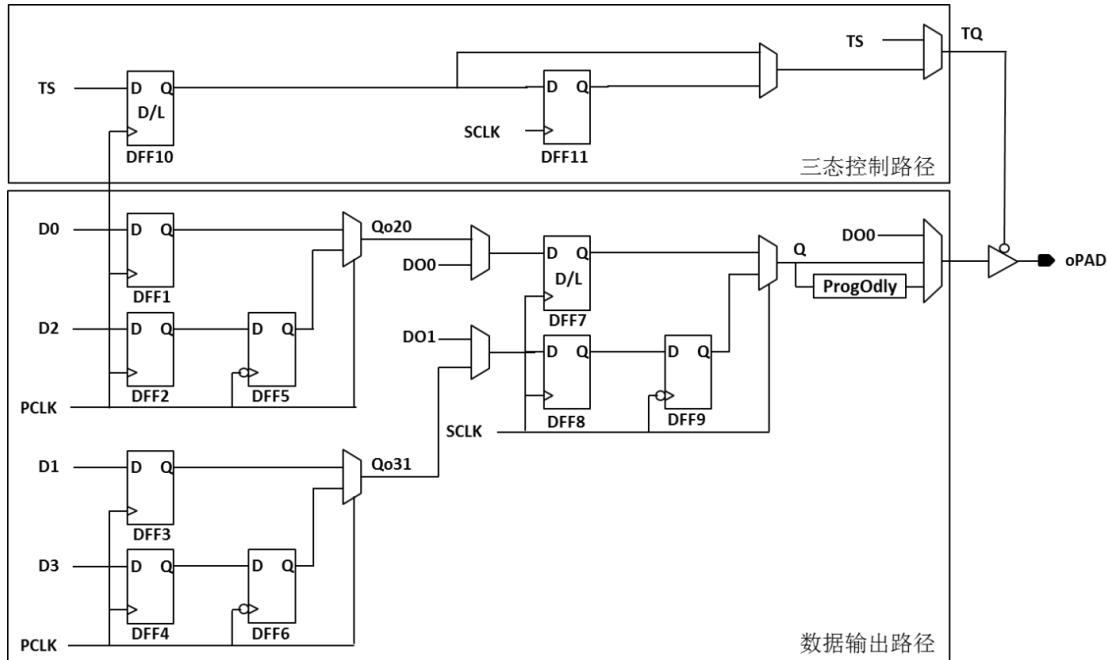


图 2-7- 10 输出寄存器框图

### 2.7.2.1 普通输出模式

普通输出模式下的 I/O 逻辑如下图所示，此模式下信号直接从 FPGA 内部逻辑输出到 PAD。

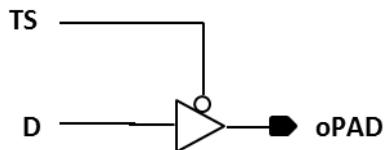


图 2-7- 11 普通输出模式框图

### 2.7.2.2 SDR 输出模式

相比普通模式，如下图所示，SDR 模式使用了 IOL 寄存器，可有效地改善 I/O 的时序性能。

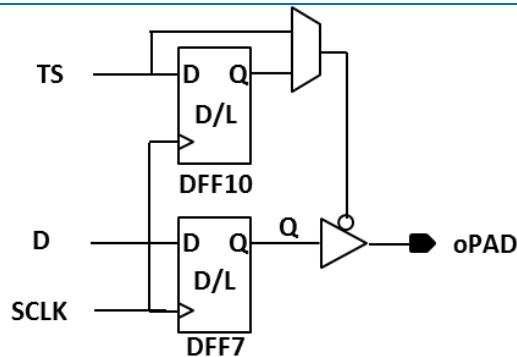
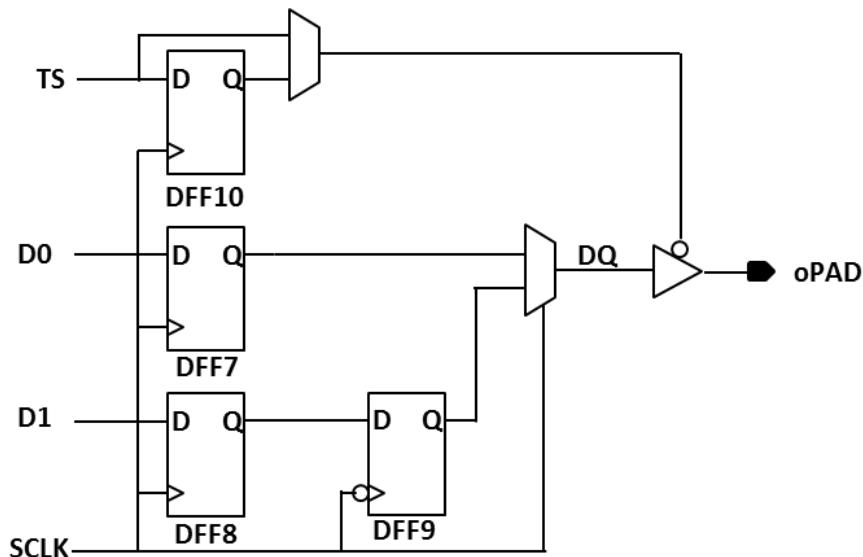


图 2-7- 12 SDR 输出模式框图

### 2.7.2.3 DDR 输出模式

EF3L15&EF3L25&EF3L45 器件 IOL 中有专用的寄存器用以支持 oDDR<sub>x1</sub> 和 oDDR<sub>x2</sub> 模式。

#### ■ oDDR<sub>x1</sub> 输出模式

图 2-7- 13 oDDR<sub>x1</sub> 输出模式框图

在 oDDR<sub>x1</sub> 模式，数据 D00 和 D01 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 oPAD，时序如下图所示。

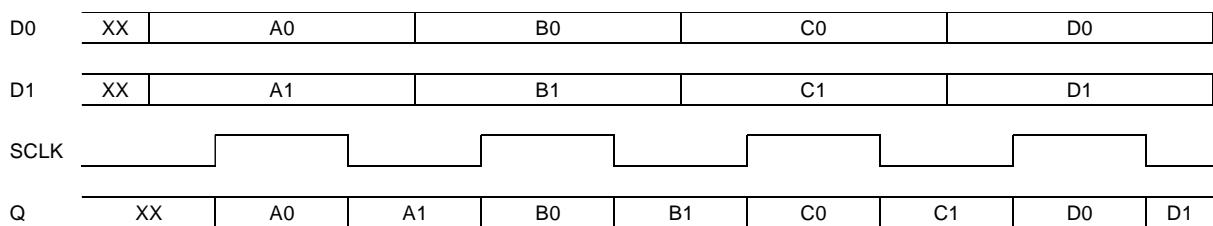


图 2-7- 14 oDDR 输出模式

## ■ oDDRx2 输出模式

oDDRx2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发，实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

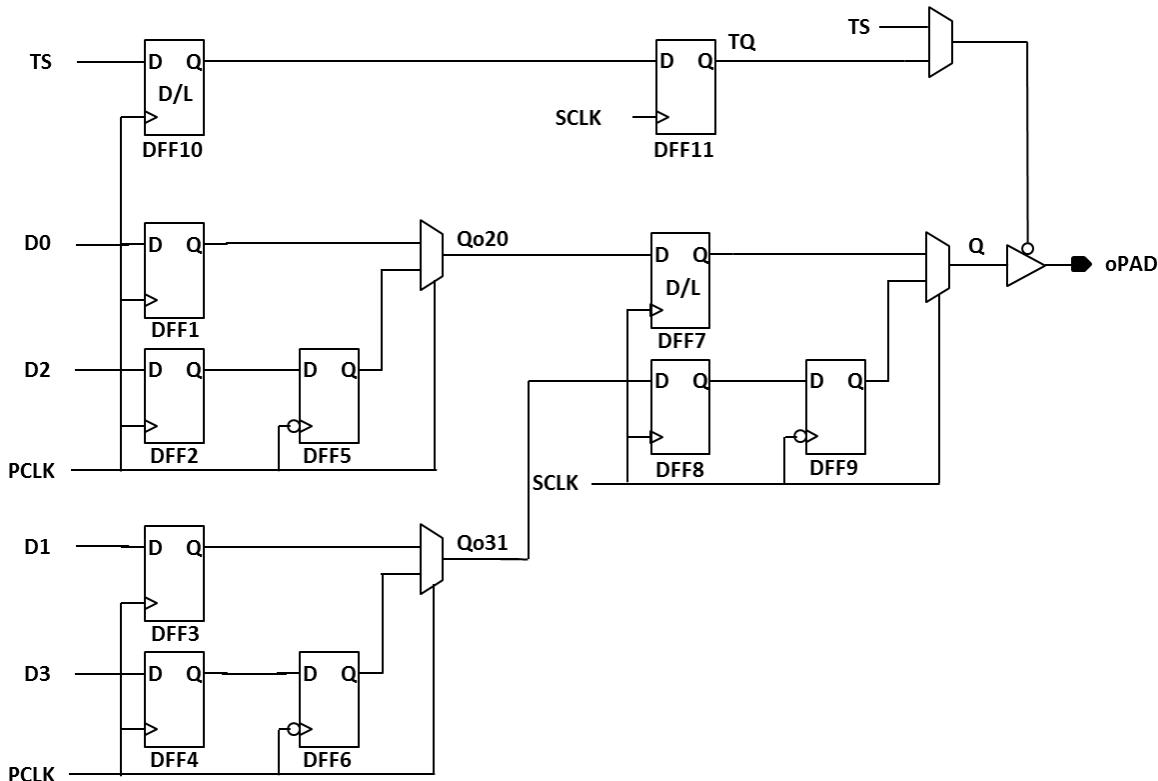


图 2-7- 15 oDDRx2 输出模式

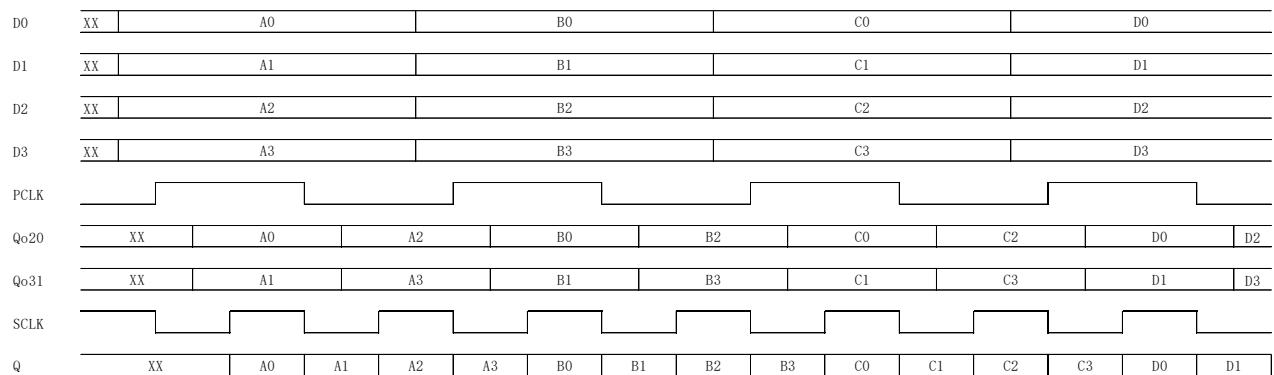


图 2-7- 16 oDDRx2 输出模式时序

## ■ oDDRx2L 输出模式

与 oDDRx2 相比，oDDRx2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDRx2 模式晚一个 SCLK 时钟周期。

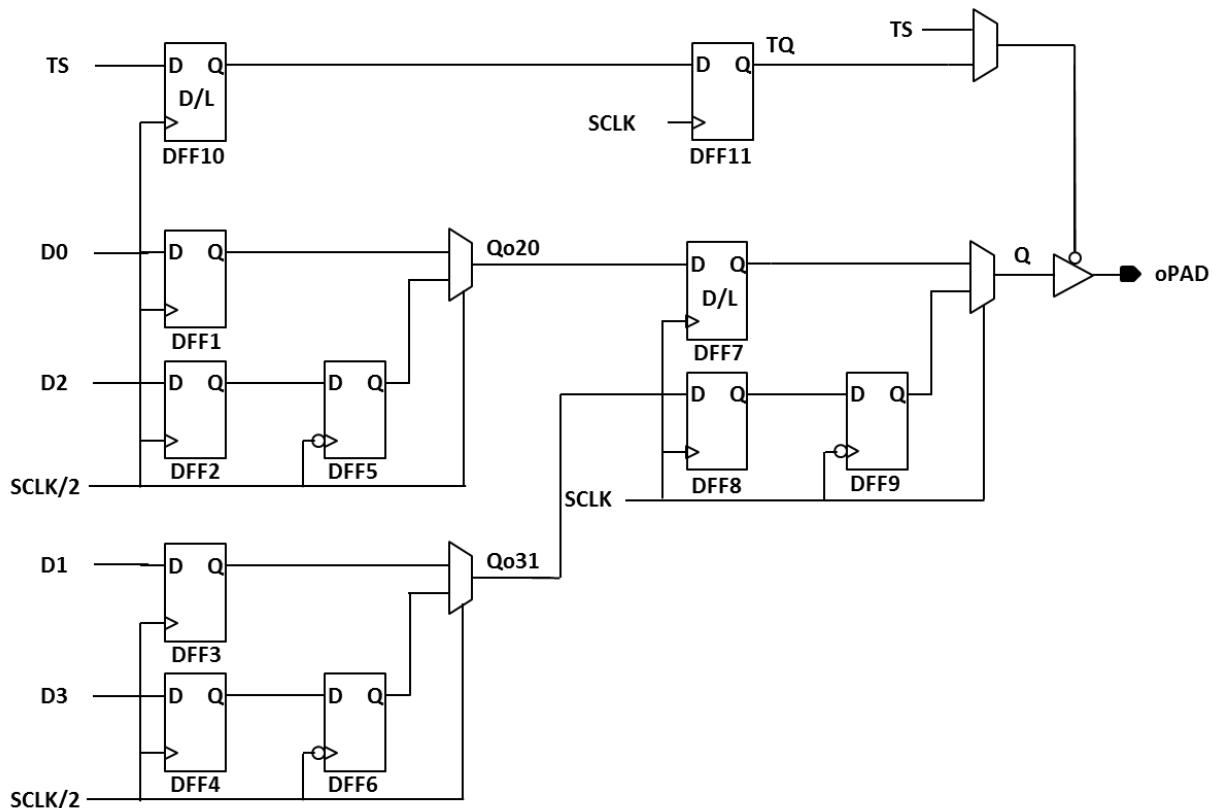


图 2-7- 17 oDDRx2L 输出模式

D0	XX	A0		B0		C0		D0
D1	XX	A1		B1		C1		D1
D2	XX	A2		B2		C2		D2
D3	XX	A3		B3		C3		D3
SCLK/2								
Qo20	XX	A0	A2	B0	B2	C0	C2	D0
Qo31	XX	A1	A3	B1	B3	C1	C3	D1
SCLK								
Q	XX	A0	A1	A2	A3	B0	B1	B2
						B3	C0	C1
							C2	C3
							D0	D1
								D2
								D3

图 2-7- 18 oDDRx2L 输出模式时序

### 2.7.2.4 输出延时单元

每一个 IOLE 逻辑单元内都包含一个可编程输出延时单元，总共支持 4 级调节，每级延时 100ps。支持静态控制延迟的方式。



## 2.8 输入输出缓冲器 (I/O)

### 2.8.1 I/O简介

EF3L15&EF3L25&EF3L45 有两种类型 I/O：基本型 IOBB 和增强型 IOBE。EF3L15&EF3L25&EF3L45 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和斜率的可编程控制。

每个 IOBE 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。

IOBE 支持电平标准：

- 单端 I/O 标准 (LVCMOS、LVTTL、PCI)
- 差分 I/O 标准 (LVDS、LVPECL)

IOBE 支持上述电平标准的同时，IOBE 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

IOBB 支持电平标准：

- 单端 I/O 标准 (LVCMOS)
- 差分 I/O 标准 (LVDS 输入、LVPECL 输入)

IOBB 支持以下配置项：

- 弱上拉/下拉电阻选择配置
- Bus Hold 功能使能

需要注意的是：

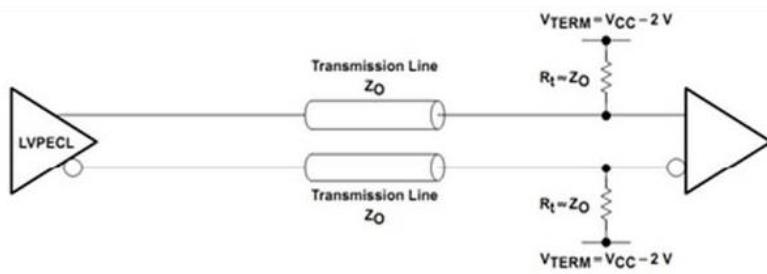
1. IOBB 管脚的驱动电流是不可调的，IOBE 管脚的驱动电流是可调的。
2. LVPECL 电平支持情况如下：
  - IOBE 支持 LVPECL33 输入，如果对端器件是 2.5V，可以直接输入；如果对端器件是 3.3V，共模电压要往下拉 2V，建议使用外接匹配电阻网络，不要使用内部的电阻；IOBE 管脚不支持 True LVPECL33 输出，只支持 LVPECL33\_E 输出；



- IOBB 管脚支持 LVPECL33 输入，但是需外加电阻网络；不支持 LVPECL33 输出，支持 LVPECL33\_E 输出。

LVPECL 输入建议外接如下电路：

1. 直流耦合：



2. 交流耦合：

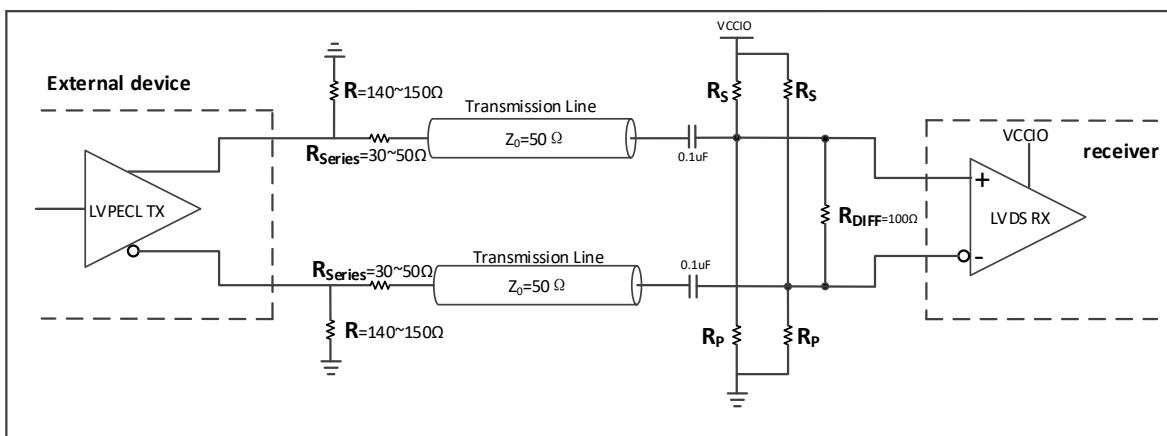


表 2-8- 1 EF3L15&EF3L25&EF3L45 支持电气标准

IO Type	IOBB	IOBE
IO Buffer Type	Single Ended	Single Ended and Differential
Output Standards Supported	LVTTL33	LVTTL33
	LVCMOS33	LVCMOS33
	LVCMOS25	LVCMOS25
	LVCMOS18	LVCMOS18
	LVCMOS15	LVCMOS15
	LVCMOS12	LVCMOS12
	-	PCI33
Inputs	All Single Ended and True Differential	All Single Ended and True Differential



I/O Type	I0BB	I0BE
Clock Inputs	All Single Ended	All Single Ended
	True Differential	True Differential
True LVDS Outputs	-	LVDS25 LVDS33
Emulated LVDS Outputs	LVDS25_E	LVDS25_E
	LVDS33_E	LVDS33_E
	LVPECL33_E	LVPECL33_E
Rdiff 100	-	Yes
PCI Clamp	-	Yes

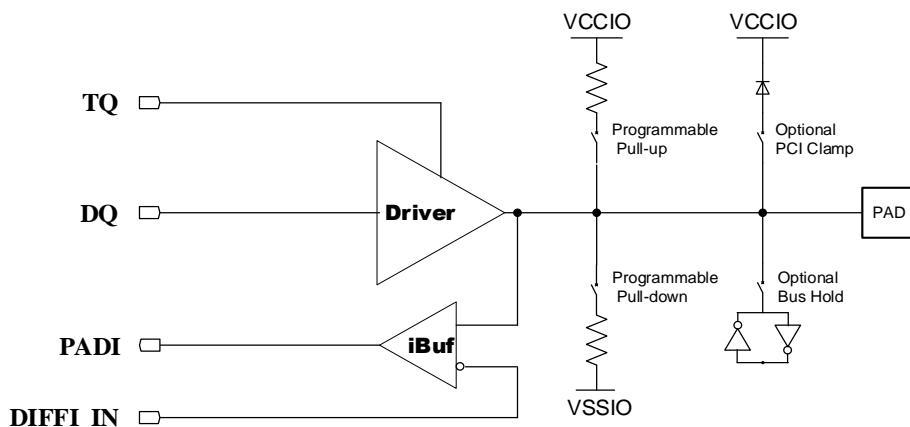


图 2-8-1 基本 I0BE 框图

各 I0BE 直接连接 I0LE 组成输入输出逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和 I0BE 的三态控制。

I0BB 的框图和 I0BE 基本一致，区别在于 I0BB 没有可选的 PCI Clamp。

## 2.8.2 高速 LVDS 接口

EF3L15&EF3L25&EF3L45 器件支持的差分标准见下表。

表 2-8-2 EF3L15&amp;EF3L25&amp;EF3L45 支持的差分标准

差分标准	I/O Type	接收		发送	
		支持	内部电阻	支持	外部电阻
LVDS	I0BE	YES	YES	YES	不需要
	I0BB	YES	No	YES	3R 电阻
LVPECL	I0BE	YES	YES/不要使用	YES	需要
	I0BB	YES	NO	YES	需要

其中芯片的 I0BE 管脚对可以作为真差分对使用，内部带有 100 欧姆电阻，用户可根据实际需求选择打开或者关闭该电阻。I0BB 管脚对内不存在 100 欧姆电阻，使用时需要外部加 100 欧姆电阻。

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入。最大输入频率 400 MHz (800Mbps)，需要注意的是 LVDS 内部的 100 欧姆电阻是可以关闭的，可以使用外部电阻。

作为输出时，True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准，无需外部匹配电阻，如图 2-8-2 所示。

**Emulated LVDS** 作为输出时采用 LVDS25E 标准，最大输出频率 166MHz，且要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如下表所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

下表给出了 Emulated LVDS 推荐电阻值。

表 2-8- 3 Emulated LVDS 推荐电阻值

电 阻 (欧姆)		信号幅值 (毫伏)	
R <sub>s</sub>	R <sub>p</sub>	LVDSE25	LVDSE33
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

注：

1. 数据基于驱动能力设定为 8mA，接收器的 100 欧端接电阻可以是片上电阻也可以是片外电阻。当接收端信号幅值大于 500mV 时必须采用片外电阻。

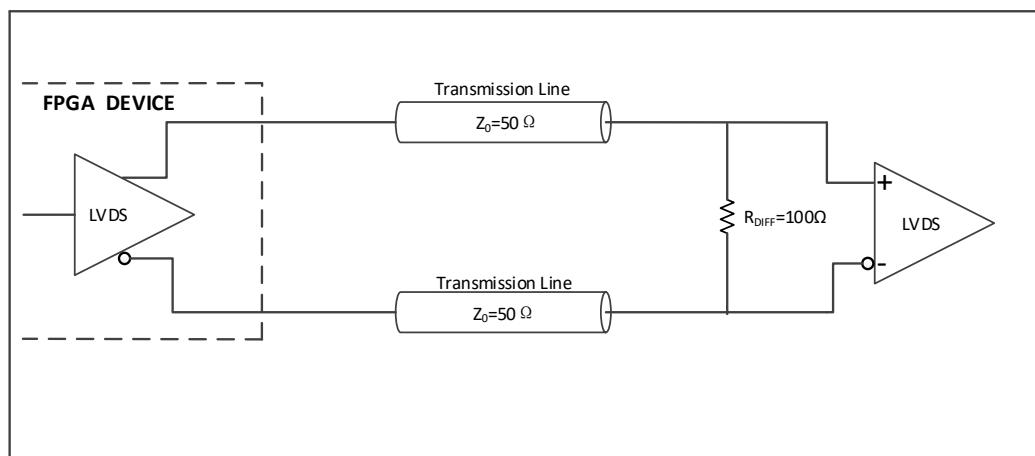


图 2-8-2 True LVDS 输出

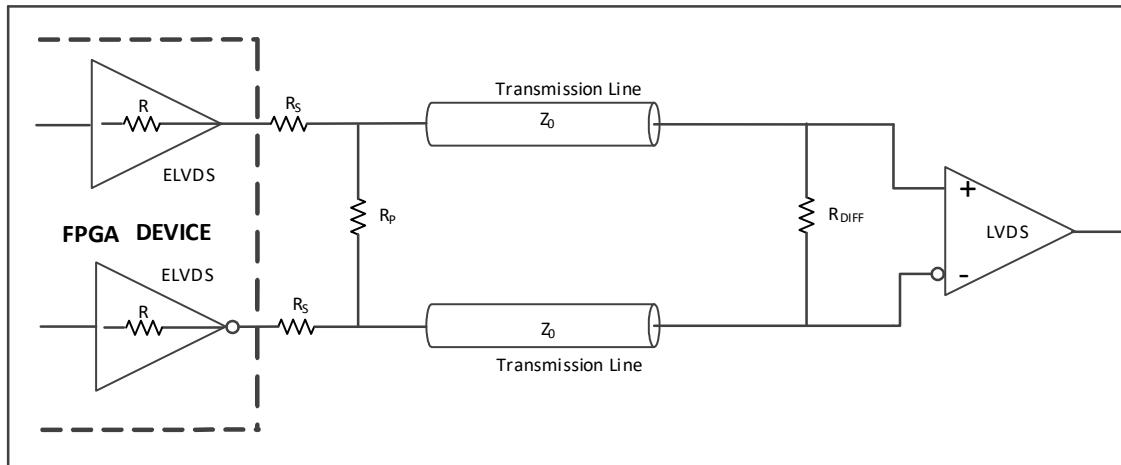


图 2-8- 3 Emulated LVDS 输出 3R 电阻网络

### 2.8.3 兼容 5V 输入

EF3L15&EF3L25&EF3L45 有两种类型 I/O：基本型和增强型。

基本型 IOBB 支持 5V 输入，不能打开 OverDriven。器件上电过程中，不支持 5V 输入，VI 最大值为 3.6V；在 3.3V 供电情况下，器件上电完成后，IOBB 可支持 5V 输入；器件下电后，IOBB 不支持 5V 输入。

增强型 IOBE 可以工作在 1.2~3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号通过增强型 IOBE 驱动到 EF3L15&EF3L25&EF3L45 器件的输入，需要外部串接电阻，同时在软件中打开 EF3L15&EF3L25&EF3L45 I/O 内部的 PCI 箝位二极管把输入端口接收到的电压降到器件安全范围内。

电阻 R 值依赖于 PCI 箝位二极管的电流特性，二极管的电压电流特性见下表。

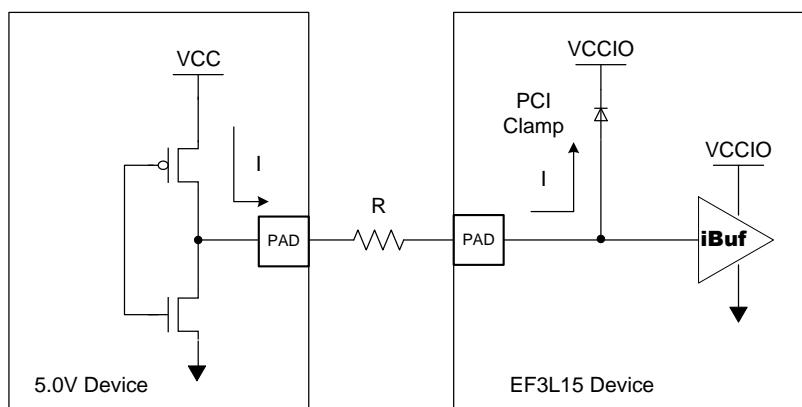


图 2-8- 4 5V 输入驱动 EF3L15&amp;EF3L25&amp;EF3L45 器件

表 2-8- 4 PCI 箝位二极管的电流特性

V <sub>D</sub> (V)	I <sub>max</sub>	Unit
0.0	0.92	uA



$V_D$ (V)	$I_{max}$	Unit
0.1	9.2	uA
0.2	20	uA
0.3	30.4	uA
0.4	43.3	uA
0.5	76.5	uA
0.6	0.15	mA
0.7	0.36	mA
0.8	2.85	mA
0.9	9.42	mA

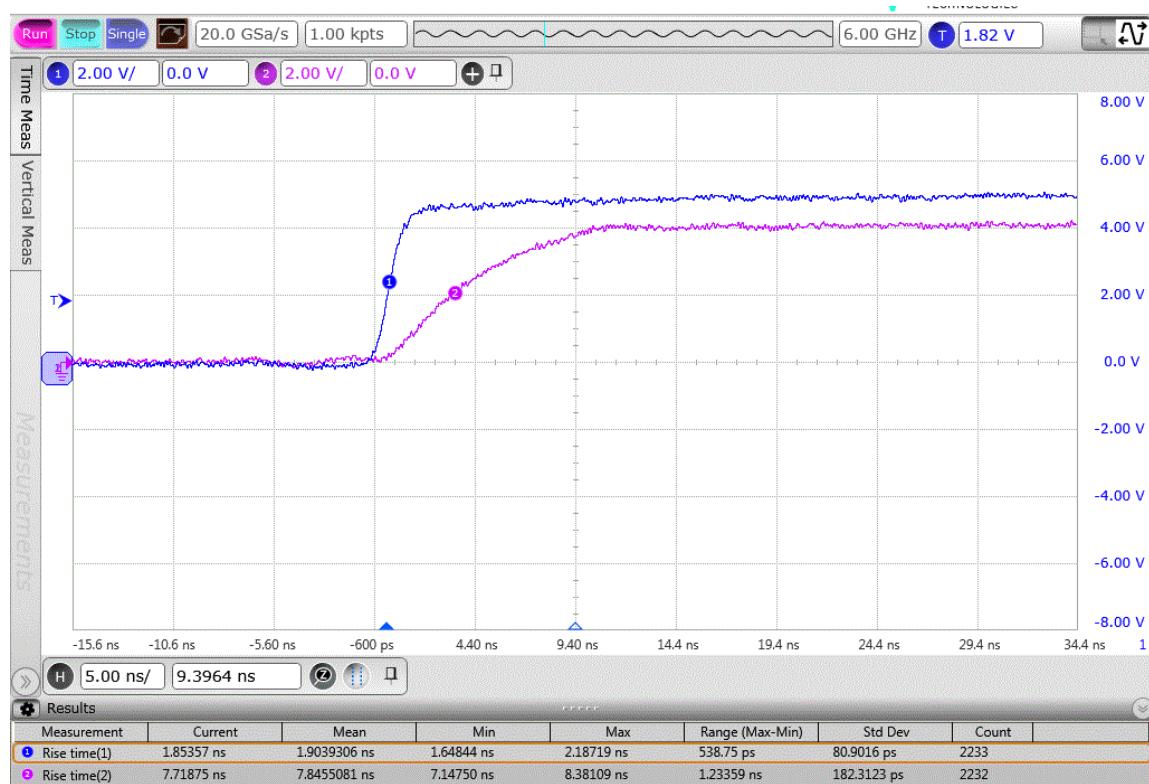
为支持 5V 输入，建议 VCCIO 电压工作在 2.5–3.0V 范围，否者 IO 电压会超过安全电压，长期使用会降低器件寿命。

IOBE I/O 器件最大容限绝对电压为  $V_{IMAX}$ ， $VCCIO=3.3V$  时， $V_{IMAX}=3.75V$ ； $VCCIO \leq 2.5V$  时， $V_{IMAX}=VCCIO+0.9$ 。

设置  $VCCIO=2.5V$ ，取分压后 IO 输入端接收到的电压  $VI=3.3V$ ，则二极管上的压降为  $VDIO = VI - VCCIO = 3.3 - 2.5 = 0.8V$ 。 $IDIO @0.8V = 2.85mA$ ， $R = (5 - 3.3)V / 2.85 mA = 5960\Omega$ 。

在输入端箝位通路分别串接不同阻值电阻，在 EF3L15&EF3L25&EF3L45 接收端测量波形如图 2-8-5 和图 2-8-6 所示。

串接电阻  $R=330\Omega$ ，上升时间为 7.8ns，下降时间为 12ns，如下图所示。



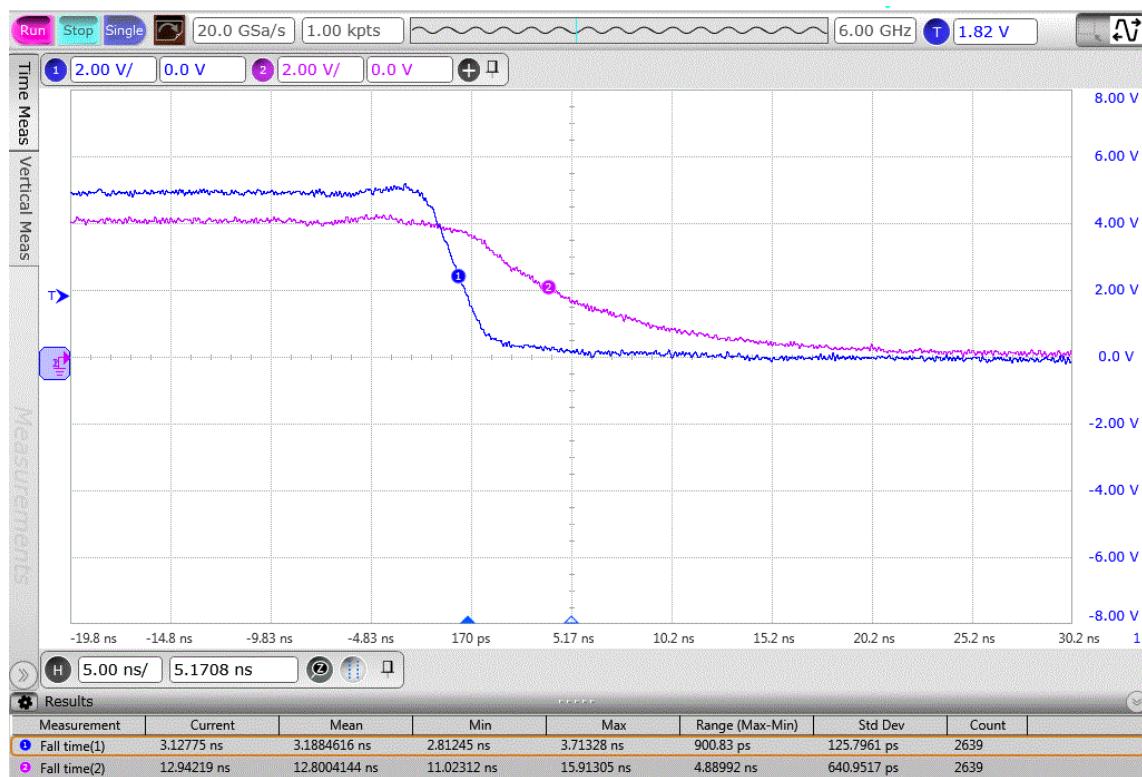
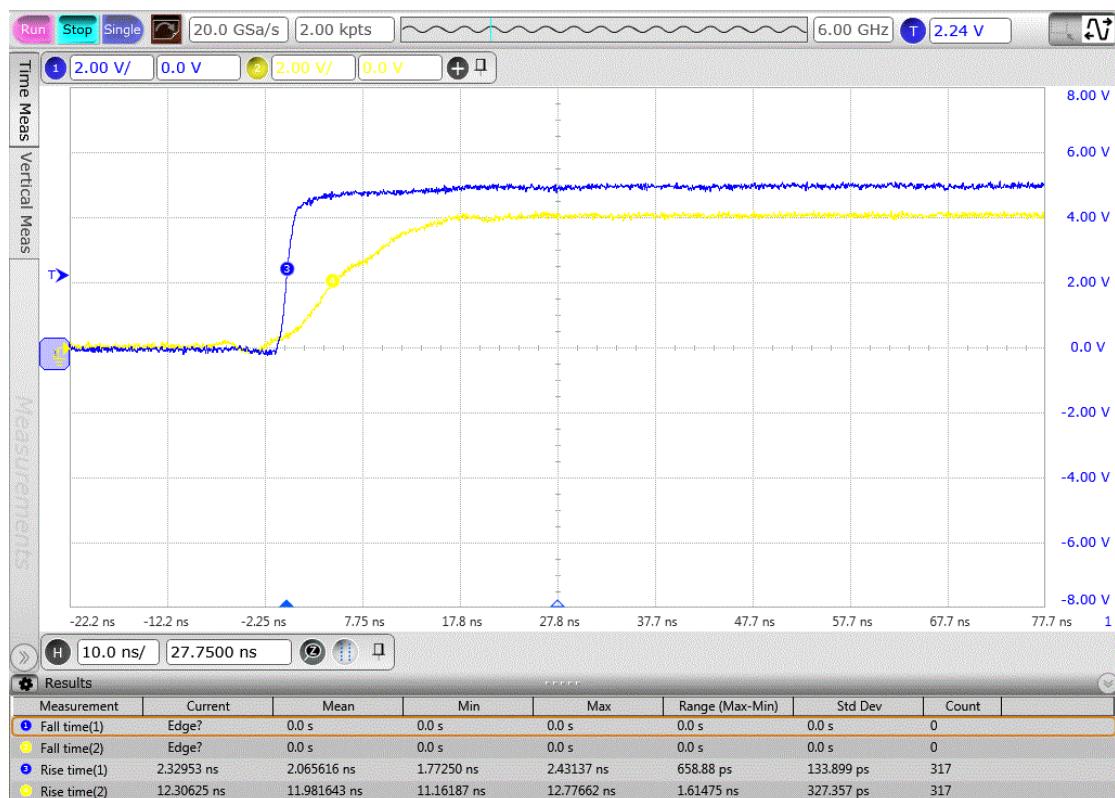


图 2-8- 5 5V 输入驱动 EF3L15&amp;EF3L25&amp;EF3L45 器件接收端波形 @R=330 0hm

串接电阻 R=600 0hm，上升时间为 12ns，下降时间为 21ns，如下图所示。



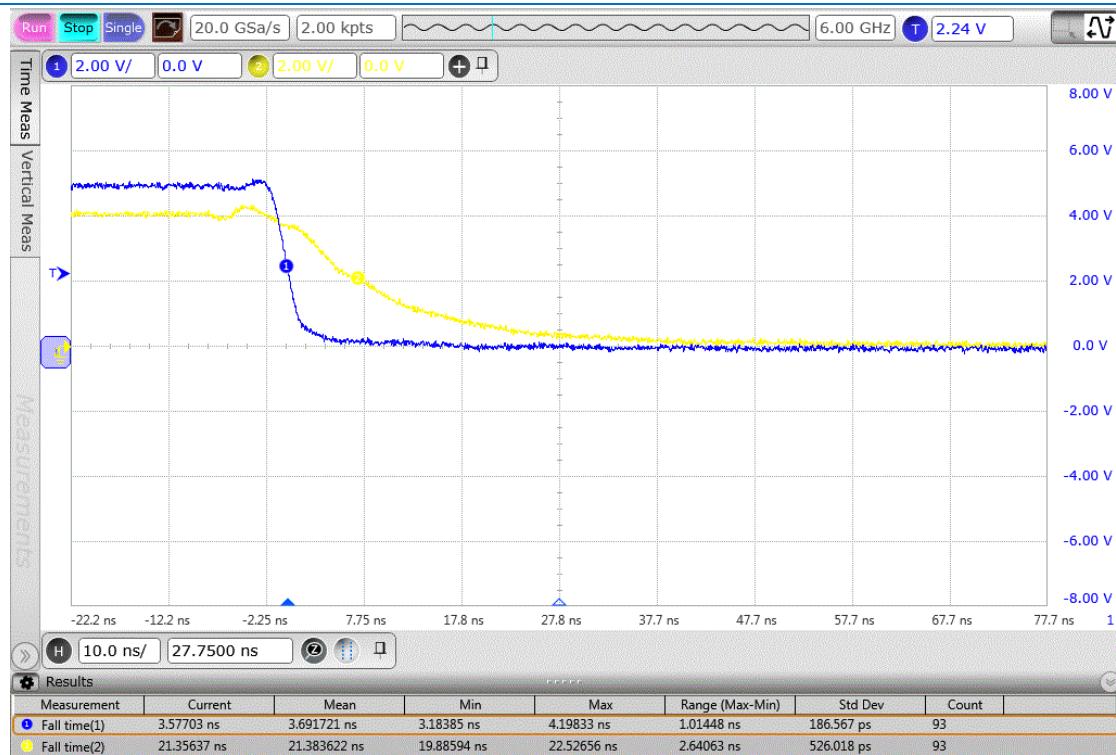


图 2-8- 6 5V 输入驱动 EF3L15&amp;EF3L25&amp;EF3L45 器件上升/下降沿 @R=600 Ohm



## 2.9 EF3L15&EF3L25&EF3L45 FPGA 配置说明

EF3L15&EF3L25&EF3L45 FPGA 内置大容量 spi flash。配置是通过往芯片内部装载配置数据来实现，支持内部和外部下载。EF3L15&EF3L25&EF3L45 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，TD 软件提供复用引脚的配置功能，在配置完成之后可以用做一般输入输出。

### 2.9.1 配置模式

EF3L15&EF3L25&EF3L45 支持 5 种配置方式，分别是从动串行，从动并行，主动并行，内部 SPI 模式和 JTAG 配置模式。内部 SPI 模式支持 x1, x2, x4 位宽。配置模式由内部 feature 寄存器决定，默认为内部 SPI 模式 x1。具体选择关系见下表。

EF3L15&EF3L25&EF3L45 FPGA 配置位流最大~2M bits，长度与 ERAM 初始化数据长度相关。

#### 2.9.1.1 EF3L15&EF3L25&EF3L45 配置模式

表 2-9-1 EF3L15&EF3L25&EF3L45 配置模式及引脚

配置											
配置引脚名	类型	SS	SP	MP	MSPI		JTAG				
		从动串行	从动并行	主动并行	内部 SPI		JTAG				
		Slave Serial	Slave Parallel	Master Parallel	X1	X2	X4				
PROGRAMN	复用 IO	PROGRAMN				-					
INITN	复用 IO	INITN				-					
DONE	复用 IO	DONE				-					
SCLK	复用 IO	SCLK			-		-				
CSN	复用 IO	-	CSN		-		-				
TMS TCK	复用 IO						TMS TCK				
TDI TDO							TDI TDO				
JTAGEN							JTAGEN				
D[7:2]	复用 IO	-	D[7:2]	D[7:2]	-		-				
D[1]	复用 IO	-	D[1]	D[1]	-		-				
D[0]/DIN	复用 IO	DIN	D[0]	D[0]	-		-				
CSON/DOUT	复用 IO	-	-	-	DOUT		-				

下面是 EF3L15&EF3L25&EF3L45 复用配置引脚：

- 配置时钟引脚 (SCLK)
- 配置开始信号引脚 (PROGRAMN)



- 配置完成引脚 (**DONE**)
- 配置错误指示引脚 (**INITN**)
- 模式配置片选引脚 (**CSN**)
- 配置级联数据输出脚 (**DOUT**)
- 边界扫描相关引脚 (**TDI**, **TDO**, **TMS**, **TCK**, **JTAGEN**)
- 配置数据输入引脚 (**D[7:0]**), **D[0]** 可以作为从模式下的 **DIN**

**DONE/INITN** 是带内部弱上拉的开漏输出。

**PROGRAMN/INITN/DONE** 等引脚复用为 **USER I/O** 时可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。

加载相关时钟信号包括 **JTAG** 加载的 **TCK**, 从串、从并加载的 **SCLK** 等, 要求这些信号边沿单调无回沟, 建议在时钟源端串接一个  $33\Omega$  电阻, 用于调整阻抗匹配, 提高信号质量。

## 2.9.2 配置流程

**EF3L15&EF3L25&EF3L45** FPGA 芯片的整个配置过程可以分三个部分。首先, 在芯片上电复位或者系统复位信号有效后进入复位, 等待内部信号和电源稳定后, 系统进入初始化阶段, 装载 **feature** 寄存器值, 内部配置信息清除, 初始化完成后, **FPGA** 开始接受配置数据写入, 写入完成后, **FPGA** 芯片启动阶段, 如下图所示。

### ■ 上电初始化过程

**EF3L15&EF3L25&EF3L45** FPGA 芯片上电后, 系统需要经过初始化过程才能进入配置下载状态。另外, 用户如果需要重新对配置数据下载, 拉低 **PROGRAMN** 后, 系统进入初始化过程, 初始化过程中, **FPGA** 装载 **feature** 寄存器, 然后将清除内部所有配置点, 复位内部寄存器。

### ■ 配置数据写入

**EF3L15&EF3L25&EF3L45** FPGA 初始化完成后, **INITN** 信号变为高电平, 此时用户配置数据可以写入 **EF3L15&EF3L25&EF3L45** FPGA。

**INITN** 信号变为高的时候, **FPGA** 根据 **feature** 寄存器内容确定配置模式。**JTAG** 可以在任何模式中进入。

配置过程中, **INITN** 信号变低表示配置出错, 出错后可以选择重新加载。

### ■ 启动阶段

**EF3L15&EF3L25&EF3L45** FPGA 完成所有配置点和块 **RAM** 的数据写入之后, 进入启动过程。**EF3L15&EF3L25&EF3L45** FPGA 启动主要完成以下功能:



- a) 释放 DONE 信号。DONE 信号从低电平变为高电平表示 EF3L15&EF3L25&EF3L45 FPGA 顺利完成数据配置，反之则表示没有顺利完成配置。
- b) 释放全局三态信号 GTS，全局三态信号 GTS 的释放，能够释放所有 I/O 管脚。
- c) 释放全局复位/置位信号 GSR，允许所有的触发器改变状态。
- d) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

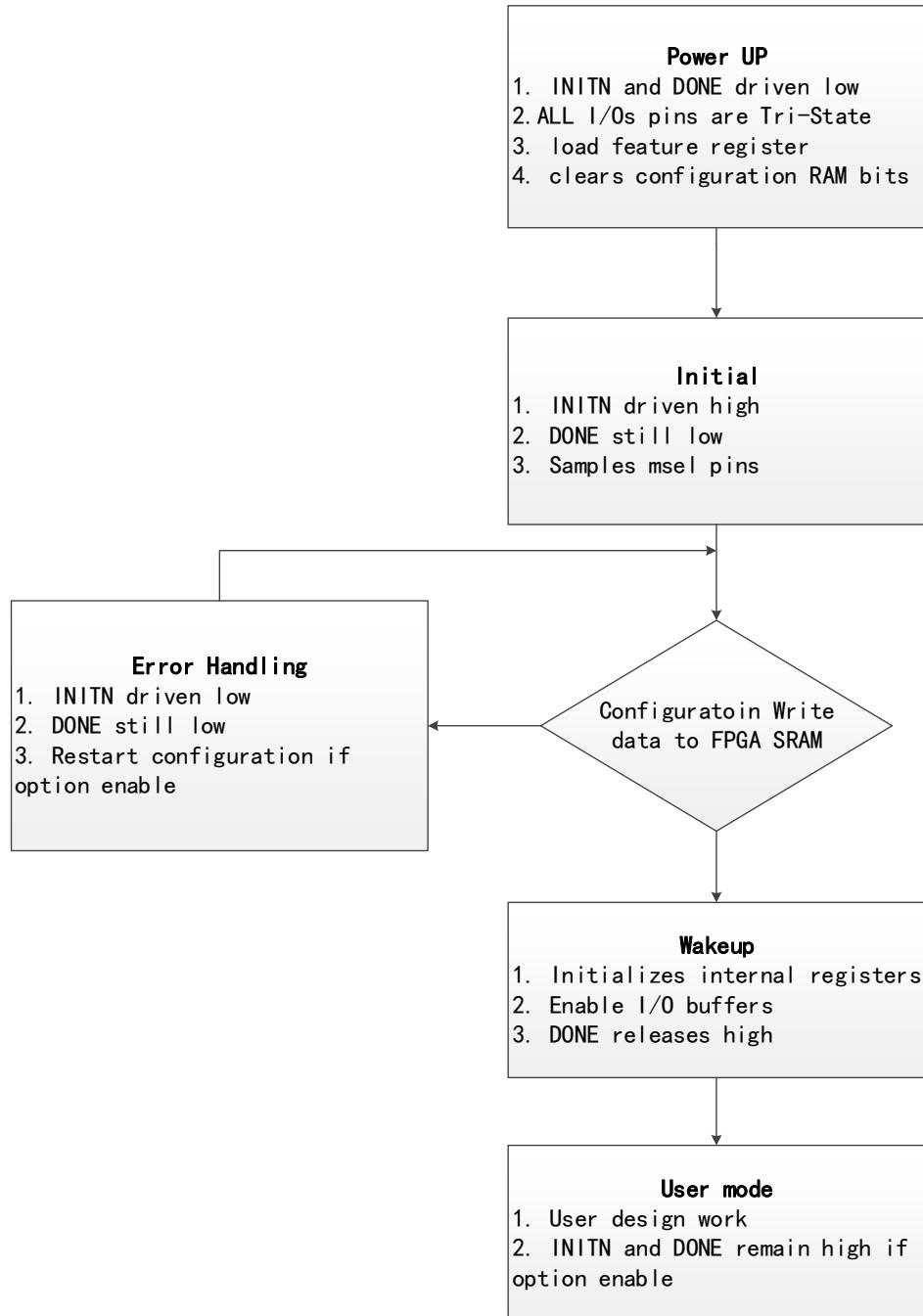


图 2-9- 1 EF3L15&amp;EF3L25&amp;EF3L45 MSPI 配置流程



### 2.9.3 MSPI 配置模式

在 MSPI 模式下，EF3L15&EF3L25&EF3L45 通过内部 Flash 进行配置。该模式下配置时钟由内部振荡器产生，用户能够选择下载频率范围。芯片上电时设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改频率，频率范围从 2.5MHz~24MHz。MSPI 支持 x1, x2, x4 位宽模式，可通过 Feature 寄存器设定。

内部 FLASH 数据写入可以使用安路 FPGA 下载器通过 JTAG 在线写入，批量生产时也可通过安路离线下载器写入。

下图是 EF3L15&EF3L25&EF3L45 MSPI 配置方式连接图，PROGRAMN 信号控制复位 EF3L15&EF3L25&EF3L45 FPGA，其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号，DONE 信号变高，表示配置成功，芯片开始工作。

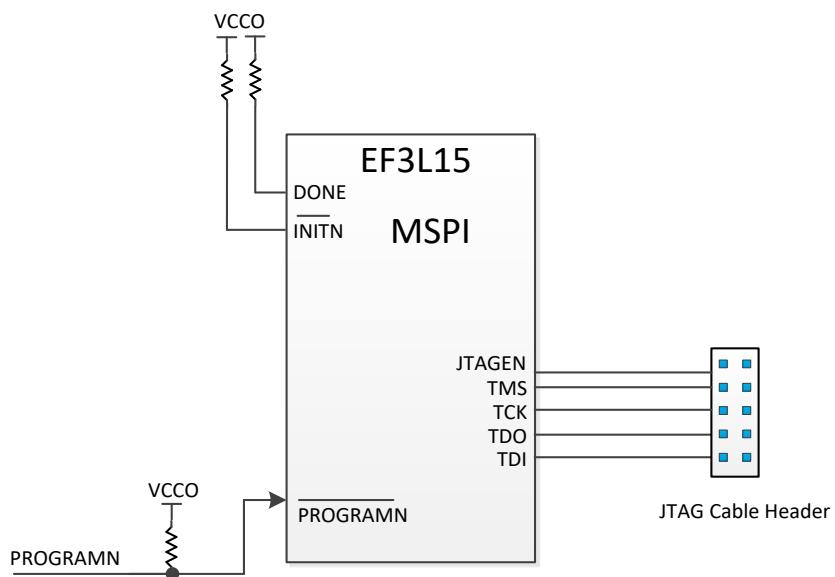


图 2-9- 2 EF3L15&EF3L25&EF3L45 MSPI 配置方式

### 2.9.4 从动串行配置模式

从动串行 (SS) 模式下，FPGA 可以通过 MCU 进行加载。TD 软件可以生成 bin 文件用于 MCU 加载。

MCU 通过 SCLK、DIN 信号使用串行方式将数据写入 FPGA。EF3L15&EF3L25&EF3L45 FPGA 芯片在每个 SCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成，如果配置出错，会将 INITN 信号拉低。

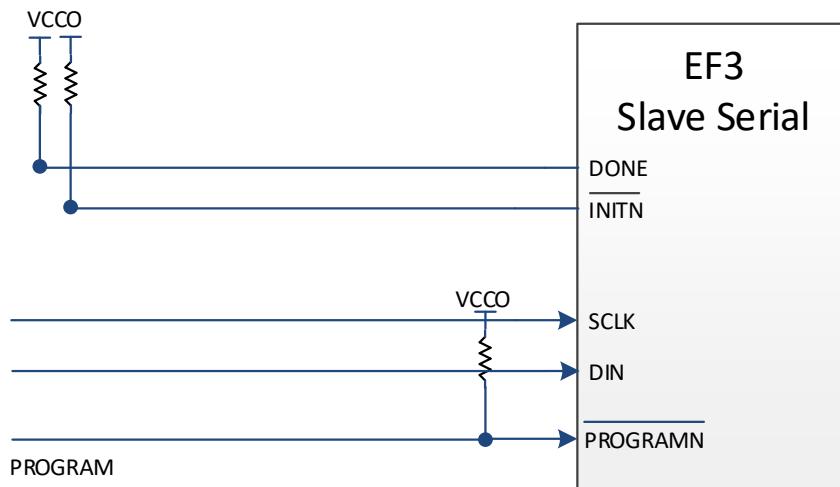


图 2-9-3 EF3L15&amp;EF3L25&amp;EF3L45 串行配置方式

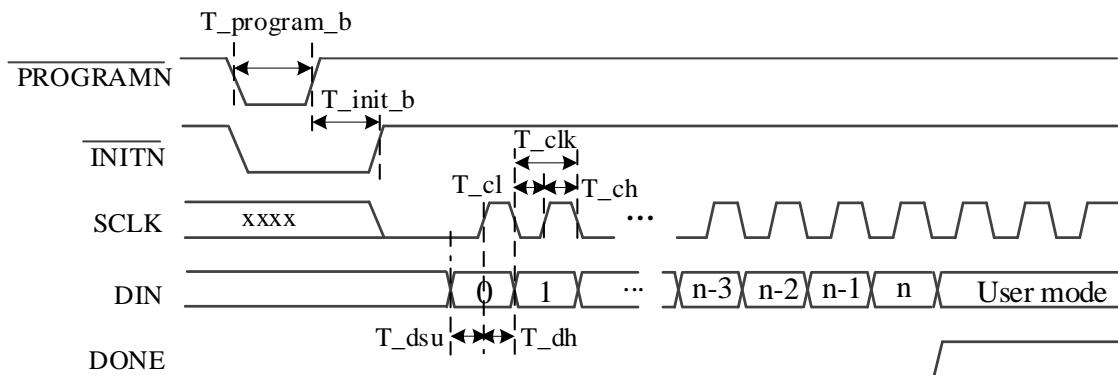


图 2-9-4 EF3L15&amp;EF3L25&amp;EF3L45 串行配置模式时序图

表 2-9-2 从动串行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width	-	10	ms
T_clk	SCLK period	33	-	ns
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

1. FPGA 芯片在每个 SCLK 的上升沿接收数据，为保证时序，建议配置时，在下降沿发送数据
2. EF3L15&EF3L25&EF3L45 器件使用从动串行模式加载时，若用户需要将配置管脚(SCLK, CS0N/DOUT)复用为 GPIO，或是需要通过逻辑对 FLASH 进行读写操作，则 DONE 信号拉高后 SCLK 至少需要再维持 6us 加 10 个周期的时钟输出。

## 2.9.5 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行通过 8 位并行数据写入能够达到较快的配置速度。

如下图所示，其中多个 CSN 信号可以选择多个配置芯片。

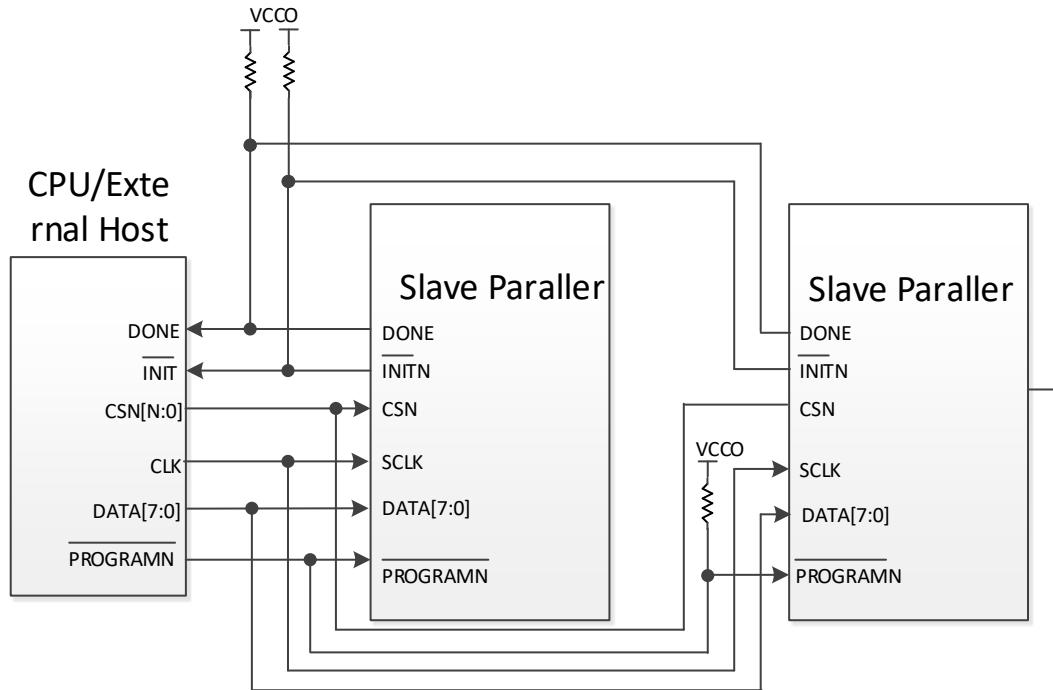


图 2-9-5 从动并行配置方式

从动并行配置模式时序如下图所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSN 有效时，在时钟的上升沿配置数据写入。同样，配置完成后，DONE 信号会变高。

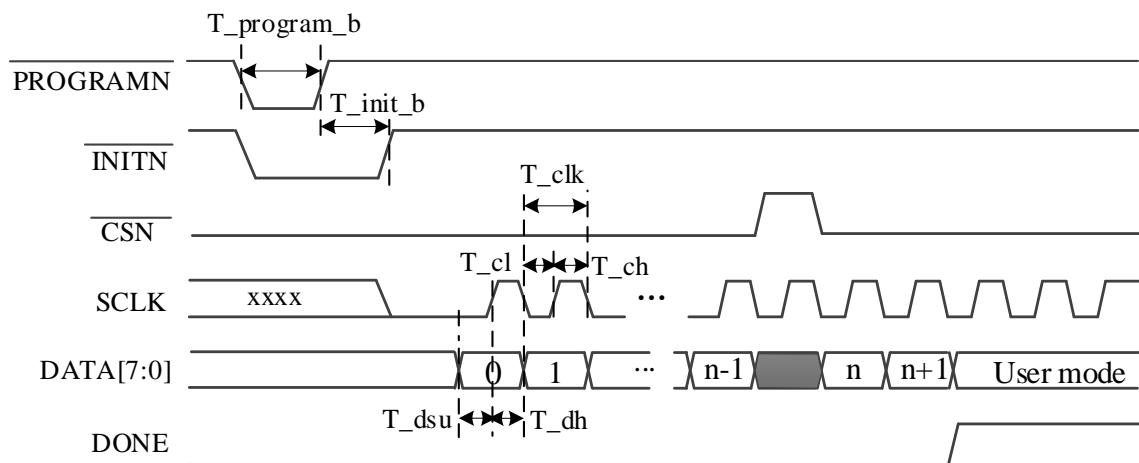


图 2-9-6 EF3L15&EF3L25&EF3L45 从动并行配置时序图



表 2-9-3 从动并行时序规格表

符号	参数	最小	最大	单位
T_program_b	PROGRAM_B low pulse width	1	-	us
T_init_b	INIT_B low pulse width	-	10	ms
T_clk	SCLK period	33	-	ns
T_ch	SCLK high time	15.5	-	ns
T_cl	SCLK low time	15.5	-	ns
T_dsu	Data setup time	16.5	-	ns
T_dh	Data hold time	6	-	ns

1. FPGA 芯片在每个 SCLK 的上升沿接收数据，为保证时序，建议配置时，在下降沿发送数据
2. EF3L15&EF3L25&EF3L45 器件使用从动并行模式加载时，若用户需要将配置管脚(SCLK, CS0N/DOUT)复用为 GPIO，或是需要通过逻辑对 FLASH 进行读写操作，则 DONE 信号拉高后 SCLK 至少需要再维持 6us 加 10 个周期的时钟输出。

## 2.9.6 主动并行配置模式

主动并行配置和从动并行配置类似，差别在于 SCLK 时钟由 FPGA 提供。

## 2.9.7 JTAG 配置模式

EF3L15&EF3L25&EF3L45 FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过配置引脚(TDI, TDO, TMS, TCK, JTGEN) 进行的。在 INITN 信号变高后，JTAG 可以通过指令中断其他模式，进入 JTAG 配置模式。

TDI, TDO, TMS, TCK, JTGEN 为复用 IO。当 TDI, TDO, TMS, TCK 配置为专用 IO 时，JTGEN 可配置成用户 IO。当 TDI, TDO, TMS, TCK 配置成用户 IO 时，JTGEN=1 可以将 TDI, TDO, TMS, TCK 强制变成专用 IO。

JTAG 配合使用安路公司专用的 USB 下载线，配合 TD 软件进行，可以通过软件查看配置是否成功。

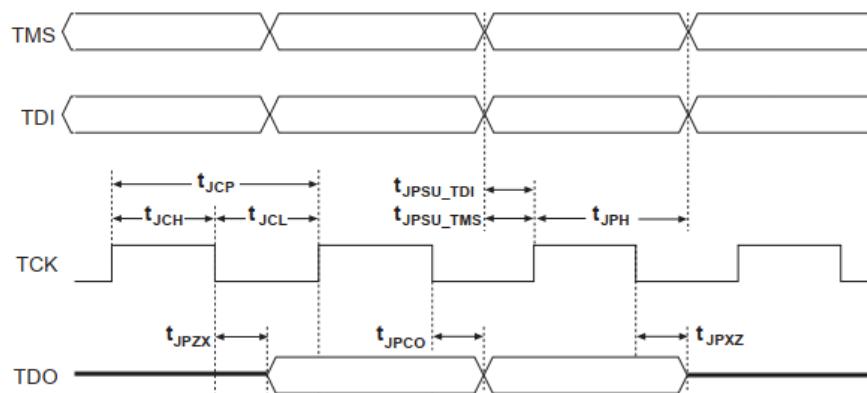


图 2-9-7 EF3L15&amp;EF3L25&amp;EF3L45 JTAG 时序图



表 2-9- 4 EF3L15&amp;EF3L25&amp;EF3L45 器件 JTAG 时序规格表

符号	参数	最小	最大	单位
$t_{JCP}$	TCK 周期	100	—	ns
$t_{JCH}$	TCK 高电平时间	48	—	ns
$t_{JCL}$	TCK 低电平时间	48	—	ns
$t_{JPSU\_TDI}$	TDI 建立时间	6	—	ns
$t_{JPSU\_TMS}$	TMS 建立时间	8	—	ns
$t_{JPH}$	JTAG 端口保持时间	10	—	ns
$t_{JPCO}$	JTAG 端口时钟到输出延时	—	16	ns
$t_{JPZX}$	JTAG 端口高阻到有效输出转换时间	—	16	ns
$t_{JPXZ}$	JTAG 端口有效输出到高阻转换时间	—	16	ns

注:

1. 非背景模式下通过 Jtag 烧写 flash 数据, tck 的频率要大于等于 100kHz

## 2.9.8 IEEE 1149.1 边界扫描测试

EF3L15&EF3L25&EF3L45 器件所有 IO 都集成边界扫描单元, 可以通过标准 1149.1 TAP 控制器来访问和控制 IO, 边界扫描指令可以在任何状态下访问 IO 单元 (SAMPLE 指令只能在用户模式下使用)。

## 2.9.9 DUAL BOOT 功能

EF3L15&EF3L25&EF3L45 在 MSPI 模式下支持 Dual Boot 功能。当 Primary 位流下载失败后, EF3L15&EF3L25&EF3L45 FPGA 自动跳转到用户设定的地址去读取 golden 位流。下图所示为 Dual Boot 下内部 SPI Flash 的数据空间分配。

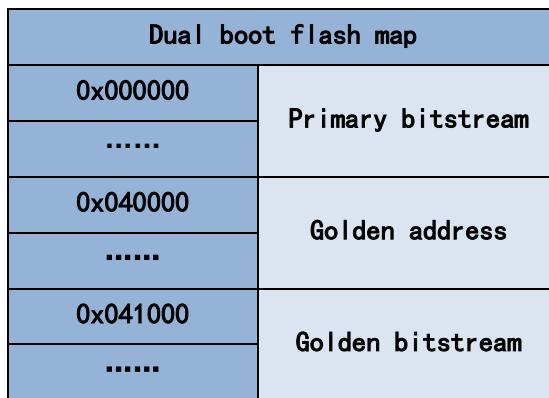


图 2-9- 8 EF3L15&amp;EF3L25&amp;EF3L45 Dual Boot SPI Flash 的数据空间分配

## 2.9.10 MULTI BOOT 功能

MSPI 模式下, 用户可以使用 TD 软件设置 Multi Boot 功能。当进入用户模式后, 应用本身可以通过接口触发信号 rebootn=0, 从指定的内部 SPI Flash 地址重新开始下载位流。由于 EF3L15&EF3L25&EF3L45



内部 flash 限制，建议只存放两套位流，第二个 bit 流存放在 0x040000 位置处。需要注意的是，rebootn 信号保持低电平的时间需大于 2.5us。

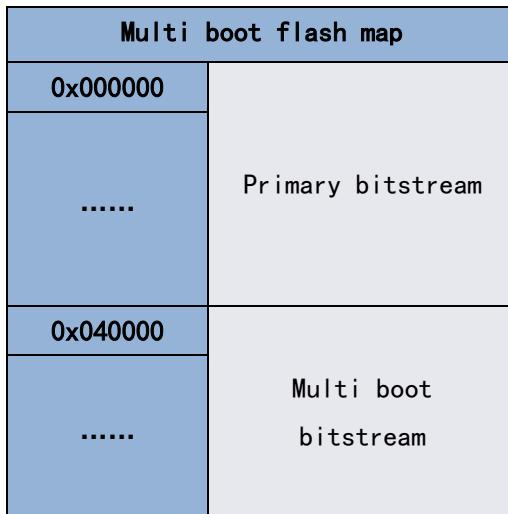


图 2-9-9 EF3L15&EF3L25&EF3L45 Multi Boot SPI Flash 的数据空间分配

### 2.9.11 FPGA I/O 引脚在配置阶段的设置

在配置阶段，FPGA 的专用引脚有上拉/下拉电阻，用户 I/O 引脚在配置过程中有可选的上拉电阻。HSWAPEN 控制位来决定用户 I/O 引脚上是否使能上拉电阻，此信号在软件中设置。

在 EF3L15&EF3L25&EF3L45 中，HSWAPEN 默认值为 1，该寄存器位只能由位流改写。

### 2.9.12 FPGA I/O 引脚在配置阶段的状态

#### 1. 非配置相关 I/O

芯片上电完成后 feature 寄存器加载前，非配置相关 I/O 处于三态；在调用 DUAL BOOT 和 MULTI BOOT 功能以及不断电情况下进行复位操作，feature 寄存器加载前，非配置相关 I/O 处于三态。

加载过程中，普通 I/O 的状态受 HSWAPEN 控制可以为弱上拉或者三态；

进入用户模式之后，用户使用的 I/O 脚状态受代码控制，未使用的管脚为三态弱上拉状态。

（需要注意的是：E16, F15, F12, J11, L12, G12, F14, G13, H13, J12, J15, K16, K13, K12, C16, D15, 这 16 个引脚在配置前和加载过程中，都处于弱上拉状态，不可控制）。

#### 2. 配置相关引脚跟配置设置相关，如下表所示：

表 2-9-5 EF3L15&EF3L25&EF3L45 Configuration Pin Termination

Pin	配置成功前		配置成功后
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置



Pin	配置成功前		配置成功后
	HWSWAPEN=0 (enable)	HWSWAPEN=1 (disable)	
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O

## 2.9.13 DNA 安全功能

EF3L15&EF3L25&EF3L45 FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以利用 DNA 进行用户设计保护。软件将提供 IP 接口，使用户读出 DNA 数据。如下图所示。DNA 时钟频率范围 0~20MHz，shift\_en 建议采用时钟下降沿送出，保证时序要求。

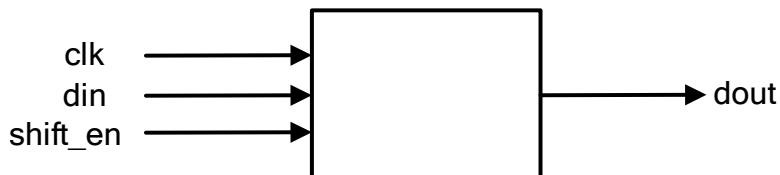


图 2-9- 10 EF3L15&EF3L25&EF3L45 DNA 接口示意图

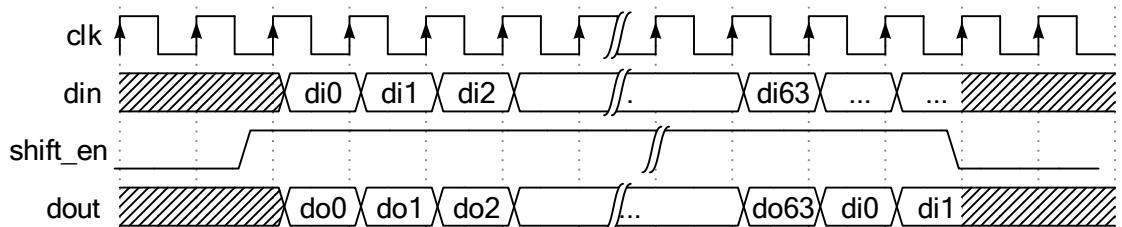


图 2-9- 11 EF3L15&EF3L25&EF3L45 DNA 时序图

## 2.10 内置环形振荡器

EF3L15&EF3L25&EF3L45 器件包含一个 CMOS 环形振荡器，环形振荡器的输出可以作为全局时钟的输入，也可以作为 PLL 的参考时钟。环形振荡器中心频率 290MHz，在全局时钟路径上，插入的可配置分频器可以对 OSC 的频率进行 1~128 任意整数分频。可以动态配置分频系数，不使用时可以关闭 OSC 以



节省功耗。

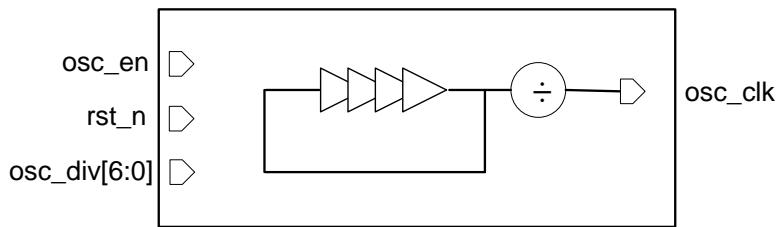


图 2-9- 12 内置环形振荡器模块框图

注：

1. OSC、OSCDIV 输出可以接 PLL，但不能直接 Fabric，可以通过 GCLK 连接到 Fabric。
2. EF3L15&EF3L25&EF3L45 器件不建议使用 OSC+PLL 的组合方式，建议使用内部的 EF3\_PHY\_OSCDIV (rstn, stdby, div, clk0)。
3. OSC 输出时钟最大偏差在±30%以内，对时钟精度要求较高的场景不建议使用。

## 2.11 内嵌 ADC 模块

EF3L45CG256BH 器件内嵌有两个 8 通道 12 位 1MSPS ADC。ADC 需要独立的供电、地以及一个独立的 VREF 电压输入。8 个通道输入和用户 I/O 复用，当用户不需要 ADC 时可以用作普通用户 I/O；复用 I/O 设置相互独立，未使用的 ADC 通道管脚可以作为普通 I/O 使用。

EF3L15&EF3L25&EF3L45 的其他器件不支持 ADC 模块。

表 2-9-6 ADC 模块端口

芯片端口名	端口类型	说明
ADC_VDD	PAD	ADC 电源输入
ADC_VREF	PAD	参考电压，不大于 ADC_VDD
ADC_CH[7:0]	PAD	8 路采样输入
GND_ADC	PAD	ADC 模块地
内部端口名	端口方向	说明
clk	输入	ADC 工作时钟
pd	输入	ADC 低功耗掉电模式
s[2:0]	输入(来自 FPGA)	ADC 通道选择信号输入
soc	输入(来自 FPGA)	ADC 采样使能信号输入，高有效
eoc	输出(到 FPGA)	ADC 转换完成输出，高有效
dout[11:0]	输出(到 FPGA)	对应通道的 ADC 转换结果

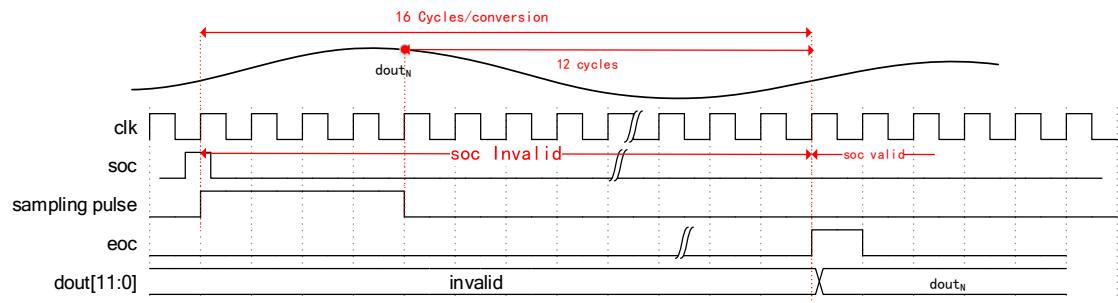


图 2-9- 13 ADC 采样控制时序



### 3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

#### 3.1 直流电气特性

##### 3.1.1 最大绝对额定值

表 3-1-1 最大绝对额定值

Symbol	参数		最小	最大	单位
$V_{CCAUX}$	辅助电源		-0.5	3.75	V
$V_{CC10}$	I/O 驱动供电电压		-0.5	3.75	V
$V_I$	直流输入电压	增强型 IOBE	-0.5	3.75	V
		基础型 IOBB	-0.5	6.00	V
$V_{ESDHBM}$	人体模型静电放电电压		-	±1500	V
$V_{ESDCDM}$	器件充电模型静电放电电压		-	±500	V
$T_{STG}$	存储温度		-65	150	°C
$T_J$	结点温度		-40	125	°C

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

输入 IO 在信号跳变过程中，可能会产生过冲或下冲，如下图所示，如下表所示给出了 10 年使用寿命下允许的最大过冲、下冲的占比值。

表 3-1-2 列出了 IOBE 最大允许输入过冲/下冲电压，以及过冲/下冲电压的持续时间占数据 UI 的百分比。如图 3-1-1 所示，T 为数据的 UI 长度，DT 为过冲信号的持续时间。过冲电压超过  $V_{CC10}+0.3V$  的时刻即为统计过冲 DT 的起始时刻，过冲电压低于  $V_{CC10}+0.3V$  的时刻即为统计过冲 DT 的结束时刻。同样，下冲电压低于  $GND-0.3V$  的时刻即为统计下冲 DT 的起始时刻，下冲电压超过  $GND-0.3V$  的时刻即为统计下冲 DT 的结束时刻。表 3-1-2 中一个直流输入信号意味着过冲信号（例如幅值为  $V_{CC10}+0.3V$  的过冲信号）的持续时间（DT）可以占整个数据 UI 的 100%，或者下冲信号（例如幅值为  $GND-0.3V$  的下冲信号）的持续时间（DT）可以占整个数据 UI 的 100%。

表 3-1-3 和表 3-1-4 列出了 IOBB 最大允许输入过冲/下冲电压，以及过冲/下冲电压的持续时间占数据 UI 的百分比。当  $V_{CC10}=3.3V$  时，过冲电压超过  $5.5V$  的时刻即为统计过冲 DT 的起始时刻，过冲电压低于  $5.5V$  的时刻即为统计过冲 DT 的结束时刻；当  $V_{CC10}\leq 2.5V$  时，过冲电压超过  $3.6V$  的时刻即为统计过冲 DT 的起始时刻，过冲电压低于  $3.6V$  的时刻即为统计过冲 DT 的结束时刻。同样，下冲电压低于  $-0.3V$  的时刻即为统计下冲 DT 的起始时刻，下冲电压超过  $-0.3V$  的时刻即为统计下冲 DT 的结束时刻。

表 3-1-3 中一个直流输入信号意味着过冲信号(例如幅值为 5.5V 的过冲信号)的持续时间 (DT) 可以占整个数据 UI 的 100%，或者下冲信号(例如幅值为-0.3V 的下冲信号)的持续时间 (DT) 可以占整个数据 UI 的 100%。

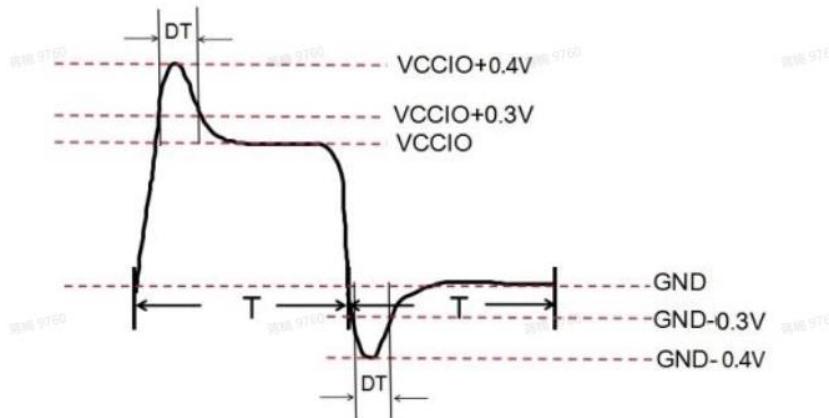


图 3-1-1 输入信号过冲、下冲

表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比 (IOBE)

Parameter	Condition (V)	Under/Overshoot Duration as % of UI	Unit
VI AC Input Voltage	GND-0.3	100	%
	GND-0.4	100	%
	GND-0.5	86	%
	GND-0.6	49	%
	GND-0.7	28	%
	GND-0.8	16	%
	GND-0.9	9.23	%
	GND-1	5.27	%
	GND-1.1	3	%
	VCCIO+0.4	100	%
	VCCIO+0.5	86	%
	VCCIO+0.6	49	%
	VCCIO+0.7	28	%
	VCCIO+0.8	16	%
	VCCIO+0.9	9.23	%
	VCCIO+1.0	5.27	%
	VCCIO+1.1	3	%

注：

1. UI 的周期不超过 20us。

表 3-1- 3 10 年使用寿命条件下允许的最大过冲、下冲占比 (I<sub>OBB</sub>, V<sub>CC10</sub>=3. 3V)

Parameter	Condition(V)	Under/Overshoot Duration as % of UI	Unit
VI AC Input Voltage	-0. 3	100	%
	-0. 4	100	%
	-0. 5	67	%
	-0. 6	32	%
	-0. 7	14	%
	-0. 8	6	%
	-0. 9	2	%
	-1	0. 5	%
	5. 9	100	%
	6. 0	67	%
	6. 1	32	%
	6. 2	14	%
	6. 3	6	%
	6. 4	2	%
	6. 5	0. 5	%

注:

- UI 的周期不超过 20us。

表 3-1- 4 10 年使用寿命条件下允许的最大过冲、下冲占比 (I<sub>OBB</sub>, V<sub>CC10</sub>≤2. 5V)

Parameter	Condition(V)	Under/Overshoot Duration as % of UI	Unit
VI AC Input Voltage	-0. 3	100	%
	-0. 4	100	%
	-0. 5	67	%
	-0. 6	32	%
	-0. 7	14	%
	-0. 8	6	%
	-0. 9	2	%
	-1	0. 5	%
	3. 7	100	%
	3. 8	67	%
	3. 9	32	%
	4	14	%
	4. 1	6	%
	4. 2	2	%
	4. 3	0. 5	%



注：

- UI 的周期不超过 20us。

### 3.1.2 推荐基本操作条件

表 3-1- 5 推荐基本操作条件<sup>1</sup>

Symbol	参数		最小	典型	最大	单位
V <sub>CCAUX</sub>	辅助电源		2. 375	2. 5/3. 3	3. 63	V
V <sub>CCLIO</sub>	I/O 供电电压 @ 3. 3V		3. 135	3. 3	3. 465	V
	I/O 供电电压 @ 2. 5V		2. 375	2. 5	2. 625	V
	I/O 供电电压 @ 1. 8V		1. 71	1. 8	1. 89	V
	I/O 供电电压 @ 1. 5V		1. 425	1. 5	1. 575	V
	I/O 供电电压 @ 1. 2V		1. 14	1. 2	1. 26	V
V <sub>I</sub>	直流输入电压	增强型 IOBE <sup>4</sup>	-0. 3	—	V <sub>CCLIO</sub> +0. 3	V
		基础型 IOBB	-0. 3	—	5. 5	V
V <sub>O</sub>	输出电压		0	—	V <sub>CCLIO</sub>	V
T <sub>J</sub>	结点温度	商业	0	—	85	°C
		工业	-40	—	100	°C
T <sub>RAMP</sub>	电源缓变率		0. 05	—	100	V/ms
I <sub>Diode</sub>	PCI-clamp 二极管电流		—	—	10	mA

注：

- 器件工作时要求所有 I/O 的 V<sub>CCLIO</sub> 必须连接好电源。
- 所有输入缓冲器由 V<sub>CCLIO</sub> 供电。
- I0 端口不能直接接地或者 V<sub>CCLIO</sub>，如有连接应用，需要串接电阻。
- 如果将真差分对管脚当作单端 I0 使用，则要求最小输入电压不能低于-0. 3V，或真差分对的另外一个管脚不使用。
- IOBB 的直流输入电压 VI 与其 BANK 供电有关：具体请参考“2.8.3 兼容 5V 输入”一节。

### 3.1.3 最小供电要求

表 3-1- 6 EF3L15&EF3L25&EF3L45 CG256 最小供电要求

电源域标识	基本供电要求 <sup>3</sup>	备注
V <sub>CCLIO0</sub> <sup>1</sup>	>=1. 5V	如果使用 JTAG 下载，需要和下载器供电电压保持一致
V <sub>CCLIO1</sub> <sup>1</sup>	>=2. 5V	芯片配置器件（内部 Flash）电源与 V <sub>CCLIO1</sub> 相连
V <sub>CCLIO2</sub>	>=1. 2V	可选择性供电，无附加要求 <sup>2</sup>



电源域标识	基本供电要求 <sup>3</sup>	备注
VCC103	$\geq 1.2V$	可选择性供电, 无附加要求 <sup>2</sup>
VCC104	$\geq 1.2V$	可选择性供电, 无附加要求 <sup>2</sup>
VCC105	$\geq 1.2V$	可选择性供电, 无附加要求 <sup>2</sup>
VCCAUX <sup>3</sup>	$\geq 2.5V$	必须供电

1. POR 上电检测, 必须供电
2. 建议不用时也供电, 避免潜在风险
3. VCCAUX 需接芯片最高电压
4. 如果使用 LVDS, 相应 bank 的供电电压应 $\geq 2.5V$
5. G12、F15 引脚电平不得高于 VCCAUX
6. ADC\_VREF 不得大于 ADC\_VDD, 同时建议 ADC\_VDD 接芯片最高供电电压。

### 3.1.4 单电源器件静态供电电流- B Devices<sup>1,2</sup>

表 3-1- 7 静态电源电流

Symbol	参数	器件	典型	单位
$I_{VCC10}$	I/O 组电源, @ $V_{CC10}=2.5V$	所有器件	<0.5	mA
$I_{VCCAUX}$	辅助电源	EF3L15&EF3L25&EF3L45	16	mA

1. 该表中的数值基于通用的推荐操作条件, 室温下 ( $T_J = 25^{\circ}C$ ) 使用典型器件测得。
2. 典型值为空白器件, 没有输出电流负载, 高阻抗状态下, 并当所有上拉/下拉电阻器在 I/O 引脚禁止时, 测量的所有 I/O 驱动的静态电源电流。

### 3.1.5 热插拔规格

表 3-1- 8 热插拔规格

Symbol	参数	最大	单位
$I_{IOPIN(DC)}$	DC 电流, 每个 I/O	1	mA
$I_{IOPIN(AC)}$	AC 电流, 每个 I/O	8 <sup>1</sup>	mA

1. 信号上升时间等于或大于 10ns。
2. EF3L15&EF3L25&EF3L45 不支持热插拔的具体引脚为 F8, D9, F7, E8, C9, A9, A8, C8, F14, G13, J12, H13, E16, F12, D15, G12, F15

### 3.1.6 上电复位电压阈值

表 3-1- 9 上电复位电压阈值

Symbol	参数	最小	典型	最大	单位
V <sub>CCAUX_PORUP</sub>	V <sub>CCAUX</sub> 上电检测阈值	2.05	2.1	2.15	V
V <sub>CCIO</sub>	V <sub>CCIO</sub> 上电检测	0.95	1.0	1.05	V
V <sub>CCAUX_PORDN</sub>	V <sub>CCAUX</sub> 掉电检测阈值	—	—	1.85	V
V <sub>SRAM_PORDN</sub>	SRAM 电源掉电检测阈值	—	—	0.8	V

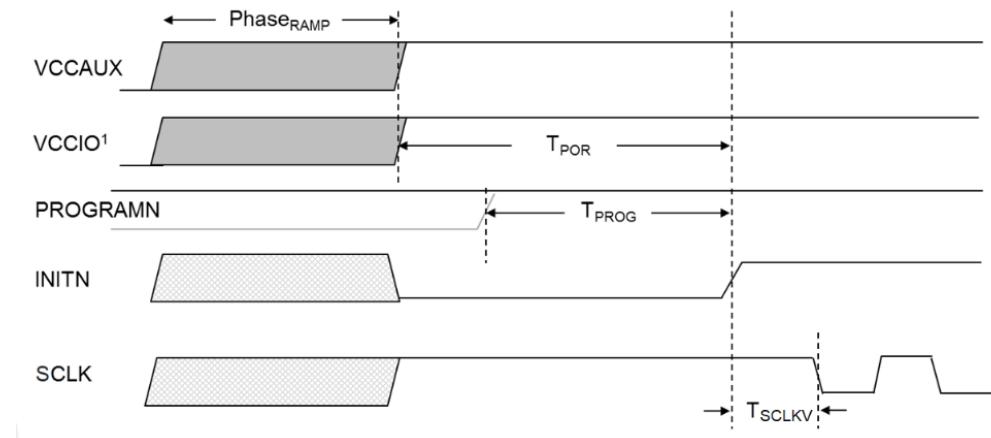


图 3-1- 1 器件上电时序图

注：

1. POR 监测 JTAG 端口和 INTBANK7 所在的 VCCIO\* 电平。
2. 对 VCCAUX、VCCIO\* 没有上电时序要求。
3. 电源上电过程中 (PhaseRAMP) 所有的 IO 处于 3 状态。
4. 一般 TPOR 最大为 10ms, TPROG 同 TPOR, TSCLK 约 6.4us。

### 3.1.7 I/O 管脚电容

表 3-1- 10 EF3L15&amp;EF3L25&amp;EF3L45 器件管脚电容

Symbol	参数	caBGA	单位
C <sub>IOTB</sub>	上下管脚输入电容	6	pF
C <sub>IOLR</sub>	左右管脚输入电容	7	pF



## 3.1.8 I/O 直流电气特性

表 3-1- 11 IOBE 推荐基本操作条件

Symbol	参数	条件	最小	典型	最大	单位
$I_{IL}, I_{IH}$	输入漏电电流	$0 \leq V_i \leq V_{CC10} - 0.5V$	-15	-	15	uA
$I_{IH}$	输入漏电电流	$V_{CC10} - 0.5V \leq V_i \leq V_{IH\_MAX}$	-	-	150	uA
$V_{HYST}^1$	Hysteresis for Schmitt Trigger Input	$V_{CC10} = 3.3V$	-	350	-	mV
		$V_{CC10} = 2.5V$	-	260	-	mV
		$V_{CC10} = 1.8V$	-	130	-	mV
		$V_{CC10} = 1.5V$	-	70	-	mV
$I_{PU}$	I/O 弱上拉电流	-	35	-	250	uA
$I_{PD}$	I/O 弱下拉电流	-	35	-	250	uA
$I_{BHLS}$	总线保持 0 维持电流	-	40	-	-	uA
$I_{BHHS}$	总线保持 1 维持电流	-	40	-	-	uA
$I_{BHLO}$	总线保持 0 改写电流	$0 \leq V_i \leq V_{CC10}$	-	-	350	uA
$I_{BHHO}$	总线保持 1 改写电流	$0 \leq V_i \leq V_{CC10}$	-	-	350	uA
$V_{BHT}$	总线保持触发电平	-	$V_{IL\_max}$	-	$V_{IH\_min}$	V

注：

1. LVCMS12 电平不支持迟滞。

表 3-1- 12 IOBB 推荐基本操作条件

符号	参数	最小	典型	最大	单位
$I_L$	输入漏电电流	-15	-	15	uA
$I_{OZ}$	I/O 三态输出漏电电流	-15	-	15	uA
$R_{PU}$	I/O 弱上拉电阻	19	-	39	KΩ
$R_{PD}$	I/O 弱下拉电阻	16	-	38	KΩ



### 3.1.9 单端 I/O 直流电学特性

表 3-1- 13 EF3L15&amp;EF3L25&amp;EF3L45 器件 IOBE 单端 I/O 标准规格

标准	V <sub>IL</sub> (V)		V <sub>IH</sub> (V)		V <sub>OL</sub> (V)	V <sub>OH</sub> (V)	I <sub>OL</sub>	I <sub>OH</sub>
	最小	最大	最小	最大	最大	最小	(mA)	(mA)
LV TTL33 LVC MOS33	-0.3	0.8	1.9	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4
							8	-8
							12	-12
							16	-16
LVC MOS25	-0.3	0.7	1.7	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4
							8	-8
							12	-12
							16	-16
LVC MOS18	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4
							8	-8
LVC MOS15	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	-4
							8	-8
LVC MOS12	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	2	-2
							4	-4
PCI33	-0.3	0.3*V <sub>CCIO</sub>	0.5*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.1*V <sub>CCIO</sub>	0.9*V <sub>CCIO</sub>	1.5	-0.5

表 3-1- 14 Single-Ended Interfaces

Input Standard	V <sub>CCIO</sub> (Typ.)				
	3.3V	2.5 V	1.8V	1.5V	1.2V
LV TTL33	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVC MOS33	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVC MOS25	√ <sup>1</sup>	√	√ <sup>2</sup>	√ <sup>2</sup>	√ <sup>2</sup>
LVC MOS18		√ <sup>1</sup>	√	√ <sup>2</sup>	√ <sup>2</sup>
LVC MOS15			√ <sup>1</sup>	√	√ <sup>2</sup>
LVC MOS12				√ <sup>1</sup>	√

1. Under-drive causes higher DC current when the IO is at logic high

2. 不能打开 PCI-clamp 和 OverDriven, 否则会产生漏电流

表 3-1- 15 EF3L15&amp;EF3L25&amp;EF3L45 器件 IOBB 单端 I/O 标准规格

标准	V <sub>IL</sub> (V)		V <sub>IH</sub> (V)		V <sub>OL</sub> (V)	V <sub>OH</sub> (V)	I <sub>OL</sub>	I <sub>OH</sub>
	最小	最大	最小	最大	最大	最小	(mA)	(mA)
LV TTL33	-0.3	0.8	2.3	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	20	20



标准	V <sub>IL</sub> (V)		V <sub>IH</sub> (V)		V <sub>OL</sub> (V)	V <sub>OH</sub> (V)	I <sub>OL</sub>	I <sub>OH</sub>
	最小	最大	最小	最大	最大	最小	(mA)	(mA)
LVCMOS33								
LVCMOS25	-0.3	0.7	1.7	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	16	16
LVCMOS18	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	12	12
LVCMOS15	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	8	8
LVCMOS12	-0.3	0.35*V <sub>CCIO</sub>	0.65*V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.4	V <sub>CCIO</sub> - 0.4	4	4

1. 作为兼容 5V 输入时, V<sub>IH</sub> 最大值为 5.5V。

### 3.1.10 差分 I/O 电学特性

表 3-1- 16 EF3L15&amp;EF3L25&amp;EF3L45 LVDS 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V <sub>IP</sub> , V <sub>IN</sub>	输入电平	V <sub>CCIO</sub> =2.5	0	—	2.4	V
V <sub>ID</sub>	输入差分摆幅	V <sub>IP</sub> -V <sub>IN</sub>  , R <sub>T</sub> = 100 ohm	150	350	800	mV
V <sub>ICM</sub>	输入共模电压	V <sub>CCIO</sub> =2.5	0.05	—	2.35	V
I <sub>IN</sub>	输入电流	上电过程	—	—	±15	uA
R <sub>T</sub>	片内端接差分电阻	—	80	100	120	Ω
V <sub>OD</sub>	标准差分输出摆幅	V <sub>OP</sub> - V <sub>ON</sub>  , R <sub>T</sub> = 100 ohm	150	250	350	mV
V <sub>OD</sub>	差分输出大摆幅	V <sub>OP</sub> - V <sub>ON</sub>  , R <sub>T</sub> = 100 ohm	450	480	550	mV
△V <sub>OD</sub>	差分输出摆幅变化	—			50	mV
V <sub>OCM</sub>	输出共模电压	(V <sub>OP</sub> + V <sub>ON</sub> )/2, R <sub>T</sub> = 100 ohm	0.6		1.4	V
△V <sub>OCM</sub>	输出共模电压偏差	—			50	mV

1. 当差分输入摆幅大于 500mV 时, 只能使用外接 100 欧差分匹配电阻

表 3-1- 17 EF3L15&amp;EF3L25&amp;EF3L45 LVPECL33 推荐操作条件

参数	描述	测试条件	最小	典型	最大	单位
V <sub>IP</sub> , V <sub>IN</sub>	输入电平	—	0		2.95	V
V <sub>ID</sub>	输入差分摆幅	V <sub>IP</sub> -V <sub>IN</sub>	100	—	1600	mV
V <sub>ICM</sub>	输入共模电压	—	0.3	—	2.9	V

1. LVPECL 接收不能使用芯片内部 100 欧电阻



### 3.1.11 ADC 性能

表 3-1- 18 ADC 性能

参数	性能
工作电压	3. 3V ADC 电源 (VDD)
ADC 参考电压 VREF	0. 5~1. 0xVDD
最高采样速率	1Mhz
通道数	8
采样范围	0. 1*VREF ~ 0. 9*VREF
ADC 输出数字位宽	12 bits
ADC 有效精度	8 bits
动态性能	>50dB SFDR >45dB SINAD
线性度性能	INL<1 LSB, DNL<1 LSB (8bits 精度)
最高时钟频率	16Mhz

1. ADC 的精度和参考电压关系非常紧密，需要板上提供非常准确和干净的 VREF 参考电压，精度控制在 VDD +/- 0.2%以内。
2. VREF 可以接受的范围是 0.5xVDD~1.0xVDD，由于输入信号范围也是由 VREF 决定，为了得到更大的输入信号范围，建议 VREF 设成 1.0xVDD。
3. 在使用 ADC 的时候，尽量避免使用 ADC IO 相同 BANK 的数字 IO 以减小噪声干扰



## 3.2 交流电气特性

本章节提供 EF3L15&EF3L25&EF3L45 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

### 3.2.1 时钟性能

表 3-2- 1 推荐的最大时钟操作频率

器 件	性 能	单 位
所有器件	440	Mhz

### 3.2.2 嵌入数字信号处理模块 (DSP) 规格

表 3-2- 2 EF3L15&amp;EF3L25&amp;EF3L45 嵌入 DSP 规格

器 件	性 能	单 位
M9x9 (All register)	350	Mhz
M18x18 (All register)	350	Mhz

### 3.2.3 锁相环 (PLL) 规格

表 3-2- 3 EF3L15&amp;EF3L25&amp;EF3L45 器件的 PLL 规格

参 数	描 述	最 小	典 型	最 大	单 位
$f_{IN}$	输入时钟频率	10	—	400	MHz
$f_{PFD}$	鉴频鉴相器 (PFD) 输入频率	10	—	400	MHz
$f_{VCO}$	锁相环内部振荡器频率范围	300	—	1200	MHz
$f_{OUT}$	输出时钟频率	—	—	600	MHz
交流特性					
$t_{IN\_H}$	输入时钟高电平时间 (90% to 90%)	0.5	—	—	ns
$t_{IN\_L}$	输入时钟低电平时间 (10% to 10%)	0.5	—	—	ns
$f_{INDUTY}$	输入时钟占空比	40	—	60	%
$f_{RISE}$	输入时钟上升沿斜率	1	—	3	V/ns
$f_{FALL}$	输入时钟下降沿斜率	1	—	3	V/ns
$t_{INJITTER}^1$	输入时钟抖动, $f_{PFD} \geq 20$ MHz	—	—	800	ps p-p
	输入时钟抖动, $f_{PFD} < 20$ MHz	—	—	0.02	UI
$t_{OUTDUTY}$	输出占空比波动范围 (用户设定值基础上波动)	-5	0	5	%
$t_{OUTJITTER}^2$	输出时钟周期抖动 (Period Jitter), $f_{OUT} > 100$ MHz, $f_{VCO} > 400$ MHz	—	—	160	ps p-p



参数	描述	最小	典型	最大	单位
	输出时钟相邻周期抖动 (Cycle-to-cycle Jitter) , $f_{out} > 100MHz$ , $f_{vco} > 400MHz$	—	—	200	ps p-p
	输出时钟相位抖动 (Phase Jitter) , $f_{out} > 100MHz$ , $f_{vco} > 400MHz$	—	—	180	ps p-p
$t_{LOCK}^3$	PLL 锁定时间	—	—	15	ms
$t_{DLOCK}$	动态锁定时间 (切换、重配置之后)	—	—	15	ms
$t_{PLL\_PS}$	PLL 相移精度	—	—	±125	ps
$t_{RST}$	复位脉冲最小宽度	1	—	—	ns
$t_{RSTREC}$	复位恢复时间	1	—	—	ns
$t_{CONFIGPLL}$	PLL 相位动态配置时间	—	3.5	—	cycles
$f_{SCANCLK}$	SCANCLK 频率	—	—	100	MHz

- 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。PLL 不会滤掉低频输入噪声而是会跟上输入的低频噪声，PLL 会滤掉部分高频输入噪声。
- 周期抖动通过对 PLL 输出采样 10,000 次测量得到。相邻周期间抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。
- $t_{LOCK}$  之后，在输出端得到稳定时钟。
- 为保证 PLL 输出时钟相位稳定，建议复位信号宽度大于 100us。

### 3.2.4 存储器模块 (ERAM) 规格

表 3-2- 4 EF3L15&amp;EF3L25&amp;EF3L45 存储器模块规格表

存储器	模式	性能	单位
ERAM9K	FIFO 512 x 18	220	MHz
	单口 512 x 18	220	MHz
	简单双口 512 x 18	220	MHz
	真双口 1024 x 9	220	MHz

### 3.2.5 高速 I/O 接口性能

表 3-2- 5 高速 I/O 接口性能表

输入/输出标准	描述	最大	单位
最大输入频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVPECL33	LVPECL, VCCIO = 3.3V	400	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz



输入/输出标准	描述	最大	单位
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	166	MHz
PCI33	PCI, VCCIO = 3.3V	133	MHz
最大输出频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS25E	LVDS, Emulated, VCCIO = 2.5V	166	MHz
LVPECL33E	LVPECL, Emulated, VCCIO = 3.3V	166	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	100	MHz
PCI33	PCI, VCCIO = 3.3V	133	MHz

### 3.2.6 配置模块规格

表 3-2-6 EF3L15&amp;EF3L25&amp;EF3L45 器件配置模式时序规格表

下载模式	最小	典型	最大	单位
主模式串行 PROM (MS)	2.5	—	24	MHz
主模式串行 SPI (MSPI)	2.5	—	24	MHz
主模式并行 x8 (MP)	2.5	—	24	MHz
从模式串行 (SS)	—	—	30	MHz
从模式并行 x8 (SP)	—	—	30	MHz



## 4 引脚和封装

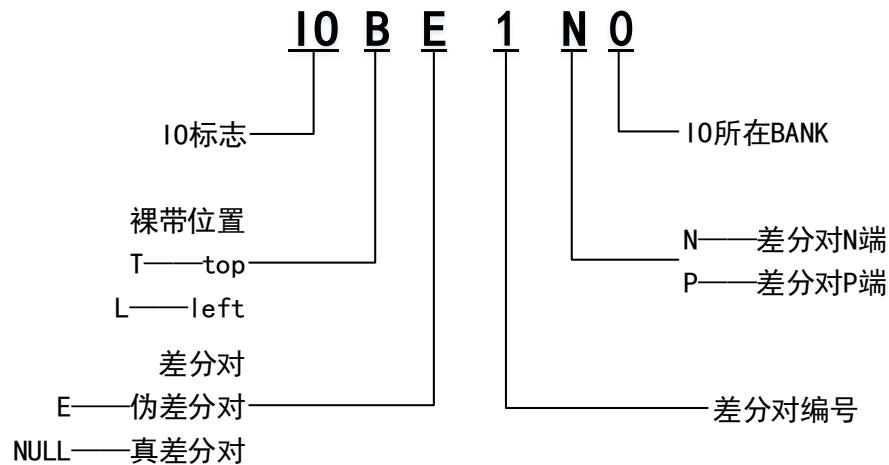
### 4.1 引脚定义和规则

表 4-1- 1 引脚定义和规则

引脚名称	方向	描述
普通 I/O		
GND	—	电源地
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
GND_PLLx	—	PLL 地
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
JTAGEN	输入	JTAG 使能
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
PROGRAMN	输入	全局复位输入，低有效
SCLK	I/O	配置时钟引脚
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路。 (1) 在配置完成前，需保证 DONE 引脚可被内部驱动为低电平。 (2) 进入用户模式后，可复用为 USER I/O。在复用时作为输入使用，可能会导致重新加载等问题，但是可以作为输出引脚使用。
INITN	I/O	专用配置状态引脚，输出低时表示上电初始化或配置错误；输出高，表示 FPGA 准备进入配置模式，源端开路。 (1) 在配置完成前，需保证 INITN 引脚可被内部驱动为高电平。 (2) 进入用户模式后，可复用为 USER I/O，在复用时作为输入使用，可能会导致重新加载等问题，但是可以作为输出引脚使用。
时钟引脚		
GCLKIOx	I/O	全局时钟专用输入管脚
DPCLKIO	I/O	快速时钟专用输入引脚



## 4.2 IO 命名规则





## 4.3 EF3L15&amp;EF3L25&amp;EF3L45 引脚信息：caBGA256

编号	类型	BANK	CG256 引脚说明	编号	类型	BANK	CG256 引脚说明
A11	IOBB	0	I0_LE1P_0	E6	IOBE	0	I0_L11P_0, DPCLK10
C11	IOBB	0	I0_LE1N_0	D7	IOBE	0	I0_L11N_0
B9	IOBE	0	I0_L2P_0	E7	IOBE	0	I0_L12N_0
A10	IOBE	0	I0_L2N_0	D6	IOBE	0	I0_L12P_0
C13	IOBE	0	I0_L3_0, DONE	C6	IOBE	0	I0_L7_0, TDO
A13	IOBE	0	I0_L2_0, INITN	A6	IOBE	0	I0_L5_0, TDI
F8	IOBE	0	I0_L3P_0	C5	IOBE	0	I0_L13N_0
D9	IOBE	0	I0_L3N_0	A4	IOBE	0	I0_L13P_0
E10	IOBE	0	I0_L4N_0	C4	IOBE	0	I0_L14P_0
D10	IOBE	0	I0_L4P_0	B5	IOBE	0	I0_L14N_0
F7	IOBE	0	I0_L5P_0	B4	IOBE	0	I0_L15N_0
E8	IOBE	0	I0_L5N_0	A3	IOBE	0	I0_L15P_0
B10	IOBE	0	I0_L4_0, PROGRAMN	B3	IOBB	0	I0_L9_0
C10	IOBE	0	I0_L1_0, JTAGEN	A15	IOBB	0	I0_TE1N_0
D8	IOBE	0	I0_L6P_0	B14	IOBB	0	I0_TE1P_0
E9	IOBE	0	I0_L6N_0, DPCLK10	A14	IOBB	0	I0_TE2N_0
C9	IOBE	0	I0_L7N_0, GCLK10L_1	B13	IOBB	0	I0_TE2P_0
A9	IOBE	0	I0_L7P_0, GCLK10L_0	B12	IOBB	0	I0_TE3N_0
A5	IOBE	0	I0_L8P_0	C12	IOBB	0	I0_TE3P_0
B6	IOBE	0	I0_L8N_0	A12	IOBB	0	I0_TE4N_0
A8	IOBE	0	I0_L9N_0, GCLK10L_3	B11	IOBB	0	I0_TE4P_0
C8	IOBE	0	I0_L9P_0, GCLK10L_2	D11	IOBB	0	I0_TE5N_0
B7	IOBE	0	I0_L10P_0	F10	IOBB	0	I0_TE5P_0
C7	IOBE	0	I0_L10N_0	E11	IOBB	0	I0_TE6N_0
B8	IOBE	0	I0_L6_0, TMS	F9	IOBB	0	I0_TE6P_0
A7	IOBE	0	I0_L8_0, TCK				



编号	类型	BANK	CG256 引脚说明	编号	类型	BANK	CG256 引脚说明
M16	I0BB	1	I0_T2_1	H12	I0BB	1	I0_TE11N_1, GCLK1OT_3
L12	I0BB	1	I0_TE1N_1	G11	I0BB	1	I0_TE11P_1, GCLK1OT_2
J11	I0BB	1	I0_TE1P_1	H16	I0BB	1	I0_TE12N_1, GCLK1OT_1
L14	I0BB	1	I0_TE2N_1, GPLL2IN	H14	I0BB	1	I0_TE12P_1, GCLK1OT_0
L16	I0BB	1	I0_TE2P_1, GPLL2IP	G14	I0BB	1	I0_TE13N_1
L15	I0BB	1	I0_T1_1	G15	I0BB	1	I0_TE13P_1
K15	I0BB	1	I0_TE3N_1	G13	I0BB	1	I0_T3_1
K14	I0BB	1	I0_TE3P_1	F16	I0BB	1	I0_TE14N_1, CS0N, DOUT
L13	I0BB	1	I0_TE4N_1	F14	I0BB	1	I0_TE14P_1, DPCLK10
K11	I0BB	1	I0_TE4P_1	G12	I0BB	1	I0_T4_1
K12	I0BB	1	I0_TE5N_1	F13	I0BB	1	I0_T5_1, CSN
K13	I0BB	1	I0_TE5P_1	F15	I0BB	1	I0_TE15N_1
J14	I0BB	1	I0_TE6N_1	E16	I0BB	1	I0_TE15P_1
J16	I0BB	1	I0_TE6P_1	E14	I0BB	1	I0_TE16N_1
K16	I0BB	1	I0_TE7N_1	D16	I0BB	1	I0_TE16P_1
J15	I0BB	1	I0_TE7P_1	F12	I0BB	1	I0_T6_1
H15	I0BB	1	I0_TE8N_1	E15	I0BB	1	I0_TE17N_1
G16	I0BB	1	I0_TE8P_1	D14	I0BB	1	I0_TE17P_1
J12	I0BB	1	I0_TE9N_1, DPCLK10	D15	I0BB	1	I0_TE18N_1
H13	I0BB	1	I0_TE9P_1, USRCLK	C16	I0BB	1	I0_TE18P_1
J13	I0BB	1	I0_TE10N_1	B16	I0BB	1	I0_TE19N_1
H11	I0BB	1	I0_TE10P_1	C15	I0BB	1	I0_TE19P_1



编号	类型	BANK	CG256 引脚说明	编号	类型	BANK	CG256 引脚说明
T2	I0BB	2	I0_BE1P_2	M7	I0BE	2	I0_R3P_2
R3	I0BB	2	I0_BE1N_2	N7	I0BE	2	I0_R3N_2
T3	I0BB	2	I0_BE2P_2	L9	I0BE	2	I0_R4N_2
R4	I0BB	2	I0_BE2N_2	N8	I0BE	2	I0_R4P_2
P4	I0BB	2	I0_BE3P_2	M8	I0BE	2	I0_R5P_2
T4	I0BB	2	I0_BE3N_2	N9	I0BE	2	I0_R5N_2
T5	I0BB	2	I0_BE4P_2	L10	I0BE	2	I0_R6N_2
R6	I0BB	2	I0_BE4N_2	M9	I0BE	2	I0_R6P_2
R5	I0BB	2	I0_BE5P_2	M10	I0BE	2	I0_R7P_2
P5	I0BB	2	I0_BE5N_2	N11	I0BE	2	I0_R7N_2
P6	I0BB	2	I0_BE6P_2	R8	I0BE	2	I0_R8N_2, GCLK10R_1
T6	I0BB	2	I0_BE6N_2	T7	I0BE	2	I0_R8P_2, GCLK10R_0
R7	I0BB	2	I0_BE7P_2	N10	I0BE	2	I0_R9P_2
P7	I0BB	2	I0_BE7N_2	M11	I0BE	2	I0_R9N_2, DPCLK10
P8	I0BB	2	I0_BE8P_2	P9	I0BE	2	I0_R10N_2, GCLK10R_3
T8	I0BB	2	I0_BE8N_2	T9	I0BE	2	I0_R10P_2, GCLK10R_2
M14	I0BB	2	I0_BE9P_2	P10	I0BE	2	I0_R11P_2, DPCLK10
M15	I0BB	2	I0_BE9N_2	R10	I0BE	2	I0_R11N_2
R9	I0BB	2	I0_BE10P_2, D6	P11	I0BE	2	I0_R12N_2
T10	I0BB	2	I0_BE10N_2, D7	T11	I0BE	2	I0_R12P_2
P15	I0BB	2	I0_BE11P_2	P12	I0BE	2	I0_R13P_2
R16	I0BB	2	I0_BE11N_2	T13	I0BE	2	I0_R13N_2
N16	I0BB	2	I0_BE12P_2	T12	I0BE	2	I0_R14N_2
N14	I0BB	2	I0_BE12N_2	R11	I0BE	2	I0_R14P_2
N15	I0BB	2	I0_BE13P_2	R12	I0BE	2	I0_R15P_2, SCLK
P16	I0BB	2	I0_BE13N_2	P13	I0BE	2	I0_R15N_2
M6	I0BE	2	I0_R1P_2	T14	I0BE	2	I0_R16N_2, GPLL2_OUTN
L8	I0BE	2	I0_R1N_2	R13	I0BE	2	I0_R16P_2, GPLL2_OUTP
L7	I0BE	2	I0_R2N_2	T15	I0BE	2	I0_R17P_2
N6	I0BE	2	I0_R2P_2	R14	I0BE	2	I0_R17N_2



编号	类型	BANK	CG256 引脚说明	编号	类型	BANK	CG256 引脚说明
M2	I0BB	3	I0_BE1P_3	H5	I0BB	4	I0_BE6P_4
N3	I0BB	3	I0_BE1N_3	J4	I0BB	4	I0_BE6N_4
L1	I0BB	3	I0_BE2P_3, DPCLK10	J5	I0BB	4	I0_BE7P_4, DPCLK10
L3	I0BB	3	I0_BE2N_3	K6	I0BB	4	I0_BE7N_4
N2	I0BB	3	I0_BE3P_3	J1	I0BB	4	I0_BE8P_4, GCLK10B_2
P1	I0BB	3	I0_BE3N_3	J3	I0BB	4	I0_BE8N_4, GCLK10B_3
R1	I0BB	3	I0_BE4P_3	B1	I0BB	5	I0_BE1P_5
P2	I0BB	3	I0_BE4N_3	C2	I0BB	5	I0_BE1N_5
M3	I0BB	3	I0_BE5P_3	C1	I0BB	5	I0_BE2P_5
N1	I0BB	3	I0_BE5N_3	D2	I0BB	5	I0_BE2N_5
L2	I0BB	3	I0_BE6P_3, D4, GCLK10B_4	D3	I0BB	5	I0_BE3P_5
M1	I0BB	3	I0_BE6N_3, D5, GCLK10B_5	D1	I0BB	5	I0_BE3N_5
K4	I0BB	3	I0_BE7P_3	E2	I0BB	5	I0_BE4P_5
L5	I0BB	3	I0_BE7N_3	E3	I0BB	5	I0_BE4N_5
K5	I0BB	3	I0_BE8P_3	G2	I0BB	5	I0_BE5P_5, D0
L4	I0BB	3	I0_BE8N_3	G3	I0BB	5	I0_BE5N_5, D1
G1	I0BB	4	I0_BE1P_4	F3	I0BB	5	I0_BE6P_5
H2	I0BB	4	I0_BE1N_4	F1	I0BB	5	I0_BE6N_5
H3	I0BB	4	I0_BE2P_4	G5	I0BB	5	I0_BE7P_5
H1	I0BB	4	I0_BE2N_4	G4	I0BB	5	I0_BE7N_5
J2	I0BB	4	I0_BE3P_4	E1	I0BB	5	I0_BE8P_5, GCLK10B_0
K1	I0BB	4	I0_BE3N_4	F2	I0BB	5	I0_BE8N_5, GCLK10B_1
K3	I0BB	4	I0_BE4P_4, D2	F4	I0BB	5	I0_BE9P_5
K2	I0BB	4	I0_BE4N_4, D3	G6	I0BB	5	I0_BE9N_5
H4	I0BB	4	I0_BE5P_4	F5	I0BB	5	I0_BE10P_5
J6	I0BB	4	I0_BE5N_4	H6	I0BB	5	I0_BE10N_5



编号	类型	BANK	CG256 引脚说明	编号	类型	BANK	CG256 引脚说明
A1	-	-	VCCAUX	B2	-	-	GND
G7	-	-	VCCAUX	B15	-	-	GND
G10	-	-	VCCAUX	C3	-	-	GND
K7	-	-	VCCAUX	C14	-	-	GND
K10	-	-	VCCAUX	D4	-	-	GND
T1	-	-	VCCAUX	D13	-	-	GND
T16	-	-	VCCAUX	E5	-	-	GND
G8	-	-	VCC100	E12	-	-	GND
G9	-	-	VCC100	F6	-	-	GND
D5	-	-	VCC100	H8	-	-	GND
D12	-	-	VCC100	H9	-	-	GND
H10	-	-	VCCI01	J8	-	-	GND
J10	-	-	VCCI01	J9	-	-	GND
E13	-	-	VCCI01	L6	-	-	GND
M13	-	-	VCCI01	M5	-	-	GND
K8	-	-	VCCI02	M12	-	-	GND
K9	-	-	VCCI02	N4	-	-	GND
N5	-	-	VCCI02	N13	-	-	GND
N12	-	-	VCCI02	P3	-	-	GND
M4	-	-	VCCI03	P14	-	-	GND
H7	-	-	VCCI04	R2	-	-	GND
J7	-	-	VCCI04	R15	-	-	GND
E4	-	-	VCCI05	F11	-	-	GND
A16	-	-	VCCAUX	L11	-	-	GND_PLL
A2	-	-	VCCAUX				

1. 在芯片内部，FLASH 电源与 VCCI01 相连，BANK1 的电压不应低于 2.5V。



#### 4. 4 EF3L45CG256BH 引脚信息

编号	类型	BANK	CG256BH 引脚说明	编号	类型	BANK	CG256BH 引脚说明
A11	IOBB	0	IO_LE1P_0	E6	IOBE	0	IO_L11P_0, DPCLK10
C11	IOBB	0	IO_LE1N_0	D7	IOBE	0	IO_L11N_0
B9	IOBE	0	IO_L2P_0	E7	IOBE	0	IO_L12N_0
A10	IOBE	0	IO_L2N_0	D6	IOBE	0	IO_L12P_0
C13	IOBE	0	IO_L3_0, DONE	C6	IOBE	0	IO_L7_0, TDO
A13	IOBE	0	IO_L2_0, INITN	A6	IOBE	0	IO_L5_0, TDI
F8	IOBE	0	IO_L3P_0, ADC0_CH0	C5	IOBE	0	IO_L13N_0
D9	IOBE	0	IO_L3N_0, ADC0_CH5	A4	IOBE	0	IO_L13P_0
E10	IOBE	0	IO_L4N_0	C4	IOBE	0	IO_L14P_0
D10	IOBE	0	IO_L4P_0	B5	IOBE	0	IO_L14N_0
F7	IOBE	0	IO_L5P_0, ADC0_CH6	B4	IOBE	0	IO_L15N_0
E8	IOBE	0	IO_L5N_0, ADC0_CH7	A3	IOBE	0	IO_L15P_0
B10	IOBE	0	IO_L4_0, PROGRAMN	B3	IOBB	0	IO_L9_0
C10	IOBE	0	IO_L1_0, JTAGEN	A15	IOBB	0	IO_TE1N_0
D8	IOBE	0	IO_L6P_0	B14	IOBB	0	IO_TE1P_0
E9	IOBE	0	IO_L6N_0, DPCLK10	A14	IOBB	0	IO_TE2N_0
C9	IOBE	0	IO_L7N_0, GCLK10L_1, ADC0_CH1	B13	IOBB	0	IO_TE2P_0
A9	IOBE	0	IO_L7P_0, GCLK10L_0, ADC0_CH2	B12	IOBB	0	IO_TE3N_0
A5	IOBE	0	IO_L8P_0	C12	IOBB	0	IO_TE3P_0
B6	IOBE	0	IO_L8N_0	A12	IOBB	0	IO_TE4N_0
A8	IOBE	0	IO_L9N_0, GCLK10L_3, ADC0_CH3	B11	IOBB	0	IO_TE4P_0
C8	IOBE	0	IO_L9P_0, GCLK10L_2, ADC0_CH4	D11	IOBB	0	IO_TE5N_0
B7	IOBE	0	IO_L10P_0	F10	IOBB	0	IO_TE5P_0
C7	IOBE	0	IO_L10N_0	E11	IOBB	0	IO_TE6N_0
B8	IOBE	0	IO_L6_0, TMS	F9	IOBB	0	IO_TE6P_0
A7	IOBE	0	IO_L8_0, TCK				



编号	类型	BANK	CG256BH 引脚说明	编号	类型	BANK	CG256BH 引脚说明
M16	I0BB	1	I0_T2_1	H12	I0BB	1	I0_TE11N_1, GCLK10T_3
L12	I0BB	1	I0_TE1N_1	G11	I0BB	1	I0_TE11P_1, GCLK10T_2
J11	I0BB	1	I0_TE1P_1	H16	I0BB	1	I0_TE12N_1, GCLK10T_1
L14	I0BB	1	I0_TE2N_1, GPLL2IN	H14	I0BB	1	I0_TE12P_1, GCLK10T_0
L16	I0BB	1	I0_TE2P_1, GPLL2IP	G14	I0BB	1	I0_TE13N_1
L15	I0BB	1	I0_T1_1	G15	I0BB	1	I0_TE13P_1
K15	I0BB	1	I0_TE3N_1	G13	I0BB	1	I0_T3_1, ADC1_CH1
K14	I0BB	1	I0_TE3P_1	F16	I0BB	1	I0_TE14N_1, CS0N, DOUT
L13	I0BB	1	I0_TE4N_1	F14	I0BB	1	I0_TE14P_1, DPCLK10, ADC1_CH0
K11	I0BB	1	I0_TE4P_1	G12	I0BB	1	I0_T4_1, ADC0_VREF
K12	I0BB	1	I0_TE5N_1	F13	I0BB	1	I0_T5_1, CSN
K13	I0BB	1	I0_TE5P_1	F15	I0BB	1	I0_TE15N_1, ADC1_VREF
J14	I0BB	1	I0_TE6N_1	E16	I0BB	1	I0_TE15P_1, ADC1_CH4
J16	I0BB	1	I0_TE6P_1	E14	I0BB	1	I0_TE16N_1
K16	I0BB	1	I0_TE7N_1	D16	I0BB	1	I0_TE16P_1
J15	I0BB	1	I0_TE7P_1	F12	I0BB	1	I0_T6_1, ADC1_CH5
H15	I0BB	1	I0_TE8N_1	E15	I0BB	1	I0_TE17N_1
G16	I0BB	1	I0_TE8P_1	D14	I0BB	1	I0_TE17P_1
J12	I0BB	1	I0_TE9N_1, DPCLK10, ADC1_CH3	D15	I0BB	1	I0_TE18N_1, ADC1_CH6
H13	I0BB	1	I0_TE9P_1, USRCLK, ADC1_CH2	C16	I0BB	1	I0_TE18P_1
J13	I0BB	1	I0_TE10N_1	B16	I0BB	1	I0_TE19N_1
H11	I0BB	1	I0_TE10P_1	C15	I0BB	1	I0_TE19P_1



编号	类型	BANK	CG256BH 引脚说明	编号	类型	BANK	CG256BH 引脚说明
T2	IOBB	2	I0_BE1P_2	M7	IOBE	2	I0_R3P_2
R3	IOBB	2	I0_BE1N_2	N7	IOBE	2	I0_R3N_2
T3	IOBB	2	I0_BE2P_2	L9	IOBE	2	I0_R4N_2
R4	IOBB	2	I0_BE2N_2	N8	IOBE	2	I0_R4P_2
P4	IOBB	2	I0_BE3P_2	M8	IOBE	2	I0_R5P_2
T4	IOBB	2	I0_BE3N_2	N9	IOBE	2	I0_R5N_2
T5	IOBB	2	I0_BE4P_2	L10	IOBE	2	I0_R6N_2
R6	IOBB	2	I0_BE4N_2	M9	IOBE	2	I0_R6P_2
R5	IOBB	2	I0_BE5P_2	M10	IOBE	2	I0_R7P_2
P5	IOBB	2	I0_BE5N_2	N11	IOBE	2	I0_R7N_2
P6	IOBB	2	I0_BE6P_2	R8	IOBE	2	I0_R8N_2, GCLK10R_1
T6	IOBB	2	I0_BE6N_2	T7	IOBE	2	I0_R8P_2, GCLK10R_0
R7	IOBB	2	I0_BE7P_2	N10	IOBE	2	I0_R9P_2
P7	IOBB	2	I0_BE7N_2	M11	IOBE	2	I0_R9N_2, DPCLK10
P8	IOBB	2	I0_BE8P_2	P9	IOBE	2	I0_R10N_2, GCLK10R_3
T8	IOBB	2	I0_BE8N_2	T9	IOBE	2	I0_R10P_2, GCLK10R_2
M14	IOBB	2	I0_BE9P_2	P10	IOBE	2	I0_R11P_2, DPCLK10
M15	IOBB	2	I0_BE9N_2	R10	IOBE	2	I0_R11N_2
R9	IOBB	2	I0_BE10P_2, D6	P11	IOBE	2	I0_R12N_2
T10	IOBB	2	I0_BE10N_2, D7	T11	IOBE	2	I0_R12P_2
P15	IOBB	2	I0_BE11P_2	P12	IOBE	2	I0_R13P_2
R16	IOBB	2	I0_BE11N_2	T13	IOBE	2	I0_R13N_2
N16	IOBB	2	I0_BE12P_2	T12	IOBE	2	I0_R14N_2
N14	IOBB	2	I0_BE12N_2	R11	IOBE	2	I0_R14P_2
N15	IOBB	2	I0_BE13P_2	R12	IOBE	2	I0_R15P_2, SCLK
P16	IOBB	2	I0_BE13N_2	P13	IOBE	2	I0_R15N_2
M6	IOBE	2	I0_R1P_2	T14	IOBE	2	I0_R16N_2, GPLL2_OUTN
L8	IOBE	2	I0_R1N_2	R13	IOBE	2	I0_R16P_2, GPLL2_OUTP
L7	IOBE	2	I0_R2N_2	T15	IOBE	2	I0_R17P_2
N6	IOBE	2	I0_R2P_2	R14	IOBE	2	I0_R17N_2



编号	类型	BANK	CG256BH 引脚说明	编号	类型	BANK	CG256BH 引脚说明
M2	I0BB	3	I0_BE1P_3	H5	I0BB	4	I0_BE6P_4
N3	I0BB	3	I0_BE1N_3	J4	I0BB	4	I0_BE6N_4
L1	I0BB	3	I0_BE2P_3, DPCLK10	J5	I0BB	4	I0_BE7P_4, DPCLK10
L3	I0BB	3	I0_BE2N_3	K6	I0BB	4	I0_BE7N_4
N2	I0BB	3	I0_BE3P_3	J1	I0BB	4	I0_BE8P_4, GCLK10B_2
P1	I0BB	3	I0_BE3N_3	J3	I0BB	4	I0_BE8N_4, GCLK10B_3
R1	I0BB	3	I0_BE4P_3	B1	I0BB	5	I0_BE1P_5
P2	I0BB	3	I0_BE4N_3	C2	I0BB	5	I0_BE1N_5
M3	I0BB	3	I0_BE5P_3	C1	I0BB	5	I0_BE2P_5
N1	I0BB	3	I0_BE5N_3	D2	I0BB	5	I0_BE2N_5
L2	I0BB	3	I0_BE6P_3, D4, GCLK10B_4	D3	I0BB	5	I0_BE3P_5
M1	I0BB	3	I0_BE6N_3, D5, GCLK10B_5	D1	I0BB	5	I0_BE3N_5
K4	I0BB	3	I0_BE7P_3	E2	I0BB	5	I0_BE4P_5
L5	I0BB	3	I0_BE7N_3	E3	I0BB	5	I0_BE4N_5
K5	I0BB	3	I0_BE8P_3	G2	I0BB	5	I0_BE5P_5, D0
L4	I0BB	3	I0_BE8N_3	G3	I0BB	5	I0_BE5N_5, D1
G1	I0BB	4	I0_BE1P_4	F3	I0BB	5	I0_BE6P_5
H2	I0BB	4	I0_BE1N_4	F1	I0BB	5	I0_BE6N_5
H3	I0BB	4	I0_BE2P_4	G5	I0BB	5	I0_BE7P_5
H1	I0BB	4	I0_BE2N_4	G4	I0BB	5	I0_BE7N_5
J2	I0BB	4	I0_BE3P_4	E1	I0BB	5	I0_BE8P_5, GCLK10B_0
K1	I0BB	4	I0_BE3N_4	F2	I0BB	5	I0_BE8N_5, GCLK10B_1
K3	I0BB	4	I0_BE4P_4, D2	F4	I0BB	5	I0_BE9P_5
K2	I0BB	4	I0_BE4N_4, D3	G6	I0BB	5	I0_BE9N_5
H4	I0BB	4	I0_BE5P_4	F5	I0BB	5	I0_BE10P_5
J6	I0BB	4	I0_BE5N_4	H6	I0BB	5	I0_BE10N_5



编号	类型	BANK	CG256BH 引脚说明	编号	类型	BANK	CG256BH 引脚说明
A1	-	-	VCCAUX	B2	-	-	GND
G7	-	-	VCCAUX	B15	-	-	GND
G10	-	-	VCCAUX	C3	-	-	GND
K7	-	-	VCCAUX	C14	-	-	GND
K10	-	-	VCCAUX	D4	-	-	GND
T1	-	-	VCCAUX	D13	-	-	GND
T16	-	-	VCCAUX	E5	-	-	GND
G8	-	-	VCC100	E12	-	-	GND
G9	-	-	VCC100	F6	-	-	GND
D5	-	-	VCC100	H8	-	-	GND
D12	-	-	VCC100	H9	-	-	GND
H10	-	-	VCCI01	J8	-	-	GND
J10	-	-	VCCI01	J9	-	-	GND
E13	-	-	VCCI01	L6	-	-	GND
M13	-	-	VCCI01	M5	-	-	GND
K8	-	-	VCCI02	M12	-	-	GND
K9	-	-	VCCI02	N4	-	-	GND
N5	-	-	VCCI02	N13	-	-	GND
N12	-	-	VCCI02	P3	-	-	GND
M4	-	-	VCCI03	P14	-	-	GND
H7	-	-	VCCI04	R2	-	-	GND
J7	-	-	VCCI04	R15	-	-	GND
E4	-	-	VCCI05	F11	-	-	GND_ADC
A16	-	-	ADC_VDD	L11	-	-	GND_PLL
A2	-	-	NC				

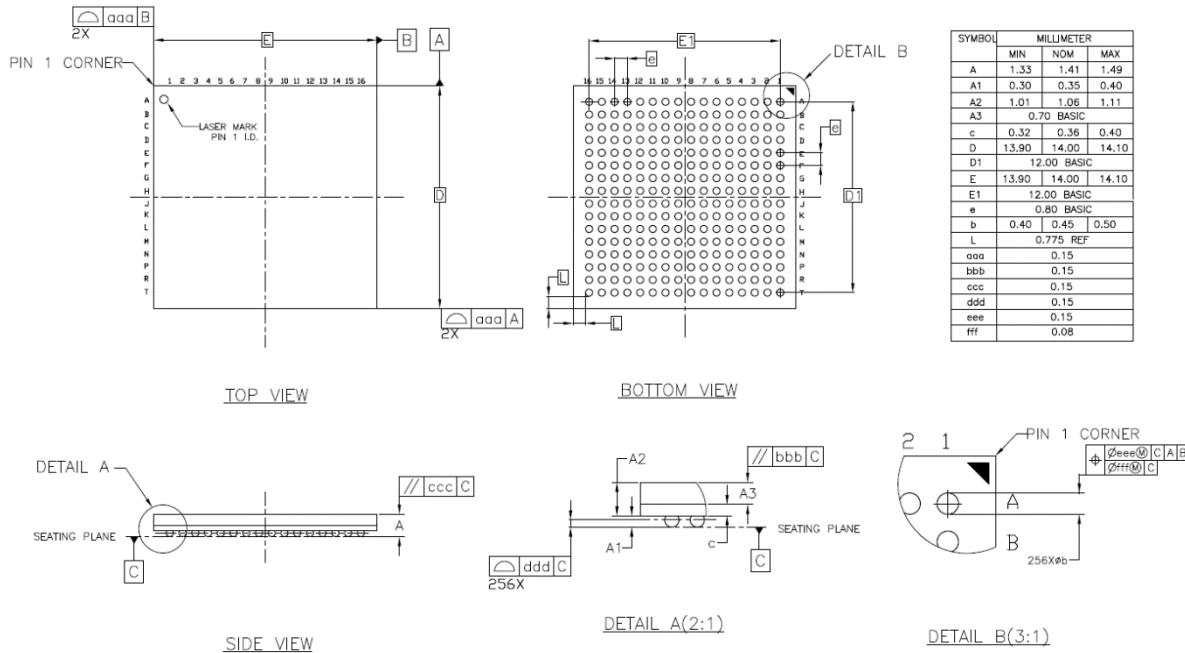
注：

- 在芯片内部，FLASH 电源与 VCCI01 相连，BANK1 的电压不应低于 2.5V。



## 4.5 封装信息

### 4.5.1 caBGA256 封装规格





## 5 订购信息

表 5- 1 器件号缩写

器件名称	类别	查找表容量	封装类型	电源类型	FLASH 容量
EF3	L	15/25/45	CG256	B	H

### ■ 产品系列

- EF3 EF3

### ■ 类别

- L 逻辑器件

### ■ 查找表容量

- 15 1520 查找表
- 25 2520 查找表
- 45 4480 查找表

### ■ 封装类型: <类型><#>

- CG256 14mm×14mm, 0.8mm pitch
- # 引脚数 (256 指 256 个引脚)

### ■ 电源类别

- B 单电源

注:

1. EF3L15&EF3L25&EF3L45 为单电源器件。

### ■ 温度等级

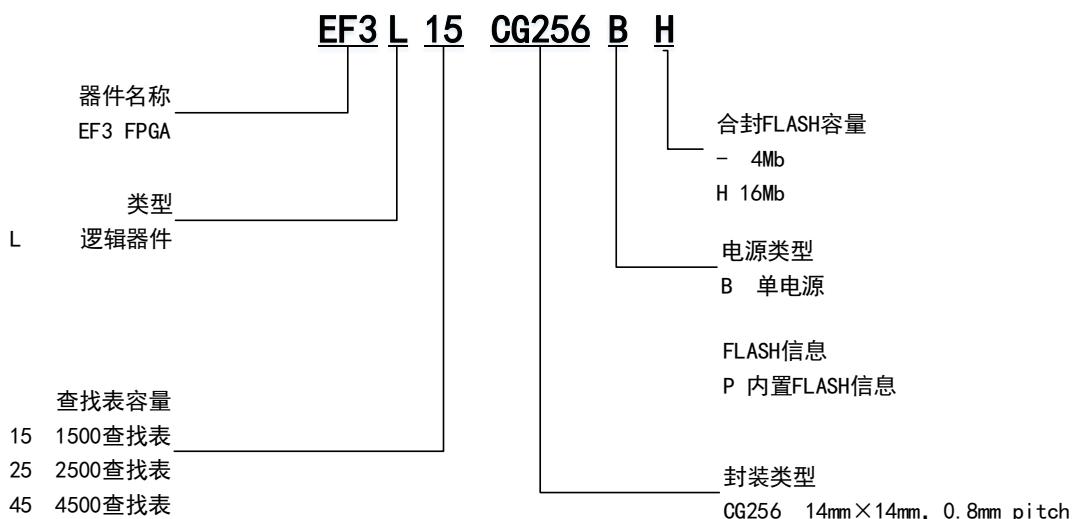
- I 工业 ( $T_J = -40 \sim 100^{\circ}\text{C}$ )

注:

1. 器件内箱标签 GRADE 栏中的 “I7” 和 “I” 均为 I 等级。

### ■ 合封 FLASH 容量

- - 4Mb
- H 16Mb





## 版本信息

日期	版本	修订记录
2018/11/04	0. 1	首次发布中文版
2018/11/22	0. 2	更改简介中支持的单端标准，更新器件简化框图，添加配置状态不受控引脚注释
2018/11/23	0. 3	修改 IOCLK、快速时钟系统架构图，删除展频和小数分频相关描述
2018/11/28	0. 4	删除 MIPI IO、AST 与双电源相关描述，更新引脚列表
2018/11/29	0. 5	修改 PLL 架构图
2018/11/30	0. 6	修改芯片结构框图，更改 ERAM9K 数量
2018/12/05	0. 7	删除电压监测模块与 ADC 模块、修改 ERAM 性能描述等
2018/12/11	0. 8	调整 SLICE 描述中部分语句位置，enhanced LUT5->增强型 LUT5
2019/2/18	0. 9	修改上电时序图，删除内核电压上电要求及相关描述
2019/2/20	1. 0	添加 JTAG 时序图，调整 JTAG 时序规格表位置，修改查分输入摆幅
2019/3/18	1. 1	<ol style="list-style-type: none"><li>删除表 3-1- 11 IOBE 推荐基本操作条件中关于施密特触发器的描述</li><li>添加表 3-1- 6 EF3L15&amp;EF3L25&amp;EF3L45 CG256 最小供电要求</li></ol>
2019/3/29	1. 2	<ol style="list-style-type: none"><li>在 2.10 内置环形振荡器一节添加 OSC 精度注释说明</li><li>添加表 3-1- 17 表 3-1- 17 EF3L15&amp;EF3L25&amp;EF3L45 LVPECL33 推荐操作条件，在表 3-1- 16 EF3L15&amp;EF3L25&amp;EF3L45 LVDS 推荐操作条件添加差分输入摆幅大于 500mV 时，只能使用外接电阻的注释说明</li><li>修改表 3-2- 5 高速 I/O 接口性能表中 LVPECL 参数 VCCIO 3.0-&gt;3.3V</li><li>修改表 2-4- 1 DCS 操作模式 BUFGMUX sel 信号对应的时钟输出</li></ol>
2019/4/28	1. 3	<ol style="list-style-type: none"><li>修改所有 BRAM、EMB 为 ERAM，更新 ERAM 配图</li><li>更新与图 2-1-2、图 2-1-3MSLICE、LSLICE 配图</li><li>更新全局时钟网络配图及其文字说明</li><li>更新表 3-2- 3 EF3L15&amp;EF3L25&amp;EF3L45 器件的 PLL 规格</li><li>调整表 3-1- 11 IOBE 推荐基本操作条件，删除 0.2 版的测试内容</li><li>更新表 3-2- 6 EF3L15&amp;EF3L25&amp;EF3L45 器件配置模式时序规格表</li></ol>
2019/7/29	1. 4	<ol style="list-style-type: none"><li>添加图 2-1- 4 Disram 同步写入异步读出时序图</li><li>添加图 2-3- 1 No change 模式波形、图 2-3- 2 Write Through 模式波形、图 2-3- 3 Read Before Write 模式波形</li><li>添加表 2-9- 2 从动串行时序规格表、表 2-9- 3 从动并行时序规格表</li></ol>



日期	版本	修订记录
		<ol style="list-style-type: none"><li>4. 在引脚列表中添加不支持热插拔的引脚标识#NHP</li><li>5. 删除 PLL 反馈模式中 1/2, 1/3 相位不对齐描述, 改写动态相移</li><li>6. 添加差分电阻波动范围、细化 LVDSE 输出推荐电阻值, 由原本的相对关系式改为具体的电阻值和响应信号幅值测试值</li><li>7. 修改表 3-1- 5 推荐基本操作条件 1 中电源缓变率最小值</li><li>8. 更新 I<sub>O</sub> 直流电学特性表 3-1- 11、注:</li><li>9. LVCMOS12 电平不支持迟滞。</li><li>10. 表 3-1- 12 中输入漏电流</li><li>11. 更正环形振荡器的中心频率为 287MHz</li></ol>
2019/9/19	1. 4. 1	<ol style="list-style-type: none"><li>1. 在基本供电要求中, 添加 G12、F15 管脚不得大于 VCCAUX 的使用限制</li><li>2. 修正图 2-9- 6 EF3L15&amp;EF3L25&amp;EF3L45 从动并行配置时序图中, 中断信号的给出位置</li></ol>
2019/10/25	1. 4. 2	<ol style="list-style-type: none"><li>1. 删除从动配置时, INITN 信号结束到配置时钟给出的相对时间要求</li><li>2. 非背景模式下, 通过 Jtag 烧写 flash 数据, t<sub>ck</sub> 的频率要大于等于 100KHz</li><li>3. 在表 3-2- 3 EF3L15&amp;EF3L25&amp;EF3L45 器件的 PLL 规格中添加 PLL 参考时钟规格要求</li></ol>
2019/12/30	1. 4. 3	<ol style="list-style-type: none"><li>1. 删除从动配置时最大建立时间限制, 添加最小保持时间要求</li><li>2. EF3L15 配置器件内置, 删除 SPI 复用相关描述</li></ol>
2020/4/7	1. 4. 4	增加 EF3L25 相关描述, 封装与 EF3L15 兼容, 只是增加逻辑资源
2021/5/18	1. 4. 5	增加 EF3L45CG256 器件相关信息
2023/09/05	1. 4. 6	<ol style="list-style-type: none"><li>1. 删除全文中对 RSDS、GTL、PCIX33 电平的支持</li><li>2. 更新文中器件最大 ERAM 资源为 108Kbits; 更新器件 Flash 资源大小的描述: 更新伪差分 I/O 对的个数为 65 对</li><li>3. 在 2.5.1 节中增加 PLL 输出稳定相位时的优选说明, 删除表 2-5-1 PLL 特性表中的频率规格, 具体以表 3-2-3 PLL 规格表为准</li><li>4. 更新参考时钟分频系数标识为 N, 反馈时钟分频系数标识为 M, 更新图 2-5-1 EF3L15&amp;EF3L25&amp;EF3L45 PLL 架构图</li><li>5. 全文删除 PLL 动态相移五路同时调整的支持描述, 更新图 2-5-3 PLL 动态相移及上下文中对 PLL 动态相移的时序说明</li><li>6. 更新 LVPECL 交流耦合示意图</li><li>7. 更新图 2-8-2 True LVDS 输出和图 2-8-3 ELVDS 输出 3R 电阻网络</li><li>8. 全文增加 CS0N/DOUT 引脚的配置复用功能和说明; 全文更新 CCLK 引脚名为 SCLK, 与引脚信息对齐; 更新 MULTI BOOT 使能信号端口为 rebootn, 与原语对齐, 在 2.9.10 节增加 rebootn 的时序要求</li><li>9. 在 2.9.1.1 节中增加对加载时钟相关引脚进行阻抗匹配的要求说</li></ol>



日期	版本	修订记录
		<p>明</p> <p>10. 更新表 2-9-2 从动串行时序规格表和表 2-9-3 从动并行时序规格表， T_ch 和 T_cl 最小值更新为 15.5，并增加从动模式下， SCLK\CS0N/DOUT 复用为 GPIO 的使用说明，在表 2-9-3 后增加数据采样说明</p> <p>11. 更新图 2-9-10 DNA 端口示意图和图 2-9-11 DNA 时序图</p> <p>12. 更新第 2.10 章中描述，OSC 中心频率为 290Mhz</p> <p>13. 在第 1.1. 节中增加 ADC 的特性介绍，增加第 2.11 章节对内嵌 ADC 模块进行介绍</p> <p>14. 增加第 4.4 章节介绍 EF3L45CG256BH 器件的引脚的引脚信息</p> <p>15. 在第 5 章增加订购信息示意图</p>
2024/01/29	1.4.7	<p>1. 更新表 3-1-11 和表 3-1-13 中的 V<sub>OL</sub> 和 V<sub>OH</sub> 最大最小的描述</p> <p>2. 统一器件型号描述</p> <p>3. 补充表 3-1-14、表 3-1-15 中 V<sub>IO</sub> 中的测试条件</p> <p>4. 全文更新最大用户 I/O 数量</p> <p>5. 更新图 2-9-11 DNA 时序图</p> <p>6. 更新 2.11 章节内嵌 ADC 模块相关描述，更新表 2-9-6 ADC 模块端口，更新表 2-9-13 ADC 采样控制时序</p> <p>7. 在 3.1.1 章节最大绝对额定值中，更新过冲以及下冲相关描述，新增图 3-1-1，新增表 3-1-2</p> <p>8. 在表 3-1-3 推荐基本操作条件中新增注释 3、4</p> <p>9. 在表 3-1-11 EF3L15&amp;EF3L25&amp;EF3L45 器件 IOBE 单端 I/O 标准规格中更新 LVCMS25 驱动电流</p> <p>10. 新增 3.1.11 章节 ADC 性能</p> <p>11. 表 3-2-3 EF3L15&amp;EF3L25&amp;EF3L45 器件的 PLL 规格中添加注释 4</p> <p>12. 更新表 4-1-1 引脚规则和定义，删除#NHP</p> <p>13. 更新 4.3 章节，4.4 章节器件引脚信息</p> <p>14. 全文删除 BLVDS、MLVDS 电平</p>
2025/03/10	1.4.8	<p>1. EF3L25CG256B 器件已停产。</p> <p>2. 更新 1.1 SALELF®3 (以下简称 EF3) L15&amp;EF3L25&amp;EF3L45 器件特性一节中的“封装形式”模块，并全文统一更新。</p> <p>3. 更新表 2-9-4 EF3L15&amp;EF3L25&amp;EF3L45 器件 JTAG 时序规格表，并同步更新图 2-9-7 EF3L15&amp;EF3L25&amp;EF3L45 JTAG 时序图。</p> <p>4. 更新 2.9.12 FPGA I/O 引脚在配置阶段的状态一节中非配置相关 I/O 上电过程状态描述。</p> <p>5. 新增表 2-9-5 EF3L15&amp;EF3L25&amp;EF3L45 Configuration Pin Termination 的注释 1，说明 EF3L15、EF3L45 器件部分普通 I/O 在</p>



日期	版本	修订记录
		<p>配置阶段的状态。</p> <p>6. 更新 5 订购信息一章中“温度等级”模块的注释 1，说明器件的内箱标签及丝印描述。</p>
2025/06/25	1. 4. 9	<ol style="list-style-type: none"><li>1. 2. 5. 1 简介一节中新增 PLL 专用输入管脚互连说明。</li><li>2. 2. 8. 3 兼容 5V 输入一节中新增基本型 IOBB 接入 5V 信号限制说明。</li><li>3. 更新表 3-1-1 最大绝对额定值中 <math>V_{ESDCDM}</math> 的参数说明。</li><li>4. 新增表 3-1-2 10 年使用寿命条件下允许的最大过冲、下冲占比的注 1，说明 UI 的周期时间。</li><li>5. 新增表 3-1- 3 推荐基本操作条件的注 5，说明 IOBB 承压能力条件。</li><li>6. 新增表 3-1-4 EF3L15&amp;EF3L25&amp;EF3L45 CG256 最小供电要求的注 6，说明 ADC_VREF 电源的使用限制以及 ADC_VDD 供电电压。</li><li>7. 新增表 3-1- 9 IOBE 推荐基本操作条件中的 <math>V_{HYST}</math> 规格及其注 1，说明 LVCMS12 不支持迟滞。</li><li>8. 更新 4. 4 EF3L45CG256BH 引脚信息一节中的 ADC 电源相关引脚名称，并全文统一更新。</li></ol>
2025/12/30	1. 5	<ol style="list-style-type: none"><li>1. 更新 2. 8. 3 兼容 5V 输入一节中 IOBB 支持 5V 输入的相关描述以及 IOBE 最大容限绝对电压 <math>V_{IMAX}</math> 相关描述。</li><li>2. 更新 2. 9. 1. 1 EF3L15&amp;EF3L25&amp;EF3L45 配置模式一节中 PROGRAMN/INITN/DONE 引脚的使用限制说明。</li><li>3. 删除表 2-9-5 EF3L15&amp;EF3L25&amp;EF3L45 Configuration Pin Termination 的注 1。</li><li>4. 3. 1. 1 最大绝对额定值一节新增对 IOBE、IOBB 类型最大允许输入过冲/下冲占比数据释义的相关内容。</li><li>5. 更新图 3-1-1 输入信号过冲、下冲。</li><li>6. 更新表 3-1- 2 10 年使用寿命条件下允许的最大过冲、下冲占比 (IOBE) 及注 1。</li><li>7. 新增表 3-1- 3 10 年使用寿命条件下允许的最大过冲、下冲占比 (IOBB, <math>VCCIO=3.3V</math>) 及注 1。</li><li>8. 新增表 3-1- 4 10 年使用寿命条件下允许的最大过冲、下冲占比 (IOBB, <math>VCCIO\leq 2.5V</math>) 及注 1。</li><li>9. 更新表 3-1- 5 推荐基本操作条件中 IOBE 的 VI 规格及注 5。</li><li>10. 更新表 3-1- 12 IOBB 推荐基本操作条件的 <math>R_{PU}</math> 和 <math>R_{PD}</math> 规格。</li><li>11. 更新表 4-1- 1 引脚定义和规则。</li></ol>



**版权所有©2025 上海安路信息科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。