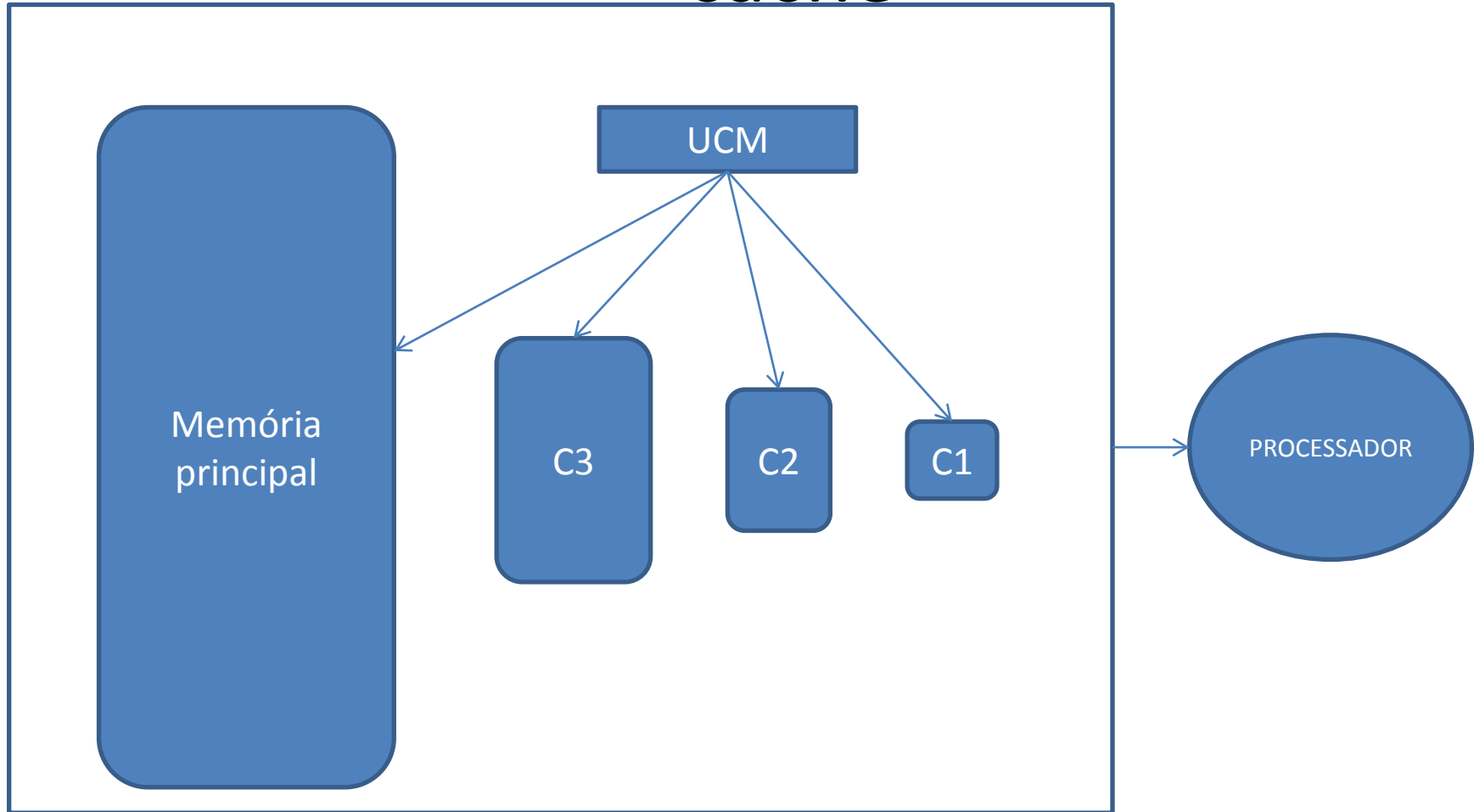


Trabalho prático 2

TP 02

Simulando o sistema de memória cache

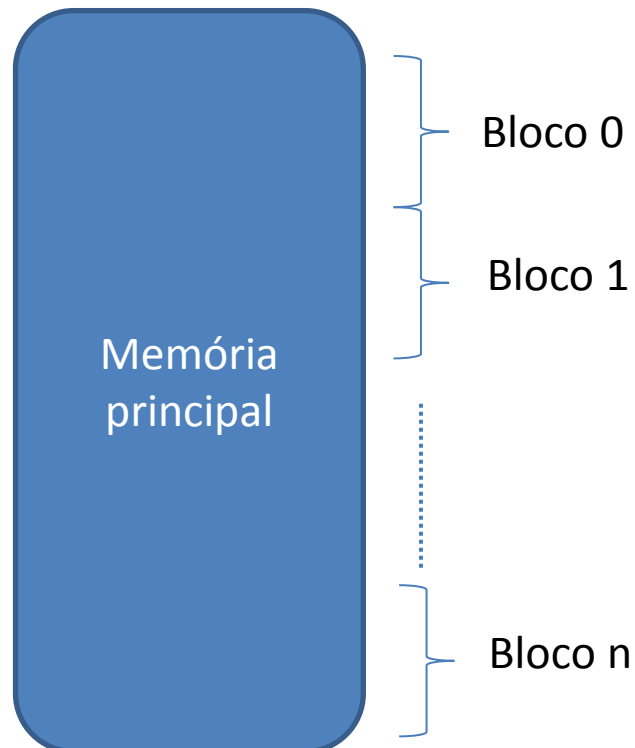


Memória principal > C3 > C2 > C1

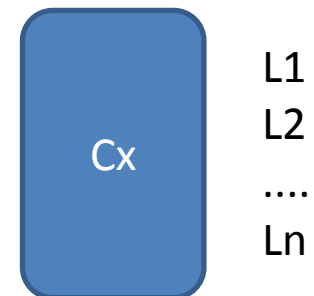
Todas as memórias como vetores de inteiros



Memória principal dividida em blocos lógicos



Memórias cache divididas em linhas



**TANTO LINHAS QUANTO BLOCOS SÃO
COMPOSTOS POR PALAVRAS**

Simule:

- 1) Mapeamento associativo ou Mapeamento associativo em conjunto
 - 1.1) Para o mapeamento associativo escolhido, implemente uma das políticas de substituição: LRU e LFU.
- 2) Use o gerador de instrução do aluno Bruno, disponível no site

Resultados: Na forma de gráficos, ilustrando cache hit e cache miss em TODOS os casos

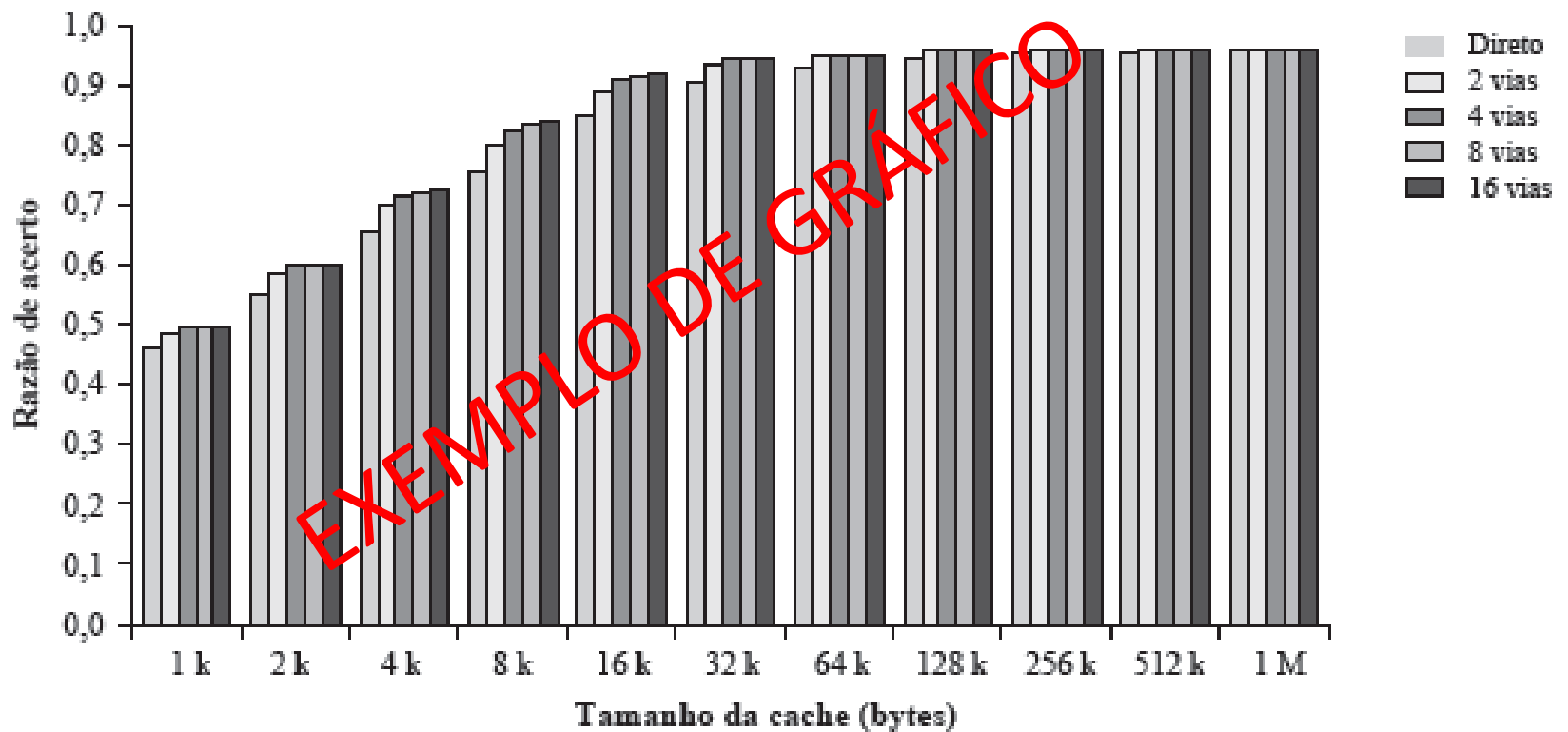
Altere: os tamanhos de cache, o número de caches , o nível de repetição de instruções e as políticas de substituição.

Exs: 1 cache, mapeamento associativo, substituição LRU => resultados (cache miss e cache hit)
2 caches, mapeamento associativo, substituição LRU => resultados (cache miss e cache hit)

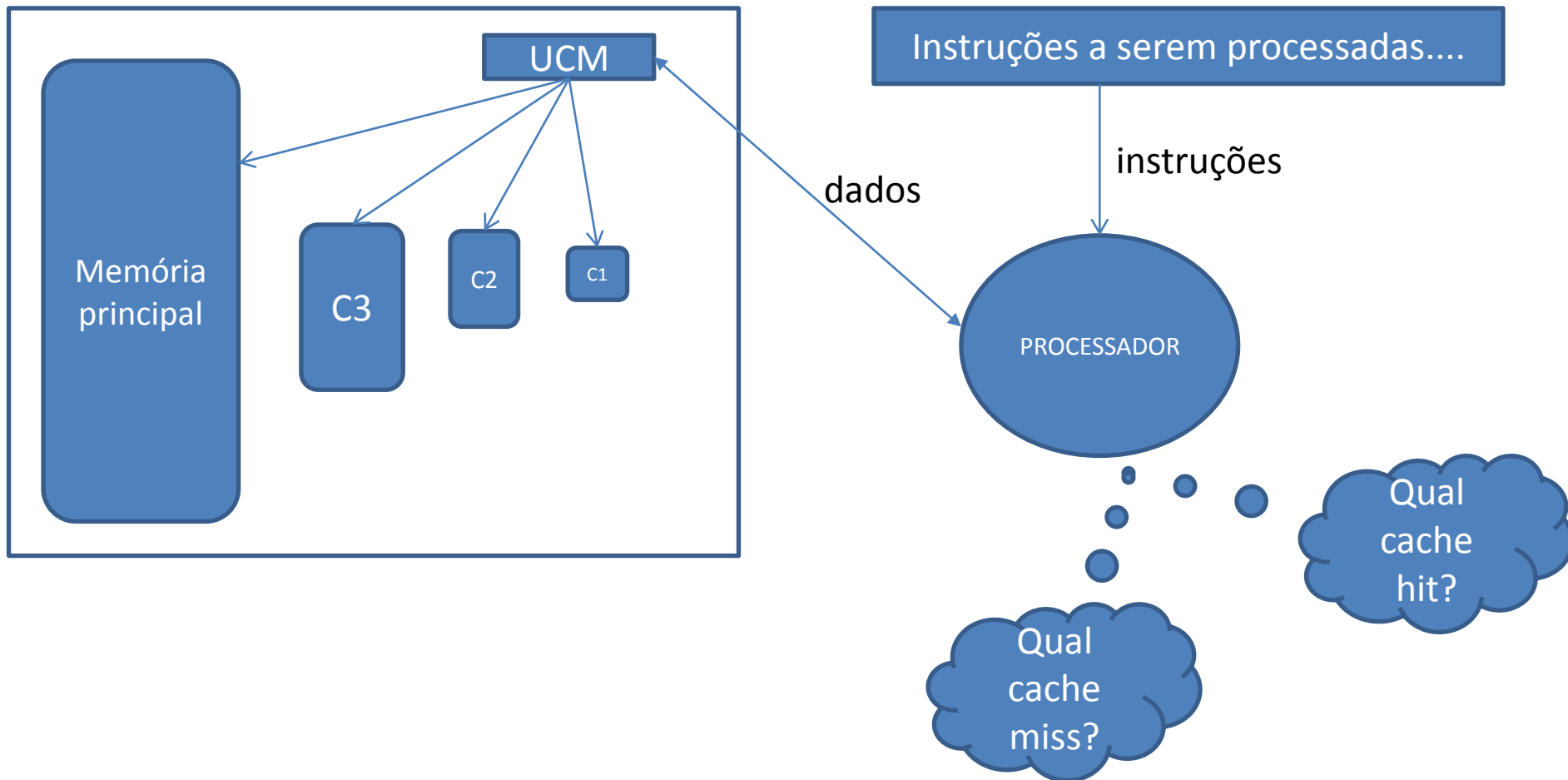
COMENTE OS RESULTADOS AO FINAL DO TRABALHO

USE AS REVISÕES DO TP 1 PARA CONSTRUIR O TP 2

Resultados de forma gráfica



Considerações finais



Entrega

O que deve ser entregue?

1. Apresentação do TP incluindo testes, trechos de código, figuras, problemas enfrentados, melhorias futuras e outros...

Dúvidas, soluções, inquietações, etc.... PROCURE JOUBERT NO DECOM OU VIA EMAIL!!

AGENDE SUA APRESENTAÇÃO COM O JOUBERT O QUANTO ANTES

