

Exercício

- Processadores da família P6 (Pentium II em diante) possuem dois níveis de cache
- O cache L1 é particionado
- O cache de dados é 2-way set associative
- O cache de instruções é 4-way set associative
- Ambos tem 16 Kbytes (dependendo do modelo) com linhas de 32 bytes
- O cache L2 é unificado, 512 Mbytes (dependendo do modelo) com linhas de 32 bytes e 4-way set associative
- Todos eles utilizam o algoritmo LRU

Exercício

- Faça um esboço deste sistema de cache explicitando:
 - Número de blocos
 - Número de blocos por conjunto
 - Particionamento do endereço em *tag*, conjunto e palavra
 - Número de bits no *tag*
 - Número de bits validade
 - Número de bits para implementar o LRU