

SimLab03



학과	전기정보공학과
학번	20101418
이름	장민진
과목명	SoC 설계 입문
제출일자	2024/10/04

목차

I. 구조 및 코드 설계	3
II. Waveform Simulation 결과	5
III. 추가 기능 및 실험	8

I. 구조 및 코드 설계

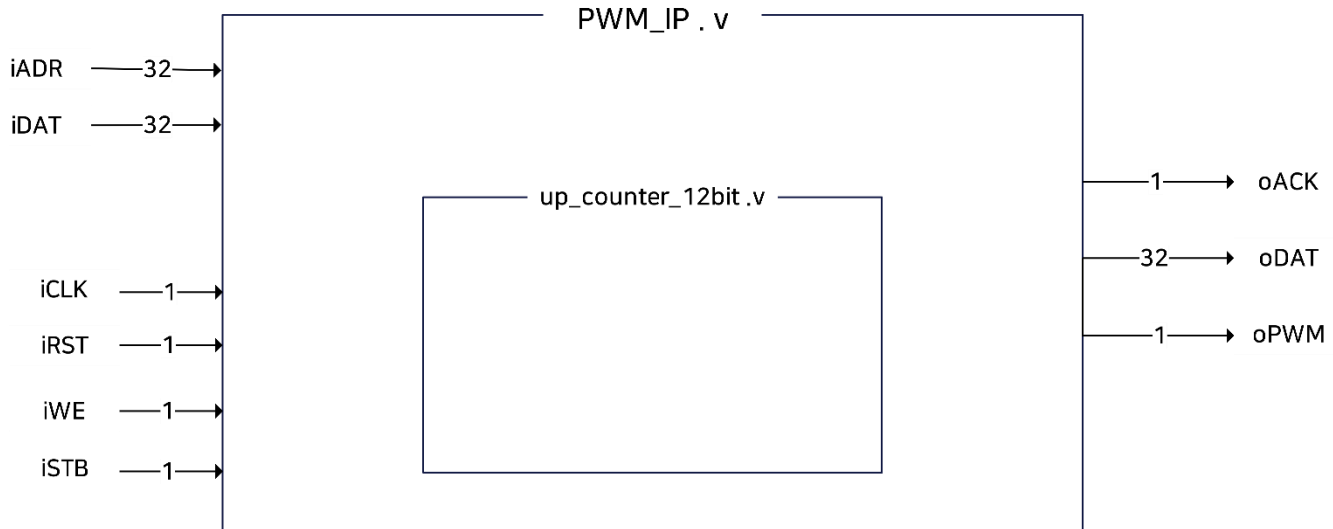


Figure 1. PWM_IP module Architecture

먼저 Figure 1에 나타난 PWM_IP의 구조도이다.

Up counter logic을 별도의 모듈로 작성하여 PWM_IP 모듈 내부에서 instantiation 하여 PWM Logic을 구성하였다.

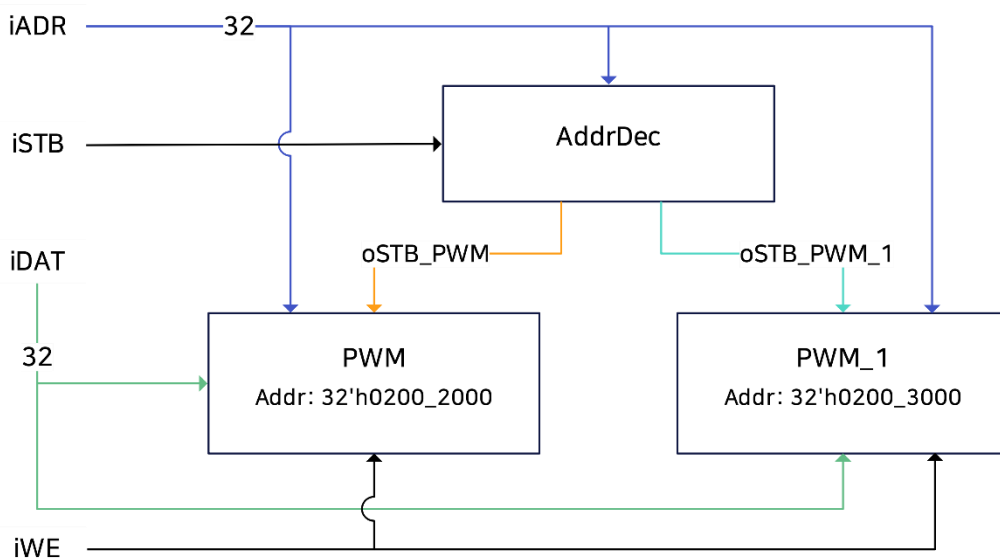


Figure 2. Address Decoding - Centralized 방식 적용

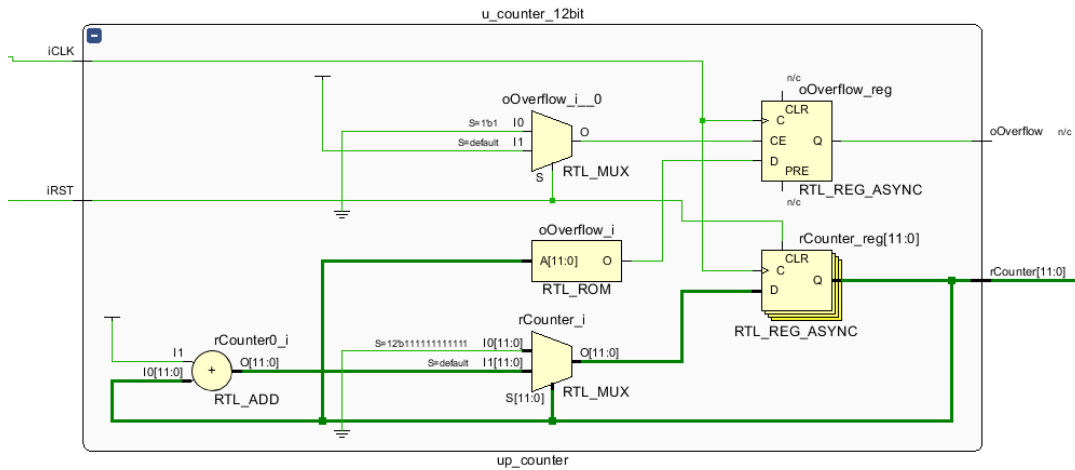


Figure 3. Up Counter RTL Schematic

Up Counter은 Figure 3와 같이 구성되어 12bit Up Counter 로써 12'h000~12'hFFF 카운트를 수행한다. Overflow시 oOverflow 레지스터를 High로, 그 이외의 상황에서는 Low로 설정하였고 rCounter 레지스터는 0으로 Overflow된다.

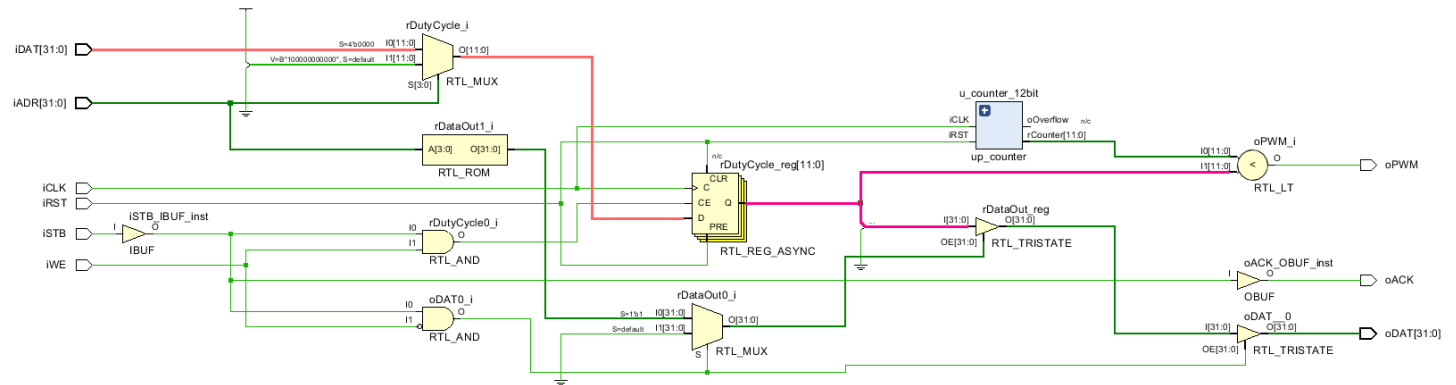


Figure 4. PWM IP RTL Schematic

PWM 주요 로직 또한 설정한 주소인 32'h0200_2000인 경우에 Read/Write를 수행한다.

Address decoding 방식을 Centralized 방식을 적용하여 상위 28 bit와 하위 4bit로 주소로 설정하였다.

최대 4개의 32bit 레지스터를 생성 가능하도록 16 byte 주소 공간을 할당하였다.

Write의 경우 하위 4비트가 4'b0이 아닌 경우 미리 Parameter로 정해둔 Reset_Value로

rDutyCycle를 초기화하고, Read의 경우 하위 4비트가 4'b0이 아닌 경우 High impedance로 출력한다.

최종적으로, Up_Counter의 출력 결과인 rCounter 값과 rDutyCycle에 저장된 설정 Duty값을 비교하여 oPWM 파형을 생성한다.

II. Waveform Simulation 결과

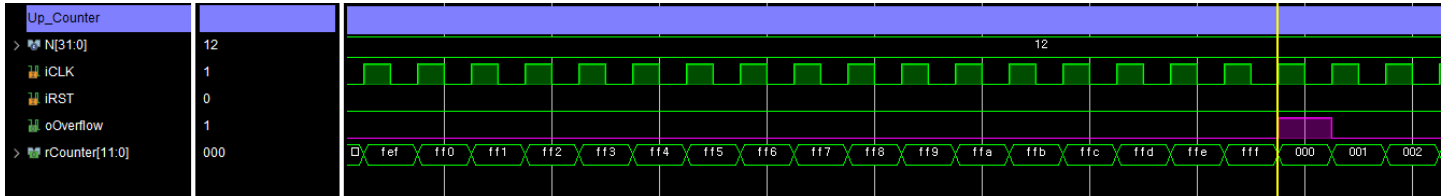


Figure 5. Up Counter 동작 Simulation Waveform

Figure 5에서 확인할 수 있듯이 iCLK의 Positive Edge에서 rCounter가 증가하는 모습을 관찰할 수 있고, 12비트로 선언된 rCounter가 12'FFF가 되면 oOverflow가 High가 되고, 0으로 Overflow가 되는 모습을 확인할 수 있다.

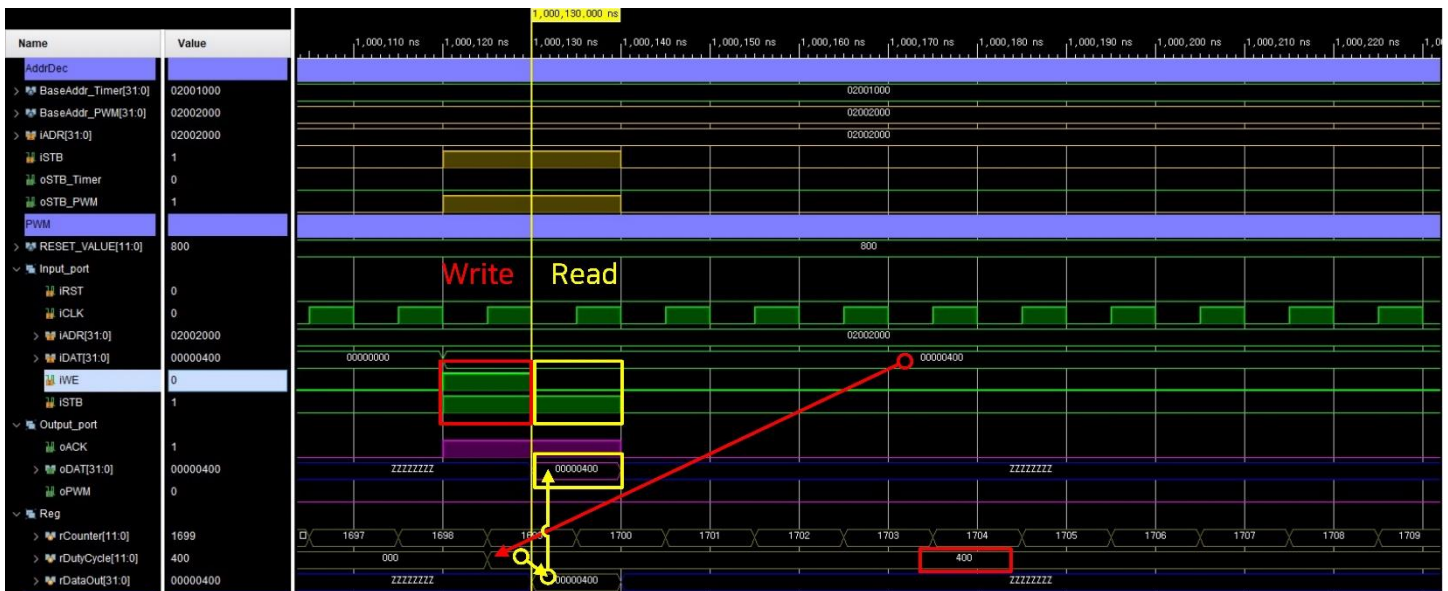


Figure 6. PWM RD/WR Transaction Simulation Waveform

Figure 6은 PWM_IP의 Read/Write Transaction시의 파형이다.

Write Transaction (iWE = 1, iSTB = 1) 시 iDAT의 하위 12비트인 12'h400을 iCLK의 상승 Edge에서 rDutyCycle[11:0]에 성공적으로 저장하는 모습을 관찰할 수 있다.

Read Transaction (iWE = 0, iSTB = 1) 시 rDutyCycle의 12비트 값 12'h400에 상위 비트를 zero padding한 값 32'h0000_0400이 rDataOut[31:0]로 입력되어 oDAT[31:0]으로 성공적으로 출력되는 모습을 관찰할 수 있다.



Figure 7. rDutyCycle 변화에 따른 oPWM 파형 High/Low 구간 길이의 변경

Figure7은 rDutyCycle 변화에 따른 출력 파형 oPWM의 High/Low 구간 길이가 변경되는 모습을 볼 수 있다. Test bench에서 iDAT[31:0]으로 입력한 값의 하위 12비트인 rDutyCycle별 예상 결과는 아래와 같다. 예상한 결과와 일치하게 Figure7에서 나타나는 모습을 확인할 수 있다.

rDutyCycle	DutyRatio	예상 결과
12'h000	0%	<p>PWM 0% Duty Cycle</p>
12'h400	25%	<p>PWM 25% Duty Cycle</p>
12'h800	50%	<p>PWM 50% Duty Cycle</p>
12'hC00	75%	<p>PWM 75% Duty Cycle</p>
12'hFFF	100%	<p>PWM 100% Duty Cycle</p>

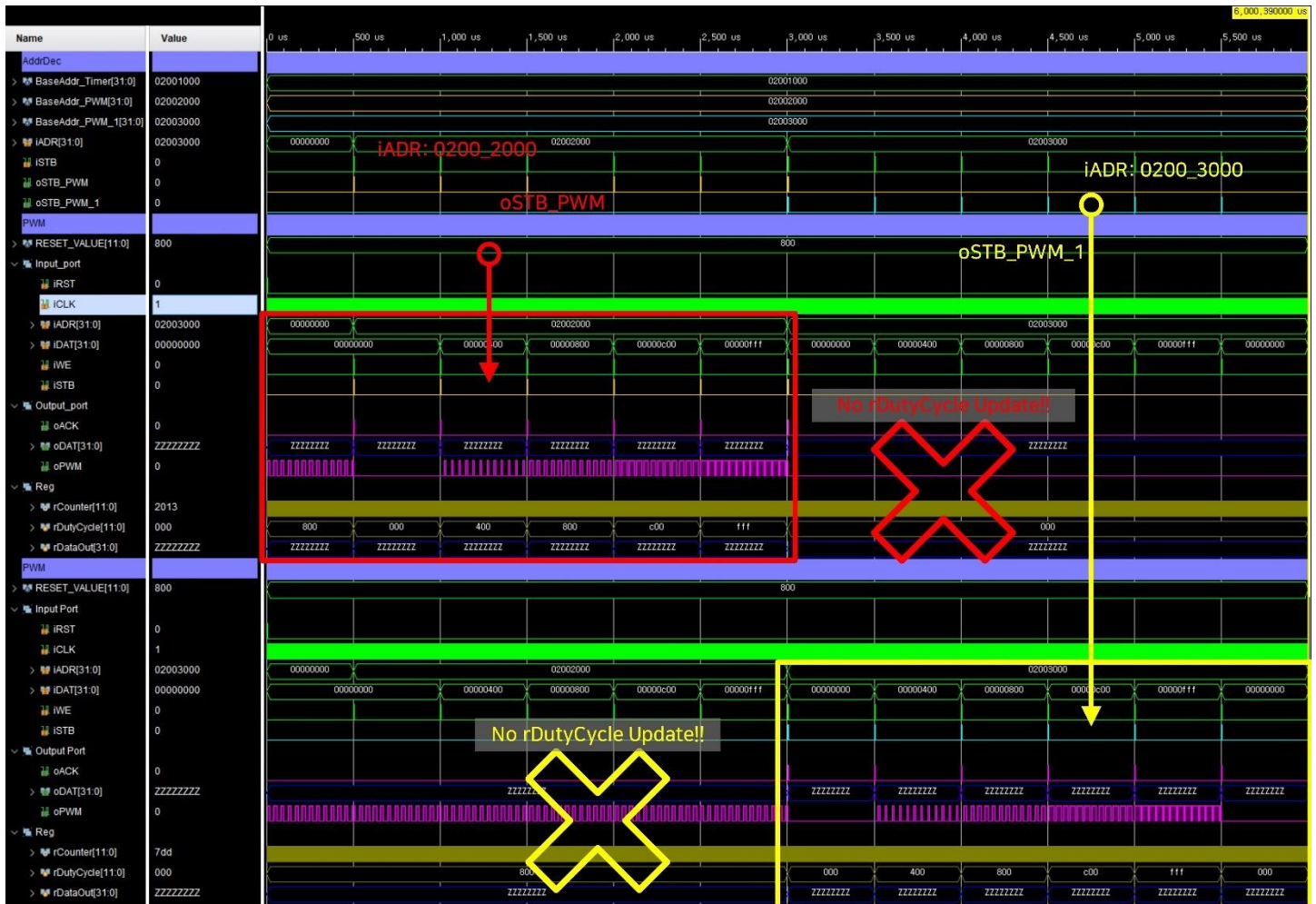


Figure 8. PWM 객체 2개의 Simulation Waveform

Figure 8은 주소가 32'h0200_0300인 PWM 객체를 1개 더 생성하여 Simulation을 수행한 결과이다.

Centralized Address Decoding 방식을 사용함에 따라, AddrDec 모듈에서 iADR이 32'h0200_2000일 때 oSTB_PWM에 iSTB 신호를 인가한다. 따라서 빨간색으로 강조한 첫 번째 PWM 객체에서 RD/WR Transaction이 이루어지는 모습과 oPWM의 High/Low 구간 길이 변화 등의 출력 파형 변화를 관찰할 수 있고, 노란색으로 나타낸 두 번째 PWM 객체에서는 rDutyCycle이 RD/WR 되지 않아 출력파형과 각 레지스터에서 변화가 없음을 확인할 수 있다.

반대로 iADR이 32'h0200_3000일 때는 AddrDec 모듈이 oSTB_PWM_1에 iSTB 신호를 인가하는 모습과, 노란색으로 강조한 두 번째 PWM 객체에서 RD/WR Transaction과 출력 파형의 변화를 관찰할 수 있다.

이때, 빨간색으로 나타냈던 첫 번째 PWM 객체는 마지막으로 저장되었던 rDutyCycle인 12'h000을 유지함으로써 주소가 다를 때 값이 업데이트 되지 않고 있음을 관찰할 수 있다.

III. 추가 기능 및 실험

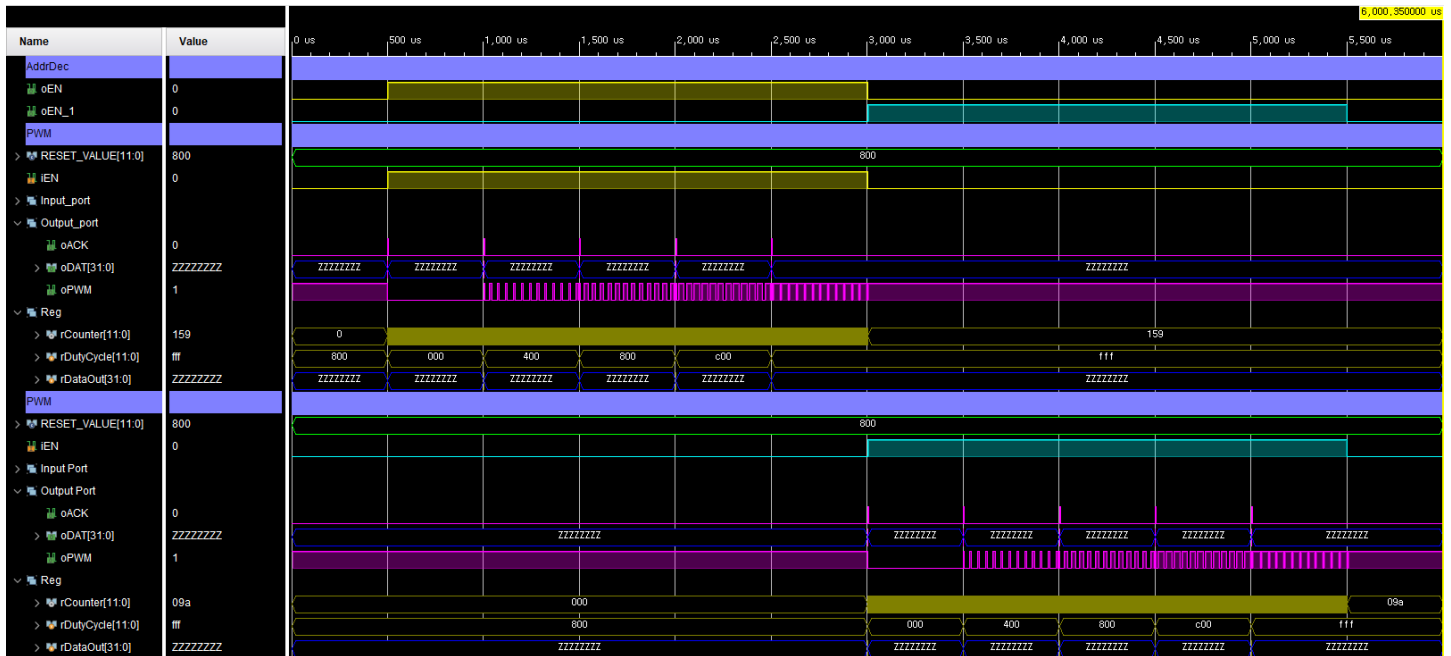


Figure 9. Clock Gating

iEN 신호를 추가하여 AddrDec이 일치하는 PWM에 Enable Signal을 생성하도록 하였다.

Figure 9는 Clock Gating을 사용하여 선택되지 않은 PWM 객체는 동작을 중지하는 기능을 추가한 파형이다.



iSW = 0000



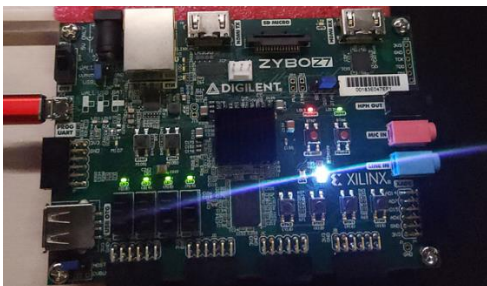
iSW = 0001



iSW = 0011



iSW = 0111



iSW = 1111

스위치 입력 iSW[3:0]에 비례한 값을 iDAT의 하위 12bit를 입력으로 사용하여 HW로 테스트해본 사진이다. 사진을 보게 되면, 우리가 앞서 Simulation Waveform에서 확인했던 rDutyCycle에 따른 oPWM 출력파형의 High/Low 구간 길이의 변화를 LED 출력 변화를 통해서도 관찰할 수 있었다.