باسمه تعالی

آزمایشگاه معماری کامپیوتر

A blue and black logo

Description automatically generated

دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف

تابستان 1403

**استاد:**

دکتر حمید سربازی آزاد

مهندس عطیه غیبی فطرت

**اعضای گروه:**

زهرا آذر – 99109744

سعید فراتی کاشانی – 401106299

امیرحسین صوری – 401106182

فهرست عناوین

[موضوع آزمایش 3](#_Toc172672528)

[شرح کلی آزمایش 3](#_Toc172672529)

[بررسی روش **Shift & Add** 3](#_Toc172672530)

[پیاده‌سازی مدار در پروتئوس 3](#_Toc172672531)

[خروجی مدار 5](#_Toc172672532)

[پیاده‌سازی مدار به صورت فیزیکی 6](#_Toc172672533)

[تراشه‌های مورد استفاده 6](#_Toc172672534)

موضوع آزمایش:

ضرب‌کننده‌ی ممیز ثابت

شرح کلی آزمایش:

در این آزمایش قصد داریم دو عدد ممیز ثابت 4 بیتی را به روش shift & add در یکدیگر ضرب کنیم. می‌توانیم تعداد دلخواهی از بیت‌ها را مربوط به اعشار بگیریم و عملکرد مدار تغییری نمی‌کند؛ حتی می‌توان صفر بیت را به اعشار اختصاص دهیم و اعشار نداشته‌باشیم. اعداد مثبت فرض شده‌اند و بدون علامت هستند.

بررسی روش **Shift & Add**

در این روش، مانند ضرب عادی دو عدد عمل می‌کنیم. به این معنا که ابتدا متغیر مربوط به حاصل نهایی را صفر در نظر می‌گیریم. سپس در هر مرحله بیت کم‌ارزش عدد دوم را در عدد اول (این عدد به تعداد یکی کمتر از مرحله‌ی فعلی به سمت چپ شیفت خورده‌است) ضرب می‌کنیم و آن را به حاصل نهایی اضافه می‌کنیم؛ یعنی اگر بیت کم‌ارزش عدد دوم سفر باشد، اتفاقی نمی‌افتد و اگر یک باشد، همان شیفت‌خورده‌ی عدد اول به حاصل نهایی اضافه می‌شود.

سپس عدد اول را یک بیت به سمت چپ شیفت می‌دهیم تا ارزش آن برای مرحله‌ی بعد افزایش یابد. همچنین عدد دوم را یک بیت به سمت راست شیفت می‌دهیم تا بیت کم‌ارزش آن آپدیت شود.

این مراحل را تا زمانی که عدد دوم برابر با صفر شود، ادامه می‌دهیم.

پیاده‌سازی مدار در پروتئوس:

برای پیاده‌سازی این جمع‌کننده در پروتئوس از دو تراشه‌ی آماده استفاده کردیم:

* ۷۴198: 8-bit bidirectional shift register with clear

این تراشه یک شیفت‌رجیستر 8 بیتی است که قابلیت‌های پارالل لود، شیفت به چپ (با قرار دادن صفر/یک در LSB)، شیفت به راست (با قرار دادن صفر/یک در MSB) و عدم تغییر (نگه‌داشتن مقدار) را دارد. به کمک ورودی‌های S0 و S1 یکی از 4 حالت بالا و به کمک SR و SL صفر یا یک بودن بیت آخر هنگام شیفت را مشخص می‌کند.

* ۷۴194: 4-bit bidirectional shift register with clear

این تراشه دقیقا مشابه تراشه‌ی قبلی (74198) است، با این که تفاوت که به جای 8 بیت‌، 4 بیت را پشتیبانی می‌کند.

* 74199: 8-bit parallel access shift register with clear

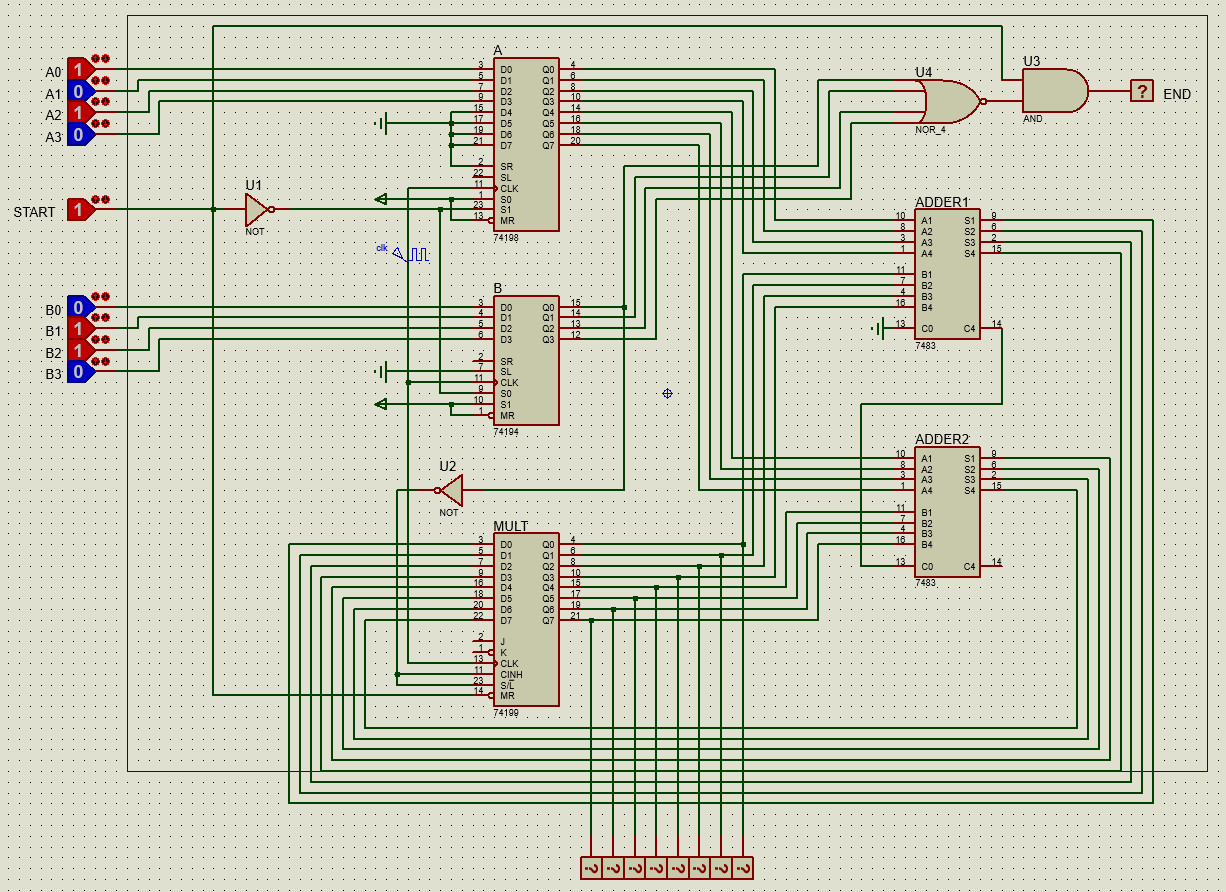
این تراشه شباهت زیادی به تراشه‌ی اول (74198) دارد، با این تفاوت که امکان شیفت دوطرفه را ندارد.

* 7483: 4-bit full adder

این تراشه با ورودی گرفتن دو عدد 4 بیتی و c\_in، حاصل جمع 4 بیتی و c\_out را خروجی می‌دهد.

* تراشه‌های دیگر مانند 7408 (2-input and)، 7425 (2-input nor) و 7404 (hex inverse) نیز مورد استفاده هستند.

با توجه به توضیحاتی که در مورد روش Shift & Add داده‌شد، این مدار را پیاده‌سازی کردیم:



در این مدار، تراشه‌ی 74198 با نام A، در ابتدا مقدار عدد اول را دارد و پس از آن در هر کلاک یک بیت به سمت چپ شیفت می‌خورد؛ از آن‌جایی که ورودی‌ها 4 بیتی هستند، تا انتهای ضرب عدد اول نهایتاً 8 بیت می‌تواند شود، پس از رجیستر 8 بیتی استفاده می‌کنیم.

تراشه‌ی 74194 با نام B، در ابتدا مقدار عدد دوم را دارد و پس از آن در هر کلاک یک بیت به سمت راست شیفت می‌خورد.

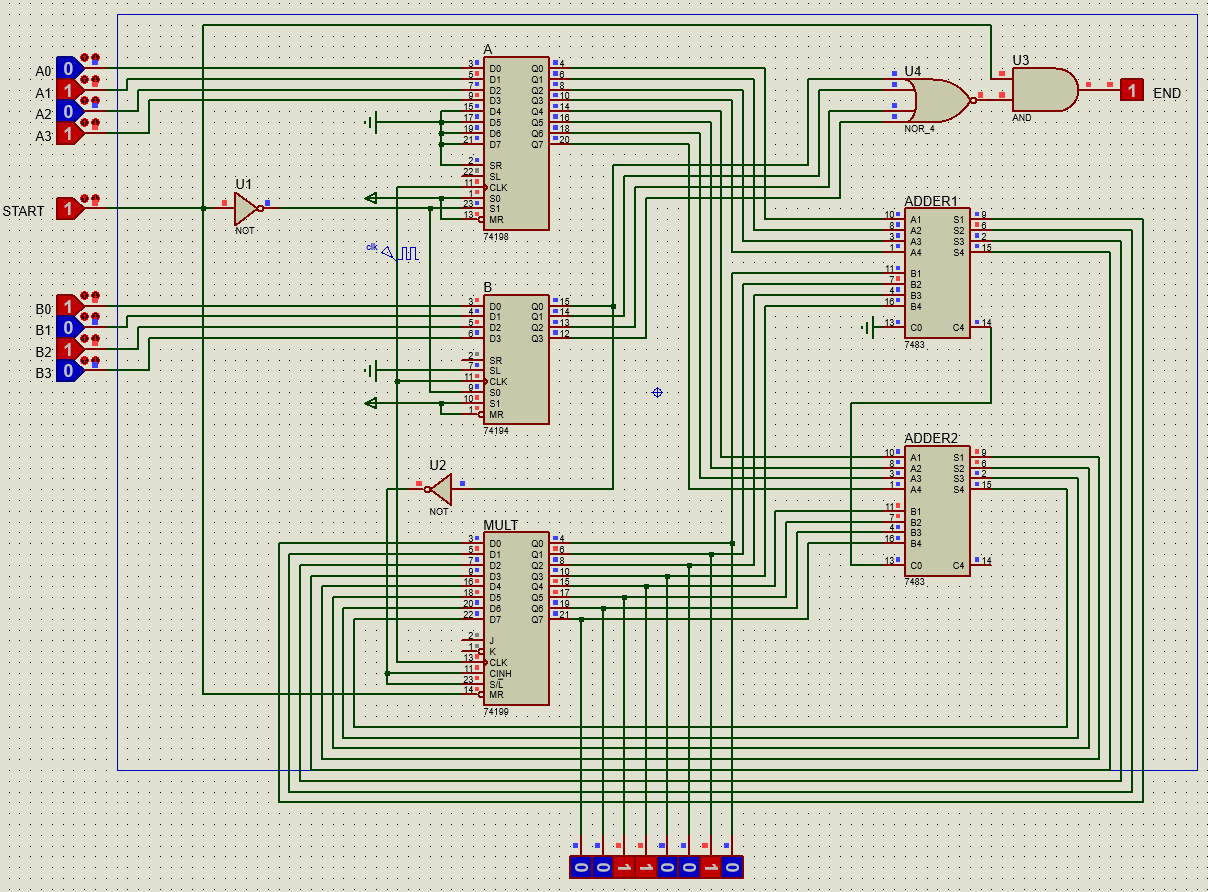
تراشه‌ی 74199 با نام MULT، حاصل نهایی ضرب را در خود ذخیره می‌کند و در ابتدا مقدار صفر دارد.

در هر کلاک به کمک دو تراشه‌ی 7483 با نام‌های ADDER1 و ADDER2 عدد 8 بیتی A را با مقدار فعلی MULT جمع می‌کنیم. حال در صورت یک بودن بیت کم‌ارزش B، آن را در MULT لود می‌کنیم و در صورت صفر بودن این بیت تغییری رخ نمی‌دهد و MULT مقدار قبلی خود را hold می‌کند. نکته: چون در تراشه‌ها 8-bit full adder نداشتیم، از ترکیب دو 4-bit full adder استفاده کردیم :)

در نهایت نیز اگر تمام بیت‌های B صفر شوند، نتیجه آماده است و سیگنال END فعال می‌شود.

خروجی مدار

در این قسمت یک نمونه ورودی و خروجی برای این مدار نمایش داده شده است:



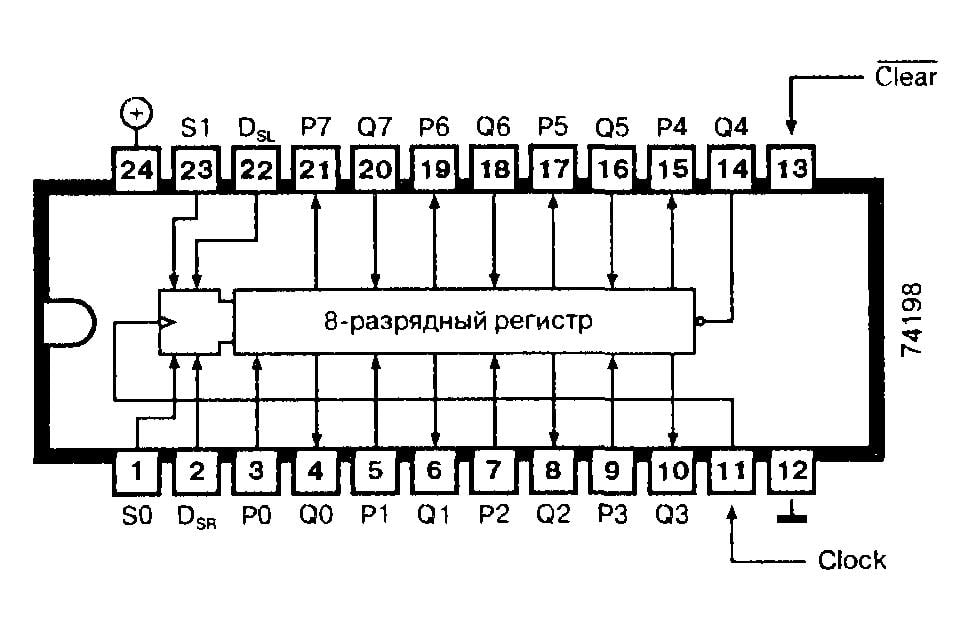
در این نمونه با فرض این‌که رقم اعشار نداشته‌باشیم، ضرب دو عدد 5 و 10 انجام شده‌است، که حاصل 50 به درستی محاسبه شده‌است و سیگنال END فعال شده‌است.

پیاده‌سازی مدار به صورت فیزیکی:

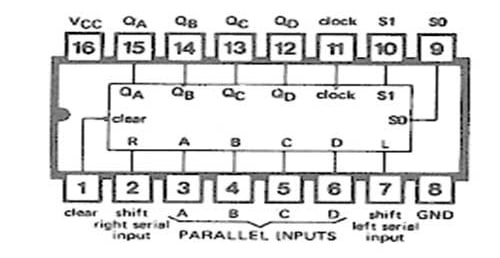
مداری که در پروتئوس پیاده‌سازی کردیم را فردا بر روی بردبورد نیز به صورت فیزیکی آماده خواهیم‌کرد :)

تراشه‌های مورد استفاده

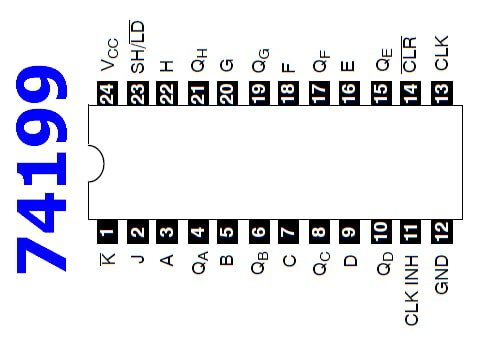
* 8-bit bidirectional shift register with clear: 74198



* 4-bit bidirectional shift register with clear: 74194



* 8-bit parallel access shift register with clear: 74199



* 4-bit full adder: 7483

