باسمه تعالی

آزمایشگاه معماری کامپیوتر

A blue and black logo

Description automatically generated

دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف

تابستان 1403

**استاد:**

دکتر حمید سربازی آزاد

مهندس عطیه غیبی فطرت

**اعضای گروه:**

زهرا آذر – 99109744

سعید فراتی کاشانی – 401106299

امیرحسین صوری – 401106182

فهرست عناوین

[موضوع آزمایش: 3](#_Toc174550319)

[شرح کلی آزمایش: 3](#_Toc174550320)

[بررسی جزئیات مدار 3](#_Toc174550321)

[پیاده‌سازی مدار در پروتئوس: 3](#_Toc174550322)

[خروجی مدار 8](#_Toc174550323)

[پیاده‌سازی مدار به صورت فیزیکی: 9](#_Toc174550324)

[تراشه‌های مورد استفاده 9](#_Toc174550325)

موضوع آزمایش:

واحد محاسبه با امکان انتخاب ثبات مبدا و مقصد

شرح کلی آزمایش:

در این آزمایش قصد داریم یک ALU در کنار 4 رجیستر 8 بیتی بسازیم تا بتوانیم محاسبات انجام دهیم و در رجیسترها ذخیره‌سازی کنیم.

بررسی جزئیات مدار

در این مدار 4 رجیستر R0 تا R3 داریم. یک ALU داریم که ورودی اول آن همواره مقدار رجیستر R0 است و ورودی دوم آن می‌تواند مقدار رجیسترهای R0 تا R3 و یا مقادیر ثابت 0 و 1 و 1- باشد؛ این ALU امکان اعمال عملیات جمع و تفریق را دارد.

دستورات این پردازنده 6 بیتی هستند، بیت‌ها از سمت چپ به این صورت هستند:

* بیت اول (بیت sub): صفر برای جمع و یک برای تفریق
* بیت‌های دوم و سوم (سلکت رجیستر مقصد): شماره‌ی یکی از 4 رجیستر مقصد را مشخص می‌کند.
* بیت‌های چهارم تا ششم (سلکت ورودی دوم ALU): شماره‌ی یکی از 7 حالت ممکن را مشخص می‌کند.

پس از انجام عملیات مورد نظر، مقدار حاصل در رجیستری که انتخاب شده‌است، ذخیره می‌شود.

پیاده‌سازی مدار در پروتئوس:

برای پیاده‌سازی این پردازنده در پروتئوس از این تراشه‌های آماده استفاده کردیم:

* ۷۴198: 8-bit bidirectional shift register with clear

این تراشه یک شیفت‌رجیستر 8 بیتی است که قابلیت‌های پارالل لود، شیفت به چپ (با قرار دادن صفر/یک در LSB)، شیفت به راست (با قرار دادن صفر/یک در MSB) و عدم تغییر (نگه‌داشتن مقدار) را دارد. به کمک ورودی‌های S0 و S1 یکی از 4 حالت بالا و به کمک SR و SL صفر یا یک بودن بیت آخر هنگام شیفت را مشخص می‌کند.

* 74139: dual 4-line to 2-line decoder

این تراشه دو ورودی گرفته و خروجی مربوط به آن شماره را صفر می‌کند، در حالی که بقیه‌ی خروجی‌ها یک هستند.

* 74151: 1 of 8 data selectors/multiplexers

این تراشه همان مالتی‌پلکسر 8 به یک است و با توجه به سلکت 3 بیتی، یکی از 8 ورودی تک‌بیتی خود را خروجی می‌دهد.

* 74157: quadruple 1 of 2 data selectors/multiplexers

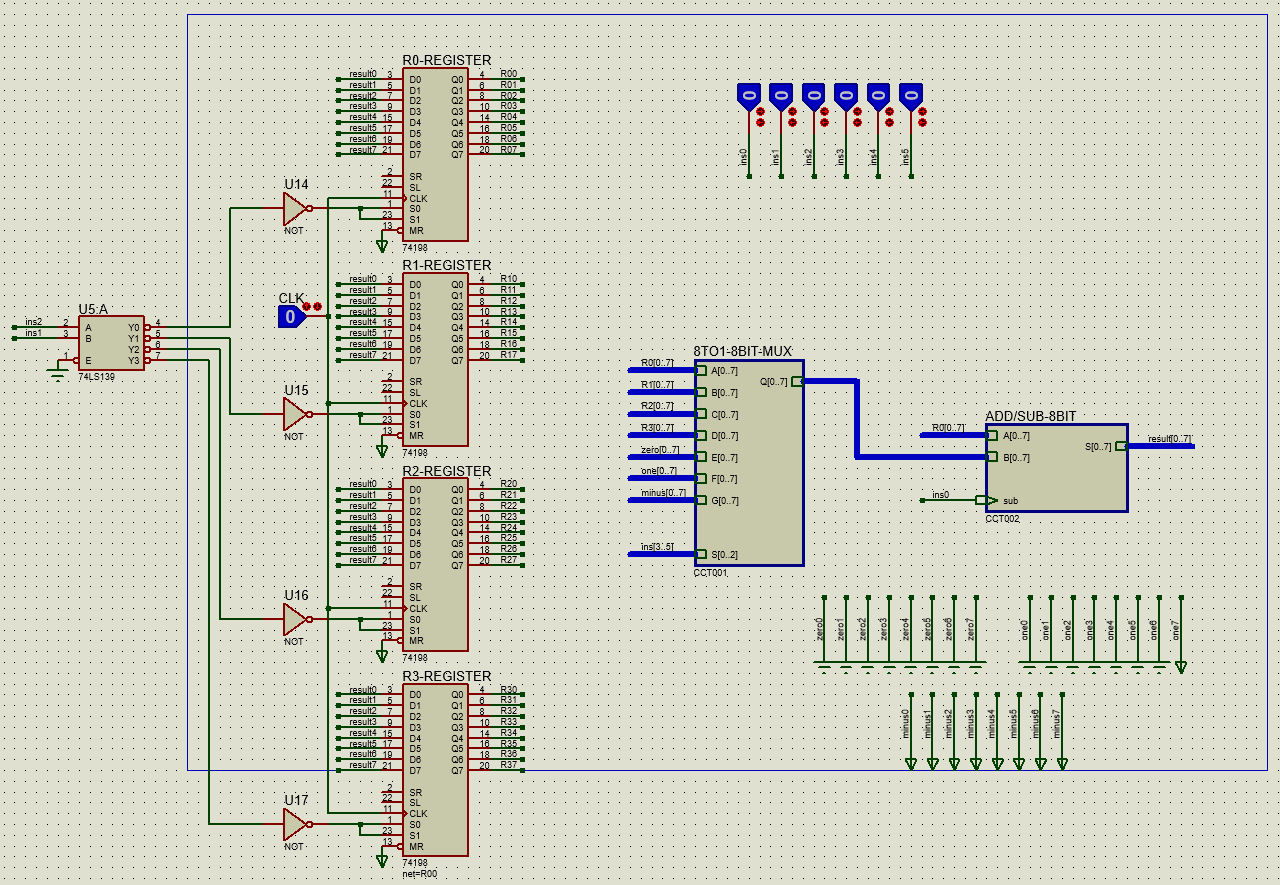
این تراشه شامل 4 مالتی‌پلکسر 2 به یک است و با توجه سلکت تک‌بیتی، یکی از 2 ورودی هر یک از مالتی‌پلکسرهای خودش را خروجی می‌دهد.

* 7483: 4-bit binary full adder

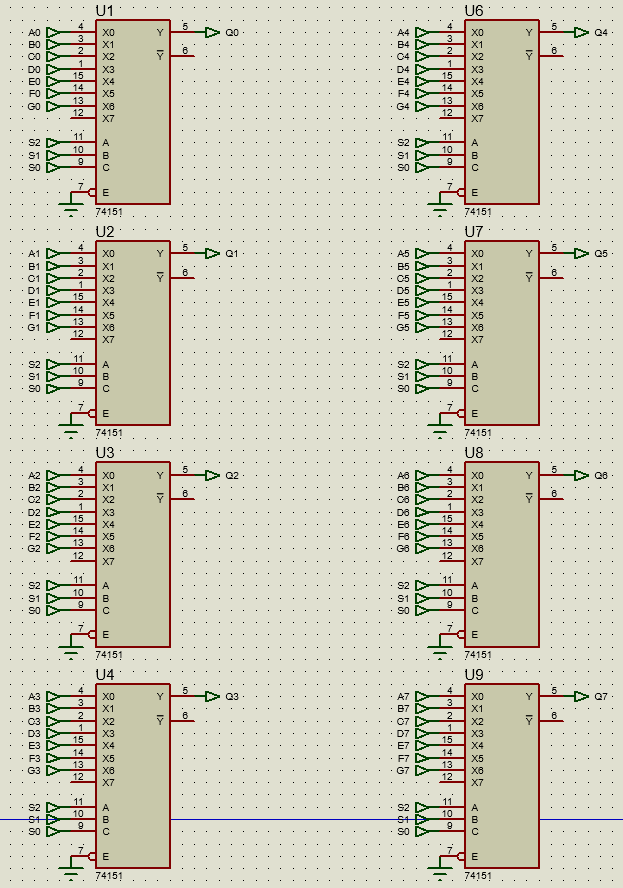
این تراشه فول‌ادر 4 بیتی است که دو عدد 4 بیتی و یک carry ورودی می‌گیرد و ضمن جمع کردن آن‌ها یک عدد 4 بیتی و یک carry خروجی می‌دهد.

* تراشه‌ی 7404 (hex inverse) نیز مورد استفاده است.

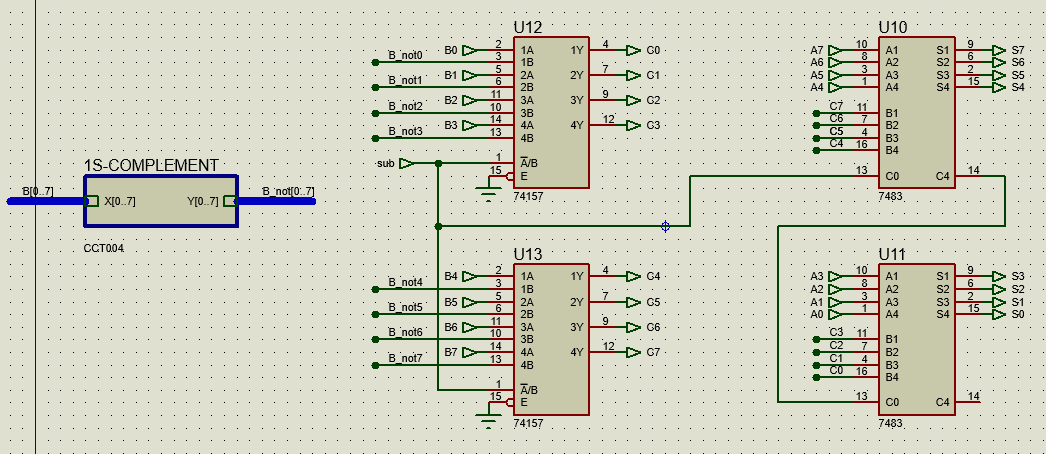
با توجه به توضیحاتی که در مورد پردازنده داده‌شد، این مدار را پیاده‌سازی کردیم:



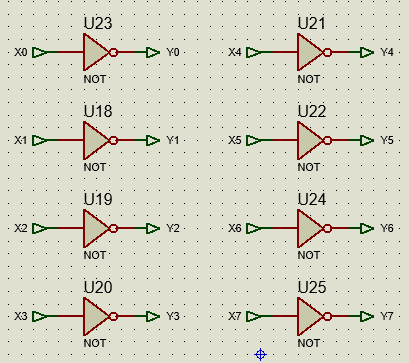
مدار داخلی بخش 8TO1-8BIT-MUX نیز بدین صورت است و هدف آن انتخاب یکی از 7 ورودی 8 بیتی به عنوان دومین ورودی ALU است:



همچنین مدار داخلی بخش ADD/SUB-8BIT نیز به صورت زیر است و هدف آن جمع یا تفریق دو ورودی 8 بیتی بر اساس سیگنال sub است:



در نهایت نیز مدار داخلی بخش 1S-COMPLEMENT به این شکل است و همه‌ی بیت‌های عدد 8 بیتی ورودی را not می‌کند:

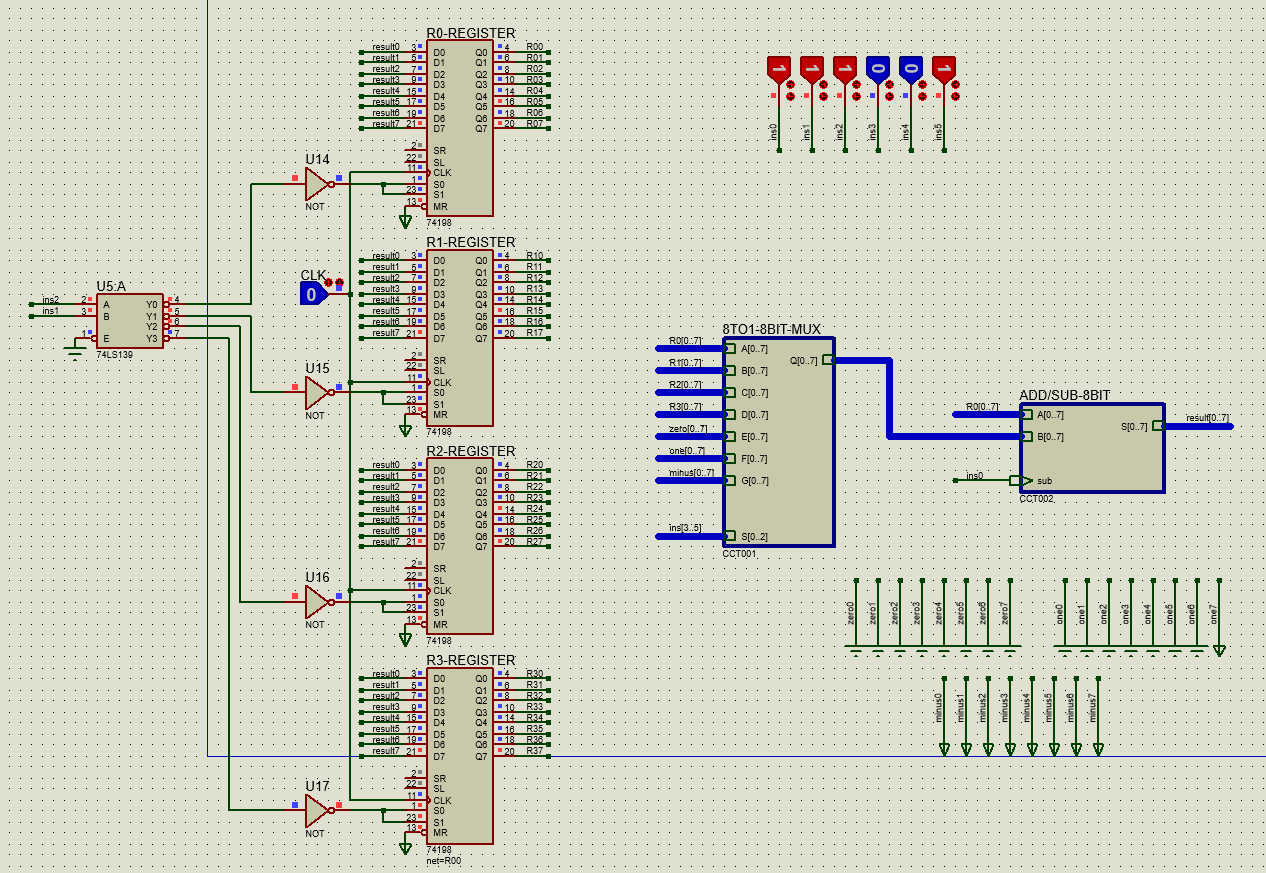


در این مدار، ماکس 8 بیتی 8 به یک ورودی دوم ALU را انتخاب می‌کند؛ سپس در ADD/SUB-8BIT ابتدا 1’s complement دومین ورودی محاسبه می‌شود، سپس بر اساس سیگنال sub یک عدد از میان ورودی دوم یا 1’s complement آن انتخاب می‌شود و به عنوان ورودی دوم adder ها داده می‌شود. ورودی اول adder ها نیز همان ورودی اول این مدار است. در نهایت نیز مقدار carry\_in اولین ادر 4 بیتی همان sub خواهد بود، تا در صورت نیاز به تفریق مقدار 1’s complement را یکی اضافه کرده و به 2’s complement تبدیل کند.

در نهایت نیز خروجی محاسبه‌شده توسط ALU در یکی از 4 رجیستر ذخیره می‌شود که توسط دیکودر مشخص شده‌است.

خروجی مدار

در این قسمت یک نمونه ورودی و خروجی برای این مدار نمایش داده شده است:



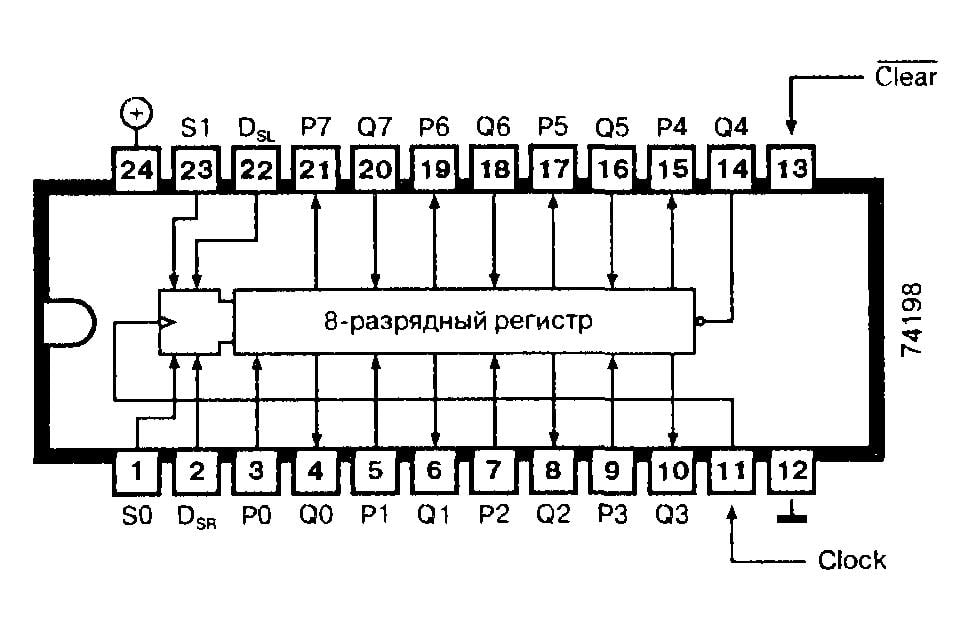
در این نمونه مقدار 5 در R0 و 4 در R1 ذخیره شده‌است، سپس مجموع آن‌ها (9) در R2 و تفاضل آن‌ها (1) در R3 ذخیره شده‌است.

پیاده‌سازی مدار به صورت فیزیکی:

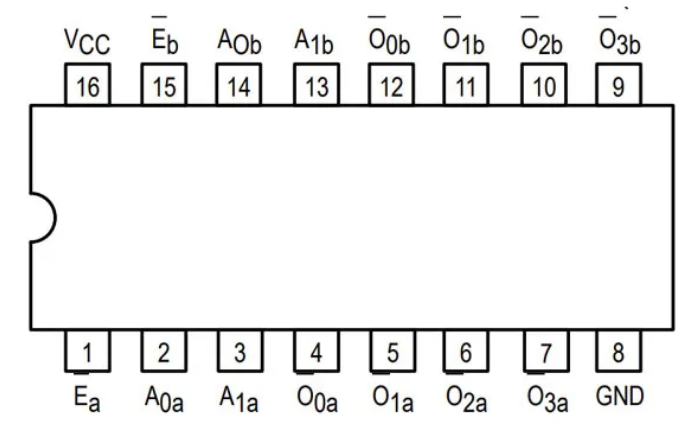
مداری که به صورت فیزیکی پیاده‌سازی کردیم، با کمی ساده‌سازی همراه بود. ورودی دوم ALU می‌تواند مقدار رجیسترهای R0، R1 و یا مقادیر ثابت 0 یا 1 باشد. همچنین خروجی نیز در R0 یا R1 ذخیره می‌شود؛ عملا رجیسترهای R2 و R3 حذف شده‌اند.

تراشه‌های مورد استفاده

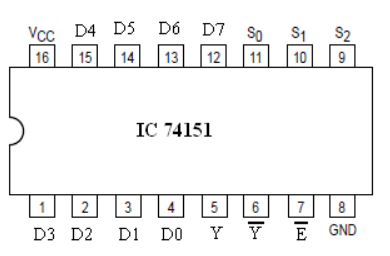
* 8-bit bidirectional shift register with clear: 74198



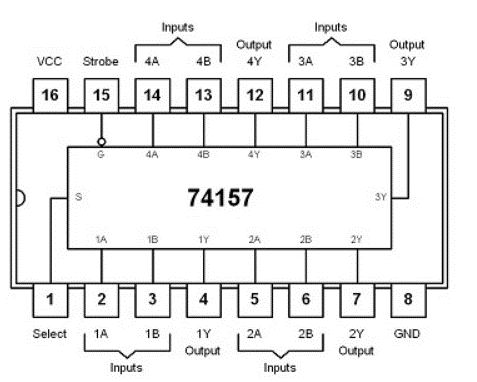
* dual 4-line to 2-line decoder: 74139



* 1 of 8 data selectors/multiplexers: 74151



* quadruple 1 of 2 data selectors/multiplexers: 74157



* 4-bit full adder: 7483

