

计算机组成

# 时序电路

## (从RS锁存器到D寄存器)

高小鹏

北京航空航天大学计算机学院

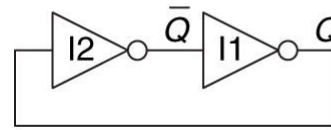
### 目录

- ▣ 双稳态电路
- ▣ RS锁存器
- ▣ D锁存器
- ▣ D寄存器
- ▣ 增强D寄存器的功能

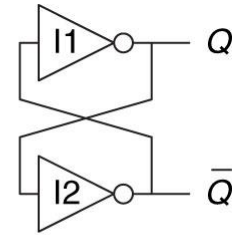
## 双稳态电路

- 问题： $Q$ 和 $\bar{Q}$ 到底取何值？
- 答案：取决于电路的初始状态
  - ◆  $Q=0$ ，则 $Q$ 永远为0
  - ◆  $Q=1$ ，则 $Q$ 永远为1
- 可以保存1位信息，但缺乏实用价值
  - ◆ 没有输入！

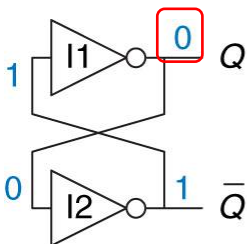
由2个反相器构成双稳态



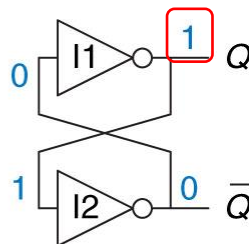
(a)



(b)



(a)



(b)

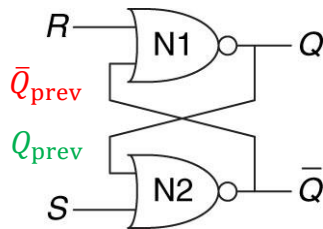
$Q$	$\bar{Q}$
0	1
1	0

## 目录

- 双稳态电路
- RS锁存器
- D锁存器
- D寄存器
- 增强D寄存器的功能

## RS锁存器

- 结构特征：2个或非门输出信号交叉反馈
  - ◆ 2个输入信号：1个来自外部输入，1个来自另一门的输出
- 输出诉求：2个输出值应该为互补（一个若为0，另一个则1）
- $Q_{prev}/Q$ ：代表推理前/后的值
  - ◆ 由于内部输入就是外部输出，为了便于书写表达式和推理，因此使用独立的命名



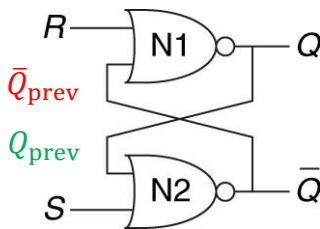
$$Q = \overline{R | \bar{Q}_{prev}}$$

$$\bar{Q} = \overline{S | Q_{prev}}$$

5

## RS锁存器

- 先分析：外部输入能直接决定输出值的组合
  - ◆ 以或非门为例：如果任意外部输入为1，则输出必为0
- 再分析：外部输入不能直接决定输出值的组合
  - ◆ 假设 $Q_{prev}$ 值然后推理。重点关注：推理得出的 $Q$ 和假设的 $Q_{prev}$ 是否一致



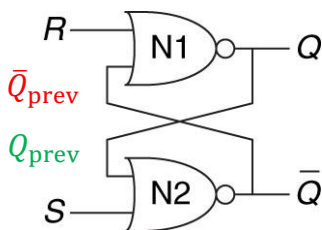
序	S	R	$Q_{prev}$	$Q$	$\bar{Q}$
1	0	1	X	0	1
2	1	0	X	1	0
3	1	1	X	0	0
4.1	0	0	0	0	1
4.2	0	0	1	1	0

假设 $Q_{prev}$ 为0  
假设 $Q_{prev}$ 为1

6

## RS锁存器：一个R/S为开关的盒子

- 1) 当R和S为0/1或1/0组合时，则电路的内部取值与R/S取值相关
- 2) 当R和S为0/0时，则电路的内部取值与R/S取值无关，而是取决于之前的内部取值
- 如果内部电路看成是一把可以放入0或1的盒子，那么R/S的取值就是开关
  - ◆ R/S取值为0/0：开关在正中，盒子关闭。之前放入了什么，那盒子就永远是什么
  - ◆ R/S取值为0/1：开关往左拧，盒子打开&放入1
  - ◆ R/S取值为1/0：开关往右拧，盒子打开&放入0

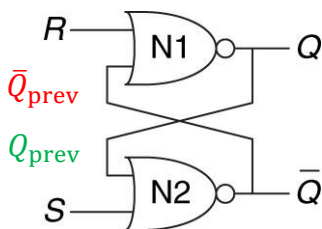


序	S	R	$Q_{prev}$	$Q$	$\bar{Q}$
1	0	1	X	0	1
2	1	0	X	1	0
3	1	1	X	0	0
4.1	0	0	0	0	1
4.2	0	0	1	1	0

7

## 如何使用RS锁存器，才能保存0或1？

- 以保存1为例，进行反向推理
  - ◆ -1步：要想保存1，意味着R/S取值为0/0，并且 $Q_{prev}$ 必须为1
  - ◆ -2步：如果 $Q_{prev}$ 为1，则必须让R/S取值为0/1
- 正向设置
  - ◆ 第1步：设置R/S取值为0/1，目的在于设置Q（即 $Q_{prev}$ ）为1
  - ◆ 第2步：设置R/S取值为0/0，目的在于让内部状态与R/S（外部信号）无关



序	S	R	$Q_{prev}$	$Q$	$\bar{Q}$
1	0	1	X	0	1
2	1	0	X	1	0
3	1	1	X	0	0
4.1	0	0	0	0	1
4.2	0	0	1	1	0

8

## 保存1的动态过程分析

- 分析要点：N1和N2独立工作，执行时间相同
  - 以N1为例，其计算结果在N2计算完成之前，仅与N1当前输入有关

T0:  $R=0$ ,  $S=1$ ,  $Q=1$ ,  $\bar{Q}=0$

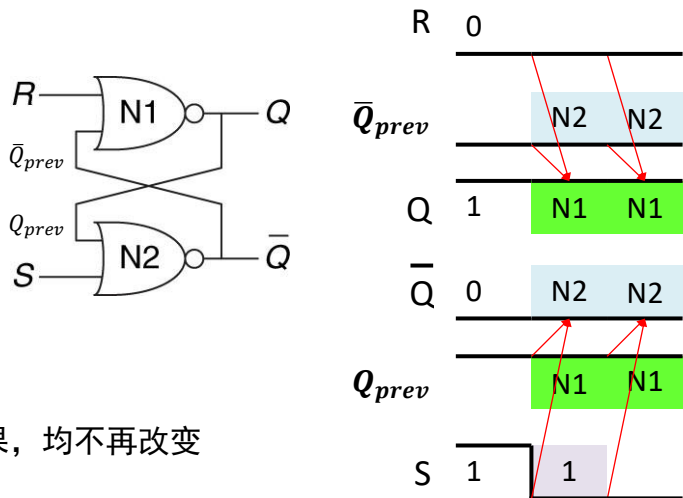
T1:  $R=0$ ,  $S=0$

- N2:  $Q_{prev}=1$ 且 $S=0$ , 因此 $\bar{Q}=0$
- N1: 类似分析, 因此 $Q=1$

T2:  $R=0$ ,  $S=0$  (S继续保持)

- $Q$ 和 $\bar{Q}$ , 可以继续保持之前的值

在S从1变为0后, N1和N2的计算结果, 均不再改变

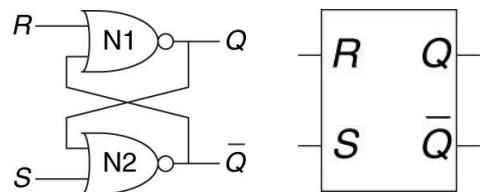


## RS锁存器

RS锁存器功能：清除、置位、保持

- S: 代表Set的意思
- R: 代表Reset的意思

使用禁忌：R和S不能同时为1



序	S	R	$Q_{prev}$	$Q$	$\bar{Q}$
1	0	1	X	0	1
2	1	0	X	1	0
3	1	1	X	0	0
4.1	0	0	0	0	1
4.2	0	0	1	1	0

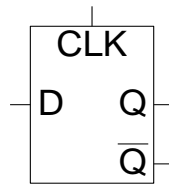
功能	S	R	$Q$	$\bar{Q}$
清除	0	1	0	1
置位	1	0	1	0
保持	0	0	$Q_{prev}$	$\bar{Q}_{prev}$
非法	1	1	0	0

## RS锁存器的局限性

- 从语义上看：寄存器保存的是数据，因此外部特性应该是有数据输入和数据输出
  - ◆ R和S的语义是控制，与寄存器的外部特性的需求不一致
- 从时序上看：数字系统为协调各部分电路运行，要求电路在**时钟信号**控制下统一动作
  - ◆ 仅在时钟**边沿处**（0→1）保存输入，但RS锁存器不具有时间特性

### □ D锁存器的输入输出信号

- ◆ D：输入
- ◆ Q：输出
- ◆ CLK：时钟

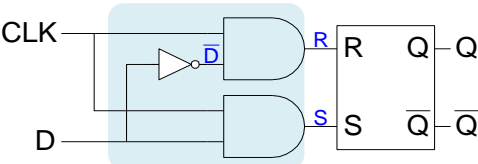


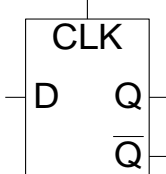
## 目录

- 双稳态电路
- RS锁存器
- **D锁存器**
- D寄存器
- 增强D寄存器的功能

D锁存器<sup>1/4</sup>

D锁存器的内部结构



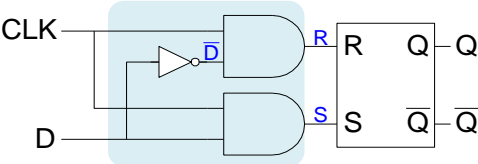


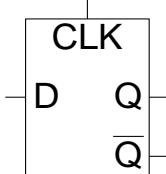
CLK	D	$\bar{D}$	S	R	Q	$\bar{Q}$
外部输入		1、内部输入				
		2、真值表推演				

功能	S	R	Q	$\bar{Q}$
保持	0	0	$Q_{prev}$	$\bar{Q}_{prev}$
清除	0	1	0	1
置位	1	0	1	0
非法	1	1		

D锁存器<sup>2/4</sup>

保持功能



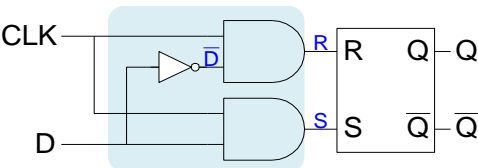


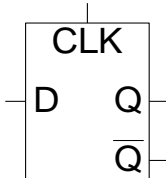
CLK	D	$\bar{D}$	S	R	Q	$\bar{Q}$
0	X	X	0	0	$Q_{prev}$	$\bar{Q}_{prev}$

功能	S	R	Q	$\bar{Q}$
保持	0	0	$Q_{prev}$	$\bar{Q}_{prev}$
清除	0	1	0	1
置位	1	0	1	0
非法	1	1		

D锁存器<sup>3/4</sup>

清除功能



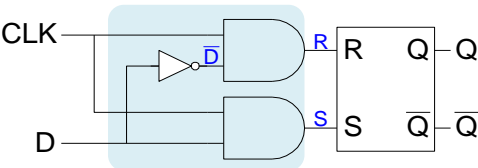


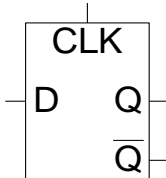
CLK	D	$\bar{D}$	S	R	$Q$	$\bar{Q}$
0	X	X	0	0	$Q_{\text{prev}}$	$\bar{Q}_{\text{prev}}$
1	0	1	0	1	0	1

功能	S	R	$Q$	$\bar{Q}$
保持	0	0	$Q_{\text{prev}}$	$\bar{Q}_{\text{prev}}$
清除	0	1	0	1
置位	1	0	1	0
非法	1	1		

D锁存器<sup>4/4</sup>

置位功能





CLK	D	$\bar{D}$	S	R	$Q$	$\bar{Q}$
0	X	X	0	0	$Q_{\text{prev}}$	$\bar{Q}_{\text{prev}}$
1	0	1	0	1	0	1
1	1	0	1	0	1	0

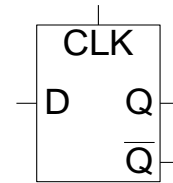
功能	S	R	$Q$	$\bar{Q}$
保持	0	0	$Q_{\text{prev}}$	$\bar{Q}_{\text{prev}}$
清除	0	1	0	1
置位	1	0	1	0
非法	1	1		



## D锁存器的意义

### □ 有了时间概念，即：When, What

- ◆ When: CLK, 决定何时保存
- ◆ What: D, 决定保存何值
- ◆ CLK = 1: D传递至Q (透明传输)
- ◆ CLK = 0: Q保持为前值



CLK	D	Q
0	X	$Q_{prev}$
1	D	D

### □ 避免了非法状态，即确保了 $Q \equiv \text{NOT } \bar{Q}$

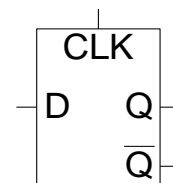
- ◆ 不会出现Q与 $\bar{Q}$ 同值

## D锁存器的局限性

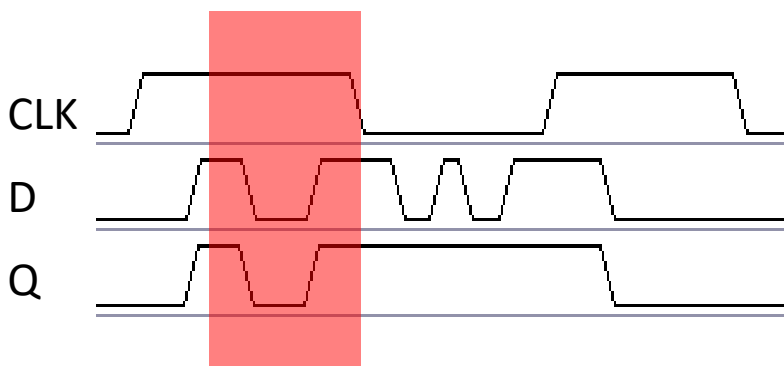
### □ 在时钟高电平阶段，Q会随D翻转

- ◆ 这种特性被称为：电平缓冲器

### □ CLK还没有完全达到对时钟的设计初衷



CLK	D	Q
0	X	$Q_{prev}$
1	D	D



## 目录

- 双稳态电路
- RS锁存器
- D锁存器
- **D寄存器**
- 增强D寄存器的功能

## D寄存器

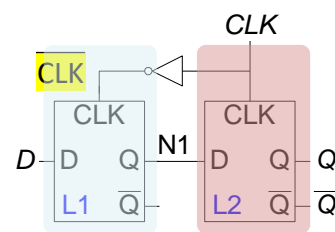
- 内部结构：由2个锁存器串接而成，并且时钟反相

- ◆ CLK = 0

- L1: 透传; L2: 保持
- D传递至N1

- ◆ CLK = 1

- L1: 保持; L2: 透传
- N1传递至Q



CLK	D	Q
0	X	$Q_{\text{prev}}$
1	D	D

D锁存器真值表



CLK	<b>CLK</b>	D	N1	Q
0	1	0	0	$Q_{\text{prev}}$
0	1	1	1	$Q_{\text{prev}}$
1	0	X	0	0
1	0	X	1	1

## D寄存器

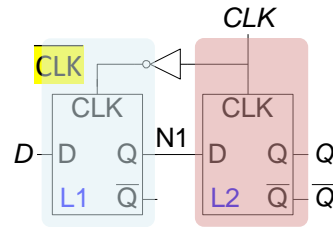
□ 内部结构：由2个锁存器串接而成，并且时钟反相

◆ CLK = 0

- L1: 透传; L2: 保持
- D传递至N1

◆ CLK = 1

- L1: 保持; L2: 透传
- N1传递至Q



□ 外部特性：CLK从0变为1（时钟边沿）时，D被L1锁存并透传至Q

CLK	D	Q
0	X	$Q_{prev}$
1	D	D

D锁存器真值表

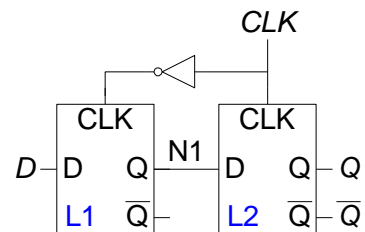
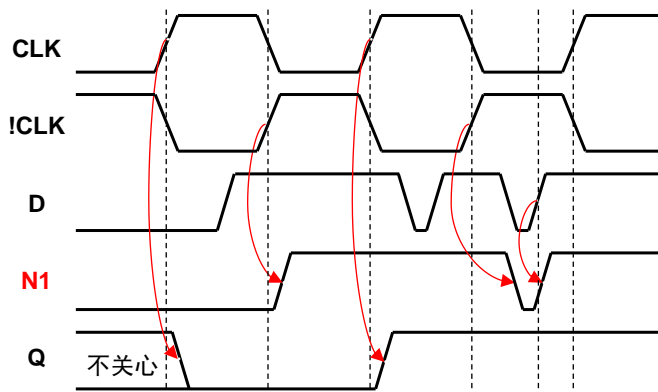


CLK	CLK	D	N1	Q
0	1	0	0	$Q_{prev}$
0	1	1	1	$Q_{prev}$
1	0	X	0	0
1	0	X	1	1

## D寄存器工作时序

□ 实现了边沿处保存数据

□ D在非边沿区域的任何变化都不会影响Q



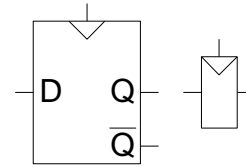
CLK	D	Q
0	X	$Q_{prev}$
1	D	D

D锁存器真值表

## D寄存器

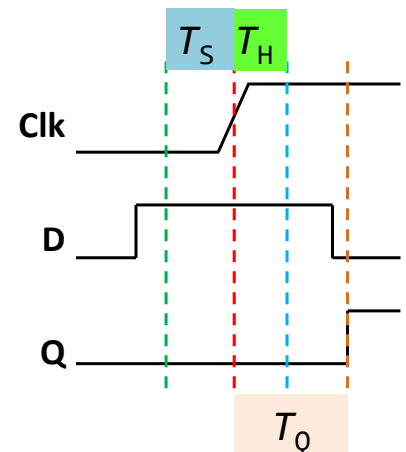
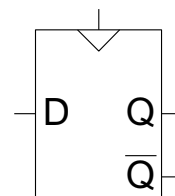
- 输入：CLK, D
- 功能：CLK上升沿时采样D
  - ◆ CLK从0变为1：D传递至Q
  - ◆ 其他条件：Q保持前值
- 输出：Q，仅在CLK上升沿处改变
- 这种特性被称为**边沿触发**

D Flip-Flop Symbols



## D寄存器的时间特性

- 决定D值能否被保存，取决于 $T_S$ 和 $T_H$
- 决定Q值最快多久能被**看见**，取决于 $T_Q$
- $T_S$ ：建立时间，Setup Time
  - ◆ CLK边沿前，D必须保持稳定的时间
- $T_H$ ：保持时间，Hold Time
  - ◆ CLK边沿后，D必须保持稳定的时间
- $T_Q$ ：输出延迟，CLK-to-Q延迟
  - ◆ CLK边沿后，Q输出有效值的时间



## 目录

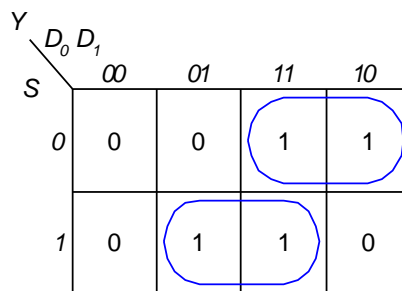
- 双稳态电路
- RS锁存器
- D锁存器
- D寄存器
- 增强D寄存器的功能

## 多路选择器（MUX）

- MUX：根据控制信号取值，让输出信号的取值为多个输入信号的某个取值
- 二选一，2:1 MUX

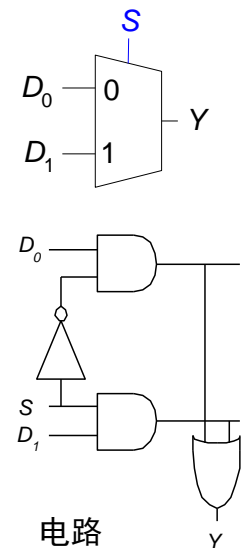
S	D <sub>1</sub>	D <sub>0</sub>	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

真值表



$$Y = D_0 \bar{S} + D_1 S$$

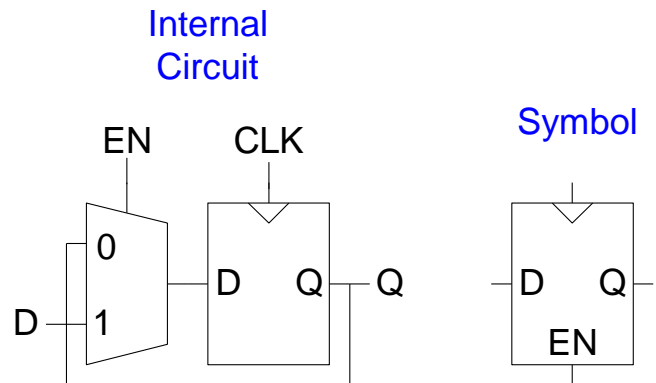
卡诺图/表达式



电路

## 带使能的D寄存器

- 输入：CLK, D, EN
  - ◆ EN: EN有效时, D才能被写入寄存器
- EN = 1: 当时钟上升沿时, D写入寄存器
- EN = 0: 寄存器保持前值



## 带同步清除的D寄存器

- 输入：CLK, D, Reset
- Reset = 1: 寄存器被强制写入0
- Reset = 0: 寄存器可以被自由写入

