第三讲 时序逻辑 作业

## 一、单选题

1. 若JK触发器的原始状态为0，欲在CP作用后保持0状态，则激励函数JK的值应是（ ）。

A．J=1，K=1 B．J=0，K=0

C．J=0，K=x D．J=x，K=x

1. 下列电路中，只有（ ）不能实现。

A． B．

接高电平

**Q**

**Q**

**1J**

**1K**

**C1**

**Q**

**Q**

**1D**

**C1**

C． D．

**Q**

**Q**

**1J**

**1K**

**C1**

**Q**

**Q**

**1J**

**1K**

**C1**

1. 如下各触发器电路中，能实现功能的电路是（ ）。

A． B．

**Q**

**Q**

**1D**

**C1**

**&**

**A**

**CP**

**Q**

**Q**

**1J**

**C1**

**&**

**A**

**CP**

**1K**

**&**

C． D．

**CP**

**Q**

**Q**

**1D**

**C1**

**&**

**A**

**Q**

**Q**

**1J**

**C1**

**&**

**A**

**CP**

**1K**

**&**

1. 用3级触发器可以记忆（ ）种不同的状态。

A．8 B．16 C．128 D．256

1. 同步计数器是指（ ）的计数器。

A．由同类型的触发器构成

B．各触发器时钟端连在一起，统一由系统时钟控制

C．可用前级的输出做后级触发器的时钟

D．可用后级的输出做前级触发器的时钟

1. 由4级触发器构成的二进制计数器，其模值为（ ）。

A．16 B．20 C．1000 D．1024

1. 同步4位二进制减法计数器的借位方程是，则可知B的周期和正脉冲宽度为（ ）。

A．16个CP周期和2个CP周期

B．16个CP周期和1个CP周期

C．8个CP周期和8个CP周期

D．8个CP周期和4个CP周期

1. 已知Q3 Q2 Q1 Q0是同步十进制计数器的触发器输出，若以Q3作进位C，则C的周期和正脉冲宽度是（ ）。

A．10个CP脉冲，正脉冲宽度为1个CP周期

B．10个CP脉冲，正脉冲宽度为2个CP周期

C．8个CP脉冲，正脉冲宽度为1个CP周期

D．8个CP脉冲，正脉冲宽度为2个CP周期

1. 一个4位移位寄存器原来的状态为0000，如果串行输入始终为1，则经过4个移位脉冲后寄存器的内容为（ ）。

A．0001 B．0111 C．1110 D．1111

1. 可以用来实现并/串转换和串/并转换的器件是（ ）。

A．计数器 B．移位寄存器 C．存储器 D．全加器

1. 设计模值为36的计数器至少需要（ ）级触发器。

A. 5 B.6 C.3 D.4

1. 用Verilog HDL设计同步清除的计数器时，在always语句的敏感参数表中（ ）。

A．需要列出时钟信号和清除信号标示符的有效边沿

B．只需要列出时钟信号标示符的有效边沿

C．只需要列出清除信号标示符的有效边沿

1. 只需要列出时钟信号或者清除信号标示符的有效边沿

二、使用D触发器和与非门设计一个4人抢答逻辑电路。具体要求如下：

1. 每个参赛者控制一个按钮，用按钮发出抢答信号。
2. 竞赛主持人控制另一个按钮，用于电路复位。
3. 竞赛开始后，先按动按钮者将对应的一个发光二极管点亮，此后其他3人再按动按钮对电路不起作用。

**提示**：抢答逻辑电路通常用于智力竞赛的抢答比赛中。由于参赛者按动按钮发出的信号不能自行保持，而且按动的动作可能有先后、长短之别，所以需要4个触发器分别保存4个参赛者按动按钮发出的信号。由于只要求触发器具有置1（抢答）、置0（复位）功能即可，所以采用RS、D、JK触发器均可，对结构类型也无特定要求。

此外，最先产生的抢答信号还应控制其它后来产生的抢答信号无法改变自身触发器的值，这样在抢答结束时就可根据各触发器的状态判断是哪位选手最先按下抢答按钮的。因此，需要将4个触发器的反相输出分别引入到一个与非门的输入端，并与输入时钟信号相与，再将与非门的输出作为各触发器的时钟信号。

1. 设计一个自动售货机控制器，每次可以任意投入一枚五分或1角的硬币。货物价格为20分，当投入足够的钱后，售货机吐出货物并找零钱。请完成下列任务：1）画出实现上述功能的状态机；2）列出二进制编码的状态转换表和输出逻辑真值表，给出次态每一位编码的逻辑函数表达式和输出逻辑函数表达式，并化简。
2. 分析下图所示电路，要求写出分析过程，画出状态图和时序图，并说明电路特点。



1. 下图是一个实现两位加法的电路，有两个1位全加器和两个寄存器电路组成。假定：
2. 触发器时钟上升沿到输出端Q有效的最小延迟和最大延迟分别为21ps和35ps，触发器的建立时间（Setup time）和保持时间（Hold time）分别为30ps和10ps；
3. 每个全加器从Cin到Cout和S（和）输出端的最小延迟和最大延迟分别都是15ps和20ps ;从A、B输入端到Cout的最小延迟和最大延迟分别是22ps 和25ps；从A、B输入端到S（和）输出端的最小延迟和最大延迟分别是22ps 和30ps；

假定没有时钟偏移，计算该电路的最大工作频率？

