

姿态解算算法电路的设计文档

项目名称：旋翼飞行器的飞行控制芯片设计

文 档 ID : I.00.00.01

部 门 :

作 者 :

指 导 者 :

日 期 : 2015. 4. 23

版 本 号 : V0.1

版本历史

同意书

目 录:

版本历史	2
同意书	3
1 引言	5
1.1 目的及范围	5
1.2 缩略词	5
1.3 术语表	5
1.4 参考文献	5
2 接口	5
2.1 硬件接口	5
2.2 软件接口（略）	7
3 设计描述	7
3.1 功能描述	7
3.1.1 总体框图	7
3.1.2 加速度计测量误差计算模块的描述	9
3.1.3 电子罗盘测量误差计算电路的设计	11
3.1.4 陀螺仪测量误差修正计算电路的设计	13
3.1.5 四元数更新电路的设计	15
3.1.6 姿态转换矩阵更新电路的设计	17
3.1.7 姿态角解算电路的设计	19
3.1.8 反正切函数电路的设计	20
3.2 RTL 实现	22
4 验证	22
4.1 验证策略	22
4.2 验证环境	22
4.2.1 验证 Test Bench	22
4.2.2 行为级模型	22
4.2.3 总线功能模型	22
4.2.4 Test Case 列表	22
5 综合	30
5.1 综合库描述	30
5.2 设计约束及实现结果	30
5.3 时序约束及实现结果	30
5.4 RAM 的综合	30
5.5 门数及面积	30
6 静态时序分析（STA）	30
6.1 Prime time 的 Tcl 脚本	30
6.2 关键路径	31
7 可测性设计（DFT）	31
7.1 可测性设计接口电路	31
7.2 扫描链	31
7.3 Memory BIST	31
8 布局及布线	31

1 引言

1.1 目的及范围

本文档介绍了旋翼飞行器飞行控制芯片中姿态解算电路的设计。该姿态解算电路的设计具有以下特点：固参可调，数据精确度高。在本设计中使用了 32 位有符号浮点数和 16 位有符号定点数。

1.2 缩略词

<i>ACC</i>	<i>Accelerometer</i>	加速度计
<i>MAG</i>	<i>Magnetometer</i>	电子罗盘
<i>GYRO</i>	<i>Gyroscope</i>	陀螺仪
<i>CORDIC</i>	<i>Coordinate Rotation Digital Computer</i>	坐标旋转数字计算

1.3 术语表

1.4 参考文献

2 接口

姿态解算电路通过硬件接口的互连与其它设计相连，由于姿态解算电路中没有可编程寄存器组，因此没有软件接口。

2.1 硬件接口

图 2-1 给出了姿态解算电路顶层电路的设计接口框图，表 2-1 则给出了接口中各个输入和输出信号的具体描述。

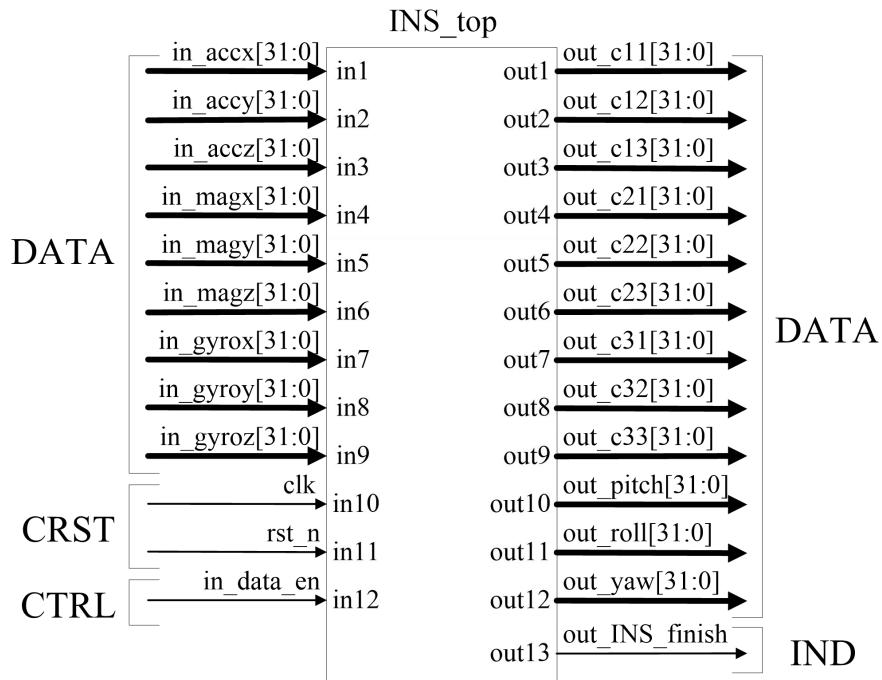


图 2-1 顶层电路的设计接口框图
Figure 2-1 INS Circuit I/O diagram

表 2-1 顶层电路的接口信号
Table 2-1 Interface of INS Circuit

Pin Name	I/O	Clk domain	Description
Clock&Reset interface			
clk	I	N/A	FIFO clock input (Typical value 100MHz)
rst_n	I	N/A	Reset (active low, asynchronous).
Data in/out interface			
in_accx[31:0]	I	clk	Accelerometer measure data of x-axis
in_accy[31:0]	I	clk	Accelerometer measure data of y-axis
in_accz[31:0]	I	clk	Accelerometer measure data of z-axis
in_magx[31:0]	I	clk	Magnetometer measure data of x-axis
in_magy[31:0]	I	clk	Magnetometer measure data of y-axis
in_magz[31:0]	I	clk	Magnetometer measure data of z-axis
in_gyrox[31:0]	I	clk	Gyroscope measure data of x-axis
in_gyroy[31:0]	I	clk	Gyroscope measure data of y-axis
in_gyroz[31:0]	I	clk	Gyroscope measure data of z-axis
out_c11[31:0]	O	clk	Updated data of 1st row and 1st column of attitude matrix
out_c12[31:0]	O	clk	Updated data of 1st row and 2nd column of attitude matrix
out_c13[31:0]	O	clk	Updated data of 1st row and 3rd column of attitude matrix
out_c21[31:0]	O	clk	Updated data of 2nd row and 1st column of attitude matrix

out_c22[31:0]	O	clk	Updated data of 2nd row and 2nd column of attitude matrix
out_c23[31:0]	O	clk	Updated data of 2nd row and 3rd column of attitude matrix
out_c31[31:0]	O	clk	Updated data of 3rd row and 1st column of attitude matrix
out_c32[31:0]	O	clk	Updated data of 3rd row and 2nd column of attitude matrix
out_c33[31:0]	O	clk	Updated data of 3rd row and 3rd column of attitude matrix
out_pitch[31:0]	O	clk	Solved pitch data
out_roll[31:0]	O	clk	Solved roll data
out_yaw[31:0]	O	clk	Solved yaw data
Control and indicator interface			
in_data_en	I	clk	Circuit work strobe (active_high), when in_data_en is asserted, Sensors' data had been read completely.
out_INS_finish	O	clk	Attitude solution finish strobe (active_high)

2.2 软件接口（略）

3 设计描述

3.1 功能描述

姿态解算电路是一个由有限状态机控制的多模块串行操作电路，它包括顶层控制电路（INS_top）、三轴加速度计测量误差计算电路（INS_acc）、三轴电子罗盘测量误差计算电路（INS_mag）、三轴陀螺仪测量误差修正电路（INS_gyro）、四元数更新电路（INS_quat）、姿态转换矩阵更新电路（INS_matx）和三轴姿态角解算电路（INS_euler）。

在系统复位状态下，电路中所有接口对应的寄存器都为空，姿态转换矩阵复位为 $C_n^b = \text{diag}[1 \ 1 \ 1]$ ，四元数复位为 $Q = [q_0 \ q_1 \ q_2 \ q_3]^T = [1 \ 0 \ 0 \ 0]^T$ 。在将前级电路（传感器接口电路）采样的九轴数据全部读取完毕后，芯片总控电路 CONTROLLER 将 in_data_en 拉高，电路检测到开始进行工作，直到 out_INS_finish 被拉高，标志一次解算工作完毕，并将解算后的三轴姿态角及本次解算过程中更新的姿态转换矩阵九个元素输出。

3.1.1 总体框图

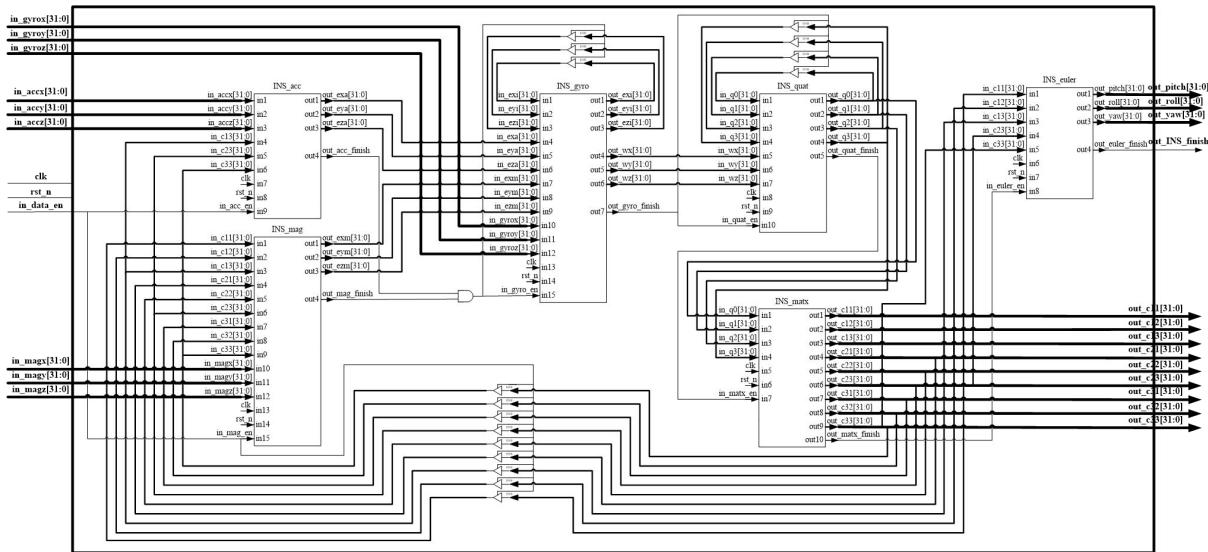


图 3-1 姿态解算电路的总体框图
Figure 3-1 Diagram of INS Circuit

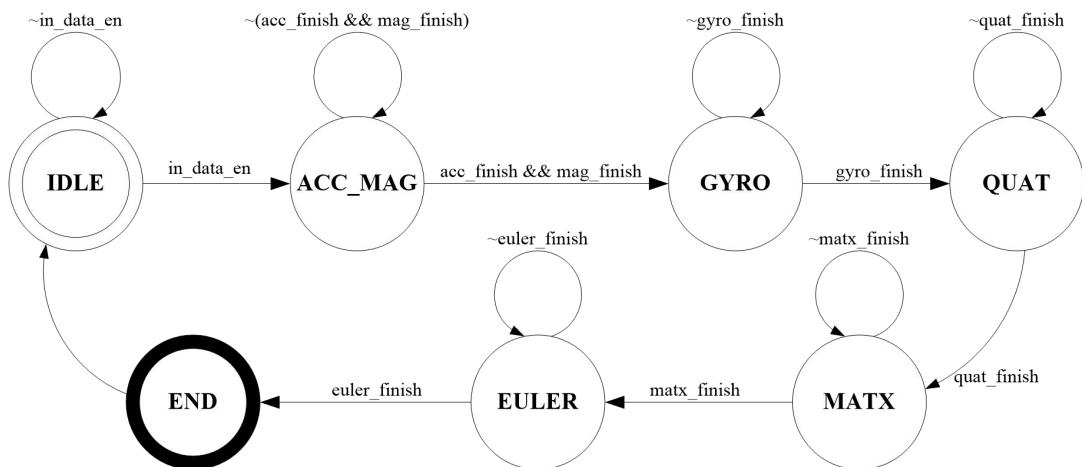


图 3-2 姿态解算电路的状态迁移图
Figure 3-2 State Transition Diagram of INS Circuit

顶层电路主要由一个对子模块的辅助信号进行判断并发送控制信号的有限状态机组成。通过状态迁移过程来控制三轴加速度计测量误差解算电路（INS_acc）、三轴电子罗盘测量误差解算电路（INS_mag）、三轴陀螺仪测量误差修正电路

（INS_gyro）、四元数更新电路（INS_quat）、姿态转换矩阵更新电路（INS_matx）和三轴姿态角解算电路（INS_euler）的工作顺序。

顶层电路中共有 6 个状态，如图 3-2 所示，分别为 IDLE（初始状态）、加速度计和电子罗盘测量误差模块工作状态（ACC_MAG）、陀螺仪测量误差修正模块工作状态（GYRO）、四元数更新模块工作状态（QUAT）、姿态转换矩阵更新模块工作状态（MATX）、姿态角解算模块工作状态（EULER）和结束状态（END）。

在系统复位状态下，姿态转换矩阵置为 $C_n^b = \text{diag}[1 \ 1 \ 1]$ ，四元数置位为 $Q = [q_0 \ q_1 \ q_2 \ q_3]^T = [1 \ 0 \ 0 \ 0]^T$ ，状态置为到初始状态将电路中所有接口对应的寄存器都置为空，所有辅助信号都置为低电平。当控制信号 in_data_en 被

CONTROLLER 置为高电平后，进行九轴传感器测量数据的读取操作，状态跳转至 ACC_MAG，将加速度计测量误差计算电路和电子罗盘测量误差计算电路的辅助控制信号置为高电平使两电路开始工作；当加速度计测量误差计算电路和电子罗盘测量误差计算电路都将数据处理完毕，输出辅助信号 acc_finish 和 mag_finish 都被置为高电平后，状态跳转至 GYRO，将陀螺仪测量误差修正电路的辅助控制信号置为高电平使电路开始工作；当陀螺仪测量误差修正电路将数据处理完毕，输出辅助信号 gyro_finish 被置为高电平后，状态跳转至 QUAT，将四元数更新电路的辅助控制信号置为高电平使电路开始工作；当四元数更新电路将数据处理完毕，输出辅助信号 quat_finish 被置为高电平后，状态跳转至 MATX，将姿态转换矩阵更新电路的辅助控制信号置为高电平使电路开始工作；当姿态转换矩阵更新电路将数据处理完毕，输出辅助信号 matx_finish 被置为高电平后，状态跳转至 EULER，将姿态角解算电路的辅助控制信号置为高电平使电路开始工作；当姿态角解算电路将数据处理完毕，输出辅助信号 euler_finish 被置为高电平后，状态跳转至 END；在 END 状态下将解算得到的姿态角和姿态转换矩阵九个元素输出，并跳转至初始状态 IDLE。至此，一次姿态解算过程结束。

3.1.2 加速度计测量误差计算模块的描述

加速度计测量误差计算电路用来计算加速度计测量数据与参考比力之间的相对误差，图 3-3 给出了加速度计测量误差计算电路的设计接口框图，表 3-1 则给出了接口中各个输入和输出信号的具体描述。

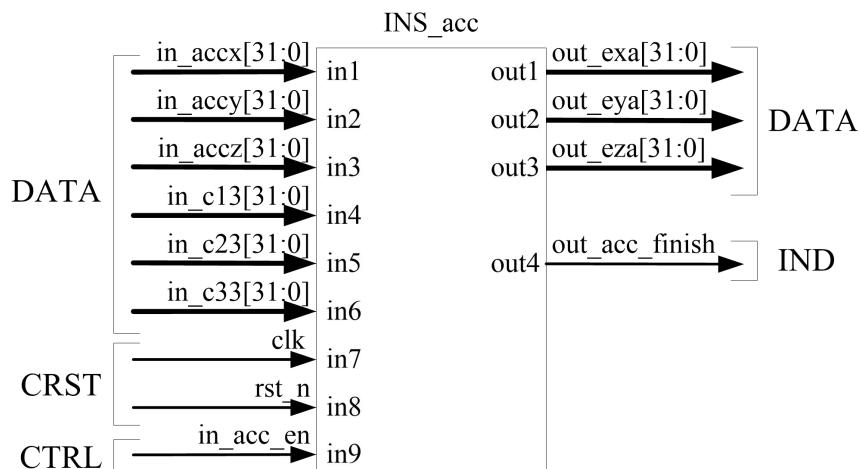


图 3-3 加速度计测量误差计算电路的接口框图

表 3-1 加速度计测量误差计算电路的接口信号

Pin Name	I/O	Clk domain	Description
Clock&Reset interface			
clk	I	N/A	Clock input (Typical value 100MHz)
rst_n	I	N/A	Reset (active low, asynchronous).
Data in/out interface			
in_accx[31:0]	I	clk	Accelerometer measure data of x-axis
in_accy[31:0]	I	clk	Accelerometer measure data of y-axis

in_accz[31:0]	I	clk	Accelerometer measure data of z-axis
in_c13[31:0]	I	clk	Previous data of 1 st row and 3 rd column of
in_c23[31:0]	I	clk	Previous data of 2 nd row and 3 rd column of
in_c33[31:0]	I	clk	Previous data of 3 rd row and 3 rd column of
out_exa[31:0]	O	clk	Error of Accelerometer measure data of x-
out_eya[31:0]	O	clk	Error of Accelerometer measure data of y-
out_eza[31:0]	O	clk	Error of Accelerometer measure data of z-

Control and indicator interface			
in_acc_en	I	clk	Circuit work strobe (active_high), when in_acc_en is asserted, circuit will start
out_acc_finish	O	clk	Circuit work out the data strobe

加速度计测量误差计算电路由控制电路工作时序的有限状态机、浮点数加/减法器、浮点数乘法器、浮点数除法器、浮点数开方器和与其他电路互联的接口。为了描述简便，该电路可分为三轴测量值归一化电路（ACC_NOR）和测量误差计算电路（ACC_CAL），由于电路设计过程中使用了大量逻辑优化，这里不再给出加速度计测量误差计算电路底层 IP 核间的电气连接和状态机控制电路的电气连接原理图。加速度计测量误差计算电路的框图和状态迁移图分别如图 3-4 和图 3-5 所示。

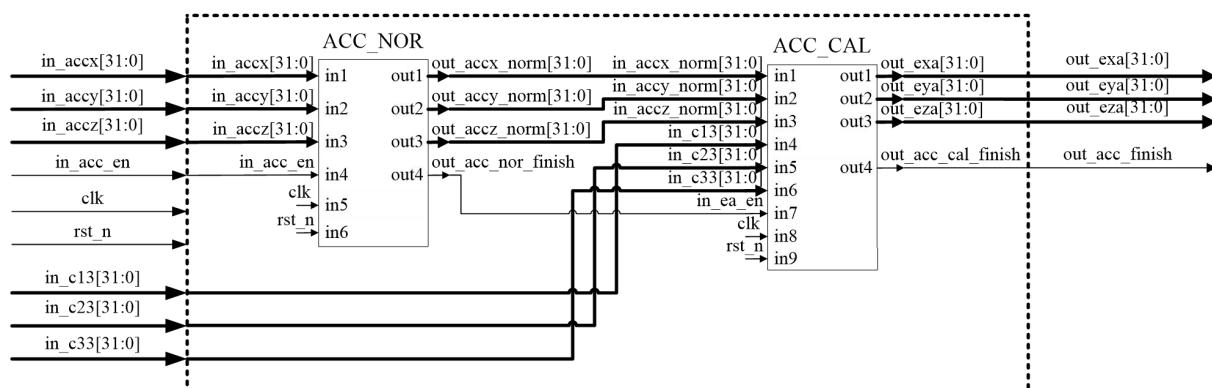


图 3-4 加速度计测量误差计算电路的框图

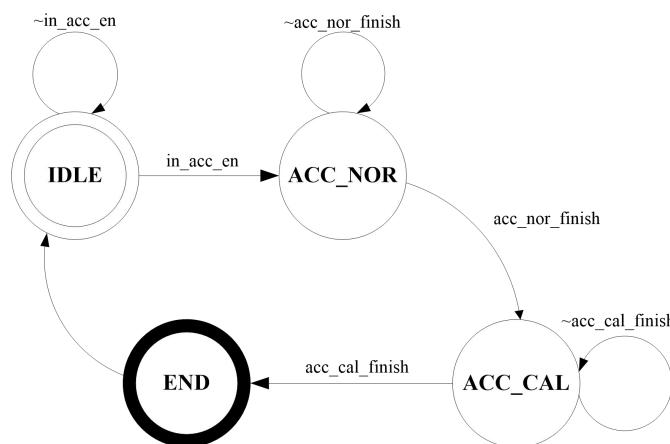


图 3-5 加速度计测量误差计算电路的状态迁移图

加速度计测量误差计算电路中共有 4 个状态，如图 3-5 所示，分别为 IDLE（初始状态）、三轴测量值归一化状态（ACC_NOR）、测量误差计算状态（ACC_CAL）和结束状态（END）。

在系统复位时，状态置为到初始状态将电路中所有接口对应的寄存器都置为空，所有辅助信号都置为低电平。当控制信号 `in_acc_en` 被顶层电路的状态机置为高电平后，进行加速度计测量数据和上次解算过程得到的姿态转换矩阵第 3 列元素的读取操作，状态跳转至 `ACC_NOR`，将三轴测量值归一化电路的辅助控制信号置为高电平使其开始工作；当三轴测量值归一化完成后，输出辅助信号 `acc_nor_finish` 被置为高电平后，状态跳转至 `ACC_CAL`，测量误差计算电路开始工作；当测量误差计算电路将数据处理完毕，输出辅助信号 `acc_cal_finish` 被置为高电平后，状态跳转至 `END`；在 `END` 状态下将计算得到的三轴误差值输出，并跳转至初始状态 `IDLE`。至此，一次加速度计测量误差计算过程结束。

3.1.3 电子罗盘测量误差计算电路的设计

电子罗盘测量误差计算电路用来计算电子罗盘测量数据与参考磁力之间的相对误差，图 3-6 给出了电子罗盘测量误差计算电路的设计接口框图，表 3-2 则给出了接口中各个输入和输出信号的具体描述。

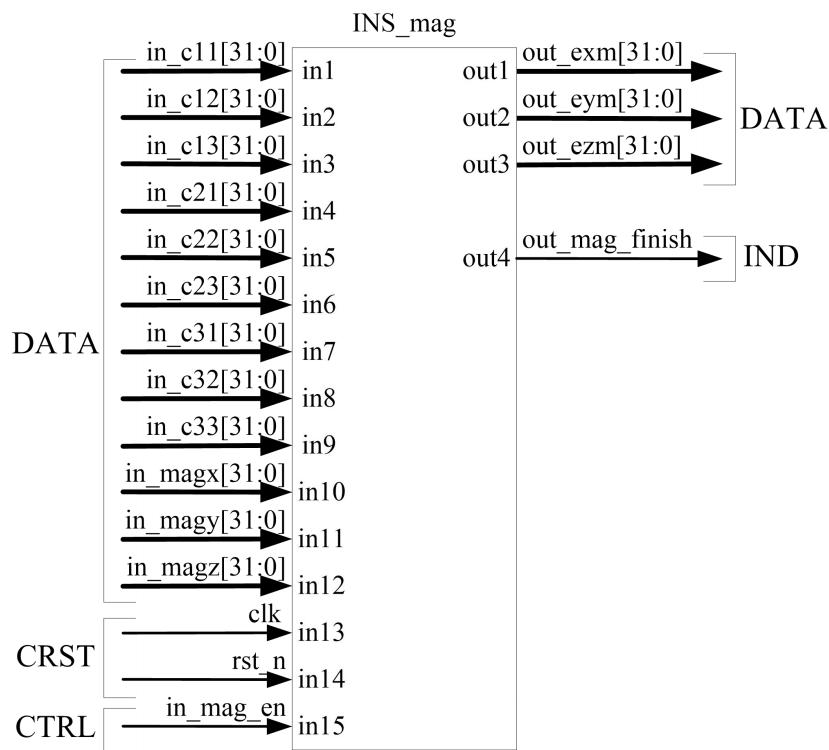


图 3-6 电子罗盘测量误差计算电路的接口框图

表 3-2 电子罗盘测量误差计算电路的接口信号

Pin Name	I/O	Clk domain	Description
Clock&Reset interface			
<code>clk</code>	I	N/A	Clock input (Typical value 100MHz)
<code>rst_n</code>	I	N/A	Reset (active low, asynchronous).
Data in/out interface			
<code>in_magx[31:0]</code>	I	<code>clk</code>	Magnetometer measure data of x-axis
<code>in_magy[31:0]</code>	I	<code>clk</code>	Magnetometer measure data of y-axis

in_magz[31:0]	I	clk	Magnetometer measure data of z-axis
in_c11[31:0]	I	clk	Previous data of 1 st row and 1 st column of
in_c12[31:0]	I	clk	Previous data of 1 st row and 2 nd column of
in_c13[31:0]	I	clk	Previous data of 1 st row and 3 rd column of
in_c21[31:0]	I	clk	Previous data of 2 nd row and 1 st column of
in_c22[31:0]	I	clk	Previous data of 2 nd row and 2 nd column of
in_c23[31:0]	I	clk	Previous data of 2 nd row and 3 rd column of
in_c31[31:0]	I	clk	Previous data of 3 rd row and 1 st column of
in_c32[31:0]	I	clk	Previous data of 3 rd row and 2 nd column of
in_c33[31:0]	I	clk	Previous data of 3 rd row and 3 rd column of
out_exm[31:0]	O	clk	Error of Magnetometer measure data of x-
out_eym[31:0]	O	clk	Error of Magnetometer measure data of y-
out_ezm[31:0]	O	clk	Error of Magnetometer measure data of z-

Control and indicator interface

in_mag_en	I	clk	Circuit work strobe (active_high), when in_mag_en is asserted, circuit will start
out_mag_finish	O	clk	Circuit work out the data strobe

电子罗盘测量误差计算电路由控制电路工作时序的有限状态机、浮点数加/减法器、浮点数乘法器、浮点数除法器、浮点数开方器和与其他电路互联的接口。为了描述简便，该电路可分为三轴测量值归一化电路（MAG_NOR）、参考磁力线计算电路（MAG_FLU）和测量误差计算电路（MAG_CAL），由于电路设计过程中使用了大量逻辑优化，这里不再给出电子罗盘测量误差计算电路底层 IP 核间的电气连接和状态机控制电路的电气连接原理图。电子罗盘测量误差计算电路的框图和状态迁移图分别如图 3-7 和图 3-8 所示。

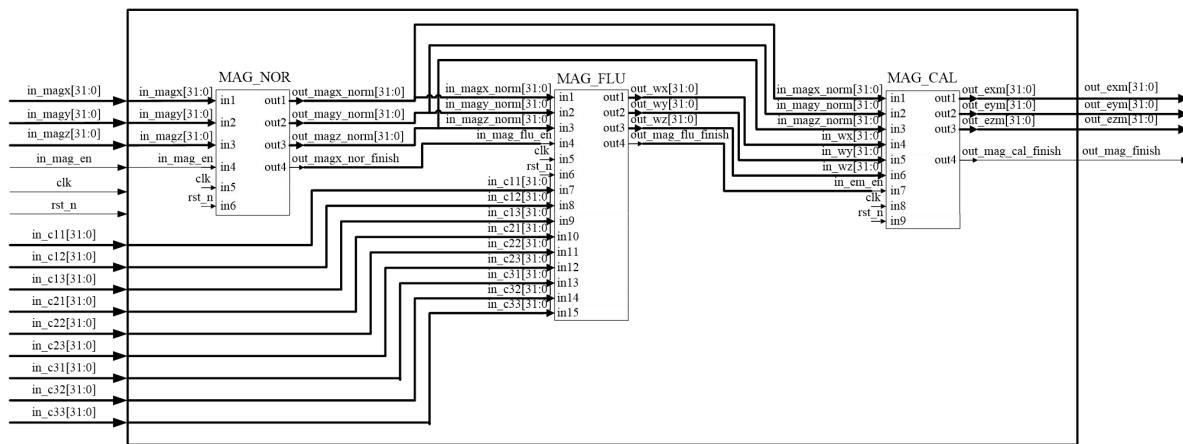


图 3-7 电子罗盘测量误差计算电路的框图

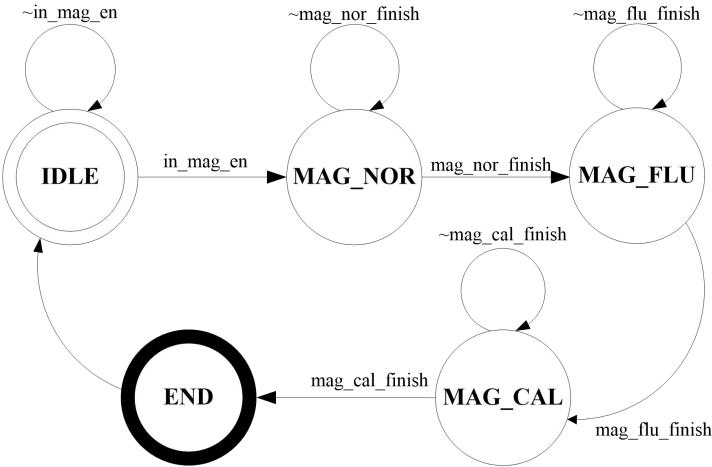


图 3-8 电子罗盘测量误差计算电路的状态迁移图

电子罗盘测量误差计算电路中共有 6 个状态，如图 3-8 所示，分别为 IDLE（初始状态）、三轴测量值归一化状态（MAG_NOR）、参考磁力线计算状态（MAG_FLU）、测量误差计算状态（MAG_CAL）和结束状态（END）。

在系统复位时，状态置为到初始状态将电路中所有接口对应的寄存器都置为空，所有辅助信号都置为低电平。当控制信号 `in_mag_en` 被顶层电路的状态机置为高电平后，进行电子罗盘测量数据和上次解算过程得到的姿态转换矩阵 9 个元素的读取操作，状态跳转至 MAG_NOR，将三轴测量值归一化电路的辅助控制信号置为高电平使其开始工作；当三轴测量值归一化完成后，输出辅助信号 `mag_nor_finish` 被置为高电平后，状态跳转至 MAG_FLU，参考磁力线计算电路开始工作；当参考磁力线计算完成后，输出辅助信号 `mag_flu_finish` 被置为高电平后，状态跳转至 MAG_CAL，测量误差计算电路开始工作；当测量误差计算电路将数据处理完毕，输出辅助信号 `mag_cal_finish` 被置为高电平后，状态跳转至 END；在 END 状态下将计算得到的三轴误差值输出，并跳转至初始状态 IDLE。至此，一次电子罗盘测量误差计算过程结束。

3.1.4 陀螺仪测量误差修正计算电路的设计

陀螺仪测量误差修正电路使用加速度计测量误差计算值和电子罗盘测量误差计算值通过互补滤波算法对陀螺仪测量误差进行修正以满足后续电路的使用需求，图 3-9 给出了陀螺仪测量误差修正电路的设计接口框图，表 3-3 则给出了接口中各个输入和输出信号的具体描述。

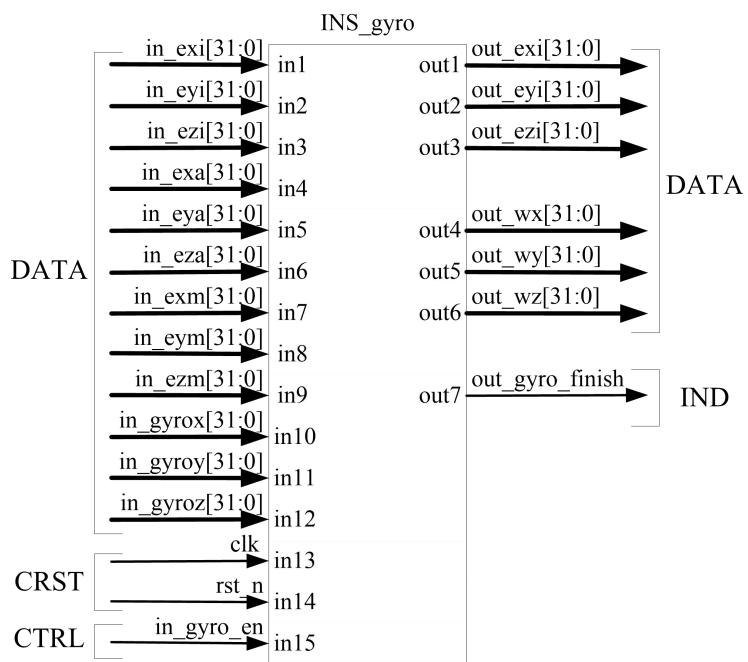


图 3-9 电子罗盘测量误差计算电路的接口框图

表 3-3 电子罗盘测量误差计算电路的接口信号

Pin Name	I/O	Clk domain	Description
Clock&Reset interface			
clk	I	N/A	Clock input (Typical value 100MHz)
rst_n	I	N/A	Reset (active low, asynchronous).
Data in/out interface			
in_gyrox[31:0]	I	clk	Gyroscope measure data of x-axis
in_gyroy[31:0]	I	clk	Gyroscope measure data of y-axis
in_gyroz[31:0]	I	clk	Gyroscope measure data of z-axis
in_exa[31:0]	I	clk	Error of Accelerometer measure data of x-
in_eya[31:0]	I	clk	Error of Accelerometer measure data of y-
in_eza[31:0]	I	clk	Error of Accelerometer measure data of z-
in_exm[31:0]	I	clk	Error of Magnetometer measure data of x-
in_eym[31:0]	I	clk	Error of Magnetometer measure data of y-
in_ezm[31:0]	I	clk	Error of Magnetometer measure data of z-
in_exi[31:0]	I	clk	Previous integral error of x-axis
in_eyi[31:0]	I	clk	Previous integral error of y-axis
in_ezi[31:0]	I	clk	Previous integral error of z-axis
out_wx[31:0]	O	clk	Gyroscope measure data had been revised of
out_wy[31:0]	O	clk	Gyroscope measure data had been revised of
out_wz[31:0]	O	clk	Gyroscope measure data had been revised of
Control and indicator interface			
in_gyro_en	I	clk	Circuit work strobe (active_high), when in_gyro_en is asserted, circuit will start
out_gyro_finish	O	clk	Circuit work out the data strobe

陀螺仪测量误差修正电路由控制电路工作时序的有限状态机、浮点数加/减法器、浮点数乘法器和其他电路互联的接口。为了描述简便，该电路可分为比例积分误差

计算电路（GYRO_KPI）和测量误差修正电路（GYRO_RSV），由于电路设计过程中使用了大量逻辑优化，这里不再给出陀螺仪测量误差修正电路底层 IP 核间的电气连接和状态机控制电路的电气连接原理图。陀螺仪测量误差修正电路的框图和状态迁移图分别如图 3-10 和图 3-11 所示。

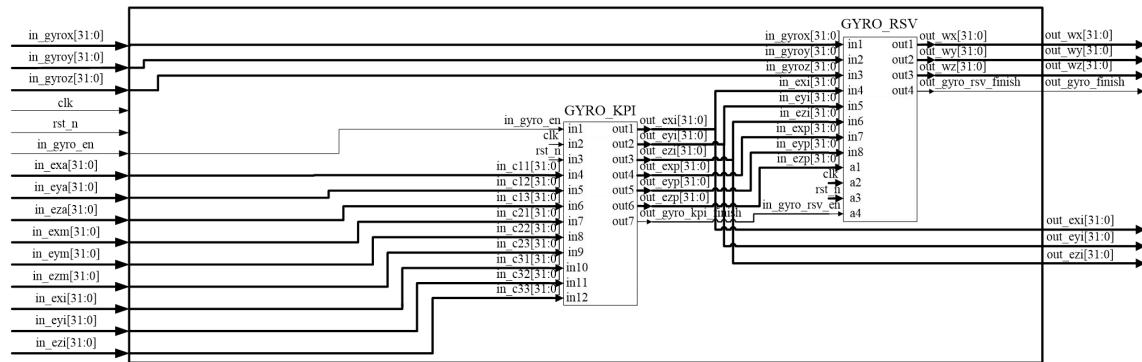


图 3-10 陀螺仪测量误差修正电路的框图

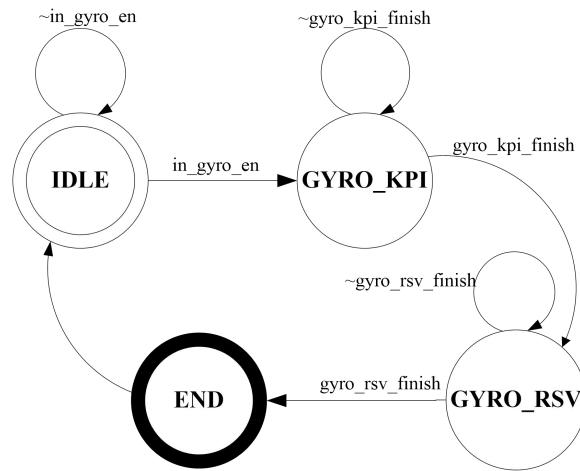


图 3-11 陀螺仪测量误差修正电路的状态迁移图

陀螺仪测量误差修正电路中共有 4 个状态，如图 3-11 所示，分别为 IDLE（初始状态）、比例积分误差计算工作状态（GYRO_KPI）、测量误差修正工作状态（GYRO_RSV）和结束状态（END）。

在系统复位时，状态置为到初始状态将电路中所有接口对应的寄存器都置为空，所有辅助信号都置为低电平。当控制信号 in_gyro_en 被顶层电路的状态机置为高电平后，进行电子罗盘测量数据、加速度计测量误差计算数据和电子罗盘测量误差计算数据的读取操作，状态跳转至 GYRO_KPI，将比例积分误差计算电路的辅助控制信号置为高电平使其开始工作；当比例积分误差计算完成后，输出辅助信号 gyro_kpi_finish 被置为高电平后，状态跳转 GYRO_RSV，测量误差修正电路开始工作；当测量误差修正电路将数据处理完毕，输出辅助信号 gyro_rsv_finish 被置为高电平后，状态跳转至 END；在 END 状态下将计算得到的三轴修正值与三轴积分误差值输出，并跳转至初始状态 IDLE。至此，一次陀螺仪测量误差修正过程结束。

3.1.5 四元数更新电路的设计

四元数更新电路使用陀螺仪测量误差修正值通过四元数微分方程和一阶龙格-库塔算法对四元数进行更新，图 3-12 给出了四元数更新电路的设计接口框图，表 3-4 则给

出了接口中各个输入和输出信号的具体描述。

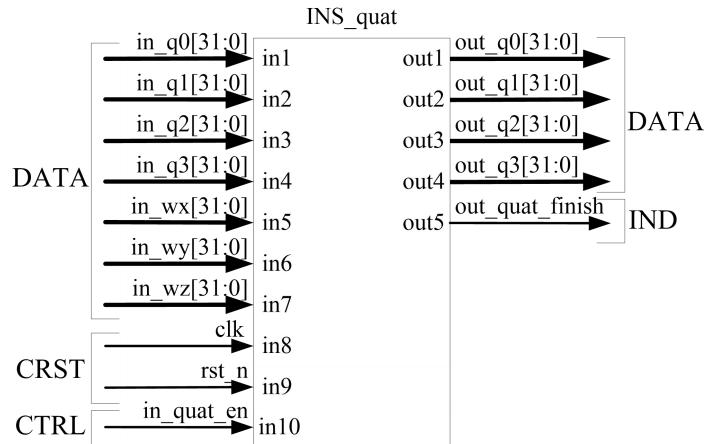


图 3-12 四元数更新电路的接口框图

表 3-4 四元数更新电路的接口信号

Pin Name	I/O	Clk domain	Description
Clock&Reset interface			
clk	I	N/A	Clock input (Typical value 100MHz)
rst_n	I	N/A	Reset (active low, asynchronous).
Data in/out interface			
in_wx[31:0]	I	clk	Error of Gyroscope measure data of x-axis
in_wy[31:0]	I	clk	Error of Gyroscope measure data of y-axis
in_wz[31:0]	I	clk	Error of Gyroscope measure data of z-axis
in_q0[31:0]	I	clk	Previous value of scalar
in_q1[31:0]	I	clk	Previous i-component value of vector
in_q2[31:0]	I	clk	Previous j-component value of vector
in_q3[31:0]	I	clk	Previous k-component value of vector
out_q0[31:0]	O	clk	Updated value of scalar
out_q1[31:0]	O	clk	Updated i-component value of vector
out_q2[31:0]	O	clk	Updated j-component value of vector
out_q3[31:0]	O	clk	Updated k-component value of vector
Control and indicator interface			
in_quat_en	I	clk	Circuit work strobe (active_high), when in_quat_en is asserted, circuit will start
out_quat_finish	O	clk	Circuit work out the data strobe

四元数更新电路由控制电路工作时序的有限状态机、浮点数加/减法器、浮点数乘法器和与其他电路互联的接口。为了描述简便，该电路可分为一阶龙格-库塔解算电路（QUAT_LK）和四元数归一化电路（QUAT_NOR），由于电路设计过程中使用了大量逻辑优化，这里不再给出四元数更新电路底层 IP 核间的电气连接和状态机控制电路的电气连接原理图。四元数更新电路的框图和状态迁移图分别如图 3-13 和图 3-14 所示。

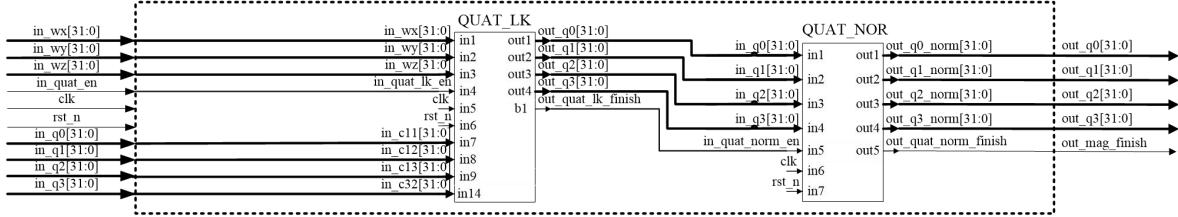


图 3-13 四元数更新电路的框图

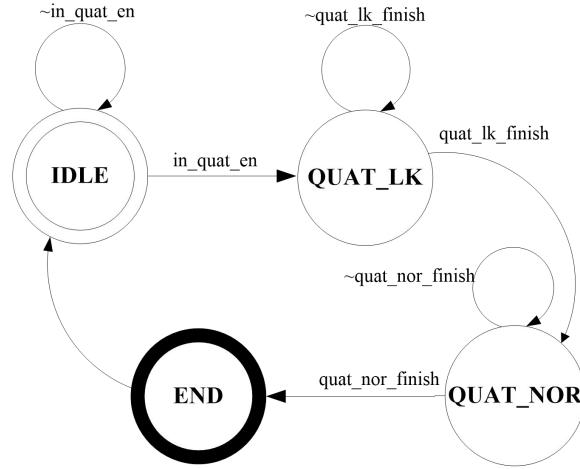


图 3-14 四元数更新电路的状态迁移图

四元数更新电路中共有 6 个状态，如图 3-14 所示，分别为 IDLE（初始状态）、四元数微分状态（QUAT_DIF）、一阶龙格-库塔解算状态（QUAT_LK）、四元数归一化状态（QUAT_NOR）和结束状态状态（END）。

在系统复位时，状态置为到初始状态将电路中所有接口对应的寄存器都置为空，四元数初始化为 $\mathbf{Q} = [q_0 \ q_1 \ q_2 \ q_3]^T = [1 \ 0 \ 0 \ 0]^T$ ，所有辅助信号都置为低电平。当控制信号 in_quat_en 被顶层电路的状态机置为高电平后，进行上次更新后四元数数据的读取操作，状态跳转至 QUAT_LK，一阶龙格-库塔解算电路开始工作；当一阶龙格-库塔解算完毕，输出辅助信号 quat_lk_finish 被置为高电平后，状态跳转至 QUAT_NOR，四元数归一化电路开始工作；当四元数归一化完毕，输出辅助信号 quat_norm_finish 被置为高电平后，状态跳转至 END；在 END 状态下将本次更新的四元数输出，并跳转至初始状态 IDLE。至此，一次四元数更新过程结束。

3.1.6 姿态转换矩阵更新电路的设计

姿态转换矩阵更新电路使用四元数更新值对姿态转换矩阵进行更新，图 3-15 给出了姿态转换矩阵更新电路设计接口框图，表 3-5 则给出了接口中各个输入和输出信号的具体描述。

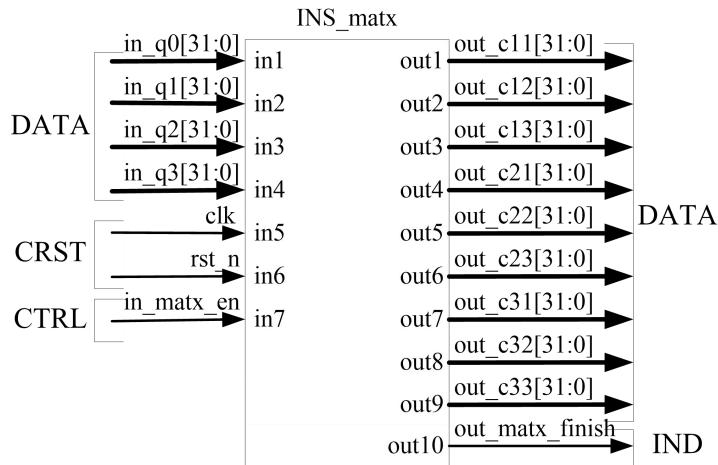


图 3-15 姿态转换矩阵更新电路的接口框图

表 3-5 姿态转换矩阵更新电路的接口信号

Pin Name	I/O	Clk domain	Description
Clock&Reset interface			
clk	I	N/A	Clock input (Typical value 100MHz)
rst_n	I	N/A	Reset (active low, asynchronous).
Data in/out interface			
in_q0[31:0]	I	clk	Previous value of scalar
in_q1[31:0]	I	clk	Previous i-component value of vector
in_q2[31:0]	I	clk	Previous j-component value of vector
in_q3[31:0]	I	clk	Previous k-component value of vector
out_c11[31:0]	O	clk	Updated data of 1 st row and 1 st column of
out_c12[31:0]	O	clk	Updated data of 1 st row and 2 nd column of
out_c13[31:0]	O	clk	Updated data of 1 st row and 3 rd column of
out_c21[31:0]	O	clk	Updated data of 2 nd row and 1 st column of
out_c22[31:0]	O	clk	Updated data of 2 nd row and 2 nd column of
out_c23[31:0]	O	clk	Updated data of 2 nd row and 3 rd column of
out_c31[31:0]	O	clk	Updated data of 3 rd row and 1 st column of
out_c32[31:0]	O	clk	Updated data of 3 rd row and 2 nd column of
out_c33[31:0]	O	clk	Updated data of 3 rd row and 3 rd column of
Control and indicator interface			
in_matx_en	I	clk	Circuit work strobe (active_high), when in_matx_en is asserted, circuit will start
out_matx_finish	O	clk	Circuit work out the data strobe

姿态转换矩阵更新电路由控制电路工作时序的有限状态机、浮点数加/减法器、浮点数乘法器和其他电路互联的接口。为了描述简便，根据第 2 章中算法推导，该电路没有复杂的算法电路，因此姿态转换矩阵更新电路的框图和状态转移图在此省略。

在系统复位时，状态置为到初始状态将电路中所有接口对应的寄存器都置为空，姿态矩阵初始化为 $C_n^b = \text{diag}[1 \ 1 \ 1]$ ，所有辅助信号都置为低电平。当控制信号 in_matx_en 被顶层电路的状态机置为高电平后，进行更新后四元数数据的读取操作，并由状态机控制底层浮点数运算 IP 核进行多流水线运算及 IP 核复用。当 out_matx_finish 被置为高电平，更新后的姿态矩阵九元素输出，至此，一次姿态转换

矩阵更新过程结束。

3.1.7 姿态角解算电路的设计

姿态角解算电路使用更新后的姿态转换矩阵对姿态角进行解算处理，图 3-16 给出了姿态角解算电路的设计接口框图，表 3-6 则给出了接口中各个输入和输出信号的具体描述。

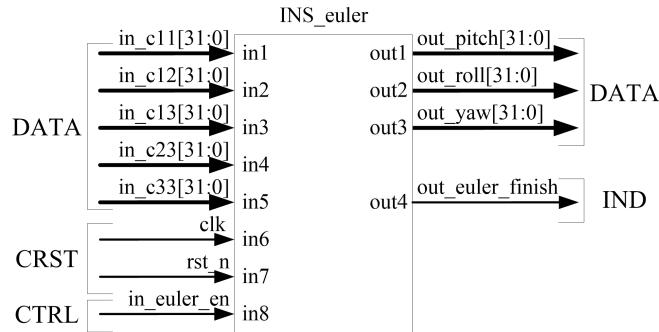


图 3-16 姿态角解算电路的接口框图

表 3-6 姿态角解算电路的接口信号

Pin Name	I/O	Clk domain	Description
Clock&Reset interface			
clk	I	N/A	Clock input (Typical value 100MHz)
rst_n	I	N/A	Reset (active low, asynchronous).
Data in/out interface			
in_c11[31:0]	I	clk	Updated data of 1 st row and 1 st column of
in_c12[31:0]	I	clk	Updated data of 1 st row and 2 nd column of
in_c13[31:0]	I	clk	Updated data of 1 st row and 3 rd column of
in_c23[31:0]	I	clk	Updated data of 2 nd row and 3 rd column of
in_c33[31:0]	I	clk	Updated data of 3 rd row and 3 rd column of
out_pitch[31:0]	O	clk	Solved pitch data
out_roll[31:0]	O	clk	Solved roll data
out_yaw[31:0]	O	clk	Solved yaw data
Control and indicator interface			
in_euler_en	I	clk	Circuit work strobe (active_high), when in_euler_en is asserted, circuit will start
out_euler_finish	O	clk	Circuit work out the data strobe

姿态角解算电路由控制电路工作时序的有限状态机、浮点数加/减法器、浮点数乘法器和其他电路互联的接口。为了描述简便，该电路可分为俯仰角解算电路（EULER_P）、横滚角解算电路（EULER_R）和航向角解算电路（EULER_Y），由于电路设计过程中使用了大量逻辑优化，这里不再给出姿态角解算电路底层 IP 核间的电气连接和状态机控制电路的电气连接原理图。四元数更新电路的框图和状态迁移图分别如图 3-17 和图 3-18 所示。

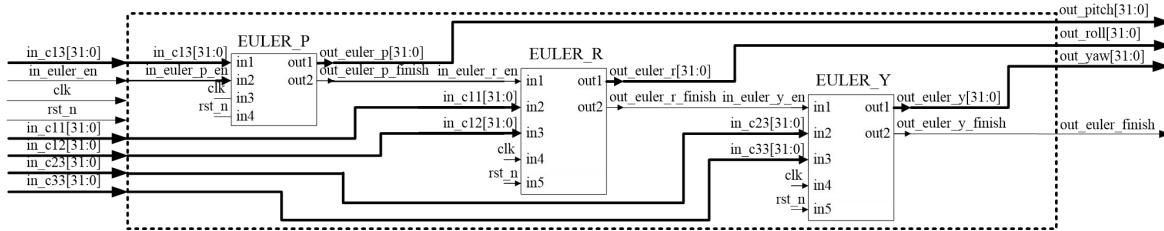


图 3-17 姿态角解算电路的框图

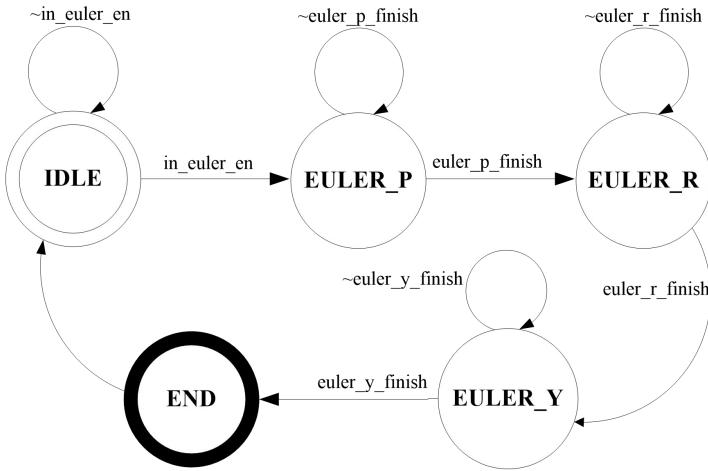


图 3-18 姿态角解算电路的状态迁移图

姿态角解算电路中共有 6 个状态，如图 3-18 所示，分别为 IDLE（初始状态）、俯仰角解算状态（EULER_P）、横滚角解算状态（EULER_R）、航向角解算状态（EULER_Y）和结束状态（END）。

在系统复位时，状态置为到初始状态将电路中所有接口对应的寄存器都置为空，所有辅助信号都置为低电平。当控制信号 `in_quat_en` 被顶层电路的状态机置为高电平后，进行上次更新后姿态转换矩阵的读取操作，状态跳转至 EULER_P，俯仰角解算电路开始工作；当俯仰角解算完毕，输出辅助信号 `euler_p_finish` 被置为高电平后，状态跳转至 EULER_R，横滚角解算电路开始工作；当横滚角解算电路完毕，输出辅助信号 `euler_r_finish` 被置为高电平后，状态跳转至 EULER_Y，航向角解算电路开始工作；当航向角解算完毕，输出辅助信号 `euler_y_finish` 被置为高电平后，状态跳转至 END；在 END 状态下将本次解算的姿态角输出，并跳转至初始状态 IDLE。至此，一次姿态角解算过程结束。

3.1.8 反正切函数电路的设计

反正切函数电路通过反正切操作求得弧度值，图 3-19 给出了反正切函数电路的设计接口框图，表 3-7 则给出了接口中各个输入和输出信号的具体描述。

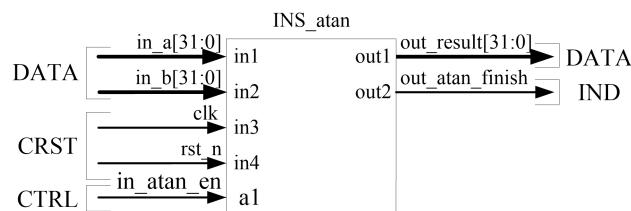


图 3-19 反正切函数电路的接口框图

表 3-7 反正切函数电路的接口信号

Pin Name	I/O	Clk domain	Description
Clock&Reset interface			
clk	I	N/A	Clock input (Typical value 100MHz)
rst_n	I	N/A	Reset (active low, asynchronous).
Data in/out interface			
in_a[31:0]	I	clk	Cos
in_b[31:0]	I	clk	Sin
out_result[31:0]	O	clk	Radian
Control and indicator interface			
in_atan_en	I	clk	Circuit work strobe (active_high), when in_atan_en is asserted, circuit will start
out_atan_finish	O	clk	Circuit work out the data strobe

反正切函数电路由控制电路工作时序的有限状态机、浮点数加/减法器、浮点数乘法器和其他电路互联的接口。为了描述简便，根据第3章中IP核的设计，该电路可分为浮点数转定点数电路（float32tofix16）、反正切运算电路（atan）和定点数转浮点数电路（fix16tofloat32），由于电路设计过程中使用了大量逻辑优化，这里不再给出姿态角解算电路底层IP核间的电气连接和状态机控制电路的电气连接原理图。四元数更新电路的框图和状态迁移图分别如图3-20和图3-21所示。

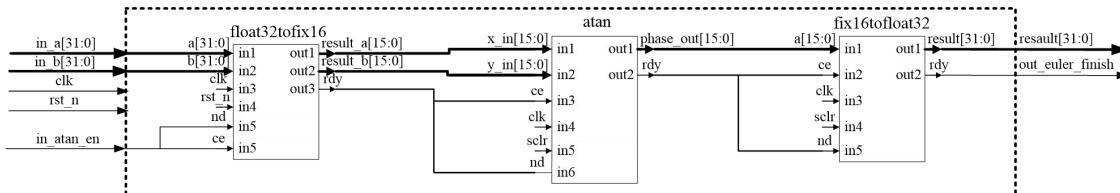


图 3-20 反正切函数电路的框图

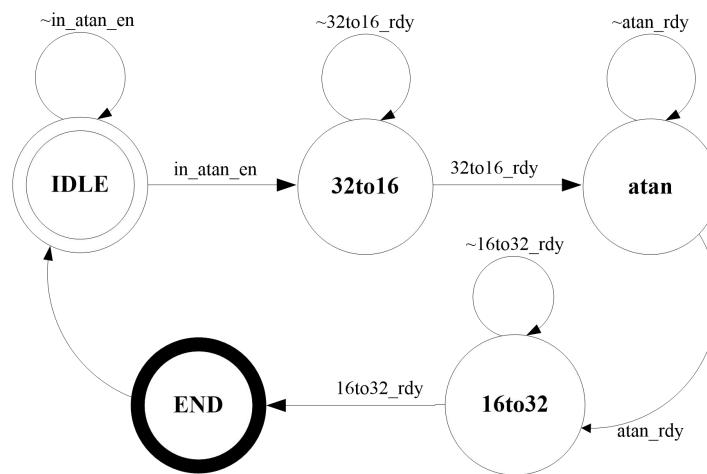


图 3-21 反正切函数电路的状态迁移图

反正切函数电路中共有5个状态，如图3-21所示，分别为IDLE（初始状态）、浮点数转定点数状态（32to16）、反正切运算状态（atan）、定点数转浮点数状态（16to32）和结束状态（END）。

在系统复位时，状态置为到初始状态将电路中所有接口对应的寄存器都置为空，，所有辅助信号都置为低电平。当控制信号 `in_atan_en` 被顶层电路的状态机置为高电平后，进行上次更新后姿态转换矩阵的读取操作，状态跳转至 `32to16`，浮点数转定点数电路开始工作；当浮点数转定点数完毕，输出辅助信号 `32to16_rdy` 被置为高电平后，状态跳转至 `atan`，反正切运算电路开始工作；当反正切运算电路完毕，输出辅助信号 `atan_rdy` 被置为高电平后，状态跳转至 `16to32`，定点数转浮点数电路开始工作；当定点数转浮点数完毕，输出辅助信号 `16to32_rdy` 被置为高电平后，状态跳转至 `END`；在 `END` 状态下将本次计算的弧度值输出，并跳转至初始状态 `IDLE`。至此，一次反正切运算过程结束。

3.2 RTL 实现

具体 RTL 实现详见代码。

4 验证

4.1 验证策略

4.2 验证环境

4.2.1 验证 Test Bench

4.2.2 行为级模型

4.2.3 总线功能模型

4.2.4 Test Case 列表

对设计进行了白盒测试。

①加速度计测量误差计算电路的仿真与验证

加速度计测量误差计算电路的仿真波形如图 4-1 所示。

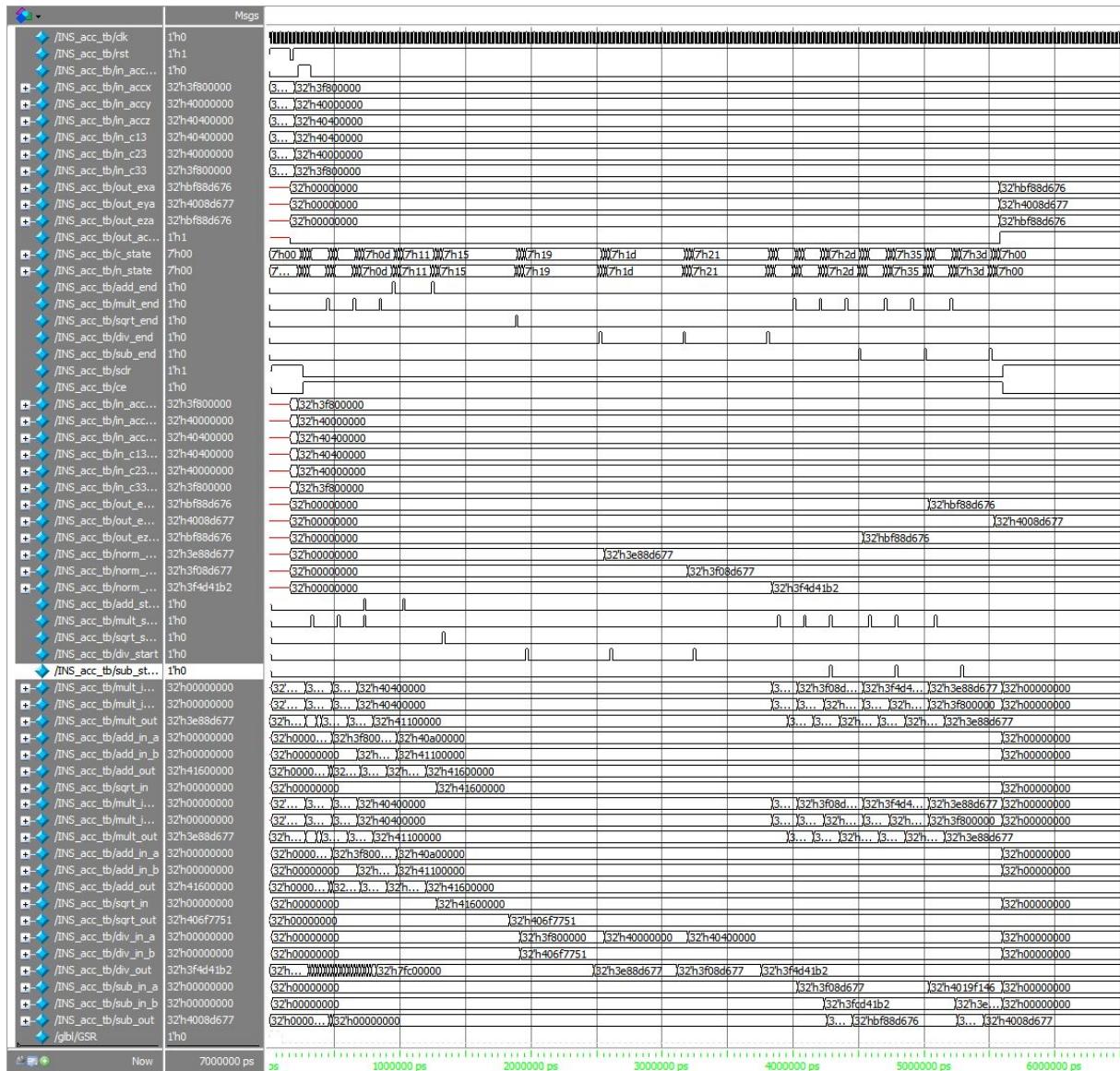


图 4-1 加速度计测量误差计算电路仿真测试

TESTCASE: accx、accy、accz 分别为 1、2、3，c13、c23、c33 分别为 3、2、1，仿真输出结果与在 Matlab 中仿真结果对比如表 4-1 所示。

表 4-1 加速度计测量误差计算电路仿真对比

输出	环境	Modelsim	Matlab	误差
	exa	-1.06904	-1.06904	0.0
	eya	2.13809	2.13809	0.0
	eza	-1.06904	-1.06904	0.0

②电子罗盘测量误差计算电路的仿真与验证
电子罗盘测量误差计算电路的仿真波形如图 4-2 所示。

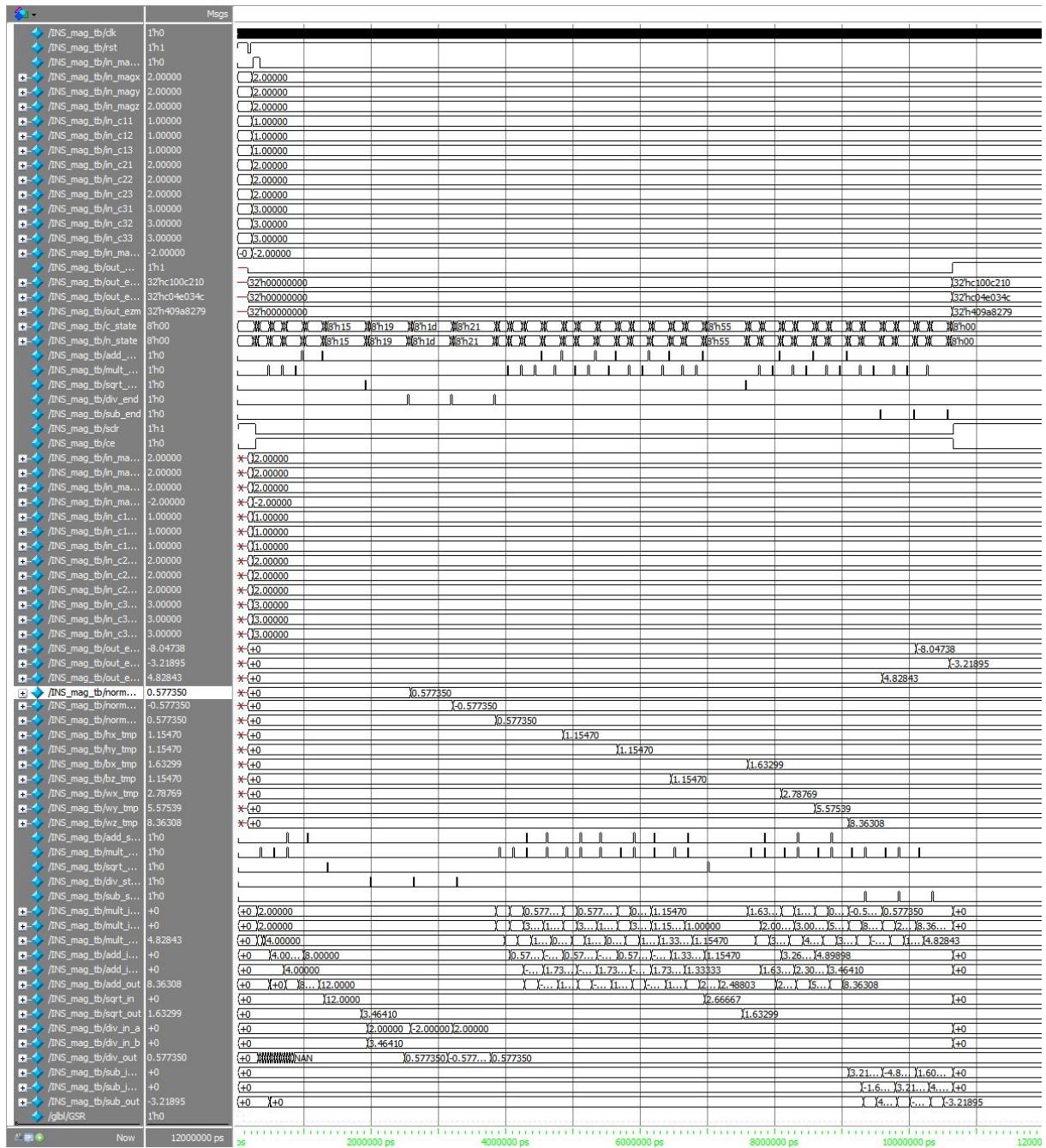


图 4-2 电子罗盘测量误差计算电路仿真测试

TESTCASE: magx、magy、magz 都为 2, c11、c12、c13 都为 1, c21、c22、c23 都为 2, c31、c32、c133 都为 3, 仿真输出结果与在 Matlab 中仿真结果对比如表 4-2 所示。

表 4-2 电子罗盘测量误差计算电路仿真对比

表 4-2 壳子罗盘测重误差计算结果对比				
输出	环境	Modelsim	Matlab	误差
exm		-8.04738	-8.04738	0.0
eym		-3.21895	-3.21895	0.0
ezm		4.82842	4.82842	0.0

③ 陀螺仪测量误差修正电路的仿真与验证
陀螺仪测量误差修正电路的仿真波形如图 4-3 所示。

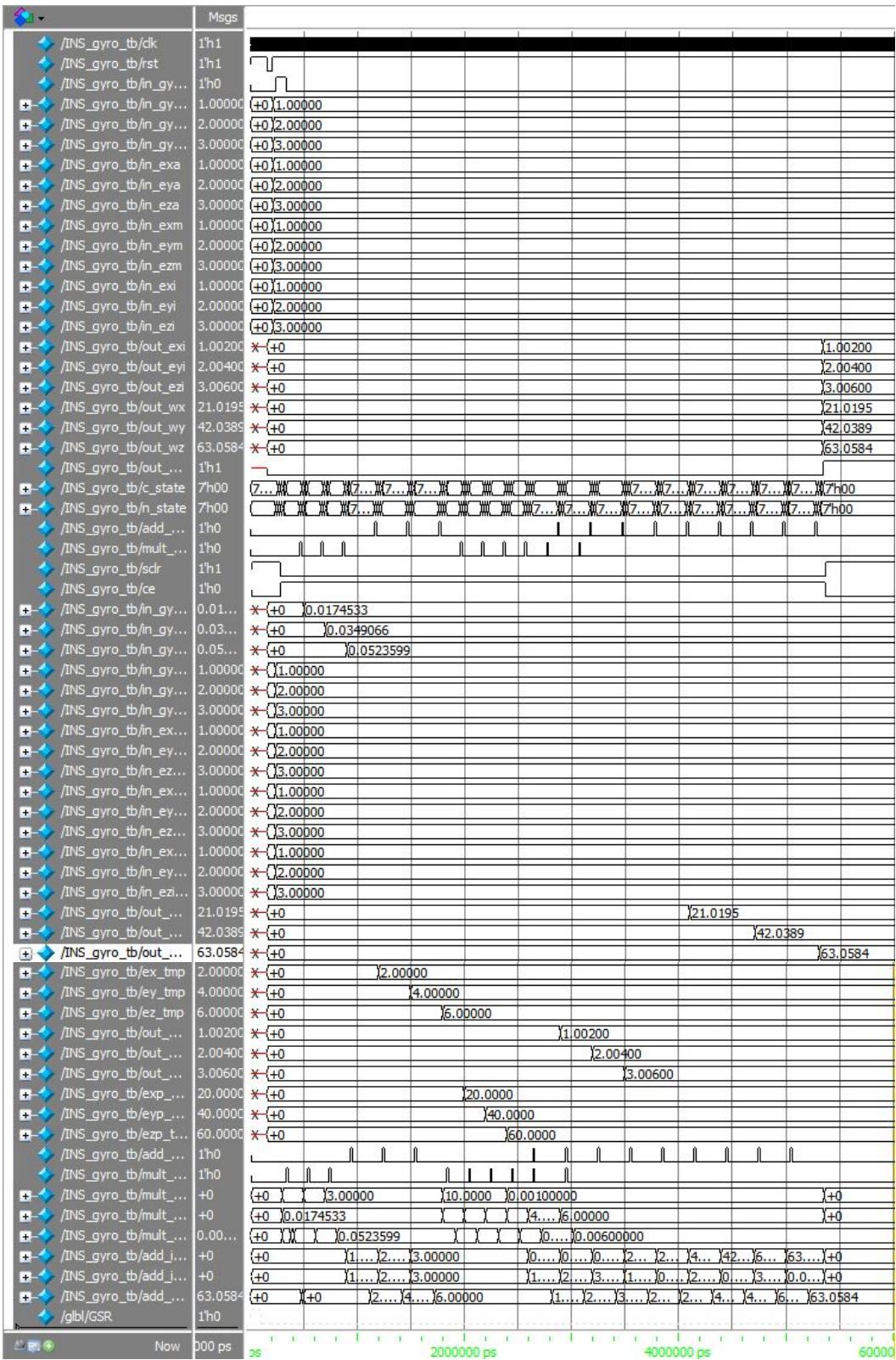


图 4-3 陀螺仪测量误差修正电路仿真测试

TESTCASE: exi、eyi、ezi 分别为 1、2、3，exa、eya、eza 分别为 1、2、3，exm、eym、ezm 分别为 1、2、3，gyrox、gyroy、gyroz 分别为 1、2、3，仿真输出结果与在 Matlab 中仿真结果对比如表 5-3 所示。

表 4-3 陀螺仪测量误差修正电路仿真对比

输出	环境	Modelsim	Matlab	误差
exi		1.0020	1.0020	0.0
eyi		2.0040	2.0040	0.0
ezi		3.0060	3.0060	0.0
wx		21.0195	21.0195	0.0
wy		42.0389	42.0389	0.0
wz		63.0584	63.0584	0.0

④ 四元数更新电路的仿真与验证
四元数更新电路的仿真波形如图 4-4 所示。

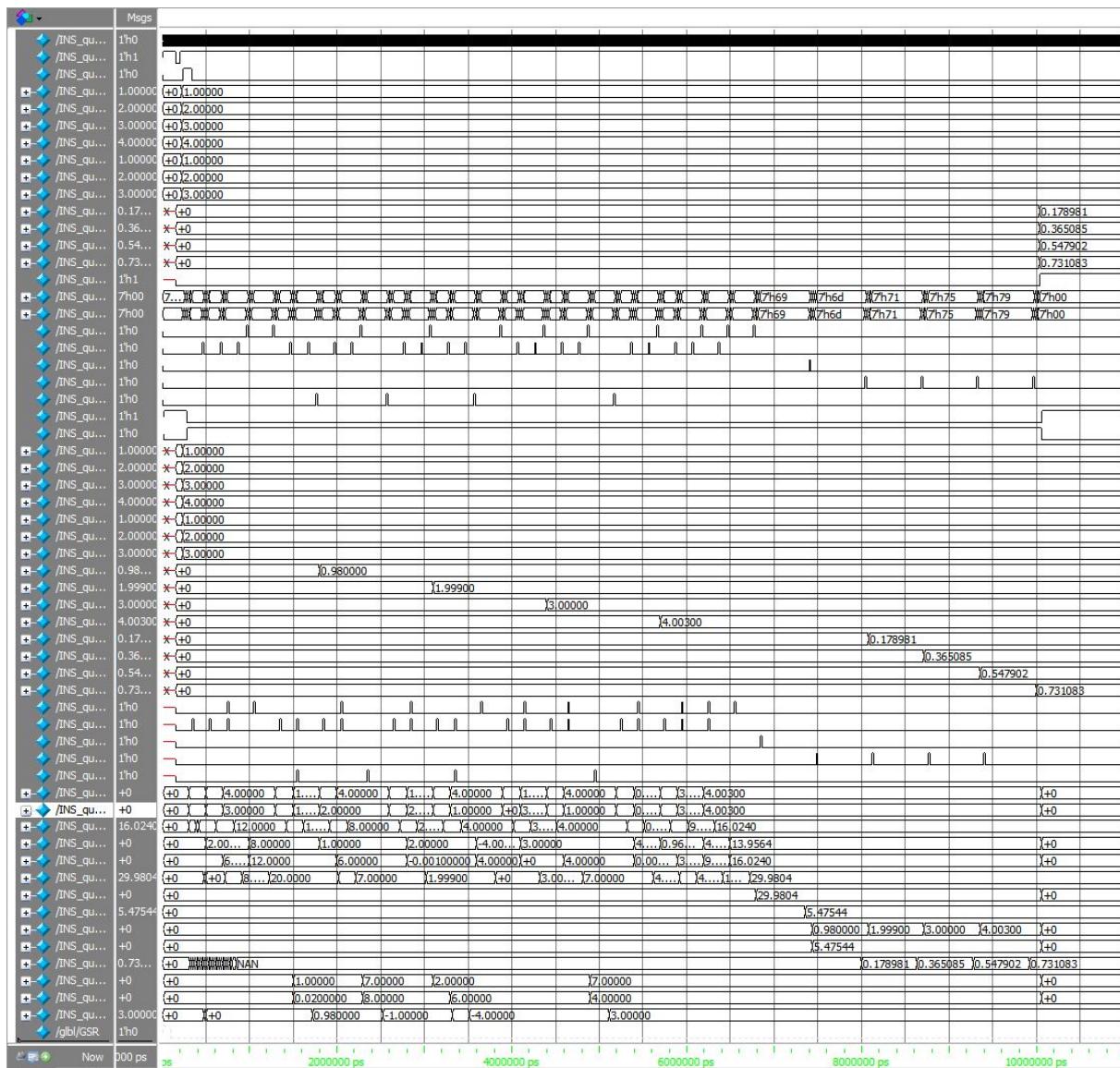


图 4-4 四元数更新电路仿真测试

TESTCASE: q0、q1、q2、q3 分别为 1、2、3、4, wx、wy、wz 分别为 1、2、3, 仿真输出结果与在 Matlab 中仿真结果对比如表 4-4 所示。

表 4-4 四元数更新电路仿真对比

输出	环境	Modelsim	Matlab	误差
----	----	----------	--------	----

q0	0.178981	0.178921	0.00006
q1	0.365085	0.365511	-0.000426
q2	0.547902	0.547719	0.000183
q3	0.731083	0.731022	0.000061

⑤ 姿态矩阵更新电路的仿真与验证
姿态矩阵更新电路的仿真波形如图 4-5 所示。

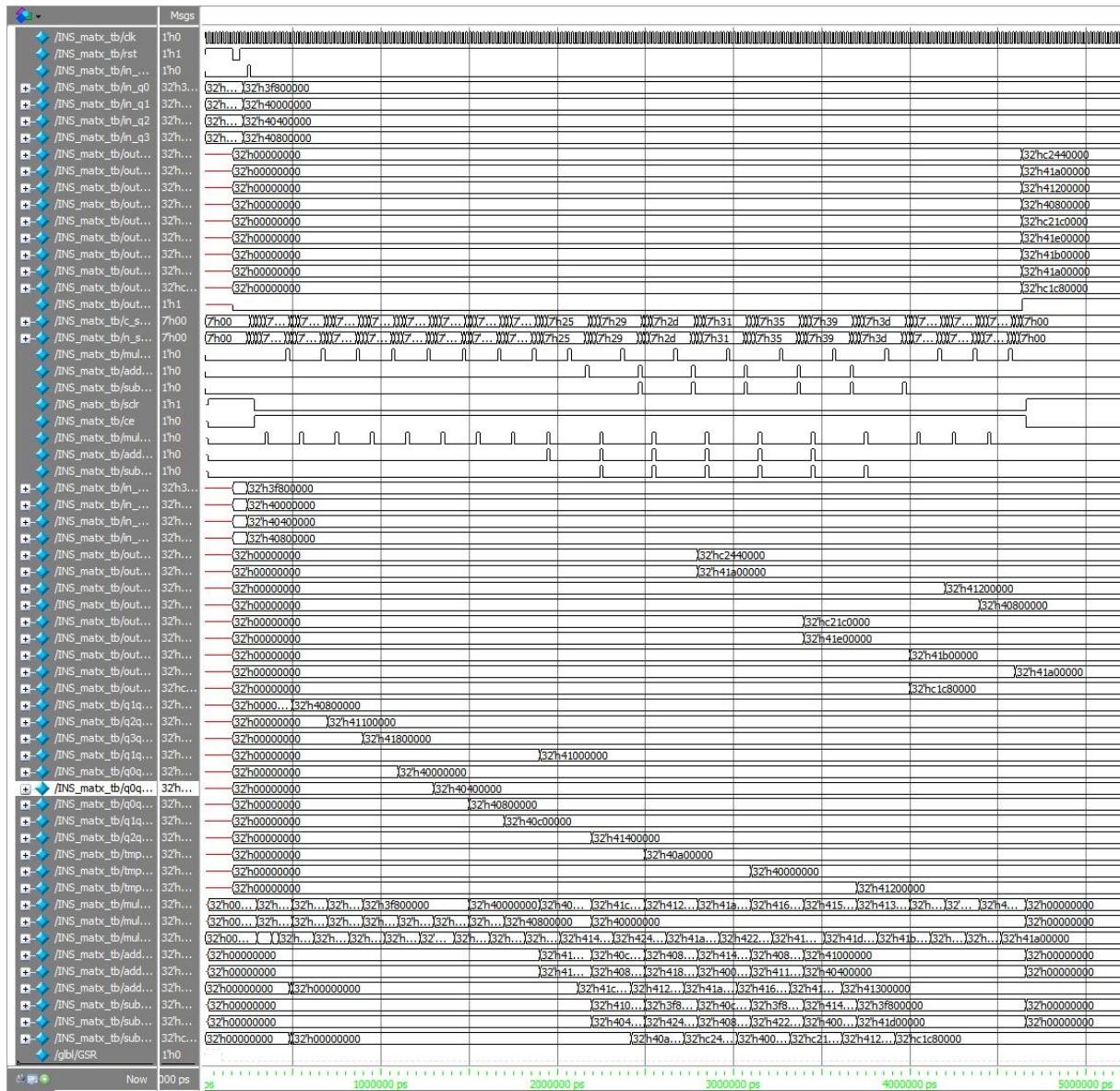


图 4-5 姿态矩阵更新电路仿真测试

TESTCASE: q_0 、 q_1 、 q_2 、 q_3 分别为 1、2、3、4，仿真输出结果与在 Matlab 中仿真结果对比如表 4-5 所示。

表 4-5 姿态矩阵更新电路仿真对比

输出	环境	Modelsim	Matlab	误差
c11		-49	-49	0.0
c12		20	20	0.0

c13	10	10	0.0
c21	4	4	0.0
c22	-39	-39	0.0
c23	28	28	0.0
c31	22	22	0.0
c32	20	20	0.0
c33	-25	-25	0.0

⑥ 姿态角解算电路的仿真与验证
姿态角解算电路的仿真波形如图 4-6 所示。

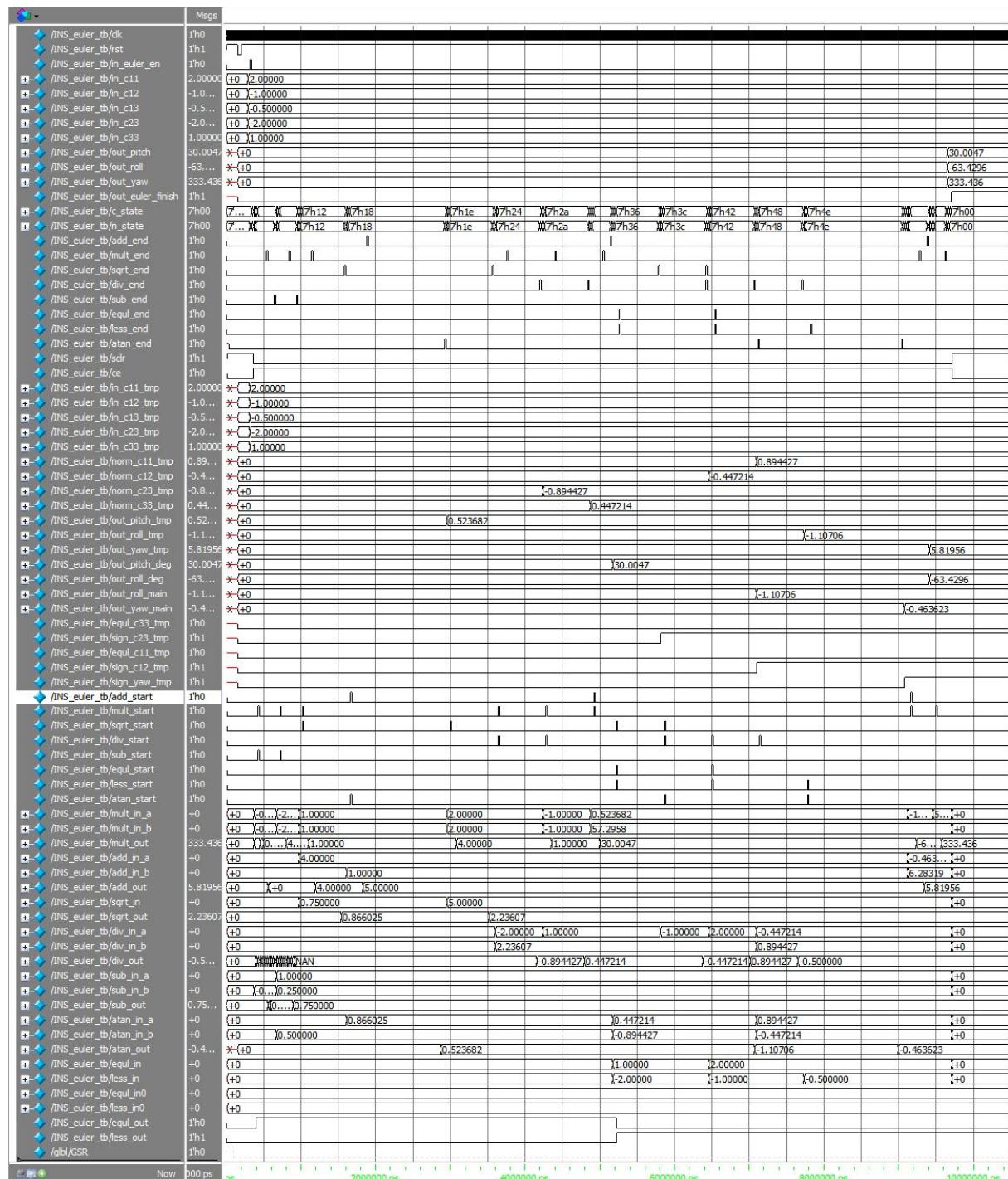


图 4-6 姿态角解算电路仿真测试

TESTCASE: c11、c12、c13、c23、c33 分别为 2、-1、-0.5、-2、1，仿真输出结果与在 Matlab 中仿真结果对比如表 4-6 所示。

表 4-6 姿态角解算电路仿真对比

输出	环境	Modelsim	Matlab	误差
	pitch	30.0047	30.0000	0.0047
	roll	-63.4296	-63.4349	0.0053
	yaw	333.4360	333.4349	0.0011

⑦ 顶层电路的仿真与验证

顶层电路的仿真波形如图 4-7 所示。

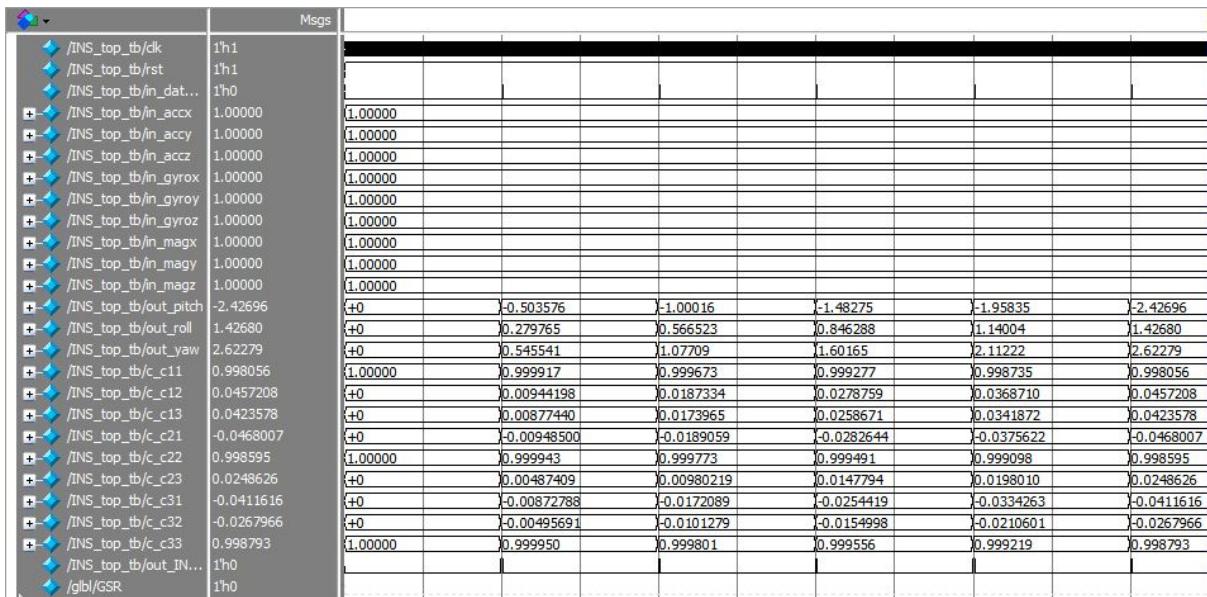


图 4-7 顶层电路仿真测试

TESTCASE: 所有输入都设为 1，并解算 5 次，仿真输出结果与在 Matlab 中仿真结果对比如表 4-7 所示。

表 4-7 顶层电路仿真对比

输出	环境	Modelsim	Matlab	误差
第 1 次解算				
pitch		-0.5036	-0.5027	-0.0009
roll		0.2798	0.2793	0.0005
yaw		0.5455	0.5410	0.0045
第 2 次解算				
pitch		-1.0000	-0.9968	-0.0032
roll		0.5665	0.5572	0.0093
yaw		1.0771	1.0762	0.0009
第 3 次解算				
pitch		-1.4827	-1.4821	-0.0006
roll		0.8463	0.8338	0.0125
yaw		1.6017	1.6058	-0.0041

第 4 次解算			
pitch	-1.9584	-1.9589	0.0005
roll	1.1400	1.1092	0.0308
yaw	2.1122	2.1299	-0.0177
第 5 次解算			
pitch	-2.4270	-2.4272	0.0002
roll	1.4268	1.3835	0.0433
yaw	2.6228	2.6488	-0.026

由表 5-1~表 5-5，子模块电路仿真数据与 Matlab 计算数据基本相等，说明电路稳定可靠。

表 5-6、表 5-7 中，姿态角与 Matlab 计算数据有误差，这是因为在姿态角解算过程中，使用的反正切运算 IP 核的为 16 位定点数，在浮点数与定点数转换过程中产生了数据误差，这些是后续电路改进过程中需要注意的问题。电路的解算值与参考值误差集中分布在 $[-0.02^\circ, 0.02^\circ]$ 内，并且通过数据对比可以看出解算值和参考值一样都是在收敛过程中进行的。由于电路数据格式的限制导致的误差不可消除。由于“数学平台”中解算微分方程时进行的积分运算和互补滤波过程中的比例积分运算产生了部分积累误差。另外在电路实际工作环境中，解算误差相较于飞行器的飞行状态而言可以忽略不计，并且当引入闭环 PID 反馈控制后，误差会相应的减小。

在仿真过程中，对调用的 IP 核的输入和输出标志信号可能会在时钟边沿丢失，从而造成计算错误，需要将标志信号进行保持以确保信号不会产生“竞争&冒险”。

通过以上数据分析可知电路在姿态角解算方面具有良好的可靠性和稳定性。

5 综合

5.1 综合库描述

5.2 设计约束及实现结果

5.3 时序约束及实现结果

5.4 RAM 的综合

5.5 门数及面积

6 静态时序分析 (STA)

6.1 Prime time 的 Tcl 脚本

6.2 关键路径

7 可测性设计 (DFT)

7.1 可测性设计接口电路

7.2 扫描链

7.3 Memory BIST

8 布局及布线