

FPGA-конструктор

советских ЭВМ

PDP-2011

PDP-11/70

Электроника-79

Описание процессорного модуля

Оглавление

1. Введение.....	3
2. Внутреннее устройство процессора.....	3
2.1. Модуль центрального процессора.....	4
2.2. Модуль управляющих регистров.....	4
2.3. Модуль диспетчера памяти.....	5
2.4. Подсистема Unibus Mapping.....	6
3. Процессорная плата PDP2011.....	6
3.1. Сетевой таймер KW-11L.....	6
3.2. ПЗУ монитора-загрузчика M9312.....	6
3.3. Регистр консольных переключателей и индикаторов.....	7
4. Сигналы управления и индикации.....	8

1. Введение.

Процессор PDP2011 — это синтетический процессор, эмулирующий систему команд и архитектуру различных ЭВМ серии DEC PDP11. Первоначально проект написан на VHDL инженером Sytse van Slooten, затем разошелся по миру в виде различных доработок. Проект предоставляет базовый набор — секвенсор команд и АЛУ, который каждый желающий может доработать под свои нужды, и получить в результате любой pdp-11-совместимый процессор, даже 1801BM3, при наличии полной технической документации.

Авторский вариант процессора предполагает работу с им же придуманной шиной, весь обмен по которой жестко синхронизирован с контроллером SDRAM, который и формирует тактовые сигналы для процессора. Это создает массу проблем вплоть до очень долгой работы фиттера во время сборки проекта. Я произвел доработку pdp2011 для включения в свой проект:

- переписал все нужные мне блоки с многословного мерзкого VHDL на симпатичный мне компактный Verilog
- Вместо непонятной оригинальной шины переделал проект на работу с шиной Wishbone
- Отвязал проект от контроллера SDRAM, теперь SDRAM и процессор работают отдельно друг от друга, синхронизируясь каждый своей частотой (clk_p и sdram_clk).
- Переписал практически заново модуль MMU для работы с Wishbone
- Подправил схему процессора на предмет ошибок и недоработок, для более-менее корректного прохождения тестов XXDP sekb*.

Из всего многообразия конфигураций я остановился на PDP11/70. Это один из самых развитых и интересных процессоров, совместимый со всеми операционными системами. В оригинале процессор имеет шину Unibus, а для работы с DMA преоставляет сервис Unibus Mapping. Кроме того, оригинальный pdp11/70 имеет в своем составе кэш-контроллер оперативной памяти, что было совсем нелишним во времена ферритовой индуктивной памяти. Я этот контроллер реализовывать не стал, для работы с SDRAM он практически не даст прироста производительности. В результате некоторые тесты XXDP выдают ошибки, на которые можно смело не обращать внимания.

2. Внутреннее устройство процессора.

Процессор состоит из 3 основных блоков — cpu, mmu и cpu_control_regs. Их функциональное назначение:

cpu — собственно сам центральный процессор. Этот модуль может функционировать самостоятельно, без остальных блоков, при условии что выполняемой программе не требуется доступ к PSW.

cpu_control_regs — набор внутренних управляющих регистров cpu, доступных на странице ввода-вывода. Среди этих регистров имеется и PSW по адресу 177776. Вместе блоки cpu и cpu_control_regs представляют собой полноценный 16-битный процессор.

mmu - модуль диспетчера памяти. Он преобразует сформированный процессором виртуальный адрес в физический 22-битный. Модуль также содержит в себе набор управляющих регистров, доступных через общую шину.

Далее эти модули описываются более подробно.

2.1. Модуль центрального процессора.

Модуль представляет собой законченный процессор PDP-11/70, и состоит из следующих частей:

- Секвенсор команд. Производит выбор из памяти последовательности команд, их разбор и выполнение. Кроме того, секвенсор имеет в себе средства для обработки прерываний и программных исключений. Выполнен в виде машины состояния.
- Основной регистровый файл. Представляет собой блок статической памяти, где хранится содержимое двух наборов универсальных регистров R0-R6. Регистр счетчика команд PC выполнен в виде отдельного регистра и в этот блок не входит.
- Регистровый файл блока FPP. Содержит все 64 регистра FPP.
- АЛУ основных команд. Занимается обработкой операндов обычных команд (арифметика, логика и т.д.).
- АЛУ команд EIS
- АЛУ блока FPP.

На внешние порты из модуля процессора выходят следующие сигналы:

- Шина wishbone — сигналы `adr`, `dat_i`, `dat_o`, `we`, `sel`, `stb`, `ack`. Адресные линии представляют виртуальный 16-битный адрес.
- Сигналы, несущие информацию о типе текущего цикла ввода-вывода — `cp`, `id`, `ifetch`.
- Линии управления векторными прерываниями и прерываниями от MMU
- Сигналы управления DMA (`req` и `ack`)
- Флаги ошибок, для отображения через регистр ошибок
- Линии ввода-вывода PSW для обмена через регистр 177776
- Сигналы конфигурации, ручного управления и индикации состояния.

Процессор тактируется единственной тактовой частотой `clk_p`, противофазный тактовый сигнал не используется.

2.2. Модуль управляющих регистров.

Процессор `rdp11/70`, кроме универсальных регистров R0-R7, содержит в себе целый блок специализированных регистров, доступных на общей шине. Эти регистры управляют работой различных подсистем процессора, а также отображают его текущее состояние. В данном проекте реализованы следующие регистры:

177776	Регистр чтения-записи PSW.
177774	Подсистема контроля стека — установка нижней границы
177772	Регистр программных прерываний PIRQ
177770	Точка останова микрокоманды, значение не используется
177766	Регистр флагов ошибок
177764	Регистр идентификации процессора, читается 2011
177760	Размер установленной памяти
177746	Управление кэшем ОЗУ, установлен в состояние отключенного кеша

Кроме вышеприведенных, имеется ряд пустых регистров, из которых всегда читается 0, а запись игнорируется. Это регистры управления кэшем и регистры инженерной отладки — эти подсистемы не реализованы.

Более подробную информацию о формате всех этих регистров можно найти в руководстве **PDP-11 Handbook**.

Внешний интерфейс модуля представляет собой обычную шину wishbone.

2.3. Модуль диспетчера памяти

Диспетчер памяти преобразует виртуальный адрес, выставяемый процессором на шину, в физический 18- или 22-битный адрес в зависимости от текущего режима работы. Для преобразования в диспетчере предусмотрено 6 наборов по 8 пар регистров PAR/PDR, соответственно для 3 режимов работы (kernel, supervisor, user) и 2 типов машинных циклов (обращение к инструкции или данным). Детально процесс преобразования адреса отлично описан все в том же PDP-11 Handbook, и повторять это здесь я не вижу смысла.

Кроме PAR/PDR, в модуле имеется также набор из 4 регистров управления:

177572	SR0/MMR0
177574	SR1/MMR1
177576	SR2/MMR2
172516	SR3/MMR3

Кроме формирования физического адреса, блок MMU также формирует сигналы строба доступа к памяти RAM_stb и строба доступа к странице ввода-вывода bus_stb. Эти сигналы определяются текущим физическим адресом и режимом работы модуля MMU. Также модуль формирует 2 сигнала прерывания mmu_trap и mmu_abort. Первый из них вызывает прерывание по окончании обработки инструкции, если в регистре PDR текущей страницы указан режим доступа с прерыванием. Второй сигнал, mmu_abort, вызывает немедленное прекращение обработки текущей инструкции — это происходит при нарушении режима доступа к странице памяти.

Кроме обычных режимов работы (отключен, включен 18- или 22-битный адрес), в модуле реализован специальный режим отладки (maintenance mode). Этот режим используют только тесты СЕКВЕ, обычные операционные системы его не требуют.

На вход модуля, кроме обычных сигналов wishbone, также подается текущее PSW и информация о текущем машинном цикле (i/d, c/p, ifetch и прочее).

2.4. Подсистема Unibus Mapping

Эта подсистема является частью диспетчера памяти, хотя работает независимо от него. Ее назначение — предоставить возможность устройствам, умеющим работать в режиме 18-bit DMA, получить доступ ко всему 22-битному адресному пространству. При этом старшие 5 бит адреса (13-17), выставляемые устройством на шину, рассматриваются как номер регистра UBM, содержимое которого прибавляется к остальным младшим (0-16) битам адреса. Соответственно, в модуле имеются 32 22-битных регистра UBM. Реально используется только 31 регистр, поскольку при доступе к странице ввода-вывода (`adr[17:13] == 11111`) подсистема UBM отключается.

При доступе к шине со стороны процессора модуль UBM также производит трансляцию адресов, если сформированный физический адрес попадает в диапазон 17000000 — 17757777 (область отображения UNIBUS).

Подробно этот процесс описан в фирменной документации PDP-11 Handbook.

3. Процессорная плата PDP2011

Процессорная плата подключается к модулю верхнего уровня `topboard22`. Она содержит в своем составе все 3 модуля процессора `rdp2011`, а также следующие модули:

- Сетевой таймер `KW-11L`
- ПЗУ монитора-загрузчика `M9312` (эмулятор консольного пульта)
- Регистр консольных переключателей и индикаторов.

3.1. Сетевой таймер KW-11L

Таймер вызывает прерывания процессора приоритета 6 с частотой 50 Гц. В оригинальном `kw-11L` источником сигналов прерывания была электрическая сеть, в данном случае частота 50 Гц получается путем деления основной тактовой частоты `clk_p`. Таймер представлен на шине единственным регистром 177546. Поскольку включение и выключение таймера производится программно, отпадает необходимость в ручном выключателе `bt_timer`, присутствовавшем на других процессорных платах. Индикатором включения таймера является сигнал `led_timer`.

3.2. ПЗУ монитора-загрузчика M9312

Это ПЗУ содержит в себе консольный интерфейс, запускаемый автоматически при старте процессора, а также набор загрузчиков систем с различных периферийных устройств. ПЗУ

состоит из двух частей — консольный монитор по адресу 165000, и набор начальных загрузчиков по адресу 173000. Образы этих ПЗУ объединены в единый файл bootrom.mif.

После запуска монитор выводит на экран консольного терминала промпт \$, и ждет ввода команд:

```
140001 141432 000776 137652
```

```
$
```

В ответ на приглашение «\$» можно ввести одну из следующих команд:

L addr	Установить текущий адрес addr
E<пробел>	Вывести на экран значение ячейки по текущему адресу
D val	Записать значение val по текущему адресу

Кроме этих команд, монитор позволяет производить загрузку операционной системы со многих типов устройств. Для этого в ответ на приглашение «\$» следует ввести имя и номер устройства, например:

```
000106 000001 000662 000000
```

```
$DM0
```

```
RSX-11M-PLUS V4.6 BL87 1920.KW System:"RSXPDM"
```

```
>RED DM:=SY:
```

```
>RED DM:=LB:
```

```
>RED DM:=SP:
```

```
>MOU DM0:"RSX11MPBL87"
```

```
>@DM:[1,2]STARTUP
```

```
>;
```

```
>* Please enter time and date (HH:MM DD-MMM-YYYY) [S]:
```

В данное время загрузчик поддерживает устройства DK, DM, DP, DB, DT, DX. Обратите внимание, что устройство RK05 здесь называется DK, а не RK, как в RT-11.

3.3. Регистр консольных переключателей и индикаторов.

На инженерном пульте настоящей ЭВМ PDP 11/70 имеет набор из 16 переключателей и 16 светодиодов, доступных программно через регистр 177570. При чтении этого регистра читается текущее положение переключателей, при записи — информация выводится побитово на 16 светодиодов. Этот регистр широко используется в тестах XXDP и практически больше нигде.

В данном случае этот регистр выведен наружу процессорной платы через порт CSW (переключатели), и порт swr_out (индикаторы). На плате torboard22 регистру переключателей задано постоянное значение 0, а регистр индикации никуда не подключен. Однако, при желании (например, для работы с тестами XXDP) эти сигналы можно подключить к реальным физическим переключателям и индикаторам.

4. Сигналы управления и индикации

Из процессорной платы наружу выведены несколько информационных сигналов, предназначенных для вывода на индикаторные светодиоды. Имеются следующие сигналы:

- led1 — признак останова процессора командой wait
- led2 — признак включения трансляции адресов
- led3 — признак работы секвенсора команд
- timer_led — признак включения прерываний от таймера KW11L
- swr_out — 16-разрядный регистр консольной индикации

В процессорную плату входят сигналы ручного управления, предназначенные для подключения к внешним кнопкам или переключателям:

- bt_halt — продолжение работы процессора после команды HALT.
- csw — 16-разрядный регистр консольных переключателей.