

第二章 C28x的结构及工作原理

2.1 概述

2.2 C28x DSP的CPU

2.3 C28x 的流水线

2.1 概述

C28x系列DSP主要包括三个功能单元：

C28x DSP的CPU

片内存储器

片内外设

此外，C28x DSP还包括：

芯片复位、系统中断、时钟模块、CPU
定时器以及外部存储器接口等系统功能模
块。

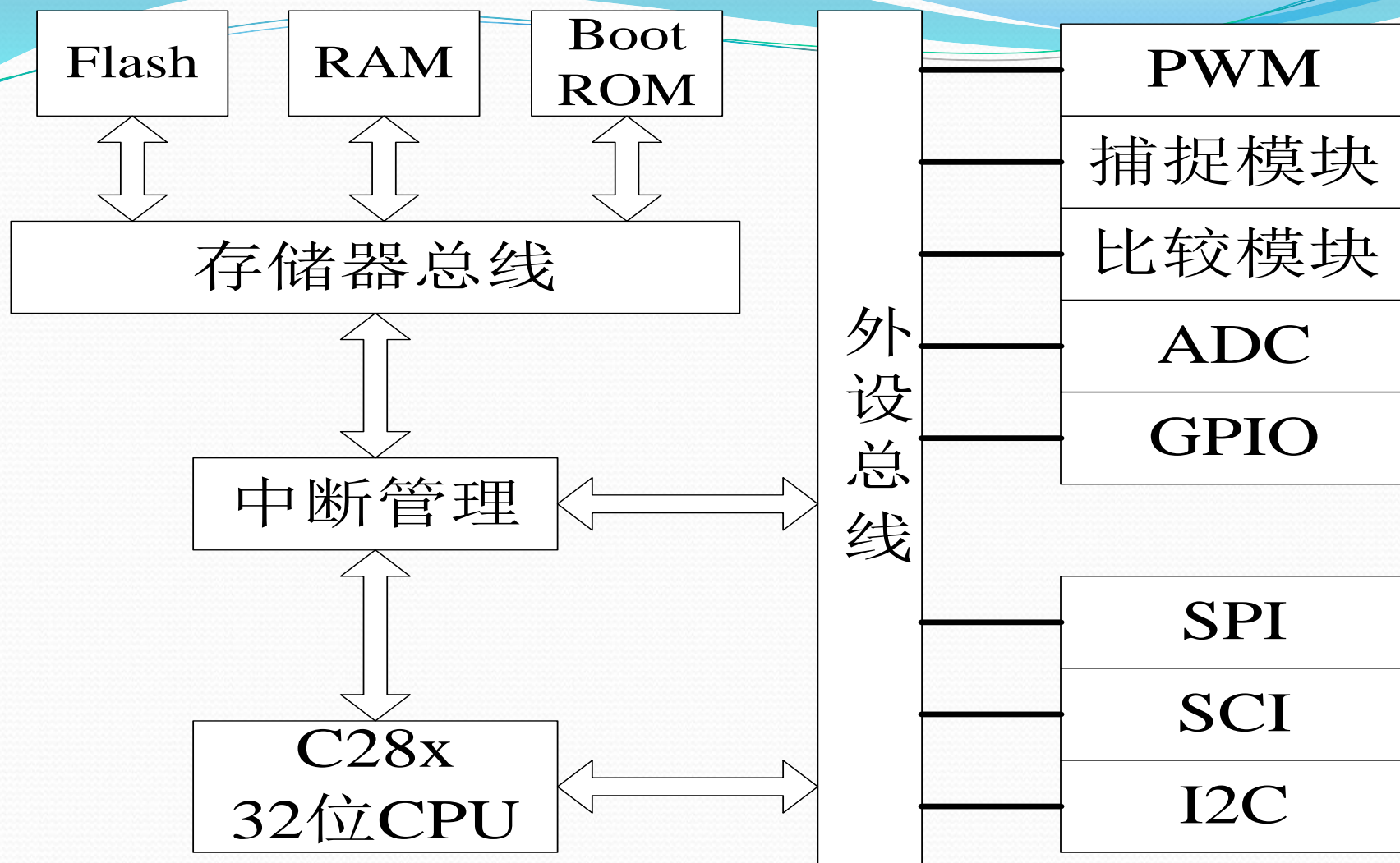


图2.1 TMS320F2802x DSP结构框图

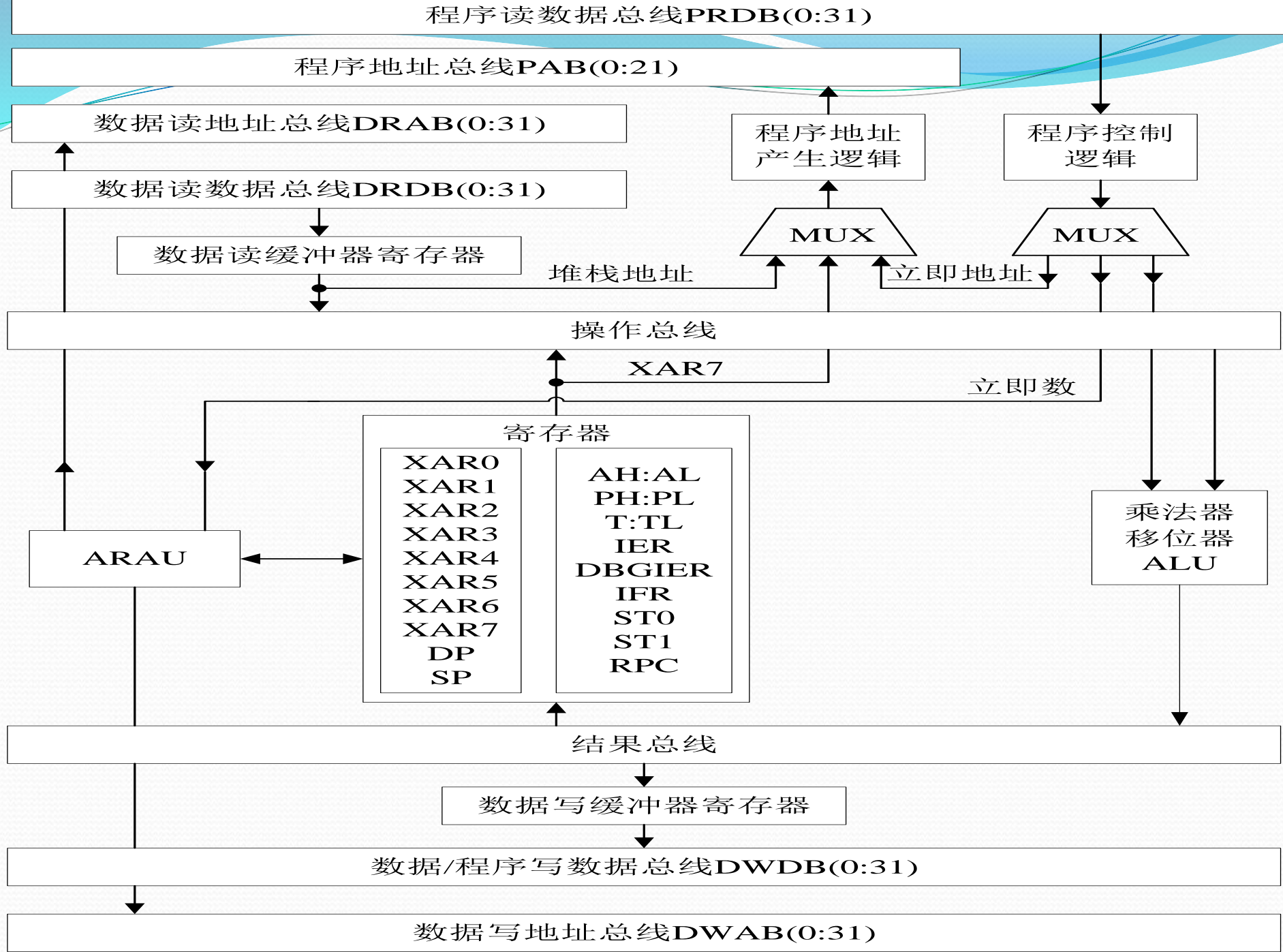
2.2 C28x DSP的CPU

组成单元:

算术逻辑单元(ALU)、乘法器、移位器、寄存器、地址寄存器算术单元(ARAU)、

六组总线、程序地址产生逻辑以及控制逻辑

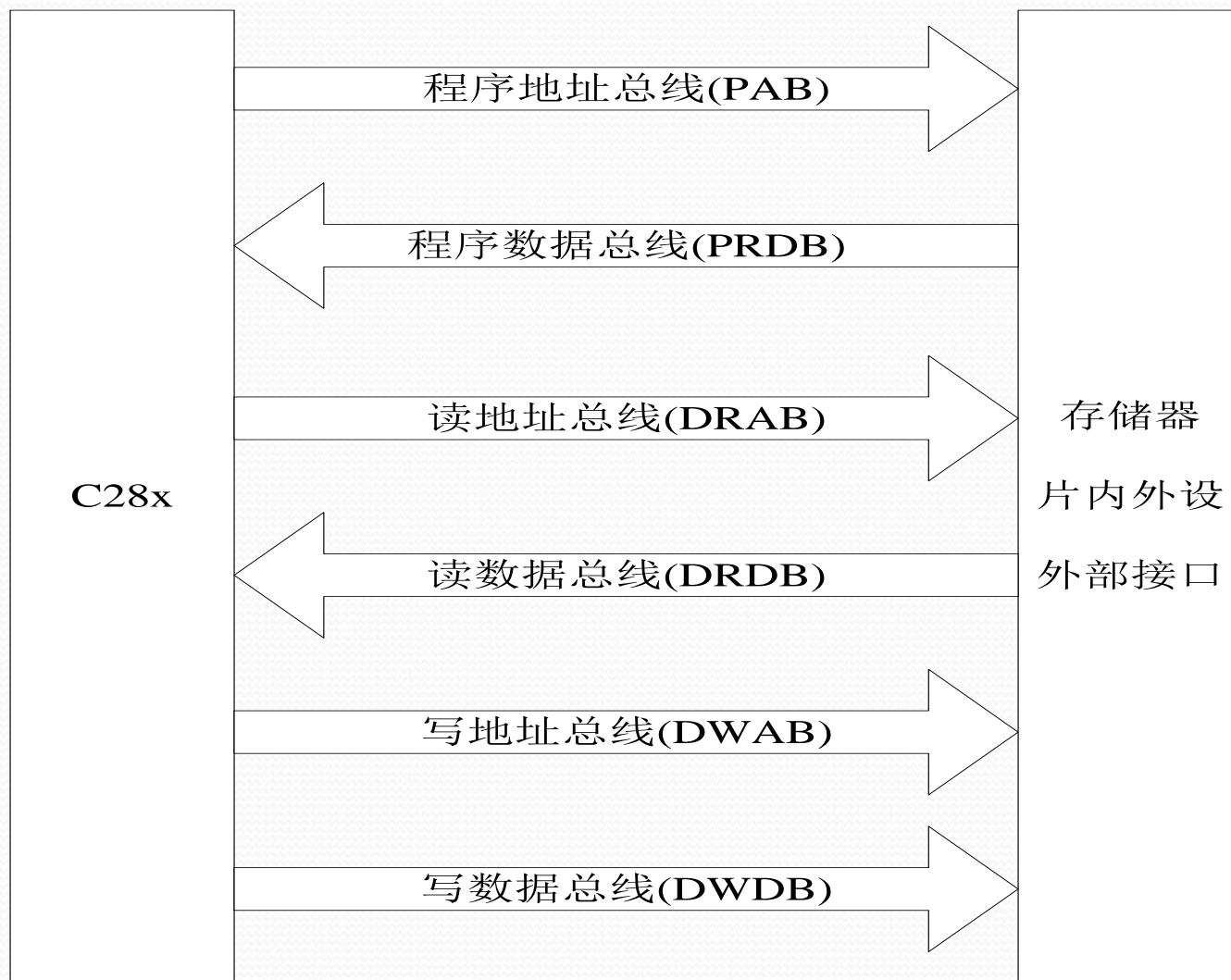
还包括一些指令队列和指令译码单元、中断管理逻辑单元等。



C28x DSP采用改进的哈佛结构，使用独立的总线访问程序和数据存储空间，并管理大量的片内外设。

C28x的CPU包含多种总线，其中**操作数总线**为CPU的ALU、乘法器和移位器的运算提供操作数；**结果总线**则把运算结果送至各寄存器和存储器；其余的总线为CPU与外部存储器之间的接口总线。

CPU与存储器或外设的接口总线共六组，CPU采用这六组总线完成指令和数据的并行读写和处理。



● C28x的寄存器

C28x的寄存器可分为五类：

与运算相关的寄存器、
辅助寄存器、
中断控制寄存器、
指针类寄存器、
状态寄存器

← 16位 →	← 16位 →	
AL	AH	ACC
T	TL	XT
PH	PL	P

AR0H	AR0	XAR0
AR1H	AR1	XAR1
AR2H	AR2	XAR2
AR3H	AR3	XAR3
AR4H	AR4	XAR4
AR5H	AR5	XAR5
AR6H	AR6	XAR6
AR7H	AR7	XAR7

← 16位 →
IER
IFR
DEGIER

ST0
ST1

SP
DP
6位

← 22位 →
PC
RPC

2.3 C28x 的流水线操作

2.3.1 流水线操作

C28x DSP执行程序时一般进行如下操作：

从程序存储器取指令；

对指令进行译码；

从存储器或CPU寄存器读取数据；

执行指令；

将结果写入存储器或CPU寄存器。

C28x DSP将这些操作分为八个独立的阶段：

取指令地址F1、
取指令内容F2、
识别指令D1、
指令译码D2、
取操作数地址R1、
读取操作数R2、
指令执行E、
数据存储W。

在任意时刻最多有八个指令在同时执行，每个指令处于指令执行的不同阶段。

2.3.2 流水线的保护

DSP采用流水线方式并行执行多条指令，在流水线的不同阶段这些指令完成存储器和CPU寄存器的修改。

在未保护的流水线中这可能导致流水线的冲突，即按非希望的顺序对同一存储器或寄存器进行读和写操作。

C28x DSP流水线具有自动防止流水线冲突的机制。

C28x DSP存在两种类型的流水线冲突：对同一数据存储单元读写冲突和寄存器冲突。

流水线采用在可能引起冲突的指令间添加无效周期方法来防止冲突。