

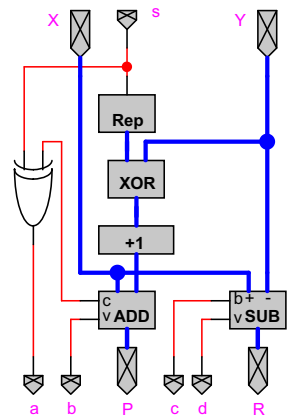
Examen 2 (temas 4, 5, 6 y 7)

Duración: 1 hora 45 minutos. La solución de cada ejercicio se tiene que escribir en el espacio reservado para ello en el propio enunciado. No podéis utilizar calculadora, apuntes, etc. La solución del examen se publicará en Atenea mañana por la tarde y las notas antes de una semana.

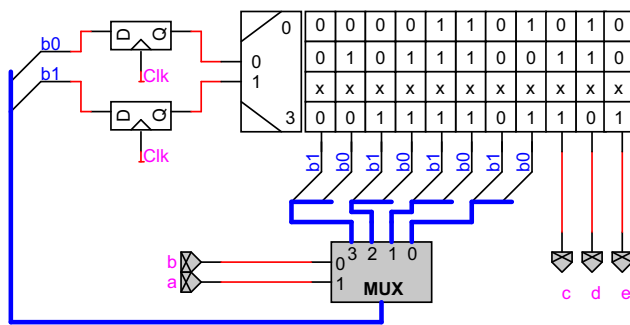
Ejercicio 1 (Objetivos 4.1, 4.3, 4.9, 5.6, 5.7 y 5.11) (2.5 puntos)

Dado el esquema del circuito combinacional a bloques, completad la siguiente tabla que indica el valor de las salidas del circuito para cada uno de los dos casos concretos de valores de las entradas (un caso por fila). (Notación: Au y As son los valores numéricos (natural y entero) codificados en binario y en complemento a dos, respectivamente, en el vector de bits (bus) A). Todos los buses y bloques son de $n=8$ bits. Los 8 bits del bus de salida del bloque Rep son una réplica del bit de entrada s. Si llamamos Z al bus de entrada del bloque +1 y W a su bus de salida, el bloque calcula $Wu=(Zu+1)\%2^8$. Se pide la interpretación de P y R como Naturales (Pu y Ru) y como Enteros (Ps y Rs)

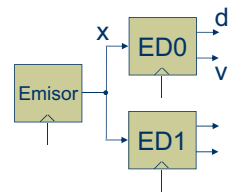
s	X	Y	a	b	c	d	Pu	Ps	Ru	Rs
0	1 1 0 0 0 1 0 1	1 1 0 0 1 1 0 0								
1	0 1 0 1 0 1 0 1	1 0 1 0 1 1 0 1								

**Ejercicio 2** (Objetivo 6.14) (1,5 puntos)

Dibujad el grafo de estados (y la leyenda) del siguiente circuito secuencial. Los biestables se inicializan a 0

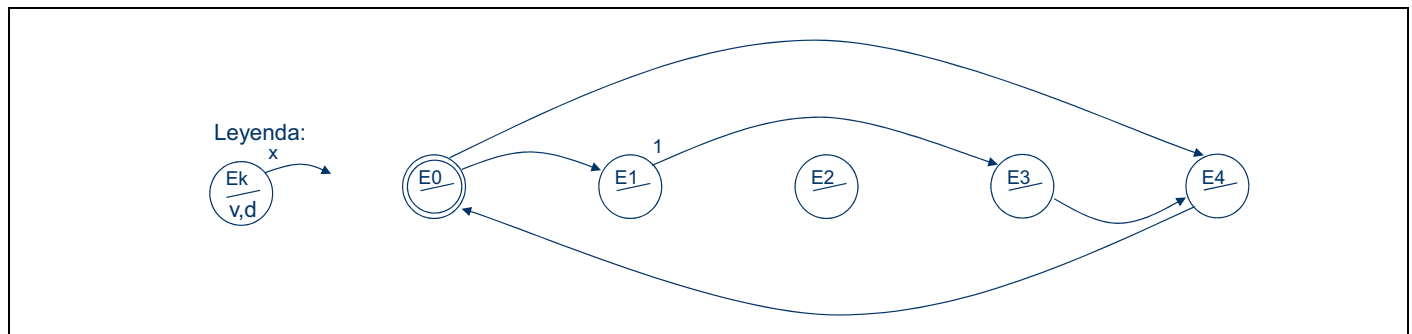
**Ejercicio 3** (Objetivos: 6.11 y 6.10) (2 puntos)

La figura muestra un sistema con tres circuitos secuenciales. El emisor envía constantemente micromensajes (llamados umensajes) por su salida x, de un bit, que son leídos por los dos circuitos extractores de datos (ED0 y ED1). Al ciclo siguiente de enviar el último bit de un umensaje envía el primer bit del siguiente umensaje, sin ningún ciclo de separación. Cada umensaje consiste en dos bits, que aparecen en x en ciclos consecutivos: en el primer ciclo el bit de cabecera y al ciclo siguiente el bit del dato. Los circuitos ED0 y ED1 son extractores de los datos de los umensajes con cabeceras 0 y 1 respectivamente. En el ciclo inicial en x se encuentra la cabecera del primer umensaje. El número de umensajes consecutivos con el mismo valor del bit de cabecera es arbitrario y va cambiando pudiendo ser 0, 1, 2,... Otra forma de decir lo mismo: en cualquier ciclo par, incluyendo el 0 (si empezamos a numerar los ciclos por el 0) en x se encuentra la cabecera de un umensaje.



Completad el cronograma simplificado y el grafo de estados (y la leyenda) del circuito ED0 cuyo funcionamiento es el siguiente. Al ciclo siguiente de llegar el bit del dato de un mensaje con cabecera 0 lo saca por su salida d, de un bit, poniendo en ese mismo ciclo un 1 en su salida v, también de un bit, que valida el dato extraído. Aunque cuando v vale 0 no importa lo que valga la salida d, en nuestra implementación haremos que valga 0. (El funcionamiento de ED1 sería similar pero para los umensajes con cabecera 1).

Ciclo	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19
Estado	E0																			
x	1	1	0	0	0	1	1	1	0	1	0	1	0	0	1	0	1	0	0	0
d	0	0	0	0	0	0	1	0	0	0	1									
v	0	0	0	0	1	0	1	0	0	0	1									



Ejercicio 4 (Objetivos 7.7, 7.9 y 6.13) (4 puntos)

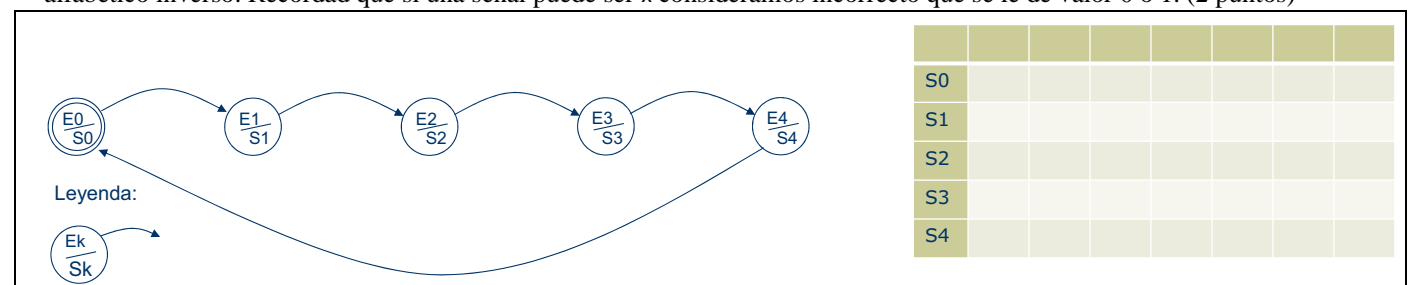
Completad el diseño del procesador de propósito específico (PPE) formado por una Unidad de proceso (UP), que se muestra en la figura, y una Unidad de Control (UC). El PPE tiene un bus de entrada, X, y otro de salida, W, ambos de 8 bits. También tiene una señal de entrada, Begin, y otra de salida, End, ambas de un bit. Estas dos señales se usan para gestionar el protocolo síncrono de entrada/salida de los datos y de los resultados por X y W, respectivamente.

El PPE calcula indefinidamente el número de datos pares y el de datos impares de una secuencia de N datos, para $0 < N < 2^8$ (cada dato se interpreta como un número natural codificado en binario). El protocolo indica que si en el ciclo c la señal Begin vale 1 significa que en el ciclo c+1 se encontrará en X el número natural N codificado en binario y en los ciclos c+2 a c+1+N llegarán por X los N datos, a razón de uno por ciclo.

En el ciclo c+N+2 la salida W debe contener, como resultado del cálculo, el número de datos pares y en el ciclo c+N+3 el de datos impares (de los N que han llegado al PPE). Esto es $W(c+N+2)_u + W(c+N+3)_u = N$. Para validar estos dos resultados la señal End debe valer 1 en el ciclo c+N+2 y en el c+N+3. Si entre los ciclos c+1 y c+N+3, ambos inclusive, Begin vale 1 se debe abortar el trabajo actual y comenzar uno nuevo con el número de datos que se indicará en X al ciclo siguiente.

- a) Expresad mediante una fórmula, lenguaje de alto nivel, texto... la funcionalidad del bloque B (con entrada X y salida B) (0,5 pun)

- b) Completad el grafo de estados de la UC del PPE (no olvidéis la leyenda del grafo ni la cabecera de la tabla de salidas. Faltan arcos y etiquetas). En la leyenda/tabla ordenad las entradas de izquierda a derecha por orden alfabético y las salidas por orden alfabético inverso. Recordad que si una señal puede ser x consideramos incorrecto que se le de valor 0 o 1. (2 puntos)



- c) Si se implementa la UC con una única ROM y un MUX ¿Cuántas palabras y cuantos bits por palabra tiene la ROM? (0.5 puntos)

ROM:

- d) Si la UC se implementa como en el apartado c) y suponiendo los siguientes parámetros temporales, ¿cuál es el camino crítico del PPE (nombra la secuencia de bloques por la que pasa)? ¿Cuál es el tiempo de ciclo mínimo del PPE? (1 punto):

Las entradas están estables 150 u.t. después del inicio del ciclo. Las salidas deben estar estables 140 u.t. antes del final de ciclo. El tiempo de propagación de un sumador, restador o bloque Z es de 150 u.t., bloque B 20 u.t. y MUX-2-1 y MUX-4-1 50 y 100 u.t. respectivamente. Los biestables de los registros y de la UC tienen un tiempo de propagación de 100 u.t. y la ROM de 200 u.t.

Camino crítico:

Tiempo de ciclo mínimo =