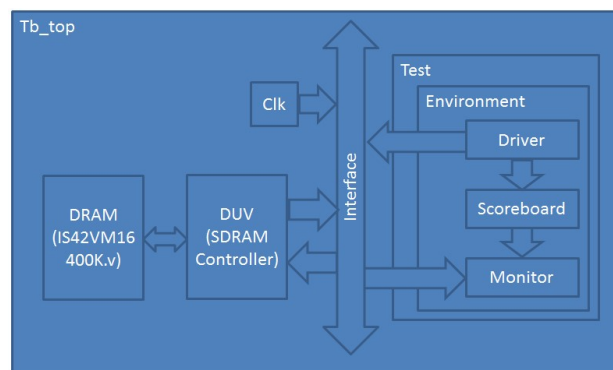


## Tarea #1

### Notas generales:

- La tarea puede realizarse en grupos (5 personas máximo).
- Se calificará con una nota de cero si se demuestra cualquier tipo de plagio.
- Fecha de entrega: martes 1 de noviembre del 2018, a las 6pm.

Con base al proyecto *SDRAM Controller*, modifique el código del archivo *tb\_top.sv* para implementar un nuevo testbench basado en capas como se muestra a continuación:



### Indicaciones:

- Reutilizar el código original de *tb\_top.sv* y mantener la misma estrategia de verificación que el archivo original *tb\_top.sv*:
  - Escrituras → Lecturas & Comparaciones.
- Crear un bloque *interface* que incluya las señales de reloj, interfaz WISHBONE e interfaz SDRAM.
- Crear un bloque *program* llamado *test* que incluya una clase *environment*, *driver*, *scoreboard* y *monitor*.
- Declarar la clase *driver* con los siguientes métodos:
  - *Reset*: Inicializa la memoria DRAM.
  - *Burst\_write*: ejecuta una escritura a la memoria DRAM y almacena la información de la escritura en el *scoreboard*.
- Declarar la clase *monitor* con el siguiente método:
  - *Burst\_read*: ejecuta una lectura a la memoria DRAM y compara con la información obtenida de la lectura con la información de la escritura almacenada en el *scoreboard*.
- La clase *scoreboard* incluye un *queue* para datos, dirección, tamaño de ráfaga de escritura.

### Entregable:

- Archivo comprimido extensión .tar.gz con los archivos del proyecto.

### Evaluación:

- Se realizará una revisión del proyecto el día de la fecha de entrega con cada grupo de trabajo.