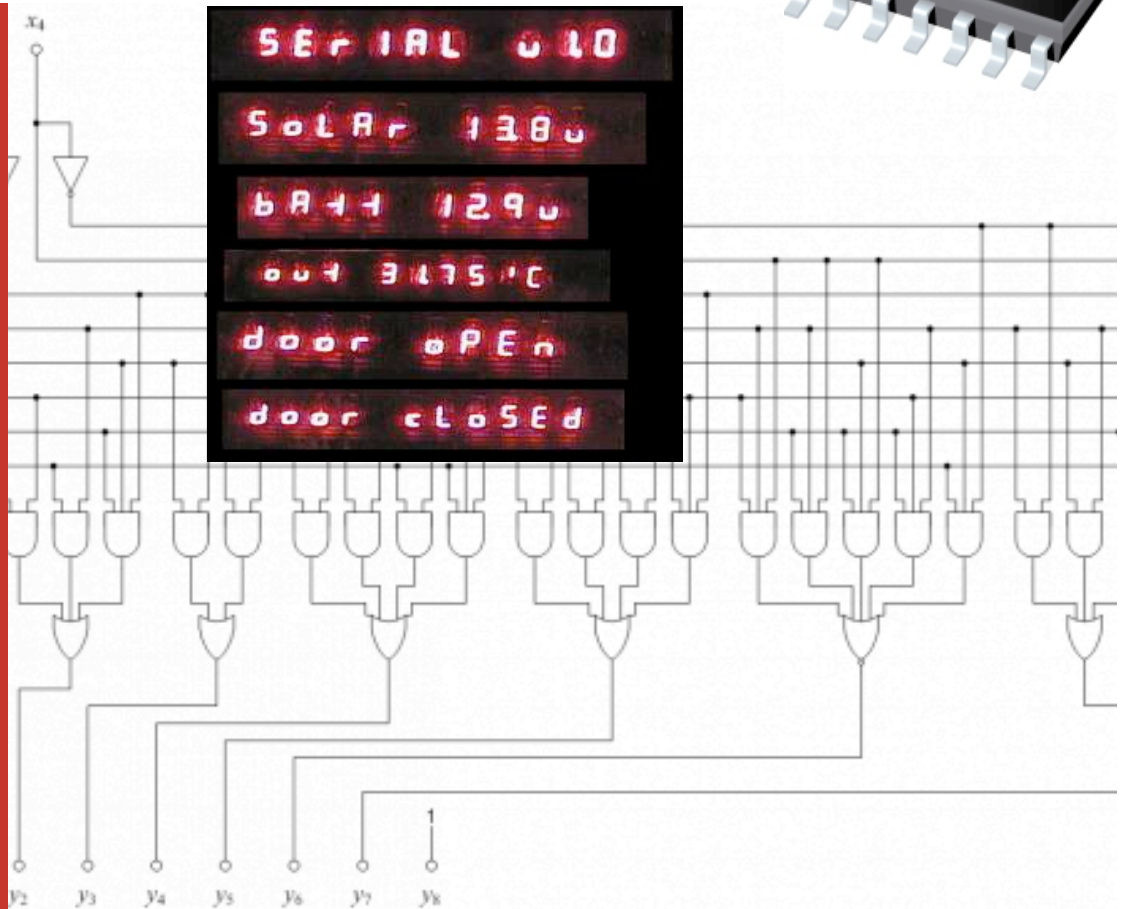


LAB.DIGITAIS I

Lab #6) Projeto 1 (2019-2)

Projeto de Decodificadores Especiais para Display de 7 segmentos usando Mapas de Karnaugh e AOI's capazes de mostrar certas combinações de caracteres.



Lab #6) Projeto 1

Projetos de DEC's especiais para Display de 7-Segmentos

Prof. Fernando Passold

Atenção:

Os alunos devem confirmar (e reservar) os componentes necessários diretamente no Almoxarifado da Eng. Elétrica (com antecedência!). Devem indicar também a reserva dos proto-boards.

Descrição

O objetivo deste laboratório, consiste no projeto (1a-parte) e realização (2a-parte) de circuitos Decodificadores Especiais capazes de gerar certas combinações de caracteres num display de 7-Segmentos, tentando usar o menor número possível de pastilhas e portas lógicas básicas: AND, OR, NOT, XOR e AOI's.

Note que para este projeto em particular, seus Decodificadores trabalham com 4 variáveis de entrada: *D* (bit MSB), *C*, *B* e *A* (bit LSB), e geram 10 saídas diferentes: uma para segmento do display (variáveis: *a*, *b*, *c*, *d*, *e*, *f*, *g*).

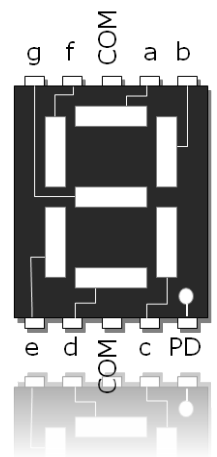
As variáveis de saída podem ser ATIVO ALTO ou ATIVO BAIXO em conformidade com o tipo de display que será adotado para realizar o projeto:

- Displays de 7-Segmentos de Ânodo Comum (pino COM conectado ao +VCC, via resistor), trabalham em ATIVO BAIXO;

- Displays de 7-Segmentos de Cátodo Comum (pino COM ligado ao GND), trabalham em ATIVO ALTO.

Note que CI's TTL normalmente drenam mais corrente em nível lógico BAIXO o que deve ser levado em consideração durante este projeto.

Outro detalhe ainda deve ser considerado na realização deste projeto: são 4 variáveis de entrada, mas apenas 10 combinações de saída são geradas, o que significa que se pode **trabalhar com condições "don't care"**.



Para este projeto o aluno pode usar qualquer porta básica de quantas entradas se fizerem necessárias, desde portas NOT até portas AND de 5 entradas ou mais. A página “74 Series Logic ICs” pode auxiliar na determinação das pastilhas à serem usadas: <http://www.kpsec.freeuk.com/components/74series.htm>. Esta página relaciona pastilhas (incluindo sua pinagem) contendo portas com diferentes números de entrada (desde 2 até 8) e de diferentes tipos: AND, NAND, OR, XOR (EX-OR), NOR. Outras páginas que permitem consultar diferentes pastilhas lógicas são:

- http://www.fairchildsemi.com/products/logic/prod_tree/logic_function.html
- <http://www.national.com/catalog/>
- <http://www.philipslogic.com/> (principalmente CMOS)
- <http://tams-www.informatik.uni-hamburg.de/applets/hades/webdemos/10-gates/00-gates/basic.html> (Simulador Java de portas lógicas básicas).

Reparar durante a execução do projeto, que certas expressões lógicas (ou pequenas partes) se repetem, o que significa que estas só necessitam ser realizadas uma única vez mas suas saídas podem ser aproveitadas em diferentes pontos do circuito. Por exemplo, supor que a equação que rege o funcionamento do segmento *a* seja: $a = \dots + D\bar{C}B + \dots$; e que para o segmento *d* seja: $d = \dots + A\bar{C}B + \dots$, notar que a parte $\bar{C}B$ se repete, portanto, esta parte do circuito deveria ser realizada uma única vez e sua saída aproveitada nas entradas da porta OR de saída para estes 2 segmentos. Outro

fato interessante que pode ser considerado para síntese do circuito final é o emprego exclusivo de portas NOR ou NAND para certos segmentos (as vezes permite gastar menos pastilhas).

Observação final:

Cada aluno (equipe) se responsabiliza pela realização de um dos projetos, identificado pelos números de 1 à 9. A ideia é a de que cada aluno/equipe monte seu projeto posicionado o display de 7-Segmentos na parte inferior ou superior do proto-board de forma a facilitar a interligação do circuito com o das outras equipes e tentar formar as mensagens mostradas na figura 2, conforme se varia o código de entrada.

Continua →

Projeto										
Input	1	2	3	4	5	6	7	8	9	10
DCBA										
0000	0	1	2	3	4	5	6	7	8	9
0001	A	F	E	D	C	B	A	F	E	D
0010	A	E	D	C	B	A	F	E	D	C
0011	A	E	D	C	B	A	F	E	D	C
0100	S	6	0	2	A	8	0	P	E	A
0101	2	6	0	0	E	L	0	0	2	H
0110	A	E	P	E	A	E	0	0	A	J
0111	C	I	S	E	-	0	P	E	A	J
1000	C	E	A	0	0	A	S	F	H	H
1001	E	0	A	A	A	E	E	S	C	J

Fig. 2 - Padrões de caracteres à serem gerados.

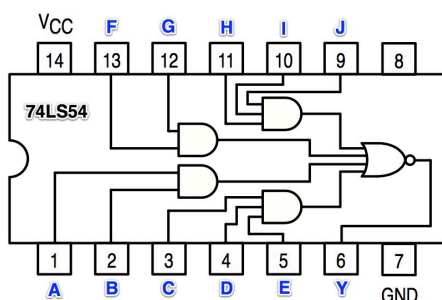


Fig. 1
Ci 74LS54 (exemplo de AOI)

AOIs AND-OR-INVERTER GATES

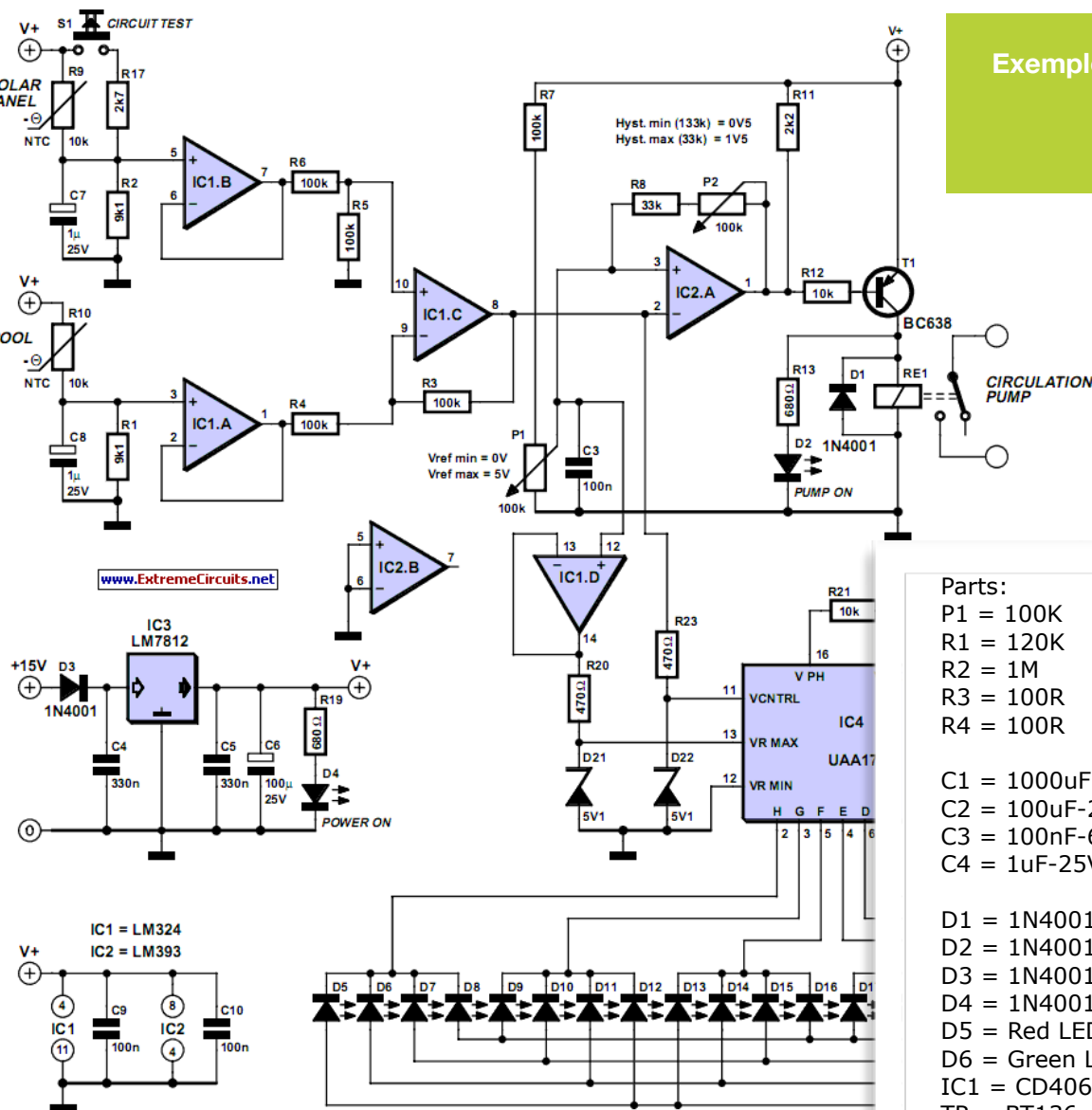
AOI's são pastilhas integradas que contêm internamente combinações de portas And-Or-Inverter (NOT) e portanto podem ser úteis na síntese de circuitos mais complexos.

Por exemplo a pastilha 74LS54 (ver figura 1) traz portas AND-OR-INVERTER na configuração 4-wide 2-input 3-input AOI gates, que internamente realiza a seguinte função lógica: $Y = \bar{A}B + CDE + FG + HJK$

Outros exemplos de pastilhas AOI: 74LS51 (2-wide 2-input 2-wide 3-input AOI gates), 74LS55 (2-wide 4-input AOI gates).

Mais informações na internet à respeito destas pastilhas pode ser encontrado em: <http://iroi.seu.edu.cn/books/asics/Book2/CH02/CH02.4.htm> e <http://tams-www.informatik.uni-hamburg.de/applets/hades/webdemos/10-gates/00-gates/complex.html>

Exemplo Descrição de projeto



Relatório

Formato Esperado

Este laboratório **exige** a apresentação de um **Relatório** no formato citado à seguir:

Na primeira página do relatório deve aparecer (no seu topo), o título (em letras maiores) com o número do projeto, e abaixo do título deve aparecer o(s) nome(s) do(s) aluno(as), seus números de matrícula e por fim a data de execução prática.

• Em seguida, os seguintes itens devem constar:

1. **Projeto:** apresenta a tabela de caracteres que devem ser gerados, relacionando os segmentos que devem ser ativados (indicar se em nível lógico alto ou baixo). Deixar claro o tipo de display adotado para desenvolver a solução (ânodo ou cátodo comum)
2. **Mapas de Karnaugh:** apresenta os Mapas de Karnaugh desenvolvidos para cada segmento do display, apresentando os agrupamentos realizados, a equação obtida e acompanhada (quando for o caso) de comentários sobre a forma como foi implementado (usando AOI, somente portas NAND ou NOR, etc). Podem ser ressaltados (sublinhados com cores diferentes), os agrupamentos algébricos comuns entre os diferentes segmentos (a idéia é não repetir combinações lógicas mais de uma vez). Ressaltar soluções de implementação que

permitiram reduzir partes do circuito — otimizações garantem melhor avaliação.

3. **Circuito final:** apresenta o diagrama elétrico **legível** mostrando as **pastilhas** utilizadas (**numeradas**), seus números de pinos. Os **pontos de entrada e de saída** do DEC especial devem ser **devidamente identificados** no diagrama lógico elétrico..
4. **Caracteres Formados:** apresentar uma **tabela completa** que mostra os caracteres formados no display quando o código de entrada varia de 0000₍₂₎ até 1111₍₂₎.
5. **Lista de Material:** lista dos componentes coincidindo com a numeração das pastilhas adotada no diagrama lógico elétrico apresentado — guiar-se pela quadro ao lado da figura acima.

Observações finais: usar folha A4, tamanho de fonte não maior que 10, parágrafos com espaçamento simples e páginas numeradas. A não conformação do relatório neste formato implica em redução de 10% no final da avaliação. Se o circuito final usar 8 pastilhas ou mais [1 x 7404 (6 x NOT) + 7 x 7454 (AOIs)], sem maiores esforços de simplificações, vai render no máximo 70% do total da avaliação alcançável.

Informações Adicionais:

Segue tabela relacionando portas lógicas básicas. Mais informações sobre as mesmas (por exemplo, correntes de saída) podem ser obtidos à partir de:

- ➔ 74 Series Logic ICs: <https://electronicsclub.info/74series.htm> (inclui pinagens)
- ➔ Texas Instruments (SN) >> Logic >> Gates: <http://www.ti.com/logic-circuit/gate/overview.html>
- ➔ neXperia >> Logic >> Gates: <https://www.nexperia.com/products/logic/control-logic/gates/>
- ➔ On Semiconductor >> Products >> Logic >> Standart Logic >> Logic Gates: <https://www.onsemi.com/PowerSolutions/parametrics/247/products>

Relação de algumas pastilhas contendo portas lógicas básicas:

6 x NOT	7404	4 x OR(2)	7432	4 x NOR(2)	7402
				3 x NOR(3)	7427
AOI	7454	4 x AND(2)	7408	4 x NAND(2)	7400
	7451	3 x AND(3)	7411	3 x NAND(3)	7410
	7455	2 x AND(4)	7421	2 x NAND(4)	7420
				1 x NAND(8)	7430
		4 x XOR	7486		

Código BCD de entrada (bits identificados pelo padrão: D, C, B e A; onde D=bit MSB e A=bit LSB)

Projeto										
Input	1	2	3	4	5	6	7	8	9	10
DCBA										
0000	0	1	2	3	4	5	6	7	8	9
0001	A	B	C	D	E	F	G	H	I	J
0010	K	L	M	N	O	P	Q	R	S	T
0011	U	V	W	X	Y	Z				
0100	a	b	c	d	e	f	g	h	i	j
0101	k	l	m	n	o	p	q	r	s	t
0110	u	v	w	x	y	z				
0111	A	B	C	D	E	F	G	H	I	J
1000	K	L	M	N	O	P	Q	R	S	T
1001	U	V	W	X	Y	Z				

Obs.: cada equipe fica responsável por apenas 1 coluna/projeto! O número do projeto (coluna) deve ser ressaltado (indicado) no relatório final.