

周学习总结

许典

嵌入式FPGA的算法加速设计流程

Vitis HLS设计算法电路结构并测试导出IP



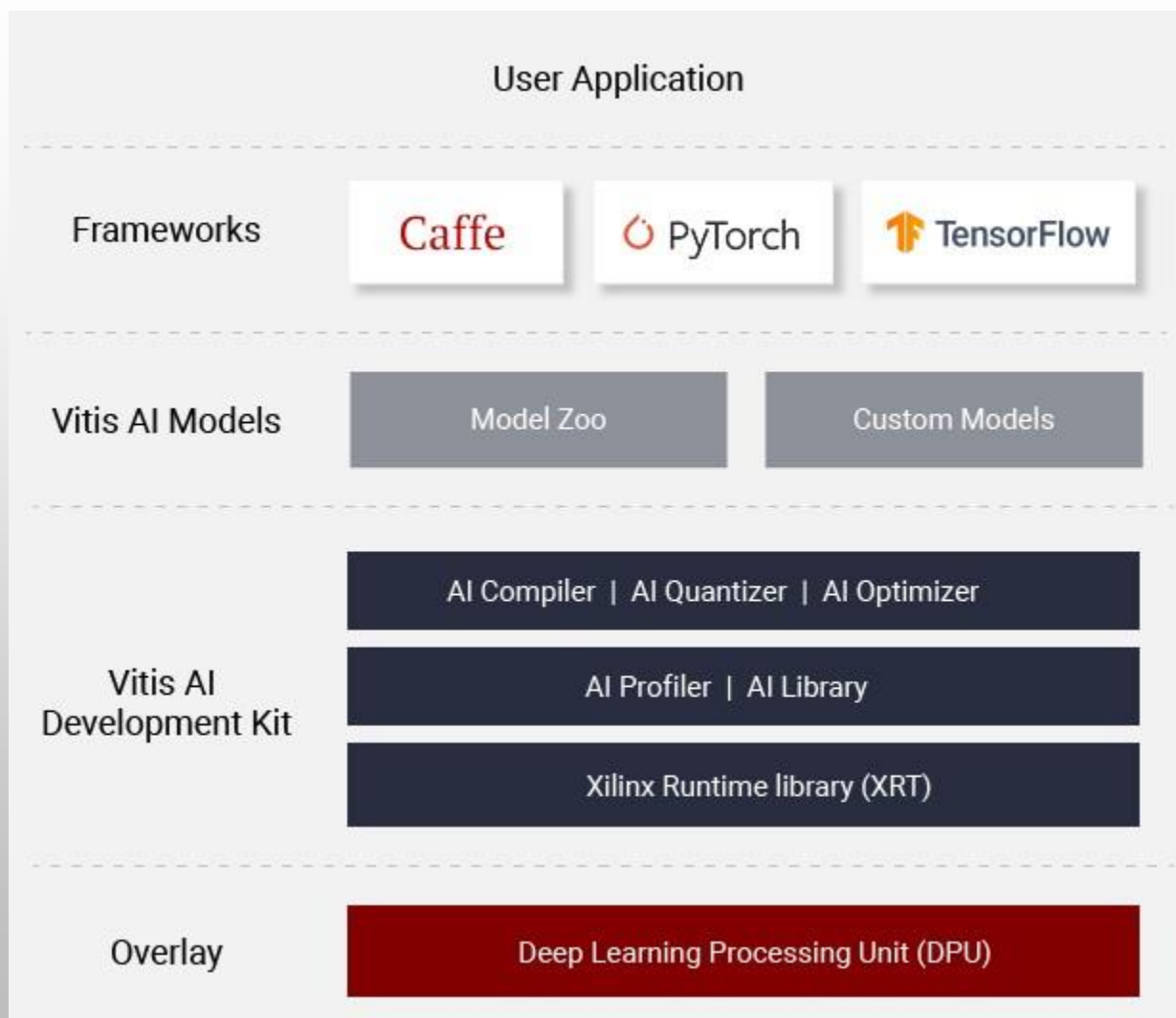
将导出的IP核导入到Vivado中，并且连接arm核



在Vitis中设计调用函数，启动FPGA之后，通过中断获取到运行之后的结果

嵌入式FPGA通用模型加速设计流程

- 在这种设计结构中，需要做的是将框架中的模型进行FPGA的实现通用优化



两种设计比较

	FPGA算法加速设计	FPGA通用模型加速设计
模型	单个模型的针对性优化	同类模型的普遍性优化
规模	小	大
实验及结果特点	验证形式实验，可行即可	比较形式实验，要有竞争力