

# SM41J256M16M型 4Gb DDR3 同步动态随机 存储器

## 产品用户手册

深圳市国微电子有限公司

二零一六年九月一日

## 产品手册修改控制页

产品手册：SM41J256M16M

序号	文件更改内容	日 期	修改人
1	新制定	2015.12.01	刘慧
2	增加器件说明内容	2016.09.01	王莉莉
3	增加湿度敏感等级	2018.01.10	李丽贞
4	修改交流电特性参数	2018.12.24	庞龙

## 目 录

一、	产品特性.....	3
二、	功能描述.....	3
三、	原理框图.....	4
四、	封装形式.....	4
1.	产品名称标示含义.....	4
2.	封装形式图及封装尺寸.....	5
五、	引脚描述.....	6
六、	绝对最大额定值.....	8
七、	推荐工作条件.....	8
八、	直流（DC）特性表.....	8
九、	交流（AC）特性表.....	10
十、	器件说明.....	13
1.	真值表.....	13
2.	功能说明.....	14
十一、	时序图.....	29
十二、	使用操作规程及注意事项.....	35
十三、	运输与储存.....	35
十四、	开箱与检查.....	35
十五、	质量保障与售后服务.....	35
十六、	联系方式.....	36

## 一、 产品特性

SM41J256M16M 性能指标满足参考 GJB7400-2011 制定的军温塑封级要求，其主要研制指标如下：

- 工作电压： $V_{DD} = 1.5V \pm 0.075V$ ,  $V_{DDQ} = 1.5V \pm 0.075V$
- 存储容量：4Gbit
- 存储结构：256Mb x 16 (32 Mb x 16 x 8 banks )
- 8-bit 预取结构
- 差分时钟输入：CK 和 CK#，时钟频率 800MHz
- 支持 DQS 单端或差分可配置
- 可编程 CAS 延迟 (CAS Latency)
- 可编程的 CAS 附加延迟 (Additive Latency)
- 可编程的 CAS 写入延迟 (CWL)
- 固定突发长度 (BL)：8
- 4-bit 突发突变 (Burst Chop) 功能
- 兼容 1.5V I/O 标准 (SSTL\_15)
- 封装形式：BGA96；
- 温度范围：-55℃~+125℃；
- 湿度敏感等级：3 级
- 质量等级：参考 GJB 7400-2011 《合格制造厂认证用半导体集成电路通用规范》N 级要求。

## 二、 功能描述

SM41J256M16M 型 4Gb DDR3 同步动态随机存储器，是一款采用差分时钟输入 (CK 和 CK#) 的双倍速率数据架构实现高速运行的同步动态随机存储器，采用 8 个 bank 结构，每个 bank 大小为 32 Mb x 16。可通过行地址、列地址对内部存储单元进行选择，通过标准指令激活器件后，进行读写操作。各操作指令序列与

MT41J256M16HA-125 兼容。

### 三、 原理框图

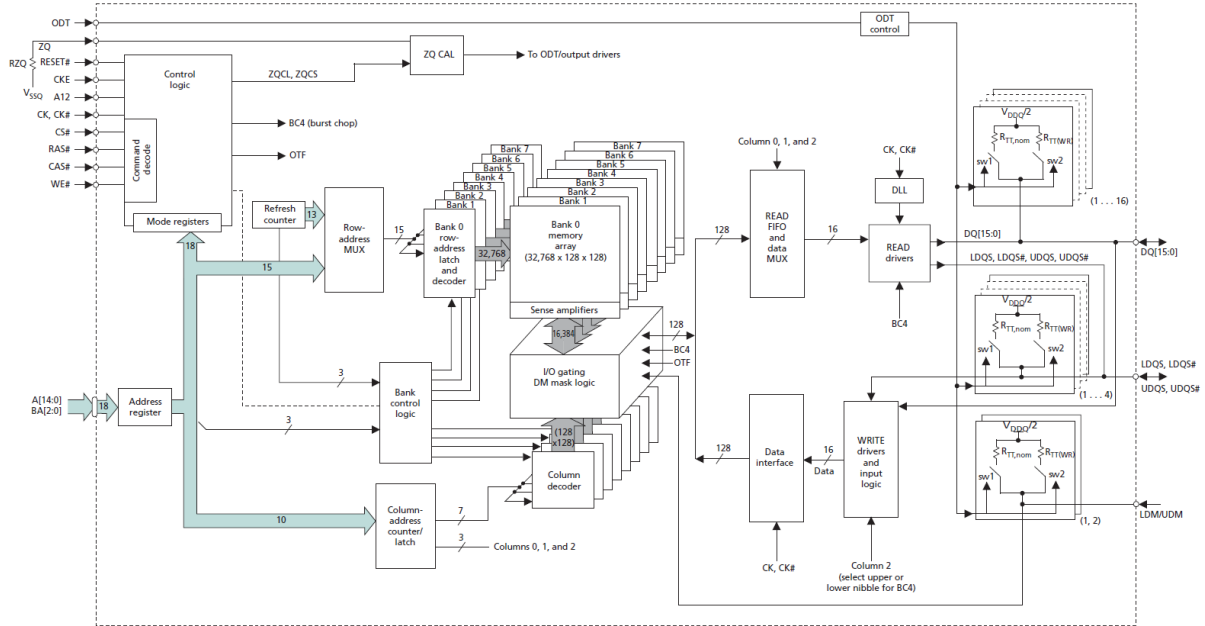


图 1 功能原理图

### 四、 封装形式

#### 1. 产品名称标示含义

SM41J256M16M 集成电路产品均按照我司程序文件《产品标识和可追溯性控制程序》及《产品电路命名规范》的要求进行标识。同时，如客户有要求时，在不违背产品基本特性的情况下，产品编号的标识可按客户要求进行。

我司目前产品的命名，符合 GJB 7400-2011 及相应产品详细规范规定的质量等级要求。

SM41J256M16M 产品型号的编号内容及意义表示如下：

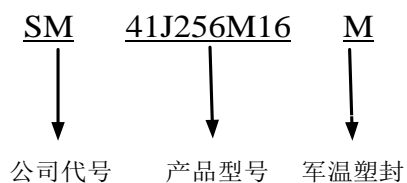


图 2 SM41J256M16M 编号内容及意义表示图

## 2. 封装形式图及封装尺寸

SM41J256M16M 产品采用 BGA96 塑料封装。封装形式如图 3:

单位为毫米

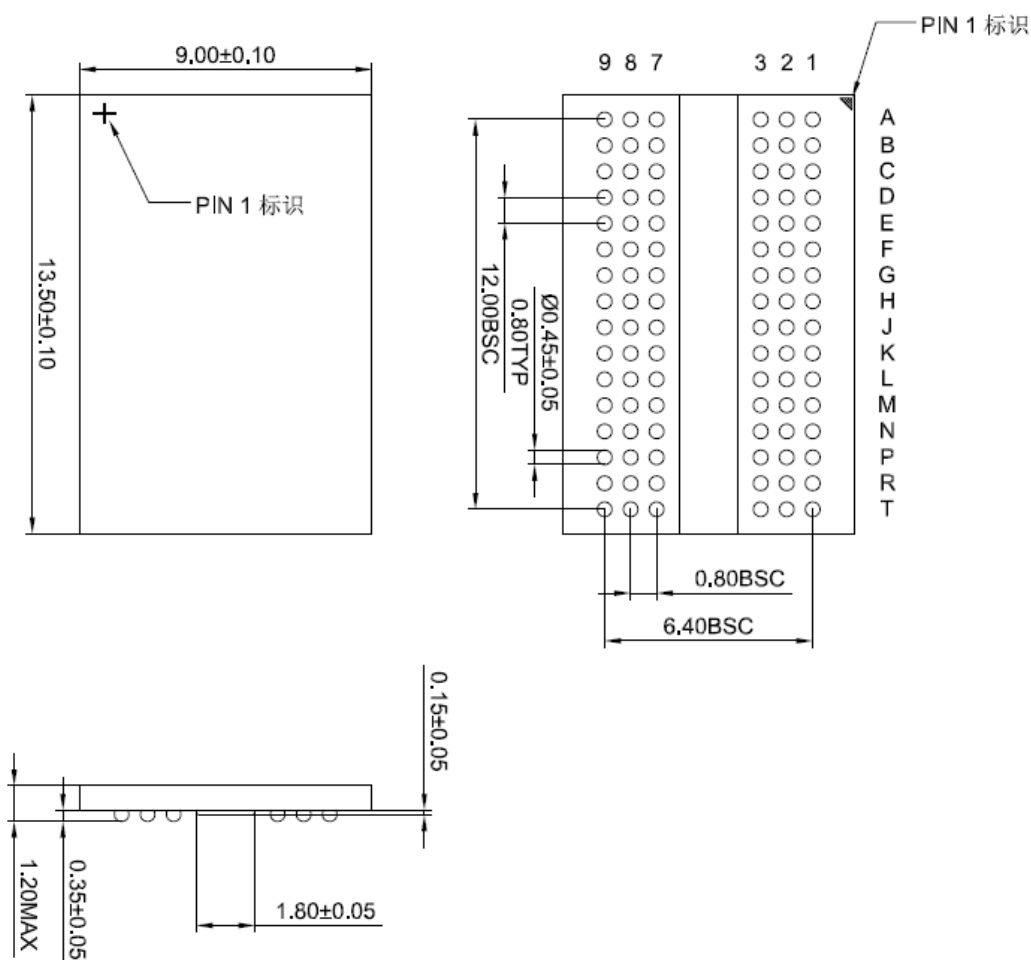


图 3 封装形式图

## 五、 引脚描述

SM41J256M16M 产品的引出端排列见图 4。具体引出端功能见表 1。

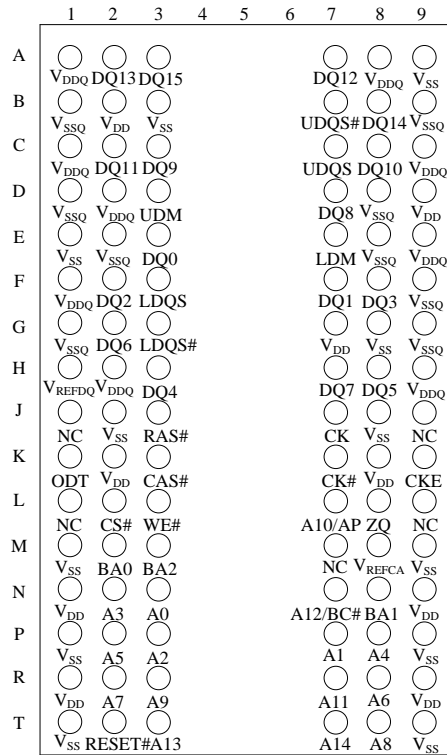


图 4 引出端排列（顶视图）

表 1 引出端功能表

符号	类型	功能描述
A[14: 0]	输入	地址输入： 在激活命令的时候提供 Row 地址；在读取/写入命令的时候提供 Column 地址和预充电位（A10）；在加载模式寄存器命令的时候提供 op-code。 Row 地址：A[14:0] Column 地址：A[9:0] A12/BC#：当在模式寄存器中使能后，A12 在读取/写入命令的时候决定是否执行突发突变（burst chop）功能。
BA[2: 0]	输入	BANK 地址输入： 在激活、读取、写入或预充电命令操作时，提供 BANK 地址；在加载模式寄存器命令的时候，决定设置哪种模式寄存器。
CK、CK#	输入	差分时钟输入： 所有地址和命令输入信号在 CK 的上升沿和 CK#的下降沿的交叉点锁

		存；输出数据（DQ/DQS/DQS#）参照 CK 和 CK#的交叉点。
CKE	输入	时钟使能输入： CKE 为高时，使能时钟正常工作； CKE 为低时，使能 Power-down 模式或自刷新功能。
CS#	输入	芯片选择使能： CS#为高时，芯片不使能，屏蔽外部所有命令； CS#为低时，使能芯片选择，响应外部命令。
LDM、UDM	输入	写入数据掩码： 在写入操作时，如果 DM 信号为高，则写入数据被屏蔽；如果 DM 信号为低，则写入数据正常锁存。 LDM 控制 DQ0~DQ7，UDM 控制 DQ8~DQ15。
ODT	输入	终结电阻控制： ODT 使能 DDR3 内部的终结电阻，当其为高时有效，优化 DQ/DM/DQS 的信号质量。
RAS#,CAS#, WE#	输入	命令输入： RAS#,CAS#,WE#定义 DDR3 芯片的操作命令。
RESET#	输入	复位输入
DQ[15: 0]	I/O	数据总线
LDQS, LDQS#	I/O	低字节数据选通： 作为输出信号时，与读取的数据同步，Edge-aligned， 作为输入信号时，与写入的数据同步，Center-aligned， LDQS#是否使用，需要在模式寄存器中设置。
UDQS, UDQS#	I/O	高字节数据选通： 作为输出信号时，与读取的数据同步，Edge-aligned， 作为输入信号时，与写入的数据同步，Center-aligned， UDQS#是否使用，需要在模式寄存器中设置。
V <sub>DD</sub>	电源	供电电源：1.5V±0.075V
V <sub>DDQ</sub>	电源	DQ 供电电源：1.5V±0.075V
V <sub>REFCA</sub>	电源	控制、命令和地址信号的参考电压
V <sub>REFDQ</sub>	电源	数据信号的参考电压
V <sub>SS</sub>	地	地



V <sub>SSQ</sub>	地	DQ 地
ZQ	---	输出驱动校正的外部参考点

## 六、 绝对最大额定值

SM41J256M16M 产品的绝对最大额定值如下：

电源电压 (V <sub>DD</sub> 、V <sub>DDQ</sub> )	.....-0.4 V~1.975V
输入/输出电压 (V <sub>in</sub> 、V <sub>out</sub> )	.....-0.4 V~1.975V
贮存温度范围 (T <sub>stg</sub> )	.....-65℃~+150℃
结温 (T <sub>j</sub> )	.....150℃
热阻 (R <sub>th</sub> (J-C))	.....11℃/W

## 七、 推荐工作条件

SM41J256M16M 产品的推荐工作条件如下：

电源电压 (V <sub>DD</sub> 、V <sub>DDQ</sub> )	.....1.5±0.075V
参考电压 (V <sub>REFCA</sub> 、V <sub>REFDQ</sub> )	.....0.5 V <sub>DD</sub> ±0.01 V <sub>DD</sub>
命令/地址端接电压 (系统) (V <sub>TT</sub> )	.....0.5V <sub>DDQ</sub>
工作温度范围 (T <sub>A</sub> )	.....-55℃~+125℃
工作频率.....	800MHZ

## 八、 直流 (DC) 特性表

SM41J256M16M 产品的直流 (DC) 电特性见下表：

表 2 直流 (DC) 电特性

特性	符号	除另有规定外，V <sub>REFCA</sub> =V <sub>REFDQ</sub> =V <sub>DD</sub> /2， V <sub>DD</sub> =V <sub>DDQ</sub> =1.5V±0.075V， V <sub>SS</sub> =V <sub>SSQ</sub> =0V， -55℃≤TA≤125℃	极限值		单位
			最小值	最大值	
命令和地址					
DC 输入高电平	V <sub>IH</sub> (DC100) <sup>a</sup>	—	V <sub>REF</sub> +0.100	1.5	V
DC 输入低电平	V <sub>IL</sub> (DC100) <sup>a</sup>	—	0	V <sub>REF</sub> -0.100	V
AC 输入高电平	V <sub>IH</sub> (AC175)	—	V <sub>REF</sub> +0.175	—	V
AC 输入低电平	V <sub>IL</sub> (AC175)	—	—	V <sub>REF</sub> -0.175	V

AC 输入高电平	$V_{IH(AC150)}$	—	$V_{REF}+0.150$	—	V
AC 输入低电平	$V_{IL(AC150)}$	—	—	$V_{REF}-0.150$	V
数据 (DQ and DM)					
DC 输入高电平	$V_{IH(DC100)}^a$	—	$V_{REF}+0.100$	1.5	V
DC 输入低电平	$V_{IL(DC100)}^a$	—	0	$V_{REF}-0.100$	V
AC 输入高电平	$V_{IH(AC150)}$	—	$V_{REF}+0.150$	—	V
AC 输入低电平	$V_{IL(AC150)}$	—	—	$V_{REF}-0.150$	V
漏电流参数					
输入漏电流	$I_{IL}$	$0V \leq V_{IN} \leq V_{DD}$	-5	+5	$\mu A$
输出漏电流	$I_{OL}$	$0V \leq V_{OUT} \leq V_{DDQ}$	-5	+5	$\mu A$
电流参数					
操作单 Bank 激活-预充电电流	$I_{DD0}$	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在激活命令和预充电命令之间为高; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 某一时刻只激活单 Bank 操作; 使能 DQ 输出和 RTT_Nom; ODT=0	—	66	mA
操作单 Bank 激活-读取-预充电电流	$I_{DD1}$	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在激活命令、读取命令、预充电命令之间为高; 命令、地址输入、数据端口部分 01 跳转; DM=0; 某一时刻只激活单 Bank 操作; 使能 DQ 输出和 RTT_Nom; ODT=0	—	87	mA
预充电 Power-down 电流 (slow)	$I_{DD2P0}$	时钟正常输入; CKE=0; CL=11, BL=8, AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0; 预充电 Power-Down 模式: Slow	—	18	mA
预充电 Power-down 电流 (fast)	$I_{DD2P1}$	时钟正常输入; CKE=0; CL=11, BL=8, AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0; 预充电 Power-Down 模式: Fast	—	32	mA
预充电静态待机电流	$I_{DD2Q}$	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0	—	32	mA
预充电待机电流	$I_{DD2N}$	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#=1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0	—	32	mA
预充电待机 ODT 电流	$I_{DD2NT}$	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#=1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT 信号 01 跳转	—	42	mA
激活 Power-down 电流	$I_{DD3P}$	时钟正常输入; CKE=0; CL=11, BL=8, AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 所有 BANK 打开; 使能 DQ 输出和 RTT_Nom; ODT=0;	—	38	mA
激活待机电流	$I_{DD3N}$	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#=1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 所有 BANK 打开; 使能 DQ 输出和 RTT_Nom; ODT=0	—	47	mA
读取操作工作电流	$I_{DD4R}$	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在读取命令之间为 1; 命令、地址输入部分 01 跳转; 突发数据读取方式; DM=0; 所有 BANK 打开, BANK 之间读取命令循环, 0, 0, 1, 1, 2, 2, ...; 使能 DQ 输出和 RTT_Nom; ODT=0	—	235	mA
写入操作工作电流	$I_{DD4W}$	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在写入命令之间为 1; 命令、地址输入部分 01 跳转; 突发数据写入方式; DM=0; 所有 BANK 打开, BANK 之间写入	—	171	mA

		命令循环, 0, 0, 1, 1, 2, 2, ...; 使能 DQ 输出和 RTT_Nom; ODT=1			
突发刷新电流	I <sub>DD5B</sub>	时钟正常输入; CKE=1; CL=11, BL=8, AL=0; CS#在刷新命令之间为 1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 每个 nRFC 周期一次刷新命令; 使能 DQ 输出和 RTT_Nom; ODT=0	—	235	mA
室温自刷新电流	I <sub>DD6</sub>	自动自刷新功能关闭; 正常的自刷新温度范围; CKE=0; 无时钟输入; CK/CK#=0; CL=11, BL=8, AL=0; CS#悬空; 命令、地址输入和数据端口悬空; DM=0; 正常温度自刷新操作; 使能 DQ 输出和 RTT_Nom; ODT 悬空;	—	40	mA
扩展温度自刷新电流	I <sub>DD6ET</sub>	自动自刷新功能关闭; 扩展的自刷新温度范围; CKE=0; 无时钟输入; CK/CK#=0; CL=11, BL=8, AL=0; CS#悬空; 命令、地址输入和数据端口悬空; DM=0; 扩展温度自刷新操作; 使能 DQ 输出和 RTT_Nom; ODT 悬空;	—	40	mA
Bank interleave read 工作电流	I <sub>DD7</sub>	时钟正常输入; CKE=1; CL=11, BL=8, AL=CL-1; CS#在激活和读取加自动预充电为 1; 命令、地址输入部分 01 跳转; 突发数据读取方式; DM=0; BANK 交错激活; 使能 DQ 输出和 RTT_Nom; ODT=0;	—	243	mA
复位电流	I <sub>DD8</sub>	RESET=0; CK/CK#=0; CKE 悬空; 无时钟输入; CS#悬空; 命令、地址输入和数据端口悬空; ODT 悬空;	—	34	mA

## 九、交流（AC）特性表

SM41J256M16M 产品的交流（AC）电特性见下表：

表 3 交流（AC）电特性

特性		符号	条 件 除另有规定外， $V_{REFCA}=V_{REFDQ}=V_{DD}/2$ ， $V_{DD}=V_{DDQ}=1.5V \pm 0.075V$ ， $V_{SS}=V_{SSQ}=0V$ ， $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
				最小值	最大值	
时钟参数						
时钟周期:DLL disable 模式		${}^tCK$ (DLL_DIS)	—	8	—	ns
时钟周期:DLL enable 模式		${}^tCK(avg)$	图 18	1.25	1.5	ns
时钟高电平宽度		${}^tCH(avg)$	图 18	0.47	0.53	${}^tCK(avg)$
时钟低电平宽度		${}^tCL(avg)$	图 18	0.47	0.53	${}^tCK(avg)$
时钟周期抖动	DLL locked	${}^tJITper^a$	—	-70	70	ps
	DLL locking	${}^tJITper,lck^a$	—	-60	60	ps
Absolute 时钟周期		${}^tCK(abs)^a$	—	1180	1570	ps
Absolute 时钟高脉冲宽度		${}^tCH(abs)^a$	—	0.43	—	${}^tCK(avg)$
Absolute 时钟低脉冲宽度		${}^tCL(abs)^a$	—	0.43	—	${}^tCK(avg)$
周期间抖动	DLL locked	${}^tJITcc^a$	—	—	140	ps
	DLL locking	${}^tJITcc,lck^a$	—	—	120	ps
累积误差	2 周期	${}^tERR2per^a$	—	-103	103	ps
	3 周期	${}^tERR3per^a$	—	-122	122	ps
	4 周期	${}^tERR4per^a$	—	-136	136	ps
	5 周期	${}^tERR5per^a$	—	-147	147	ps
	6 周期	${}^tERR6per^a$	—	-155	155	ps

	7 周期	'ERR7per <sup>a</sup>	—	-163	163	ps
	8 周期	'ERR8per <sup>a</sup>	—	-169	169	ps
	9 周期	'ERR9per <sup>a</sup>	—	-175	175	ps
	10 周期	'ERR10per <sup>a</sup>	—	-180	180	ps
	11 周期	'ERR11per <sup>a</sup>	—	-184	184	ps
	12 周期	'ERR12per <sup>a</sup>	—	-188	188	ps
	n=13, 14..49, 50 周期	'ERRnper <sup>a</sup>	—	$(1+0.68\ln[n]) \times$ 'JITper <sub>MIN</sub>	$(1+0.68\ln[n]) \times$ 'JITper <sub>MAX</sub>	ps
DQ 输入时间参数						
DQ/DM 输入建立时间		'DS <sub>(base)</sub> (AC150) <sup>a</sup>	图 25	10	—	ps
DQ/DM 输入保持时间		'DH <sub>(base)</sub> (DC100) <sup>a</sup>	图 25	45	—	ps
DQ/DM 输入脉冲宽度		'DIPW <sup>a</sup>	—	360	—	ps
DQ 输出时间参数						
DQS, DQS#与 DQ 偏斜		'DQSQ <sup>a</sup>	图 24	—	100	ps
DQ 输出保持时间		'QH <sup>a</sup>	图 24	0.38	—	'CK(avg)
DQ Low-Z 时间		'LZDQ <sup>a</sup>	图 24	-450	225	ps
DQ High-Z 时间		'HZDQ <sup>a</sup>	图 24	—	225	ps
DQS 输入时间参数						
DQS, DQS#上升沿到时钟 CK, CK#上升沿		'DQSS	图 14	-0.27	+0.27	'CK(avg)
DQS, DQS#输入低脉冲宽度		'DQSL	图 14	-0.45	+0.55	'CK(avg)
DQS, DQS#输入高脉冲宽度		'DQSH	图 14	-0.45	+0.55	'CK(avg)
DQS, DQS#建立时间		'DSS <sup>a</sup>	图 14	0.18	—	'CK(avg)
DQS, DQS#保持时间		'DSH <sup>a</sup>	图 14	0.18	—	'CK(avg)
DQS, DQS#写前同步时间		'WPRE	图 14、28、29	0.9	—	'CK(avg)
DQS, DQS#写后同步时间		'WPST	图 14、28、29	0.3	—	'CK(avg)
DQS 输出时间参数						
DQS, DQS#上升沿输出存取时间到 时钟 CK,CK#上升沿		'DQSCK	图 26	-225	225	ps
DQS, DQS#输出高时间		'QSH <sup>a</sup>	图 26	0.4	—	'CK(avg)
DQS, DQS#输出低时间		'QSL <sup>a</sup>	图 26	0.4	—	'CK(avg)
DQS, DQS# Low-Z 时间 (RL-1)		'LZDQS <sup>a</sup>	图 26	-450	225	ps
DQS, DQS# High-Z 时间 (RL+BL/2)		'HZDQS <sup>a</sup>	图 26	—	225	ps
DQS, DQS#读前同步时间		'RPRE <sup>a</sup>	图 26	0.9	—	'CK(avg)
DQS, DQS#读后同步时间		'RPST <sup>a</sup>	图 26	0.3	—	'CK(avg)
命令和地址时间参数						
DLL 锁定时间		'DLLK <sup>a</sup>	图 9	512	—	'CK(avg)
控制、命令、地址输入建立时间		'IS <sub>(base)</sub> (AC175) <sup>a</sup>	图 18	45	—	ps
控制、命令、地址输入建立时间		'IS <sub>(base)</sub> (AC150) <sup>a</sup>	图 18	170	—	ps
控制、命令、地址输入保持时间		'IH <sub>(base)</sub> (DC100) <sup>a</sup>	图 18	120	—	ps
控制、命令、地址输入脉冲宽度		'IPW <sup>a</sup>	—	560	—	ps
激活到内部读或写延迟		'RCD	图 10	13.75	—	ns
预充电命令周期		'RP	图 12	13.75	—	ns
激活到预充电命令周期		'RAS <sup>a</sup>	图 12	35	9×'REFI	ns
激活到激活命令周期		'RC <sup>a</sup>	—	48.75	—	ns
激活到激活最小命令周期		'RRD <sup>a</sup>	图 10、27	4	—	'CK(avg)
4 个激活序列周期		'FAW <sup>a</sup>	图 27	40	—	ns
写恢复时间		'WR <sup>a</sup>	图 15	15	—	ns
写命令到读命令延迟时间		'WTR <sup>a</sup>	图 28	7.5	—	ns
读命令到预充电命令时间		'RTP <sup>a</sup>	图 12	7.5	—	ns
列地址命令延迟时间		'CCD <sup>a</sup>	图 29	4	—	'CK(avg)
自动预充电写恢复+预充电时间		'DAL <sup>a</sup>	—	WR+'RP/ 'CK(avg)	—	'CK(avg)

模式寄存器设置命令时间		'MRD <sup>a</sup>	图 9	4	—	'CK(avg)
模式寄存器设置命令更新延迟		'MOD <sup>a</sup>	图 9	12	—	ns
多用寄存器恢复时间		'MPRR <sup>a</sup>	—	1	—	'CK(avg)
校准时间参数						
ZQCL 命令: 长校准时间	上电和复位操作	'ZQinit <sup>a</sup>	图 9、30	512	—	'CK(avg)
	正常操作	'ZQoper <sup>a</sup>	图 30	256	—	'CK(avg)
ZQCS 命令: 短校准时间		'ZQCS <sup>a</sup>	图 30	64	—	'CK(avg)
初始化和复位时间参数						
退出复位从 CKE 高到可用命令时间		'XPR <sup>a</sup>	图 21	5	—	'CK(avg)
刷新时间参数						
刷新命令周期		'RFC	图 16	260	70200	ns
最大刷新周期 ( $-55^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ )		— <sup>a</sup>	—	—	64	ms
最大刷新周期 ( $85^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$ )		— <sup>a</sup>	—	—	32	ms
最大刷新周期 ( $105^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ )		— <sup>a</sup>	—	—	16	ms
最大平均周期刷新 $-55^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$		'REFI <sup>a</sup>	—	—	7.8	$\mu\text{s}$
最大平均周期刷新 $+85^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$		'REFI <sup>a</sup>	—	—	3.9	$\mu\text{s}$
最大平均周期刷新 $+105^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$		'REFI <sup>a</sup>	—	—	1.95	$\mu\text{s}$
退出自刷新到命令 不锁定 DLL 时间		'XS <sup>a</sup>	图 18、31	270	—	ns
退出自刷新到命令锁定 DLL 时间		'XSDLL <sup>a</sup>	图 18	'DLLK <sub>(min)</sub>	—	'CK(avg)
最小 CKE 低脉冲宽度从自刷新进入到退出时间		'CKESR <sup>a</sup>	图 18、31	'CKE <sub>(min)</sub> +1	—	'CK(avg)
自刷新进入/Power_down 进入后时钟可用时间		'CKSRE <sup>a</sup>	图 18、31	10	—	ns
自刷新退出/Power_down 退出/复位退出到时钟可用时间		'CKSRX <sup>a</sup>	图 18、31	10	—	ns
Power-Down 时序						
CKE 最小脉冲宽度		'CKE <sub>(min)</sub> <sup>a</sup>	图 19、20	5	—	ns
命令通过禁止延时时间		'CPDED <sup>a</sup>	图 19、20	1	—	'CK(avg)
Power_down 进入到退出时间		'PD <sup>a</sup>	图 19、20	'CKE <sub>(min)</sub>	$9 \times t_{\text{REFI}}$	ns
Power-Down 进入最小时序						
激活命令到 Power-Down 时间		'ACTPDEN <sup>a</sup>	图 36	1	—	'CK(avg)
预充电命令到 Power-Down 时间		'PREPDEN <sup>a</sup>	图 37	1	—	'CK(avg)
刷新命令到 Power-Down 时间		'REFPDEN <sup>a</sup>	图 35	1	—	'CK(avg)
模式寄存器命令到 Power-Down 时间		'MRSPDEN <sup>a</sup>	图 37	'MOD <sub>(min)</sub>	—	—
读/读加自动预充电命令到 Power-Down 时间		'RDPDEN <sup>a</sup>	图 32	RL+4+1	—	'CK(avg)
写命令到 Power-Down 时间	BL8OTF, BL8MRS, BC4OTF	'WRPDEN <sup>a</sup>	图 33	WL+4+'WR / 'CK(avg)	—	'CK(avg)
	BC4MRS	'WRPDEN <sup>a</sup>	图 33	WL+2+tWR / 'CK(avg)	—	'CK(avg)
写命令加自动预充电到 Power-Down 时间	BL8OTF, BL8MRS, BC4OTF	'WRAPDEN <sup>a</sup>	图 34	WL+4+WR+1	—	'CK(avg)
	BC4MRS	'WRAPDEN <sup>a</sup>	图 34	WL+2+WR+1	—	'CK(avg)
Power-Down 退出时序						
DLL 打开、命令可用时间或 DLL 关闭到不需要锁定 DLL 命令时间		'XP <sup>a</sup>	图 20	7.5	—	ns
预充电 Power-down 带 DLL 关闭到		'XPDLL <sup>a</sup>	图 20	24	—	ns

DLL 锁定命令时间					
Write Leveling 时序 <sup>a</sup>					
ODT 时序 <sup>a</sup>					
RTT 打开时间	'AON	图 39	-225	225	ps
RTT 关断时间	'AOF	图 39	0.3	0.7	'CK(avg)
异步 RTT 打开延时	'AONPD	图 40	2	8.5	ns
异步 RTT 关断延时	'AOFPD	图 40	2	8.5	ns
ODT 高时间用写命令和 BL8	ODTH8	图 41	6	—	'CK(avg)
ODT 高时间不用写命令/用写命令和 BC4	ODTH4	图 39	4	—	'CK(avg)
Dynamic ODT 时序 <sup>a</sup>					
RTT 动态改变偏斜	'ADC	图 41	0.3	0.7	'CK(avg)
写入均衡时序					
写入均衡时序的第一个 DQS, DQS# 脉冲上升沿时间	'WLMRD	图 42	40	—	'CK(avg)
写入均衡时序的 DQS, DQS# 延迟	'WLDQSEN	图 42	25	—	'CK(avg)
写入均衡时序建立时间	'WLS	图 42	165	—	ps
写入均衡时序保持时间	'WLH	图 42	165	—	ps
写入均衡时序输出延迟时间	'WLO	图 42	0	7.5	ns
写入均衡时序输出错误时间	'WLOE	图 42	0	2	ns

<sup>a</sup> 该参数为设计保证参数，不要求测试。

军标中单位为  $t_{CK, AVG}$  的参数，测试时取  $t_{CK(min)}=1.25ns$ ，做最严测试处理。

## 十、 器件说明

### 1. 真值表

表 4 描述的是 DDR3 SDRAM 的命令真值表，可对应查询。

表 4 DDR3 命令真值表

功能		CKE n-1	CKE n	CS#	RAS#	CAS#	WE#	BA2- BA0	An	A12	A10	A9-A0
模式寄存器设置(MRS)		H	H	L	L	L	L	BA	OP code			
自动刷新(REF)		H	H	L	L	L	H	V	V	V	V	V
进入自刷新(SRE)		H	L	L	L	L	H	V	V	V	V	V
退出自刷新(SRX)		L	H	H	V	V	V	V	V	V	V	V
				L	H	H	H					
单 BANK 预充电(PRE)		H	H	L	L	H	L	BA	V	V	L	V
所有 BANK 预充电 (PREA)		H	H	L	L	H	L	V	V	V	H	V
BANK 激活(ACT)		H	H	L	L	H	H	BA	Row address			
写入操作 (WR)	BL8MRS BC4MRS	H	H	L	H	L	L	BA	X	V	L	Column address
	BC4OTF	H	H	L	H	L	L	BA	X	L	L	Column

												address
	BL8OTF	H	H	L	H	L	L	BA	X	H	L	Column address
带自动预充电写入操作 (WRAP)	BL8MRS BC4MRS	H	H	L	H	L	L	BA	X	V	H	Column address
	BC4OTF	H	H	L	H	L	L	BA	X	L	H	Column address
	BL8OTF	H	H	L	H	L	L	BA	X	H	H	Column address
读取操作 (RD)	BL8MRS BC4MRS	H	H	L	H	L	H	BA	X	V	L	Column address
	BC4OTF	H	H	L	H	L	H	BA	X	L	L	Column address
	BL8OTF	H	H	L	H	L	H	BA	X	H	L	Column address
带自动预充电读取操作 (RDAP)	BL8MRS BC4MRS	H	H	L	H	L	H	BA	X	V	H	Column address
	BC4OTF	H	H	L	H	L	H	BA	X	L	H	Column address
	BL8OTF	H	H	L	H	L	H	BA	X	H	H	Column address
不操作 (NOP)		H	X	L	H	H	H	V	V	V	V	V
器件不使能(DES)		H	H	H	X	X	X	X	X	X	X	X
进入 Power_down(PDE)		H	L	L	H	H	H	V	V	V	V	V
				H	V	V	V					
退出 Power_down(PDX)		L	H	L	H	H	H	V	V	V	V	V
				H	V	V	V					
ZQ 长校准(ZQCL)		H	H	L	H	H	L	X	X	X	H	X
ZQ 短校准(ZQCS)		H	H	L	H	H	L	X	X	X	L	X

## 2. 功能说明

### 2.1 模式寄存器 (MR)

模式寄存器 (MR0-MR3) 用来定义 DDR3 SDRAM 的工作模式, 利用加载模式寄存器 (MRS) 命令进行设置, 芯片会一直保持所设置的信息直到重新设置、芯片复位或掉电, 重新设置模式寄存器不会修改芯片内部所存储的数据。

MR0 模式寄存器用来定义 DDR3 SDRAM 的突发长度 (Burst Length)、突发类型 (Burst Type)、CAS 延迟 (CAS latency)、操作模式、DLL 复位、写恢复和



预充电 Power\_down 模式，如图 5 所示。

① Burst Length (BL): 突发长度。DDR3 的读写操作都是突发类型的，突发长度决定了在读取操作或写入操作中列空间的最大个数，可根据要求设置为 4 (突变模式), 8 (固定) 或利用 A12 管脚在读写命令的时候进行设置 (on-the-fly)。

② Burst Type: 突发类型。突发类型分为 sequential 或 interleaved，只在读取操作中有用。由 M3 决定。

③ CAS Latency(CL): 列地址选通脉冲时间延迟。指在读取数据时，读取命令到数据输出需要等待的时钟周期数，可设置为 5~11。

④ DLL Reset: DLL 复位设置，当设置 M8 为 1 时，激活 DLL 复位功能。

⑤ Write Recovery: 定义写恢复时间， $WR = 'WR' / CK$ ，可设置为 5~12。

⑥ Precharge Power-Down 模式: 当 M12 设置为 0 时，在预充电 Power-Down 模式下，DLL 关闭，芯片处于待机模式；当 M12 设置为 1 时，在预充电 Power-Down 模式下，DLL 打开，芯片处于快速退出预充电 Power-Down 模式。

⑦ Mode Register Definition: 模式寄存器定义，由 BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

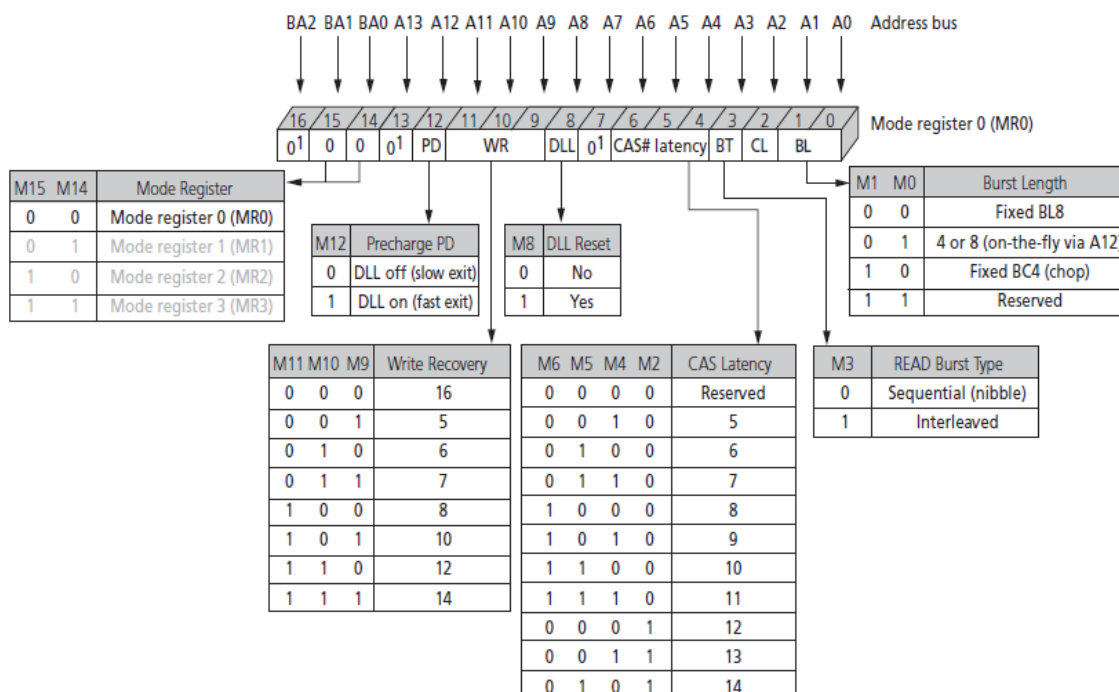


图 5 模式寄存器 MR0 定义



MR1 模式寄存器定义 DDR3 SDRAM 额外的一些设置，有数据输出使能 (Q OFF)、DLL 使能/禁止、ODT 的电阻值、写入均衡控制、CAS 附加延迟设置和输出驱动强度选择等，如图 6 所示。

① DLL Enable/Disable: DLL 使能控制。在正常操作时，DLL 必须被使能，在上电初始化的时候进行使能设置。

② Output Drive Strength: 输出驱动强度。正常情况下设置为 RZQ/7 (34  $\Omega$  [NOM])，为了校准输出驱动阻抗，外部需要有 RZQ 电阻 (240  $\Omega \pm 10\%$ ) 连接到 ZQ 管脚上。

③ CAS# Additive Latency(AL): CAS 附加延迟，可设置为 0、CL-1、CL-2。

④ RTT: ODT 电阻的设置和 RZQ 电阻相关，可按需求设置。

⑤ WL: 写入均衡功能使能，通过 MR1[7]设置。

⑥ TDQS 使能控制：只有在 8bit 模式下才使用。

⑦ 数据输出使能控制：M12 设置是否正常输出，M12=0 时正常输出，否则输出禁止。

⑧ Mode Register Definition: 模式寄存器定义，由 BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

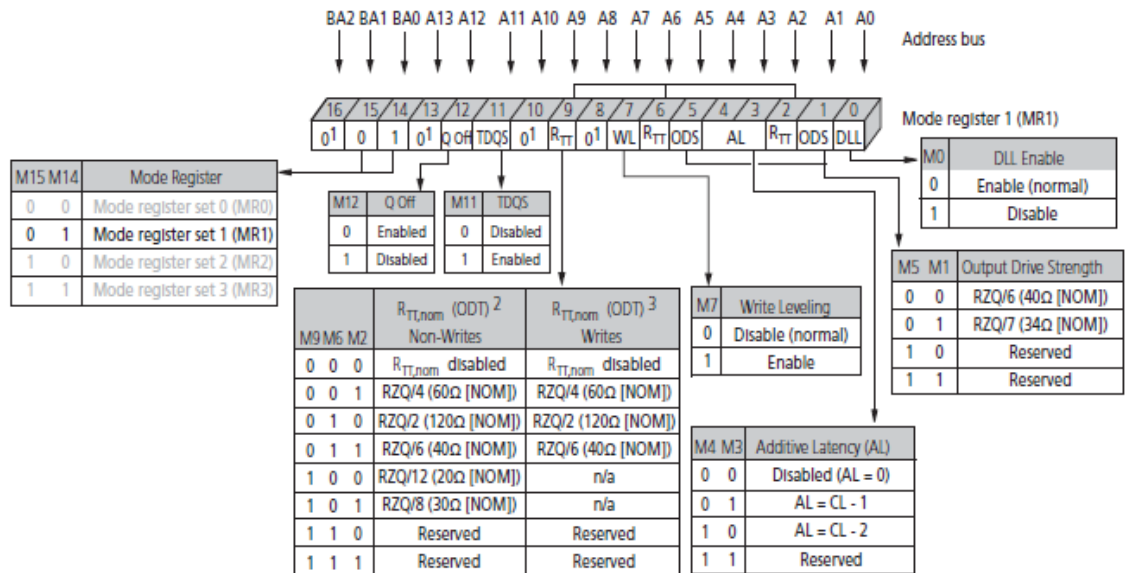


图 6 模式寄存器 MR1 定义

MR2 模式寄存器定义了 DDR3 SDRAM 的其他一些设置,有 CAS 写入延迟、自动自刷新 (ASR)、温度自刷新 (SRT)、动态 ODT 等,如图 7 所示。

① CWL: CAS 写入延迟。定义在写入操作中,在附件延迟 (AL) 后增加的 CWL 延迟时钟数,可设置为 5~8。

② ASR: 自动自刷新使能。

③ SRT: 自刷新温度范围使能。

④ 动态 ODT: 动态 ODT 使能。如果动态 ODT 使能,则在写入操作的时候,DRAM 从正常的 ODT 模式切换到动态 ODT 模式进行工作。

⑤ Mode Register Definition: 模式寄存器定义,由 BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

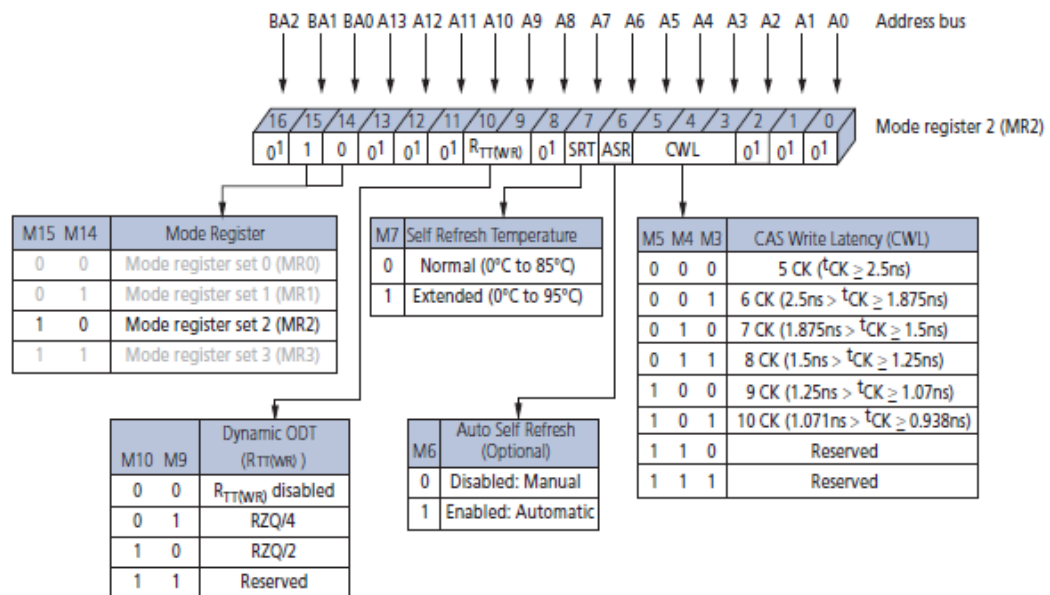


图 7 模式寄存器 MR2 定义

MR3 定义了 MULTIPURPOSE REGISTER (MPR) 功能的控制位,如图 8 所示。

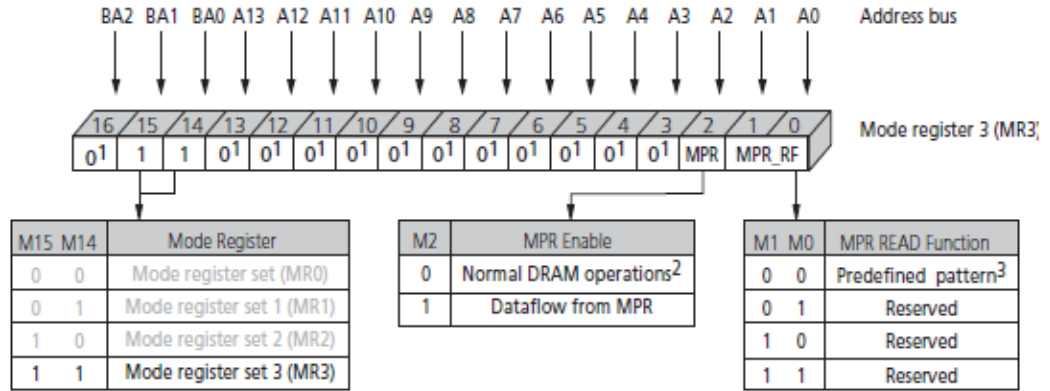


图 8 模式寄存器 MR3 定义

## 2.2 芯片初始化

DDR3 芯片在上电以后，必须运行初始化时序对芯片进行必要的功能配置后，才能进行正常的读写操作，其初始化时序如图 9 所示。

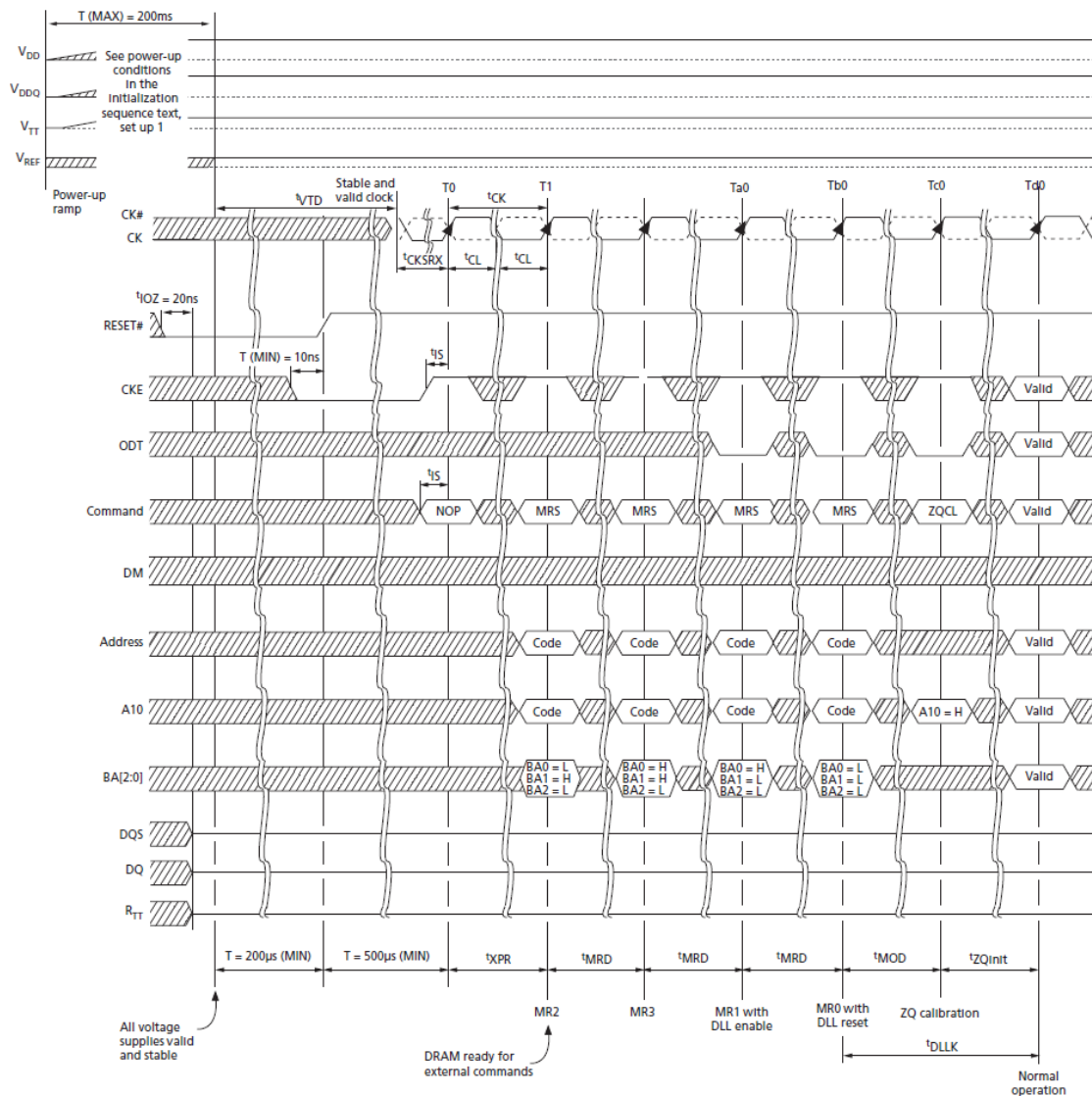


图 9 芯片初始化时序

### 2.3 激活操作

激活操作（ACTIVATE）是指在读取或者写入操作之前，芯片需要将要操作的 Bank 和 Row 进行激活，方便后续的操作。激活操作是通过激活命令实现的，在激活命令经过时间  $t_{RCD}$  后，可以进行读取或写入操作，而在不同 Bank 之间激活命令的间隔时间是  $t_{RRD}$ ，如图 10 所示。

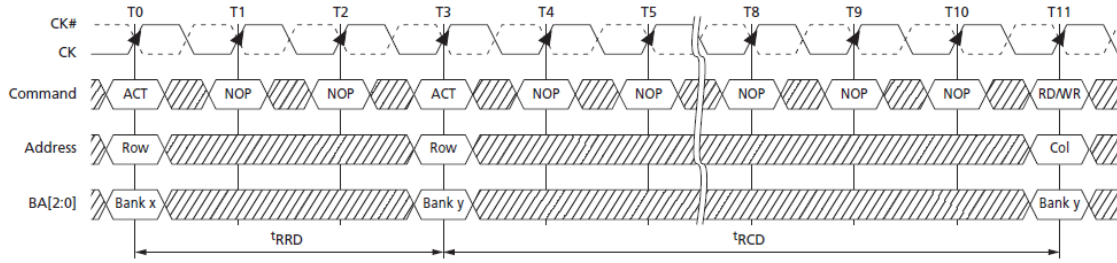


图 10 'RCD 和 'RRD 时序

## 2.4 读取操作

突发读取操作是通过读取命令实现的，在读取命令中提供开始读取数据的 Column 和 Bank，然后经过读取延迟（Read Latency）后，连续读出指定数量的数据。RL 的值由 AL 和 CL 定义， $RL=AL+CL$ 。AL 和 CL 的值可通过 MRS 命令进行定义。图 11 展示了 CL=8, AL=0 设置下的 RL 时序。

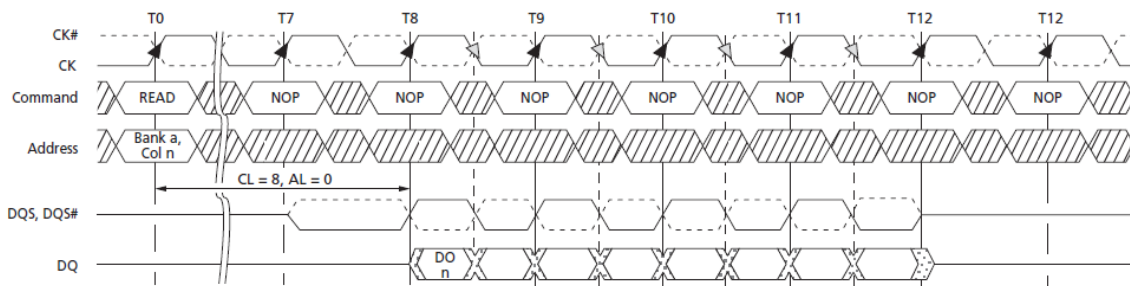


图 11 读取延迟（Read Latency）

在读取操作中，DQS/DQS#与输出数据同步，在 DQS/DQS#的上升/下降沿都会读取到数据。DDR3 SDRAM 的突发读取操作不允许中断或者删减。在突发读取操作后，需要添加一个预充电（PRECHARGE）命令，来关闭激活的 Row。根据 A10 管脚的不同，决定了预充电命令需要手动添加还是自动添加。在读取操作时，如果地址线 A10 为高，则在读取操作后会自动会加一个预充电命令；而如果地址线 A10 为低，则需要读取命令之后，按照要求添加一个预充电命令，相应时序波形如图 12 和图 13 所示

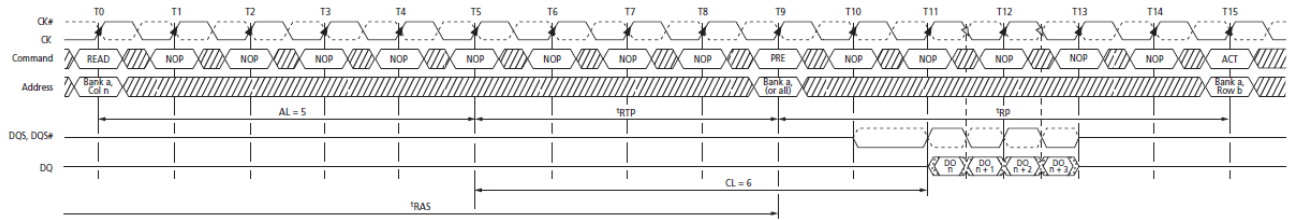


图 12 读取操作-不带自动预充电

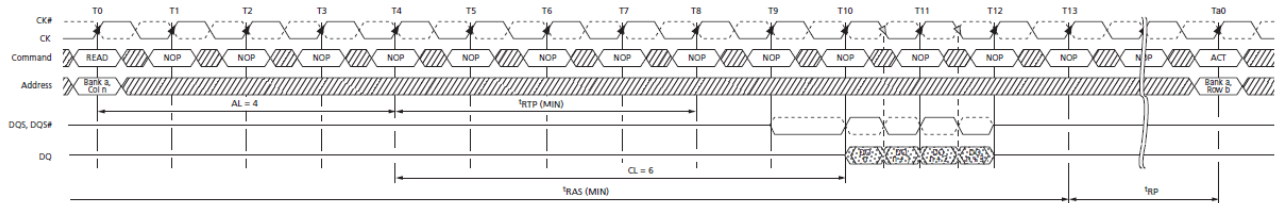


图 13 读取操作-带自动预充电

## 2.5 写入操作

突发写入操作通过写入命令实现，DDR3 利用 WL（Write Latency）来表明其延迟时间，与读取操作的 RL 功能一致，而  $WL=AL+CWL$ 。在写入操作的时候，提供要写入的起始 Column 地址和 Bank 地址，同时是否加入自动预充电命令。如果加入自动预充电命令，则完成突发写入操作以后，就会自动关闭激活的 Row。

在突发写入操作中，第一个可用的输入数据在 WL 延时后的 DQS 的第一个上升沿被锁存，而后续的输入数据在每个 DQS 的上升沿/下降沿被锁存。

在写入命令和 DQS 的第一个上升沿之间的时间为  $WL \pm 'DQSS$ ，图 14 中所表示的即为 'DQSS 的值处于正常情况和极限情况下的突发写入操作时序。

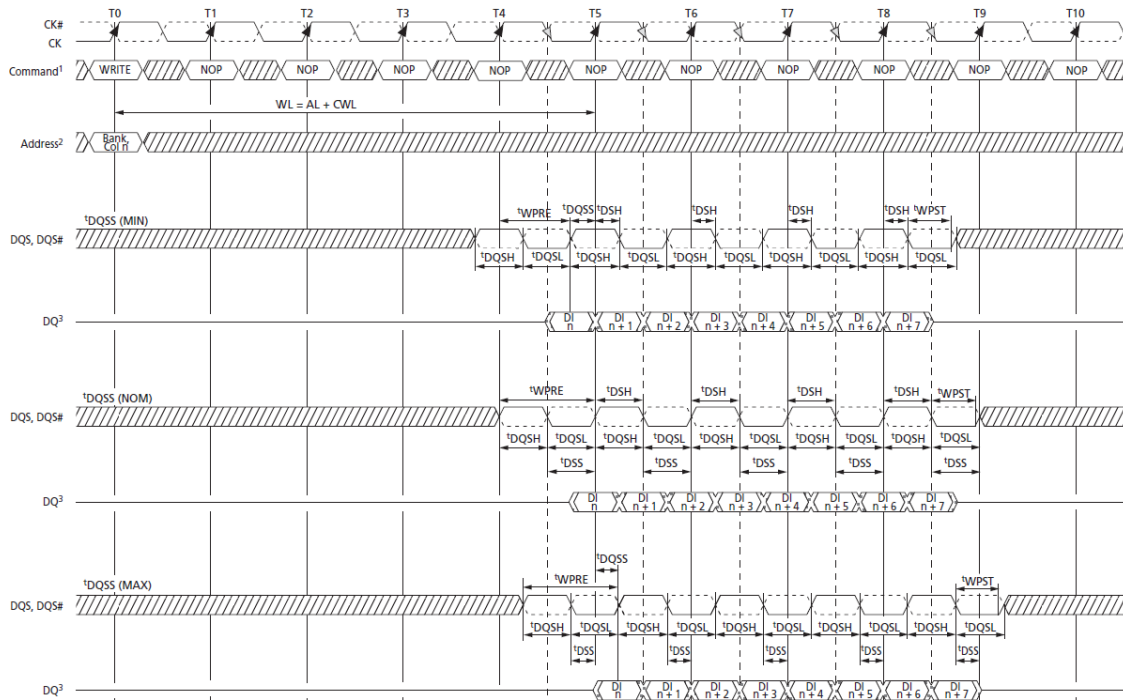
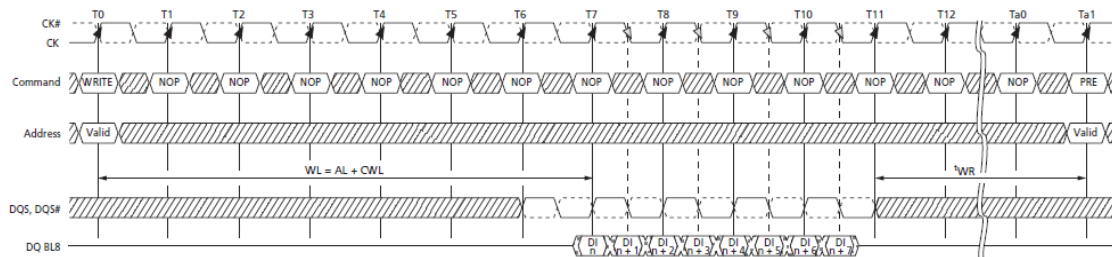


图 15 是当 BL=8 时的写入操作到预充电时序，可以看出，数据写入之后，需要等待  $t_{WR}$  延时后才能加入预充电命令。



## 2.6 预充电操作 (PRECHARGE)

预充电命令是用来关闭某个 BANK 已经激活的 Row 或者所有 BANK 已经激活的 Row。A10 管脚用来检测是所有激活的 Row 被预充电还是单个 BANK 的 Row 被预充电,当 A10 管脚为高时,表明所有激活的 Row 都需要被预充电,BANK 地址无意义;而 A10 管脚为低时,单一 BANK 的 Row 被预充电,这时 BANK 地址所指代的就是需要预充电 Row 的 BANK 地址。



一旦 BANK 被预充电以后，则整个 BANK 的 Row 都被关闭，处于空闲状态，如果后续需要对 Row 进行读写操作，则需要重新激活后才能使用

## 2.7 刷新操作（REFRESH）

DRAM 需要每隔一段时间执行一次刷新操作，以保证存储数据不丢失。刷新操作时，地址由内部刷新控制器自动产生。刷新操作时序如图 16 所示。

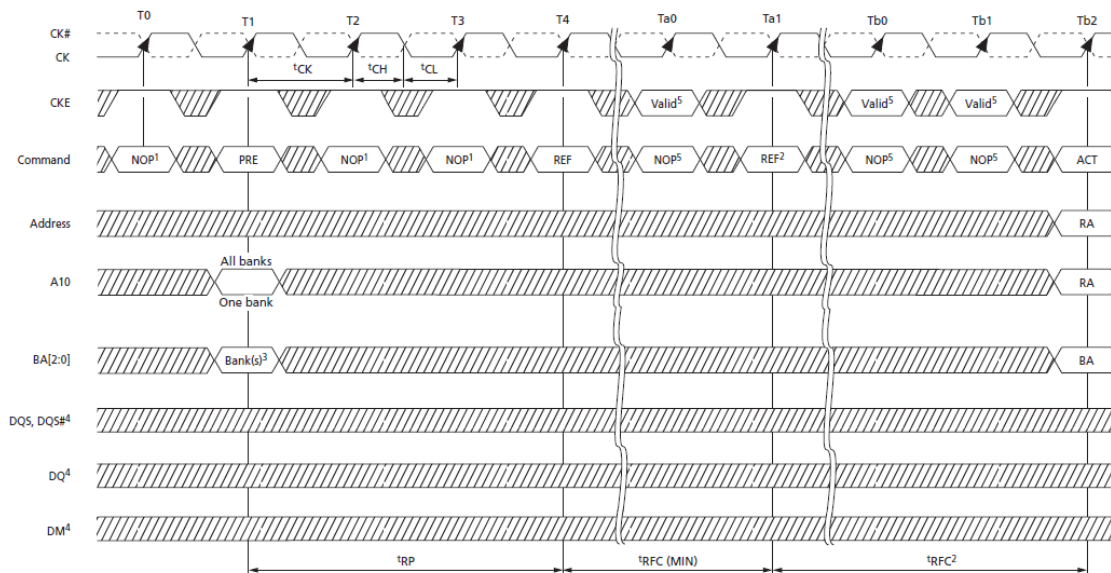


图 16 刷新操作时序

## 2.8 自刷新操作（SELF REFRESH）

自刷新操作也是用来刷新 DRAM 以保存所存储的数据。在自刷新方式下，为了降低功耗，刷新地址和刷新时间全部由器件内部产生。只有通过 CKE 变低才能激活自刷新方式，其他的任何输入都将不起作用。给出退出自刷新方式命令后必须保持一定节拍的空操作输入，以保证器件完成从自刷新方式的退出。如果在正常工作期间采用集中式自动刷新方式，则在退出自刷新模式后必须进行一遍集中的自动刷新操作，以保证 DRAM 的数据不丢失。自刷新时序图如图 17 所示。





		展的温度访问，自刷新的功耗跟温度相关	
1	1	不能设置	

## 2.9 输入时钟频率改变

在 DDR3 初始化以后，外部时钟必须保持稳定，才能保证芯片正常工作。如果需要改变外部输入的时钟频率，只有两种方式：自刷新模式或预充电 Power-down 模式。在自刷新模式下，外部时钟无意义，则可以在退出自刷新模式之前，改变输入的时钟频率。而在预充电 Power-down 模式下，CKE 为低，同样外部时钟不使能，则可以改变输入时钟频率，当在退出预充电 Power-down 模式以后，必须执行一次 MRS 命令，设置复位 DLL，如图 18 所示。

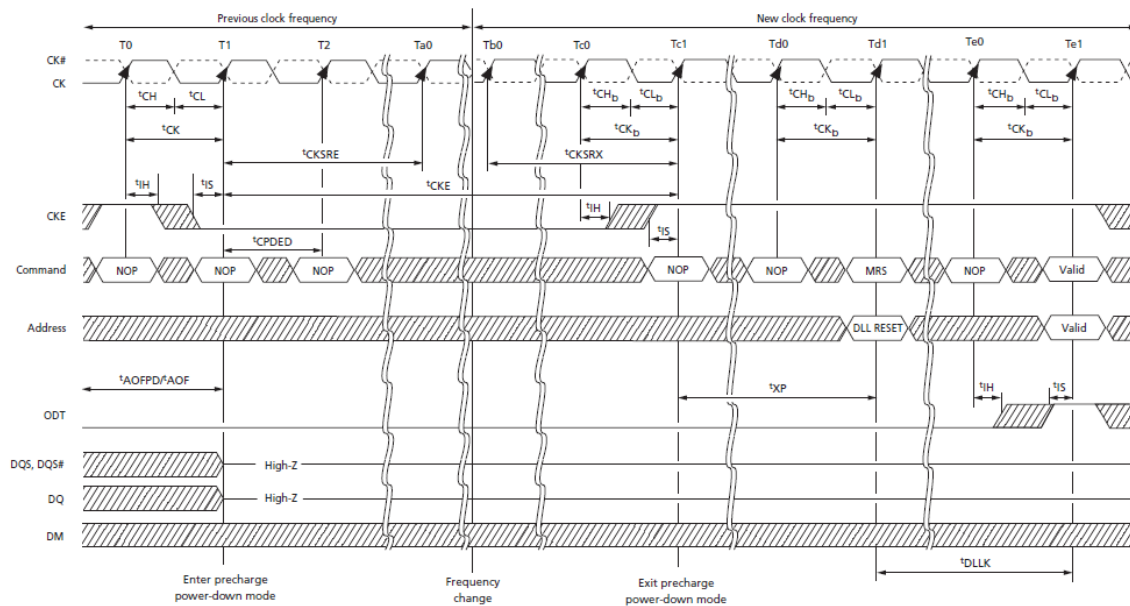


图 18 预充电 Power-down 过程中，改变时钟频率

## 2.10 Power-Down 模式

当 CKE 拉低后执行 NOP 或 DES 指令，芯片就进入 Power-down 模式。进入 Power-down 模式以后，芯片禁止所有的输入输出信号，包括 CK、CK#、ODT、CKE 和 RESET#。

假如 Power-Down 模式发生的时候，所有 BANK 处于空闲状态，此时的 Power-Down 模式称为预充电 Power-Down，如图 19 所示；而当 Power-Down 模

式发生的时候，有任何 Row 激活在任意 BANK，此 Power-Down 模式称为激活 Power-Down，如图 20 所示。

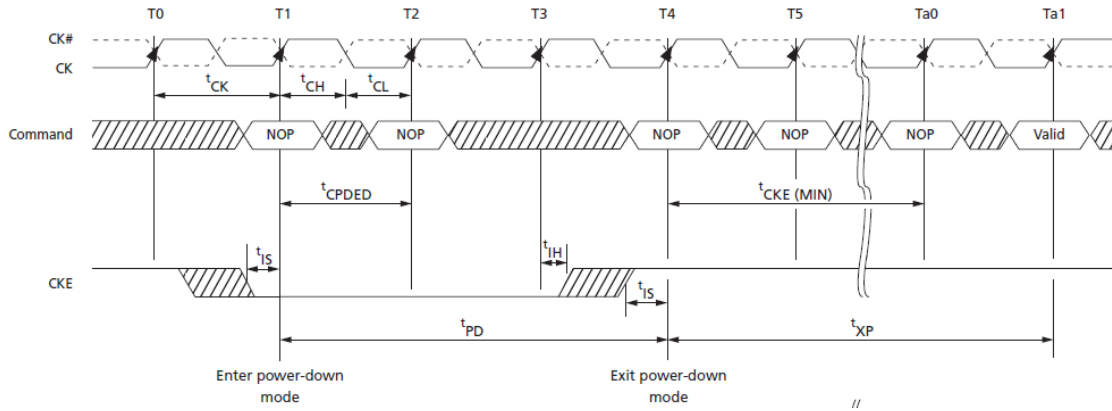


图 19 预充电 Power-down 过程进入/退出

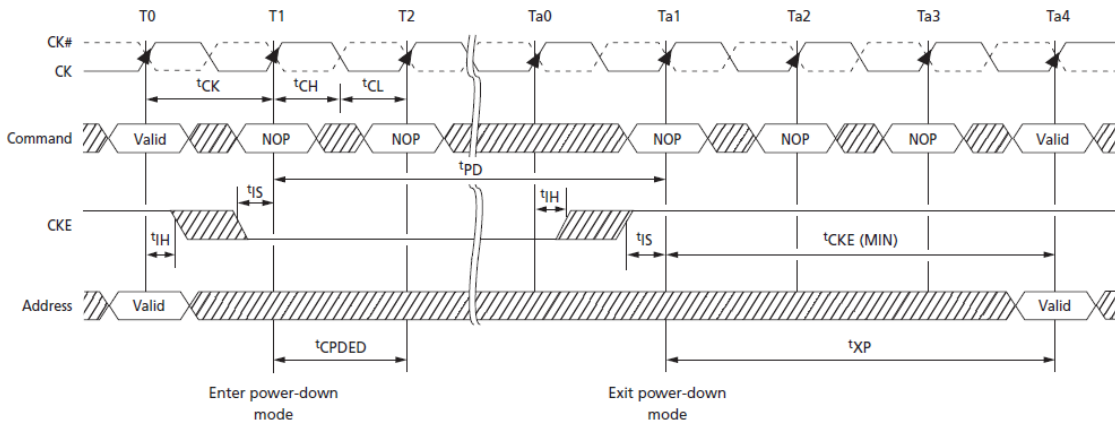


图 20 激活 Power-down 过程进入/退出

## 2.11 复位操作

当外部复位管脚 RESET#拉低，保持 100ns 的时间，芯片就执行复位操作。在此过程中，芯片输出禁止，ODT 关闭，芯片复位。当退出复位操作以后，芯片必须重新初始化后才能工作，内部计数器也复位，而芯片内部数据也会变化。复位时序图如图 21 所示。

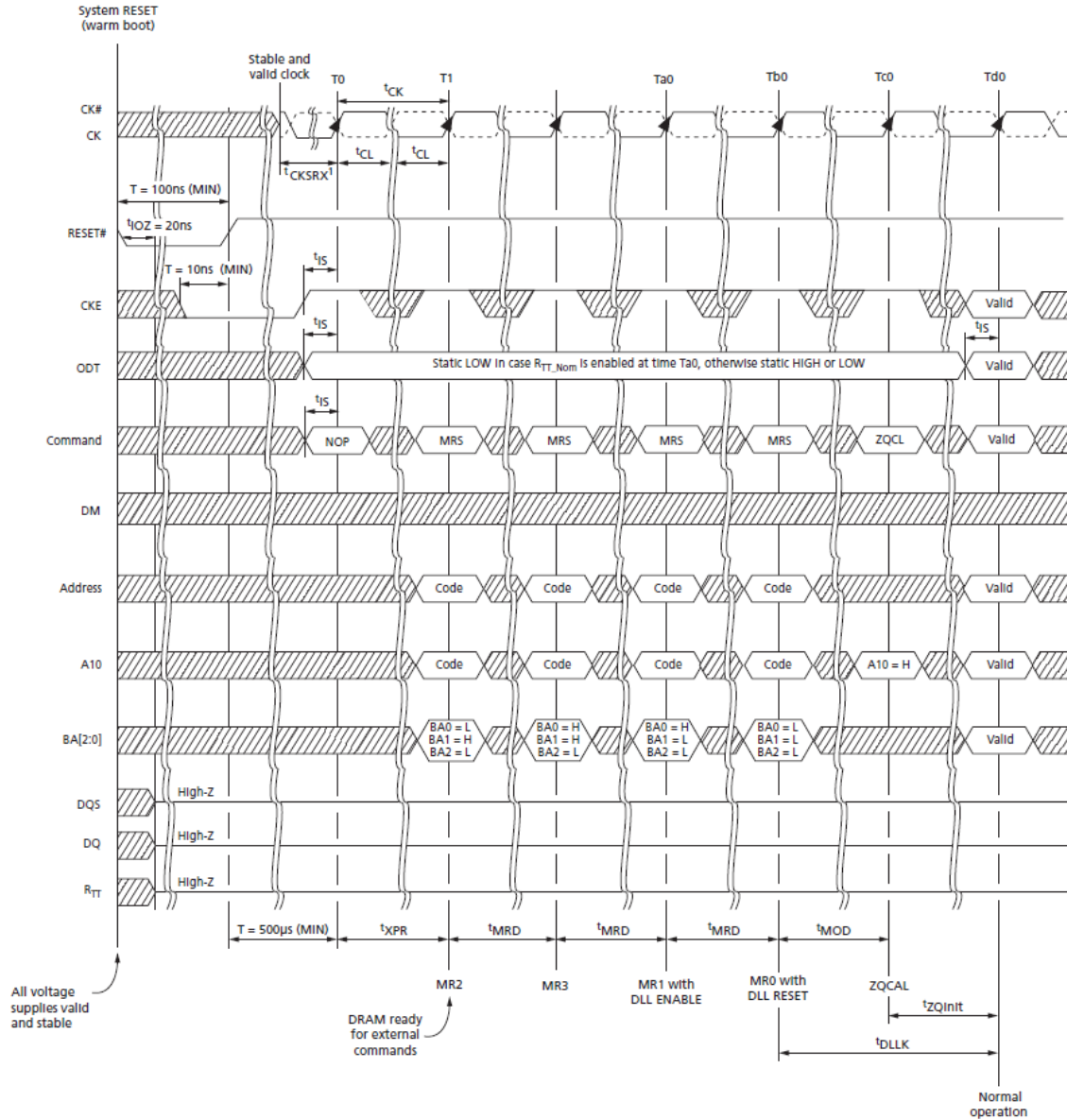


图 21 复位操作时序

## 2.12 终端电阻（ODT）设置

DRAM 存储控制器利用终端电阻（ODT）功能打开或者关闭 DRAM 芯片某些信号的终端电阻，包括 DQ、DQS、DM 信号，用来提高 DRAM 存储器的信号完整性，其示意图如图 22 所示。

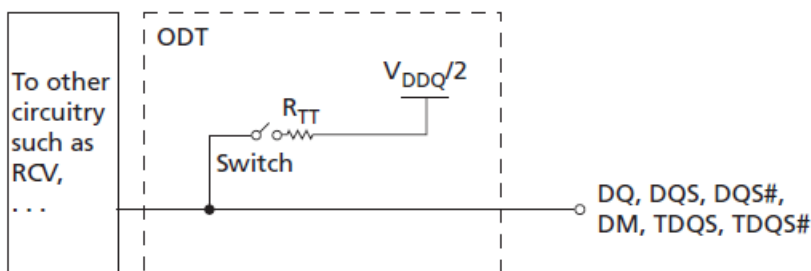


图 22 ODT 功能示意图

终端电阻  $R_{TT}$  的电阻值在模式寄存器中进行设置。当芯片进入自刷新模式或者在模式寄存器中将 ODT 功能禁止时，外部的 ODT 控制管脚就无意义。ODT 包括普通 ODT 模式和动态 ODT 模式，正常情况下 DRAM 都工作在普通 ODT 模式，此时的  $R_{TT}$  电阻值为  $R_{TT.nom}$ ；当写入命令或者需要 ODT 功能转换的时候，就会用到动态 ODT 模式，此时的电阻值变为  $R_{TT.wr}$ ，当完成写入命令以后， $R_{TT}$  值又回到  $R_{TT.nom}$ ，如图 23 所示。

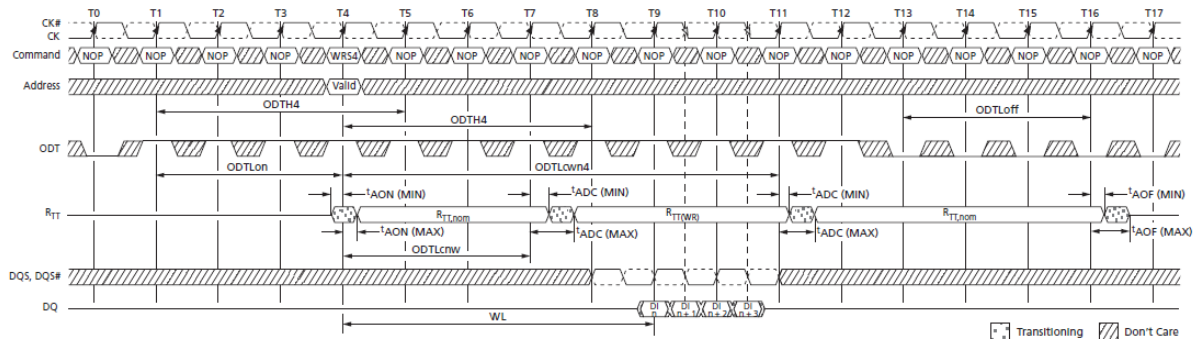


图 23 动态 ODT 操作，BC4

## 十一、 时序图

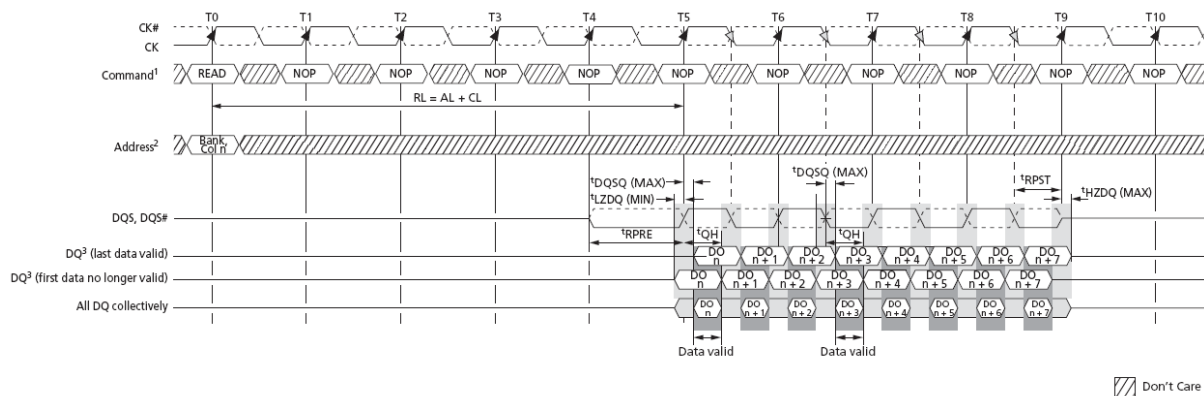


图 24 数据输出时序

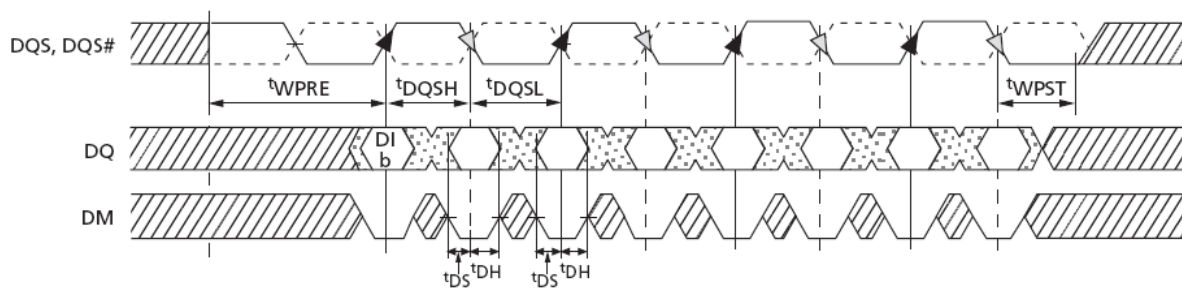


图 25 数据输入时序

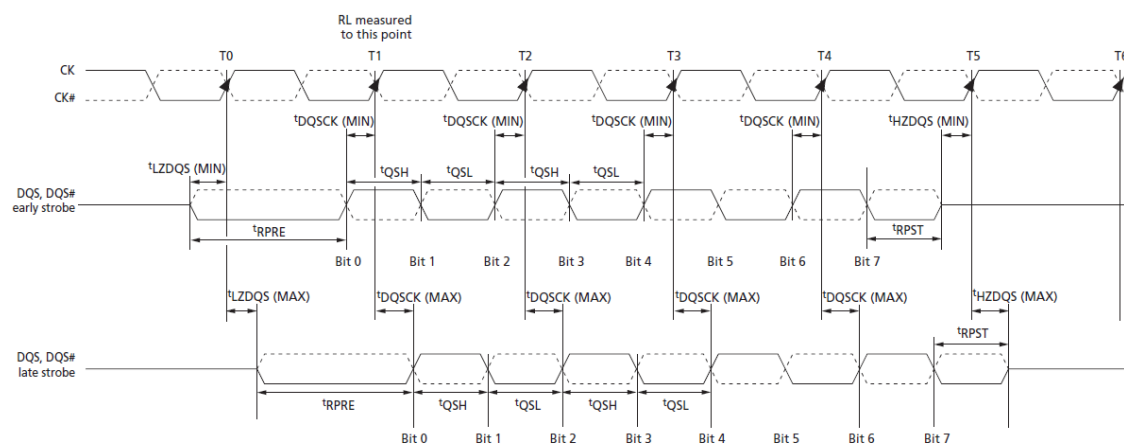


图 26 DQS 时序-读取操作



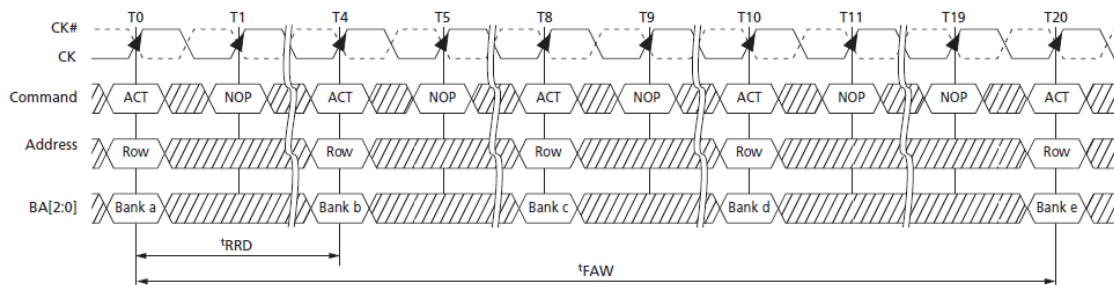


图 27 tFAW 时序

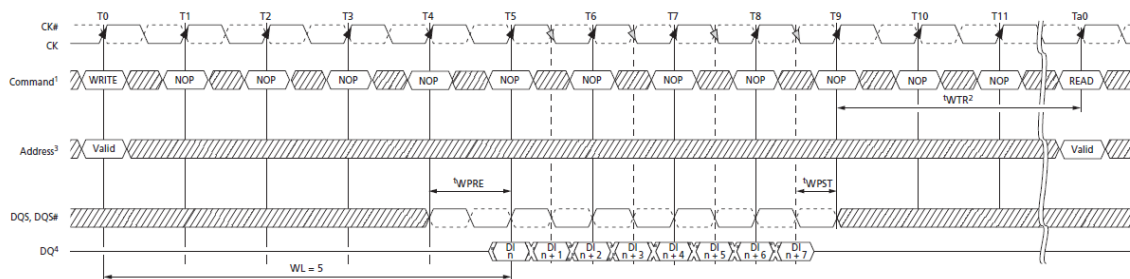


图 28 写入操作到读取操作时序 (BL8)

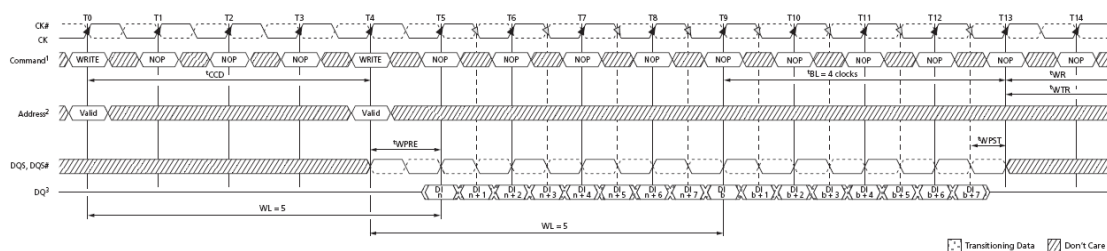


图 29 连续写入操作 (BL8)

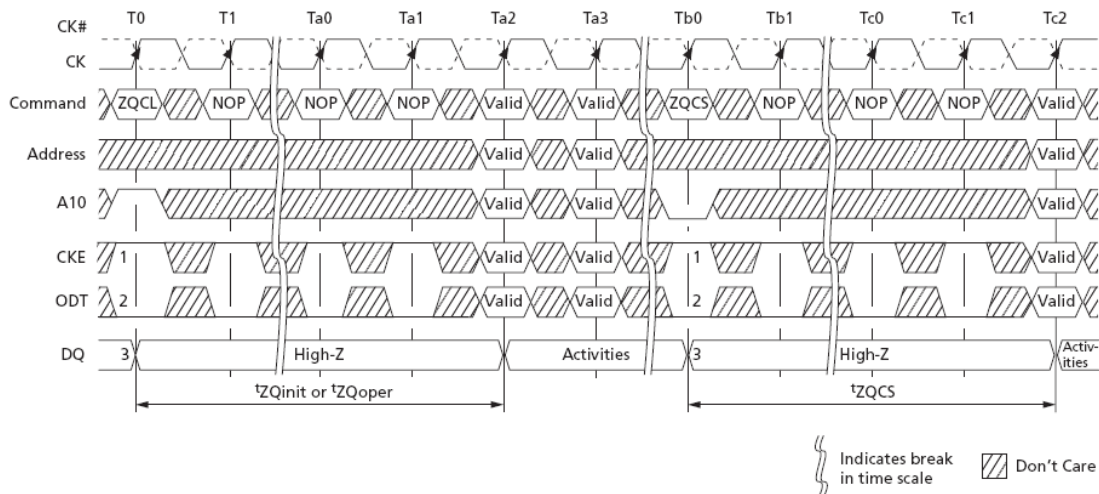


图 30 ZQ 校准时序 (ZQCL and ZQCS)

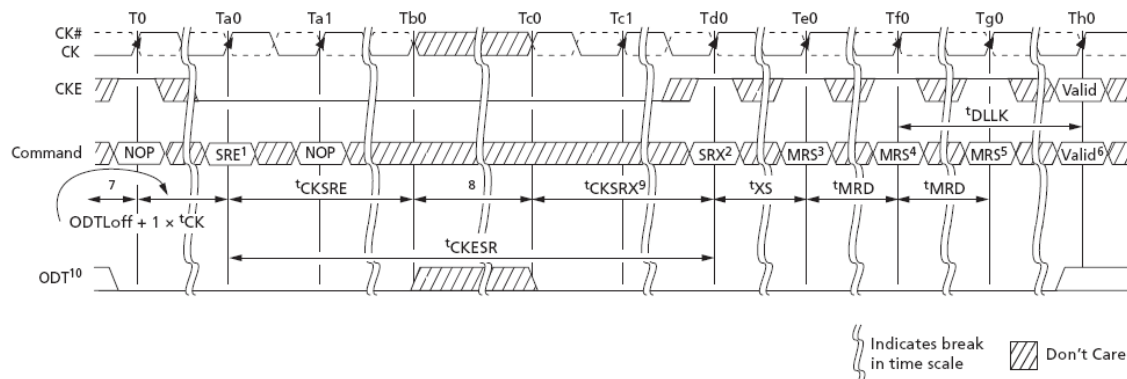


图 31 DLL Disable 模式到 DLL enable 模式

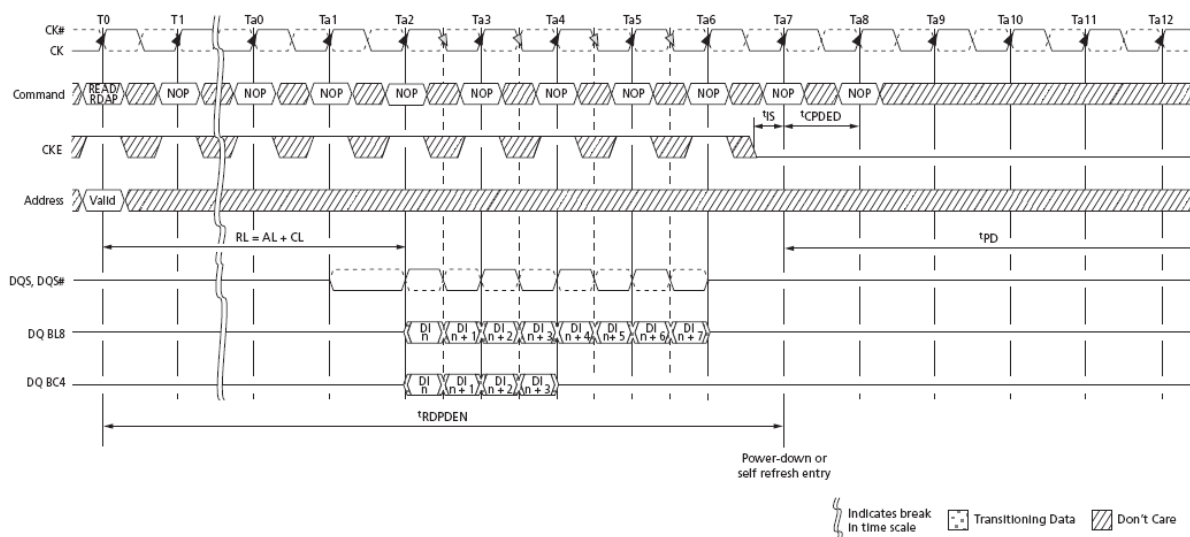


图 32 读命令/读命令加预充电后进入 Power-Down 时序 (RDAP)

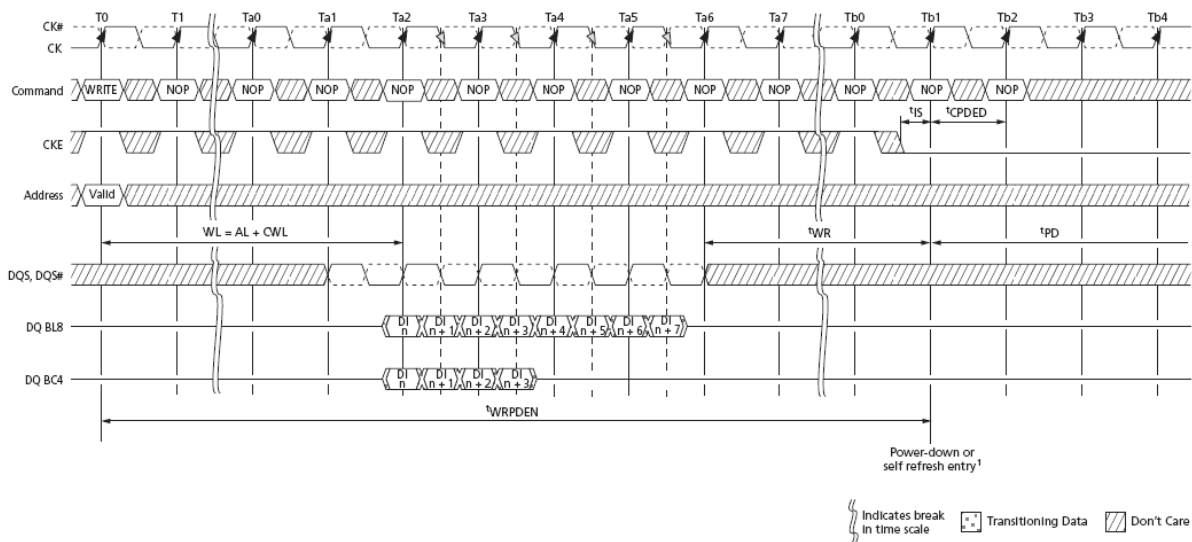


图 33 写命令后进入 Power-Down 时序



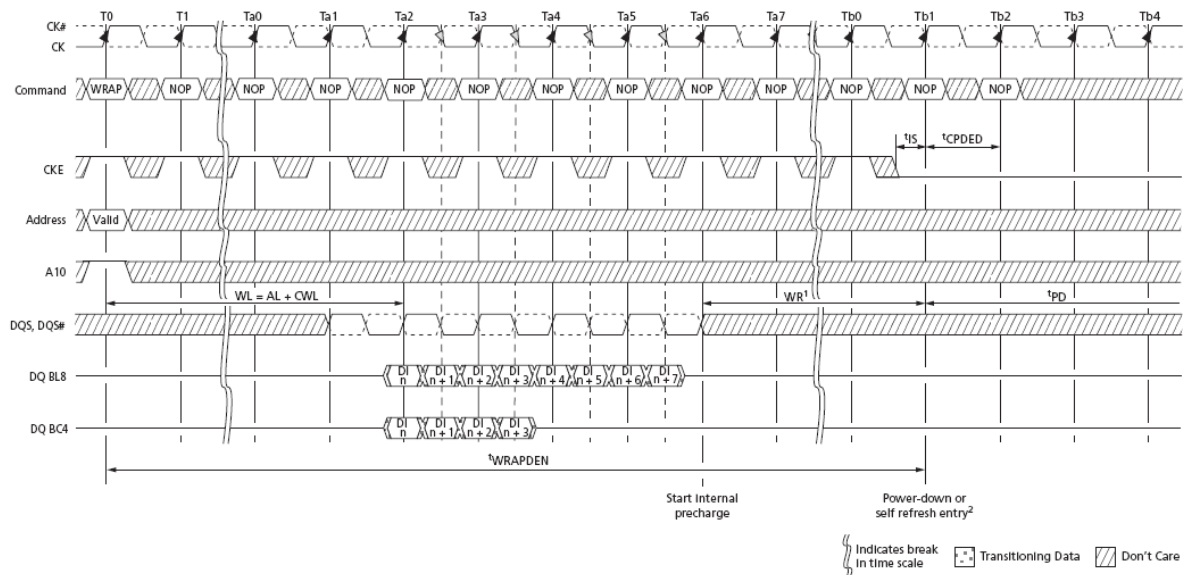


图 34 写命令加自动预充电后进入 Power-Down 时序 (WRAP)

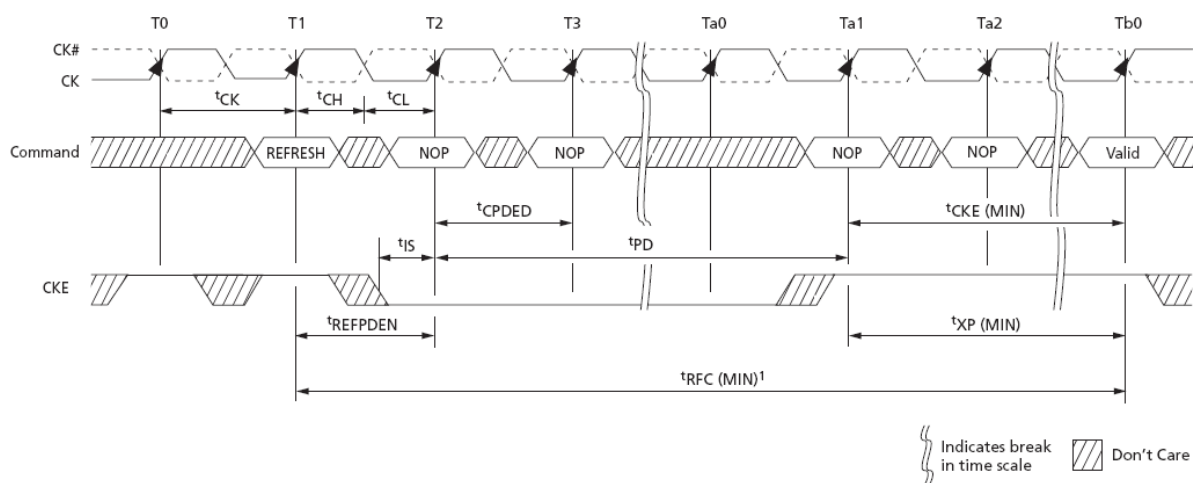


图 35 刷新后进入 Power-Down 时序

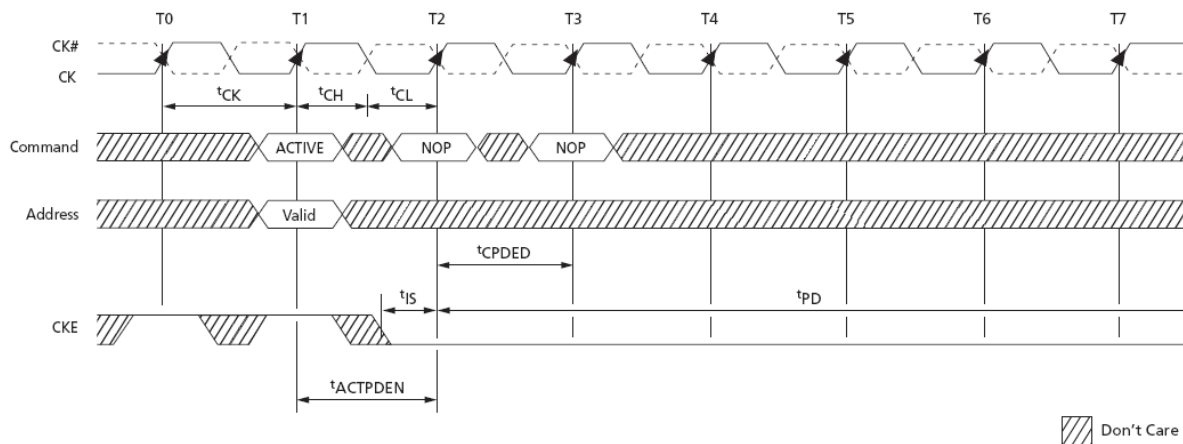


图 36 激活后进入 Power-Down 时序

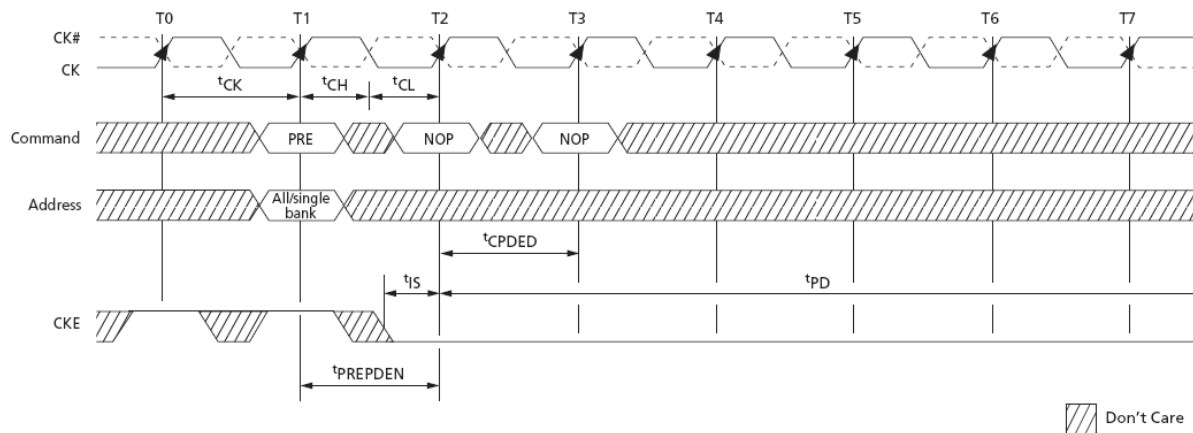


图 37 预充电后进入 Power-Down 时序

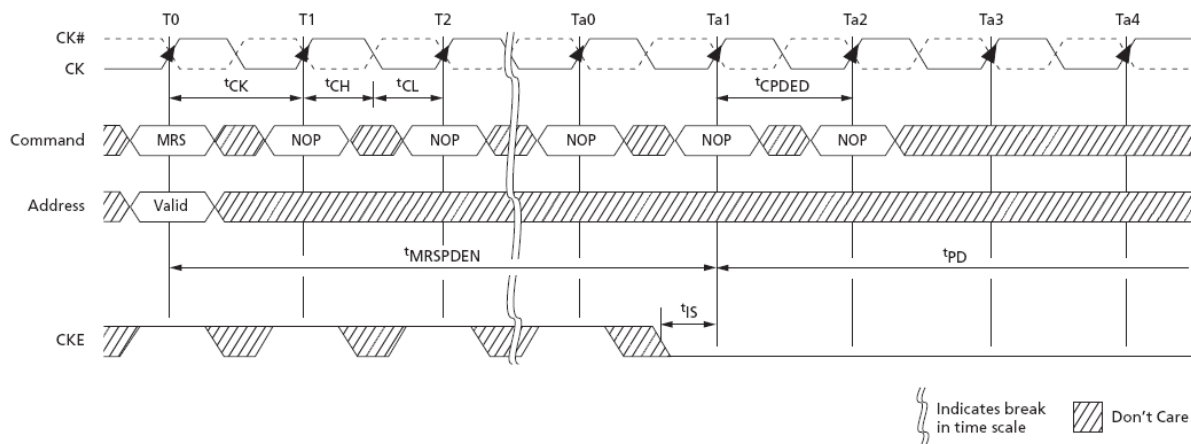


图 38 模式寄存器设置后进入 Power-Down 时序

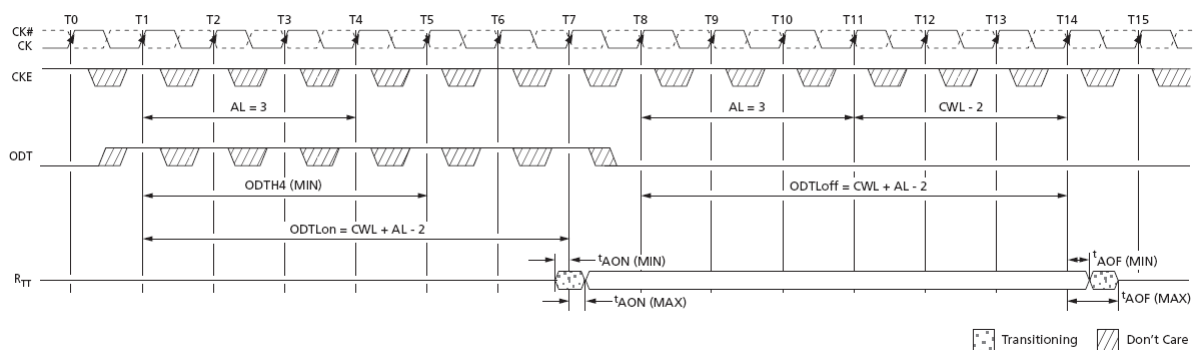


图 39 同步 ODT 时序

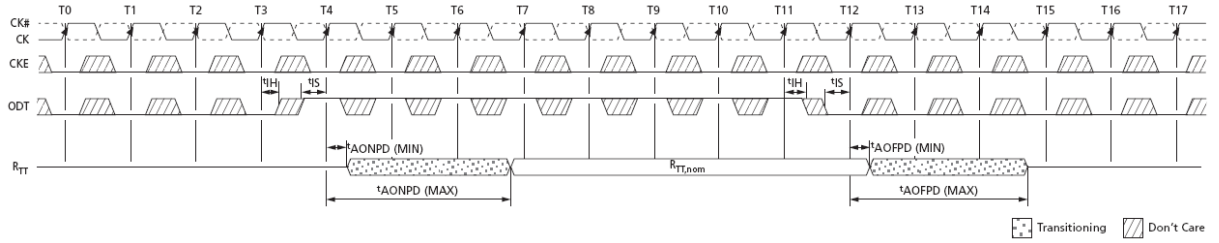


图 40 异步 ODT 时序

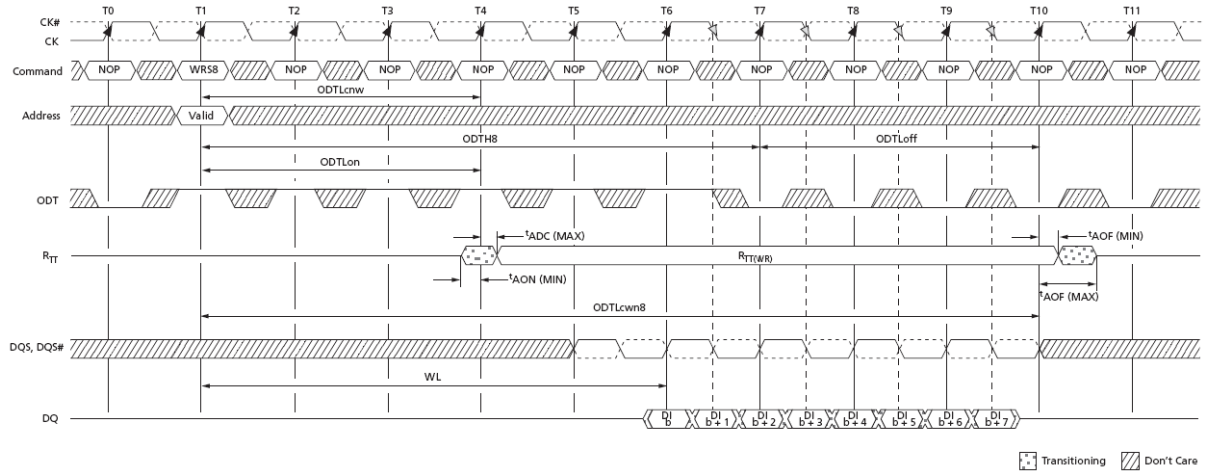


图 41 动态 ODT 时序

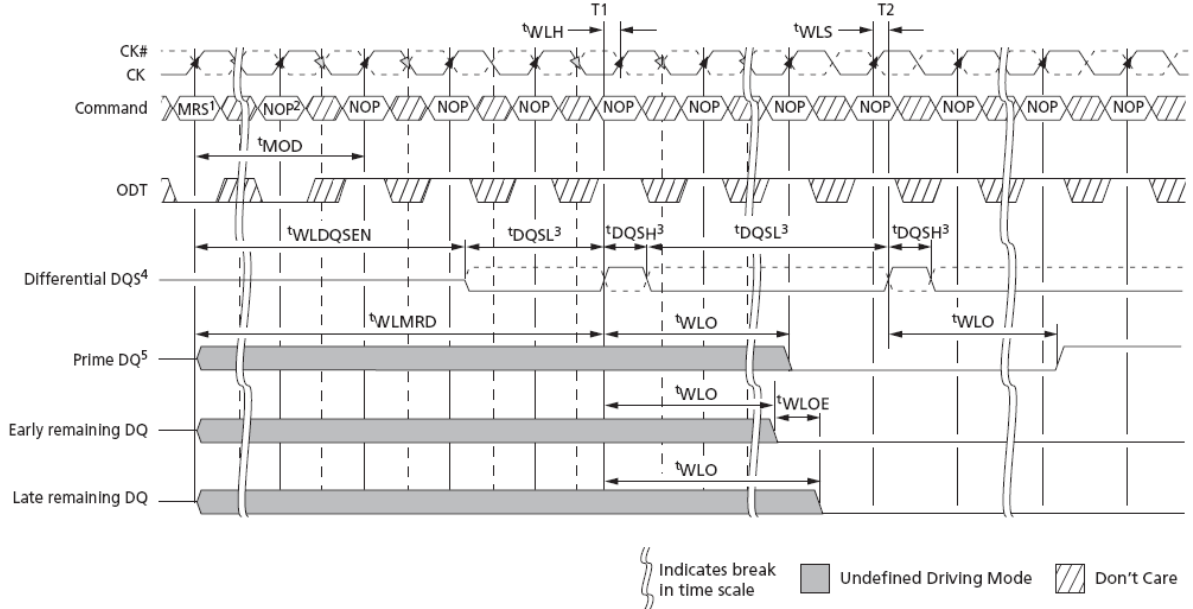


图 42 写入均衡时序

## 十二、 使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

- ◆ 器件应在防静电的工作台上操作，或带指套操作；
- ◆ 试验设备和器具应接地；
- ◆ 不能触摸器件引线；
- ◆ 器件应存放在导电材料制成的容器中（如：集成电路专用盒）；
- ◆ 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物。
- ◆ 相对湿度尽可能保持在  $50\% \pm 30\%$ 。

## 十三、 运输与储存

芯片存储环境温度是：-65℃到+150℃。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

## 十四、 开箱与检查

开箱使用芯片时，请注意观察芯片管壳上的产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片管壳及引脚。确定管壳无损坏，无伤痕，管脚整齐，无缺失，无变形。

## 十五、 质量保障与售后服务

国微公司致力于军用微处理器、军用可编程逻辑器件、军用存储器以及军用高

性能 SOC 的研制、生产及推广应用。公司质量管理体系已通过 GJB 9001B-2009 体系认证。并根据国军标体系要求制定了完善的质量管理工作流程，对产品的设计、生产和销售进行日常的质量管理。产品制定有经过公司内部审核批准的企军标，严格按照行业专家评审通过的依据 GJB 7400-2011《合格制造厂认证用半导体集成电路通用规范》裁剪后的标准进行设计和生产，并按照 GJB 548B-2005《微电子器件试验方法和程序》的要求进行试验和检验。产品兼容性好、可靠性高、系统集成创新程度高，已大量应用于我军多个重点型号的武器装备中。

国微公司拥有一支专业的售后服务队伍，分布在全国各大销售区域。在用户需要时我们可随时前往用户单位提供必要的技术服务。包括帮助用户调试系统板、修改测试向量、进行失效分析等。

## 十六、 联系方式

公司名称：深圳市国微电子有限公司

公司地址：深圳市高新技术产业园南区高新南一道国微大厦

ADD : Shenzhen State Microelectronics Co.,Ltd.SSMEC Bldg.,S.Gaoxin 1st Ave.,South Dist.,Hi-Tech Ind.Park,Shenzhen,P.R.China

电话 Tel: 86-755-26983629

86-755-26983467

86-755-26991361

传真 Fax: 86-755-26991389

邮编 Zip: 518057

网址 Web Site: <http://www.ssmec.com>

电子邮件 Email: [mkt@ssmec.com](mailto:mkt@ssmec.com)