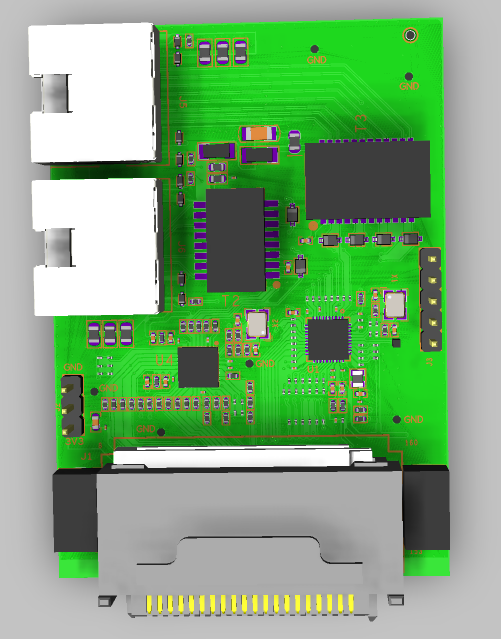
**HT3\_PHY\_RMII\_RGMII\_V1\_0**



项目：MC20

指定人：luyongjie@aixin-chip.com

文档版本：V0.1

发布日期：【12】-【30】-【2020】

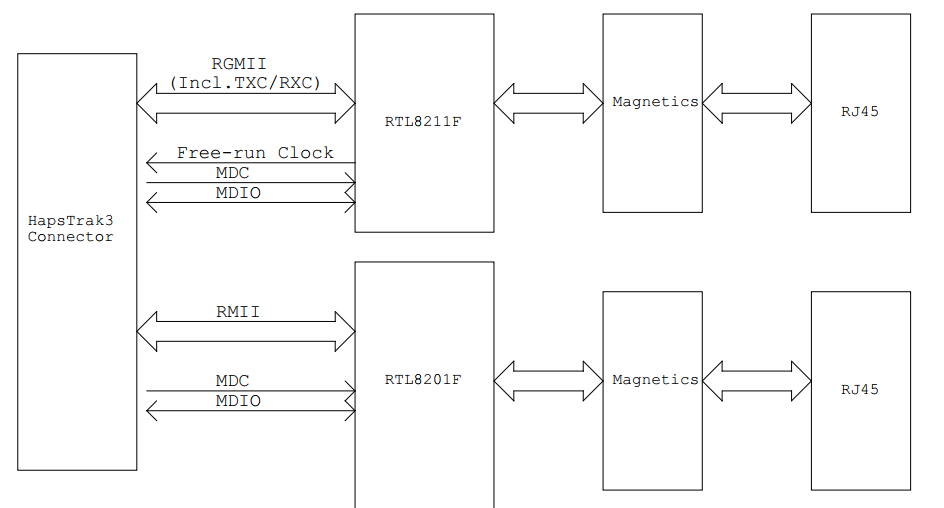
|  |
| --- |
| 权利声明  北京爱芯科技有限公司或其许可人保留一切权利。  非经权利人书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。  注意  您购买的产品、服务或特性等应受商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非商业合同另有约定，本公司对本文档内容不做任何明示或默示的声明或保证。  由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。 |

北京爱芯科技有限公司

1. 简介

该验证板是基于HAPS原型验证平台的RMII&RGMII的验证板，搭载支持RGMII的RTL8211F和支持RMII的RTL8201F，采用HT3接口与HAPS对接。

1. 硬件框架



1. HT3接口pinlist

|  |  |  |
| --- | --- | --- |
| HT3 PIN | Net Name | Description |
| A0 | RXC\_H | 8201 receive clock |
| A1 | RMII\_CLK\_H | 8201 transmit clock |
| A2 | - | - |
| A3 | RMII\_RXD0\_H | 8201 RMII的RX0，复用为MII的RX0 |
| A4 | RMII\_RXD1\_H | 8201 RMII的RX1，复用为MII的RX1 |
| A5 | MII\_RXD3\_H | 8201 MII\_RXD3 |
| A6 | MII\_RXD2\_H | 8201 MII\_RXD2 |
| A7 | - | - |
| A8 | - | - |
| A9 | - | - |
| A10 | - | - |
| A11 | - | - |
| A12 | - | - |
| A13 | - | - |
| B0 | MDCK\_H | 8201 MDCK，management data clock |
| B1 | PHY1\_CLK\_1V8\_H | 8201 25MHZ crystal output |
| B2 | - | - |
| B3 | RMII\_TXD0\_H | 8201 RMII的TX0，复用为MII的TX0 |
| B4 | RMII\_TXD1\_H | 8201 RMII的TX1，复用为MII的TX1 |
| B5 | MII\_TXD3\_H | 8201 MII\_TXD3 |
| B6 | MII\_TXD2\_H | 8201 MII\_TXD2 |
| B7 | RMII\_TX\_EN\_H | 8201 transmit enable |
| B8 | EPHY\_RSTN\_H | 8201 reset |
| B9 | RMII\_RX\_DV\_H | 8201 receive data valid |
| B10 | MDIO\_H | 8201 mdio, management data input/output |
| B11 | RXER\_H | 8201 reveive error |
| B12 | - | - |
| B13 | - | - |
| C0 | RGMII0\_MDCK | 8211 MDCK，management data clock |
| C1 | RGMII0\_TXCLK | 8211 txclk, the transmit reference clock will be 125MHZ,25MHZ,or 2.5MHZ depending on speed |
| C2 | - | - |
| C3 | - | - |
| C4 | - | - |
| C5 | RGMII0\_TXD3 | 8211 RGMII\_TXD3 |
| C6 | RGMII0\_MDIO | 8211 mdio, management data input/output |
| C7 | RGMII0\_TXD2 | 8211 RGMII\_TXD2 |
| C8 | RGMII0\_TXD1 | 8211 RGMII\_TXD1 |
| C9 | RGMII0\_TXEN | 8211 tx enalbe |
| C10 | RGMII0\_TXD0 | 8211 RGMII\_TXD0 |
| C11 | C11 | 自定义功能 |
| C12 | - | - |
| C13 | - | - |
| D0 | RGMII0\_RXCLK | 8211 rxclk, the continuous receive reference clock will be 125MHZ,25MHZ,or 2.5MHZ depending on speed |
| D1 | EPHY0\_CLK | 8211 时钟 |
| D2 | D2 | 自定义功能 |
| D3 | D3 | 自定义功能 |
| D4 | RGMII0\_RXD3 | 8211 RGMII\_RXD3 |
| D5 | RGMII0\_RXD2 | 8211 RGMII\_RXD2 |
| D6 | RGMII0\_RXDV | 8211 receive data valid |
| D7 | D7 | 自定义功能 |
| D8 | RGMII0\_RXD1 | 8211 RGMII\_RXD1 |
| D9 | RGMII0\_RXD0 | 8211 RGMII\_RXD0 |
| D10 | EPHY0\_RSTN | 8211复位，低有效 |
| D11 | D11 | 自定义功能 |
| D12 | - | - |
| D13 | - | - |

1. 板卡安装

根据bitfile分配的HT3接口位置安装板卡，并设置VCCO为1.8V