

AXI 总结

1. 简介

ARM 公司提出用于 SoC 设计中的 AMBA 总线结构，由于它的高性能，以及 ARM 微处理器的广泛应用，已经成为了 SoC 设计中使用相当广泛的总线标准。

AMBA 协议的目的是为了要推出片上总线的规范，一开始 AMBA 1.0 只有 ASB 与 APB，为了节省面积，所以这时候的总线协议都是三态总线，由于三态总线要设计者花更多的精力去注意时钟，所以到了后来 AMBA 2.0 的 AHB，为了更加方便设计者，总线改用多路复用器（multiplexor）的架构，并增加了新的特性。

AMBA 总线除了基本的数据访问功能外，还具有许多其他不可或缺的特性如下：

AMBA 有优秀的握手协议，由专门的仲裁模块（Arbiter）来决定各主设备（Master）的访问请求。这种优先级的设定是灵活而又随时可变的，这使系统总线的调度非常有效率。

AMBA2.0 以上版本都是基于单沿时钟、单向信号线的协议。这使它非常适合于现代大规模集成电路设计自动化的要求，与 EDA 工具的耦合非常自然，容易达到更高的时钟频率。

AMBA 的地址和数据相位间有流水线的关系，使存储器访问可以提前准备，使主设备间的切换不浪费额外的时钟周期，尤其特别适合与内置流水线的处理器接口。

AMBA2.0 支持许多先进的访问方式，如连续型访问（burst）可以加快某些快速存储器的访问速度；离线型访问（split）可以让某些慢速设备在不占用总线的情况下，先将数据准备好，再发起相应的总线访问行为。在 AMBA3.0 中，对各种突发访问、乱序访问将有更好的支持。这些技术特点使 AMBA 可以运行在更高的时钟频率，在相同的频率下可以提供更高的数据吞吐量。

一个以 AMBA 架构的 SoC，一般来说包含了高性能（high-performance）系统总线（AMBA ASB 或 AMBA AHB 或 AMBA AXI）与低功耗（low-power）的外围总线（AMBA APB）。现在市场上大部分的基于 AMBA 架构的 SoC 产品，系统总线采用 AHB，外部总线采用 APB。系统总线负责连接例如 ARM 嵌入式处理器、DMA 控制器、片上存储器或其他需要高带宽的元件。而外围总线则是用以连接系统的外围元件，其协议相对来说较为简单，而两种总线通过总线桥相连。通过这种机制来减轻系统总线的负担。

随着下一代高性能 SoC 设计的需要，比如多处理器核、多重存储器结构、DMA 控制器等，AMBA 需要新一代灵活性更强的总线结构，这就是 AMBA 3.0 AXI 总线。AXI 是 1999 年发布的 AMBA 2.0 的继承和提升，是 ARM 公司与其他芯片制造商包括高通、东芝和爱立信等公司共同研发的。新协议的发布，为新一代高性能 SoC 的设计铺平了道路。

表 1 AXI 与 AHB 的性能对比

总线名称	AMBA 3 AXI	AMBA 2 AHB
数据线宽度（位）	8,16,32,64,128,256,512,1024	32, 64, 128, 256
地址线宽度（位）	32	32
体系结构	多主/从设备 仲裁机制	多主/从设备 仲裁机制
数据线协议	支持流水/分裂传输 支持猝发传输 支持乱序访问 字节/半字/字	支持流水/分裂传输 支持猝发传输 字节/半字/字
数据对齐方式	大端/小端对齐 支持非对齐操作	大端/小端对齐 不支持非对齐操作
时序	同步	同步
互接	多路	多路
支持互接	不支持三态总线 分开的读/写数据线	不支持三态总线 分开的读/写数据线

AXI 总线是一种多通道传输总线，将地址、读数据、写数据、握手信号在不同的通道中发送，不同的访问之间顺序可以打乱，用 BUSID 来表示各个访问的归属。主设备在没有得到返回数据的情况下可发出多个读写操作。读回的数据顺序可以被打乱，同时还支持非对齐数据访问。

AXI 总线还定义了进出低功耗节电模式前后的握手协议。规定如何通知进入低功耗模式，何时关断时钟，何时开启时钟，如何退出低功耗模式。这使得所有 IP 在进行功耗控制的设计时，有据可依，容易集成在统一的系统中。

新的高性能 AXI 协议技术性能新的特点主要包括：
单向通道体系结构。信息流只以单方向传输，简化时钟域间的桥接，减少门数量。当信号经过复杂的片上系统时，减少延时。

支持多项数据交换。通过并行执行猝发操作，极大地提高了数据吞吐能力，可在更短的时间内完成任务，在满足高性能要求的同时，又减少了功耗。

独立的地址和数据通道。地址和数据通道分开，能对每一个通道进行单独优化，可以根据需要控制时序通道，将时钟频率提到最高，并将延时降到最低。

增强的灵活性。AXI 技术拥有对称的主从接口，无论在点对点或在多层系统中，都能十分方便地使用 AXI 技术。

- AXI 协议的关键特征有：
- ▣ 分离的地址/控制和数据通道
 - ▣ 采用字节选通的方式支持不对齐数据的传输
 - ▣ 基于 burst 交易的数据传输，主机只需提供首地址
 - ▣ 分离的读写数据通道，能支持低功耗的 DMA
 - ▣ 支持 outstanding 交易
 - ▣ 支持乱序交易
 - ▣ 易于通过添加寄存器达到时序收敛
- 除了数据传输协议，AXI 协议还提供可选扩展支持低功耗操作。

2. 通道结构

- 包含 5 个通道：
- 读数据：读地址通道、读数据通道
- 写数据：写地址通道、写数据通道、写响应通道

读通道

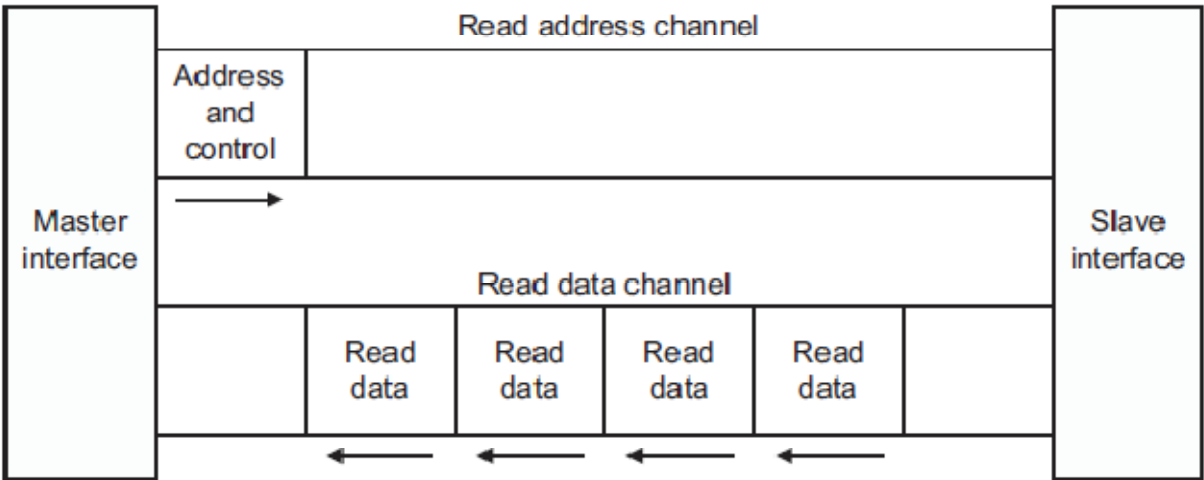


Figure 1-1 Channel architecture of reads

写通道:

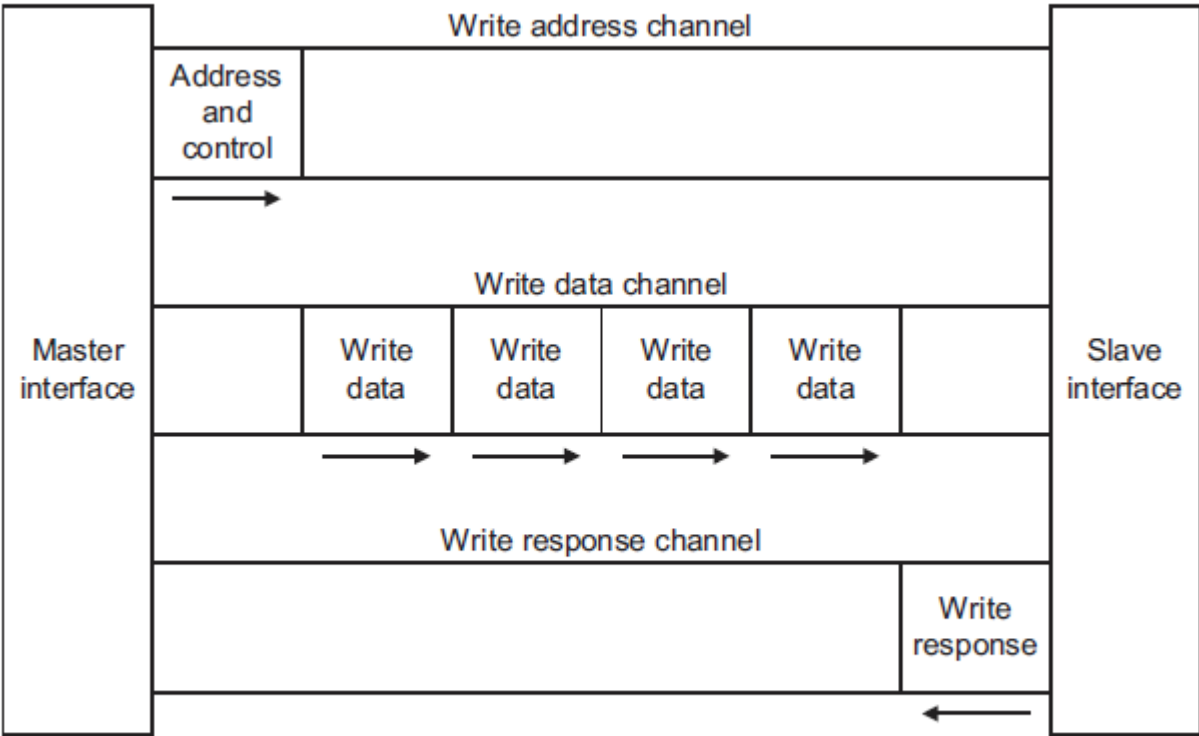


Figure 1-2 Channel architecture of writes

3. 信号定义

1) 全局信号:

Table 2-1 Global signals

Signal	Source	Description
ACLK	Clock source	Global clock signal. All signals are sampled on the rising edge of the global clock.
ARESETn	Reset source	Global reset signal. This signal is active LOW.

2) 写地址通道信号:

Table 4-1 Burst length encoding

Table 4-2 Burst size encoding

ARLEN[3:0] AWLEN[3:0]	Number of data transfers
b0000	1
b0001	2
b0010	3
.	
.	
.	
b1101	14
b1110	15
b1111	16

ARSIZE[2:0] AWSIZE[2:0]	Bytes in transfer
b000	1
b001	2
b010	4
b011	8
b100	16
b101	32
b110	64
b111	128

Table 2-2 Write address channel signals

Signal	Source	Description
AWID[3:0]	Master	Write address ID. This signal is the identification tag for the write address group of signals.
AWADDR[31:0]	Master	Write address. The write address bus gives the address of the first transfer in a write burst transaction. The associated control signals are used to determine the addresses of the remaining transfers in the burst.
AWLEN[3:0]	Master	Burst length. The burst length gives the exact number of transfers in a burst. This information determines the number of data transfers associated with the address. See Table 4-1 on page 4-3.
AWSIZE[2:0]	Master	Burst size. This signal indicates the size of each transfer in the burst. Byte lane strobes indicate exactly which byte lanes to update. See Table 4-2 on page 4-4.
AWBURST[1:0]	Master	Burst type. The burst type, coupled with the size information, details how the address for each transfer within the burst is calculated. See Table 4-3 on page 4-5.
AWLOCK[1:0]	Master	Lock type. This signal provides additional information about the atomic characteristics of the transfer. See Table 6-1 on page 6-2.
AWCACHE[3:0]	Master	Cache type. This signal indicates the bufferable, cacheable, write-through, write-back, and allocate attributes of the transaction. See Table 5-1 on page 5-3.
AWPROT[2:0]	Master	Protection type. This signal indicates the normal, privileged, or secure protection level of the transaction and whether the transaction is a data access or an instruction access. See <i>Protection unit support</i> on page 5-5.
AWVALID	Master	Write address valid. This signal indicates that valid write address and control information are available: 1 = address and control information available 0 = address and control information not available. The address and control information remain stable until the address acknowledge signal, AWREADY , goes HIGH.
AWREADY	Slave	Write address ready. This signal indicates that the slave is ready to accept an address and associated control signals: 1 = slave ready 0 = slave not ready.

3)写数据通道:

Table 2-3 Write data channel signals

Signal	Source	Description
WID[3:0]	Master	Write ID tag. This signal is the ID tag of the write data transfer. The WID value must match the AWID value of the write transaction.
WDATA[31:0]	Master	Write data. The write data bus can be 8, 16, 32, 64, 128, 256, 512, or 1024 bits wide.
WSTRB[3:0]	Master	Write strobes. This signal indicates which byte lanes to update in memory. There is one write strobe for each eight bits of the write data bus. Therefore, WSTRB[n] corresponds to WDATA[(8 × n) + 7:(8 × n)] .
WLAST	Master	Write last. This signal indicates the last transfer in a write burst.
WVALID	Master	Write valid. This signal indicates that valid write data and strobes are available: 1 = write data and strobes available 0 = write data and strobes not available.
WREADY	Slave	Write ready. This signal indicates that the slave can accept the write data: 1 = slave ready 0 = slave not ready.

4)写响应信号:

Table 2-4 Write response channel signals

Signal	Source	Description
BID[3:0]	Slave	Response ID. The identification tag of the write response. The BID value must match the AWID value of the write transaction to which the slave is responding.
BRESP[1:0]	Slave	Write response. This signal indicates the status of the write transaction. The allowable responses are OKAY , EXOKAY , SLVERR , and DECERR .
BVALID	Slave	Write response valid. This signal indicates that a valid write response is available: 1 = write response available 0 = write response not available.
BREADY	Master	Response ready. This signal indicates that the master can accept the response information. 1 = master ready 0 = master not ready.

5)读地址通道:

Table 2-5 Read address channel signals

Signal	Source	Description
ARID[3:0]	Master	Read address ID. This signal is the identification tag for the read address group of signals.
ARADDR[31:0]	Master	Read address. The read address bus gives the initial address of a read burst transaction. Only the start address of the burst is provided and the control signals that are issued alongside the address detail how the address is calculated for the remaining transfers in the burst.
ARLEN[3:0]	Master	Burst length. The burst length gives the exact number of transfers in a burst. This information determines the number of data transfers associated with the address. See Table 4-1 on page 4-3.
ARSIZE[2:0]	Master	Burst size. This signal indicates the size of each transfer in the burst. See Table 4-2 on page 4-4.
ARBURST[1:0]	Master	Burst type. The burst type, coupled with the size information, details how the address for each transfer within the burst is calculated. See Table 4-3 on page 4-5.
ARLOCK[1:0]	Master	Lock type. This signal provides additional information about the atomic characteristics of the transfer. See Table 6-1 on page 6-2.
ARCACHE[3:0]	Master	Cache type. This signal provides additional information about the cacheable characteristics of the transfer. See Table 5-1 on page 5-3.
ARPROT[2:0]	Master	Protection type. This signal provides protection unit information for the transaction. See <i>Protection unit support</i> on page 5-5.
ARVALID	Master	Read address valid. This signal indicates, when HIGH, that the read address and control information is valid and will remain stable until the address acknowledge signal, ARREADY , is high. 1 = address and control information valid 0 = address and control information not valid.
ARREADY	Slave	Read address ready. This signal indicates that the slave is ready to accept an address and associated control signals: 1 = slave ready 0 = slave not ready.

6)读数据通道:

Table 2-6 Read data channel signals

Signal	Source	Description
RID[3:0]	Slave	Read ID tag. This signal is the ID tag of the read data group of signals. The RID value is generated by the slave and must match the ARID value of the read transaction to which it is responding.
RDATA[31:0]	Slave	Read data. The read data bus can be 8, 16, 32, 64, 128, 256, 512, or 1024 bits wide.
RRESP[1:0]	Slave	Read response. This signal indicates the status of the read transfer. The allowable responses are OKAY, EXOKAY, SLVERR, and DECERR.
RLAST	Slave	Read last. This signal indicates the last transfer in a read burst.
RVALID	Slave	Read valid. This signal indicates that the required read data is available and the read transfer can complete: 1 = read data available 0 = read data not available.
RREADY	Master	Read ready. This signal indicates that the master can accept the read data and response information: 1= master ready 0 = master not ready.

还有低功率可选信号。

4. 握手机制

5 个通道都采用 VALID/READY 握手信号来传输控制信号和数据信号。双向信号 VALID/READY 来控制数据和控制信号的速率。

源设备：产生 VALID

目的设备：产生：READY

注：输入和输出信号之间不允许有组合路径。

VALID 和 READY 同时为高数据才有效。

VALID 和 READY 有三种时序关系：

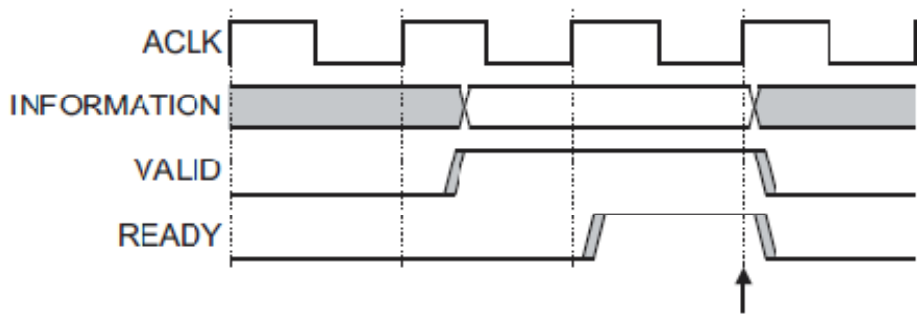


Figure 3-1 VALID before READY handshake

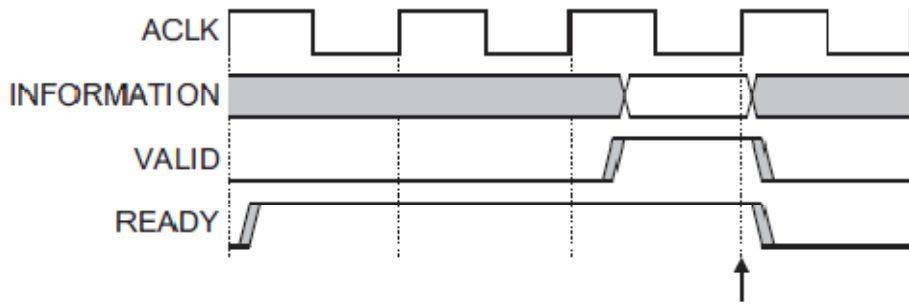


Figure 3-2 READY before VALID handshake

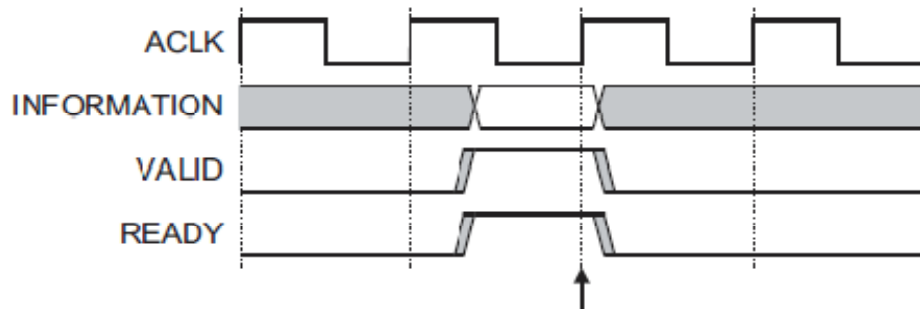


Figure 3-3 VALID with READY handshake

箭头代表数据传输开始。

1) 写地址通道:

地址和控制信息有效——>将 **AWVALID** 置为有效——>保持 **AWVALID** 有效直到从设备接收了地址和控制信号并且返回 **AWREADY** 信号。

AWREADY 默认值推荐为高

2) 写数据通道:

数据有效——>**WVALID** 置为有效——>保持 **WVALID** 有效直到从设备接收了地址和控制信号并且返回 **WREADY** 信号。

WREADY 默认值可以为高，前提是从设备总能在一个周期内接受数据。

主设备必须发送 **WLAST** 标志一次 burst 交易中最后一拍数据。

当 **WVALID** 为低位时，**WSTRB[3:0]** 推荐为低或者保持原值。

3) 写响应通道:

从设备写响应有效——>从设备将 **BVALID** 有效——>保持直到主设备接收了响应，并返回 **BREADY**

BREADY 默认值可以为高，前提是主设备总能在一个周期内接受响应。

4) 读地址通道

读地址和控制信息有效——>将 **ARVALID** 置为有效——>保持 **ARVALID** 有效直到从设备接收了地址和控制信号并且返回 **ARREADY** 信号。

ARREADY 默认值推荐为高，前提是从设备必须能够在任何合法地址发送来的时候给予接收。

5) 读数据通道

从设备数据有效——>RVALID 置为有效——>保持 WVALID 有效直到主设备接收了数据信号并且返回 RREADY 信号。

主设备的 RREADY 信号标志可以接受数据，默认值可以为高，前提是主设备可以随时立即接收数据。

从设备必须发送 RLAST 信号。

5 通道关系

5 种通道之间的关系灵活的，地址不一定要在数据前到达。

但是，如果必须确定目的地址空间或者从设备空间时，必须对齐地址和写数据，以确保数据只写入要写的从设备。

通道直接关系必须满足：

- 1) 读数据必须在相关的地址之后
- 2) 写响应必须在相关的写交易最后一拍数据完成之后。

6 握手信号关系

7 BURST 长度、大小和类型

Burst 长度：一次 burst 交易有多少拍 1~16——AWLEN/ARLEN

Burst 大小：每一拍数据的大小 2~128——ARSIZE/AWRIZE

Burst 类型：地址固定的 burst

地址递增的 burst

地址卷回的 burst