

# 7系列FPGA GTX/GTH收发器

## 用户指南

ug 476(v 1 . 12 . 1)2018年8月14日



#### 免责声明通知

以下向您披露的信息(“材料”)仅用于选择和使用Xilinx产品。在适用法律允许的最大范围内:(1)材料按“原样”提供,包含所有错误, Xilinx特此否认所有明示、暗示或法定的担保和条件,包括但不限于适销性、不侵权或适用于任何特定目的的担保;以及(2)赛灵思不承担任何责任(无论是在合同或侵权行为中,包括疏忽,或根据任何其他责任理论)与材料(包括您对材料的使用)相关,由材料引起或与之相关的任何种类或性质的损失或损害,包括任何直接、间接、特殊、偶然或后果性的损失或损害(包括数据、利润、商誉的损失,或因第三方提起的任何诉讼而遭受的任何类型的损失或损害),即使此类损失或损害是可合理预见的,或Xilinx已被告知可能发生此类损失。Xilinx没有义务纠正材料中包含的任何错误,也没有义务通知您材料或产品规格的更新。未经事先书面同意,您不得复制、修改、分发或公开展示这些材料。某些产品受Xilinx有限保修条款和条件的约束,请参考Xilinx的销售条款,可在以下网址查看<https://www.xilinx.com/legal.htm#tos>;IP内核可能受Xilinx向您颁发的许可证中包含的保修和支持条款的约束。Xilinx产品的设计或意图不是故障安全的,也不是用于任何需要故障安全性能的应用;您承担在此类关键应用中使用Xilinx产品的全部风险和责任,请参阅Xilinx的销售条款,该条款可在以下网址查看<https://www.xilinx.com/legal.htm#tos>.

#### 汽车应用免责声明

除非有符合ISO 26262汽车安全标准(“安全设计”的安全概念或冗余特征,否则汽车产品(零件号中标识为“XA”)不保证用于安全气囊的展开或影响车辆控制的应用(“安全应用”)。在使用或分发任何包含产品的系统之前,客户应出于安全目的彻底测试此类系统。在没有安全设计的情况下,在安全应用中使用产品完全由客户承担风险,仅受适用法律和法规对产品责任限制的约束。

版权所有2011–2018 Xilinx, Inc. Xilinx、Xilinx徽标、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq和此处包含的其他指定品牌是Xilinx在美国和其他国家的商标。CPRI是西门子公司的商标。PCI、PCIe和PCI Express是PCI-SIG的商标,根据许可使用。所有其他商标是其各自所有者的财产。

## 修订历史

下表显示了本文档的修订历史。

日期	版本	修订本
03/01/2011	1.0	Xilinx初始版本。
03/28/2011	1.1	<b>第一章</b> , 删除了表1-4:按器件/封装(Kintex-7 FPGA)划分的GTX收发器通道, 并添加了到UG475的链接:7系列FPGAs封装和引脚排列规格。 更新 <b>表B-1</b> .

日期	版本	修订本
07/08/2011	1.2	<p><b>第一章</b>, 中更新的电脑和PMA功能<a href="#">表1-1</a>.</p> <p><b>第二章</b>, 修订了中的ODIV2属性<a href="#">表2-1</a>并删除了REFCLK_CTRL<a href="#">表2-2</a>。改正, 改变, 修正(想法)参考时钟选择和分配。更新了线路速率和锁定范围通道PLL。更新了中的D因子<a href="#">表2-8</a>。修改了中CPLLLOCKDETCLK的描述<a href="#">表2-9</a>。将CPLL_RXOUT_DIV重命名为RXOUT_DIV, 将CPLL_TXOUT_DIV重命名为TXOUT_DIV, 并在中更新了它们的描述<a href="#">表2-10</a>.</p> <p>在中更新行速率四通道PLL。修订的VCO in<a href="#">图2-11</a>。更新了N有效设置, 并将D系数添加到<a href="#">表2-13</a>。更新了中的QPLLLOCKDETCLK描述<a href="#">表2-14</a>。更新了中的QPLL_CFG描述<a href="#">表2-15</a>。向添加了RXOUT_DIV和TXOUT_DIV属性表<a href="#">表2-15</a>。向添加了CFGRESET和PCSRSDOUT端口<a href="#">表2-24</a>。更正了中的GTTXRESET名称<a href="#">图2-16</a>。改正, 改变, 修正(想法)PLL关断.</p> <p><b>第三章</b>, 在中更新行速率TXUSRCLK和TXUSRCLK2的产生。增加使用TXOUTCLK驱动TX接口。已从删除TXRUNDISP[7:0]端口<a href="#">表3-7</a>。在中添加了RX并更新了齿轮箱模式的描述<a href="#">表3-9</a>。增加启用TX齿轮箱,TX齿轮箱位和字节排序,TX齿轮箱操作模式,外部顺序计数器操作模式,内部顺序计数器操作模式(仅GTX收发器),<a href="#">表3-10</a>, 以及<a href="#">表3-11</a>。更新了中的TXPHALIGNDONE描述<a href="#">表3-17</a>。更新<a href="#">图3-19</a>及其相关注释在单通道自动模式下使用TX缓冲旁路(仅限GTX收发器)。增加在多通道手动模式下使用TX缓冲旁路(GTX和GTH收发器)。更新TX极性控制。更新<a href="#">图3-28</a>。在中将CPLL_TXOUT_DIV重命名为TXOUT_DIV串行时钟分频器,<a href="#">表3-25</a>, 以及<a href="#">表3-26</a>。将TXDLYBYPASS添加到<a href="#">表3-26</a>。更改了中的TXPOSTCURSOR范围<a href="#">图3-29</a>.</p> <p><b>第四章</b>, 中更新的可编程电压值<a href="#">表4-2</a>。增加GTX和GTH使用模式—RX端接。更新了RXOOBRESET, 并将RXELECIDLEMODE[1:0]添加到<a href="#">表4-7</a>。更新<a href="#">图4-23</a>。在中将CPLL_RXOUT_DIV重命名为RXOUT_DIV<a href="#">表4-23</a>。更新了中的项目符号并行时钟分频器和选择器。将RXDLYBYPASS添加到<a href="#">表4-24</a>。在中将CPLL_RXOUT_DIV重命名为RXOUT_DIV<a href="#">表4-24</a>和<a href="#">表4-25</a>。增加眼睛扫描架构,<a href="#">图4-26</a>,<a href="#">图4-27</a>, 以及<a href="#">图4-28</a>。增加端口和属性和<a href="#">表4-26</a>, 以及<a href="#">表4-27</a>。更新手动对齐和<a href="#">图4-36</a>, 并补充道<a href="#">图4-37</a>。更新了中的RXSLIDE描述<a href="#">表4-32</a>。更新了SHOW_REALIGN_COMMAS、RXSLIDE_MODE和RXSLIDE_AUTO_WAIT的描述, 以及将RXRECCCLK重命名为RXOUTCLK, 将SHOW_ALIGN_COMMAS重命名为SHOW_REALIGN_COMMAS<a href="#">表4-33</a>。改正, 改变, 修正(想法)RX运行差异。替换了中的RX8B10BEN描述, 并删除了中的RXRUNDISP[7:0]<a href="#">表4-34</a>。将RX CDR添加到<a href="#">图4-40</a>。修改了中的RXPHALIGNDONE描述<a href="#">表4-36</a>。改正, 改变, 修正(想法)在单通道自动模式下使用接收缓冲旁路(仅限GTX收发器)和更新<a href="#">图4-41</a>。增加在多通道手动模式下使用RX缓冲旁路(GTX和GTH收发器)。将RX CDR添加到<a href="#">图4-49</a>。在中修改了对CLK_科尔_马克斯_拉特、CLK_科尔_最小_拉特和CLK_科尔_SEQ_莱恩的描述<a href="#">表4-44</a>.</p> <p>修改使用RX时钟校正, 补充道启用时钟校正, 已修改设置RX弹性缓冲极限并更名为ADJ CLK科尔到SEQ CLK, 增加了设置时钟校正序列, 时钟校正选项, 以及监控时钟校正。修改了中的RXCHBONDLEVEL描述<a href="#">表4-47</a>。增加使用RX通道绑定, 启用通道绑定。增加设置通道绑定序列。增加设置最大偏斜。</p>

日期	版本	修订本
07/08/2011	1.2 (续)	<p>增加通道绑定和时钟校正之间的优先级。修改了中对RXGEARBOXSLIP的描述表4-49。替换了中对变速箱模式的描述表4-50。增加启用RX变速箱。增加RX变速箱操作模式。增加RX齿轮箱块同步。重命名为RXRECCLK至RXOUTCLK in RXUSRCLK和RXUSRCLK2代。更新了中RX_INT_DATAWIDTH的描述表4-55。</p> <p>第五章，增加图5-2。增加模拟电源引脚表5-2，以及表5-3。更新图5-9。改正，改变，修正(想法)未使用的参考时钟。删除了LVDS部分。改正，改变，修正(想法)印制电路板并补充道表5-6。增加PCB设计清单和表5-7。</p> <p>第六章，将Gen3添加到中的接收缓冲器表6-1。将TXCHARDISPMODE[0]添加到表6-2。更新了中TXDEEMPH和RXELECIDLE的描述表6-2。更新PCI Express使用模式RXBUF_EN和RX_XCLK_SEL的Gen3输入表6-4，补充道管道控制信号和表6-5。更新参考时钟和表6-6，并补充道表6-7。修改平行时钟(PCLK)，补充道图6-1，增加了介绍性段落并修改了图6-2。改正，改变，修正(想法)第1代和第2代速度之间的速率变化。更新图6-6。改正，改变，修正(想法)在速率变化期间使用DRP进入或退出第三代速度。更新了中RXBUF_EN和RX_XCLK_SEL的Gen3表6-8。更新PCI Express通道绑定，并补充道二叉树示例。增加XAUI使用模型和表6-11穿过表6-14。</p> <p>附录A，按封装排列的布局信息，更新内容。附录B，按设备排列的位置信息，扩展表B-1。</p> <p>附录D，GTX/GTH收发器的DRP地址图，从CPLL_RXOUT_DIV和CPLL_TXOUT_DIV中删除CPLL表D-2。</p> <p>通篇将CPLL_TXOUT_DIV重命名为TXOUT_DIV，将CPLL_RXOUT_DIV重命名为RXOUT_DIV。删除了CPLL和CPLL前缀。自始至终将PLL重命名为CPLL。</p>
07/28/2011	1.2.1	重新格式化表3-17,表3-30，以及表4-10。
11/16/2011	1.3	附录A，按封装排列的布局信息，增加了Virtex-7 FPGA封装。附录B，按设备排列的位置信息，补充道表B-2。
04/04/2012	1.4	<p>增加了GTH收发器。第一章:已更新表1-1。</p> <p>第二章:更新了中O和ODIV2端口的描述表2-1。在中将CLKSWING_CFG类型更新为二进制表2-2。更新了中的CLKSWING_CFG设置表2-3。更新通道PLL和四通道PLL。更新图2-15。更新响应配置完成，GTX/GTH收发器TX复位。更新图2-20。更新响应配置完成，GTX/GTH收发器RX复位。在...里表2-33，将RXPD[1:0]时钟域更新为异步。增加数字监视器。</p> <p>第三章:已更新图3-1。将BUFH添加到图3-4和图3-5，以及每个图形的注释。更新运行差异。更新TX齿轮箱。更新图3-14。在...里表3-17，更新了TXPHDLYPD的描述，并添加了TXSYNCMODE、TXSYNCCALLIN、TXSYNCIN、TXSYNCOUT和TXSYNCDONE。将TXSYNC_MULTI_LANE、TXSYNC_SKIP_DA和TXSYNC_OVRD添加到表3-18。更新后的注释图3-23。增加TX相位插值器PPM控制器。更新图3-28，包括注释2和6。在...里表3-28，更新了TXDIFFCTRL[3:0]，TXELECIDLE，TXINHIBIT，TXPOSTCURSOR[4:0]的描述，TXPRECURSOR[4:0]和gtx XP/gtx txn。在...里表3-32，将RXPD[1:0]时钟域更新为异步。</p>

日期	版本	修订本
04/04/2012	1.4 (续)	<p><b>第四章:</b>已更新表4-2。更新GTX和GTH使用模式—RX端接和RX均衡器(DFE和LPM)。在...里表4-11和表4-15，将RXDFEOSHOLD、RXDFEOSOVRDEN和RX_DFE_OS_CFG替换为RXOSHOLD，RXOSOVRDEN和RX_OS_CFG。在...里表4-11，将RX_DFE_LPM和HOLD_DURING_EIDLE合并为RX_DFE_LPM_HOLD_DURING_EIDLE，删除了IAS_CFG。增加GTX使用模式，包括图4-20,表4-12，以及表4-13。更新图4-23，包括注2。在...里表4-26，RXLPMEN补充道。在...里表4-27，删除了A_RXLPMEN，更新了ES_EYE_SCAN_EN，增加了PMA_RSV2[5]，USE_PCS_CLK_PHASE_SEL，ES_CLK_PHASE_SEL。更新中RX_PRBS_错误_计数的描述表4-31。更新对准状态信号和手动对齐。更新了中RXBYTEISALIGNED的描述表4-32。向添加了逗号对齐延迟表4-33。在中添加了有关RXSLIDE_MODE使用的句子RX缓冲旁路。在...里表4-36，更新了RXPHDLYPD的描述，并添加了RXSYNCMODE、RXSYNCALLIN、RXSYNCIN、RXSYNCOUT和RXSYNCDONE。在...里表4-37，增加了RXSYNC_MULTI_LANE，RXSYNC_SKIP_DA和RXSYNC_OVRD。更新在单通道自动模式下使用接收缓冲旁路(仅限GTX收发器)航向。更新后的注释图4-45。在中更新了FTS_莱恩_纠偏_CFG的描述表4-48。更新功能描述，第283页。在...里表4-49，更新了RXDATAVALID、RXGEARBOXSLIP、RXHEADER、RXHEADERVALID和的描述RXSTARTOFSEQ，并添加了RXSLIDE。更新了中齿轮箱模式的描述表4-50。将正常模式添加到RX变速箱操作模式。更新图4-65和RX齿轮箱模块(GTH收发器)。</p> <p><b>第五章:</b>已更新表5-1,表5-6，以及表5-7。增加LVDS，包括图5-8。在...里图5-9，将电容值从0.01 oF更新为0.1 oF。</p> <p><b>第六章:</b>已更新功能描述，包括表6-1。更新了中RXELECidle的描述表6-2。更新了中的[TX/RX]速率[2:0]设置表6-4。更新了中的[TX/RX]OUT_DIV设置表6-6。更新了中的QPLL_FBDIV设置表6-7。</p> <p>PCLK频率输入平行时钟(PCLK)。更新进入或退出第三代速度的速率变化。更新PCI Express时钟校正。在...里表6-12，将[TX/RX]_CLK25_DIV的值从2更新为7。</p> <p><b>附录A:</b>在第一段中添加了关于有引线封装选项的句子。增加GTH收发器封装布局图。</p> <p><b>附录B:</b>已添加表B-3。</p> <p><b>附录D:</b>已更新表D-1和表D-2。增加表D-3和表D-4。</p>
05/07/2012	1.5	<p><b>第五章:</b>在中更新了对MGTVCCAUX_G[N]的建议表5-7。</p> <p><b>附录A:</b>更正的标签在图A-50,图A-61,图A-63,图A-91，以及图A-92。</p>
09/11/2012	1.6	<p><b>第二章:</b>已更新图2-1。更新了中的CLKSWING_CFG表2-2。将GTREFCLKMONITOR添加到表2-4。将OUTREFCLK_SEL_INV添加到表2-5。将REFCLKOUTMONITOR添加到表2-6。增加单一外部参考时钟使用模式和多个外部参考时钟使用模型。更新通道PLL和四通道PLL。向添加了注释表2-10。增加常见协议的QPLL设置。更新表2-12。从中因子N的属性列中删除了QPLL_CFG表2-13。增加表2-27和复位情况的描述。更新了中RXRESETDONE的描述表2-28。在中用rxcdrpreset_TIME替换RXCDRRESET_TIME表2-29。增加表2-32和复位情况的描述。更新了中对环回模式的描述回路。更新了对DMONITOR_CFG[23:0]的描述，并添加了RX_DEBUG_CFG、PCS_RSVD_ATTR[6]和CFOK_CFG[41]到表2-41。更新了中的Verilog代码捕捉数字监视器输出。在...里解读数字监视器输出，添加了RXDFELF[3:0]的项目符号并进行更新RXDFEAGC[3:0]用于GTX和GTH收发器。</p>

日期	版本	修订本
09/11/2012	1.6 (续)	<p><b>第三章:</b>已更新表3-2。在1920年用GTX取代了GTX图3-14。更新图3-15。更新了中TXPHDLYRESET的说明表3-17。更新了中TXSYNC_MULTILANE的描述和标题表3-18。增加<b>TX缓冲器旁路使用模式</b>。更新<b>在单通道自动模式下使用TX缓冲旁路(仅限GTX收发器)</b>航向。更新了的标题和注释图3-19。增加<b>在单通道手动模式下使用TX缓冲旁路</b>。</p> <p>更新<b>使用TX缓冲器旁路</b>  <b>多通道手动模式(GTX和GTH收发器)</b>。增加<b>在多通道自动模式下使用TX缓冲旁路(仅限GTH收发器)</b>。更新图3-28并在图后加注5。在...里表3-27, 将TX_EN_RATE_RESET_BUF替换为TXBUF_RESET_ON_RATE_CHANGE。在...里表3-29, 更新了TXPI_SYN_FREQ_PPM[2:0]的描述。在...里表3-30, 将管道版本更新为3.0, 添加了TXDIFFPD和TXPISOPD, 更新了TXQPISENN和TXQPISEN, 并从描述中删除了preliminary。更新表3-31。在中向SATA_BURST_SEQ_LEN添加了位表3-35。</p> <p><b>第四章:</b>已更新图4-2。更新了中RXQPISENN和RXQPISEN的描述表4-1。在...里表4-2, 更新了术语_RCAL_CFG的描述。已从移除显示端口表4-4。在...里表4-5, 添加了LPM模式, 删除了显示端口, 并更新了属性设置。在...里表4-7, 将RXELECidle的时钟域从RXUSRCLK2更改为Async。更新表4-8。增加<b>GTX/GTH使用模式</b>。将表注释1添加到表4-9。更新图4-19。在...里表4-10, 更新了RXLPMLFKLOVRDEN, 并添加了RXDFECM1EN、RXDFEXYDHOLD、RXDFEXYDOVRDEN、RXDFEXYDEN、RXMONITORSEL和RXMONITOROUT。在...里表4-11, 增加了RX_DFE_XYD_CFG和其他属性的默认值。删除了以下关于CDR锁定的段落图4-22。更新了中RXRATE[2:0]和RXCDRLOCK的描述表4-15。更新了中RXCDR_HOLD_DURING_EIDLE、RXCDR_FR_RESET_ON_EIDLE和RXCDR_PH_RESET_ON_EIDLE的描述表4-16。</p> <p>更新图4-23, 以及图后的注释3和6。在...里表4-25, 将RX_EN_RATE_RESET_BUF替换为RXBUF_RESET_ON_RATE_CHANGE。在...里表4-26, 更新了RXRATE的描述并增加了EYESCANMODE。在...里表4-27, 补充道埃斯PMA CFG和的更新描述ES_SDATA_MASK、ES_QUALIFIER和ES_QUAL_MASK。将DRP地址十六进制(GTH收发器)列添加到表4-28。将SETERRSTATUS添加到表4-34。将UCODEER_CLR添加到表4-35。更新了中RXPHDLYRESET和RXPHOVRDEN的描述表4-36。更新的标题表4-37。增加<b>RX缓冲器旁路使用模式</b>。更新<b>在单通道自动模式下使用接收缓冲旁路(仅限GTX收发器)</b>。增加<b>在单通道自动模式下使用接收缓冲旁路(仅限GTH收发器)</b>。更新<b>在多通道手动模式下使用RX缓冲旁路(GTX和GTH收发器)</b>。增加<b>在多通道自动模式下使用接收缓冲旁路(仅限GTH收发器)</b>。更新图4-50。在...里表4-44, 用CLK_校正_优先级更正了CLK_校正_先例, 并将CLK_校正_最大_纬度和CLK_校正_最小_纬度的有效值上限从48更新为60。在...里设置<b>RX弹性缓冲极限</b>, 将CLK_最大_纬度和CLK_最小_纬度的上限值从48更改为60。</p> <p><b>第五章:</b>更新了的第二段<b>终端电阻校准电路</b>。更新的第一段和第三段<b>模拟电源引脚</b>。在...里表5-2, 删除了第一栏中设备编号后的“初步”, 在MGT 115栏的条目中添加了“(RCAL)”, 并删除了XC7K410T-FBG900、XC7K410T-FFG900和XC7K420T-FFG901排。在...里表5-3, 删除了第一列中设备编号后的“初步”, 并在MGT列的条目中添加了“(RCAL)”。更新之前的段落图5-4。在...里图5-4, 替换了V<sub>伊势</sub>(日本本州岛南部城市)<b>单端电压</b></p> <p><b>第六章:</b>在中添加了关于P2州的句子<b>管道控制信号</b>。更新了的第二行表6-7。更新了的第一段<b>PCI Express通道绑定</b>。</p>

日期	版本	修订本
09/11/2012	1.6 (续)	<p><b>附录A:</b>将FLG1761封装添加到GTX收发器封装布局图。向添加了FFG1928、FLG1926、FLG1928和FLG1930封装图GTH收发器封装布局图。</p> <p><b>附录B:</b>已更新表B-2和表B-3。附录D:已更新表D-2和表D-4。</p>
10/18/2012	1.7	<p><b>第五章:</b>从中删除XC7V1500T FLG1761行表5-3。附录A:删除FLG1761封装布局图。附录B:从移除XC7V1500T表B-2.</p>
01/02/2013	1.8	<p><b>第二章:</b>将TXPMARESETDONE添加到表2-24。在中添加了RXOSCALRESET、RSOSINTDONE和RXPMARESETDONE表2-28。将RXOSCALRESET _ TIME和RXOSCALRESET _ TIMEOUT添加到表2-29。更新中DMONITOR_CFG[23:0]的描述表2-41。更新解读数字监视器输出。</p> <p><b>第三章:</b>更新的TXDATA信号输入图3-12和图3-13。向添加了关于外部序列计数器的注释表3-12和表3-13。更新了TXSYNCMODE、TXSYNCALLIN、TXSYNCIN、TXSYNCOUT和TXSYNCDONE端口的描述在表3-17。更新了TXSYNC_MULTILANE和TXSYNC_SKIP_DA的描述，并在中添加了LOOPBACK_CFG表3-18。向添加了关于多通道TX缓冲旁路支持的注释表3-19，在多通道手动模式下使用TX缓冲旁路(g TX和GTH收发器)，以及在多通道自动模式下使用TX缓冲旁路(仅限GTH收发器)。</p> <p><b>第四章:</b>更新了中的建议协议和使用说明表4-3到表4-6。更新图4-3到图4-6。更新了中RXELECIDLE端口的描述表4-7。更新了对ATTR_RSVD港的描述表4-8。更新使用DFE模式。在标题中添加“GTX”表4-17穿过表4-19。更新了RXSYNCMODE、RXSYNCALLIN、RXSYNCIN、RXSYNCOUT和的描述RXSYNCDONE输入表4-36。向添加了关于多通道RX缓冲旁路支持的注释表4-38，在多通道手动模式下使用RX缓冲旁路(GTX和GTH收发器)，以及在多通道自动模式下使用接收缓冲旁路(仅限GTH收发器)。更新了中rx buf _ ADDR _ 模式的描述表4-41。在后添加了关于CLK的段落表4-42。</p> <p><b>第五章:</b>更新了中的引脚名称表5-1。为MGT 118 in更新了XC7K420T-FFG1156表5-2。更新表5-3。更新了中的引脚名称表5-7。</p>
04/04/2013	1.9	<p><b>第一章:</b>更新后的文本图1-2。删除了对CPLL的描述图1-5。</p> <p><b>第二章:</b>将GTX从通用协议的CPLL设置和常见协议的QPLL设置。在...里表2-15，将QPLL_CLKOUT_CFG的类型更改为4位二进制。向添加了注释1表2-17。将GTH添加到标题中图2-12。在...里表2-24，将TXRESETDONE的时钟域更新为TXUSRCLK2。在中的注释1中添加了GTH收发器表2-27。在...里图2-21和图2-22，将RXISCANRESET替换为EYESCANRESET。更新响应配置完成，GTX/GTH收发器RX复位和响应GTRXRESET脉冲的GTX/GTH收发器RX复位。增加GTH收发器RX PMA复位。在...里表2-30和表2-31，用RX EYESCAN替换了RX ISCAN。更新的标题在运行时更改信道绑定模式后。更新了近端PCS环回的描述图2-26。在...里表2-38和表2-39，更新了DRPEN和DRPWE的描述。</p> <p><b>第三章:</b>更新了TXDATA[39:32]的宽度图3-16。更新功能描述，第135页。更新了中TXSYNCMODE、TXSYNCALLIN、TXSYNCIN、TXSYNCOUT和TXSYNCDONE的描述表3-17。更新了TXSYNC_MULTILANE、TXSYNC_SKIP_DA和TXSYNC_OVRD的描述表3-18。</p>

日期	版本	修订本
04/04/2013	1.9 (续)	<p>更新TX缓冲器旁路使用模式，包括表3-19。在后增加注释5图3-19。更新在单通道手动模式下使用TX缓冲旁路，包括图3-20。更新的第二段在多通道手动模式下使用TX缓冲旁路(g TX和GTH收发器)。删除了“在多通道自动模式下使用TX缓冲旁路(仅限GTH收发器)”部分。更新图3-22。</p> <p>更新后第三个项目符号图3-24。在...里表3-26，更新了对TXOUTCLKFABRIC和TXOUTCLKPCS的描述。在...里表3-29，用7系列FPGAs收发器向导替换了GT向导。在...里表3-30，更新了TXDIFFCTRL[3:0]、TXELECidle、TXINHIBIT、TXQPISENN和TXQPISENTP的描述。</p> <p><b>第四章:</b>在表4-2，更新了术语RCAL CFG和术语RCAL OVRD的描述。更正了RSV2 PMA的拼写表4-3,表4-4,表4-5，以及图4-5。在...里表4-8，增加了ATTR RSVD PCS[3]和CLK CFG。更新图4-7和附带的文本。已从删除CDR块图4-17,图4-18，以及图4-19。已从移除GTH收发器在LPM和DFE模式之间选择和使用LPM模式。更新使用DFE模式。增加GTH使用模式。更新GTX/GTH使用模式。增加表4-20。在...里表4-24，更新了RXOUTCLKFABRIC、RXOUTCLKPCS和RXDLYBYPASS的描述。增加使用RXRATE(仅GTH收发器)。在...里表4-34，更新了RXDISPERR[7:0]的描述。在...里表4-36，更新了RXPHALIGNDONE的描述。在...里表4-37，更新了RXPH_CFG的类型。将RXDDIEN添加到项目符号列表后图4-44。RXDATA[39:32]的更新宽度in图4-68.</p> <p><b>附录A:</b>从第二个介绍性段落中删除了关于含铅封装选项的讨论。</p>
04/22/2013	1.9.1	<b>第三章:</b> 删除了中的重复行表3-30。
02/11/2014	1.10	在中删除了对PCI Express Gen1和Gen2的QPLL支持 <b>第六章</b> ，包括功能描述,表6-1,表6-4,表6-6,表6-7，以及进入或退出第三代速度的速率变化。
02/23/2015	1.11	<p><b>第二章:</b>在<b>功能描述</b>, 第35页, 用GTHE2_COMMON替换了GTHE2_CHANNEL。更新之前的段落<b>方程式2-2</b>和<b>等式2-4</b>。更新<b>CPLL复位</b>。在...里表2-27，更新了要为TX速率更改重置的组件，并添加了两种新情况PMA回环。更正了中RX RESET FSM的印刷错误图2-21。在注释10之后图2-22和图2-24，用SIM_RESET_SPEEDUP替换了SIM_GTREST_RESET_SPEEDUP。在的第一段中添加了对CPLL断电的描述<b>PLL关断</b>。更新了远端PMA环回和远端PCS环回项目符号图2-26。更新了中DRPEN端口的描述表2-38。在...里<b>数字监视器</b>，已更新<b>功能描述</b>并为添加了新的部分<b>GTX港口和属性</b>和<b>GTH港口和属性</b>。更新<b>使用模式</b>，包括添加<b>通过软件捕获数字监视器输出</b>。在...里<b>解读数字监视器输出</b>，用DMONITOR_CFG替换了DMON_CFG，用DMONITOROUT替换了DMONITOR。在...里<b>捕捉数字监视器输出</b>，更新了第二段，并将示例Verilog代码中的TXUSRCLK2替换为FREERUN_CLK。更新了中的RXDFEAGC宽度<b>解读数字监视器输出</b>。</p> <p><b>第三章:</b>从的第一段删除了到因特拉肯规范的链接<b>功能描述</b>, 第120页。更新<b>功能描述</b>, 第135页。在...里表3-17，更新了TXPHDLYRESET、TXDLYSRESET、TXSYNCMODE、TXSYNCALLIN和TXSYNCIN的描述。在...里表3-18，更新了单车道使用模式的GTX收发器栏和表格注释。更新了中的注释2表3-19。在中的GTX收发器设置列表中添加了PCS_RSVD_ATTR<b>在单通道自动模式下使用TX缓冲旁路(仅限g TX收发器)</b>。已从移除GTH收发器<b>在单通道手动模式下使用TX缓冲旁路</b>。在后增加注释10图3-23。</p> <p>更新了中的MGTREFCLK标签图3-28。更正的V程序设计指示TXDIFFCTRL中的单位描述表3-30。</p>

日期	版本	修订本
02/23/2015	1.11 (续)	<p>从中移除电容值功能描述, 第163页, 包括图3-30, 并在图后添加了注释。在中的TXPDELECIDLEMODE描述中, 将TXPOWERDOWN替换为TXPD表3-34。</p> <p><b>第四章:</b>更新了中RXQPIEN的描述表4-1。更正了中的PMA_RSV2[4]标签图4-5。移除了“限制器”标签图4-17到图4-19。在...里图4-17, 将RXLPM_HF_CFG和RXLPM_LF_CFG的宽度更新为[7:4]。在...里图4-18, 更新了线性均衡器模块, 更改了RX_DFE_UT_CFG和的宽度</p> <p>RX_DFE_GAIN_CFG分别设置为[12:6]和[11:7]。在...里图4-19, 将RX_DFE_KL_CFG和RX_DFE_GAIN_CFG的宽度分别更新为[7:4]和[11:8]。在...里表4-10, 更新了RXMONITOROUT的描述。在...里表4-11, 在PMA_RSV属性中添加了GTH收发器描述, 删除了PMA_RSV2和RX_DFE_KL_CFG描述中的默认值, 并更正了GTH收发器的RX_DFE_KL_CFG[31:0]属性名称。更新在LPM和DFE模式之间选择, 第195页。更新在LPM和DFE模式之间选择, 第197页。更新了中RXCDRFREQRESET、RXCDRRESET和RXOSOVRDEN的描述表4-15。更新了LPM/DFE栏, 并在中添加了注释4表4-19。更新了中的LPM/DFE列表4-22。增加注释3至表4-22。更新了中的MGTREFCLK标签图4-23。之后在note 7中将SIM_GTRESET_SPEEDUP替换为SIM_RESET_SPEEDUP图4-24。更新了中的第一段对准状态信号。更新了中RXSLIDE_MODE的描述表4-33。从中删除了一个周期图4-39。在...里表4-34, 将RXCHARISK端口的方向从in更改为out。更新了中的第一段和第三段功能描述, 第242页。更正了中的印刷错误图4-40。更新了中的RXPHDLYPD描述表4-36。更新了中的注释2</p> <p>表4-38。在中的GTX收发器设置列表中添加了PCS_RSVD_ATTR在单通道自动模式下使用接收缓冲旁路(仅限GTX收发器)。更新了中RXBUFWSTATUS的描述表4-40。更新了中对CLK最大纬度和CLK最小纬度的描述表4-44。</p> <p><b>第五章:</b>更新了中的第一段和第二段终端电阻校准电路。更新了中的XC7VH580T和XC7VH870T封装表5-3。删除了中第二个项目符号关于标称范围和标称值的注释GTX/GTH收发器参考时钟清单。增加表5-5到包裹。中MGTXRXP/N、MGTHRXP/N、mgttxxp/N、MGTHTXP/N、MGTAVCC[N]、MGTAVTT[N]和MGTVCCAUX[N]的更新建议表5-7。</p> <p><b>第六章:</b>已更新参考时钟, 第324页。更新了的第一段PCI Express复位。</p> <p><b>附录A:</b>更新了附录中的第二段。</p> <p><b>附录D:</b>增加DRP地址15Cto表D-2。将DRP地址015E添加到表D-4。</p>
08/19/2015	1.11.1	删除了中的重复行表3-30。
12/19/2016	1.12	<p><b>关于本指南:</b>更新了介绍性段落, 并添加了关于Kintex-7 FPGA和Zynq-7000 SOC的项目符号。</p> <p><b>第一章:</b>将SFF-8431添加到以下支持的使用模式列表中表1-1。在...里表1-2, 将SIM_QPLLREFCLK_SOURCE替换为SIM_QPLLREFCLK_SEL, 并将SIM_VERSION属性的默认值更新为4.0。在中, 将SIM_CPLLREFCLK_SOURCE替换为SIM_CPLLREFCLK_SEL表1-3。</p> <p><b>第二章:</b>添加注释2至表2-1。于1997年将TRST RCV CLK改为TRST clk rcv表2-2。添加了有关在中实例化GTXE2_COMMON/GTHE2_COMMON原语的句子功能描述, 第35页。在...里表2-5, 将OUTREFCLK_SEL_INV类型和描述更新为2位二进制。在后添加了注释第一步在从CPLL到QPLL的动态切换。在...里表2-14, 更新了QPLLPD描述并添加了BGRCALOVRDENB。</p>

日期	版本	修订本
12/19/2016	1.12 (续)	<p>更新了中的QPLL_CFG描述表2-15。更新了中的RXOUT_DIV项目符号响应配置完成，GTX/GTH收发器RX复位。更新了中的QPLLPD描述表2-33。在近端PMA回送项目符号中添加了句子，并在中更新了与远端PMA回送项目符号相关的段落功能描述，第87页。更新了中的DMONITOROUT[7:0]描述表2-40。</p> <p>更新了中RX_DEBUG_CFG描述中DRP地址0x0A5in的代码映射范围表2-41和表2-43。在第一段中使用模式，第101页，用RX_DEBUG_CFG替换了DMONITOR_CFG。更新的GTX收发器项目符号解读数字监视器输出。</p> <p><b>第三章:</b>将BUFH添加到中的时钟资源列表FPGA TX接口。删除了以下段落中关于数据暂停的句子图3-8。在...里表3-28，更改了TXPIPPMOVREN、TXPIPPMSEL和TXPIPPMSTEPSENSE[4:0]的时钟域TXUSRCLK2至异步。增加PI代码步进模式。将ACJTAG TX模块添加到图3-29并在图后添加了注释。在...里表3-30，将TXDIFFCTRL[3:0]时钟域从TXUSRCLK2更改为Async。更新了TXPD[1:0]时钟域表3-32。在...里表3-34，将TXPDELECIDLEMODE时钟域从TXUSRCLK2更改为Async，并更新了TXPD[1:0]时钟域。更新了中的SATA_BURST_SEQ_LEN[3:0]描述表3-35。</p> <p><b>第四章:</b>在后添加了注释图4-2。在...里表4-8，更新了RXOOB_CLK_CFG类型和描述，以及SATA_MIN_BURST默认值。增加SATA的CDR配置。更新了RX_DFE_GAIN_CFG的宽度图4-18。在...里表4-10，将所有RXUSRCLK2时钟域更改为Async，并更新了RXDFESLIDETAPADAPTEN描述。在...里表4-11，更新了RX_DFE_H4_CFG[10:0]默认值和RX_DFE_KL_CFG[32:0]宽度。更新表4-18。向添加了数据速率大于6.6G的行表4-19和表4-22。增加表4-21。在...里表4-27，将ES_EYE_SCAN_EN和ES_ERRDET_EN类型从1位二进制改为布尔型，将ES_PMA_CFG类型改为10位二进制。在后添加了注释图4-35。在...里RX运行差异，更新了中D的非解码10位字符格式和描述图4-39。更新了中的第四段功能描述，第242页。</p> <p><b>第五章:</b>已添加表5-4。更新概述，第309页。中MGTXRXP/N[3:0]、MGTHRXP/N[3:0]的更新建议表5-6。</p> <p><b>第六章:</b>更新了TXPD[1:0]时钟域表6-2。</p> <p><b>附录A:</b>添加了参考UG585的注释，Zynq-7000 SoC技术参考手册查看ZYNQ-7000的布局图</p> <p><b>附录B:</b>已添加表B-4。</p> <p><b>附录D:</b>增加了DRP地址14Eto表D-2。将DRP地址150添加到表D-4。</p>
08/14/2018	1.12.1	仅编辑更新。没有技术内容更新。

---

# 目录

Revision History.....	2
-----------------------	---

## Preface: About This Guide

Guide Contents .....	19
Additional Resources.....	20
Additional References .....	20

## Chapter 1: Transceiver and Tool Overview

Overview and 7 Series Features .....	21
7 Series FPGAs Transceivers Wizard.....	27
Simulation .....	27
Functional Description .....	27
Ports and Attributes.....	28
GTXE2_COMMON Attributes .....	28
GTXE2_CHANNEL/GTHE2_CHANNEL Attributes .....	29
Implementation .....	30
Functional Description .....	30
Serial Transceiver Channels by Device/Package .....	31

## Chapter 2: Shared Features

Reference Clock Input Structure .....	33
Functional Description .....	33
Ports and Attributes.....	34
Use Modes: Reference Clock Termination.....	35
Reference Clock Selection and Distribution.....	35
Functional Description .....	35
Ports and Attributes.....	37
External Reference Clock Use Model .....	41
Single External Reference Clocks Use Model.....	41
Multiple External Reference Clocks Use Model .....	44
Channel PLL .....	47
Functional Description .....	47
Ports and Attributes.....	49
CPLL Settings for Common Protocols .....	51
Use Modes .....	53
Dynamically Changing CPLL settings .....	53
Dynamically Switching from CPLL to QPLL.....	54
Quad PLL .....	54
Functional Description .....	54
Ports and Attributes.....	56

QPLL Settings for Common Protocols .....	60
Use Modes .....	60
Dynamically Changing QPLL settings.....	60
Dynamically Switching from QPLL to CPLL.....	61
<b>Reset and Initialization .....</b>	<b>61</b>
Reset Modes.....	63
CPLL Reset.....	64
QPLL Reset .....	64
TX Initialization and Reset .....	65
Ports and Attributes.....	66
GTX/GTH Transceiver TX Reset in Response to Completion of Configuration.....	67
GTX/GTH Transceiver TX Reset in Response to GTTXRESET Pulse .....	68
GTX/GTH Transceiver TX Component Reset .....	69
After Power-up and Configuration .....	71
After Turning on a Reference Clock to the CPLL/QPLL Being Used .....	71
After Changing the Reference Clock to the CPLL/QPLL being used.....	71
After Assertion/Deassertion of C/QPLLPD, for the PLL being used.....	71
After Assertion/Deassertion of TXPD[1:0].....	71
TX Rate Change .....	71
TX Parallel Clock Source Reset.....	71
RX Initialization and Reset .....	72
Ports and Attributes.....	74
GTX/GTH Transceiver RX Reset in Response to Completion of Configuration .....	78
GTX/GTH Transceiver RX Reset in Response to GTRXRESET Pulse .....	80
GTH Transceiver RX PMA Reset.....	82
GTX/GTH Transceiver RX Component Resets .....	83
After Power-up and Configuration .....	85
After Turning on a Reference Clock to the CPLL/QPLL Being Used .....	86
After Changing the Reference Clock to the CPLL/QPLL Being Used .....	86
After Assertion/Deassertion of CPLLD or QPLLPD for the PLL Being Used.....	86
After Assertion/Deassertion of RXPD[1:0] .....	86
RX Rate Change .....	86
RX Parallel Clock Source Reset .....	86
After Remote Power-Up.....	86
Electrical Idle Reset.....	86
After Connecting RXN/RXP .....	87
After Recovered Clock Becomes Stable.....	87
After an RX Elastic Buffer Error.....	87
After Changing Channel Bonding Mode During Run Time.....	87
After a PRBS Error .....	87
After Comma Realignment .....	87
<b>Power Down.....</b>	<b>87</b>
Functional Description .....	87
Ports and Attributes.....	88
Generic Power-Down Capabilities .....	90
PLL Power Down .....	90
TX and RX Power Down .....	90
Power-Down Features for PCI Express Operation.....	91
<b>Loopback.....</b>	<b>91</b>
Functional Description .....	91
Ports and Attributes.....	92
<b>Dynamic Reconfiguration Port .....</b>	<b>92</b>
Functional Description .....	92

Ports and Attributes.....	93
Usage Model.....	94
Write Operation.....	94
Read Operation.....	95
<b>Digital Monitor .....</b>	<b>96</b>
Functional Description.....	96
GTX Ports and Attributes.....	96
GTH Ports and Attributes .....	98
Use Mode.....	101
<b>Chapter 3: Transmitter</b>	
<b>TX Overview .....</b>	<b>107</b>
Functional Description .....	107
<b>FPGA TX Interface.....</b>	<b>108</b>
Functional Description .....	108
Interface Width Configuration .....	108
TXUSRCLK and TXUSRCLK2 Generation.....	109
Ports and Attributes .....	110
Using TXOUTCLK to Drive the TX Interface.....	111
TXOUTCLK Driving GTX/GTH Transceiver TX in 2-Byte or 4-Byte Mode.....	112
TXOUTCLK Driving GTX/GTH Transceiver TX in 4-Byte or 8-Byte Mode.....	114
<b>TX 8B/10B Encoder .....</b>	<b>116</b>
Functional Description .....	116
8B/10B Bit and Byte Ordering.....	116
K Characters.....	116
Running Disparity.....	117
Ports and Attributes.....	118
Enabling and Disabling 8B/10B Encoding.....	119
<b>TX Gearbox .....</b>	<b>120</b>
Functional Description .....	120
Ports and Attributes.....	120
Enabling the TX Gearbox .....	121
TX Gearbox Bit and Byte Ordering.....	122
TX Gearbox Operating Modes .....	123
External Sequence Counter Operating Mode .....	123
Internal Sequence Counter Operating Mode (GTX Transceiver Only).....	127
CAUI Interface (GTH Transceiver).....	129
Use Case .....	130
TX Gearbox Block (GTH Transceiver).....	130
<b>TX Buffer .....</b>	<b>133</b>
Functional Description .....	133
Ports and Attributes .....	134
Using the TX Buffer .....	135
<b>TX Buffer Bypass .....</b>	<b>135</b>
Functional Description .....	135
Ports and Attributes.....	135
TX Buffer Bypass Use Modes .....	139
Using TX Buffer Bypass in Single-Lane Auto Mode (GTX Transceiver Only) .....	139
Using TX Buffer Bypass in Single-Lane Manual Mode.....	140
Using the TX Phase Alignment to Minimize the TX Lane-to-Lane Skew .....	142
Using TX Buffer Bypass in Multi-Lane Manual Mode (GTX and GTH Transceivers).....	142

<b>TX Pattern Generator .....</b>	145
Functional Description .....	145
Ports and Attributes.....	147
Use Models .....	148
<b>TX Polarity Control .....</b>	149
Functional Description .....	149
Ports and Attributes.....	149
Using TX Polarity Control .....	149
<b>TX Fabric Clock Output Control.....</b>	149
Functional Description .....	149
Serial Clock Divider.....	151
Parallel Clock Divider and Selector.....	151
Ports and Attributes.....	152
<b>TX Phase Interpolator PPM Controller.....</b>	154
Functional Description .....	154
Ports and Attributes.....	154
TX Phase Interpolator PPM Controller Use Mode .....	155
PI Code Stepping Mode .....	155
<b>TX Configurable Driver.....</b>	156
Functional Description .....	156
Ports and Attributes.....	156
<b>TX Receiver Detect Support for PCI Express Designs .....</b>	163
Functional Description .....	163
Ports and Attributes.....	164
Using the TX Receiver Detection for PCI Express.....	164
<b>TX Out-of-Band Signaling .....</b>	165
Functional Description .....	165
Ports and Attributes.....	165

## Chapter 4: Receiver

<b>RX Overview.....</b>	167
Functional Description .....	167
<b>RX Analog Front End.....</b>	168
Functional Description .....	168
Ports and Attributes.....	169
GTX and GTH Use Modes—RX Termination .....	171
<b>RX Out-of-Band Signaling .....</b>	176
Functional Description .....	176
Ports and Attributes.....	176
GTX/GTH Use Mode .....	177
Use Modes.....	179
CDR Configuration for SATA .....	183
<b>RX Equalizer (DFE and LPM) .....</b>	184
Functional Description .....	184
Ports and Attributes.....	187
GTX Use Modes .....	195
Choosing Between LPM and DFE Modes .....	195
Using LPM Mode .....	195
Using DFE Mode .....	195
GTH Use Modes.....	197
Choosing Between LPM and DFE Modes .....	197

Using LPM Mode .....	198
Using DFE Mode .....	198
GTX and GTH Transceivers: Switching Between LPM and DFE Modes at Run Time	199
<b>RX CDR</b> .....	199
Functional Description.....	199
Ports and Attributes .....	200
GTX/GTH Use Modes .....	203
RX CDR Lock to Reference .....	203
Dynamically Changing RX CDR Settings for Line Rate and Selected Protocol Changes	203
Dynamically Changing RX CDR Settings to Tune CDR Loop Filter Settings Only.....	203
<b>RX Fabric Clock Output Control</b> .....	210
Functional Description.....	210
Serial Clock Divider.....	211
Parallel Clock Divider and Selector .....	211
Ports and Attributes .....	212
Using RXRATE (GTH Transceiver Only) .....	213
<b>RX Margin Analysis</b> .....	214
Functional Description.....	214
Eye Scan Theory.....	215
Eye Scan Architecture .....	216
Ports and Attributes .....	219
<b>RX Polarity Control</b> .....	223
Functional Description.....	223
Ports and Attributes .....	223
Using RX Polarity Control.....	223
<b>RX Pattern Checker</b> .....	223
Functional Description.....	223
Ports and Attributes .....	224
Use Models .....	225
<b>RX Byte and Word Alignment</b> .....	225
Functional Description.....	225
Enabling Comma Alignment .....	226
Configuring Comma Patterns.....	226
Activating Comma Alignment.....	227
Alignment Status Signals.....	228
Manual Alignment.....	230
Ports and Attributes .....	232
<b>RX 8B/10B Decoder</b> .....	237
Functional Description.....	237
8B/10B Bit and Byte Ordering .....	237
RX Running Disparity .....	239
Special Characters.....	239
Ports and Attributes .....	240
Enabling and Disabling 8B/10B Decoding.....	242
<b>RX Buffer Bypass</b> .....	242
Functional Description.....	242
Ports and Attributes .....	243
RX Buffer Bypass Use Modes.....	247
Using RX Buffer Bypass in Single-Lane Auto Mode (GTX Transceiver Only).....	248
Using RX Buffer Bypass in Single-Lane Auto Mode (GTH Transceiver Only).....	249
Using RX Buffer Bypass in Multi-Lane Manual Mode (GTX and GTH Transceivers)	251
Using RX Buffer Bypass in Multi-Lane Auto Mode (GTH Transceiver Only) .....	253

<b>RX Elastic Buffer</b>	257
Functional Description	257
Ports and Attributes	258
Using the RX Elastic Buffer	261
<b>RX Clock Correction</b>	261
Functional Description	261
Ports and Attributes	263
Using RX Clock Correction	268
Enabling Clock Correction	268
Setting RX Elastic Buffer Limits	269
Setting Clock Correction Sequences	269
Clock Correction Options	271
Monitoring Clock Correction	271
<b>RX Channel Bonding</b>	271
Functional Description	271
Ports and Attributes	273
Using RX Channel Bonding	279
Enabling Channel Bonding	279
Channel Bonding Mode	279
Connecting Channel Bonding Ports	279
Setting Channel Bonding Sequences	281
Setting the Maximum Skew	282
Precedence between Channel Bonding and Clock Correction	283
<b>RX Gearbox</b>	283
Functional Description	283
Ports and Attributes	284
Enabling the RX Gearbox	286
RX Gearbox Operating Modes	287
RX Gearbox Block Synchronization	289
CAUI Interface (GTH Transceiver)	293
Use Case	293
RX Gearbox Block (GTH Transceiver)	293
<b>FPGA RX Interface</b>	295
Functional Description	295
Interface Width Configuration	295
RXUSRCLK and RXUSRCLK2 Generation	296
Ports and Attributes	297

## Chapter 5: Board Design Guidelines

<b>Overview</b>	299
<b>Pin Description and Design Guidelines</b>	299
GTX/GTH Transceiver Pin Descriptions	299
Termination Resistor Calibration Circuit	302
Analog Power Supply Pins	303
<b>Reference Clock</b>	309
Overview	309
<b>GTX/GTH Transceiver Reference Clock Checklist</b>	311
<b>Reference Clock Interface</b>	311
LVDS	311
LVPECL	312
AC Coupled Reference Clock	312

Unused Reference Clocks .....	312
Reference Clock Power.....	312
<b>Power Supply and Filtering.....</b>	<b>313</b>
Overview .....	313
Power Supply Regulators .....	313
Linear versus Switching Regulators.....	313
Linear Regulator.....	314
Switching Regulator .....	314
<b>Power Supply Distribution Network.....</b>	<b>315</b>
Staged Decoupling .....	315
Die.....	315
Package .....	315
Printed Circuit Board.....	315
<b>PCB Design Checklist.....</b>	<b>316</b>

## Chapter 6: Use Model

<b>PCI Express .....</b>	<b>319</b>
Functional Description .....	319
Ports and Attributes.....	320
PCI Express Use Mode .....	323
PIPE Control Signal .....	324
PCI Express Clocking .....	324
Reference Clock .....	324
Parallel Clock (PCLK).....	325
PCI Express Reset .....	327
PCI Express Power Management.....	329
PCI Express Rate Change.....	329
Rate Change between Gen1 and Gen2 Speeds .....	329
Rate Change to Enter or Exit Gen3 Speed .....	330
Using DRP During Rate Change to Enter or Exit Gen3 Speed.....	332
PCI Express Channel Bonding .....	333
One-Hop Example.....	333
Daisy-Chain Example .....	334
Binary-Tree Example .....	334
Channel Bonding Attribute Settings .....	336
PCI Express Clock Correction .....	337
<b>XAUl Use Model.....</b>	<b>339</b>
Functional Description .....	339
XAUl Use Mode .....	339
XAUl Clocking .....	340
Reference Clock .....	340
Parallel Clock .....	340
XAUl Channel Bonding .....	342
XAUl Clock Correction .....	343

## Appendix A: Placement Information by Package

<b>GTX Transceiver Package Placement Diagrams .....</b>	<b>345</b>
FBG484 Package Placement Diagram.....	346
FBG676 Package Placement Diagram.....	347
FBG900 Package Placement Diagram.....	348
FFG676 Package Placement Diagram.....	350

---

FFG900 Package Placement Diagram.....	351
FFG901 Package Placement Diagram.....	353
FFG1156 Package Placement Diagram.....	357
FFG1157 Package Placement Diagram.....	361
FFG1158 Package Placement Diagram.....	364
FFG1761 Package Placement Diagram.....	370
FFG1927 Package Placement Diagram.....	375
FFG1930 Package Placement Diagram.....	383
FLG1925 Package Placement Diagram.....	386
FHG1761 Package Placement Diagram.....	388
<b>GTH Transceiver Package Placement Diagrams.....</b>	<b>393</b>
FFG1157 Package Placement Diagram.....	394
FFG1158 Package Placement Diagram.....	397
FFG1761 Package Placement Diagram.....	403
FFG1926 Package Placement Diagram.....	408
FFG1927 Package Placement Diagram.....	416
FFG1928 Package Placement Diagram.....	426
FFG1930 Package Placement Diagram.....	436
FLG1926 Package Placement Diagram.....	439
FLG1928 Package Placement Diagram.....	447
FLG1930 Package Placement Diagram.....	459

## 附录B:按设备排列的布局信息附录C: 8B/10B有效字符

## 附录D:GTX/GTH收发器的DRP地址图

# 关于本指南

Xilinx 7系列FPGA包括四个FPGA系列，均针对最低功耗而设计，支持跨系列扩展通用设计，以实现最佳功耗、性能和成本。Spartan -7系列是7系列产品组合中密度最低、成本最低的入门级产品。Artix -7系列针对高成本、高容量应用的最高性能功耗比和带宽功耗比进行了优化。Kintex -7系列是一种创新型FPGAs，针对最佳性价比进行了优化。Virtex -7系列针对最高系统性能和容量进行了优化。

本指南作为描述7系列FPGA GTX/GTH收发器的技术参考。本《7系列FPGA GTX/GTH收发器用户指南》是关于7系列FPGA的一整套文档的一部分，可从Xilinx网站获得  
[www.xilinx.com/documentation](http://www.xilinx.com/documentation).

在本文档中：

- 7系列FPGA GTX/GTH收发器通道简称为GTX/GTH收发器。
- GTXE2\_CHANNEL/GTHE2\_CHANNEL是实例化一个GTX/GTH收发器信道的实例化原语的名称。
- GTXE2\_COMMON/GTHE2\_COMMON是实例化一个四通道PLL (QPLL)的原语名称。
- 四通道或Q通道是一组或四个GTX/GTH收发器通道、一个GTXE2\_COMMON/GTHE2\_COMMON原语、两个差分参考时钟引脚对和模拟电源引脚。
- 所有提及Kintex-7 FPGA和[DS182](#),[kintex-7 FPGA数据手册:DC和开关特性](#)也适用于Zynq-7000 SOC和[DS191](#),[Zynq-7000 SoC \(Z-7030、Z-7035、Z-7045和Z-7100\): DC和交流开关特性.](#)

## 指南内容

本手册包含：

- 第1章，收发器和工具概述
- 第2章，共享功能
- 第3章，发射器
- 第4章，接收器
- 第5章，电路板设计指南
- 第6章，使用模型
- 附录A，按封装排列的布局信息
- 附录B，按设备排列的位置信息

- 附录C, 8B/10B有效字符
- 附录D, GTX/GTH收发器的DRP地址图

## 额外资源

要查找其他文档, 请访问Xilinx网站

:<https://www.xilinx.com/support/documentation/index.htm>.

要搜索芯片、软件和IP问答的答案数据库, 或创建技术支持案例, 请访问Xilinx网站:

<https://www.xilinx.com/support>.

## 附加参考

这些文档提供了对本文档有用的附加信息:

1. 高速串行I/O变得简单

<https://www.Xilinx.com/publications/archives/books/serial io.pdf>

# 收发器和工具概述

## 概述和7系列特性

7系列FPGA GTX和GTH收发器是高能效收发器，GTX收发器支持500 Mb/s至12.5 Gb/s的线路速率，GTH收发器支持13.1 Gb/s的线路速率。GTX/GTH收发器高度可配置，并与FPGA的可编程逻辑资源紧密集成。[表1-1](#)按功能组总结了支持各种应用的功能。

**表1-1 7系列FPGA GTX和GTH收发器特性**

组	特征	GTX	GTH
个人通讯业务	支持不同线路速率要求的2字节和4字节内部数据路径	X	X
	8B/10B编码和解码	X	X
	64B/66B和64B/67B支持	X	X
	逗号检测以及字节和单词对齐	X	X
	PRBS发生器和检验器	X	X
	FIFO用于时钟校正和通道绑定	X	X
	可编程FPGA逻辑接口	X	X
	100 Gb附件单元接口(CAUI)支持		X
	本机多通道支持缓冲旁路		X
	用于替代外部压控晶体振荡器(VCXO)的TX相位插值器PPM控制器		X

表1-1:7系列FPGA GTX和GTH收发器特性(续)

组	特征	GTX	GTH
(美)太平洋海运协会(Pacific Maritime Association)	每个四通道共享LC储能锁相环(PLL),实现最佳抖动性能	X	X
	每个通道一个环形PLL, 实现最佳时钟灵活性	X	X
	高能效自适应线性均衡器模式称为低功耗模式(LPM)	X	X
	5抽头判决反馈均衡(DFE)	X	
	7抽头DFE		X
	增强背板支持的反射消除		X
	TX预加重	X	X
	可编程TX输出	X	X
	PCI Express设计的信标信令	X	X
	带外(OOB)信令, 包括对串行ATA (SATA)设计的COM信号支持	X	X
支持高达12.5 Gb/s的线路速率		X	X
支持高达13.1 Gb/s的线路速率			X

GTX/GTH收发器支持这些使用模式:

- PCI Express, 修订版1.1/2.0/3.0
- 10GBASE-R
- 因特雷肯
- 10 Gb附件单元接口(XAUI)、缩减引脚扩展附件单元接口(RXAUI)、100 Gb附件单元接口(CAUI)、40 Gb附件单元接口(XLAUI)
- 通用分组无线接口(CPRI)/开放基站架构倡议(OBSAI)
- OC-48/192号文件
- OTU 1票、OTU 2票、OTU 3票、OTU 4票
- 串行RapidIO (SRIO)
- 串行高级技术附件(SATA)/串行连接SCSI (SAS)
- 串行数字接口(SDI)
- SFF-8431 (SFP+)

与Virtex-6 FPGA中的前代收发器相比, 7系列FPGA中的GTX/GTH收发器具有以下新特性或增强特性:

- 2字节和4字节内部数据路径, 支持不同的线路速率要求。
- 基于四通道的LC储能PLL (QPLL)可实现最佳抖动性能, 基于通道的环形振荡器PLL。
- 高能效、自适应线性均衡器模式(称为低功耗模式(LPM))和高性能、自适应决策反馈均衡(DFE)模式, 可补偿信道中的高频损耗, 同时提供最大的灵活性。

- RX余量分析功能提供非破坏性的二维均衡后眼图扫描。

建议首次用户阅读高速串行I/O变得简单[参考文献1]，其中讨论了高速串行收发器技术及其应用。这

CORE Generator工具包括一个向导，可自动配置GTX/GTH收发器，以支持不同协议的配置或执行定制配置。GTX/GTH收发器提供的数据速率范围和功能允许物理层支持各种协议。

第24页图1-1显示了Kintex-7设备示例(XC7K325T)中的GTX收发器布局。该设备有16个GTX收发器。

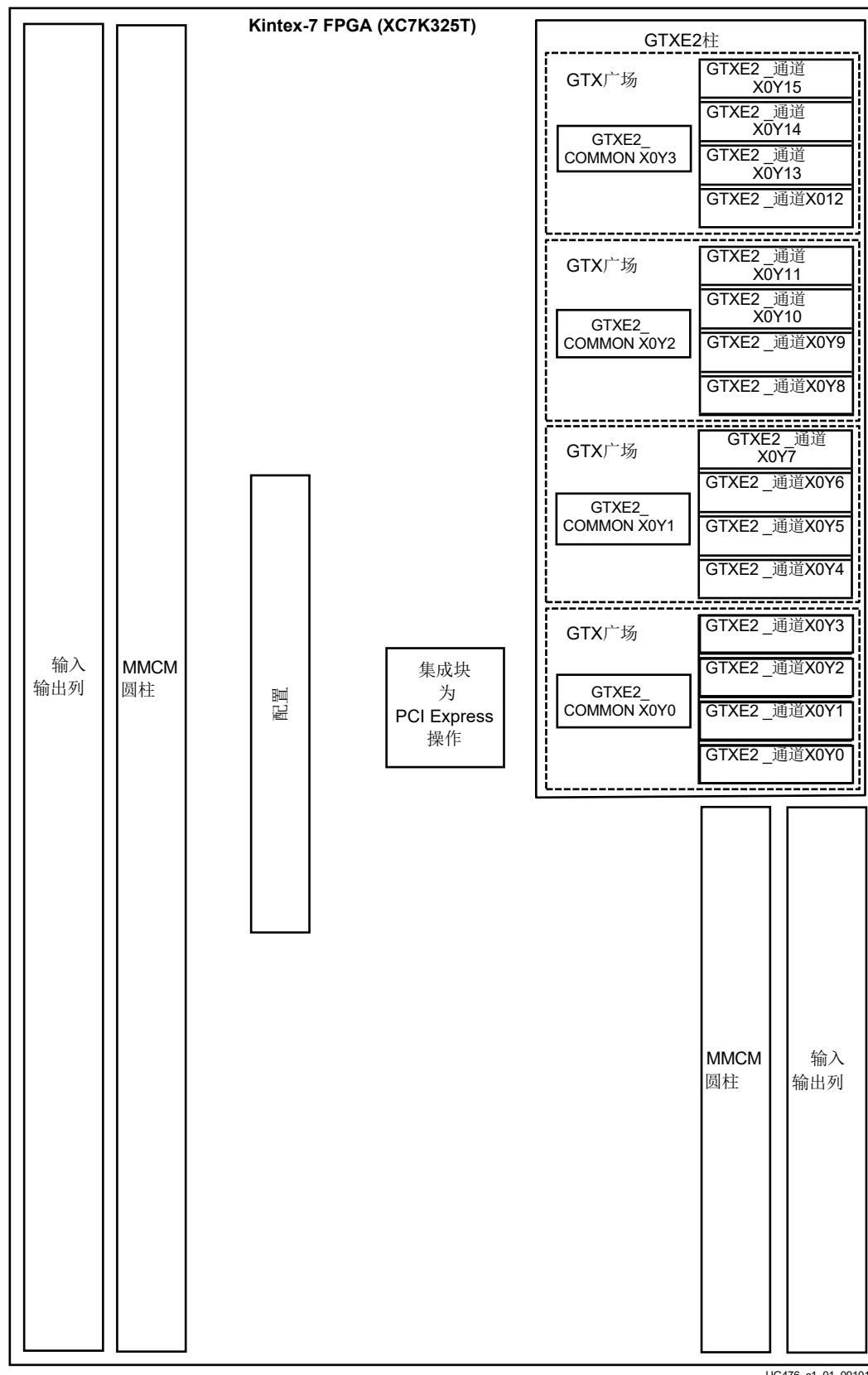


图1-1:Kintex-7 XC7K325T FPGA内部的GTX收发器

有关7系列FPGAs功能模块的更多信息，请访问：

[UG470,7系列FPGAs配置用户指南](#)提供了有关配置的更多信息。

[UG471,7系列FPGAs选择资源用户指南](#)提供了有关I/O块的更多信息。

[UG472,7系列FPGAs时钟资源用户指南](#)提供了关于混合模式时钟管理器(MMCM)和计时的更多信息。

图1-2说明了四个GTXE2\_CHANNEL原语和一个GTXE2\_COMMON原语的群集，以形成一个四边形。

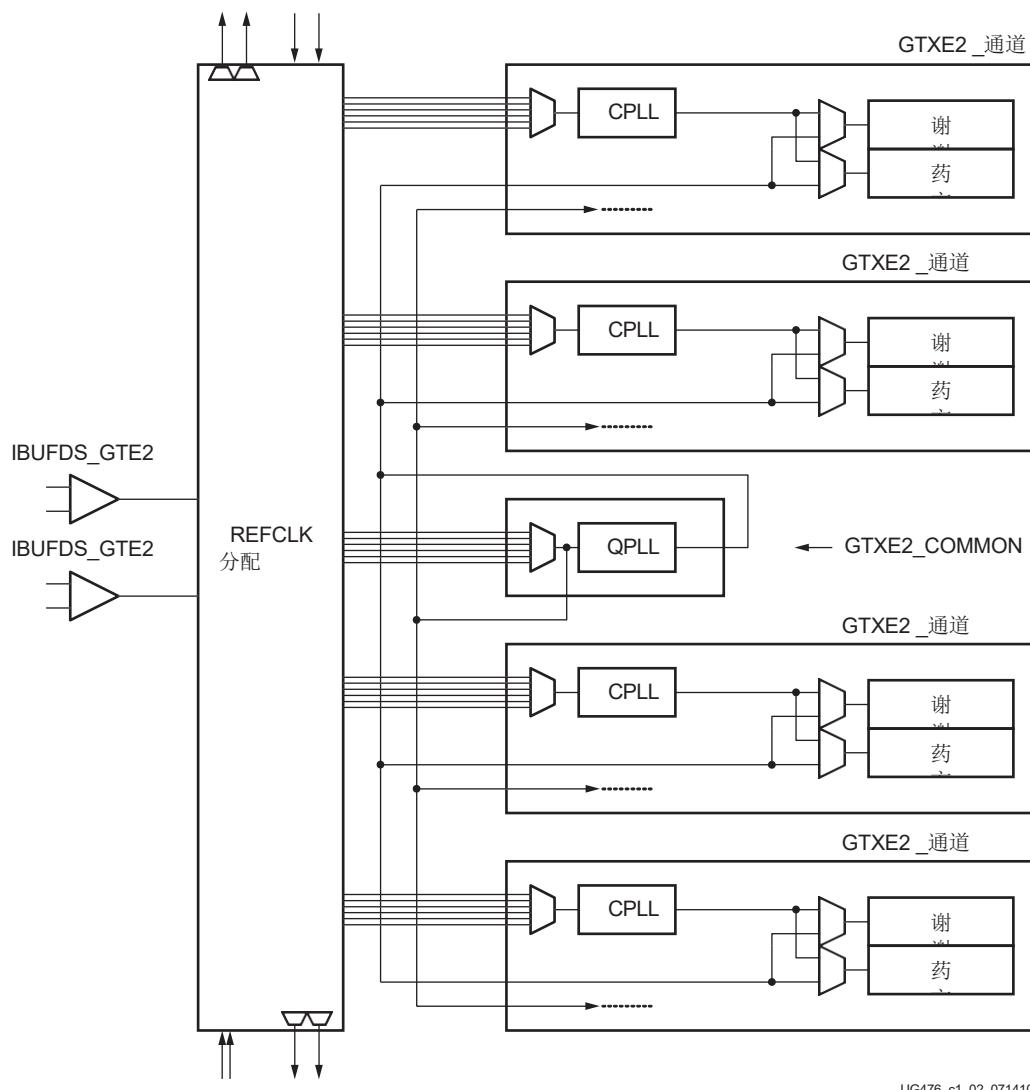


图1-2:GTX收发器四通道配置

用一个GTXE2\_COMMON原语聚集在一起的四个GTXE2通道称为**四胞胎**之一或者Q。GTXE2\_COMMON原语包含一个LC储能PLL (QPLL)。

每个GTXE2\_CHANNEL原语由一个通道PLL、一个发射器和一个接收器组成。

图1-3说明了GTXE2\_CHANNEL原语的拓扑结构。

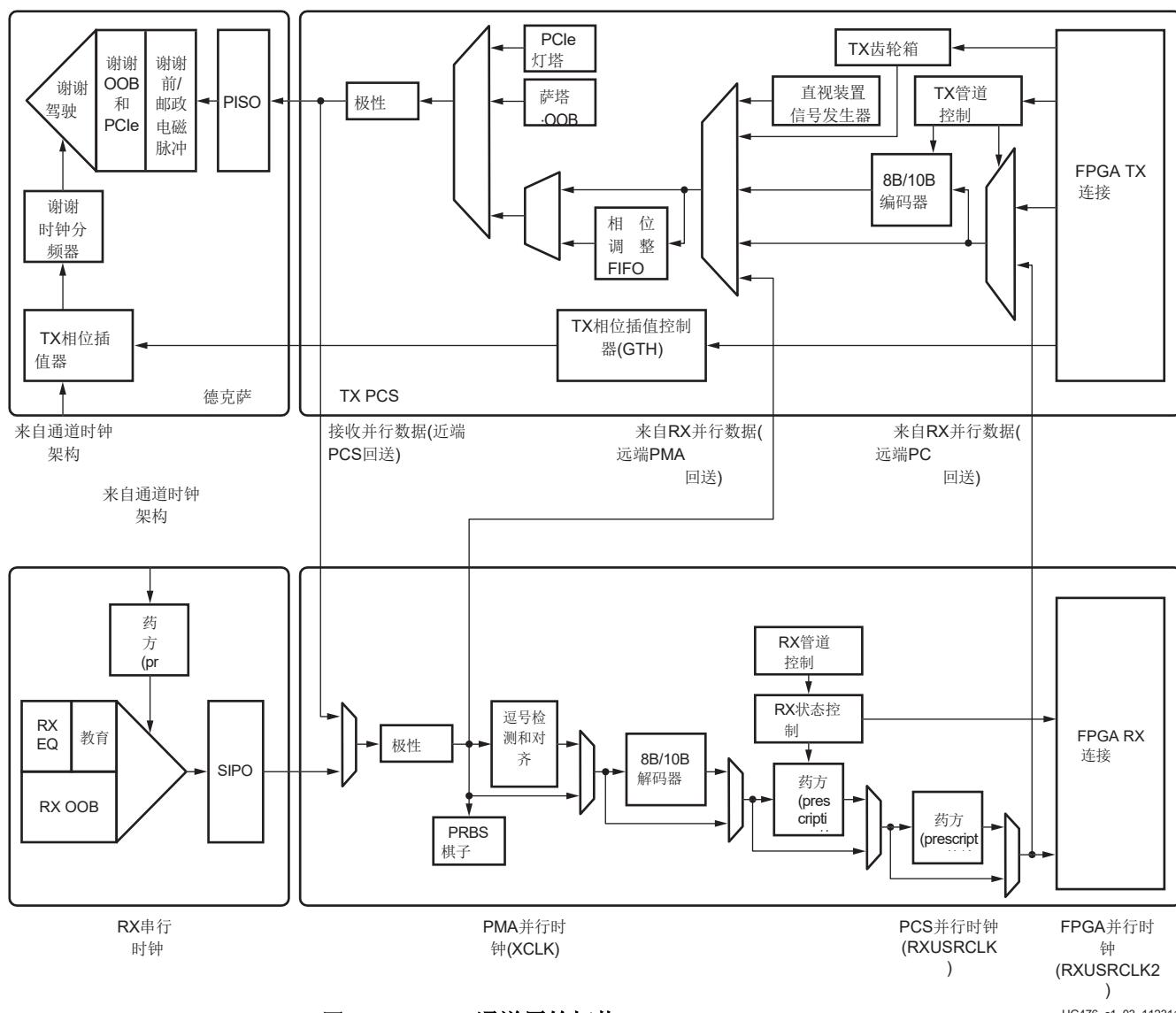


图1-3:GTXE2 \_通道原始拓扑

涉及第47页, 图2-9了解通道时钟架构的描述, 该架构为RX和TX时钟分频器提供时钟。

## 7系列FPGAs收发器向导

7系列FPGAs收发器向导(以下称为向导)是生成包装器以实例化称为GTXE2或GTHE2的GTX/GTH收发器原语的首选工具。该向导位于核心生成器工具中。建议用户在使用该向导之前下载最新的IP更新。有关如何使用该向导的详细信息，请参见[PG168,LogiCORE IP 7系列FPGAs收发器向导产品指南](#)。

按照以下步骤启动向导：

1. 启动核心生成器工具。
2. 在分类树中找到7系列FPGAs收发器向导，位于：  
/FPGA特性和设计/IO接口  
看见图1-4.

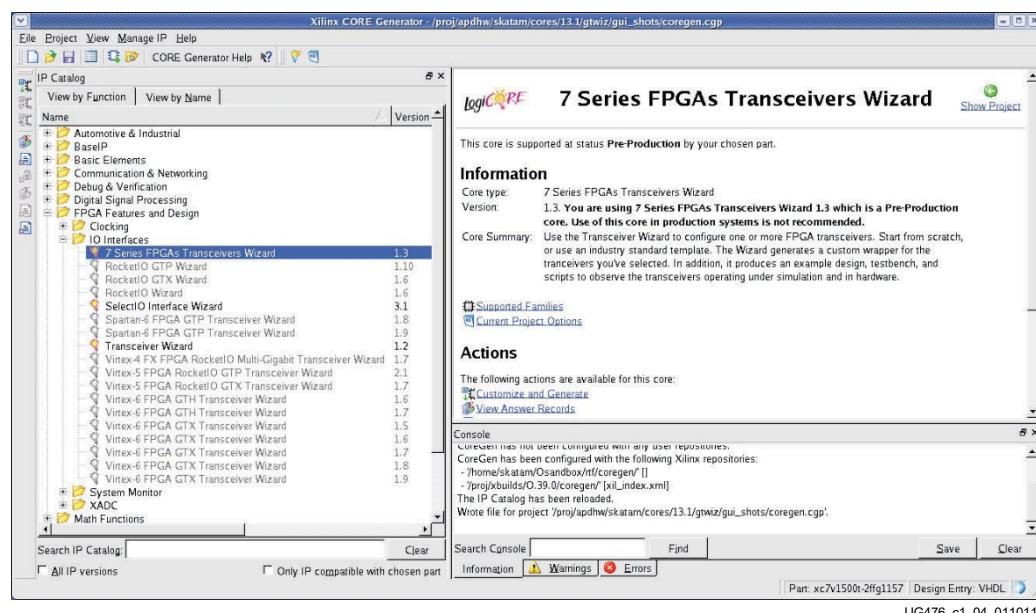


图1-4:7系列FPGAs收发器向导

3. 双击7系列FPGAs收发器向导启动向导。

## 模拟

### 功能描述

使用GTXE2/GTHE2通道和通用原语的仿真有特定的先决条件，仿真环境和测试平台必须满足这些条件。有关如何根据所使用的硬件描述语言(HDL)为受支持的模拟器设置模拟环境的说明，请参见最新版本的[UG626,综合与仿真设计指南](#)。该设计指南可从Xilinx网站下载。

使用GTXE2/GTHE2通道和通用原语模拟设计的先决条件是：

- 支持SecureIP模型的模拟器。  
SecureIP模型是Verilog HDL的加密版本，用于模型块的实现。SecureIP是一种IP加密方法。为了支持SecureIP模型，需要一个符合Verilog LRM - IEEE Std 1364-2005加密标准的模拟器。
- 用于VHDL模拟的混合语言模拟器。  
SecureIP型号使用Verilog标准。为了在VHDL设计中使用它们需要混合语言模拟器。模拟器必须能够同时模拟VHDL和Verilog。
- 已安装的GTX/GTH无线电收发机安全模型。
- 正确设置用于SecureIP的模拟器(初始化文件、环境变量)。
- 运行COMPXLIB的能力，compx lib以正确的顺序编译仿真库(如UNISIM、SIMPRIMS)。
- 正确的模拟器分辨率(Verilog)。有关其他推荐设置，请参见[UG626,综合与仿真设计指南](#)。
- 模拟器的用户指南和[UG626,综合与仿真设计指南](#)提供SecureIP支持的详细设置列表。

## 端口和属性

GTXE2\_COMMON和GTXE2\_CHANNEL(或GTHE2\_COMMON和GTHE2\_CHANNEL)原语上没有模拟专用端口。

### GTXE2\_通用属性

GTXE2\_COMMON/GTHE2\_COMMON原语具有仅用于模拟的属性，对合成没有影响。  
[表1-2](#)列出GTXE2\_COMMON/GTHE2\_COMMON原语的仅模拟属性。这些属性的名称以SIM\_。

**表1-2:GTXE2\_COMMON//GTHE2\_COMMON仅模拟属性**

属性	类型	描述
SIM_QPLLREFCLK_SEL	二进制的	SIM_QPLLREFCLK_SEL允许在引脚交换改变前后进行仿真。这允许在引脚交换前后用正确的时钟源模拟模块。SIM_QPLLREFCLK_SEL必须设置为与qpllrefclk[2:0]相同的值。
SIM_RESET_加速	布尔代数体系的	如果SIM_RESET_SPEEDUP属性设置为TRUE(默认)，则使用近似的复位序列来加速仿真的复位时间，其中希望有更快的复位时间和更快的仿真时间。如果SIM_RESET_SPEEDUP属性设置为FALSE，该模型将详细模拟硬件重置行为。

表1-2:GTXE2\_COMMON//GTHE2\_COMMON仅模拟属性

属性	类型	描述
SIM_版本	真实的	该属性选择模拟版本以匹配不同的芯片步进。该属性的默认值为4.0。

**GTXE2\_CHANNEL/GTHE2\_CHANNEL属性**

GTXE2\_CHANNEL/GTHE2\_CHANNEL原语具有仅用于模拟的属性，对合成没有影响。  
表1-3列出了GTXE2\_CHANNEL/GTHE2\_CHANNEL原语的仅模拟属性。这些属性的名称以SIM\_。

表1-3:GTXE2\_CHANNEL/GTHE2\_CHANNEL仅模拟属性

属性	类型	描述
SIM_CPLLREFCLK_SEL	二进制的	SIM_CPLLREFCLK_SEL允许在引脚交换改变前后进行仿真。这样就可以在引脚交换前后用正确的时钟源模拟模块。SIM_CPLLREFCLK_SEL必须设置为与CPLLREFCLKSEL[2:0]相同的值。
SIM_RESET_加速	布尔代数学体系的	如果SIM_RESET_SPEEDUP属性设置为TRUE(默认)，则使用近似的复位序列来加速仿真的复位时间，其中更快的复位时间和更快的仿真时间是期望的。如果SIM_RESET_SPEEDUP属性设置为FALSE，该模型将详细模拟硬件重置行为。
SIM_接收器_检测_通过	布尔代数学体系的	SIM_RECEIVER_DETECT_PASS是字符串真/假属性，用于确定接收器检测操作是否应该在模拟中指示通过或失败。
SIM_TX_EIDLE_DRIVE_LEVEL	线	SIM_TX_EIDLE_DRIVE_LEVEL可以设置为0、1、X或Z，以便利用外部上拉电阻模拟电气空闲和接收器检测操作。该属性的默认值是x。
SIM_版本	真实的	该属性选择模拟版本以匹配不同的芯片步进。该属性的默认值为1.0。

# 履行

## 功能描述

本节提供将设计中实例化的7系列GTX/GTH收发器映射到设备资源所需的信息，包括：

- GTX/GTH收发器在可用设备和包装组合上的位置。
- 与每个GTX/GTH收发器模块相关的外部信号的pad编号。
- 设计中实例化的GTX/GTH收发器通道、GTXE2\_COMMON/GTHE2\_COMMON原语和时钟资源如何通过用户约束文件(UCF)映射到可用位置。

通常的做法是在设计过程的早期定义GTX/GTH收发器四边形的位置，以确保正确使用时钟资源，并有助于电路板设计期间的信号完整性分析。实施流程通过使用UCF中的位置约束来促进这一实践。

本节描述如何实例化GTX/GTH收发器时钟组件。

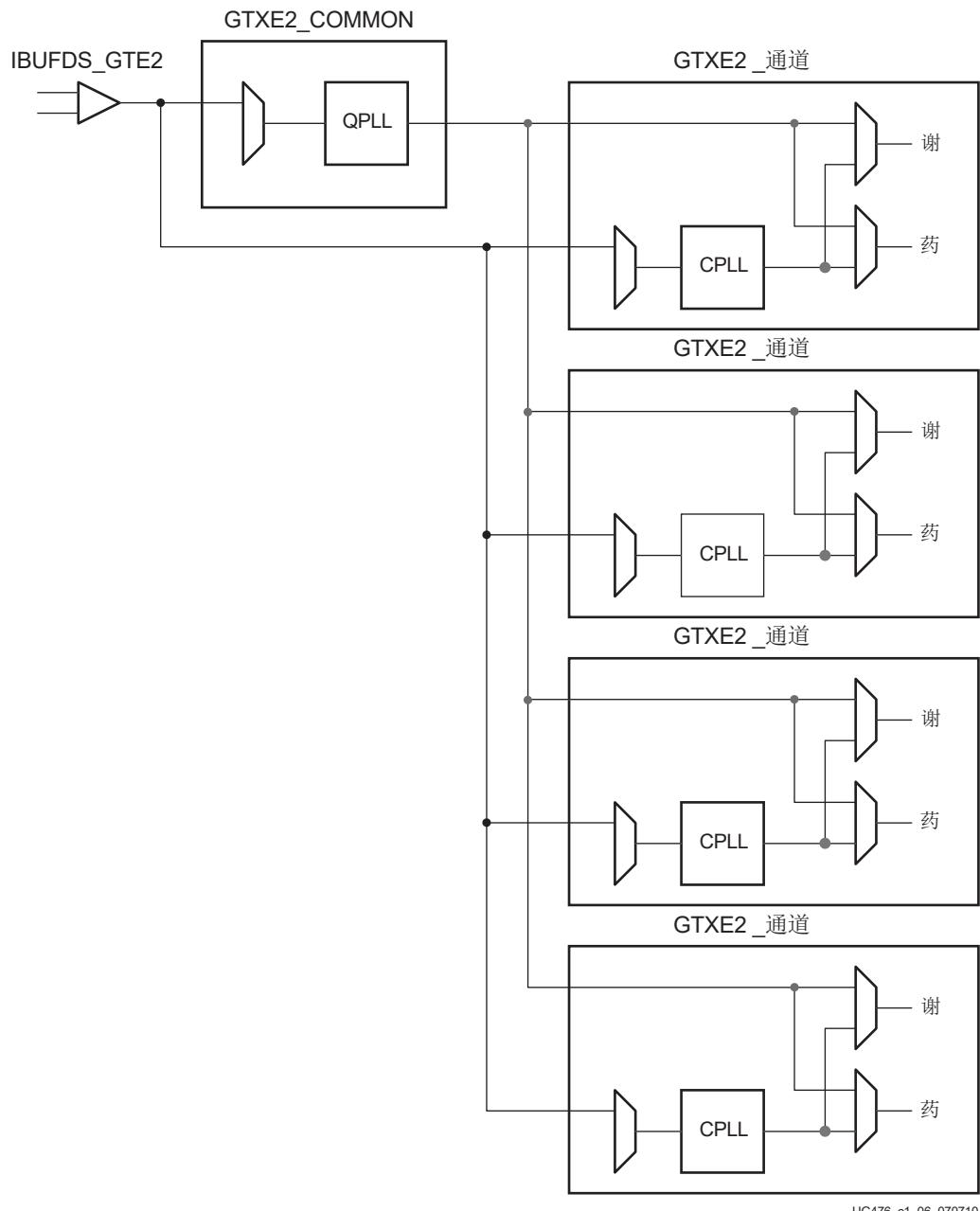
每个GTX/GTH收发器信道和公共原语的位置由描述列号和该列内相对位置的XY坐标系指定。在7系列系列的现有产品中，所有GTX/GTH收发器模块都位于芯片一侧的一列中。

对于给定的器件/封装组合，具有坐标的收发器X0Y0总是位于最低可用气缸组的最低位置。

有两种方法可以为利用GTX/GTH收发器的设计创建UCF。首选方法是使用7系列FPGAs收发器向导。该向导自动生成配置收发器的UCF模板，并包含GTX/GTH收发器放置信息的占位符。然后可以编辑向导生成的ucf，为应用程序定制操作参数和放置信息。

第二种方法是手工创建UCF。使用这种方法时，设计人员必须输入控制收发器操作的配置属性以及瓦片位置参数。必须注意确保正确输入配置GTX/GTH收发器所需的所有参数。

当应用需要LC储能PLL时，必须实例化GTXE2\_COMMON/GTHE2\_COMMON原语，如所示图1-5。(GTXE2\_COMMON配置如图所示。)



UG476\_c1\_06\_070710

图1-5:四通道配置(来自GTXE2\_COMMON的QPLL的参考时钟)

## 按器件/封装划分的串行收发器通道

看见[UG475](#),7系列FPGAs封装和引脚排列规格.



# 共享功能

## 参考时钟输入结构

### 功能描述

参考时钟输入结构如所示图2-1。输入在内部端接，每条引线上的50Ω连接到4/5 MGTAVCC。参考时钟通过IBUFDS\_GTE2软件原语在软件中实例化。控制参考时钟输入的端口和属性依赖于IBUFDS\_GTE2软件原语。

图2-1显示了参考时钟输入缓冲器的内部结构。

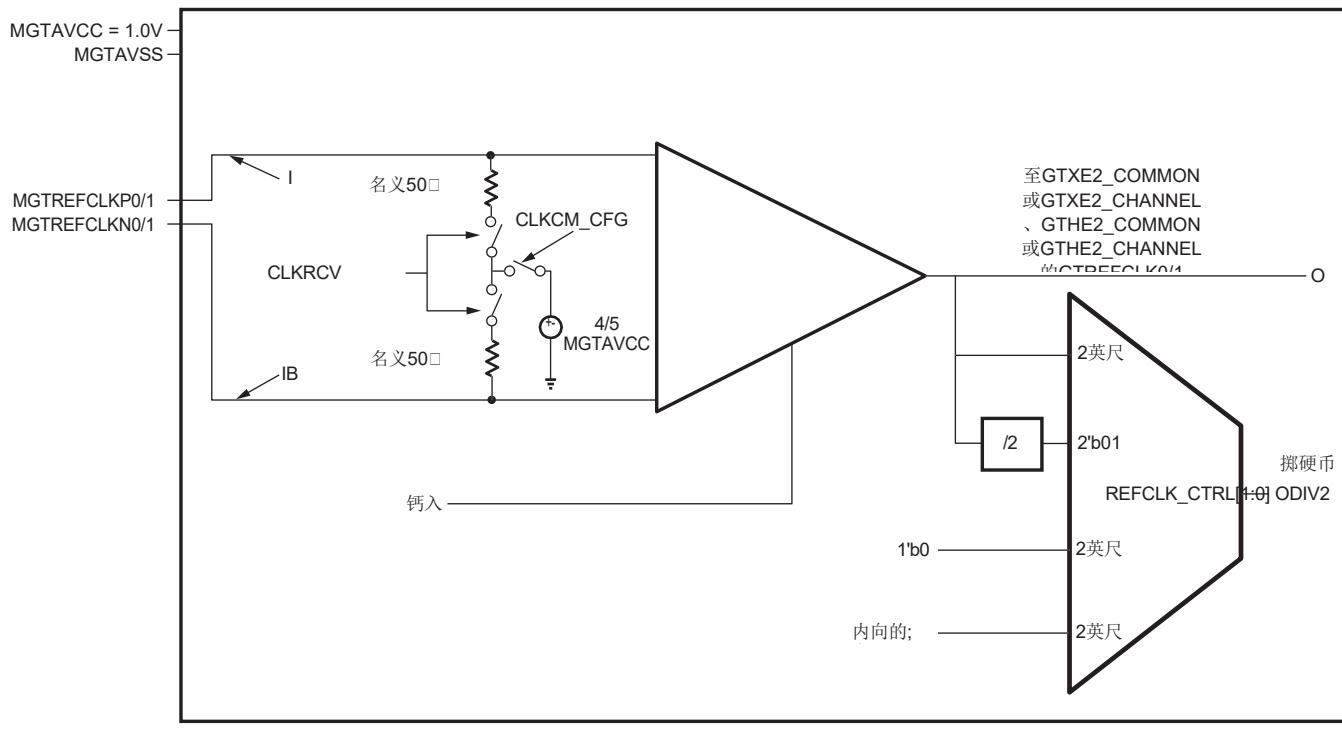


图2-1:参考时钟输入结构

## 端口和属性

**表2-1** 定义IBUFDS\_GTE2软件原语中的参考时钟输入端口。

**表2-1:参考时钟输入端口(IBUFDS\_GTE2)**

港口	目录	时钟域	描述
我是IB	英寸(衬垫)	不适用的	这些是映射到GTREFCLK0P/ GTREFCLK0N和GTREFCLK1P/ GTREFCLK1N的参考时钟输入端口。
钙入口阻断剂	在...里	不适用的	这是时钟缓冲器的低电平有效异步时钟使能信号。将此信号设为高电平可关断时钟缓冲器。
O	在外	不适用的	此输出驱动GTXE2_COMMON/GTHE2_COMMON或GTXE2_CHANNEL/GTHE2_CHANNEL中的GTREFCLK[0/1]信号软件原语。它还可以驱动CMT (PLL、MMCM或BUFMRCE)、BUFH、或者经由HROW路由的BUFG。然而，在设计中可以使用O或ODIV2端口。涉及 <b>参考时钟选择和分配</b> ，第35页了解更多详情。
ODIV2 <sup>(1)</sup>	在外	不适用的	该输出是O信号的二分频版本。它可以驱动CMT(锁相环, MMCM <sup>(2)</sup> 、或BUFMRCE)、BUFH或BUFG。然而，在设计中可以使用O或ODIV2端口。这根据连接的是端口O还是ODIV2，选择由软件自动控制。涉及 <b>参考时钟选择和分配</b> ，第35页了解更多详情。

### 注意事项:

1. O和ODIV2输出彼此相位不匹配。
2. 对于每个设备/包组合，O/ODIV2并不总是可以直接访问MMCM。有关其他详细信息，请参阅[UG472,7系列FPGAs时钟资源用户指南](#)。

**表2-2** 定义IBUFDS\_GTE2软件原语中配置参考时钟输入的属性。

**表2-2:参考时钟输入属性(IBUFDS\_GTE2)**

属性	类型	描述
CLKRCV	布尔代数学体系的	保留。该属性将50Ω终端电阻切换到信号路径。此属性必须始终设置为TRUE。

表2-2:参考时钟输入属性(IBUFDS\_GTE2)(续)

属性	类型	描述
CLKCM_CFG	布尔代 数学体 系的	保留。该属性切换50Ω终端的终端电压。此属性必须始终设置为TRUE。
CLKSWING_CFG[1:0]	布尔代 数学体 系的	保留。该属性控制时钟的内部摆动。此属性必须始终设置为2'b11。

## 使用模式:参考时钟端接

参考时钟输入将通过外部交流耦合。表2-3显示了实现此目的所需的pin和属性设置。

表2-3:端口和属性设置

输入类型	设置
港口	CEB = 0
属性	clk_rcv_TRST = TRUE clk_cm_CFG = TRUE clk_swing_CFG = 2'b11

## 参考时钟选择和分配

### 功能描述

7系列FPGAs中的GTX/GTH收发器提供不同的参考时钟输入选项。时钟选择和可用性类似于Virtex-6 FPGA GTX/GTH收发器，但参考时钟选择架构支持基于LC储能电路(或QPLL)和环形振荡器(或CPLL)的PLL。

在架构上，四通道(或Q)的概念包含一组四个GTXE2\_CHANNEL/GTHE2\_CHANNEL原语、一个GTXE2\_COMMON/ GTHE2\_COMMON原语、两个专用外部参考时钟引脚对和专用参考时钟路由。必须为每个收发器实例化GTXE2\_CHANNEL/GTHE2\_CHANNEL原语。如果需要高性能QPLL，还必须实例化GTXE2\_COMMON/GTHE2\_COMMON原语。仅使用CPLL时，即使不使用QPLL，GTXE2\_COMMON/GTHE2\_COMMON原语也必须实例化，这由7系列FPGAs收发器向导自动处理。一般来说，四通道(Q(n))的参考时钟也可以通过GTNORTHREFCLK从下面的四通道(Q(n-1))获得，或者通过GTSOUTHREFCLK从上面的四通道(Q(n+1))获得。对于支持堆叠硅互连(SSI)技术的器件，通过GTNORTHREFCLK和GTSOUTHREFCLK端口共享的参考时钟仅限于其自身的超级逻辑区域(SLR)。看见[3D集成电路](#)有关SSI技术的更多信息。

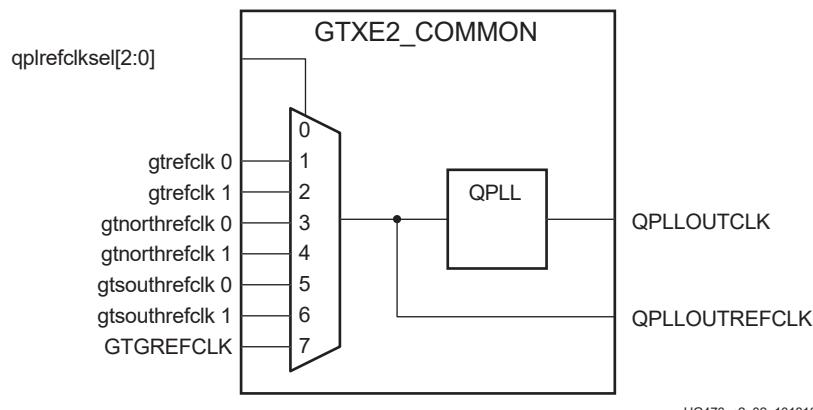
参考时钟特性包括：

- 南北向时钟的时钟路由。
- QPLL或CPLL提供灵活的时钟输入。
- QPLL或CPLL参考时钟的静态或动态选择。

第24页图1-1显示了四通道架构，具有四个GTX/GTH收发器、两个专用参考时钟引脚对和专用北/南参考时钟路由。四通道中的每个GTX/GTH收发器通道有六个时钟输入可用：

- 两对本地参考时钟引脚:GTREFCLK0或GTREFCLK1
- 上面四个单元中的两个参考时钟引脚对, GTSOUTHREFCLK0或GTSOUTHREFCLK1
- 下面四元组中的两个参考时钟引脚对:GTNORTHREFCLK0或GTNORTHREFCLK1

图2-2显示了单个GTXE2\_COMMON/GTHE2\_COMMON原语中参考时钟多路复用器结构的详细视图。当多个参考时钟源连接到该多路复用器时，需要QPLLREFCLKSEL端口。最常用的是单一参考时钟。这种情况下，QPLLREFCLKSEL端口可以连接到3'b001，Xilinx软件工具可以处理多路复用器和相关路由的复杂性。



UG476\_c2\_02\_101810

图2-2:参考时钟选择多路复用器

同样的，图2-3显示了单个GTXE2\_CHANNEL/GTHE2\_CHANNEL原语中参考时钟多路复用器结构的详细视图。当多个参考时钟源连接到该多路复用器时，需要CPLLREFCLKSEL端口。最常用的是单一参考时钟。这种情况下，CPLLREFCLKSEL端口可以连接到3'b001，Xilinx软件工具可以处理多路复用器和相关路由的复杂性。

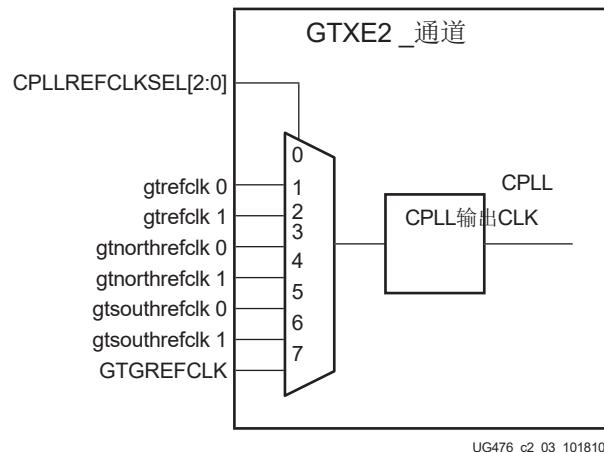


图2-3:CPLL参考时钟选择复用器

## 端口和属性

**表2-4**穿过第40页，**表2-7**定义GTXE2\_CHANNEL/GTHE2\_CHANNEL和GTXE2\_COMMON/GTHE2\_COMMON的时钟端口和属性原始的。

表2-4:GTXE2\_CHANNEL/GTHE2\_CHANNEL时钟端口

港口	方向	时钟域	描述
CPLLREFCLKSEL[2:0]	在...里	异步◎ 非同 步 (asyn chro nous)	输入，以动态选择通道PLL的输入参考时钟。当只有一个时钟源连接到通道PLL参考时钟选择多路复用器时，此输入应设置为3'b001。 更改参考时钟输入后，必须对通道PLL进行复位。 000:保留 001:选择GTREFCLK0 010:选择GTREFCLK1 011:选择了GTNORTHREFCLK0 100:选择GTNORTHREFCLK1 101:选择GTSOUTHREFCLK0 110:选择GTSOUTHREFCLK1 111:选择GTGREFCLK
GTGREFCLK	在...里	时钟	内部FPGA逻辑产生的参考时钟。此输入仅供内部测试使用。
GTNORTHREFCLK0	在...里	时钟	下方广场的向北时钟。
GTNORTHREFCLK1	在...里	时钟	下方广场的向北时钟。

表2-4:GTXE2\_CHANNEL/GTHE2\_CHANNEL时钟端口(续)

港口	方向	时钟域	描述
GTREFCLK0	在...里	时钟	通道PLL的外部时钟由IBUFDS_GTE2驱动。有关更多信息,请参阅 <a href="#">GTX/GTH收发器参考时钟清单,第311页</a> .
GTREFCLK1	在...里	时钟	通道PLL的外部时钟由IBUFDS_GTE2驱动。有关更多信息,请参阅 <a href="#">GTX/GTH收发器参考时钟清单,第311页</a> .
GTSOUTHREFCLK0	在...里	时钟	上方广场的南行钟。
GTSOUTHREFCLK1	在...里	时钟	上方广场的南行钟。
QPLLCLK	在...里	时钟	来自高性能四通道PLL的时钟输入。用户应通过 GTXE2_COMMON/GTHE2_COMMON连接QPLLOUTCLK 时,将原语传递到此端口 高性能四通道PLL用于驱动TX和/或RX通道。 。
QPLLREFCLK	在...里	时钟	用户将此端口连接到 GTX2_COMMON/GTH2_COMMON的 QPLLOUTREFCLK端口。
RXSYSCLKSEL[1:0]	在...里	异步非同步 (asynchronous)	选择驱动RX数据路径的参考时钟源: RXSYSCLKSEL[0]=1 ' B0(CPLL)RXSYSCLKSEL[0]=1 ' B1(QPLL) 选择驱动RXOUTCLK的参考时钟源: RXSYSCLKSEL[1] = 1'b0(来自 GTXE2_CHANNEL或 GTHE2_CHANNEL的参考时钟) RXSYSCLKSEL[1] = 1'b1(来自 GTXE2_COMMON或 GTHE2_COMMON的参考时钟)

表2-4:GTXE2\_CHANNEL/GTHE2\_CHANNEL时钟端口(续)

港口	方向	时钟域	描述
TXSYSCLKSEL[1:0]	在...里	异步◎ 非同 步 (async chrono us)	选择驱动TX数据路径的参考时钟源: TXSYSCLKSEL[0]=1' B0(CPLL)TXSYSCLKSEL[0]=1' B1(QPLL) 选择驱动TXOUTCLK的参考时钟源: TXSYSCLKSEL[1] = 1'b0(来自 GTXE2_CHANNEL或 GTHE2_CHANNEL的参考时钟) TXSYSCLKSEL[1] = 1'b1(来自 GTXE2_COMMON或 GTHE2_COMMON的参考时钟)
GTREFCLKMONITOR 监视器	在外	时钟	CPLL参考时钟选择多路复用器输出。

表2-5:GTXE2\_CHANNEL/GTHE2\_CHANNEL时钟属性

属性	类型	描述
SIM_CPLLREFCLK_SEL	3位二进制	通道PLL参考时钟选择的仿真控制。此属性必须包含与CPLLREFCLKSEL[2:0]端口相同的二进制值。
OUTREFCLK_SEL_INV	2位二进制	GTREFCLKMONITOR输出的选择信号。 10: 非反相GTREFCLKMONITOR输出 11: 反向gtrefclk监视器输出

表2-6:GTXE2 \_公共/gthe 2 \_公共时钟端口

港口	方向	时钟域	描述
GTGREFCLK	在...里	时钟	内部FPGA逻辑产生的参考时钟。此输入仅供内部测试使用。
GTNORTHREFCLK0	在...里	时钟	下方广场的向北时钟。
GTNORTHREFCLK1	在...里	时钟	下方广场的向北时钟。
GTREFCLK0	在...里	时钟	四通道PLL的外部时钟由IBUFDS_GTE2驱动。有关更多信息, 请参阅 <a href="#">GTX/GTH收发器参考时钟清单, 第311页.</a>

表2-6:GTXE2 \_公共/gthe 2 \_公共时钟端口(续)

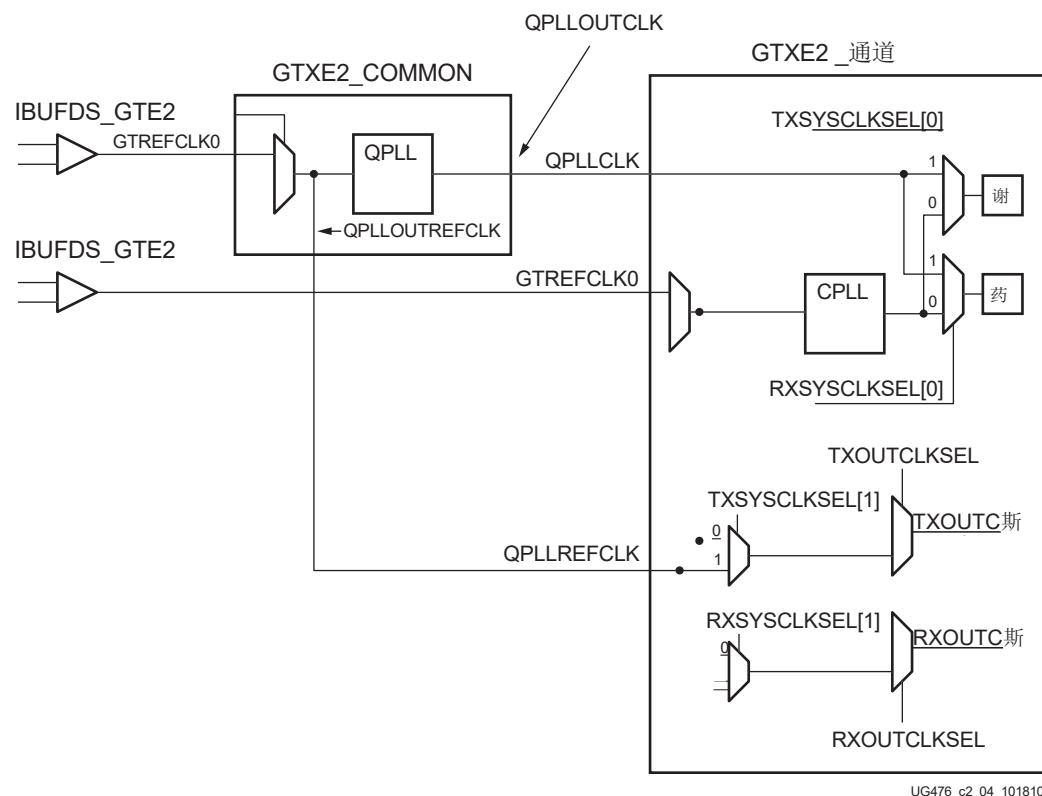
港口	方向	时钟域	描述
GTREFCLK1	在...里	时钟	四通道PLL的外部时钟由IBUFDS_GTE2驱动。有关更多信息,请参阅 <a href="#">GTX/GTH收发器参考时钟清单,第311页</a> .
GTSOUTHREFCLK0	在...里	时钟	上方广场的南行钟。
GTSOUTHREFCLK1	在...里	时钟	上方广场的南行钟。
QPLLOUTCLK	在外	时钟	高性能四通道PLL时钟输出。用户应将此端口连接到GTXE2_CHANNEL/GTHE2_CHANNEL的QPLLCLK端口当发送方和/或接收方需要使用高性能四通道PLL时钟源。
QPLLOUTREFCLK	在外	时钟	用户将此端口连接到GTX2_CHANNEL/GTH2_CHANNEL的QPLLREFCLK端口。
qplrefclksel[2:0]	在...里	异步◎非同步 (asynchronous)	<p>输入,用于动态选择四通道PLL的输入参考时钟。当只有一个时钟源连接到四通道PLL参考时钟选择多路复用器时,此输入应设置为3'b001。</p> <p>更改参考时钟输入后,必须对四通道PLL进行复位。</p> <ul style="list-style-type: none"> <li>000:保留</li> <li>001:选择GTREFCLK0</li> <li>010:选择GTREFCLK1</li> <li>011:选择了GTNORTHREFCLK0</li> <li>100:选择GTNORTHREFCLK1</li> <li>101:选择GTSOUTHREFCLK0</li> <li>110:选择GTSOUTHREFCLK1</li> <li>111:选择GTGREFCLK</li> </ul>
REFCLKOUTMONITOR	在外	时钟	QPLL参考时钟选择多路复用器输出。

表2-7:GTXE2\_COMMON/GTHE2\_COMMON时钟属性

属性	类型	描述
SIM_QPLLREFCLK_SEL	3位二进制	四通道PLL参考时钟选择的仿真控制。此属性必须包含与qplrefclksel[2:0]端口相同的二进制值。

## 外部参考时钟使用模型

每个四通道有两个专用差分参考时钟输入，可以连接到外部时钟源。必须实例化IBUFDS\_GTE2原语，以使用这些专用参考时钟引脚对。用户设计连接IBUFDS\_GTE2输出(O)到GTXE2\_COMMON/GTHE2\_COMMON或GTXE2\_CHANNEL/GTHE2\_CHANNEL原语的GTREFCLK0或GTREFCLK1端口，参考时钟选择多路复用器位于此端口。根据线路速率要求，用户设计可以灵活使用QPLL或CPLL的不同组合来驱动TX和/或RX数据路径。



UG476\_c2\_04\_101810

图2-4:外部参考时钟用例

## 单一外部参考时钟使用模式

每个四通道有两个专用差分参考时钟输入引脚(MGTREFCLK0[P/N]或MGTREFCLK1[P/N])，可以连接到外部时钟源。在单外部参考时钟使用模式中，必须实例化IBUFDS\_GTE2，以使用其中一个专用差分参考时钟源。

图2-5显示了连接到单个四通道内多个收发器的单个外部参考时钟。用户设计将IBUFDS\_GTE2输出(O)连接到GTX收发器的GTXE2\_COMMON和GTXE2\_CHANNEL原语的GTREFCLK0端口，以及GTH收发器的GTHE2\_COMMON和GTHE2\_CHANNEL原语。

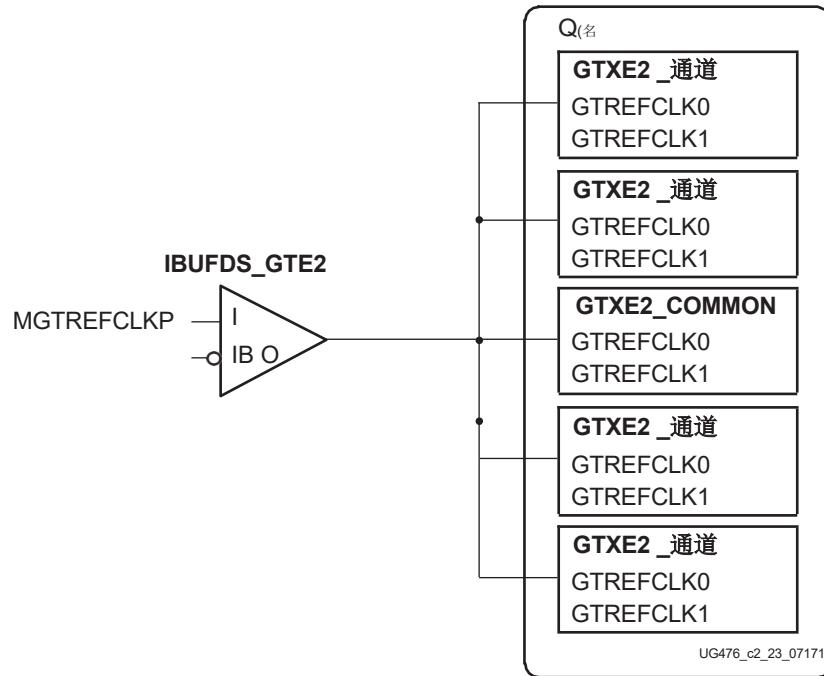


图2-5:单个外部参考时钟，单个四通道中集成多个收发器

**注意:**中的IBUFDS\_GTE2图图2-5是一种简化。输出端口ODIV2保持悬空，输入端口CEB设置为逻辑0。

图2-6显示了单个外部参考时钟和多个四元组中的多个收发器。用户设计将IBUFDS\_GTE2输出(O)连接到GTX收发器的GTXE2\_COMMON和GTXE2\_CHANNEL原语的GTREFCLK0端口，以及GTH收发器的GTHE2\_COMMON和GTHE2\_CHANNEL原语。在这种情况下，Xilinx实施工具会对北/南路由进行必要的调整，并在需要时交换引脚，以便将参考时钟从一个四通道路由到另一个四通道。

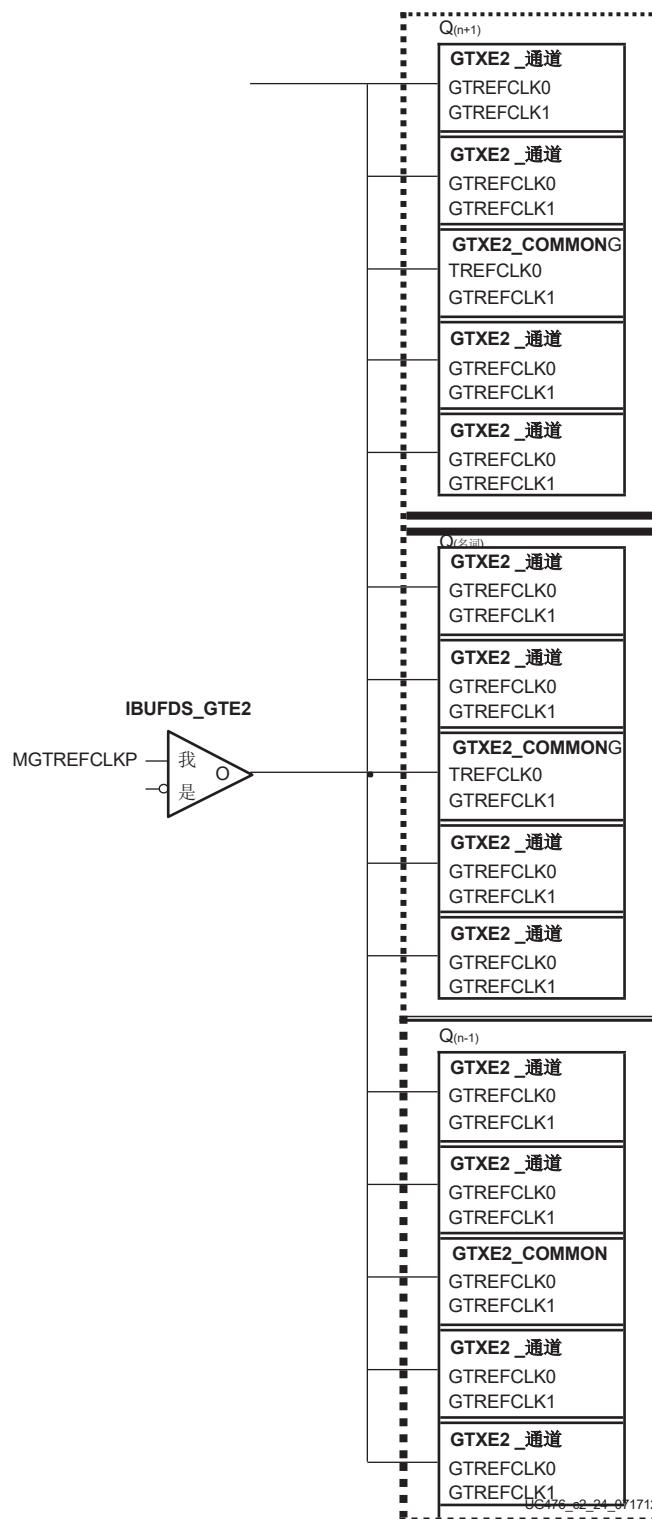


图2-6:单个外部参考时钟，多个收发器位于多个四元组中

**注意:**中的IBUFDS\_GTE2图图2-6是一种简化。输出端口ODIV2保持悬空，输入端口CEB设置为逻辑0。

共享参考时钟时必须遵守以下规则，以确保满足高速设计的抖动裕量要求：

- 采购四边形上方的四边形数量不得超过一个。
- 采购四边形下面的四边形数量不得超过一个。
- 由外部时钟引脚对(MGTREFCLKN/ MGTREFCLKP)提供的四通道组总数不得超过三个四通道组(或12个收发器)。

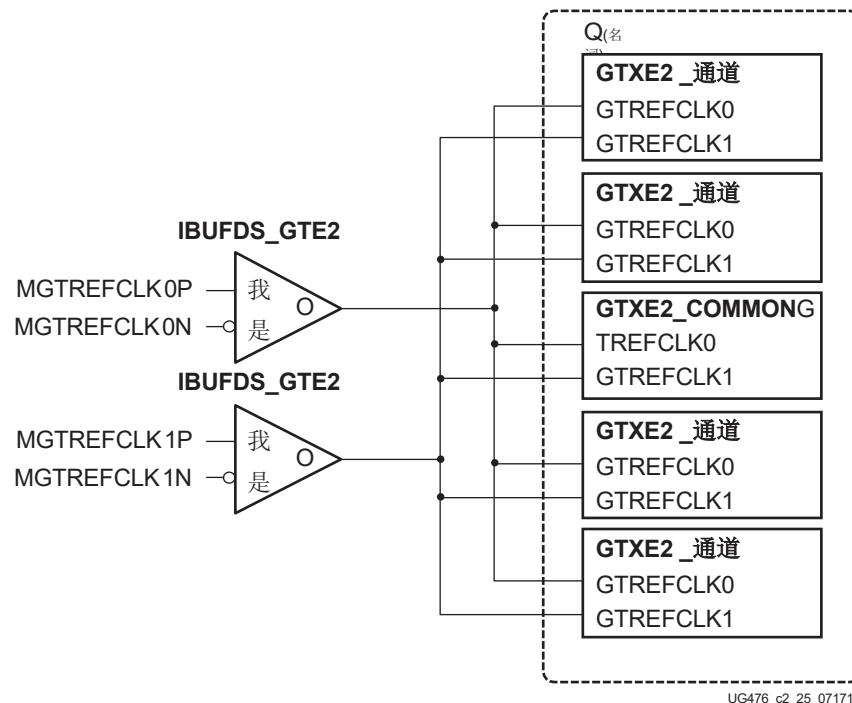
单个时钟引脚对最多可以提供12个收发器。超过12个收发器的设计需要使用多个外部时钟引脚，以确保遵守抖动控制规则。当使用多个时钟引脚时，可以使用外部缓冲器从同一振荡器驱动它们。

## 多个外部参考时钟使用模型

每个四通道有两个专用差分参考时钟输入引脚(MGTREFCLK0[P/N]或MGTREFCLK1[P/N])，可以连接到外部时钟源。在多外部参考时钟使用模型中，每个专用参考时钟引脚对必须实例化其对应的IBUFDS\_GTE2原语，以使用这些专用参考时钟资源。

对于第一个外部参考时钟(MGTREFCLK0[P/N])，用户设计将IBUFDS\_GTE2输出(O)连接到GTX收发器的GTXE2\_COMMON和GTXE2\_CHANNEL原语的GTREFCLK0端口，以及GTH收发器的GTHE2\_COMMON和GTHE2\_CHANNEL原语。同样，对于第二个外部参考时钟(MGTREFCLK1[P/N])，用户设计连接IBUFDS\_GTE2输出(O)到用于GTX收发器的GTXE2\_COMMON和GTXE2\_CHANNEL原语的GTREFCLK1端口，以及用于GTH收发器的GTHE2\_COMMON和GTHE2\_CHANNEL原语。

图2-7显示了每个四通道的QPLL和每个收发器的CPLL可以由单个四通道内的MGTREFCLK0[P/N]或MGTREFCLK1[P/N]提供。用户可以将qplrefclk[2:0]和CPLLREFCLKSEL[2:0]设置为相应的值，以选择参考时钟源。

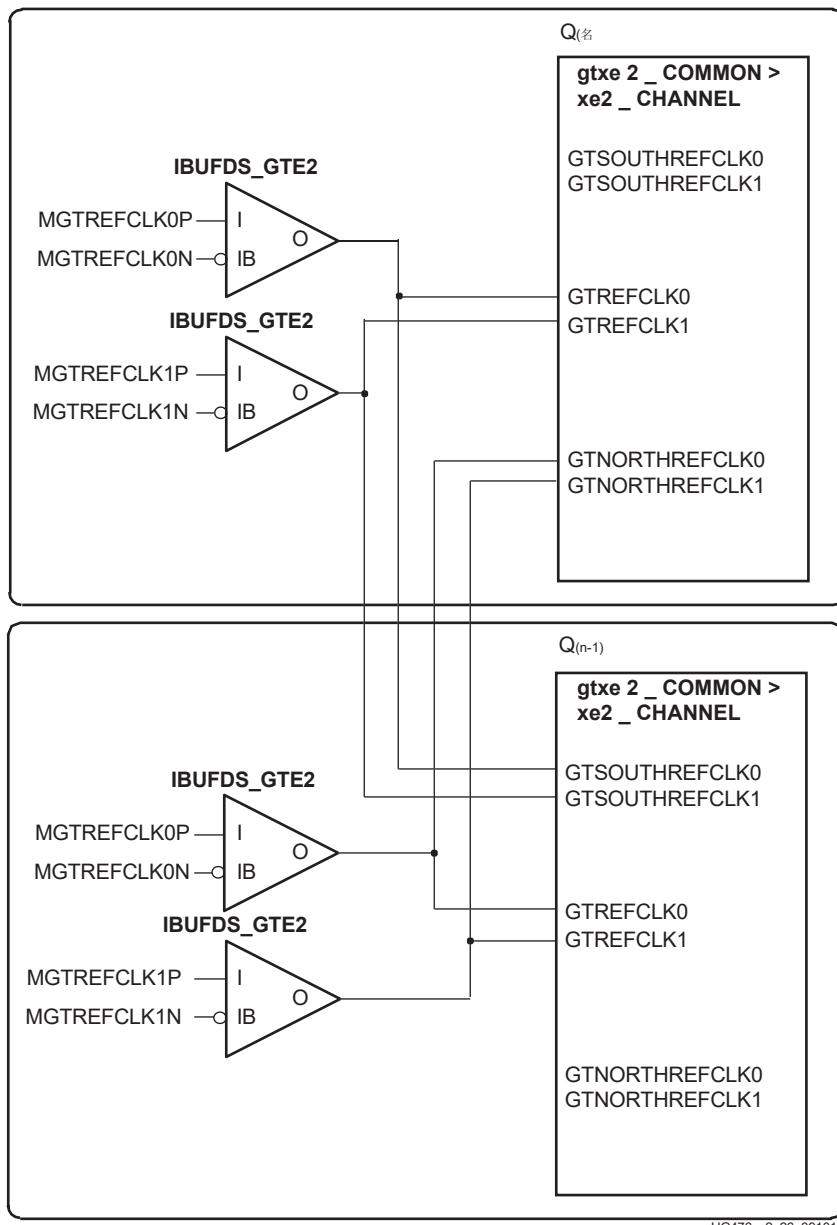


UG476\_c2\_25\_071712

图2-7:多个GTX收发器，单个四通道中有多个参考时钟

**注意:**中的IBUFDS\_GTE2图图2-7是一种简化。输出端口ODIV2保持悬空，输入端口CEB设置为逻辑0。

参考时钟选择架构的灵活性允许Quad内的每个收发器从上下Quad直接访问专用参考时钟。  
图2-8显示了属于一个四通道的收发器如何利用NORTHREFCLK和SOUTHREFCLK端口从另一个四通道访问专用参考时钟的示例。在每个GTX或GTH收发器PLL有多个参考时钟选项的情况下，用户设计需要根据设计要求设置qplrefclksel[2:0]和CPLLREFCLKSEL[2:0]。



UG476\_c2\_26\_091012

**图2-8:多个GTX收发器，在不同的象限中具有多个参考时钟**与相关的注释**图2-8:**

1. qplrefclksel[2:0]/CPLLREFCLKSEL[2:0]用于在GTREFCLK0/1、GTNORTHREFCLK0/1和GTSOUTHREFCLK0/1之间进行选择。
2. IBUFDS\_GTE2图是一个简化图。输出端口ODIV2保持悬空，输入端口CEB设置为逻辑0。

共享参考时钟时必须遵守以下规则，以确保满足高速设计的抖动裕量要求：

The四边形数量不得超过一个。

- 采购四边形下面的四边形数量不得超过一个。
- 由外部时钟引脚对(MGTREFCLKN/ MGTREFCLKP)提供的四通道组总数不得超过三个四通道组(或12个收发器)。

单个时钟引脚对最多可以提供12个收发器。超过12个收发器的设计需要使用多个外部时钟引脚，以确保遵守抖动控制规则。当使用多个时钟引脚时，可以使用外部缓冲器从同一振荡器驱动它们。

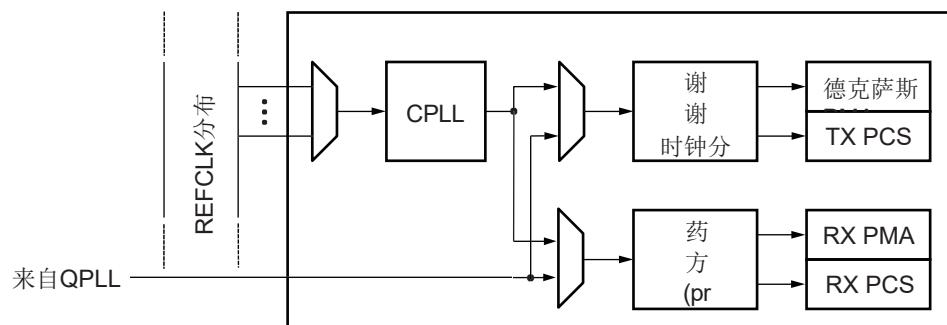
对于需要动态改变参考时钟源的多速率设计，QPLLREFCLKSEL和CPLLREFCLKSEL端口用于动态选择参考时钟源。选择完成后，用户设计人员负责通过高电平有效的CPLLRESET和QPLLRESET端口复位CPLL和QPLL，以及中所述的后续初始化过程[复位和初始化，第61页](#)。

## 通道PLL

- 采购四边形上方的

### 功能描述

每个GTX/GTH收发器通道包含一个基于环路的通道PLL (CPLL)。内部通道时钟架构如所示[图2-9](#)。TX和RX时钟分频器可以分别从QPLL或CPLL选择时钟，从而允许TX和RX数据路径使用不同的参考时钟输入以异步频率工作。

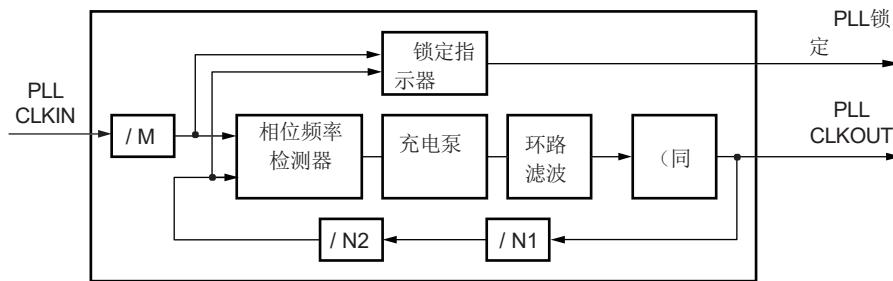


UG476\_c2\_05\_101810

[图2-9:内部通道时钟架构](#)

CPLL输入时钟选择如所述[参考时钟选择和分配，第35页](#)。CPLL输出馈入TX和RX时钟分频器模块，后者控制PMA和PCS模块使用的串行和并行时钟的产生。如果TX和RX数据路径以相同VCO频率的整数倍线路速率工作，则它们可以共享CPLL。

[图2-10](#)展示了CPLL建筑的概念视图。输入时钟在馈入鉴频鉴相器之前可以进行M分频。反馈分频器N1和N2决定VCO的倍增比率和CPLL输出频率。锁定指示器模块比较参考时钟和VCO反馈时钟的频率，以确定是否实现了频率锁定。



UG476\_c2\_06\_101810

图2-10:CPLL框图

GTX收发器中的CPLL具有1.6 GHz至1.6 GHz的标称工作范围  
3.3 GHz。GTH收发器中的CPLL的标称工作范围为  
1.6 GHz至5.16 GHz。7系列FPGAs收发器向导根据应用要求选择合适的CPLL设置。

[方程式2-1](#)显示了如何确定CPLL输出频率(GHz)。

$$f_{PLLClkout} = f_{PLLref} \times \frac{N}{M} - 1 - \frac{2}{D} \quad \text{方程式2-1}$$

[方程式2-2](#)显示了如何确定线路速率(Gb/s)。d表示通道中TX或RX时钟分频器模块的值。  
PLL CLKOUT的上升沿和下降沿都用来产生所需的线路速率，如中所定义[方程式2-2](#)。

$$f_{LineRate} = \frac{f_{PLLClkout}}{D}^2 \quad \text{方程式2-2}$$

[表2-8](#)列出了允许的分频器设置。

表2-8:CPLL分频器设置

因素	属性	有效设置
M	CPLL_参考时钟_分区	1, 2
N2	CPLL联邦调查局	1, 2, 3, 4, 5
N1	CPLL第45区	4, 5
D	RXOUT_DIV TXOUT_DIV	1, 2, 4, 8, 16 <sup>(1)</sup>

1. 使用CPLL时，不支持TX/RXOUT\_DIV = 16。

## 端口和属性

表2-9和表2-10定义CPLL的管脚和属性。

表2-9:CPLL港口

港口	方向	时钟域	描述
CPLLLOCKDETCLK	在...里	时钟	稳定的参考时钟，用于检测CPLL的反馈和参考时钟信号。CPLL的输入参考时钟或CPLL产生的任何输出时钟(如TXOUTCLK)不得用于驱动该时钟。 仅当使用CPLLFBCCLKLOST和CPLLREFCLKLOST端口时，才需要此时钟。它不影响CPLL锁检测、复位和省电功能。
CPLLLOCKEN	在...里	异步®非同步 (asynchronous)	此端口启用CPLL锁定检测器。它必须一直系在高处。
CPLLPD	在...里	异步®非同步 (asynchronous)	高电平有效信号关断CPLL以省电。
CPLLREFCLKSEL	在...里	异步®非同步 (asynchronous)	输入来动态选择CPLL的输入参考时钟。当只有一个时钟源连接到CPLL参考时钟选择多路复用器时，该输入应设置为3'b001。 更改参考时钟输入后，必须对CPLL进行复位。 000:保留 001:选择GTREFCLK0 010:选择GTREFCLK1 011: GTNORTHREFCLK0 挑选 100: GTNORTHREFCLK1 挑选 101: GTSOUTHREFCLK0 挑选 110: GTSOUTHREFCLK1 挑选 111:选择GTGREFCLK

表2-9:CPLL港口(续)

港口	方向	时钟域	描述
CPLLRESET	在...里	异步®非同步 (asynchronous)	此高电平有效端口复位PLL内部的分频器以及PLL锁定指示器和状态模块。
CPLLFBCLKLOST	在外	CPLLLOCKDETCLK	此信号为高电平表示从CPLL反馈分频器到CPLL鉴频鉴相器的反馈时钟丢失。
CPLLLOCK	在外	异步®非同步 (asynchronous)	该高有效PLL频率锁定信号表示PLL频率在预定容差范围内。在满足这一条件之前，收发器及其时钟输出是不可靠的。
CPLLREFCLKLOST	在外	CPLLLOCKDETCLK	此信号的高电平表示CPLL鉴频鉴相器的参考时钟丢失。
TSTOUT	在外	异步®非同步 (asynchronous)	保留。
GTRSVD	在...里	异步®非同步 (asynchronous)	保留。
PCSRSDIN	在...里	异步®非同步 (asynchronous)	保留。
PCSRSDIN2	在...里	异步®非同步 (asynchronous)	保留。
PMARSVDIN	在...里	异步®非同步 (asynchronous)	保留。
PMARSVDIN2	在...里	异步®非同步 (asynchronous)	保留。
茨廷	在...里	异步®非同步 (asynchronous)	保留。

表2-10:CPLL属性

属性	类型	描述
CPLL CFG	24位十六进制	保留。CPLL的配置设置。应使用7系列FPGAs收发器向导中的推荐值。
CPLL联邦调查局	整数	CPLL反馈分频器N2设置如所示第47页, 图2-9。有效设置为1、2、3、4、和5。
CPLL第45区	整数	CPLL参考时钟分频器N1设置如所示第47页, 图2-9。有效设置为4和5。

CPLL初始配置	24位十六进制	保留。中的推荐值应使用7系列FPGAs收发器向导。
----------	---------	---------------------------

表2-10:CPLL属性(续)

属性	类型	描述
CPLL_洛克_CFG	16位十六进制	保留。中的推荐值应使用7系列FPGAs收发器向导。
CPLL_参考时钟_分区	整数	CPLL参考时钟分频器M设置, 如所示第47页, 图2-9。有效设置为1和2。
RXOUT_DIV <sup>(1)</sup>	整数	RX数据路径的CPLL/QPLL输出时钟分频器D, 如所示第47页, 图2-9。有效设置为1、2、4、8和16。
TXOUT_DIV <sup>(1)</sup>	整数	TX数据路径的CPLL/QPLL输出时钟分频器D, 如所示第47页, 图2-9。有效设置为1、2、4、8和16。
SATA_CPLL_CFG	线	保留。SATA应用程序特定设置。应使用7系列FPGAs收发器向导中的推荐值。
SIM_CPLLREFCLK_SEL	3位二进制	四通道PLL参考时钟选择的仿真控制。此属性必须包含与CPLLREFCLKSEL[2:0]端口相同的二进制值。
PMA_RSV3	2位二进制	保留。

**注意事项:**

1. 使用CPLL时, 不支持TXOUT\_DIV/RXOUT\_DIV = 16。

## 通用协议的CPLL设置

表2-11显示了几种标准协议的CPLL分频器设置示例。此表不包括REFCLK频率和分频器设置的所有组合。

表2-11:通用协议的CPLL分频器设置

标准	线路速率 [Gb/s]	内部数据宽度 [16b/20b/32b/40b]	PLL频率[GHz]	REFCLK (典型) [兆赫]	使用典型REFCLK频率			
					N1	N2	D	M
光纤通道(单速率)	4.25	20b	2.125	212.5	5	2	1	1
	2.125	20b	2.125	106.25	5	4	2	1
	1.0625	20b	2.125	106.25	5	4	4	1
光纤通道(多速率)	4.25	20b	2.125	212.5	5	2	1	1
	2.125	20b	2.125	212.5	5	2	2	1
	1.0625	20b	2.125	212.5	5	2	4	1
XAUI	3.125	20b	3.125	156.25	5	4	2	1
RXAUI	6.25	20b	3.125	156.25	5	4	1	1
吉格	1.25	20b	2.5	125	5	4	4	1

表2-11:通用协议的CPLL分频器设置(续)

标准	线路速率 [Gb/s]	内部数据宽度 [16b/20b/32b/40b]	PLL频率[GHz]	REFCLK (典型) [兆赫]	使用典型REFCLK频率			
					N1	N2	D	M
极光(单费率)	6.25	20b	3.125	312.5	5	2	1	1
	5	20b	2.5	250	5	2	1	1
	3.125	20b	3.125	156.25	5	4	2	1
	2.5	20b	2.5	125	5	4	2	1
	1.25	20b	2.5	125	5	4	4	1
极光(多速率)	6.25	20b	3.125	312.5	5	2	1	1
	5	20b	2.5	312.5	4	2	1	1
	3.125	20b	3.125	312.5	5	2	2	1
	2.5	20b	2.5	312.5	4	2	2	1
	1.25	20b	2.5	312.5	4	2	4	1
极光64B/66B	3.125	32b	3.125	156.25	5	4	2	1
串行RapidIO(单速率)	3.125	20b	3.125	156.25	5	4	2	1
	2.5	20b	2.5	125	5	4	2	1
	1.25	20b	2.5	125	5	4	4	1
串行RapidIO(多速率)	3.125	20b	3.125	156.25	5	4	2	1
	2.5	20b	2.5	156.25	4	4	2	1
	1.25	20b	2.5	156.25	4	4	4	1
萨塔(人名)	3	20b	3	150	5	4	2	1
	1.5	20b	3	150	5	4	4	1
PCIe最佳抖动	5	20b	2.5	250	5	2	1	1
	2.5	20b	2.5	250	5	2	2	1
	5	20b	2.5	125	5	4	1	1
	2.5	20b	2.5	125	5	4	2	1
PCIe 100 MHz REFCLK	5	20b	2.5	100	5	5	1	1
	2.5	20b	2.5	100	5	5	2	1
CPRI(多费率)	3.072	20b	3.072	122.88	5	5	2	1
	2.4576	20b	2.4576	122.88	5	4	2	1
	1.2288	20b	2.4576	122.88	5	4	4	1
	0.6144	20b	2.4576	122.88	5	4	8	1

表2-11:通用协议的CPLL分频器设置(续)

标准	线路速率 [Gb/s]	内部数据宽度 [16b/20b/32b/40b]	PLL频率[GHz]	REFCLK (典型) [兆赫]	使用典型REFCLK频率			
					N1	N2	D	M
奥布赛 (多费率)	6.144	20b	3.072	153.6	5	4	1	1
	3.072	20b	3.072	153.6	5	4	2	1
	1.536	20b	3.072	153.6	5	4	4	1
	0.768	20b	3.072	153.6	5	4	8	1
3G-SDI 高清- SDI (多费率)	2.97	20b	2.97	148.5	5	4	2	1
	1.485	20b	2.97	148.5	5	4	4	1
因特雷肯	6.25	16b	3.125	312.5	5	2	1	1
	4.25	16b	2.125	212.5	5	2	1	1
	3.125	16b	3.125	156.25	5	4	2	1
SFI五号	3.125	16b	3.125	195.3125	4	4	2	1
OC-48	2.48832	16b	2.48832	155.52	4	4	2	1
OC-12	0.62208	16b	2.48832	155.52	4	4	8	1
OTU一号	2.666057	16b	2.666057	166.6286	4	4	2	1
CEI 6.25	6.25	20b	3.125	390.625	4	2	1	1

一些协议显示为单速率配置和多速率配置两次。在单速率配置中，只需要一种线路速率，基准时钟针对该特定线路速率进行了优化。在多速率配置中，为最高线路速率选择参考时钟，并选择合适的分频器来支持较低的线路速率。

对于给定的协议和线路速率，最大、典型和最小频率的一般准则是：

- 选择最大VCO频率，以使用最小PLL反馈分频器设置。该选项通常提供最高的抖动性能。
- 选择典型的参考时钟频率，根据协议将PLL倍频限制在8或10。
- 对于较低的线路速率操作，选择最小频率以允许16或20倍的PLL乘法。
- 如果使用低于典型推荐频率的参考时钟，需要仔细考虑性能影响。涉及[DS182](#),[kintex-7 FPGA 数据手册:DC 和开关特性](#)和[DS183](#),[virtex-7 FPGA 数据手册:DC 和开关特性](#)最小和最大参考时钟频率。

## 使用模式

### 动态更改CPLL设置

下面描述了动态更改CPLL设置的事件顺序。它仅适用于CPLL的变更：

When就绪(发送或接收所有有效数据), 通过端口CPLLREFCLKSEL和/或DRP对中列出的属性进行更改[表2-10](#).

2. 遵循中详述的重置指南[CPLL复位, 第64页](#).
3. 当CPLL锁定时, 置位GTTXRESET和/或GTRXRESET, 并遵循中所述的准则[响应GTTXRESET脉冲的GTX/GTH收发器TX复位, 第68页](#)和[响应GTRXRESET脉冲的GTX/GTH收发器RX Reset, 第80页](#).
4. 继续收发器操作。

## 从CPLL到QPLL的动态切换

下面描述了从使用CPLL动态改变到QPLL的事件序列:

1. 通过解除端口QPLLPD和QPLLRESET的置位, 使QPLL上电。等到端口QPLLLOCK = 1。
- 注意:**qp lpd要么从配置状态进入掉电模式, 要么被认为是正确置位的, 因为要求qp lpd只能在配置完成至少500 ns后置位为高电平。
2. 置位端口GTTXRESET和/或GTRXRESET。设置端口TXSYSCLKSEL[0] = 1'b1, RXSYSCLKSEL[0] = 1'b1。断言端口[TX/RX]userdy。
3. 解除GTTXRESET和/或GTRXRESET置位。等待TXRESETDONE = 1'b1和RXRESETDONE = 1'b1。
4. 通过置位CPLLRESET和CPLLPD来关断CPLL以省电。
5. 继续收发器操作。

# 四通道 PLL

1.

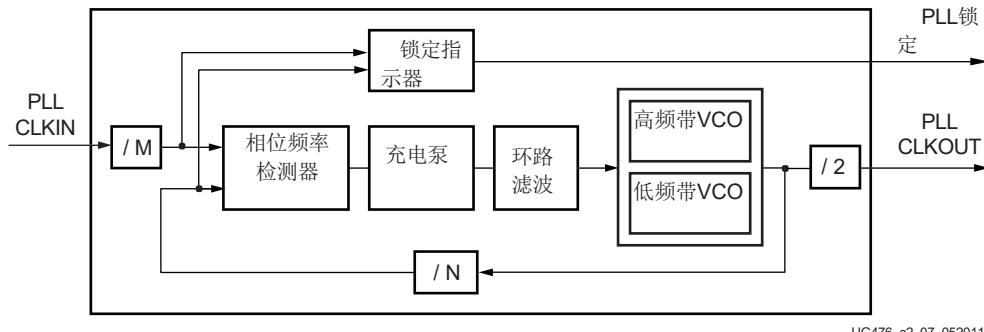
## 功能描述

每个四通道包含一个基于LC的PLL, 称为四通道PLL (QPLL)。同一Quad内的串行收发器通道可以共享QPLL, 但其他Quad内的通道不能共享。当通道以高于CPLL工作范围的线路速率工作时, 需要使用QPLL。GTXE2\_COMMON原语封装了GTX QPLL, 并且在使用GTX QPLL时必须被实例化。类似地, GTHE2\_COMMON原语封装了GTH QPLL, 并且在使用GTH QPLL时必须被实例化。

QPLL输入参考时钟选择如所述[参考时钟选择和分配, 第35页](#)。QPLL输出馈入同一Quad内各串行收发器通道的TX和RX时钟分频器模块, 后者控制PMA和PCS模块使用的串行和并行时钟的产生。[第47页, 图2-9](#)显示了内部通道时钟架构。

[图2-11](#)说明了QPLL架构的概念视图。输入时钟在馈入鉴频鉴相器之前可以进行M分频。反馈分频器N决定VCO倍增比。QPLL输出频率是VCO频率的一半。锁定指示器模块比较参考时钟和VCO反馈时钟的频率, 以确定是否实现了频率锁定。





UG476\_c2\_07\_052011

图2-11:QPLL详细信息

QPLL VCO在两个不同的频带内工作。表2-12描述了这些频段的标称工作范围。欲了解更多信息，请参见特定器件的数据手册。

表2-12:QPLL标称工作范围

收发器	频率(千兆赫)	
GTX	低频带	5.93–8.0
	上层乐队	9.8–12.5
GTH	8.0–13.1	

选择低频带VCO时，高频带VCO自动关断，反之亦然。7系列FPGAs收发器向导根据应用要求选择合适的频段和QPLL设置。

等式2-3显示了如何确定PLL输出频率(GHz)。

$$f_{PLL_{Clkout}} = f_{PLL_{Clkin}} \times \frac{N}{M \times 2} \quad \text{等式2-3}$$

等式2-4显示了如何确定线路速率(Gb/s)。d表示通道中TX或RX时钟分频器模块的值。PLL CLKOUT的上升沿和下降沿都用来产生所需的线路速率，如中所定义等式2-4。看见第48页表2-8有关d的有效设置。

$$f_{LineRate} = \frac{f_{PLL_{Clkout}}}{D} \quad \text{等式2-4}$$

表2-13列出了允许的分隔线值。

表2-13:QPLL分频器设置

因素	属性	有效设置
M	QPLL_REFCLK_DIV	1, 2, 3, 4
N	QPLL_FBDIV QPLL_FBDIV_RATIO	16, 20, 32, 40, 64, 66, 80, 100 (参见表2-16)
D	RXOUT_DIV TXOUT_DIV	1, 2, 4, 8, 16

## 端口和属性

表2-14和第58页表2-15定义QPLL的引脚和属性。

表2-14:QPLL端口

港口	方向	时钟域	描述
QPLLDMONITOR	在外	异步◎非同步 (asynchronous)	保留。
QPLLFBCLKLOST	在外	QPLLLOCKDETCLK	此信号为高电平表示从QPLL反馈分频器到QPLL鉴频鉴相器的反馈时钟丢失。
QPLLLOCK	在外	异步◎非同步 (asynchronous)	该高有效PLL频率锁定信号表示PLL频率在预定容差范围内。在满足这一条件之前，收发器及其时钟输出是不可靠的。
QPLLLOCKDETCLK	在...里	时钟	稳定的参考时钟，用于检测QPLL的反馈和参考时钟信号。QPLL的输入参考时钟或QPLL产生的任何输出时钟(例如TXOUTCLK)不得用于驱动该时钟。 仅当使用QPLLFBCLKLOST和QPLLREFCLKLOST端口时，才需要此时钟。它不影响QPLL锁定检测、复位和省电功能。
QPLLLOCKEN	在...里	异步◎非同步 (asynchronous)	此端口使能QPLL锁定检测电路。它必须一直系在高处。
QPLLOUTCLK	在外	不适用的	QPLL输出时钟。用户应将该时钟信号连接到GTXE2_CHANNEL原语(或GTHE2_CHANNEL)中的QPLLCLK原语)时，使用GTX(或GTH)收发器。
QPLLOUTRESET	在...里	异步◎非同步 (asynchronous)	保留。绑得很低。
QPLLPD	在...里	异步◎非同步 (asynchronous)	高电平有效信号关断QPLL以省电。在配置完成之前，至少500ns内不应将此端口置位为高电平。

表2-14:QPLL端口(续)

港口	方向	时钟域	描述
QPLLREFCLKLOST	在外	QPLLLOCKDETCLK	此信号为高电平表示QPLL鉴频鉴相器的参考时钟丢失。
QPLLREFCLKSEL	在...里	异步◎非同步 (asynchronous)	<p>输入, 以动态选择QPLL的输入参考时钟。当只有一个时钟源连接到QPLL参考时钟选择多路复用器时, 此输入应设置为3'b001。</p> <p>改变参考时钟输入后, 必须对QPLL进行复位。</p> <p>000:保留 001:选择GTREFCLK0 010:选择GTREFCLK1 011: GTNORTHREFCLK0 挑选 100: GTNORTHREFCLK1 挑选 101: GTSOUTHREFCLK0 挑选 110: GTSOUTHREFCLK1 挑选 111:选择GTGREFCLK</p>
QPLLRESET	在...里	异步◎非同步 (asynchronous)	此高电平有效端口复位PLL内部的分频器以及PLL锁定指示器和状态模块。
qplrsvd 1[15:0]	在...里	-	保留。
qplrsvd 2[4:0]	在...里	-	保留。
BGBYPASSB	在...里	异步◎非同步 (asynchronous)	保留。此端口必须设置为1'b1。不应修改该值。
BGMONITORENB	在...里	异步◎非同步 (asynchronous)	保留。此端口必须设置为1'b1。不应修改该值。
BGPDB	在...里	异步◎非同步 (asynchronous)	保留。此端口必须设置为1'b1。不应修改该值。
BGRCALOVRD[4:0]	在...里	异步◎非同步 (asynchronous)	保留。此端口必须设置为5'b11111。不应修改该值。

表2-14:QPLL端口(续)

港口	方向	时钟域	描述
BGRCALOVRDENB	在...里	异步@非同步 (asynchronous)	保留。不应修改该值。
RCALENB	在...里	异步@非同步 (asynchronous)	保留。此端口必须设置为1'b1。 不应修改该值。
PMARSVD	在...里	异步@非同步 (asynchronous)	保留。

表2-15:QPLL属性

属性	类型	描述
QPLL_CFG	27位十六进制	保留。 中的推荐值 应使用7系列FPGAs收发器向导。
QPLL_CLKOUT_CFG	4位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
QPLL_COARSE_FREQ_OVRD	6位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
QPLL_COARSE_FREQ_OVRD_EN	1位二进制	保留。此属性必须设置为0。
QPLL_CP	10位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
QPLL_CP_MONITOR_EN	1位二进制	保留。此属性必须设置为0。
QPLL_DMONITOR_SEL	1位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
QPLL_FBDIV	10位二进制	QPLL反馈分频器N设置, 如所示第55页图2-11。涉及表2-16对于它的配置。
QPLL_FBDIV_MONITOR_EN	1位二进制	保留。此属性必须设置为0。
QPLL_FBDIV_RATIO	1位二进制	涉及表2-16。
QPLL_INIT_CFG	23位十六进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
QPLL_LOCK_CFG	16位十六进制	保留。应使用7系列FPGAs收发器向导中的推荐值。

表2-15:QPLL属性(续)

属性	类型	描述
QPLL_LPF	4位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
QPLL_REFCLK_DIV	整数	QPLL参考时钟分频器M设置，如所示图2-11。有效设置为1、2、3和4。
SIM_QPLLREFCLK_SEL	3位二进制	四通道PLL参考时钟选择的仿真控制。此属性必须包含与qplrefclksel[2:0]端口相同的二进制值。
RXOUT_DIV	整数	RX数据路径的QPLL/CPLL输出时钟分频器D，如所示图2-9。有效设置为1、2、4、8、和16岁。
TXOUT_DIV	整数	TX数据路径的QPLL/CPLL输出时钟分频器D，如所示图2-9。有效设置为1、2、4、8、和16岁。
COMMON_CFG	32位二进制	保留。

表2-16:分频器配置

N	QPLL_FBDIV_RATIO	QPLL_FBDIV[9:0]
16	1	0000100000
20	1	0000110000
32	1	0001100000
40	1	0010000000
64	1	0011100000
66	0	0101000000
80	1	0100100000
100	1	0101110000

## 常见协议的QPLL设置

[表2-17](#)显示了几种标准协议的QPLL分频器设置示例。此表不包括REFCLK频率和分频器设置的所有组合。

表2-17:常见协议的QPLL分频器设置

标准	线路速率 [Gb/s]	内部数据宽 度[16b/20b/ 32b/40b]	锁相环路 频率[千兆 赫]	QPLL [高 / 低 频段]	REFCLK (典型) [兆赫]	使用典型REFCLK频率			
						N (QPLL_FBDIV , QPLL_FBDIV_ RATIO)	RXOUT_DIV (D)	TXOUT_DIV (D)	M (QPLL_ REFCLK_DIV)
10GBASE-R (156.25 MHz)	10.3125	32b	10.3125	上面的	156.25	66	1	1	1
因特拉肯 10.3125 (161.13兆赫)	10.3125	32b	10.3125	上面的	161.13	64	1	1	1
OC-192 (9.953 Gb/s, 155.516兆赫)	9.953024	32b	9.953024	上面的	155.516	64	1	1	1
PCIe Gen3	8	32b	8	降低	100	80	1	1	1
CEI 6.25 <sup>(1)</sup>	6.25	20b	6.25	降低	390.625	16	1	1	1
	6.25	20b	6.25	降低	156.25	40	1	1	1
标准:SFP+ (SFF-8431, SFI)	9.8304 <sup>(2)</sup>	32b	9.8304	上面的	122.88	80	1	1	1
	9.95328	32b	9.95328	上面的	155.52	64	1	1	1
	10.3125	32b	10.3125	上面的	156.25	66	1	1	1
	10.5187	32b	10.5187	上面的	164.355	64	1	1	1
	11.1	32b	11.1	上面的	173.4375	64	1	1	1

### 注意事项:

- 此表中CEI 6.25的分频器设置仅适用于GTX收发器。
- 用于SFP+CPRI应用的线路速率。

## 使用模式

### 动态更改QPLL设置

下文描述了动态改变QPLL设置的事件序列。这仅适用于QPLL的变更:

- 准备就绪后(发送或接收所有有效数据), 通过端口QPLLREFCLKSEL和/或DRP对中列出的属性进行更改[表2-10](#).
- 遵循中详述的重置指南[QPLL复位, 第64页](#).
- 当QPLL锁定时, 置位GTTXRESET和/或GTRXRESET, 并遵循中详述的准则[响应GTTXRESET脉冲的GTX/GTH收发器TX复位, 第68页](#)和[响应GTRXRESET脉冲的GTX/GTH收发器RX Reset, 第80页](#).
- 继续收发器操作。

## 从QPLL到CPLL的动态切换

下面描述了从使用QPLL动态变为CPLL的事件顺序:

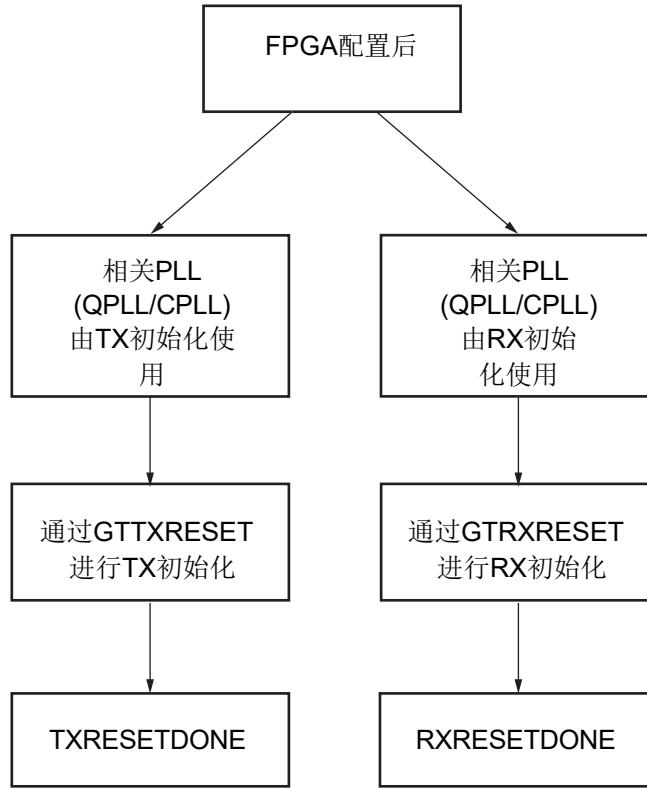
1. 通过解除端口CPLLPD和CPLLRESET来给CPLL上电。等到端口CPLLLOCK = 1。
2. 置位端口GTTXRESET和/或GTRXRESET。设置端口TXSYSCLKSEL[0] = 1'b0, RXSYSCLKSEL[0] = 1'b0。断言端口[TX/RX]userdy。
3. 解除GTTXRESET和/或GTRXRESET置位。等待TXRESETDONE = 1'b1和 RXRESETDONE = 1'b1。
4. 置位QPLLRESET和QPLLPD以关断QPLL，从而省电。
5. 继续收发器操作。

## 复位和初始化

GTX/GTH收发器必须在FPGA器件上电和配置后初始化，才能使用。GTX/GTH发射机(TX)和接收机(RX)可以独立和并行初始化，如所示图2-12。GTX/GTH收发器TX和RX初始化包括两个步骤:

1. 初始化驱动TX/RX的相关PLL
2. 初始化发送和接收数据路径(PMA + PCS)

GTX/GTH收发器TX和RX可以从QPLL或CPLL接收时钟。TX和RX初始化之前，必须首先初始化TX和RX使用的相关PLL (QPLL/CPLL)。TX和RX使用的任何PLL都单独复位，其复位操作完全独立于所有TX和RX复位。只有在相关PLL锁定后，才能初始化TX和RX数据路径。



UG476\_c2\_08\_101810

图2-12:GTX/GTH收发器初始化概述

GTX/GTH收发器TX和RX使用状态机来控制初始化过程。它们被分成几个复位区。该分区允许复位状态机按顺序控制复位过程，首先复位PMA，然后在TXUSERRDY或RXUSERRDY置位后复位PCS。它还允许PMA、PCS和其中的功能块在正常操作期间需要时单独复位。

GTX/GTH收发器提供两种类型的复位:初始化和组件。

- **初始化复位:**该复位用于完整的GTX/GTH收发器初始化。必须在器件上电和配置后使用。正常工作期间，如有必要，GTTXRESET和GTRXRESET也可用于重新初始化GTX/GTH收发器TX和RX。GTTXRESET是GTX/GTH收发器TX的初始化复位端口。GTRXRESET是GTX/GTH收发器RX的初始化复位端口。
- **组件复位:**该复位用于特殊情况和特定分段复位，同时GTX/GTH收发器处于正常工作状态。TX元件复位端口包括TXPMARESET和TXPCSRESET。RX元件复位端口包括RXPMARESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET、RXBUFORESET和RXOOBRESET。

有关初始化和组件重置之间的主要覆盖差异，请参考表2-26对于GTX/GTH收发器TX和表2-30和表2-31用于GTX/ GTH收发器RX。

本节描述的所有复位端口在被拉高时都会启动内部复位状态机。内部复位状态机保持在复位状态，直到它们相同

复位端口被拉低。这些复位都是异步的。除非另有说明，这些异步复位的脉冲宽度原则上是参考时钟的一个周期。

**注意:**复位端口不应用于关断目的。有关正确断电用法的详细信息，请参考[断电，第87页](#)。

## 重置模式

GTX/GTH收发器RX复位可以在两种不同的模式下运行:顺序模式和单一模式。GTX/GTH收发器TX复位只能在顺序模式下运行。

- **顺序模式:**复位状态机以驱动高电平的初始化或器件复位输入开始，并在复位状态机中请求的复位状态之后继续所有状态，如所示[图2-15](#)对于GTX/GTH收发器TX或[图2-20](#)GTX/GTH收发器接收，直到完成。当(TX/RX)RESETDONE从低电平变为高电平时，表示顺序模式复位流完成。
- **单一模式:**复位状态机仅在其属性设置的预定时间内独立执行所请求的组件复位。它不处理请求状态之后的任何状态，如[图2-20](#)用于GTX/GTH收发器RX。所请求的复位可以是任何部件复位，以复位PMA、PCS或它们内部的功能块。当RXRESETDONE从低电平变为高电平时，表示单模复位完成。

GTX/GTH收发器初始化复位必须使用顺序模式。所有元件复位都可以在顺序模式或单一模式下操作，TX复位除外，它只能在顺序模式下操作。

GTX/GTH收发器使用GTRESETSEL在顺序复位模式和单次复位模式之间进行选择。[表2-18](#)提供了适用于GTX/ GTH收发器TX和GTX/GTH收发器RX的配置细节。复位模式对CPLL和QPLL复位没有影响。在正常工作期间，GTX/ GTH收发器TX或GTX/GTH收发器RX可以通过应用程序以顺序模式或单一模式(仅限GTX/GTH收发器RX)进行复位，这为复位GTX/GTH收发器的一部分提供了灵活性。使用顺序模式或单一模式时，RESETOVRD必须拉低，如所示[表2-18](#)。在置位任何复位之前，RESETOVRD和GTRESETSEL必须设置为所需的值300–500 ns。

**表2-18:GTX/GTH收发器复位模式操作**

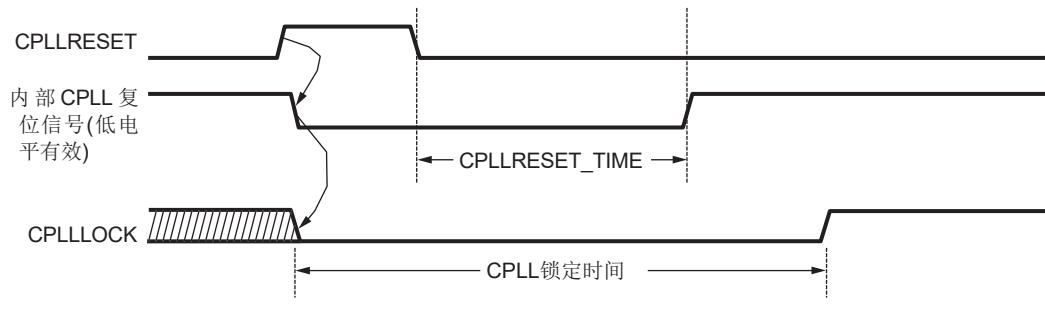
操作方式	RESETOVRD	GTRESETSEL
按序方式	0	0
单模	0	1

**表2-19:GTX/GTH收发器重置模式端口**

港口	目录	时钟域	描述
GTRESETSEL	在...里	异步®非同步 (asynchronous)	复位模式使能端口。 低:顺序模式(推荐)。高:单模。
RESETOVRD	在...里	异步®非同步 (asynchronous)	保留。必须接地。

## CPLL复位

必须使用CPLLPD端口关断CPLL，直到在结构中检测到参考时钟边沿。CPLLPD解除置位后，CPLL必须复位才能使用。每个GTX/GTH收发器通道都有三个用于CPLL复位的专用端口。如所示图2-13，CPLLRESET是复位CPLL的输入。CPLLLOCK是指示复位过程完成的输出。该异步CPLLRESET脉冲宽度的准则是参考时钟的一个周期。内部GTX/GTH收发器电路产生的实际CPLL复位比CPLL reset高电平脉冲持续时间长得多。CPLL锁定所需的时间受一些因素影响，如带宽设置和时钟频率。



UG476\_c2\_09\_101810

图2-13:CPLL复位时序图

表2-20:CPLL重置端口

港口	目录	时钟域	描述
CPLLRESET	在...里	异步@非同步 (asynchronous)	该端口被驱动为高电平，然后解除置位以启动CPLL复位。
CPLLLOCK	在外	异步@非同步 (asynchronous)	这个高有效CPLL频率锁定信号表示CPLL频率在预定的容限内。在满足这个条件之前，GTX/GTH收发器及其时钟输出是不可靠的。
CPLLLOCKEN	在...里	异步@非同步 (asynchronous)	该高电平有效信号使能CPLL锁定检测器。

表2-21:CPLL重置属性

属性	类型	描述
CPLLRESET_TIME (CPLL初始化配置[9:0])	10位二进制	保留。表示应用内部CPLL复位的持续时间。必须是非零值。应使用7系列FPGAs收发器向导中的推荐值。

## QPLL复位

QPLL必须先复位，然后才能使用。每个GTX/GTH收发器模块都有三个用于QPLL复位的专用端口。如所示图2-14，QPLLRESET是复位QPLL的输入。QPLLLOCK输出表示复位过程已完成。该异步QPLLRESET脉冲宽度的准则是一个参考周期

时钟。内部GTX/GTH收发器电路产生的实际QPLL复位比QPLL reset高电平脉冲持续时间长得多。QPLL锁定所需的时间受一些因素影响，如带宽设置和时钟频率。

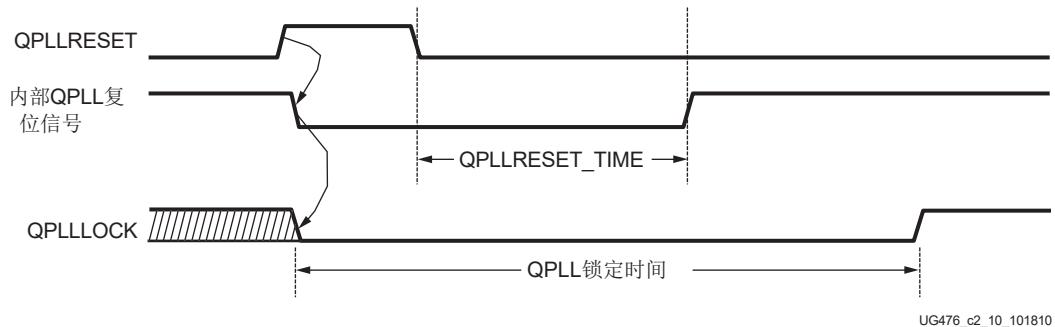


图2-14:QPLL复位时序图

表2-22:QPLL复位端口

港口	目录	时钟域	描述
QPLLRESET	在...里	异步◎非同步 (asynchronous)	该端口被拉高，然后解除置位，以启动QPLL复位。
QPLLLOCK	在外	异步◎非同步 (asynchronous)	该高有效QPLL锁频信号表示QPLL频率在预定容差范围内。在满足这个条件之前，GTX/GTH收发器及其时钟输出是不可靠的。
QPLLLOCKEN	在...里	异步◎非同步 (asynchronous)	此高电平有效信号使能QPLL锁定检测器。

表2-23:QPLL复位属性

属性	类型	描述
QPLL reset _ TIME(QPLL _ INIT _ CFG[9:0])	10位二进制	保留。表示应用内部QPLL复位的持续时间。必须是非零值。中的推荐值应使用7系列FPGAs收发器向导。

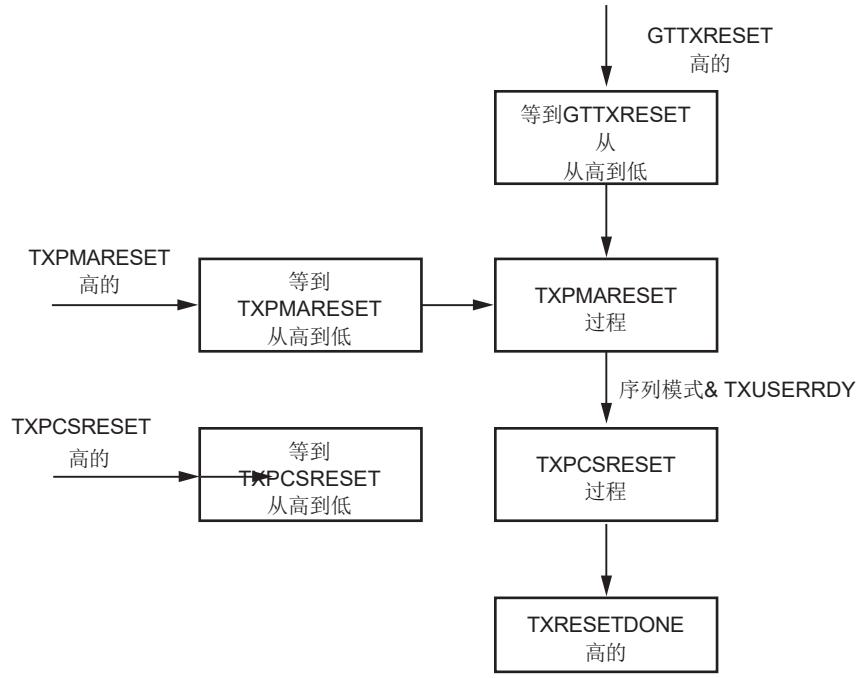
## TX初始化和复位

GTX/GTH收发器TX使用复位状态机来控制复位过程。GTX/GTH收发器TX分为两个复位区，TX PMA和TX PCS。该分区允许TX初始化和复位仅在顺序模式下运行，如所示图2-15。

在顺序模式下，初始化TX必须使用GTTXRESET。激活GTTXRESET输入可以自动触发完全异步TX复位。复位状态机执行复位序列，如所示图2-15，覆盖整个TX PMA和TX PCS。正常工作期间，如果需要，顺序模式允许用户通过激活TXPMARESET来复位TX，并继续复位状态机，直到TXRESETDONE从低电平变为高电平。

TX复位状态机不会复位PCS，直到检测到TXUSERRDY为高电平。满足以下条件后，用户应将TXUSERRDY驱动至高电平：

1. 当使用PLL或MMCM时，应用使用的所有时钟(包括TXUSRCLK/TXUSRCLK2)都显示为稳定或锁定。
2. 用户界面准备向GTX/GTH收发器传输数据。



UG476\_c2\_11\_112311

图2-15:GTX/GTH收发器TX复位状态机序列

### 端口和属性

表2-24列出TX初始化过程所需的端口。

表2-24:TX初始化和复位端口

港口	目录	时钟域	描述
GTTXRESET	在...里	异步@非同步 (asynchronous)	该端口被驱动为高电平，然后解除置位，以启动完整的TX复位序列。复位序列所需的时间待定。
TXPMARESET	在...里	异步@非同步 (asynchronous)	该端口用于复位TX PMA。它被驱动为高电平，然后解除置位，以启动TX PMA复位过程。在顺序模式下，激活该端口会复位TX PMA和TX PCS。
TXPCSRESET	在...里	异步@非同步 (asynchronous)	该端口用于复位TX PCS。它被驱动为高电平，然后解除置位以启动PCS复位过程。在顺序模式下，激活该端口只会复位TX PCS。
TXUSERRDY	在...里	异步@非同步 (asynchronous)	当TXUSRCLK和TXUSRCLK2稳定时，该端口由用户应用驱动为高电平。例如，如果使用MMCM来产生TXUSRCLK和TXUSRCLK2，则此处可以使用MMCM锁定信号。

表2-24:TX初始化和复位端口(续)

港口	目录	时钟域	描述
TXRESETDONE	在外	TXUSRCLK2	该高电平有效信号表示GTX/GTH收发器TX已经完成复位，可以使用了。当GTTXRESET变为高电平时，此端口变为低电平，直到GTX/GTH收发器TX检测到TXUSERRDY为高电平时，此端口才变为高电平。
CFGRESET	在...里	异步@非同步 (asynchronous)	保留。应使用7系列FPGAs收发器向导中的推荐值。
TXPMARESETDONE	在外	异步@非同步 (asynchronous)	GTH收发器:该高电平有效信号表示GTH TX PMA复位完成。当GTTXRESET或TGPMARESET置位时，此端口变为低电平。
PCSRVDOUT	在外	异步@非同步 (asynchronous)	保留。

表2-25列出了GTX/GTH收发器TX初始化所需的属性。一般情况下，TX PMA或TX PCS所需的复位时间因线路速率而异。影响PMA复位时间和PCS复位时间因素是用户可配置的属性TXPMARESET\_TIME和TXPCSRESET\_TIME。

表2-25:TX初始化和复位属性

属性	类型	描述
TXPMARESET_TIME	5位二进制	保留。表示应用TX PMA复位的持续时间。中的推荐值 应使用7系列FPGAs收发器向导。当GTTXRESET或TGPMARESET用于启动复位过程时，必须为非零值。
TXPCSRESET_TIME	5位二进制	保留。表示应用TX PCS复位的持续时间。中的推荐值 应使用7系列FPGAs收发器向导。当TXPCSRESET用于启动复位过程时，必须为非零值。

## 响应配置完成，GTX/GTH收发器TX复位

TX复位序列如所示图2-15不会自动开始跟踪全局GSR。它必须满足以下条件:

1. 要使用顺序模式，GTRESETSEL必须为低电平。
2. 必须使用GTTXRESET。
3. 在检测到TXRESETDONE为高电平之前，TXPMARESET和TXPCSRESET必须在整个复位过程中保持低电平。
4. 在相关PLL锁定之前，GTTXRESET不能被拉低。

如果复位模式在配置时默认为顺序模式，则在配置完成后至少等待500 ns后，C/QPLLRESET和GTTXRESET可以置位。

如果重置模式默认为单一模式，则用户必须:

1. 配置完成后，至少等待500 ns。
2. 将复位模式更改为顺序模式。
3. 再等300-500 ns。
4. 置位C/QPLLRESET和GTTXRESET。

建议使用CPLL或QPLL的相关PLLLOCK将GTTXRESET从高电平释放到低电平，如所示图2-16。当检测到GTTXRESET为高电平时，TX复位状态机等待，并启动复位序列，直到GTTXRESET被释放为低电平。

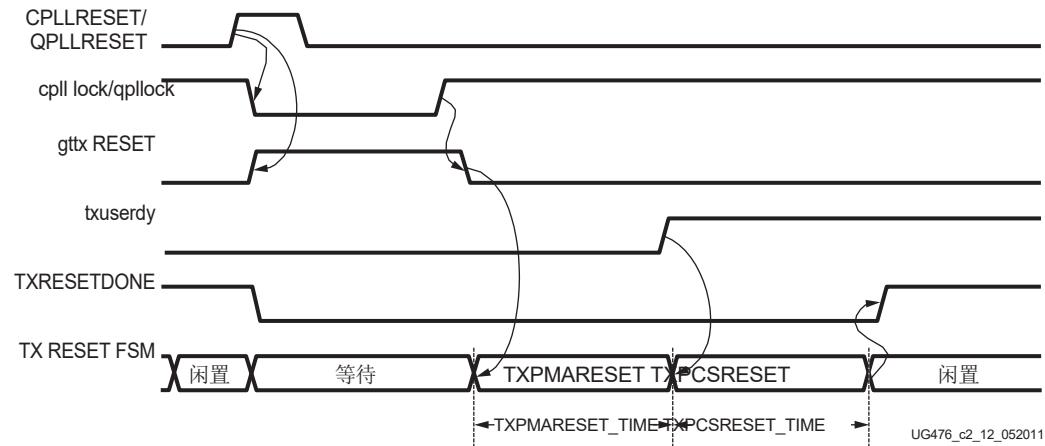


图2-16:FPGA配置后GTX/GTH发射器初始化

### GTX/GTH收发器响应GTTXRESET脉冲进行TX复位

GTX/GTH收发器允许用户通过发送GTTXRESET高电平有效脉冲，随时完全复位整个TX。TXPMARESET\_TIME和TXPCSRESET\_TIME可以静态设置或通过DRP端口重新编程，以便在应用GTTXRESET之前调整所需的复位时间。使用GTTXRESET时，必须满足以下条件：

1. 要使用顺序模式，必须将GTRESETSEL拉低。
2. 在检测到TXRESETDONE为高电平之前，TXPMARESET和TXPCSRESET必须在整个复位过程中保持低电平。
3. 相关PLL必须指示锁定。
4. 异步GTTXRESET脉冲宽度的准则是参考时钟的一个周期。

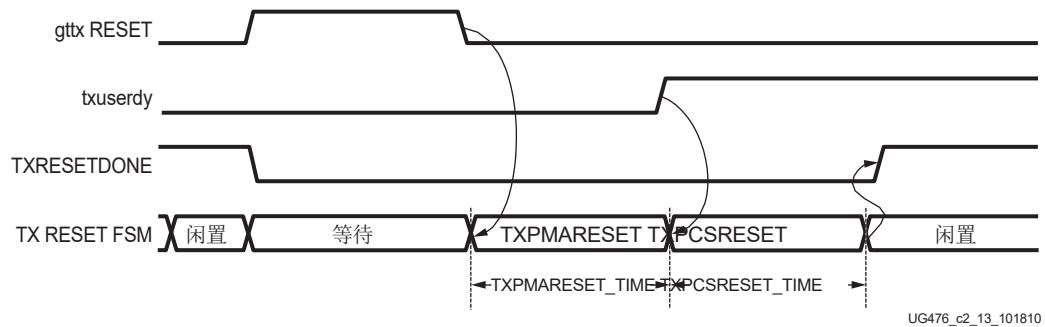


图2-17:GTTXRESET脉冲后GTX/GTH发射器复位

## GTX/GTH收发器TX组件复位

TX PMA和TX PCS可以单独复位。在完成之前的TXPMARESET或TXPCSRESET过程中，GTTXRESET必须始终保持低电平。

将TXPMARESET从高电平驱动到低电平会启动PMA复位过程。在TXPMARESET过程中，TXPCSRESET必须保持低电平。在顺序模式下(图2-18)，如果TXUSERRDY为高电平，复位状态机在完成PMA复位后自动启动PCS复位。

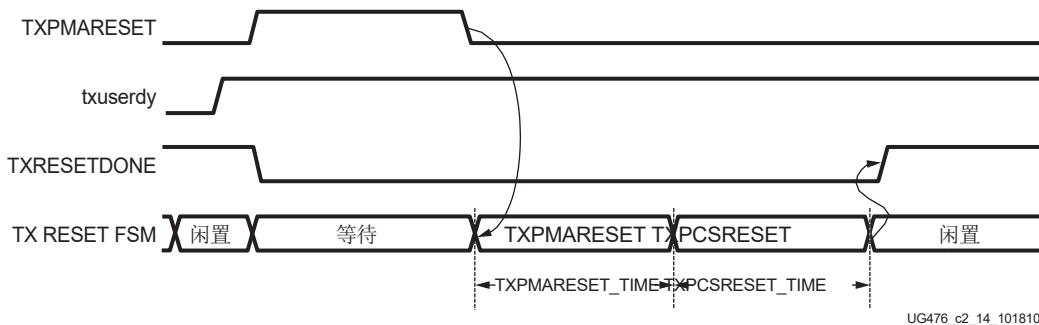


图2-18:顺序模式下的TXPMARESET

当TXUSERRDY为高电平时，将TXPCSRESET从高电平驱动至低电平会启动PCS复位过程。当PCS处于复位过程中时，TXPMARESET必须保持低电平。在顺序模式下，复位状态机仅复位PCS(参见图2-19)。

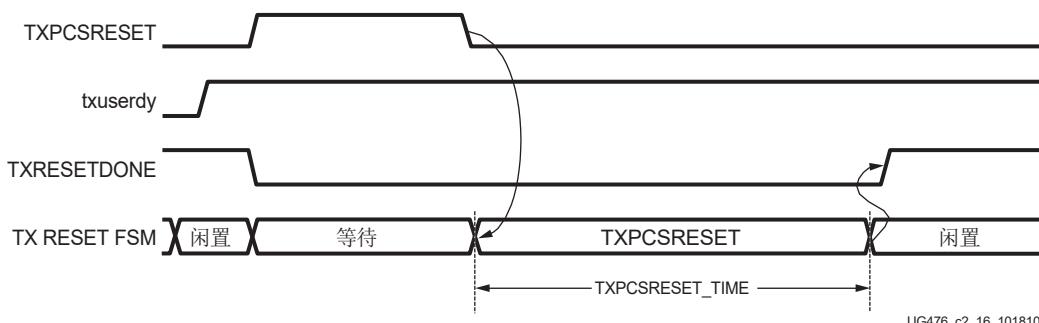


图2-19:顺序模式下的TXPCSRESET

**表2-26**总结了GTX/GTH收发器TX可用的所有复位以及顺序模式下受其影响的组件。在顺序模式下使用TXPMARESET可以复位GTTXRESET所包含的所有内容，TX复位状态机除外。

表2-26:顺序模式下的TX初始化复位和组件复位范围

	功能块	GTTXRESET	TXPMARESET	TXPCSRESET
TX PCS	FPGA TX结构接口	✓	✓	✓
	TX 8B/10B编码器	✓	✓	✓
	TX齿轮箱	✓	✓	✓
	TX缓冲器	✓	✓	✓
	TX模式发生器	✓	✓	✓
	TX极性控制	✓	✓	✓
	TX带外信令	✓	✓	✓
	TX复位FSM	✓		
德克萨斯 PMA	TX配置驱动器	✓	✓	
	PCI Express设计的TX接收器检测	✓	✓	
	德克萨斯PISO	✓	✓	

表2-27列出了各种情况下的建议重置。

表2-27:常见情况下的建议重置

情况	要重置的组件	建议重置 <sup>(1)</sup>
通电和配置后	整个TX	GTTXRESET
打开正在使用的CPLL/QPLL的参考时钟后	整个TX	GTTXRESET
在将参考时钟改变到正在使用的CPLL/QPLL之后	整个TX	GTTXRESET
在所用PLL的CPLLPD或QPLLPD置位/取消置位后	整个TX	GTTXRESET
TXPD[1:0]置位/解除置位后	整个TX	GTTXRESET
TX速率变化	TX PMA和TX个人电脑	自动执行重置
TX并行时钟源复位	TX PCS	TXPCSRESET
进入或退出远端PMA环回后	整个TX	GTTXRESET

表2-27:常见情况下的建议重置(续)

情况	要重置的组件	建议重置 <sup>(1)</sup>
进入或退出近端PMA环回后	整个RX	GTRXRESET

**注意事项:**

1.建议的复位对GTX/GTH收发器的其他组件影响最小。

**通电和配置后**

整个GTX/GTH TX在配置后需要复位。看见[响应配置完成, GTX/GTH收发器TX复位, 第67页](#).

**打开正在使用的CPLL/QPLL的参考时钟后**

如果配置后参考时钟发生变化或GTX/GTH收发器上电, 应在PLL完全完成复位程序后切换GTTXRESET。

**在将参考时钟改变到正在使用的CPLL/QPLL之后**

每当PLL的参考时钟输入改变时, PLL必须随后复位, 以确保锁定到新的频率。在PLL完全完成其复位程序后, 应切换GTTXRESET。

**C/qpl PD置位/解除置位后, 对于所用PLL**

当所用的CPLL或QPLL在关断后返回正常工作状态时, PLL必须复位。在PLL完全完成其复位程序后, 应切换GTTXRESET。

**TXPD[1:0]置位/解除置位后**

TXPD信号解除后, 必须切换GTTXRESET。

**TX速率变化**

当执行速率更改时, 所需的复位序列会自动执行。当TXRATEDONE置位时, 表示速率变化和必要的复位序列均已应用并完成。

如果TX缓冲器使能, TXBUF\_RESET\_ON\_RATE\_CHANGE属性应设为真, 以允许TX缓冲器在速率改变后自动复位。如果使用TX缓冲器旁路模式, 必须在TXRATEDONE置位后重复对齐。

**TX并行时钟源复位**

为了正常工作, 驱动TXUSRCLK和TXUSRCLK2的时钟必须稳定。这些时钟通常由FPGA中的MMCM驱动, 以满足相位和频率要求。如果MMCM失锁并开始产生不正确的输出, 应在时钟源重新锁定后切换TXPCSRESET。

如果使用TX缓冲器旁路模式, 复位程序完成后必须重复对齐。

## RX初始化和复位

GTX/GTH收发器RX使用复位状态机来控制复位过程。由于其复杂性，GTX/GTH收发器RX比GTX/GTH收发器TX被划分成更多的复位区域。该分区允许RX初始化和复位以顺序模式或单一模式工作，如所示图2-20：

### 1. 时序模式下的RX

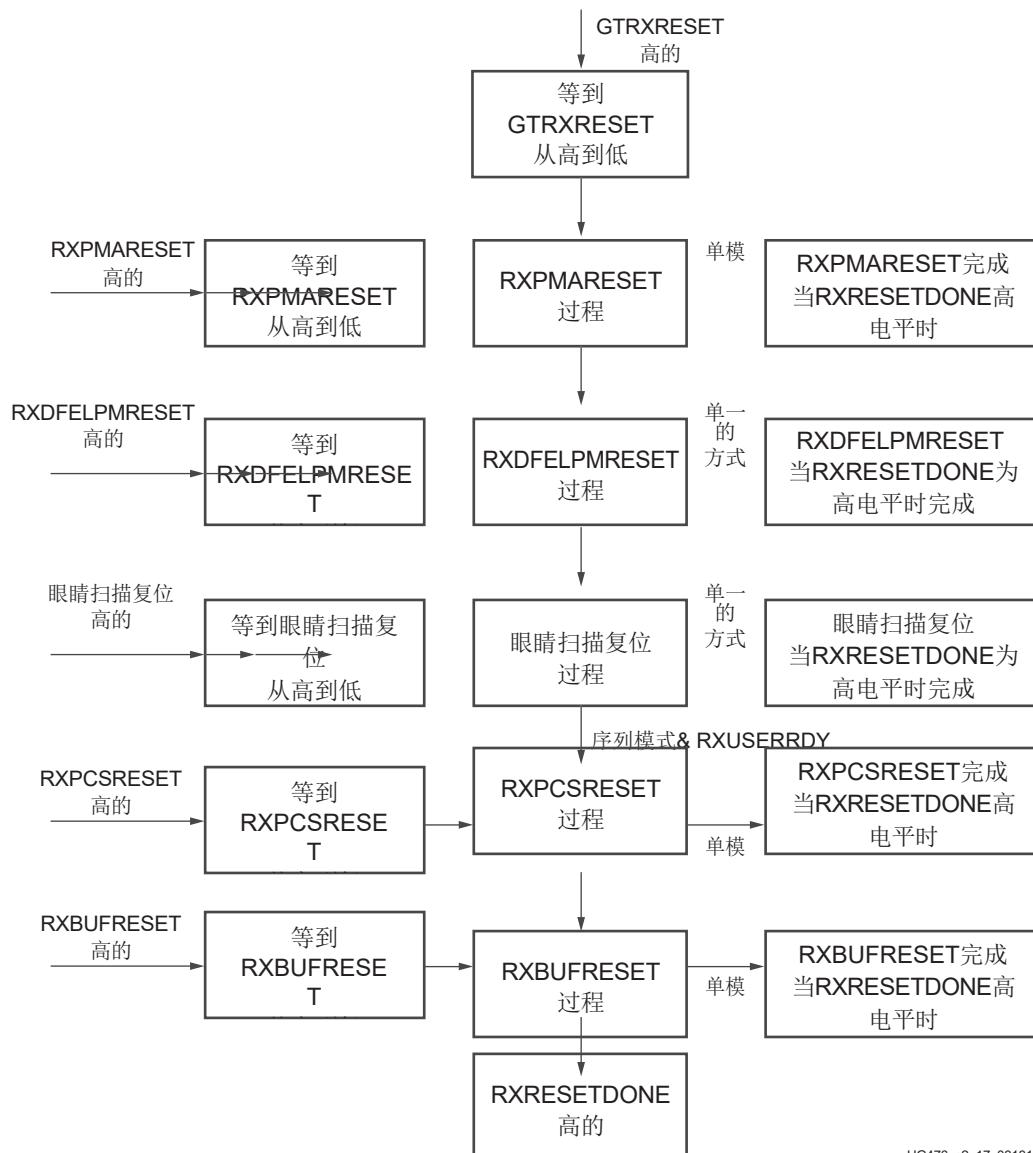
要初始化GTX/GTH收发器RX，必须在顺序模式下使用GTRXRESET。激活GTRXRESET输入可以自动触发完全异步RX复位。复位状态机执行复位序列，如所示图2-20，覆盖整个RX PMA和RX PCS。在正常工作期间，顺序模式还允许用户通过激活这些复位来启动复位，包括RXPMARESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET和RXBUFRESET，并继续复位状态机，直到RXRESETDONE从低电平变为高电平。

### 2. 单一模式下的接收

当GTX/GTH收发器RX处于单模式时，RXPMARESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET和RXBUFRESET处于复位状态。序列可以单独和独立执行，而不会触发其他复位区的复位。

在顺序模式或单一模式下，RX复位状态机不会复位PCS，直到RXUSERRDY变为高电平。满足以下条件后，用户应将RXUSERRDY驱动至高电平：

1. 当使用PLL或MMCM时，应用使用的所有时钟(包括RXUSRCLK和RXUSRCLK2)都显示为稳定或锁定。
2. 用户界面准备接收来自GTX/GTH收发器的数据。



UG476\_c2\_17\_031312

图2-20:GTX/GTH收发器RX复位状态机序列

## 端口和属性

[表2-28](#)列出了GTX/GTH收发器RX初始化过程所需的端口。

**表2-28:RX初始化和复位端口**

港口	目录	时钟域	描述
GTRXRESET	在 … 里	异步@非同步 (asynchronous)	该端口被拉高，然后解除置位，以启动全通道RX复位序列。
RXOSCALRESET	在 … 里	异步@非同步 (asynchronous)	GTH收发器: 保留。应使用7系列FPGAs收发器向导中的推荐值。
RSOSINTDONE	在外	异步@非同步 (asynchronous)	GTH收发器:保留 。
RXPMARESET	在 … 里	异步@非同步 (asynchronous)	该端口被驱动为高电平，然后解除置位，以启动RX PMA复位过程。在单模式下，激活RXPMARESET只会复位不包括CDR和DFE的RX PMA模块。在顺序模式下，激活RXPMARESET将启动RX复位过程，如所示 <a href="#">图2-20</a> 从RXPMARESET开始，然后是RXCDRPHASEREST、RXCDRFREQRESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET和RXBUFRESET。中列出了顺序模式的详细内容 <a href="#">表2-30</a> .
RXCDRRESET	在 … 里	异步@非同步 (asynchronous)	保留。绑得很低。
RXCDRFREQRESET	在 … 里	异步@非同步 (asynchronous)	保留。绑得很低。
RXDFELPMRESET	在 … 里	异步@非同步 (asynchronous)	该端口被驱动为高电平，然后解除置位以启动DFE复位过程。在单模式下，激活RXDFELPMRESET只会复位RX DFE电路。在顺序模式下，激活RXDFELPMRESET将启动RX复位过程，如所示 <a href="#">图2-20</a> 来自RXDFELPMRESET，后跟EYESCANRESET、RXPCSRESET和RXBUFRESET。中列出了顺序模式下的详细覆盖范围 <a href="#">表2-30</a> .

表2-28:RX初始化和复位端口(续)

港口	目录	时钟域	描述
眼睛扫描复位	在...里	异步®非同步 (asynchronous)	该端口被驱动为高电平，然后解除置位以启动眼扫描复位过程。在单模式下，激活眼扫描复位仅复位RX眼扫描电路。在顺序模式下，激活眼扫描复位将启动RX复位过程，如所示图2-20来自EYESCANRESET，后面是RXPCSRESET和RXBUFRESET。 中列出了顺序模式下的详细覆盖范围表2-30。
RXPCSRESET	在...里	异步®非同步 (asynchronous)	该端口被驱动为高电平，然后解除置位以启动PCS复位过程。在单模式下，激活RXPCSRESET只会复位RX PCS电路。在顺序模式下，激活RXPCSRESET将启动RX复位过程，如所示图2-20从RXPCSRESET，然后是RXBUFRESET。 中列出了顺序模式下的详细覆盖范围表2-30。 在这两种模式下，RXPCSRESET不会启动复位过程，直到RXUSERRDY为高电平。
RXBUFRESET	在...里	异步®非同步 (asynchronous)	该端口被拉高，然后解除置位，以启动RX弹性缓冲器复位过程。在单模式或顺序模式下，激活RXBUFRESET只会复位RX弹性缓冲器。
RXUSERRDY	在...里	异步®非同步 (asynchronous)	当RXUSRCLK和RXUSRCLK2稳定时，用户应用会将此端口驱动至高电平。例如，如果使用MMCM来产生RXUSRCLK和RXUSRCLK2，则此处可以使用MMCM锁定信号。
RXRESETDONE	在外	RXUSRCLK2	当置位时，该高电平有效信号表示GTX/GTH收发器RX已经完成复位，可以使用了。在顺序模式下，当GTRXRESET被拉高时，此端口被拉低。在RXUSERRDY变为高电平之前，该信号不会变为高电平。在单模模式下，当任何RX复位置位时，此端口被拉低。该信号不会置位，直到所有RX复位都解除置位且RXUSERRDY置位。

表2-28:RX初始化和复位端口(续)

港口	目录	时钟域	描述
RXPMARESETDONE	在外	异步@非同步 (asynchronous)	GTH收发器: 该高电平有效信号表示GTH RX PMA复位完成。当GTRXRESET或RXPMARESET置位时，此端口变为低电平。
RXOOBRESET	在...里	异步@非同步 (asynchronous)	该端口可用于单独复位OOB。如果不使用OOB功能或不需要OOB单次复位，则应将其连接到低电平。 RXOOBRESET独立于GTX/GTH收发器RX复位状态机序列，如所示 <a href="#">图2-20</a> 。顺序模式和单一模式不适用于RXOOBRESET。 激活RXOOBRESET不会导致RXRESETDONE从低电平变为高电平或从高电平变为低电平。

[表2-29](#)列出了GTX/GTH收发器RX初始化所需的属性。一般情况下，RX数据路径上每次复位所需的复位时间因线路速率和功能而异。影响每次复位时间的因素是中列出的用户可配置的属性[表2-29](#)。

表2-29:RX初始化和复位属性

属性	类型	描述
RXOSCALRESET_TIME	5位二进制	GTH收发器: 保留。应使用7系列FPGAs收发器向导中的推荐值。当GTRXRESET用于启动复位过程时，必须为非零值。
RXOSCALRESET_TIMEOUT	5位二进制	GTH收发器: 保留。应使用7系列FPGAs收发器向导中的推荐值。正常工作时应设置为零。
RXPMARESET_TIME	5位二进制	保留。表示应用RX PMA复位的持续时间。应使用7系列FPGAs收发器向导中的推荐值。当使用GTRXRESET或RXPMARESET启动复位过程时，必须为非零值。
RXCDRPHRESET_TIME	5位二进制	保留。表示应用RX CDR相位复位的持续时间。一定是使用RXCDRRESET初始化复位过程时的非零值。

表2-29:RX初始化和复位属性(续)

属性	类型	描述
RXCDFREQRESET_TIME	5位二进制	保留。表示应用RX CDRFREQ复位的持续时间。应使用7系列FPGAs收发器向导中的推荐值。当使用RXCDFREQRESET启动复位过程时，必须为非零值。
RXDFELPMRESET_TIME	7位二进制	保留。表示应用RX DFE复位的持续时间。应使用7系列FPGAs收发器向导中的推荐值。使用RXDFELPMRESET启动复位过程时，必须为非零值。
RXISCANRESET_TIME	5位二进制	保留。表示应用RX眼扫描复位的持续时间。应使用7系列FPGAs收发器向导中的推荐值。使用RXISCANRESET_TIME启动复位过程时，必须为非零值。
RXPCSRESET_TIME	5位二进制	保留。代表应用RX PCS复位的持续时间。应使用7系列FPGAs收发器向导中的推荐值。使用RXPCSRESET启动复位过程时，必须为非零值。
RXBUFFRESET_TIME	5位二进制	保留。表示应用RX缓冲器复位的持续时间。应使用7系列FPGAs收发器向导中的推荐值。使用RXBUFFRESET启动复位过程时，必须为非零值。

## 响应配置完成，GTX/GTH收发器RX复位

中所示的RX复位序列图2-20不会自动开始跟踪全球GSR。对于以下收发器和配置：

- 所有GTX收发器
- 配置为RXOUT\_DIV = 1的GTH收发器必须满足以下条件：

1. 要使用顺序模式，必须将GTRESETSEL拉低。
2. 必须使用GTRXRESET。
3. 在整个复位过程中，RXPMARESET、RXCDRRESET、RXCDRFREQRESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET和RXBUFRESET等所有单个复位输入必须始终保持低电平，直到RXRESETDONE变为高电平。
4. 在相关PLL锁定之前，不能将GTRXRESET驱动至低电平。

如果复位模式在配置时默认为顺序模式，则在配置完成后至少等待 500 ns 后，C/QPLLRESET和GTRXRESET可以置位。

如果重置模式默认为单一模式，则用户必须：

1. 配置完成后，至少等待 500 ns。
2. 将复位模式更改为顺序模式。
3. 再等 300-500 ns。
4. 置位 C/QPLLRESET 和 GTRXRESET。

建议使用CPLL或QPLL的相关PLLLOCK将GTRXRESET从高电平释放到低电平，如所示图2-21。当GTRXRESET为高电平时，RX复位状态机等待，并启动复位序列，直到GTRXRESET被释放为低电平。

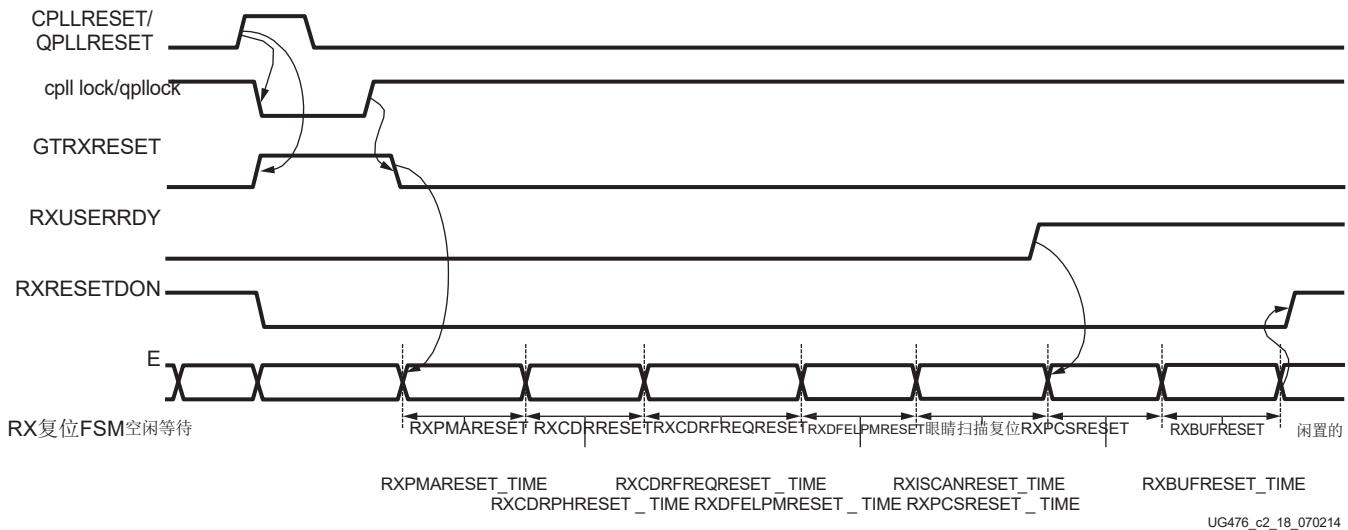


图2-21:FPGA配置后的GTX/GTH接收器

对于配置为以下形式的GTH收发器：

- RXOUT\_DIV = 2, 4, 8, or 16 and

- RX内部数据宽度为20或40位(RX\_DATA\_WIDTH = 20、40或80)，必须满足以下条件：
  1. 要使用顺序模式，必须将GTRESETSEL拉低。
  2. 必须使用GTRXRESET。
  3. 在整个复位过程中，RXPMARESET、RXCDDRRESET、RXCDRFREQRESET、RXLPMRESET、EYESCANRESET、RXPCSRESET和RXBUFRRESET等所有单个复位输入必须始终保持低电平，直到RXRESETDONE变为高电平。
  4. 在相关PLL锁定之前，不能将GTRXRESET驱动至低电平。

如果配置时复位模式默认为顺序模式，则在配置完成后至少等待 500 ns 后，C/QPLLRESET和GTRXRESET可以置位。

如果复位模式默认为单模式，用户必须：

1. 配置完成后，至少等待 500 ns。
2. 将复位模式更改为顺序模式。
3. 再等 300-500 纳秒。

要在配置时发出GTRXRESET，中的步骤图2-22应该被执行。

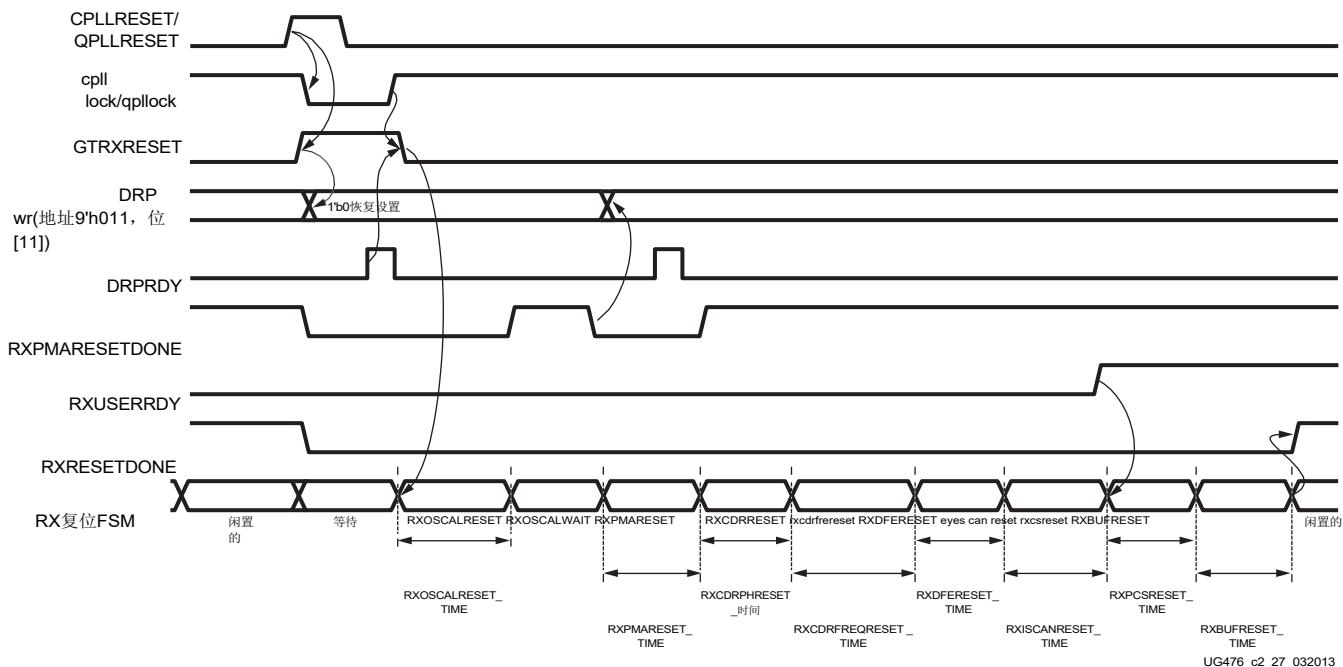


图2-22:FPGA配置后的GTH接收器

与相关的注释图2-22：

1. DRP wr 表示对地址 9'h011 执行 DRP 写入的功能。没有显示确切的 DRP 交易。
2. 中的事件顺序图2-22没有按比例绘制。
3. 为了在配置时触发 RX 复位，C/QPLLRESET 置位并释放，同时 GTRXRESET 保持置位。GTRXRESET 置位会导致 RXPMARESETDONE 变为低电平。

4. 向GTHE2\_CHANNEL原语DRPADDDR 9'h011发出DRP写操作，将位[11]设置为1'b0。为了确保只修改DRPADDDR 9'h011的位[11]，最好执行读-修改-写功能。

5. DRP写操作完成后，用户可以根据需要设置并保持GTRXRESET为低电平。只要GTRXRESET保持高电平，用户就可以延长GTRXRESET的置位时间，直到DRP写操作完成。

**注意:**建议使用CPLL或QPLL的相关PLLLOCK将GTRXRESET从高电平释放到低电平，如所示图2-19。

6. 用户应等待RXPMARESETDONE的下降沿。
7. 向GTHE2\_CHANNEL原语DRPADDDR 9'h011发出DRP写操作，恢复位[11]的原始设置。该DRP写操作必须在RXPMARESETDONE从低电平变为高电平之前完成。RXPMARESETDONE保持低电平至少0.66 s。
8. GTRXRESET应由寄存器输出驱动，以避免毛刺。
9. RXPMARESET\_TIME应设置为5'h3。这应该是默认设置。
10. 如果SIM\_RESET\_SPEEDUP设置为FALSE，并且使用UniSims库中的GT功能仿真模型，则上述序列可以正确仿真。如果SIM\_RESET\_SPEEDUP设置为TRUE或使用unifast库中的GT功能仿真模型，则应绕过上述序列。

**注意:**对于配置为RXOUT\_DIV = 1或RX\_DATA\_WIDTH = 16、32或64的GTH收发器，上述步骤是允许的，但不是必需的。涉及图2-23有关要求的详细信息。

## 响应GTRXRESET脉冲的GTX/GTH收发器RX复位

GTX/GTH收发器允许用户通过向GTRXRESET发送高电平有效脉冲，随时完全复位整个GTX/GTH收发器RX。中列出的所有RX复位属性表2-28可以静态设置或通过DRP端口重新编程，以便在应用GTRXRESET之前调整所需的复位时间。要使用GTRXRESET，必须满足以下条件：

1. 要使用顺序模式，必须将GTRESETSEL拉低。
2. 显示在左侧的所有复位输入图2-20包括RXPMARESET、RXCDRRESET、RXCDRFREQRESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET和RXBUFRESET必须在整个复位过程中始终保持低电平，然后RXRESETDONE才被检测为高电平。
3. 相关PLL必须指示锁定。
4. 对于以下收发器和配置：
  - 所有GTX收发器
  - GTH收发器配置为RXOUT\_DIV = 1和/或RX\_DATA\_WIDTH = 16、32或64

异步GTRXRESET脉冲宽度的准则是参考时钟的一个周期。

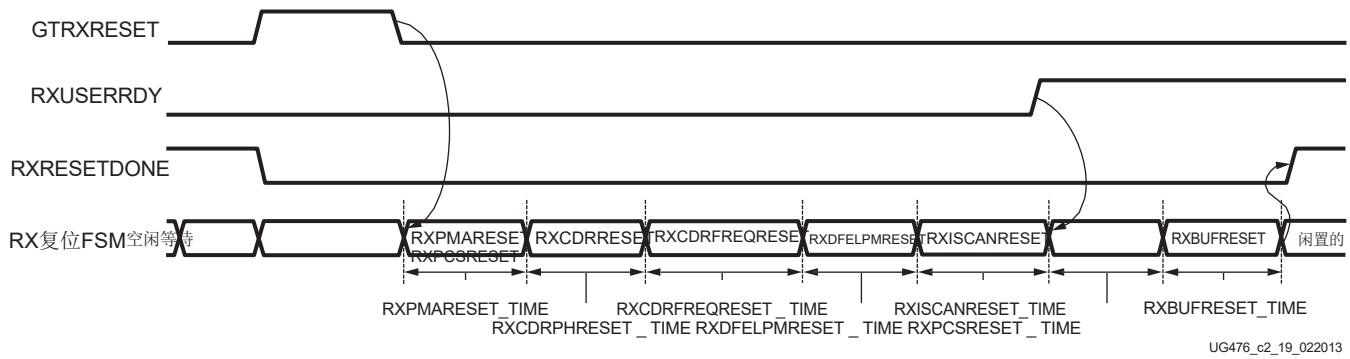


图2-23:GTRXRESET脉冲后GTX/GTH接收器复位

对于GTH收发器，配置为：

- RXOUT\_DIV != 1 and
- RX内部数据宽度为20或40位(RX\_DATA\_WIDTH = 20、40或80)，要使用GTRXRESET，必须满足以下条件：
  1. 要使用顺序模式，必须将GTRESETSEL拉低。
  2. 显示在左侧的所有复位输入第69页图2-18包括RXPMARESET、RXCDRRESET、RXCDRFREQRESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET和RXBUFRESET必须在整个复位过程中始终保持低电平，然后RXRESETDONE才被检测为高电平。
  3. 相关PLL必须指示锁定。
  4. 发出GTRXRESET的步骤如所示图2-24.

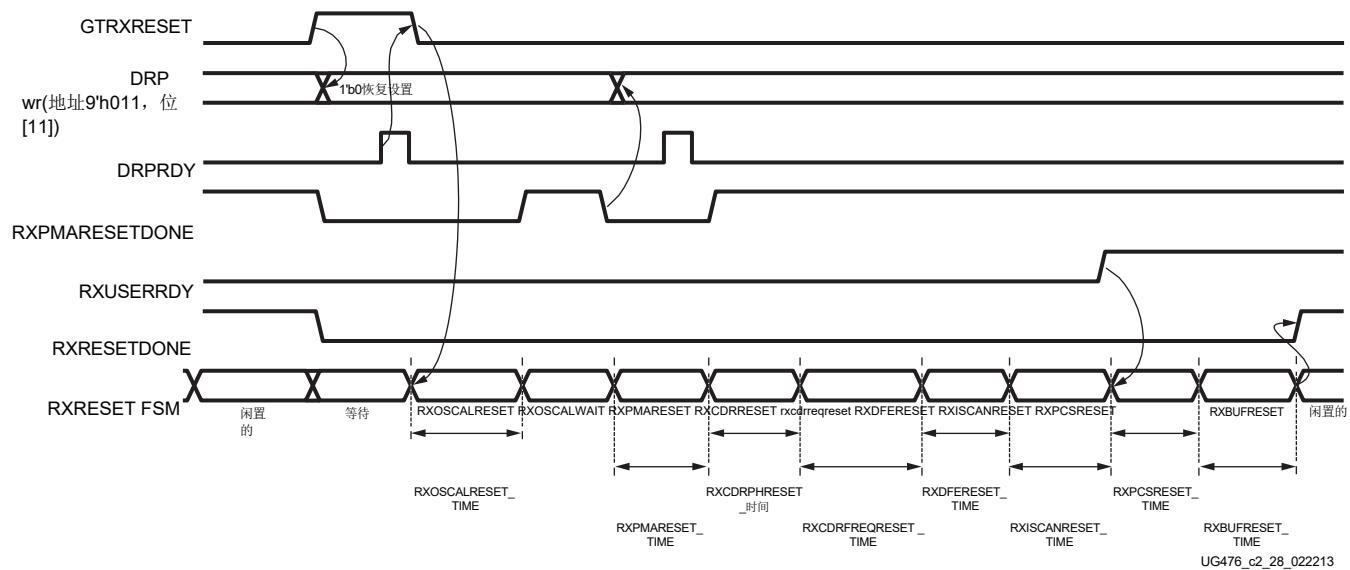


图2-24:GTRXRESET的GTH接收器复位

与相关的注释图2-24：

1. DRP wr表示对地址9'h011执行DRP写入的功能。没有显示确切的DRP交易。
2. 中的事件顺序图2-24没有按比例绘制。

3. 要触发GTRXRESET, GTRXRESET应置位并保持高电平。这会导致RXPMARESETDONE变为低电平。
  4. 应向GTHER2\_CHANNEL原语DRPADDR发出DRP写操作9'h011, 位[11]应设置为1'b0。
- 为了确保只修改DRPADDR 9'h011is的位[11],最好执行读-修改-写功能。
5. DRP写操作完成后, GTRXRESET可以根据需要置位并保持低电平。只要GTRXRESET保持高电平, 用户就可以延长GTRXRESET的置位时间, 直到DRP写操作完成。
  6. 用户应等待RXPMARESETDONE的下降沿。
  7. 应向GTHER2\_CHANNEL原语DRPADDR 9'h011发出DRP写操作, 恢复位[11]的原始设置。该DRP写操作必须在RXPMARESETDONE从低电平变为高电平之前完成。RXPMARESETDONE保持低电平至少0.66 s。
  8. GTRXRESET应由寄存器输出驱动, 以避免毛刺。
  9. RXPMARESET\_TIME应设置为5'h3。这应该是默认设置。
  10. 如果SIM\_RESET\_SPEEDUP设置为FALSE, 并且使用UniSims库中的GT功能仿真模型, 则上述序列可以正确仿真。如果SIM\_RESET\_SPEEDUP设置为TRUE或使用unifast库中的GT功能仿真模型, 则应绕过上述序列。

**注意:**对于配置为RXOUT\_DIV = 1或RX\_DATA\_WIDTH = 16、32或64的GTH收发器, 上述步骤是允许的, 但不是必需的。涉及图2-23有关要求的详细信息。

## GTH收发器RX PMA复位

对于GTH收发器, 配置为:

- RXOUT\_DIV != 1 and
- RX内部数据宽度为20或40位(RX\_DATA\_WIDTH = 20、40或80)

当用户想要发出RXPMARESET时, 中的步骤图2-25应该被执行。

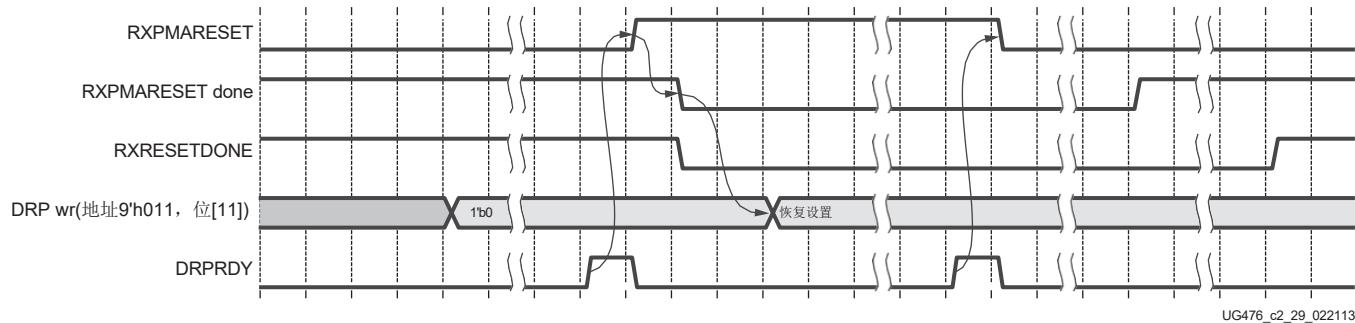


图2-25:GTH收发器RXPMARESET序列

与相关的注释图2-25:

1. DRP wr表示对地址9'h011执行DRP写入的功能。没有显示确切的DRP交易。
2. 中的事件顺序图2-25没有按比例绘制。

3. 要触发RXPMARESET，应向GTHE2\_CHANNEL原语DRPADDR 9'h011发出一个DRP写操作，并将位[11]设为1'b0。  
为了确保只修改DRPADDR 9'h011is的位[11],最好执行读-修改-写功能。
4. DRP写操作完成后，RXPMARESET应置1并保持高电平。
5. 用户应等待RXPMARESETDONE被检测为低电平。
6. 应向GTHE2\_CHANNEL原语DRPADDR发出DRP写操作9'h011，恢复位[11]的原始设置。
7. DRP写操作完成后，RXPMARESET可以根据需要置位并保持低电平。只要RXPMARESET保持高电平，直到DRP写操作完成，用户就可以延长RXPMARESET的置位时间。
8. RXPMARESET应由寄存器输出驱动，以避免毛刺。

**注意:**对于配置为RXOUT\_DIV = 1或RX\_DATA\_WIDTH = 16、32或64的GTH收发器，上述步骤是允许的，但不是必需的。

## GTX/GTH收发器RX组件复位

GTX/GTH收发器RX组件复位可以在顺序模式或单一模式下运行。它们主要用于特殊情况。当只有特定的子部分需要复位时，需要这些复位。[表2-30](#)和[表2-31](#)同时总结GTX/GTH收发器RX可用的所有复位，以及在顺序模式和单一模式下受其影响的组件。这些复位都是异步的。

**表2-30:顺序模式下的RX元件复位范围**

	功能块	GTRX 复位	RXPMA 复位	RXDFE 复位	眼睛扫描 复位	RXPCS 复位	RXBPF 复位
RX PCS	FPGA RX结构接口	✓	✓	✓	✓	✓	
	RX变速箱	✓	✓	✓	✓	✓	
	RX状态控制	✓	✓	✓	✓	✓	
	RX弹性缓冲延迟对准器	✓	✓	✓	✓	✓	
	RX 8B/10B编码器	✓	✓	✓	✓	✓	
	RX逗号检测和对齐	✓	✓	✓	✓	✓	
	RX极性	✓	✓	✓	✓	✓	
	PRBS检验器	✓	✓	✓	✓	✓	
	RX弹性缓冲器	✓	✓	✓	✓	✓	✓
	RX复位FSM	✓					

表2-30:顺序模式下的RX元件复位范围(续)

	功能块	GTRX 复位	RXPMA 复位	RXDFE 复位	眼睛扫描 复位	RXPCS 复位	RXBPF 复位
RX PMA	RX模拟前端	✓	✓				
	RX带外信令	✓	✓				
	RX SIPO	✓	✓				
	RX CDR相位路径	✓	✓				
	RX CDR频率路径	✓	✓				
	RX DFE	✓	✓	✓			
	RX眼睛扫描	✓	✓	✓	✓		

表2-31:单一模式下的RX元件复位范围

	功能块	GTRX 复位	RXPMA 复位	RXDFE 复位	眼睛扫描 复位	RXPCS 复位	RXBPF 复位	RXOOB 复位
RX PCS	FPGA RX结构接口					✓		
	RX变速箱					✓		
	RX状态控制					✓		
	RX延迟对准器					✓		
	RX 8B/10B编码器					✓		
	RX逗号检测和对齐					✓		
	RX极性					✓		
	PRBS检验器					✓		
	RX弹性缓冲器						✓	
RX PMA	RX模拟前端		✓					
	RX带外信令		✓					✓
	RX SIPO		✓					
	RX CDR相位路径							
	RX CDR频率路径							
	RX DFE			✓				
	RX眼睛扫描				✓			

表2-32列出了各种情况下的建议重置。

表2-32:常见情况下的建议重置

情况	要重置的组件	建议重置 <sup>(1)</sup>
通电和配置后	整个RX	GTRXRESET
打开正在使用的CPLL/QPLL的参考时钟后	整个RX	GTRXRESET
在将参考时钟改变到正在使用的CPLL/QPLL之后	整个RX	GTRXRESET
在所用PLL的CPLLPD或QPLLPD置位/取消置位后	整个RX	GTRXRESET
RXPD[1:0]置位/解除置位后	整个RX	GTRXRESET
接收速率变化	RX PCS	自动执行重置
RX并行时钟源复位	RX PCS	RXPCSRESET
远程通电后	整个RX	GTRXRESET
电气闲置	整个RX	通过适当的属性设置自动处理
连接RXN/RXP后 <sup>(2)</sup>	整个RX	GTRXRESET
在恢复的时钟变得稳定之后	RX弹性缓冲器	RXBUFFRESET
RXBUFFER错误后	RX弹性缓冲器	RXBUFFRESET
在实时改变信道绑定模式之后	RX弹性缓冲器	通过将RXBPF_RESET_ON_CB_CHANGE设为真，在通道绑定模式改变后，RX弹性缓冲器自动复位
PRBS误差后	PRBS误差计数器	PRBSCNTRESET
逗号重新排列后	RX弹性缓冲器(可选)	通过将RXBPF_RESET_ON_COMMALIGN设置为TRUE，RX弹性缓冲区在逗号重新对齐后自动复位

**注意事项:**

1. 建议的复位对GTX收发器的其他组件影响最小。
2. 假设RXN/RXP同时连接。

**通电和配置后**

整个GTX/GTH TX在配置后需要复位。看见[GTX/GTH收发器接收复位响应配置完成，第78页](#).

## 打开正在使用的CPLL/QPLL的参考时钟后

如果配置后参考时钟改变或GTX/GTH收发器上电，则应在PLL完全完成复位程序后切换GTRXRESET。

## 在将参考时钟改变到正在使用的CPLL/QPLL之后

每当PLL的参考时钟输入改变时，PLL必须随后复位，以确保锁定到新的频率。在PLL完全完成其复位程序后，应切换GTRXRESET。

## 所用PLL的CPLLD或QPLLDP置位/解除置位后

当所用的CPLL或QPLL在关断后返回正常工作状态时，PLL必须复位。在PLL完全完成其复位程序后，应切换GTRXRESET。

## RXPD[1:0]置位/解除置位后

RXPD信号解除后，必须切换GTRXRESET。

## 接收速率变化

当执行速率更改时，所需的复位序列会自动执行。RXRATEDONE置位时，表示速率变化和必要的复位序列均已应用并完成。

如果RX缓冲器使能，RXBUF\_RESET\_ON\_RATE\_CHANGE属性应设置为真，以允许RX缓冲器在速率改变后自动复位。如果使用RX缓冲器旁路模式，必须在RXRATEDONE置位后重复对齐。

## RX并行时钟源复位

为了正常工作，驱动RXUSRCLK和RXUSRCLK2的时钟必须稳定。这些时钟通常由FPGA中的MMCM驱动，以满足相位和频率要求。如果MMCM失锁并开始产生不正确的输出，应在时钟源重新锁定后切换RXPCSRESET。如果使用RX缓冲器旁路模式，复位程序完成后必须重复对齐。

## 远程通电后

如果在接收数据的GTX/GTH收发器开始工作后，输入数据源上电，则RX端必须复位，以确保输入数据完全锁定。

## 电子怠速复位

对于支持OOB和电气闲置的协议，当收发器RX输入的差分电压降至OOB或电气闲置电平时，RX CDR会在与电气闲置相关的属性设置为适当值时自动管理。应使用7系列FPGAs收发器向导中的推荐值。

## 连接RXN/RXP后

当GTX/GTH收发器的RX数据来自可插拔的连接器时，RX端必须在数据源插入时复位，以确保它能锁定输入数据。

## 在恢复的时钟变得稳定之后

根据时钟方案的设计，RX复位序列有可能在CDR锁定输入数据之前完成。这种情况下，当RXRESETDONE置位时，恢复的时钟可能不稳定。

使用RX缓冲器时，应在恢复的时钟稳定后触发RXBUFRESET。使用RX缓冲器旁路时，在恢复的时钟变得稳定之前，不应启动对齐程序。

涉及[DS182,kintex-7 FPGA 数据手册:DC 和开关特性](#)和[DS183,virtex-7 FPGA 数据手册:DC 和开关特性](#)成功的CDR锁定数据标准。

## 在RX弹性缓冲器错误之后

在RX弹性缓冲器上溢或下溢之后，必须使用RXBUFRESET复位RX弹性缓冲器，以确保正确的行为。

## 在运行时更改信道绑定模式后

设置为真时，RXBUF\_RESET\_ON\_CB\_CHANGE在RXCHANBONDMASTER、RXCHANBONDSLAVE或RXCHANBONDLEVEL改变时使能RX弹性缓冲器的自动复位。

## 在PRBS误差之后

PRBSCNTRESET被置位以复位PRBS错误计数器。

## 逗号重新排列后

设置为真时，RXBUF\_RESET\_ON\_COMMALIGN使能在逗号重新对齐期间自动复位RX弹性缓冲器。

# 断电

## 功能描述

GTX/GTH收发器支持多种省电模式。这些模式支持通用电源管理功能以及PCI Express和SATA标准中定义的功能。

GTX/GTH收发器提供不同级别的功率控制。利用TXPD和RXPD可以分别关断每个方向的每个通道。CPLLPD端口直接影响通道PLL，而QPLLPD端口直接影响四通道PLL。

## 端口和属性

表2-33 定义掉电端口。

表2-33:掉电端口

港口	目录	时钟域	描述
CPLLPD	在 ... 里	异步◎非同步 (asynchronous)	此高电平有效信号关断通道PLL。 。
QPLLPD	在 ... 里	异步◎非同步 (asynchronous)	此高电平有效信号关断四通道PLL。在配置完成之前，至少500 ns内不应将此端口置位为高电平。
RXPD[1:0]	在 ... 里	异步◎非同步 (asynchronous)	根据PCI Express管道协议编码关闭RX通道的电源。 00: P0 (正常运行) 01: P0s (低恢复时间断电) 10: P1 (恢复时间较长) 11: P2 (最低功率状态)
TXPD[1:0]	在 ... 里	TXUSRCLK2 (TXPDELECIDLEMODE 使该端口异步)	根据PCI Express管道协议编码关闭TX通道。 00: P0 (正常运行) 01: P0s (低恢复时间断电) 10: P1 (恢复时间较长; 接收器检测仍然开启) 11: P2 (最低功率状态) 属性可以控制这些掉电状态之间的转换时间。
TXPDELECIDLEMODE	在 ... 里	异步◎非同步 (asynchronous)	确定TXELECidle和TXPD应被视为同步信号还是异步信号。 。
TXPHDLYPD	在 ... 里	异步◎非同步 (asynchronous)	TX相位和延迟对准电路关断。 在TX缓冲器旁路模式下，该位设为1' b0in。 0:使TX相位和延迟对准电路上电。 1:关断TX相位和延迟对准电路。

表2-33:掉电端口(续)

港口	目录	时钟域	描述
RXPHDLYPD	在...里	异步◎非同步 (asynchronous)	RX相位和延迟对准电路关断。在接收缓冲器旁路模式下，该位设为1'b0in。 0:上电RX相位和延迟对准电路。 1:关断RX相位和延迟对准电路。

表2-34:掉电属性。

表2-34:掉电属性

属性	类型	描述
从P2出发的运输时间	12位十六进制	从P2状态到PCIe的可编程转换时间的计数器设置。中的推荐值应使用7系列FPGAs收发器向导。
PD_运输_时间_无_P2	8位十六进制	除P2和PCIe外，所有状态之间可编程转换时间的计数器设置。应使用7系列FPGAs收发器向导中的推荐值。
PD_TRANS_TIME_TO_P2	8位十六进制	PCIe到P2状态的可编程转换时间的计数器设置。应使用7系列FPGAs收发器向导中的推荐值。
运输时间费率	8位十六进制	对于包括PCIe协议在内的所有协议(第二代/第一代数据速率)，使用[TX/RX]RATE引脚更改速率时，可编程转换时间的计数器设置。应使用7系列FPGAs收发器向导中的推荐值。
RX_CLKMUX_PD	1位二进制	中的推荐值 应使用7系列FPGAs收发器向导。
TX_CLKMUX_PD	1位二进制	中的推荐值 应使用7系列FPGAs收发器向导。

## 通用关断功能

GTX/GTH收发器提供多种省电特性，可用于各种应用。[表2-35](#)总结了这些功能。

**表2-35:基本掉电功能摘要**

功能	控制者	影响
四通道PLL控制	QPLLPD	关断四通道PLL。
通道PLL控制	CPLLPD	关断通道PLL。
TX功率控制	TXPD[1:0]	GTX/GTH收发器的TX。
RX功率控制	RXPD[1:0]	GTX/GTH收发器的RX。

## PLL关断

要激活四通道PLL关断模式，必须置位高电平有效QPLLPD信号。同样，要激活通道PLL关断模式，必须置位高电平有效CPLLPD信号。当QPLLPD或CPLLPD置位时，相应的PLL关断。因此，来自各PLL的所有时钟都会停止。在初始配置和上电期间，必须使用CPLLPD端口关断CPLL，直到检测到参考时钟边沿。如果参考时钟停止，CPLL应关断。对于基于CPLL的设计，不使用QPLL时，QPLLPD端口可以接高电平。对于基于QPLL的设计，在配置后至少500 ns之前，不得将QPLLPD驱动至高电平。

相应的PLL锁定信号置位表示从此电源状态恢复，该信号可以是四通道PLL的QPLLLOCK信号，或者是四通道PLL的GTX/GTH收发器的CPLLLOCK信号，或者是的CPLLLOCK信号相应的通道。

## TX和RX关断

当TX和RX功率控制信号用于非PCI Express实现时，TXPD和RXPD可以独立使用。此外，当这些接口用于非PCI Express应用时，仅支持两种电源状态，如所示[表2-36](#)。使用这种关断机制时，必须满足以下条件：

- TXPD[1]和TXPD[0]连在一起。
- RXPD[1]和RXPD[0]连接在一起。
- TXDETECTRX必须连接到低电平。
- TXELECIDLE必须绑在TXPD[1]和TXPD[0]身上。

**表2-36:不适用于PCI Express设计的操作的TX和RX功率状态**

TXPD[1:0]或 RXPD[1:0]	描述
00	正常模式。收发器TX或RX正在发送或接收数据。
11	省电模式。收发器TX或RX空闲。

## PCI Express操作的掉电特性

涉及PCI Express电源管理, 第329页了解更多详情。

## 回路

### 功能描述

回送模式是收发器数据路径的专门配置, 在这种模式下, 流量流被折回源端。通常, 传输特定的流量模式, 然后进行比较以检查错误。图2-26说明了具有四种不同环回模式的环回测试配置。

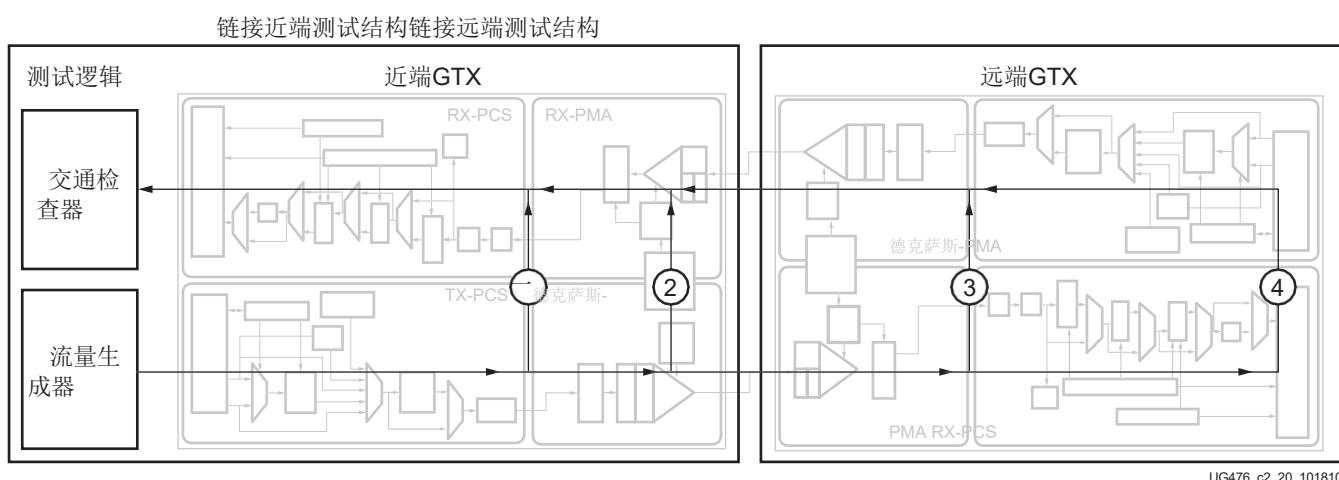


图2-26:环回测试概述

环回测试模式分为两大类:

- 近端回送模式将数据回送至距离流量发生器最近的收发器。在进入和退出近端PMA环回后, 需要GTRXRESET。
- 远端回送模式将接收到的数据回送至链路远端的收发器。

环回测试可以在开发过程中使用, 也可以在部署的设备中用于故障隔离。所使用的业务模式可以是应用业务模式或专用伪随机比特序列。每个GTX/GTH收发器有一个内置的PRBS发生器和检查器。

每个GTX/GTH收发器都有几种回送模式, 以便于测试:

- 近端PCS环回(路径1 in图2-26)
 

要使近端PCS环回正常工作, 必须使能RX弹性缓冲器, 并将RX\_XCLK\_SEL设置为RXREC。在近端PCS回送中, RX XCLK域由TX PMA并行时钟(TX XCLK)计时。如果RXOUTCLK用于为FPGA逻辑提供时钟, 并且在正常工作期间RXOUTCLKSEL设置为RXOUTCLKPMA, 则将GTX/GTH收发器置于近端PCS回送时, 必须更改这两项中的一项:

  - 设置RXOUTCLKSEL以选择RXOUTCLKPCS, 或

- Set RXCDRHOLD = 1'b1
- 近端PMA环回(路径2在[图2-26](#))  
进入和退出近端PMA环回后，需要GTRXRESET。
- 远端PMA环回(路径3在[图2-26](#))  
要使远端PMA环回正常工作，必须使能TX缓冲器，并将TX\_XCLK\_SEL设置为TXOUT。在远端PMA回送中，TX缓冲器的写入端由RX PMA并行时钟(RX XCLK)计时。TX相位插值器PPM控制器必须通过将TXPIPPMEN端口设置为1'b0并将TXPIPPMSEL端口设置为1'b0来禁用。在进入和退出远端PMA环回后，需要一个GTTXRESET。
- 远端PCS环回(中的路径4[图2-26](#))  
如果不使用时钟校正，远端PCS回送中的收发器必须使用与作为回送数据源的收发器相同的参考时钟。无论是否使用时钟校正，TXUSRCLK和RXUSRCLK端口必须由相同的时钟资源(BUFG、BUFR或BUFH)驱动。当通道中的两个或其中一个变速箱启用时，不支持远端PCS回送。

## 端口和属性

[表2-37](#) 定义环回端口。

[表2-37:环回端口](#)

港口	目录	时钟域	描述
回送[2:0]	在...里	异步@非同步 (asynchronous)	000: 正常运行 001: 近端PCS环回 010: 近端PMA环回 011: 保留 100: 远端PMA环回 101: 保留 110: 远端PCS环回

没有环回属性。

## 动态重新配置端口

### 功能描述

动态重新配置端口(DRP)允许动态改变GTXE2\_CHANNEL/GTHE2\_CHANNEL和GTXE2\_COMMON/ GTHE2\_COMMON的参数  
原始的。DRP接口是一个处理器友好的同步接口，具有地址总线(DRPADDR)和独立的数据总线，用于读取(DRPDO)和写入(DRPDI)配置数据到基元。使能信号(DRPEN)、读/写信号(DRPWE)和就绪/有效信号(DRPRDY)是实现读和写操作、指示操作完成或指示数据可用性的控制信号。

## 端口和属性

[表2-38](#)显示GTXE2\_CHANNEL/GTHE2\_CHANNEL的DRP相关端口。

**表2-38:GTXE2\_CHANNEL/GTHE2\_CHANNEL的DRP端口**

港口	目录	时钟域	描述
DRPADDR[8:0]	在 … 里	DRPCLK	DRP地址总线。
DRPCLK	在 … 里	不适用的	DRP接口时钟。
DRPEN	在 … 里	DRPCLK	DRP使能信号。 0:不执行读取或写入操作。1:使能读或写操作。 对于写操作，DRPWE和DRPEN应仅在一个DRPCLK周期内被拉高。看见 <a href="#">图2-27</a> 为了正确操作。对于读取操作，DRPEN应仅在一个DRPCLK周期内被拉高。看见 <a href="#">图2-28</a> 为了正确操作。
DRPDI[15:0]	在 … 里	DRPCLK	用于将配置数据从FPGA逻辑资源写入收发器的数据总线。
DRPRDY	在外	DRPCLK	表示写操作完成，数据对读操作有效。
DRPDO[15:0]	在外	DRPCLK	用于从GTX/GTH收发器向FPGA逻辑资源读取配置数据的数据总线。
DRPWE	在 … 里	DRPCLK	DRP写使能。 DRPEN为1时的读取操作。DRPEN为1时的写操作。 对于写操作，DRPWE和DRPEN应仅在一个DRPCLK周期内被拉高。看见 <a href="#">图2-27</a> 为了正确操作。

[表2-39](#)显示了GTXE2\_COMMON/GTHE2\_COMMON的DRP相关端口。

**表2-39:GTXE2\_COMMON/GTHE2\_COMMON的DRP端口**

港口	目录	时钟域	描述
DRPADDR[7:0]	在 … 里	DRPCLK	DRP地址总线。
DRPCLK	在 … 里	不适用的	DRP接口时钟。

DRPEN	在 … 里	DRPCLK	DRP使能信号。 0:不执行读取或写入操作。1:使能读或写操作。 对于写操作，DRPWE和DRPEN应仅在一个DRPCLK周期内被拉高。看见图2-27为了正确操作。
-------	-------------	--------	--

表2-39:GTXE2\_COMMON/GTHE2\_COMMON的DRP端口(续)

港口	目录	时钟域	描述
DRPDI[15:0]	在 ... 里	DRPCLK	用于将配置数据从FPGA逻辑资源写入收发器的数据总线。
DRPRDY	在外	DRPCLK	表示写操作完成，数据对读操作有效。
DRPDO[15:0]	在外	DRPCLK	用于从GTX/GTH收发器向FPGA逻辑资源读取配置数据的数据总线。
DRPWE	在 ... 里	DRPCLK	DRP写使能。 DRPEN为1时的读取操作。DRPEN为1时的写操作。 对于写操作，DRPWE和DRPEN应仅在一个DRPCLK周期内被拉高。看见图2-27为了正确操作。

## 使用模式

### 写入操作

图2-27显示了DRP写操作时序。当DRPRDY置位时，可以启动新的DRP操作。

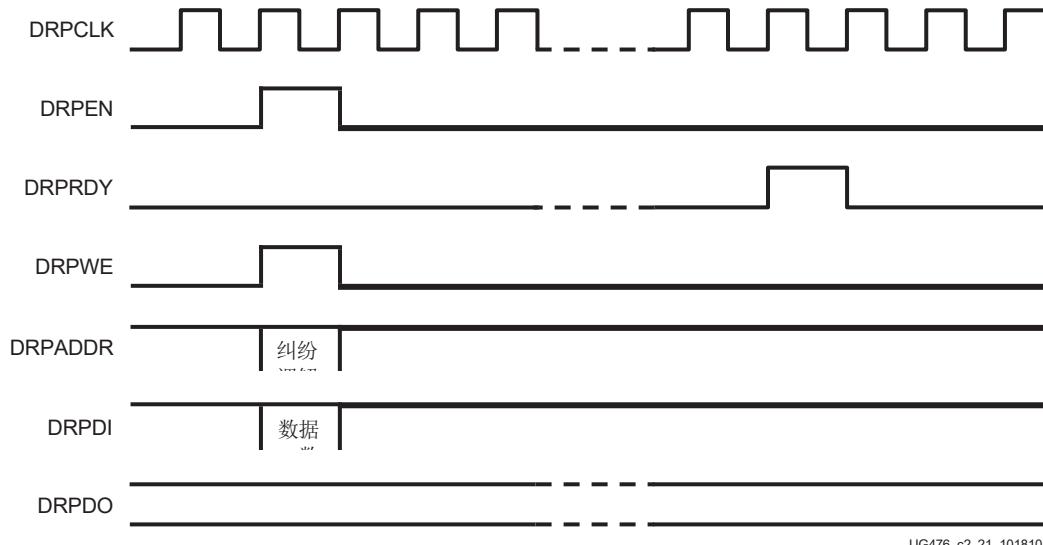


图2-27:DRP写时序

## 读取操作

图2-28显示了DRP读取操作时序。当DRPRDY置位时，可以启动新的DRP操作。

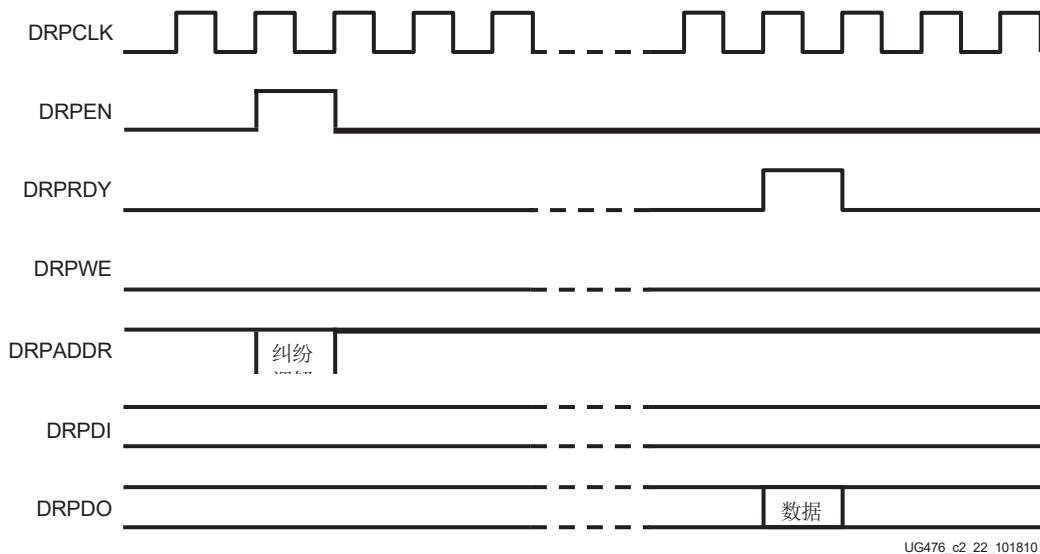


图2-28:DRP读取时序

# 数字监视器

## 功能描述

两种接收机模式(LPM和DFE)使用自适应算法来优化链路。数字监视器提供了这些自适应回路的当前状态的可视性。数字监视器需要一个自由运行的时钟；DRPCLK或RXUSRCLK2可用于此目的。RX\_DEBUG\_CFG属性选择DMONITOROUT端口上监控的适配环路。输出端口DMONITOROUT包含所选环路的当前代码。所有循环都是连续的，只有滑动拍子是一次性的。连续循环有三种可能的稳定状态：最小、最大或抖动。对于特定环路，代码转换为增益、电压或时间。

## GTX港口和属性

表2-40显示了GTX数字监视器端口。

表2-40:GTX数字监控端口

港口	目录	时钟域	描述
CLKRSVD[1]	在 ... 里	异步◎非同步 (asynchronous)	自由运行时钟。
PCSRSDIN[0]	在 ... 里	DMONITORCLK	保留。联系到GND。
DMONITOROUT[7:0]	在外	异步/本地 时钟	数字监视器输出总线： [7] - 内部时钟 适应循环： [6:0] - RXOS、RXDFEV、 RXDFEUT [5:0]-rxdfetp 2, RXDFETAP3 [4:0]-rxdfetp 4, RXDFETAP5 [4:1] - RXDFEAGC [6:3] - RXDFELF(仅GTH收发器), RXLPMHF, RXLPMLF



表2-41显示了GTX数字显示器的属性。

表2-41:GTX数字显示器属性

属性	类型	描述		
ATTR_RSVD_PCS[6:4]	3位二进制	保留。设置为3'b100。		
DMONITOR_CFG	24位二进制	保留。设置为24'h008101。		
RX_DEBUG_CFG	12位二进制	为自适应回路选择选择线路:		
分销资源计划 (distribution resource planning) 地址	DRP DI	循环描述	代码映射范围	
0x0A5	0x0004	RXOS - 基线漂移消除 用双中性符号标记的7位	7'd0-最小(负) 7'd63-中性 7英尺64英寸中性 7英尺127英寸最大值 (位置)	
0x0A5	0x0008	LPM 高频增益	7'd0-最小 7英尺127英寸-最大	
0x0A5	0x000C	RXLPMKL - LPM 低频增益	7'd0-最小 7英尺127英寸-最大	
0x0A5	0x0010	RXDFFEKL - DFE 低频增益	4'd0-最小 最大4英尺15英寸	
0x0A5	0x0014	RXDFFEV - DFE电压峰值	7'd0-最小 7英尺127英寸-最大	
0x0A5	0x0018	RXDFFEUT - DFE Tap1	7'd0-最小 最高7英尺127英寸	
0x0A5	0x001C	RXDFFETAP2 - DFE Tap2	6'd0-最小 最大6英尺63英寸	
0x0A5	0x0020	RXDFFETAP3 - DFE Tap3 6位有符号双中性	6'd0-最小(负) 6'd31-中性 6英寸d32-中性 最大6英尺63英寸(位置)	
0x0A5	0x0024	RXDFFETAP4 - DFE Tap4 5位有符号双中性	5'd0-最小(负) 5英尺15英寸中性 5英尺16英寸中性 5英寸d31-最大(位置)	

## GTH港口和属性

表2-42显示了GTH数字监视器端口。

**表2-42:GTH数字监控端口**

港口	目录	时钟域	描述
DMONITORCLK	在...里	异步◎非同步 (asynchronous)	自由运转时钟
DMONFIFORESET	在...里	DMONITORCLK	保留。联系到GND。
DMONITOROUT[14:0]	在外	异步/本地 时钟	数字监视器输出总线: [14] -未使用 滑动抽头位置: [13:8] - RXDFESTLOC1、 RXDFESTLOC2、 RXDFESTLOC3、 RXDFESTLOC4 [7] -内部时钟 自适应循环和滑动抽头幅度:  [6:0] - RXOS、RXDFEV、RXDFEUT [5:0]-rxdfetp 2, RXDFETAP3 [4:0] - RXDFETAP4、RXDFETAP5 、RXDFETAP6、RXDFETAP7、 RXDFESTMAG1、 RXDFESTMAG2、 RXDFESTMAG3、 RXDFESTMAG4 [6:3] - RXLPMHF, RXLPMLF, RXDFELF [4:1] - RXDFEAGC

表2-43显示了GTH数字显示器的属性。

表2-43:GTH数字显示器属性

属性	类型	描述		
CFOK_CFG[41]	1位二进制	保留。设置为1'b1。		
DMONITOR_CFG	24位二进制	保留。设置为24'h008101。		
RX_DEBUG_CFG	14位二进制	为自适应回路选择选择线路:		
		分销资源计划 (distribution resource planning) 地址	DRP DI	循环描述
		0x0A5	0x00C2	RXOS -基线漂移消除 带双中性符号的7位
		0x0A5	0x00C3	LPM 高频增益
		0x0A5	0x00C4	RXLPMKL - LPM 低频增益
		0x0A5	0x00C5	RXDFFEKL - DFE 低频增益
		0x0A5	0x00C7	RXDFFEV - DFE电压峰值
		0x0A5	0x00C8	RXDFFEUT - DFE Tap1
		0x0A5	0x00C9	RXDFFETAP2 - DFE Tap2
		0x0A5	0x00CA	RXDFFETAP3 - DFE Tap3 6位有符号双中性
		0x0A5	0x00CB	RXDFFETAP4 - DFE Tap4 5位有符号双中性
		0x0A5	0x00CC	RXDFFETAP5 - DFE Tap5 5位有符号双中性

表2-43:GTH数字显示器属性(续)

属性	类型	描述		
RX_DEBUG_CFG (续)	14位 二进制	为自适应回路选择选择线路:  分销资源 计划 (distribut ion resource planning ) 地址	DRP DI	循环描述
		0xA5	0x00CE	RXDFETAP7 - DFE Tap7 5位有符号双中性
		0xA5	0x00C6	RXDFAEGC - DFE AGC 频率增益
		0xA5	0x00D0	RXDFESTMAG1 - DFE ST1震级 5位有符号双中性
		0xA5	0x00D1	RXDFESTLOC1 - DFE ST1位置 UI的数量(位位置)
		0xA5	0x00D2	RXDFESTMAG2 - DFE ST2震级 5位有符号双中性
		0xA5	0x00D3	RXDFESTLOC2 - DFE ST2位置 UI的数量(位位置)
		0xA5	0x00D4	RXDFESTMAG3 - DFE ST3星等 5位有符号双中性
		0xA5	0x00D5	RXDFESTLOC3 - DFE ST3位置 UI的数量(位位置)

## 使用模式

从DMONITOR读取环路值需要输入时钟端口DMONITORCLK上的时钟，通过DRP改变自适应环路选择，并监控输出DMONITOROUT。通过DRP端口将RX\_DEBUG\_CFG属性设置为适当的监控环路。看见表2-43用于每个循环的相应DRP值。

可以在DMONITOROUT上观察到输出。来自数字监视器的信号是LSB对齐的异步信号。

### 捕捉数字监视器输出

与RXUSRCLK2相比，DMONITOROUT信号变化缓慢。下面的Verilog代码描述了捕获DMONITOROUT的一种方法：

```
reg [7:0] compare1, compare2, dmonitorout _ sync始终
@ (posedge RXUSRCLK2)
开始
    如果(复位) 开始
        compare1 < = 8 '
        d0compare2 < = 8 '
        d0dmonitorout _ sync < =
        8 ' d0
    结束否
    则开始
        compare1 <= DMONITOROUT;
        compare2 <= compare1;

        if(compare 1 == compare
            2)dmonitorout _ sync < = compare 2
            ;
        其他
            dmonitorout _ sync<=dmonitorout _ sync;

    end//else
end//始终
```

任何成功捕获信息的方法都是有效的。

### 通过软件捕获数字监视器输出

上节Verilog代码中描述的dmonitorout\_sync可以映射到主机处理器存储器中，以捕捉数字监视器输出。通道DRP端口可以映射到主机处理器存储器中，以选择要监控的适配环路。

下面提供了GTX和GTH收发器的C代码示例作为说明。drpread和drpwrite函数是中描述的DRP操作使用模式，

[第94页](#)。captureDMON函数读取上述Verilog代码中描述的dmonitorout\_sync寄存器。

```
///////////////
//函数原型
///////////////

void DRP write(unsigned int DRP address, unsigned int DRP value)

; unsigned int drpread(unsigned int drpaddress);

unsigned int captured mon(unsigned int msb, unsigned int LSB);
```

```
//////////  
//初始化数字监视器  
//////////  
  
//读/修改/写PCS_RSVD_ATTR[6:4]属性temp =  
drpread(0x06F);  
drpwrite(0x06F, (temp & 0x ff8 f) | 0x 0040);  
  
//写入DMONITOR_CFG[23:0]  
drpwrite(0x087, 0x 0000)  
; drpwrite(0x086, 0x  
8101);  
  
//////////  
//根据需要经常读取数字监视器  
//////////while(!完  
成){  
  
    // RXOS  
    drpwrite(0x0A5, 0x 0004);  
    captureDMON(6, 0);  
  
    ///////////  
    //仅LPM模式  
    ///////////  
  
    //仅限LPM模式:RXLPMHF  
    drpwrite(0x0A5, 0x 0008);  
    captureDMON(6, 0);  
  
    //仅限LPM模式:RXLPMLF  
    drpwrite(0x0A5, 0x 000 c)  
    ; captureDMON(6, 0);  
  
    ///////////  
    //仅DFE模式  
    ///////////  
  
    //仅DFE模式:RXDFEKL  
    drpwrite(0x0A5, 0x 0010);  
    captureDMON(6, 3);  
  
    //仅DFE模式:RXDFEVP  
    drpwrite(0x0A5, 0x 0014);  
    captureDMON(6, 0);  
  
    //仅DFE模式:RXDFEUT  
    drpwrite(0x0A5, 0x 0018);  
    captureDMON(6, 0);  
  
    //仅DFE模式:RXDFETAP2 drpwrite(0x0A5,  
0x 001 c); captureDMON(5, 0);
```

```
//仅DFE模式:RXDFETAP3 drpwrite(0x0A5,  
0x 0020); captureDMON(5, 0);
```

```
//仅DFE模式:RXDFETAP4 drpwrite(0x0A5,
0x 0024); captureDMON(4, 0);

//仅DFE模式:RXDFETAP5 drpwrite(0x0A5,
0x 0028); captureDMON(4, 0);

//仅DFE模式:RXDFEAGC
drpwrite(0x0A5, 0x 002 c)
; captureDMON(4, 1);
} //循环时关闭

///////////////////////////////
//函数原型
////////////////////////////

void DRP write(unsigned int DRP address, unsigned int DRP value)

; unsigned int drpread(unsigned int drpaddress);

/////////////////////////////
//初始化数字监视器
////////////////////////////

//写CFOK_CFG[41]属性drpwrite(0x08B, 0x
8248);

//写入DMONITOR_CFG[23:0]
drpwrite(0x087, 0x 0000)
; drpwrite(0x086, 0x
8101);

/////////////////////////////
//根据需要经常读取数字监视器
////////////////////////////while(! 完
成) {

    // RXOS
    drpwrite(0x0A5, 0x0c 2);
    captureDMON(6, 0);

/////////////////////////////
//仅LPM模式
////////////////////////////

    //仅限LPM模式:RXLPMHF
    drpwrite(0x0A5, 0x0c 3);
    captureDMON(6, 3);

    //仅限LPM模式:RXLPMLF
    drpwrite(0x0A5, 0x0c 4);
    captureDMON(6, 3);

/////////////////////////////
//仅DFE模式
```

//////////

```
//仅DFE模式:RXDFEKL  
drpwrite(0xA5, 0x0c 5);  
captureDMON(6, 3);  
  
//仅DFE模式:RXDFEVP  
drpwrite(0xA5, 0x0c 7);  
captureDMON(6, 0);  
  
//仅DFE模式:RXDFEUT  
drpwrite(0xA5, 0x0c 8);  
captureDMON(6, 0);  
  
//仅DFE模式:RXDFETAP2 drpwrite(0xA5,  
0x0c 9); captureDMON(5, 0);  
  
//仅DFE模式:RXDFETAP3 drpwrite(0xA5,  
0x 00ca); captureDMON(5, 0);  
  
//仅DFE模式:RXDFETAP4 drpwrite(0xA5,  
0x 00cb); captureDMON(4, 0);  
  
//仅DFE模式:RXDFETAP5 drpwrite(0xA5,  
0x 00cc); captureDMON(4, 0);  
  
//仅DFE模式:RXDFETAP6 drpwrite(0xA5,  
0x 0cd); captureDMON(4, 0);  
  
//仅DFE模式:RXDFETAP7 drpwrite(0xA5,  
0x 0ce); captureDMON(4, 0);  
  
//仅DFE模式:RXDFEAGC  
drpwrite(0xA5, 0x0c 6);  
captureDMON(4, 1);  
  
/////////////////////////////  
//仅DFE滑动抽头模式  
/////////////////////////////  
  
//仅DFE ST模式:RXDFESTMAG1  
drpwrite(0xA5, 0x0d 0);  
captureDMON(4, 0);  
  
//仅DFE ST模式:RXDFESTLOC1  
drpwrite(0xA5, 0x0d 1);  
captureDMON(13, 8);  
  
//仅DFE ST模式:RXDFESTMAG2  
drpwrite(0xA5, 0x0d 2);  
captureDMON(4, 0);  
  
//仅DFE ST模式:RXDFESTLOC2  
drpwrite(0xA5, 0x0d 3);
```

```
captureDMON(13, 8);

//仅DFE ST模式:RXDFESTMAG3
drpwrite(0x0A5、0x0d 4);
captureDMON(4, 0);

//仅DFE ST模式:RXDFESTLOC3
drpwrite(0x0A5, 0x0d 5);
captureDMON(13, 8);

//仅DFE ST模式:RXDFESTMAG4
drpwrite(0x0A5、0x0d 6);
captureDMON(4, 0);

//仅DFE ST模式:RXDFESTLOC4
drpwrite(0x0A5、0x0d 7);
captureDMON(13, 8);
} //循环时关闭
```

### 解读数字监视器输出

本节描述了DMONITOROUT总线的哪些位与DMONITOR\_CFG的适当选择和输出解释方式相关。

- RXDFOEOS[6:0] = DMONITOROUT[6:0]  
7'd0 = -满量程  
7'd63, 7'd64= 0  
7'd127= +Full scale
- RXLPMHF [6:0] = RXLPMLF [6:0] = DMONITOROUT[6:0]  
7'd0= 0  
7'd127= Full scale
- RXDFELF [3:0] = DMONITOROUT [6:3]  
4'd0= 0  
4'd15= Full Scale
- RXDFOEV [6:0] = DMONITOROUT[6:0]  
7'd0= 0  
7'd127= Full scale
- RXDFOEUT [6:0] = DMONITOROUT[6:0]  
7'd0= 0  
7'd127= Full scale
- RXDFETAP2 [5:0] = DMONITOROUT[5:0]  
6'd0= 0  
6'd63= Full scale
- RXDFETAP3 [5:0] = DMONITOROUT[5:0]  
6'd0 = -满量程  
6'd31, 6'd32= 0

- 6'd63= +Full scale
- rxd feta p 4[4:0]= rxd feta p 5[4:0]= DMONITOROUT[4:0]  
5 ' d0 =-满量程  
5'd15, 5'd16= 0  
5'd31= +Full scale
  - GTX收发器:  
RXDFEAGC [3:0] = DMONITOROUT[4:1]  
4 'd0= 0  
4 'd15= Full scale
  - GTH收发器:  
RXDFEAGC [3:0] = DMONITOROUT [4:1]  
4 'd0= 0  
4 'd15= Full scale
  - GTH收发器:  
rx dfetap 6[4:0]= rx dfetap 7[4:0]= DMONITOROUT[4:0]  
5 ' d0 =-满量程  
5'd15, 5'd16= 0  
5'd31= +Full scale

# 发射机

## TX概述

### 功能描述

本章介绍了如何配置和使用变送器(TX)内部的每个功能块。每个收发器包括一个独立的发射器，由PCS和PMA组成。图3-1显示了变送器的功能模块。并行数据从FPGA逻辑流入FPGA TX接口，通过PC和PMA，然后作为高速串行数据流出TX驱动器。

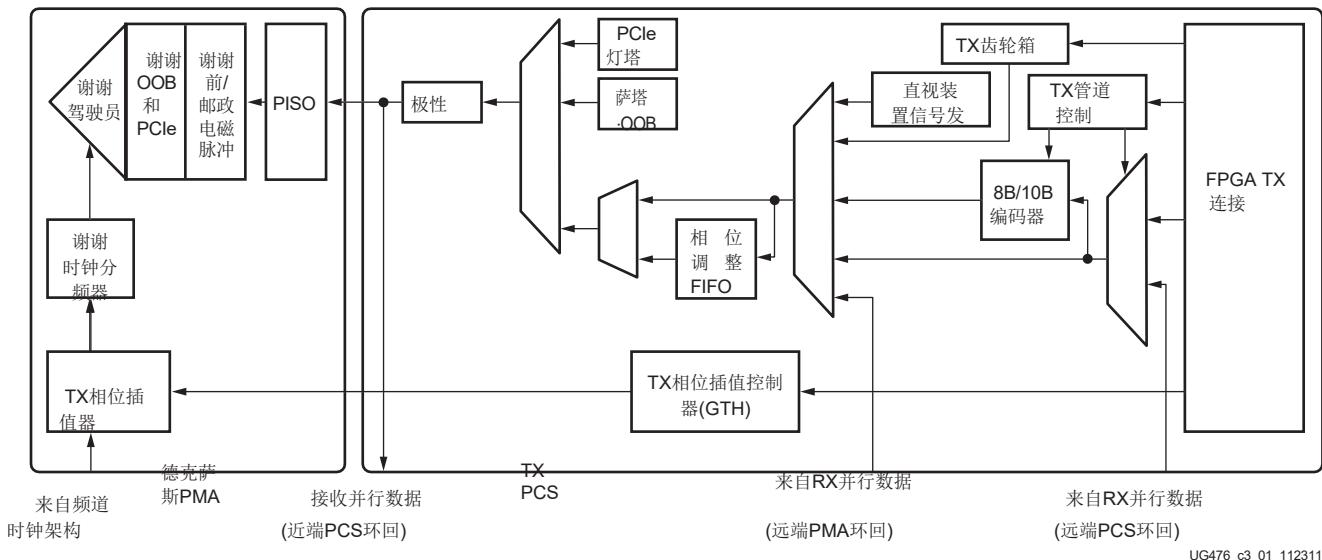


图3-1: GTX/GTH收发器TX框图

GTX/GTH收发器TX中的关键元素有:

1. FPGA TX接口, 第108页
2. TX 8B/10B编码器, 第116页
3. TX齿轮箱, 第120页
4. TX缓冲器, 第133页
5. TX缓冲器旁路, 第135页
6. TX模式发生器, 第145页
7. TX极性控制, 第149页

8. TX光纤时钟输出控制, 第149页
9. TX相位插值器PPM控制器, 第154页
10. TX可配置驱动器, 第156页
11. TX接收器检测支持PCI Express设计, 第163页
12. TX带外信令, 第165页

## FPGA TX接口

### 功能描述

FPGA TX接口是FPGA通往GTX/GTH收发器TX数据路径的网关。应用通过将数据写入TXUSRCLK2正沿的TXDATA端口，通过GTX/GTH收发器传输数据。端口的宽度可以配置为2、4或8字节宽。端口的实际宽度取决于TX\_DATA\_WIDTH和TX\_INT\_DATAWIDTH属性以及TX8B10BEN端口设置。端口宽度可以是16、20、32、40、64和80位。接口上并行时钟(TXUSRCLK2)的速率由TX线路速率、TXDATA端口的宽度以及是否使能8B/10B编码决定。必须为变送器的内部PCS逻辑提供第二个并行时钟(TXUSRCLK)。本节说明如何驱动并行时钟，并解释这些时钟的正确操作限制。最高发送器数据速率需要一个8字节接口，以在额定工作范围内实现TXUSRCLK2速率。

### 界面宽度配置

7系列FPGA GTX/GTH收发器包含2字节和4字节内部数据路径，可通过设置TX\_INT\_DATAWIDTH属性进行配置。FPGA接口宽度可通过设置TX\_DATA\_WIDTH属性来配置。当8B/10B编码器使能时，TX\_DATA\_WIDTH属性必须配置为20位、40位或80位，在这种情况下，FPGA TX接口仅使用TXDATA端口。例如，当FPGA接口宽度为16时，使用TXDATA[15:0]。旁路8B/10B编码器时，TX\_DATA\_WIDTH属性可以配置为任何可用宽度:16、20、32、40、64或80位。

表3-1显示了如何选择TX数据路径的接口宽度。8B/10B编码在[TX 8B/10B编码器, 第116页](#).

**表3-1:FPGA TX接口数据路径配置**

TX8B10BEN	TX _数据_宽度	TX_INT_DATAWIDTH	FPGA接口宽度	内部数据宽度
1	20	0	16	20
	40	0	32	20
	40	1	32	40
	80	1	64	40

表3-1:FPGA TX接口数据路径配置(续)

TX8B10BEN	TX_数据_宽度	TX_INT_DATAWIDTH	FPGA接口宽度	内部数据宽度
0	16	0	16	16
	20	0	20	20
	32	0	32	16
	32	1	32	32
	40	0	40	20
	40	1	40	40
	64	1	64	32
	80	1	80	40

当8B/10B编码器被旁路且TX\_DATA\_WIDTH为20、40或80时，TXCHARDISPMODE和TXCHARDISPVAL端口用于将TXDATA端口从16位扩展至20位、32位扩展至40位或64位至80位。[表3-2](#)显示8B/10B编码器禁用时发送的数据。当使用TX齿轮箱时，请参见[TX变速箱](#)，[第120页](#)对于数据传输顺序。

表3-2:旁路8B/10B编码器时发送的TX数据

		<<<数据传输顺序是从右到左(LSB到MSB)<<<																																													
据	传输的数	TXCHARDISPMODE[3]	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
	TXCHARDISPMODE[3]	TXCHARDISPVAL[3]																																													
据	传输的数	TXDATA[31:24]																																													
据	传输的数	TXDATA[63:56]																																													
据	传输的数	TXDATA[55:48]																																													
据	传输的数	TXDATA[47:40]																																													
据	传输的数	TXDATA[39:30]																																													

### TXUSRCLK和TXUSRCLK2的产生

FPGA TX接口包括两个并行时钟:TXUSRCLK和TXUSRCLK2。TXUSRCLK是GTX/GTH变送器中PCS逻辑的内部时钟。TXUSRCLK所需的速率取决于GTXE2\_CHANNEL/GTHE2\_CHANNEL原语的内部数据路径宽度和GTX/GTH发射机的TX线路速率。[方程式3-1](#)显示了如何计算TXUSRCLK所需的速率。

$$TXUSRCLK \text{ Rate} = \text{方程式3-1}$$

Line Rate

内部数据路径宽度

TXUSRCLK2是进入GTX/GTH收发器TX端的所有信号的主同步时钟。进入GTX/GTH收发器TX端的大多数信号在TXUSRCLK2的正沿进行采样。TXUSRCLK2和TXUSRCLK基于TX\_DATA\_WIDTH和TX\_INT\_DATAWIDTH设置具有固定速率关系。

表3-3显示了TX\_DATA\_WIDTH和TX\_INT\_DATAWIDTH值下TXUSRCLK2和TXUSRCLK之间的关系。大于6.6 Gb/s的线路速率需要一个4字节内部数据路径，方法是将TX\_INT\_DATAWIDTH设为1。

表3-3:TXUSRCLK2与TXUSRCLK的频率关系

FPGA接口宽度	TX_数据_宽度	TX_INT_DATAWIDTH	TXUSRCLK2频率
2字节	16, 20	0	$F_{TXUSRCLK2} = F_{TXUSRCLK}$
4字节	32, 40	0	$F_{TXUSRCLK2} = F_{TXUSRCLK}/2$
4字节	32, 40	1	$F_{TXUSRCLK2} = F_{TXUSRCLK}$
8字节	64, 80	1	$F_{TXUSRCLK2} = F_{TXUSRCLK}/2$

对于TXUSRCLK和TXUSRCLK2，必须遵守时钟之间的关系规则:

- TXUSRCLK和TXUSRCLK2必须正边沿对齐，两者之间的偏斜尽可能小。因此，应使用低偏斜时钟资源(BUFGs、BUFHs和BUFRs)来驱动TXUSRCLK和TXUSRCLK2。
- 尽管TXUSRCLK、TXUSRCLK2和发送器参考时钟可能工作在不同的频率，但它们必须使用相同的振荡器作为源。因此，TXUSRCLK和TXUSRCLK2必须是发射机参考时钟的倍频或分频版本。

## 端口和属性

表3-4定义FPGA TX接口端口。

表3-4:FPGA TX接口端口

港口	目录	时钟域	描述
TXCHARDISPMODE[7:0]	在...里	TXUSRCLK2	当8B/10B编码禁用时，TXCHARDISPMODE用于扩展20位、40位和80位TX接口的数据总线。
TXCHARDISPVAL[7:0]	在...里	TXUSRCLK2	当8B/10B编码禁用时，TXCHARDISPVAL用于扩展20位、40位和80位TX接口的数据总线。

表3-4:FPGA TX接口端口(续)

港口	目录	时钟域	描述
TXDATA[63:0]	在...里	TXUSRCLK2	传输数据的总线。该端口的宽度取决于TX_DATA_WIDTH: TX_DATA_WIDTH = 16, 20: TXDATA[15:0] = 16位宽 TX_DATA_WIDTH = 32, 40: TXDATA[31:0] = 32位宽 TX_DATA_WIDTH = 64, 80: TXDATA[63:0] = 64 bits wide 当需要20位、40位或80位总线时，8B/10B编码器的TXCHARDISPVAL和TXCHARDISPMODE端口与TXDATA端口相连。看见 <a href="#">第109页表3-2</a> 。
TXUSRCLK	在...里	时钟	该端口用于为内部TX PCS数据路径提供时钟。
TXUSRCLK2	在...里	时钟	该端口用于使FPGA逻辑与TX接口同步。当TXUSRCLK为时，该时钟必须与TXUSRCLK正边沿对齐由用户提供。

表3-5 定义FPGA TX接口属性。

表3-5:FPGA TX接口属性

属性	类型	描述
TX_数据_宽度	整数	设置TXDATA端口的位宽。使能8B/10B编码时，TX_DATA_WIDTH必须设置为20、40或80。有效设置为16、20、32、40、64和80。看见 <a href="#">接口宽度配置</a> ， <a href="#">第108页</a> 了解更多信息。
TX_INT_DATAWIDTH	整数	控制内部数据路径的宽度。 0: 2字节内部数据路径 1: 4字节内部数据路径。如果线路速率大于6.6 Gb/s，则置1。

## 使用TXOUTCLK驱动TX接口

根据TXUSRCLK和TXUSRCLK2频率的不同，FPGA时钟资源可用于驱动TX接口的并行时钟。[图3-2](#)穿过[图3-5](#)展示FPGA时钟资源驱动TX接口并行时钟的不同方式。在这些示例中，TXOUTCLK从MGTREFCLK0[P/N]或MGTREFCLK1[P/N]和TXOUTCLKSEL = 011获得，以选择TXPLLREFCLK\_DIV1路径，如所示[第150页图3-28](#)。

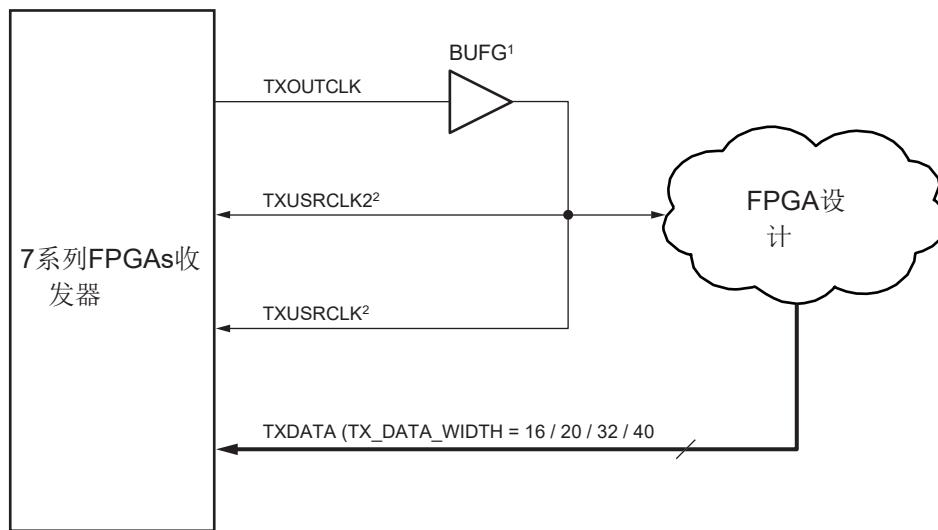
- 根据输入参考时钟频率和所需的线路速率，需要MMCM和适当的TXOUTCLKSEL端口设置。这

CORE Generator工具根据大多数情况下的不同设计要求创建一个样本设计。

- 在TX缓冲器被旁路的使用模型中，对时钟资源有额外的限制。涉及[TX缓冲器旁路](#)，[第135页](#)了解更多信息。

### TXOUTCLK在2字节或4字节模式下驱动GTX/GTH收发器TX

在...里图3-2在单通道配置中，TXOUTCLK用于驱动2字节模式(TX\_DATA\_WIDTH = 16或20, TX\_INT\_DATWIDTH = 0)或4字节模式(TX\_DATA\_WIDTH = 32或40, TX\_INT\_DATWIDTH = 1)的TXUSRCLK和TXUSRCLK2。在这两种情况下，TXUSRCLK2的频率都等于TXUSRCLK。



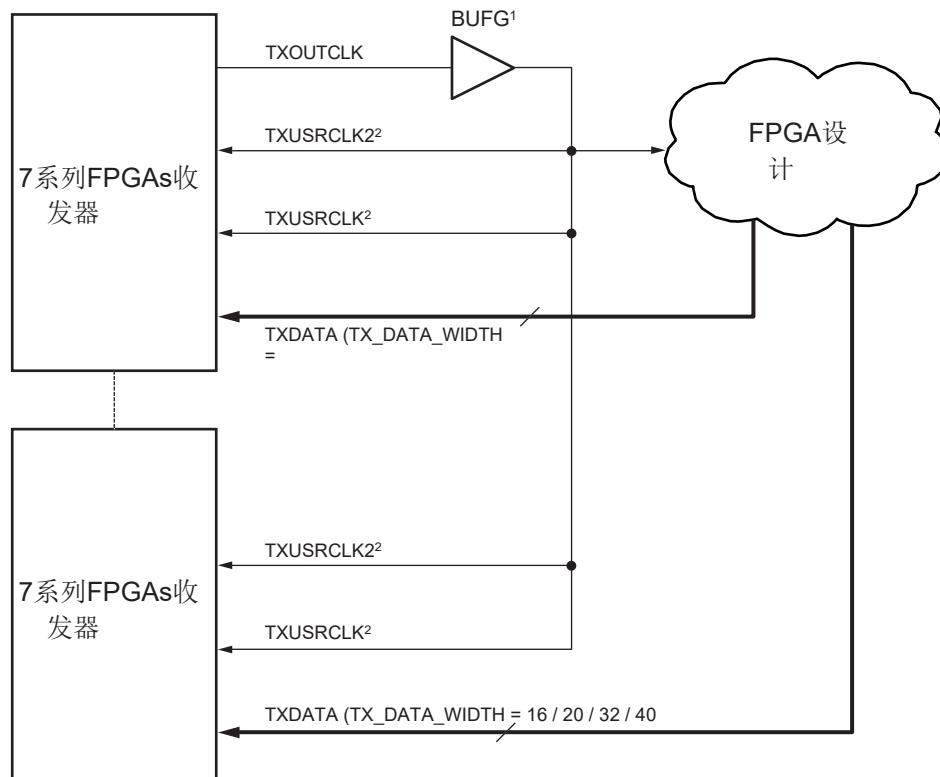
UG476\_c3\_30\_060311

图3-2:单通道—TXOUTCLK驱动TXUSRCLK2 (2字节或4字节模式)

与相关的注释[图3-2:](#)

1. 在Virtex-7设备中，通过BUFMR的BUFR可以在某些限制下使用。有关布局约束和时钟资源限制的详细信息(MMC、BUFR、BUF、BUFH等。)，请参考[UG472, 7系列FPGAs时钟资源用户指南](#)。
2.  $F_{TXUSRCLK2} = F_{TXUSRCLK}$ 。

同样的，图3-3显示了多通道配置中的相同设置。



UG476\_c3\_31\_062011

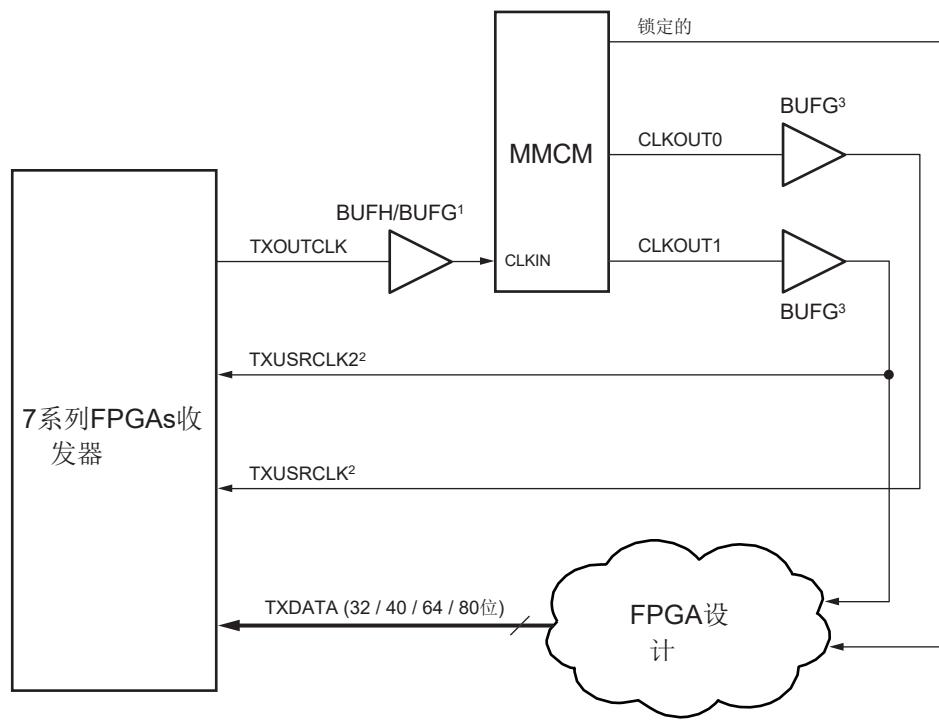
图3-3:多通道—TXOUTCLK驱动TXUSRCLK2 (2字节或4字节模式)

与相关的注释图3-3:

1. 在Virtex-7设备中，通过BUFMR的BUFR可以在某些限制下使用。有关布局约束和时钟资源限制的详细信息(MMCM、BUFR、BUFQ、BUFH等。)，请参考[UG472, 7系列FPGAs时钟资源用户指南](#)。
2.  $F_{TXUSRCLK2} = F_{TXUSRCLK}$ 。

## TXOUTCLK在4字节或8字节模式下驱动GTX/GTH收发器TX

在...里图3-4, TXOUTCLK用于驱动4字节模式(TX\_DATA\_WIDTH = 32或40, TX\_INT\_DATWIDTH = 0)或8字节模式(TX\_DATA\_WIDTH = 64或80, TX\_INT\_DATWIDTH = 1)的TXUSRCLK。在这两种情况下, TXUSRCLK2的频率等于TXUSRCLK频率的一半。MMCM是位于器件上半部分的时钟管理片(CMT)的一部分, 只能驱动器件上半部分的BUFGs。同样, 位于下半部分的MMCM只能驱动下半部分的BUFGs。



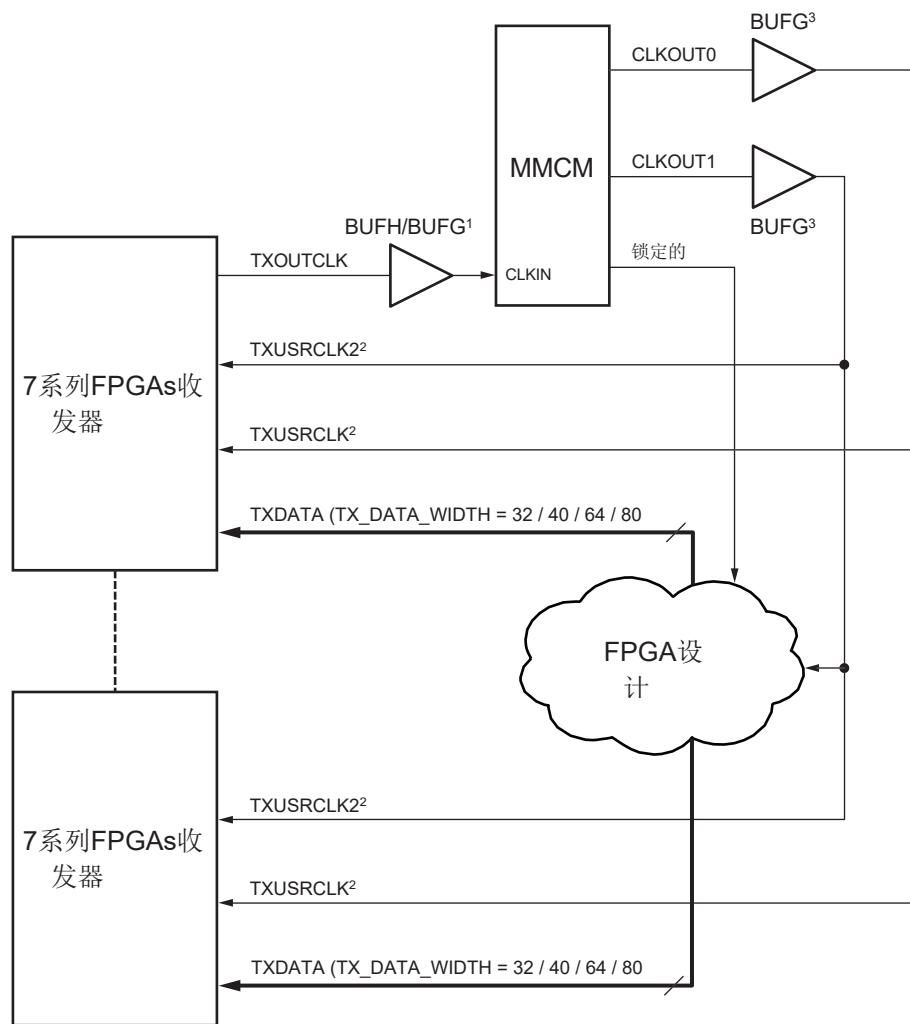
UG476\_c3\_32\_120711

图3-4:单通道—TXOUTCLK驱动TXUSRCLK2 (4字节或8字节模式)

与相关的注释图3-4:

1. 在Kintex-7器件中, 需要BUFH/BUFG。在Virtex-7器件中, 不需要BUFH/BUFG。
2.  $F_{TXUSRCLK2} = F_{TXUSRCLK}/2$
3. 在Virtex-7设备中, BUFR的使用有一定的限制。有关布局约束和时钟资源限制的详细信息(MMCM、BUFR、BUFG、BUFH等。), 请参考[UG472,7系列FPGAs时钟资源用户指南](#)。

同样的，图3-5显示了多通道配置中的相同设置。



UG476\_c3\_33\_120711

图3-5:多通道—TXOUTCLK驱动TXUSRCLK2 (4字节或8字节模式)

与相关的注释图3-5:

- 在Kintex-7器件中，需要BUFH/BUFG。在Virtex-7器件中，不需要BUFH/BUFG。
- $F_{TXUSRCLK2} = F_{TXUSRCLK}/2$ 。
- 在Virtex-7设备中，BUFR的使用有一定的限制。有关布局约束和时钟资源限制的详细信息(MMCM、BUFR、BUFG、BUFH等。)，请参考[UG472,7系列FPGAs时钟资源用户指南](#)。

## TX 8B/10B编码器

### 功能描述

许多协议对输出数据使用8B/10B编码。8B/10B是一种行业标准编码方案，它以每字节两位的开销换取DC平衡和有限差异，从而实现合理的时钟恢复。GTX/GTH收发器内置8B/10B TX路径，可在不消耗FPGA资源的情况下编码TX数据。启用8B/10B编码器会增加TX路径的延迟。如果不需要，可以禁用或旁路8B/10B编码器，以最大限度地减少延迟。

#### 8B/10B位和字节排序

8B/10B编码器之后的位的顺序与中所示的顺序相反附录C, 8B/10B有效字符，因为8B/10B编码要求首先发送位a0，而GTX/GTH收发器总是首先发送最右边的位。为了与8B/10B匹配，GTX/GTH收发器中的8B/10B编码器会自动反转位顺序。图3-6显示当TX\_DATA\_WIDTH = 20、40和80时，GTX/GTH收发器发送的数据。TXDATA使用的位数和相应的字节顺序由TX\_DATA\_WIDTH决定。

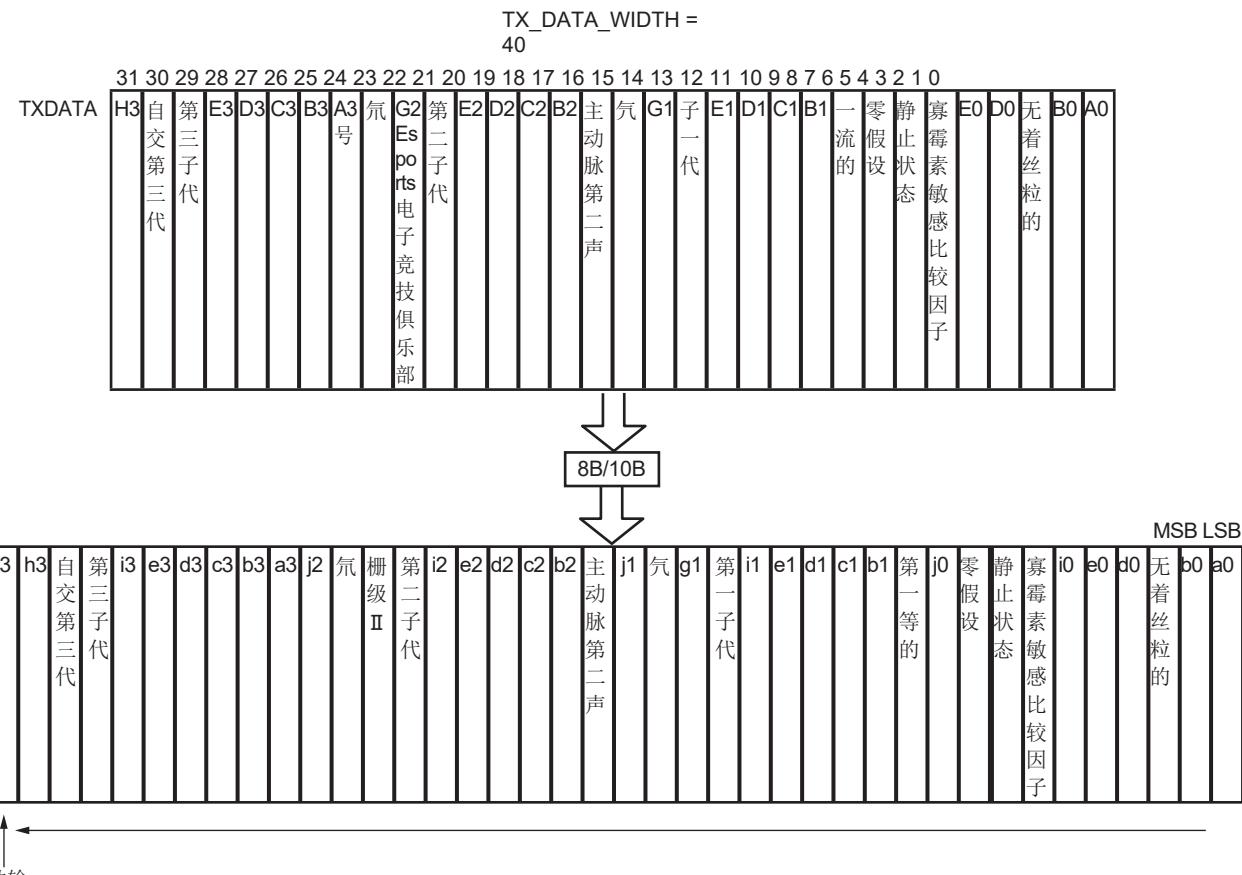
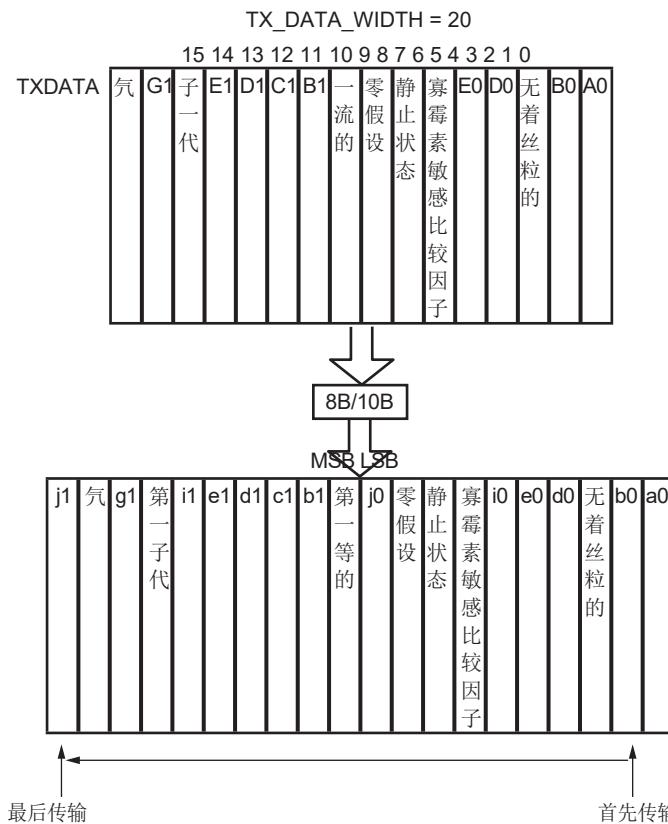
- Only use TXDATA[15:0] if TX\_DATA\_WIDTH = 20
- Only use TXDATA[31:0] if TX\_DATA\_WIDTH = 40
- Use full TXDATA[63:0] if TX\_DATA\_WIDTH = 80

当8B/10B编码器被旁路且TX\_DATA\_WIDTH设置为10的倍数时，10位字符以如下格式传递至TX数据接口：

- 相应的TXCHARDISPMODE表示第9位
- 相应的TXCHARDISPVAL表示第8位
- 相应的TXDATA字节代表[7:0]位

#### k字符

8B/10B表包括经常用于控制功能的特殊字符(K字符)。TXCHARISK端口用于指示TXDATA上的数据是K字符还是常规数据。如果相应的TXCHARISK位被驱动为高电平，8B/10B编码器检查接收到的TXDATA字节是否与任何K字符匹配。

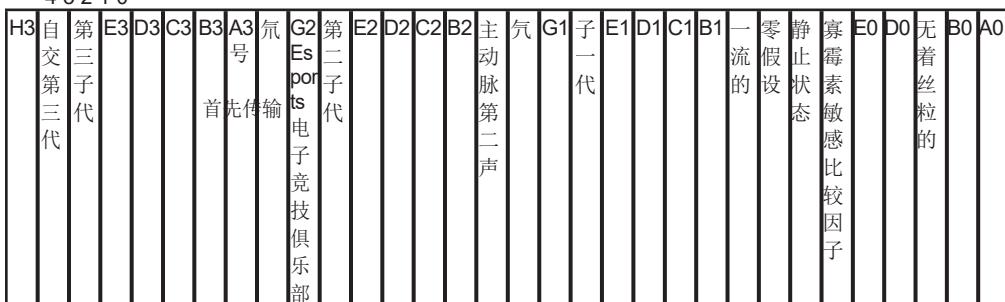


TX\_DATA\_WIDTH = 80

TXDATA

31 30 29 28 27  
 26 25 24 23 22  
 21 20 19 18 17  
 16 15 14 13 12  
 11 10 9 8 7 6 5  
 4 3 2 1 0

首先传输



63 62 61 60 59  
 58 57 56 55 54  
 53 52 51 50 49  
 48 47 46 45 44  
 43 42 41 40 39  
 38 37 36 35 34  
 33 32



8B/10B

MSB LSB



最后传输

UG476\_c3\_02\_091110

图3-6:8B/10B位和字节排序

## 运行差异

8B/10B编码是DC平衡的，这意味着传输的1和0的长期比率应该正好是50%。为了实现这一点，编码器总是计算传输的1的数量和传输的0的数量之间的差异，并在每个传输的字符结束时，使差异为+1或-1。这种差异被称为运行差异。

为了适应使用差异发送控制信息的协议，运行差异不仅可以由8B/10B编码器生成，还可以通过TXCHARDISPMODE和TXCHARDISPVAL进行控制，如所示表3-6。例如，以反向差异发送的空闲字符可用于触发时钟校正。

表3-6:TXCHARDISPMODE和TXCHARDISPVAL与传出差异

TXCHARDISPMODE	TXCHARDISPVAL	输出差异
0	0	由8B/10B编码器计算。
0	1	编码TXDATA时反转运行差异。
1	0	对TXDATA编码时强制运行负差异。
1	1	编码TXDATA时强制运行正差异。

## 端口和属性

表3-7列出了TX 8B/10B编码器所需的端口。

**注意:**没有TX编码器属性。

表3-7:TX 8B/10B编码器端口

港口	目录	时钟域	描述
TX8B10BBYPASS[7:0]	在...里	TXUSRCLK2	<p>此高电平有效端口允许字节交错数据逐个字节旁路8B/ 10B。要使用这种逐字节旁路模式，TX8B10BEN必须为高电平。</p> <p>TX8B10BBYPASS [7]对应TXDATA[63:56] TX8B10BBYPASS [6]对应TXDATA[55:48] TX8B10BBYPASS [5]对应TXDATA[47:40] TX8B10BBYPASS [4]对应TXDATA[39:32] TX8B10BBYPASS [3]对应TXDATA[31:24] TX8B10BBYPASS [2]对应TXDATA[23:16]</p> <p>TX8B10BBYPASS[x] = 1, 旁路字节x的编码器。</p> <p>TX8B10BBYPASS[x] = 0, 使用字节x的编码器。</p>
TX8B10BEN	在...里	TXUSRCLK2	<p>TX8B10BEN设为高电平以使能8B/10B编码器。使能8B/10B编码器时，TX_DATA_WIDTH必须设置为20、40或80。</p> <p>0:旁路8B/10B编码器。此选项减少了延迟。1: 8B/10B编码器使能。</p>

表3-7:TX 8B/10B编码器端口(续)

港口	目录	时钟域	描述
TXCHARDISPMODE[7:0]	在...里	TXUSRCLK2	<p>设置为高电平，与TXCHARDISPVAL配合使用，在对TXDATA编码时强制运行负或正的视差。设置低以使用正常运行差异。涉及<a href="#">表3-6</a>详细的定义。</p> <p>TXCHARDISPMODE[7]对应TXDATA[63:56]      TXCHARDISPMODE[6]对应TXDATA[55:48]      TXCHARDISPMODE[5]对应TXDATA[47:40]      TXCHARDISPMODE[4]对应TXDATA[39:32]      TXCHARDISPMODE[3]对应TXDATA[31:24]      TXCHARDISPMODE[2]对应TXDATA[23:16]      TXCHARDISPMODE[1]对应TXDATA[15:8]</p>
TXCHARDISPVAL[7:0]	在...里	TXUSRCLK2	<p>使用TXCHARDISPMODE提供运行差异控制。涉及<a href="#">表3-6</a>获取详细信息。</p> <p>TXCHARDISPVAL[7]对应TXDATA[63:56]      TXCHARDISPVAL[6]对应TXDATA[55:48]      TXCHARDISPVAL[5]对应TXDATA[47:40]      TXCHARDISPVAL[4]对应TXDATA[39:32]      TXCHARDISPVAL[3]对应TXDATA[31:24]      TXCHARDISPVAL[2]对应TXDATA[23:16]      TXCHARDISPVAL[1]对应TXDATA[15:8] TXCHARDISPVAL</p>
TXCHARISK[7:0]	在...里	TXUSRCLK2	<p>高电平时，表示TXDATA上的相应数据字节是有效的K字符。</p> <p>TXCHARISK[7]对应TXDATA[63:56] TXCHARISK[6]对应TXDATA[55:48] TXCHARISK[5]对应TXDATA[47:40]      TXCHARISK[4]对应TXDATA[39:32] TXCHARISK[3]对应TXDATA[31:24] TXCHARISK[2]对应TXDATA[23:16]      TXCHARISK[1]对应TXDATA[15:8] TXCHARISK[0]对应当TXDATA的相应数据字节设为旁路8B/ 10B编码器时，TXCHARISK位应被拉低。</p>

### 启用和停用8B/10B编码

要使能8B/10B编码器，TX8B10BEN必须被拉高。TX 8B/10B编码器允许字节交错数据逐个字节地绕过编码器。当TX8B10BEN被拉低时，所有编码器关闭，无法对TXDATA中的数据进行编码。

当TX8B10BEN为高电平时，将TX8B10BYPASS的一个位驱动为高电平可以使TXDATA的相应字节通道旁路8B/10B编码。当编码器关闭时，TXDATA端口的操作如FPGA TX接口所述。

# TX齿轮箱

## 功能描述

一些高速数据速率协议使用64B/66B编码来减少8B/ 10B编码的开销，同时保留编码方案的优点。TX齿轮箱支持64B/66B和64B/67B割台和有效载荷组合。因特拉肯接口协议规范使用64B/67B编码方案。更多信息请参考因特拉肯规范。

TX变速箱支持2字节、4字节和8字节接口。数据加扰在FPGA逻辑中完成。在GTH收发器中，除了正常齿轮箱模式之外，还支持CAUI接口模式。

## 端口和属性

表3-8 定义TX齿轮箱端口。

表3-8:TX齿轮箱端口

端口名	目录	时钟域	描述
tx齿轮箱就绪	在外	TXUSRCLK2	该输出表明当齿轮箱模式设置为使用齿轮箱时，数据是否可应用于64B/66B或64B/67B齿轮箱。 0:不能应用数据1:必须应用数据
TXHEADER[2:0]	在...里	TXUSRCLK2	这些端口是割台输入。[1:0]用于64B/66B变速箱，而[2:0]用于64B/67B变速箱。 GTH收发器:TXHEADER[2:0]用于正常模式下的报头或CAUI接口模式下的数据流A。
TXCHARISK[2:0] (仅限GTH收发器 )	在...里	TXUSRCLK2	在CAUI接口模式下，用作数据流B的TXHEADER[2:0]。



表3-8:TX齿轮箱端口(续)

端口名	目录	时钟域	描述
TXSEQUENCE[6:0]	在...里	TXUSRCLK2	当使用TX齿轮箱时，这些输入用于织物顺序计数器。[5:0]用于64B/66B变速箱，而[6:0]用于64B/67B变速箱。在GTH收发器的CAUI接口模式下，该端口由两个PCS通道(pcs1)共享。
TXSTARTSEQ	在...里	TXUSRCLK2	该输入表示64B/66B或64B/67B齿轮箱复位后应用的第一个字。内部序列计数器必须由GEARBOX_MODE属性使能。该端口由GTH收发器中处于CAUI接口模式的两个PCSLs共享。

表3-9定义TX齿轮箱属性。

表3-9:TX齿轮箱属性

属性	类型	描述
变速箱_模式	3位二进制	<p>该属性指示TX和RX变速箱模式：</p> <ul style="list-style-type: none"> <li>第2位： 在GTX收发器中未使用并设置为0，在GTH收发器中处于正常模式。 当CAUI接口用于GTH收发器时，置1。</li> <li>第1位： 0：使用外部序列计数器并将输入应用于TXSEQUENCE。 1：使用内部序列计数器，用TXGEARBOXREADY输出选通输入报头和数据。 GTH收发器：未使用并设置为1。不支持内部序列计数器。</li> <li>位0： 因特拉肯的0：64B/67B变速箱模式。1：64B/66B变速箱。</li> </ul>
TXGEARBOX_EN	布尔代数学体系的	为真时，该属性启用TX齿轮箱。

## 启用TX齿轮箱

要启用GTX/GTH收发器的TX齿轮箱，TXGEARBOX\_EN属性应设置为TRUE。

GEARBOX\_MODE属性的位2未使用，必须在GTX收发器中设置为0，并且在GTH收发器中处于正常工作模式时设置为0。它被设置为1到

接通GTH无线电收发机的CAUI接口。GTX/GTH收发器的TX齿轮箱和RX齿轮箱使用相同的模式。

## TX齿轮箱位和字节排序

图3-7显示了使用4字节逻辑接口时，64B/66B编码进入和退出TX齿轮箱的前四个数据周期的示例

(TX\_DATA\_WIDTH = 32 (4字节), TX\_INT\_DATAWIDTH = 1 (4字节))在正常模式下(GEARBOX\_MODE[2] = 1'b0)。输入由2位报头和32位数据组成。在第一个周期，报头和30位数据退出TX齿轮箱。在第二个周期，前一周期TXDATA输入的剩余两个数据位以及当前TXDATA输入的30个数据位退出TX齿轮箱。在第三个周期，TX齿轮箱的输出包含来自第一个66位块的两个剩余数据位、第二个66位块的报头和来自第三个66位块的28个数据位。

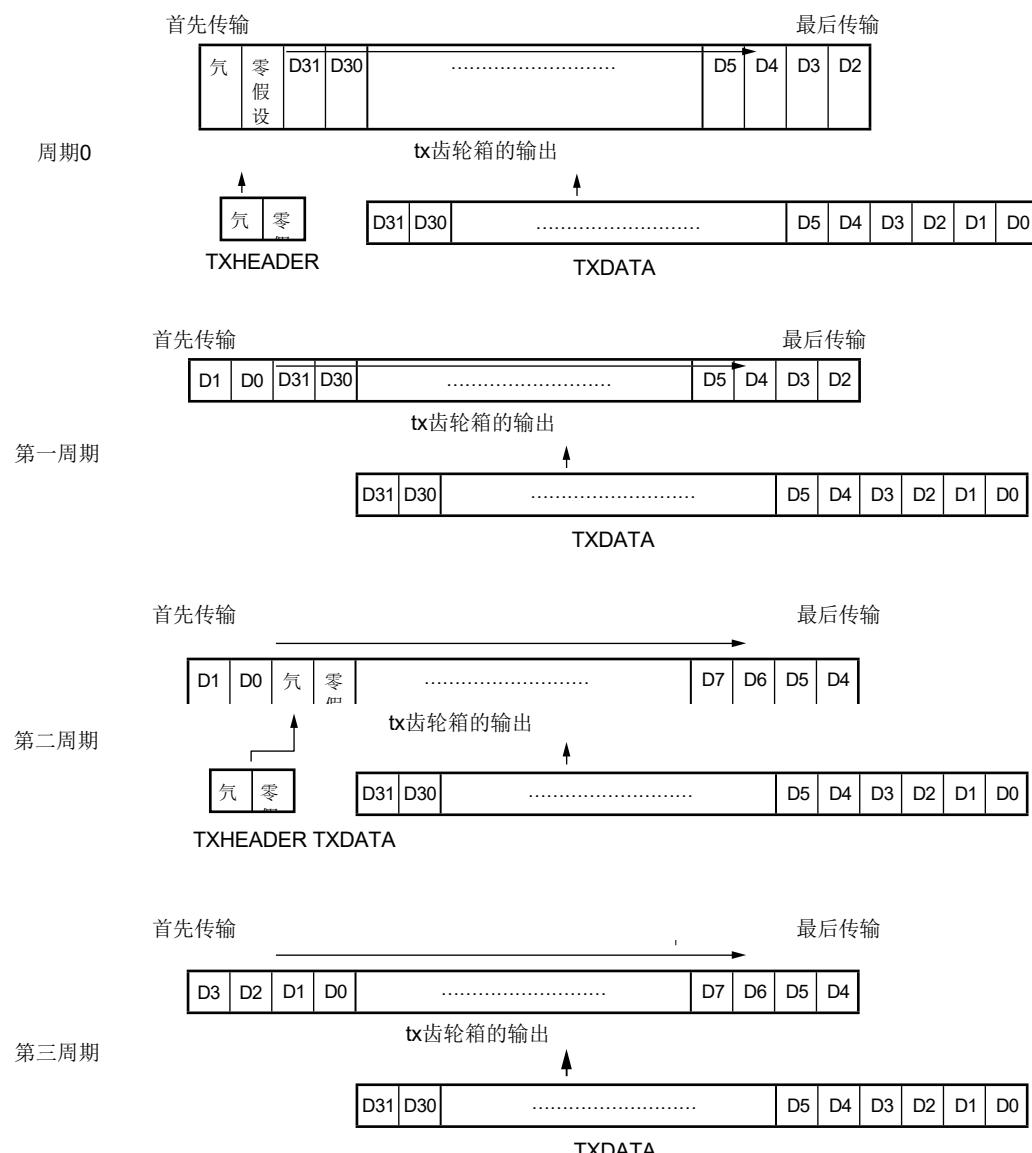


图3-7:正常模式下TX齿轮箱位排序(齿轮箱模式[2] = 1'b0)

UG476\_c3\_34\_052111

与相关的注释图3-7:

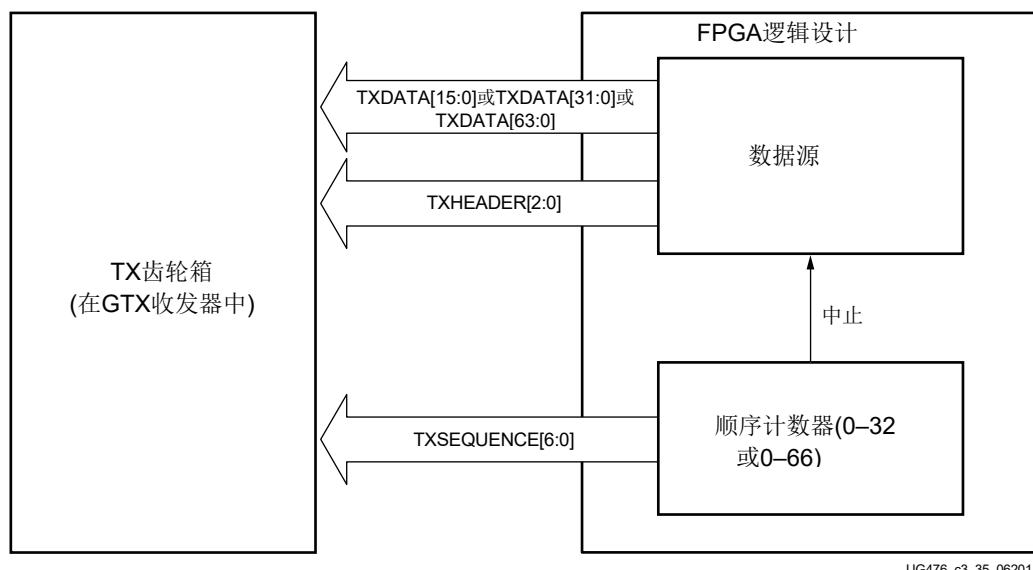
1.根据IEEE802.3ae命名法，H1对应于TxB<0>，H0对应于TxB<1>，等等。

## TX齿轮箱操作模式

TX变速箱有两种工作模式。外部序列计数器操作模式必须在用户逻辑中实现。第二种模式使用内部序列计数器。GTH收发器不支持内部序列计数器模式。TX齿轮箱支持2字节、4字节和8字节FPGA逻辑接口。

### 外部顺序计数器操作模式

如所示图3-8在正常模式下(GEARBOX\_MODE[2] = 1'b0)，外部顺序计数器工作模式使用 TXSEQUENCE [6:0]、TXDATA[63:0]和TXHEADER[2:0]输入。(当CAUI接口用于GTH收发器(GEARBOX\_MODE[2] = 1'b1)时，也使用TXCHARISK[2:0])。)用户逻辑中必须有一个二进制计数器来驱动TXSEQUENCE端口。对于64B/66B编码，计数器从0递增到32，并从0开始重复。对于64B/67B编码，计数器从0递增到66，并从0开始重复。使用64B/66B编码时，将TXSEQUENCE [6]与逻辑0相连，将未使用的TXHEADER [2]与逻辑0相连。(对于 GEARBOX\_MODE[2] = 1'b1，在GTH收发器中使用CAUI接口时，未使用的 TXCHARISK[2]应连接到逻辑0)。对于2字节、4字节和8字节接口，序列计数器增量范围({0至32}、{0至66})是相同的。然而，当使用TX\_DATA\_WIDTH与TX\_INT\_DATAWIDTH相同的模式(例如，4字节结构接口(TX\_DATA\_WIDTH = 32)和4字节内部数据宽度(TX\_INT\_DATAWIDTH= 1))时，计数器必须每两个TXUSRCLK2周期递增一次。



UG476\_c3\_35\_062011

图3-8:正常模式下外部顺序计数器操作模式下的TX齿轮箱(Gearbox\_Mode[2] = 1'b0)

由于64B/66B和64B/67B编码方案的性质，用户数据在各种序列计数器值期间被保持(暂停)。在TX\_DATA\_WIDTH和TX\_INT\_DATAWIDTH相同的模式下，数据暂停两个TXUSRCLK2周期；在TX\_DATA\_WIDTH是TX\_INT\_DATAWIDTH两倍的模式下，数据暂停一个TXUSRCLK2周期。有效数据传输在下一个TXUSRCLK2周期恢复。各种模式的TXSEQUENCE暂停位置在中描述表3-10和表3-11。

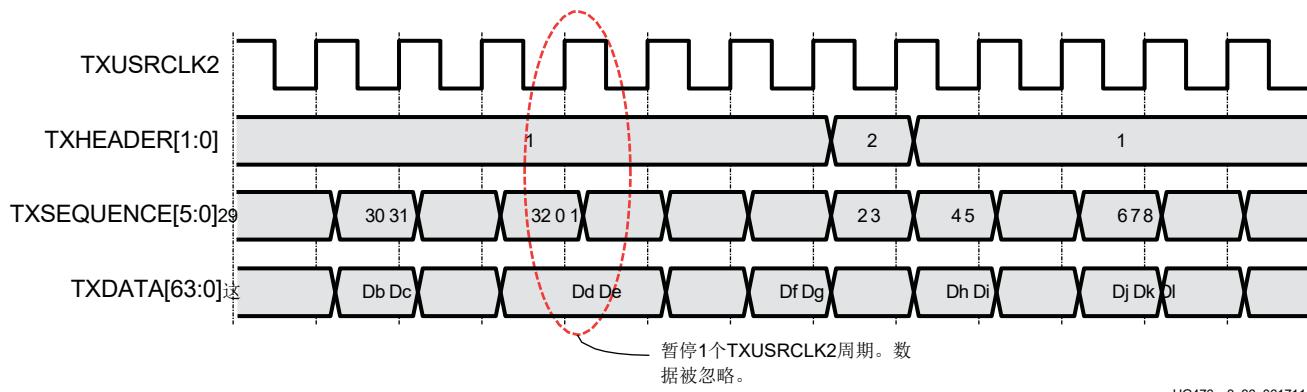
**表3-10:64B/66B正常模式下TXSEQUENCE和暂停位置的编码频率(GEARBOX\_MODE[2] = 1'b0)**

TX_数据_宽度	TX_INT_DATAWIDTH	TXSEQUENCE 频率	tx序列暂停
64 (8字节)	1 (4字节)	1个 TXUSRCLK2	32
32 (4字节)	1 (4字节)	2个 TXUSRCLK2	32
32 (4字节)	0 (2字节)	1个 TXUSRCLK2	31
16 (2字节)	0 (2字节)	2个 TXUSRCLK2	31

**表3-11:64B/67B正常模式下TXSEQUENCE和暂停位置的编码频率(GEARBOX\_MODE[2] = 1'b0)**

TX_数据_宽度	TX_INT_DATAWIDTH	TXSEQUENCE 频率	tx序列暂停
64 (8字节)	1 (4字节)	1个 TXUSRCLK2	22, 44, 66
32 (4字节)	1 (4字节)	2个 TXUSRCLK2	22, 44, 66
32 (4字节)	0 (2字节)	1个 TXUSRCLK2	21, 44, 65
16 (2字节)	0 (2字节)	2个 TXUSRCLK2	21, 44, 65

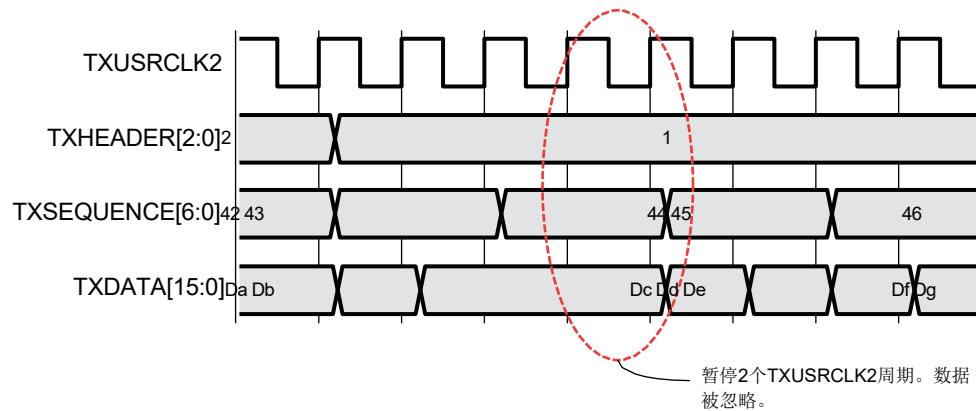
图3-9显示了在正常模式(GEARBOX\_MODE[2] = 1'b0)、64B/66B编码的外部序列计数器模式下，使用8字节结构接口和4字节内部数据路径时，计数器值32处如何发生暂停。



UG476\_c3\_36\_061711

图3-9:在正常模式下(齿轮箱模式[2] = 1'b0)，在顺序计数器值32处暂停

图3-10显示了在正常模式(GEARBOX\_MODE[2] = 1'b0)下，在64B/67B编码的外部序列计数器模式下，使用带2字节内部数据路径的2字节结构接口时，计数器值44处如何出现暂停。



UG476\_c3\_37\_061711

图3-10:在正常模式下(齿轮箱模式[2] = 1'b0)，在顺序计数器值44处暂停

在正常模式(GEARBOX\_MODE[2] = 1'b0)下，使用2字节内部数据路径(TX\_INT\_DATAWIDTH = 0)为外部序列计数器模式发送64/67数据的序列为:

1. 应用GTTXRESET并等待，直到复位周期完成。
2. 复位期间，将7'h0000应用于TXSEQUENCE，将报头信息应用于TXHEADER，将初始数据应用于TXDATA。这种状态可以无限期保持，直到数据传输就绪。
3. 计数为0时，将数据应用于TXDATA，将报头信息应用于TXHEADER。对于一个2字节接口(TX\_DATA\_WIDTH = 16)，将第二个2字节驱动至TXDATA，同时计数仍为0。
4. 当通过TXDATA驱动数据时，序列计数器递增1。

5. 应用4个字节的数据后，计数器递增至2。在TXDATA上应用数据，在TXHEADER上应用报头信息。
6. 数到21，停止数据流水线。
7. 在计数22时，驱动TXDATA上的数据。
8. 数到44，停止数据流水线。
9. 在计数45时，驱动TXDATA上的数据。
10. 数到65，停止数据流水线。
11. 在计数66时，驱动TXDATA上的数据。

在正常模式(GEARBOX\_MODE[2] = 1'b0)下，使用4字节内部数据路径(TX\_INT\_DATAWIDTH = 1)为外部序列计数器模式发送64/67数据的序列如下：

1. 应用GTTXRESET并等待，直到复位周期完成。
2. 复位期间，将7'h00应用于TXSEQUENCE，将报头信息应用于TXHEADER，将初始数据应用于TXDATA。这种状态可以无限期保持，直到数据传输就绪。
3. 计数为0时，将数据应用于TXDATA，将报头信息应用于TXHEADER。对于一个4字节接口(TX\_DATA\_WIDTH = 32)，将第二个4字节驱动至TXDATA，同时计数仍为0。
4. 在TXDATA上驱动数据时，序列计数器递增1。
5. 应用8字节数据后，计数器递增至2。TXDATA上的驱动数据和TXHEADER上的标题信息。
6. 数到22，停止数据传输。
7. 在计数23时，驱动TXDATA上的数据。
8. 数到44，停止数据流水线。
9. 在计数45时，驱动TXDATA上的数据。
10. 在计数66时，停止数据流水线。

在正常模式(GEARBOX\_MODE[2] = 1'b0)下，使用2字节内部数据路径(TX\_INT\_DATAWIDTH = 0)为外部序列计数器模式发送64/66数据的序列如下：

1. 应用GTTXRESET并等待，直到复位周期完成。
2. 复位期间，将6'h00应用于TXSEQUENCE，将适当的报头数据应用于TXHEADER，将初始数据应用于TXDATA。这种状态可以无限期保持，直到数据传输就绪。
3. 计数为0时，将数据应用于TXDATA，将报头信息应用于TXHEADER。对于一个2字节接口(TX\_DATA\_WIDTH = 16)，将第二个2字节驱动至TXDATA，同时计数仍为0。
4. 当通过TXDATA驱动数据时，序列计数器递增1。
5. 应用4个字节的数据后，计数器递增至2。TXDATA上的驱动数据和TXHEADER上的标题信息。
6. 数到31，停止数据传输。
7. 在计数32时，驱动TXDATA上的数据。

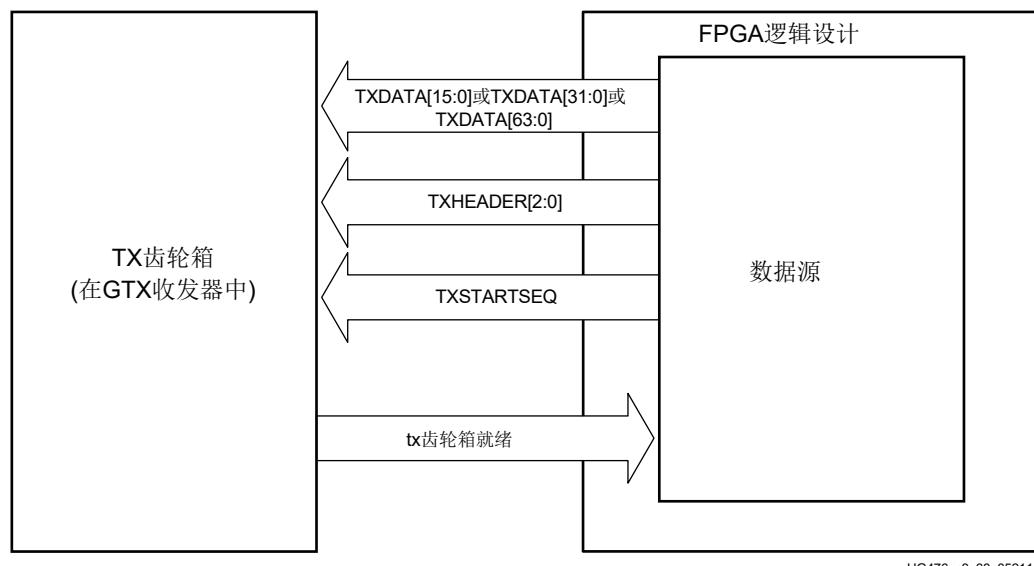
在正常模式(GEARBOX\_MODE[2] = 1'b0)下，使用4字节内部数据路径(TX\_INT\_DATAWIDTH = 1)为外部序列计数器模式发送64/66数据的序列如下：

1. 应用GTTXRESET并等待，直到复位周期完成。
2. 复位期间，将6'h00应用于TXSEQUENCE，将适当的报头数据应用于TXHEADER，将初始数据应用于TXDATA。这种状态可以无限期保持，直到数据传输就绪。
3. 计数为0时，将数据驱动至TXDATA，将报头信息驱动至TXHEADER。对于一个4字节接口(TX\_DATA\_WIDTH = 32)，将第二个4字节驱动至TXDATA，同时计数仍为0。
4. 当通过TXDATA驱动数据时，序列计数器递增1。
5. 应用8字节数据后，计数器递增至2。TXDATA上的驱动数据和TXHEADER上的标题信息。
6. 数到32，停止数据传输。

### 内部顺序计数器操作模式(仅GTX收发器)

如所示图3-11除了GTX收发器中的TXDATA数据输入和TXHEADER报头输入之外，内部顺序计数器工作模式还使用TXSTARTSEQ输入和TXGEARBOXREADY输出。在该使用模型中，不使用TXSEQUENCE输入。使用模型与之前的使用模型相似，只是使用了TXGEARBOXREADY输出。

**注意:**GTH收发器不支持这种模式。因此，它也不支持CAUI接口模式(GEARBOX\_MODE[2] = 1'b1)，该模式仅在GTH收发器中可用。



UG476\_c3\_38\_052111

图3-11:GTX收发器中处于内部顺序计数器模式的TX齿轮箱

TXSTARTSEQ输入向TX齿轮箱指示复位后数据的第一个字节何时有效。复位条件后，当施加有效数据的第一个字节时，TXSTARTSEQ置位高电平。复位后，TXDATA和TXHEADER输入必须保持稳定，TXSTARTSEQ必须保持低电平，直到可以连续施加数据。对用户在开始传输数据之前可以等待多长时间没有要求。TXSTARTSEQ与有效数据的前2、4或8字节一起置位高电平，而不是在此之前。在数据的第一个字节之后，TXSTARTSEQ可以保持在任何方便的值。

驱动数据后，TXGEARBOXREADY在两个TXUSRCLK2周期或三个TXUSRCLK2周期内解除置位为低电平，具体取决于TX\_DATA\_WIDTH和

TX\_INT\_DATAWIDTH。对于TX\_DATA\_WIDTH是TX\_INT\_DATAWIDTH两倍的模式，TXGEARBOXREADY在两个TXUSRCLK2周期内解除置位。对于具有相同TX\_DATA\_WIDTH和TX\_INT\_DATAWIDTH的模式，它在三个TXUSRCLK2周期内解除置位。图3-12和图3-13分别显示了GTX收发器中8字节结构接口和2字节结构接口的TXGEARBOXREADY行为。当TXGEARBOXREADY解除置位为低电平时，在必须停止数据管道之前，只剩下一个TXUSRCLK2周期。1周期延迟是固定的，不能改变。一个周期的延迟后，数据必须保持到TXGEARBOXREADY变为高电平，此时必须驱动新数据。对于这种工作模式，保持点数与64B/67B和64B/66B使用外部序列计数器模式时相同。

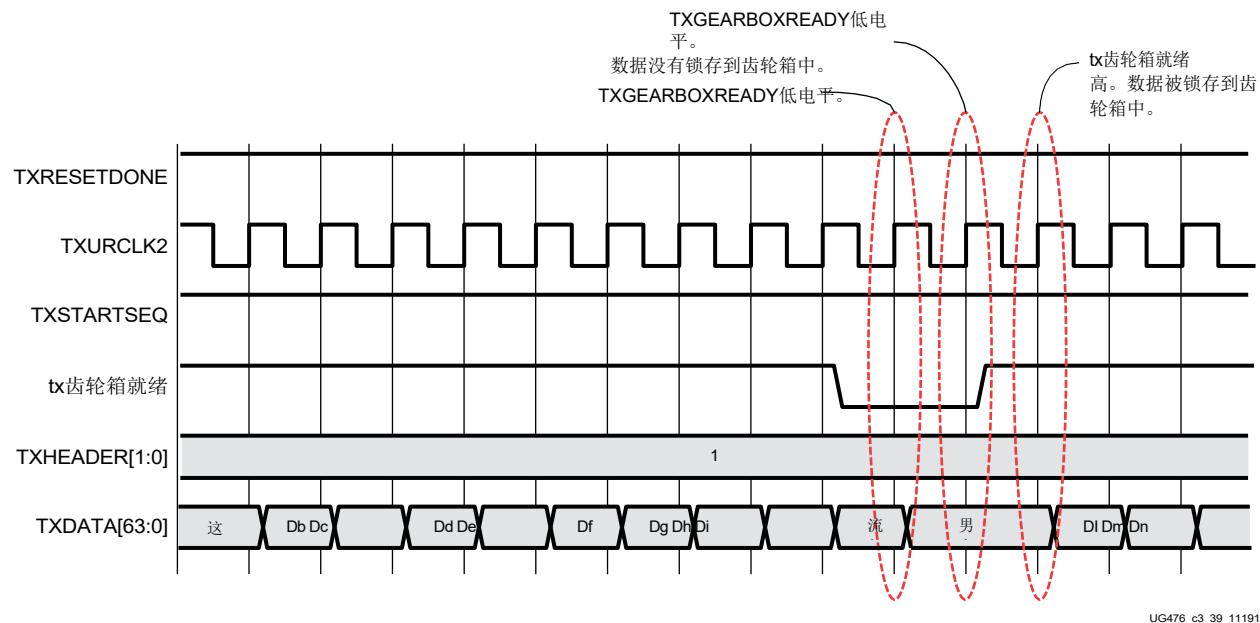
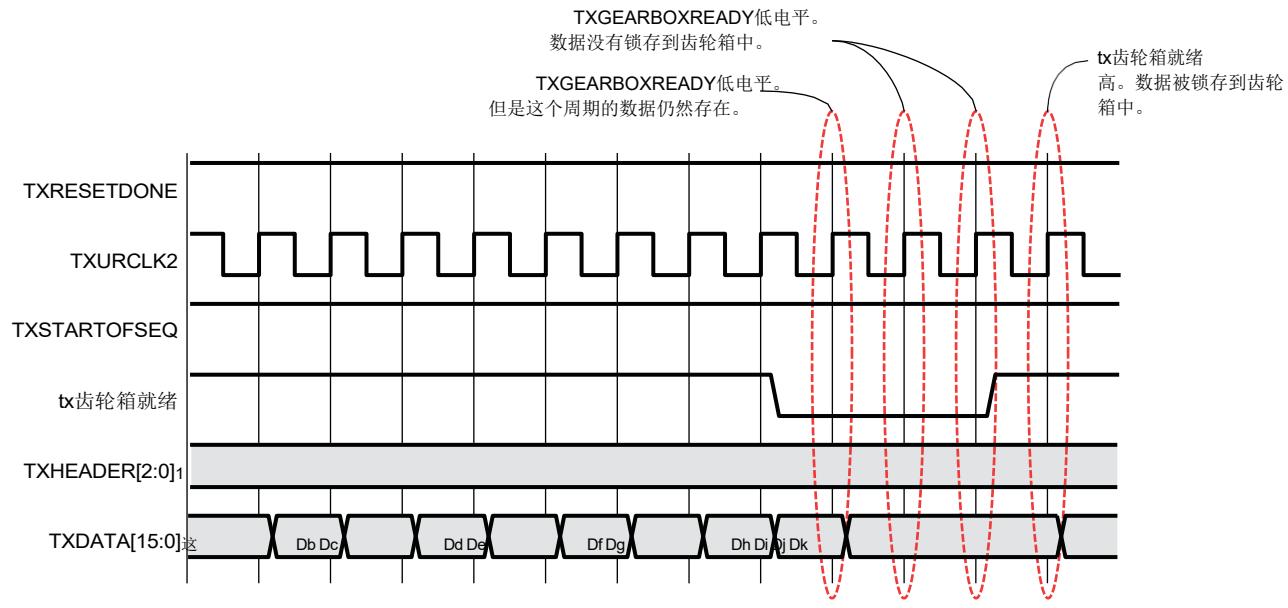


图3-12:GTX收发器中的TX齿轮箱内部序列模式，TX\_DATA\_WIDTH = 64 (8字节), TX\_INT\_DATAWIDTH = 1 (4字节), 64B/66B



UG476\_c3\_40\_111612

图3-13:GTX收发器中的TX齿轮箱内部序列模式, TX\_DATA\_WIDTH = 16 (2字节), TX\_INT\_DATAWIDTH = 0 (2字节), 64B/67B

GTX收发器中内部序列计数器模式的数据传输序列为:

1. 保持TXSTARTSEQ低电平。
2. 置位GTXRESET, 等待复位周期完成。
3. TXGEARBOXREADY变为高电平。
4. 复位期间, 将适当的报头数据放在TXHEADER上, 将初始数据放在TXDATA上。这种状态可以无限期地保持, 以备数据传输。
5. 将TXSTARTSEQ驱动至高电平, 并将第一个有效报头信息置于TXHEADER上, 将数据置于TXDATA上。
6. 继续驱动标头信息和数据, 直到TXGEARBOXREADY变为低电平。
7. 当TXGEARBOXREADY变为低电平时, 驱动最后2、4或8个字节的数据和报头信息。
8. 根据TX\_DATA\_WIDTH和TX\_INT\_DATAWIDTH设置, 保持数据流水线一个TXUSRCLK2周期或两个TXUSRCLK2周期。
9. 在下一个TXUSRCLK2周期, 驱动TXDATA输入上的数据。在前一个TXUSRCLK2周期, TXGEARBOXREADY置位为高电平。

## CAUI接口(GTH收发器)

CAUI接口要求收发器上有两个数据接口。本节描述了在GTH收发器中实现的TX上的CAUI接口模块的设计。这支持64B/66B和64B/67B模式下的双数据接口(数据流A和数据流B)。通过将属性GEARBOX\_MODE[2]设置为1'b1, 可以选择CAUI接口模式。在CAUI接口模式下, 唯一允许的设置是TX\_INT\_DATAWIDTH = 1 (4字节)和TX\_DATA\_WDTH = 64 (8字节)或32 (4字节)。

## 用例

预计两个pcsl将通过CAUI接口向每个PCS输入数据。每个PCSL连接到一半的TXDATA端口。图3-14显示了pcsl和PCS之间的预期连接。

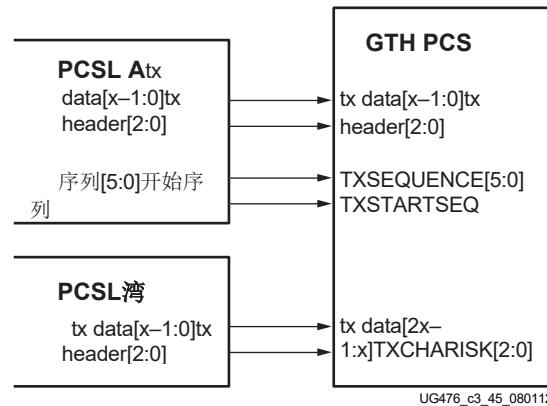


图3-14:CAUI接口- TX用例

在...里图3-14x是PCSL数据总线的宽度。允许的值为16和32。TXSEQUENCE和TXSTARTSEQ由两个PCSLs共享。

## TX齿轮箱模块(GTH收发器)

GTX收发器中TX齿轮箱的顶层有这些组件的一个实例:

- 64B/66B 4字节齿轮箱
- 64B/66B双字节齿轮箱
- 64B/67B 4字节齿轮箱
- 64B/67B双字节齿轮箱
- 指令计数器

为了支持CAUI接口，GTH收发器为每个2字节齿轮箱提供了一个额外的实例。还添加了两个位多路复用模块实例(一个用于64B/66B模式，一个用于64B/67B模式)，以合并两个数据流。输入TXHEADER[2:0]用于数据流a的报头位，输入信号TXCHARISK[2:0]用于数据流b的报头位。

图3-15显示了GTH收发器的CAUI接口(TX路径)。

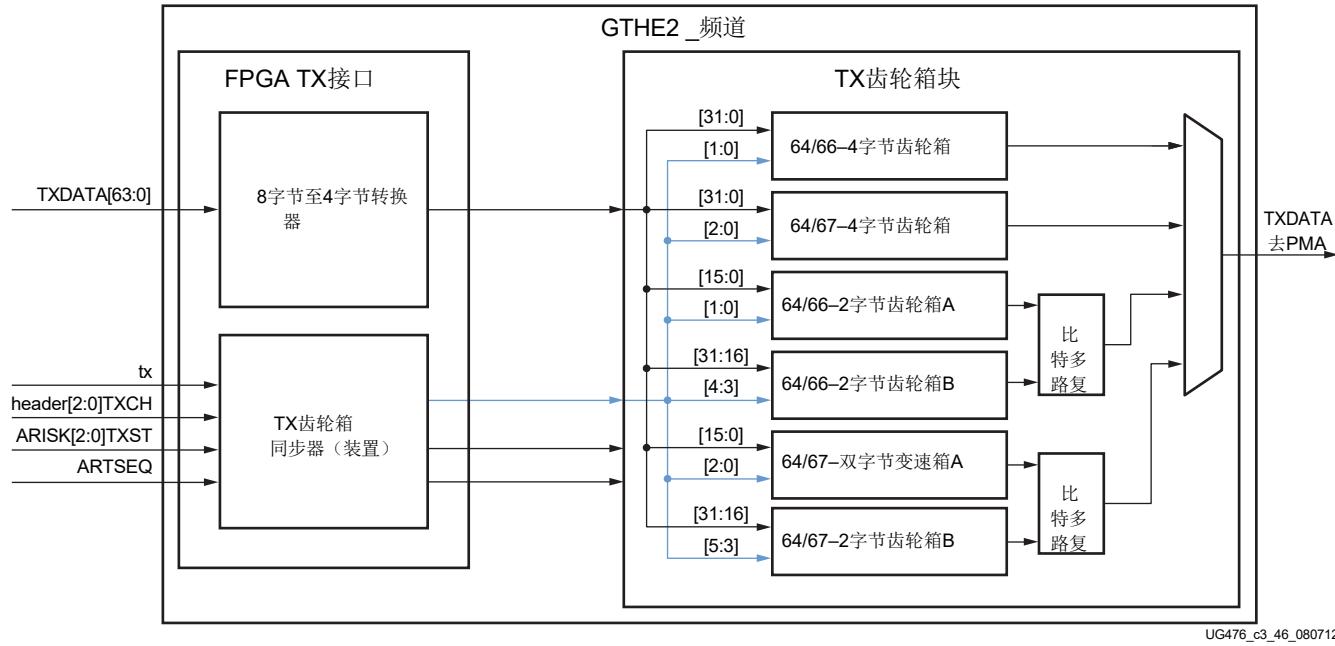
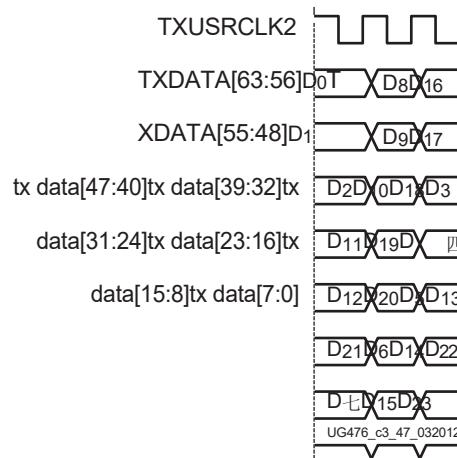
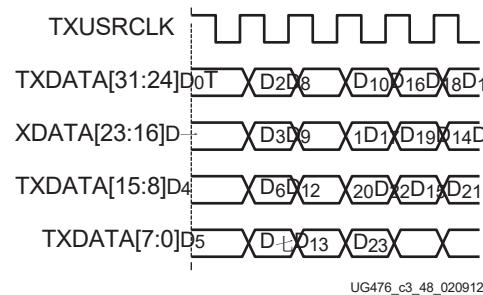


图3-15:CAUI接口(TX数据路径)

当处于CAUI接口模式且PCSL数据宽度均为32位时( $\text{TX\_DATA\_WIDTH} = 64$  (8字节)), 8字节至4字节转换器将数据分成两个数据流, 数据流A和数据流B到达相应的齿轮箱, 如所示图3-16和图3-17.

图3-16:8字节至4字节转换器的输入( $\text{TX\_DATA\_WIDTH} = 64$  (8字节),  
 $\text{TX\_INT\_DATAWIDTH} = 1$  (4字节),  $\text{GEARBOX\_MODE}[2] = 1'b1$ )



**图3-17:8字节至4字节转换器的输出(TX\_DATA\_WIDTH = 64 (8字节), TX\_INT\_DATAWIDTH = 1 (4字节), GEARBOX\_MODE[2] = 1'b1)**

位多路复用模块交错两个位流(两个16位输入), 形成一个宽度为两倍的合并位流。位多路复用功能如IEEE Std 802.3ba-2010第83.5.2条所述。

虽然在CAUI接口模式中使用TX\_INT\_DATAWIDTH = 1 (4字节), 但使用两个2字节齿轮箱来实现该功能, 如所示图3-15。这些2字节齿轮箱的功能与中描述的相同**外部顺序计数器操作模式, 第123页**, 适用于TX\_INT\_DATAWIDTH = 0 (2字节)的情况。GTH收发器不支持内部序列计数器模式。各种模式的TXSEQUENCE暂停位置在中描述**表3-12**和**表3-13**使用外部序列计数器模式时。

**表3-12:64B/66B编码GTH收发器中CAUI接口模式下TXSEQUENCE和暂停位置的频率(GEARBOX\_MODE[2] = 1'b1)**

TX _数据_宽度	TX_INT_DATAWIDTH	TXSEQUENCE频率	tx序列暂停 <sup>(1)</sup>
64 (8字节)	1 (4字节)	1个TXUSRCLK2	31
32 (4字节)	1 (4字节)	2个TXUSRCLK2	31

#### 注意事项:

1. 虽然TX序列暂停位置为31, 但外部序列计数器应在0~32之间循环, 以便正常工作, 如TX\_INT\_DATAWIDTH = 0 (2字节)on时64B/66B的外部序列计数器操作序列所述**第126页**.

**表3-13:64B/67B编码GTH收发器中CAUI接口模式下TXSEQUENCE和暂停位置的频率(GEARBOX\_MODE[2] = 1'b1)**

TX _数据_宽度	TX_INT_DATAWIDTH	TXSEQUENCE频率	tx序列暂停 <sup>(1)</sup>
64 (8字节)	1 (4字节)	1个TXUSRCLK2	21, 44, 65
32 (4字节)	1 (4字节)	2个TXUSRCLK2	21, 44, 65

#### 注意事项:

1. 虽然TX序列暂停位置在65处停止, 但外部序列计数器应在0~66之间循环, 以便在TX\_INT\_DATAWIDTH = 0 (2字节)时正常工作, 如64B/67B的外部序列计数器操作序列所述**第125页**.

Due:与GTX收发器相比, GTH收发器通过齿轮箱模块的延迟预计会更长。

## TX缓冲器

### 功能描述

GTX/GTH收发器TX数据路径有两个用于PCS的内部并行时钟域:PMA并行时钟域(XCLK)和TXUSRCLK域。要传输数据, XCLK速率必须与TXUSRCLK速率匹配, 并且两个域之间的所有相位差必须得到解决。图3-18显示了XCLK和TXUSRCLK域。

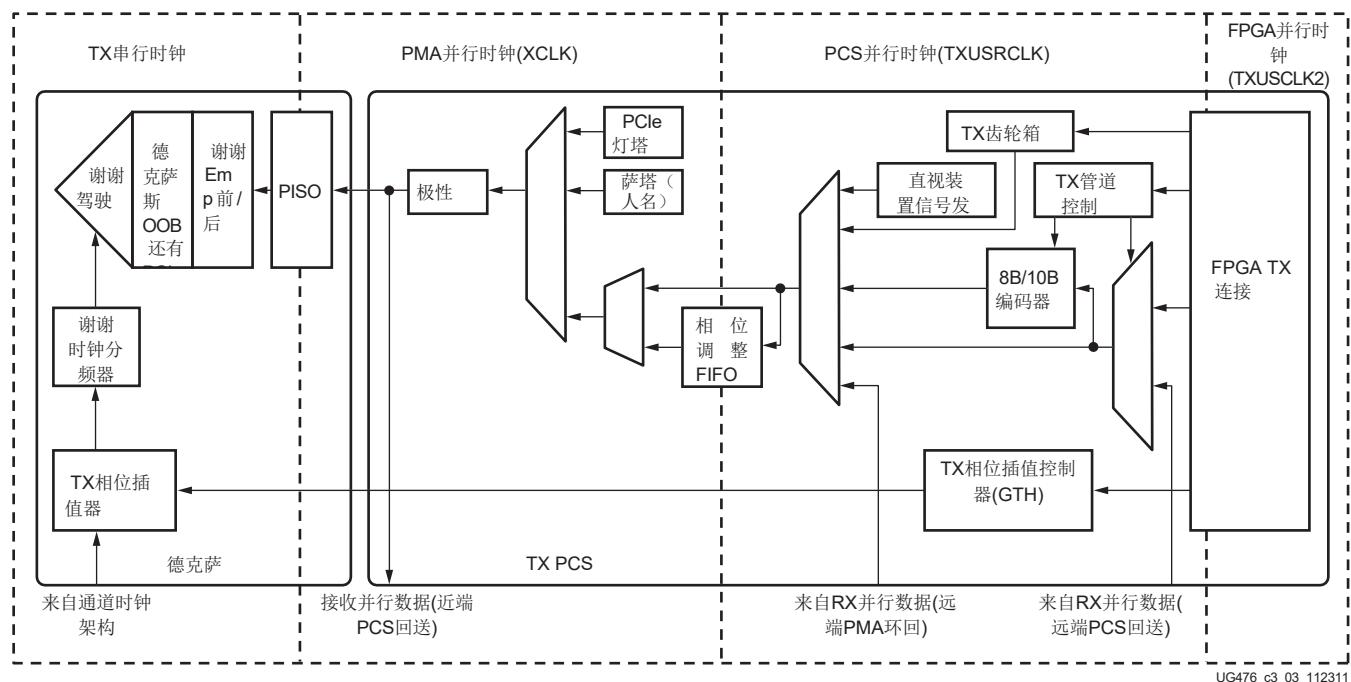


图3-18:TX时钟域

GTX/GTH发射器包括一个TX缓冲器和一个TX相位对准电路, 用于解决XCLK和TXUSRCLK域之间的相位差。当TX缓冲器被旁路时, 使用TX相位对准电路(参见TX缓冲器旁路, 第135页).所有TX数据路径必须使用TX缓冲器或TX相位对准电路。表3-14显示了缓冲和相位对齐之间的权衡。

表3-14:TX缓冲与相位对准

	TX缓冲器	TX相位对准
易用性	如果可能,建议使用默认的TX缓冲器。它坚固耐用且易于操作。	相位对齐是一项高级功能,需要额外的逻辑和对时钟源的额外限制。TXOUTCLKSEL必须选择GTX/GTH收发器参考时钟作为TXOUTCLK的时钟源来驱动TXUSRCLK。
潜伏	如果低延迟至关重要,则必须旁路TX缓冲器。	相位对准在TX数据路径中使用更少的寄存器,以实现更低的确定性延迟。
TX通道间纠偏		TX相位对准电路可以用来减少独立的GTX/GTH收发器之间的通道偏斜。所有涉及的GTX/GTH收发器必须使用相同的线路速率。

## 端口和属性

表3-15 定义TX缓冲端口。

表3-15:TX缓冲端口

港口	目录	时钟域	描述
TXBUFSTATUS[1:0]	在外	TXUSRCLK2	<p>TX缓冲器状态。</p> <p>TXBUFSTATUS[1]: TX缓冲器上溢或下溢状态。当TXBUFSTATUS[1]设为高电平时,它会保持高电平,直到TX缓冲器复位。</p> <p>1: TX FIFO溢出或下溢。 0:无发送FIFO溢出或下溢错误。</p> <p>TXBUFSTATUS[0]:发送缓冲器充满度。</p> <p>1: TX FIFO至少半满。0: TX FIFO不到半满。</p>

表3-16 定义发送缓冲器属性。

表3-16:TX缓冲器属性

属性	类型	描述
TXBUF_EN	布尔代数学体系的	<p>使用或绕过TX缓冲器。</p> <p>真:使用发送缓冲器(默认)。</p> <p>假:绕过发送缓冲器(高级功能)。</p>

表3-16:TX缓冲器属性(续)

属性	类型	描述
TX_XCLK_SEL	线	选择用于驱动PMA并行时钟域(XCLK)的时钟源。 TXOUT:选择TXOUTCLK作为XCLK源。使用TX缓冲器时使用。 TXUSR:选择TXUSRCLK作为XCLK的源。旁路TX缓冲器时使用。
TXBUF_RESET_ON_RATE_CHANGE	布尔代数学体系的	速率变化时, GTX/GTH收发器内部产生的TX缓冲器复位。 真:速率改变时使能自动发送缓冲器复位。 FALSE:禁用速率变化时自动TX缓冲器复位。

### 使用TX缓冲器

每当TXBUFSTATUS指示上溢或下溢条件时, TX缓冲器应复位。当TX buf \_ RESET \_ ON \_ RATE \_ CHANGE = TRUE时, 可以使用GTTXRESET、TXPCSRESET或GTX/GTH收发器内部产生的速率变化时的TX缓冲器复位来复位TX缓冲器(参见[TX初始化和复位, 第65页](#))。GTTXRESET置位会触发一个序列, 复位GTX/ GTH收发器的整个发射器。这些设置用于使TX缓冲器能够解析XCLK和TXUSRCLK域之间的相位差:

- TXBUF\_EN = TRUE
- TX\_XCLK\_SEL = TXOUT

## TX缓冲器旁路

### 功能描述

旁路TX缓冲器是7系列GTX/GTH收发器的一项高级功能。TX相位对准电路用于调整PISO并行时钟域和TX XCLK域之间的相位差, 以便将数据从PCS传输到PISO。它还通过连续调整TXUSRCLK来补偿温度和电压变化, 从而执行TX延迟对齐。组合的TX相位和延迟对准可以由GTX收发器自动执行, 也可以由用户手动控制。对于GTH收发器, 该功能必须由用户手动控制。涉及[第133页图3-18](#)对于XCLK和TXUSRCLK域以及[第134页表3-14](#)用于缓冲和相位对准之间的权衡。

### 端口和属性

[表3-17](#)定义TX缓冲器旁路端口。

表3-17:TX缓冲器旁路端口

港口	目录	时钟域	描述
TXPHDLYRESET	在...里	异步◎非同步 (asynchronous)	TX相位对齐硬复位，将TXOUTCLK强制置于延迟对齐抽头的中心。延迟对准抽头的全范围为4 ns，半范围为2 ns。当所有其它TX缓冲器旁路输入端口设为低电平时，该硬复位可用于启动GTX收发器自动执行TX相位和延迟对齐。建议用户仅将TXDLYSRESET用于相位和延迟对齐。
TXPHALIGN	在...里	异步◎非同步 (asynchronous)	设置TX相位对齐。使用自动对齐模式时连接到低电平。
TXPHALIGNEN	在...里	异步◎非同步 (asynchronous)	在手动模式下使能TX相位对齐。使用自动模式时接低电平。
TXPHDLYPD	在...里	异步◎非同步 (asynchronous)	TX相位和延迟对准电路关断。a)不使用TX缓冲器旁路时，连接高电平；b) TXPD被置位，或者c) TXOUTCLKSEL被设置为3'b 011或3'b 100，但参考时钟未连接。TX缓冲器旁路模式正常工作期间接低电平。 0:TX相位和延迟对准电路上电。 1:关断TX相位和延迟对准电路。
TXPHINIT	在...里	异步◎非同步 (asynchronous)	TX相位对齐初始化。保留。使用自动对齐模式时连接到低电平。
TXPHOVRDEN	在...里	异步◎非同步 (asynchronous)	TX相位对准计数器覆盖使能。不使用时拉低。 0:正常运行。 1:使用TXPH_CFG[10:0]中的值使能TX相位对准计数器覆盖。

表3-17:TX缓冲器旁路端口(续)

港口	目录	时钟域	描述
TXDLYSRESET	在...里	异步@非同步 (asynchronous)	TX延迟对齐软复位，将TXOUTCLK逐渐移至延迟对齐抽头的中心。延迟对准抽头具有全范围的4 ns和2 ns的半范围。当所有其它TX缓冲器旁路输入端口设为低电平时，该软复位可用于启动GTX收发器自动执行TX相位和延迟对齐。 TXPHDLYRESET和GTXRESET将TXOUTCLK强制置于延迟对齐抽头的中心，这可能会导致一个时钟周期内突然发生相移。TXPMARESET后接TXDLYSRESET应用于复位TX并重启相位对齐，而不会在TXOUTCLK上发生突然相移。
TXDLYBYPASS	在...里	异步@非同步 (asynchronous)	TX延迟对齐旁路。 0:使用TX延迟校准电路。 1:旁路TX延迟对齐电路。
TXDLYEN	在...里	异步@非同步 (asynchronous)	在手动模式下使能TX延迟对齐。使用自动模式时接低电平。
TXDLYOVRDEN	在...里	异步@非同步 (asynchronous)	TX延迟对齐计数器覆盖使能。不使用时拉低。 0:正常运行。 1:使用TXDLY_CFG[14:6]中的值使能TX延迟对齐计数器覆盖。
TXPHDLYTSTCLK	在...里	异步@非同步 (asynchronous)	TX相位和延迟对准测试时钟。与TXDLYHOLD和TXDLYUPDOWN一起使用。
TXDLYHOLD	在...里	TXPHDLYTSTCLK	TX延迟对齐保持。当TXPHDLY_CFG[1]=1时用作保持覆盖，以旁路TX相位和延迟对齐表决器。不使用时拉低。
TXDLYUPDOWN	在...里	TXPHDLYTSTCLK	TX延迟对齐上调或下调。当TXPHDLY_CFG[1]=1时，用作向上或向下覆盖，以旁路TX相位和延迟对齐表决器。不使用时拉低。

表3-17:TX缓冲器旁路端口(续)

港口	目录	时钟域	描述
TXPHALIGNDONE	在外	异步◎非同步 (asynchronous)	TX相位对准完成。使用自动TX相位和延迟对齐时, TXDLYSRESETDONE置位后检测到的TXPHALIGNDONE的第二个上升沿表示TX相位和延迟对齐完成。
TXPHINITDONE	在外	异步◎非同步 (asynchronous)	表示TX相位对齐初始化完成。
TXDLYSRESETDONE	在外	异步◎非同步 (asynchronous)	表示TX延迟对齐软复位已完成。
TXSYNCMODE	在 ... 里	异步◎非同步 (asynchronous)	保留。不在乎。
TXSYNCALLIN	在 ... 里	异步◎非同步 (asynchronous)	保留。不在乎。
TXSYNCIN	在 ... 里	异步◎非同步 (asynchronous)	保留。不在乎。
TXSYNCOUT	在外	异步◎非同步 (asynchronous)	保留。
TXSYNCDONE	在外	异步◎非同步 (asynchronous)	保留。

表3-18:TX缓冲器旁路属性

属性	类型	描述
TXBUF_EN	布尔代数学 体系的	使用或绕过TX缓冲器。 真:使用发送缓冲器(默认)。 假:绕过发送缓冲器(高级功能)。
TX_XCLK_SEL	线	选择用于驱动PMA并行时钟域(XCLK)的时钟源。 TXOUT:选择TXOUTCLK作为XCLK的源。使用TX缓冲器时使用。 TXUSR:选择TXUSRCLK作为XCLK的源。旁路TX缓冲器时使用。
TXPH_CFG	16位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
TXPH_监控_选择	5位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。

TXPHDLY_CFG	24位二进制	TX相位和延迟对齐配置。TXPHDLY_CFG[19]=1用于将TX延迟对准抽头设置为4 ns的满量程。TXPHDLY_CFG[19]=0用于将TX延迟对准抽头设置为2 ns的一半范围。 保留。中的推荐值 应使用7系列FPGAs收发器向导。
-------------	--------	--

表3-18:TX缓冲器旁路属性(续)

属性	类型	描述
TXDLY_CFG	16位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
TXDLY	9位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
TXDLY_TAP_CFG	16位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
TXSYNC_MULTILANE	1位二进制	保留。系在1'b0上。
TXSYNC_SKIP_DA	1位二进制	保留。系在1'b0上。
TXSYNC_OVRD	1位二进制	保留。连接到1'b1。
环回_CFG	1位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。

## TX缓冲器旁路使用模式

TX相位对准可以在一个通道(单通道)上执行，也可以在共享一个TXOUTCLK的一组通道(多通道)上执行。对于GTX收发器，TX缓冲旁路支持单通道自动模式和多通道手动模式。对于GTH收发器，TX缓冲旁路支持单通道和多通道应用的手动模式(参见表3-19)。

表3-19:TX缓冲器旁路使用模式

TX缓冲器旁路	GTX收发器	GTH收发器
单车道	自动或手动	指南
多车道 <sup>(1)</sup>	指南	指南

### 注意事项:

- 1.在堆叠硅互连(SSI)技术中，跨越SLR边界的多通道TX缓冲旁路需要定制时钟拓扑和特性。这种用例通常不被支持或保证。

## 在单通道自动模式下使用TX缓冲旁路(仅限g TX收发器)

这些GTX收发器设置应用于旁路TX缓冲器:

- TXBUF\_EN = FALSE.
- TX\_XCLK\_SEL = TXUSR.
- TXOUTCLKSEL = 011bor 100bto选择GTX收发器参考时钟作为TXOUTCLK的时钟源<sup>(2)</sup>.
- PCS\_RSVD\_ATTR[1] = 0b.

选择GTX收发器参考时钟时，TXOUTCLK用作TXUSRCLK的时钟源。用户必须确保TXOUTCLK和所选的GTX收发器

参考时钟以期望的频率工作。当TX缓冲器被旁路时，必须在以下条件下执行TX相位对准程序：

- 重置或启动GTX收发器TX。
- CPLL和/或QPLL复位或上电。
- GTX收发器参考时钟源或频率的变化。
- TX线路速率的变化。

图3-19显示了执行自动TX相位对齐和使用TX延迟对齐来调整TXUSRCLK以补偿温度和电压变化所需的步骤。

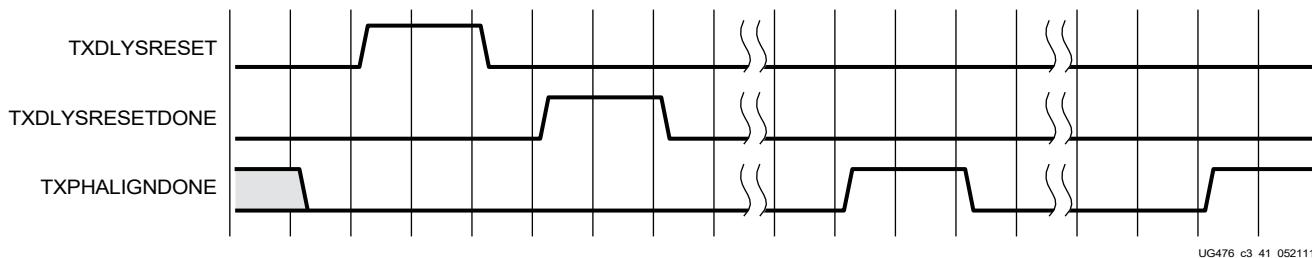


图3-19:TX缓冲旁路—单通道自动模式(仅限GTX收发器)

与相关的注释图3-19：

1. 中的事件顺序图3-19没有按比例绘制。
2. 在GTX发射器复位或TX速率改变等条件下，必须执行TX相位对齐，以对齐XCLK和TXUSRCLK。TX相位和延迟对齐通过置位TXDLYSRESET来启动。TXDLYSRESET的置位时间应小于50 ns。
3. 等到TXDLYSRESETDONE为高电平。TXDLYSRESETDONE将保持置位至少100 ns。
4. 当检测到TXPHALIGNDONE的第二个上升沿时，TX相位对齐完成。TXPHALIGNDONE的第一次置位将具有100 ns的最小脉冲宽度。在TXPHALIGNDONE的第二个上升沿，该信号应保持有效，直到启动另一个对齐程序。
5. 如果TXPHALIGNDONE不遵循中所示的序列，则需要置位/取消置位GTTXRESET图3-19。
6. TX延迟对齐继续调整TXUSRCLK，以补偿温度和电压变化。

## 在单通道手动模式下使用TX缓冲旁路

这些收发器设置应用于旁路TX缓冲器：

- TXBUF\_EN = FALSE.
- TX\_XCLK\_SEL = TXUSR.
- TXOUTCLKSEL = 011bor 100bto选择收发器参考时钟作为TXOUTCLK的时钟源。

选择收发器参考时钟后，TXOUTCLK用作TXUSRCLK的时钟源。用户必须确保TXOUTCLK和所选收发器参考

时钟以期望的频率运行。当TX缓冲器被旁路时，必须在以下条件下执行TX相位对准程序：

- 收发器TX复位或上电。
- CPLL和/或QPLL复位或上电。
- 收发器参考时钟源或频率的变化。
- TX线路速率的变化。

图3-20显示了执行手动TX相位对齐和使用TX延迟对齐来调整TXUSRCLK以补偿温度和电压变化所需的步骤。

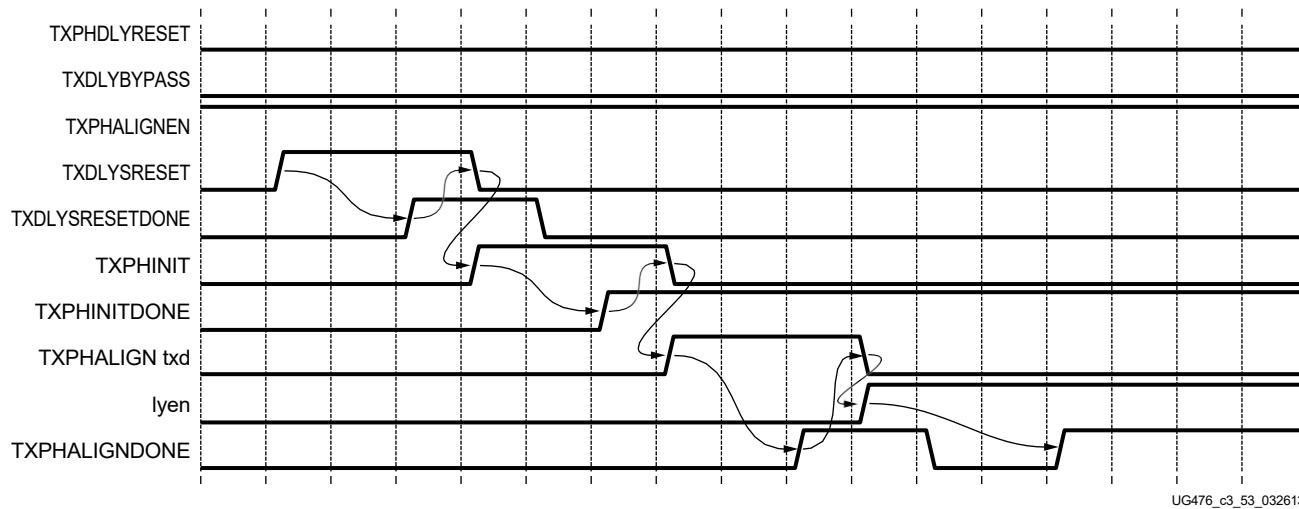


图3-20:TX缓冲器旁路示例—单通道手动模式

与相关的注释图3-20:

1. 中的事件顺序图3-20没有按比例绘制。
2. 将TXSYNC\_OVRD属性设置为1'b1。
3. 将所有通道的TXPHDLYRESET和TXDLYBYPASS设为低电平。
4. 将TXPHALIGNEN设为高电平。
5. 断言TXDLYSRESET。保持此信号为高电平，直到TXDLYSRESETDONE置位。
6. TXDLYSRESETDONE置位后，解除TXDLYSRESET置位。
7. 当TXDLYSRESET未置位时，置位TXPHINIT。保持此信号为高电平，直到观察到TXPHINITDONE的上升沿。
8. 解除TXPHINIT置位。
9. 断言TXPHALIGN。保持此信号为高电平，直到观察到TXPHALIGNDONE的上升沿。
10. 解除TXPHALIGN置位。
11. 断言TXDLYEN。这将导致TXPHALIGNDONE无效。
12. 保持TXDLYEN，直到观察到TXPHALIGNDONE的上升沿。
13. TX延迟对齐继续调整TXUSRCLK，以补偿温度和电压变化。

## 使用TX相位对准将TX通道间偏斜降至最低

TX相位对准电路还可以用来最小化GTX/GTH收发器之间的偏斜。图3-21显示了TX相位对准电路如何通过将多个GTX/GTH收发器的XCLK域对准一个公共时钟源来降低通道偏斜。图3-21显示了TX相位与公共时钟对齐前后运行的多个GTX/GTH收发器通道。在TX相位对齐之前，所有XCLKs都具有任意相位差。TX相位对齐后，唯一的相位差是公共时钟的偏斜，只要数据路径延迟匹配，所有通道就会同时传输数据。所有GTX/GTH收发器的TXUSRCLK和TXUSRCLK2必须来自同一个源，并且必须通过低偏斜时钟资源(如BUFG)进行路由，以使TX相位对准电路有效。

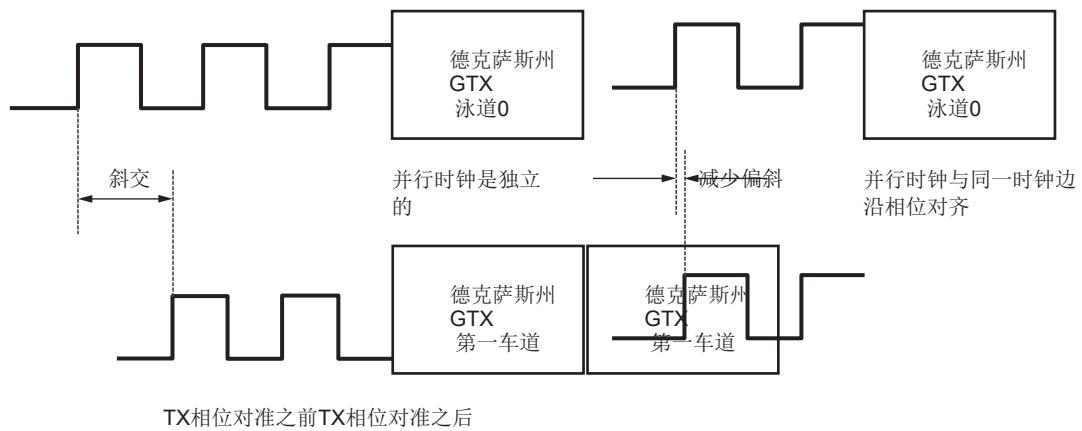


图3-21:TX相位对齐，最大程度降低TX通道间偏斜

UG476\_c3\_05\_091110

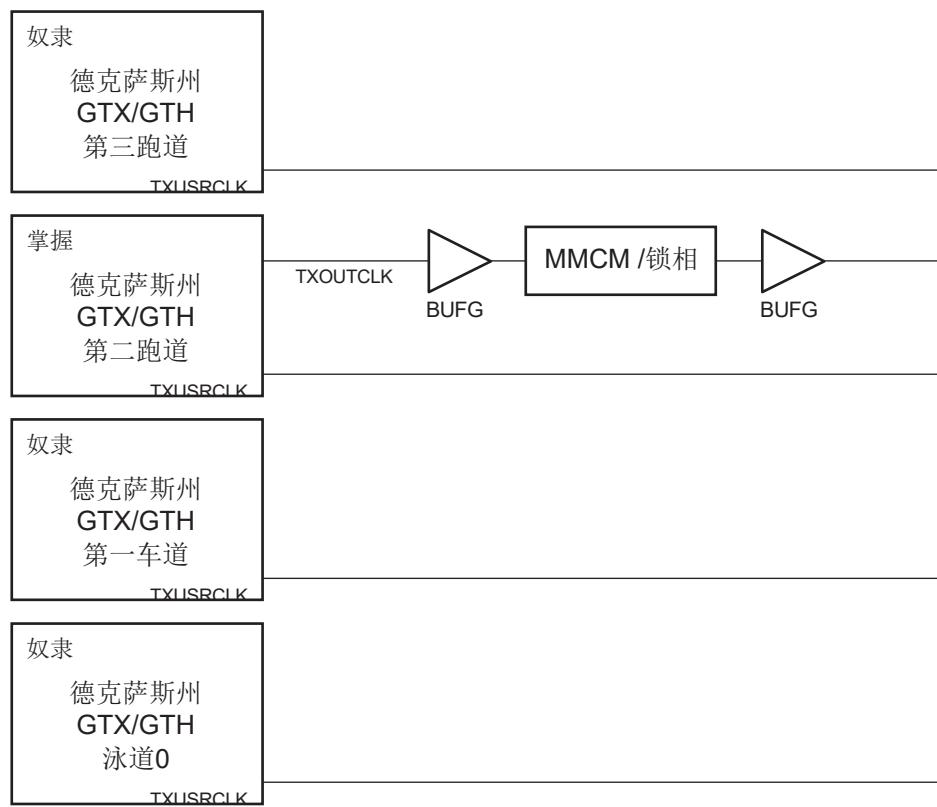
## 在多通道手动模式下使用TX缓冲旁路(g TX和GTH收发器)

SSI器件的多通道TX缓冲器旁路支持跨越SLR边界是一项高级功能，正常工作时不建议使用。只有在特定的系统级条件和数据速率下，才能保证这一特性。

对于GTX和GTH收发器，当多通道应用需要TX缓冲器旁路时，需要手动执行相位对准。本节描述手动执行多通道TX缓冲器旁路对齐程序所需的步骤。

- 主机:在多通道应用中，缓冲旁路主机是作为TXOUTCLK源的通道。
- 从机:所有通道共享同一个TXUSRCLK/TXUSRCLK2，该寄存器由缓冲旁路主机的TXOUTCLK产生。

图3-22显示了缓冲旁路主通道与从通道的示例。



UG476\_c3\_42\_032513

图3-22.缓冲旁路主通道与从通道的示例

以下GTX/GTH收发器设置用于旁路TX缓冲器:

- TXBUF\_EN = FALSE.
- TX\_XCLK\_SEL = TXUSR.
- TXOUTCLKSEL = 3'b011or或3'b100to选择GTX/GTH收发器参考时钟作为TXOUTCLK的时钟源。

选择GTX/GTH收发器参考时钟时，TXOUTCLK用作TXUSRCLK的时钟源。用户必须确保TXOUTCLK和选定的GTX/GTH收发器参考时钟以所需频率运行和工作。当TX缓冲器被旁路时，必须在以下条件下执行TX相位对准程序:

- 重置或启动GTX/GTH变送器。
- CPLL和/或QPLL复位或上电。
- GTX/GTH收发器参考时钟源或频率的变化。
- TX线路速率的变化。

图3-23显示了执行手动TX相位和延迟对准所需的步骤。

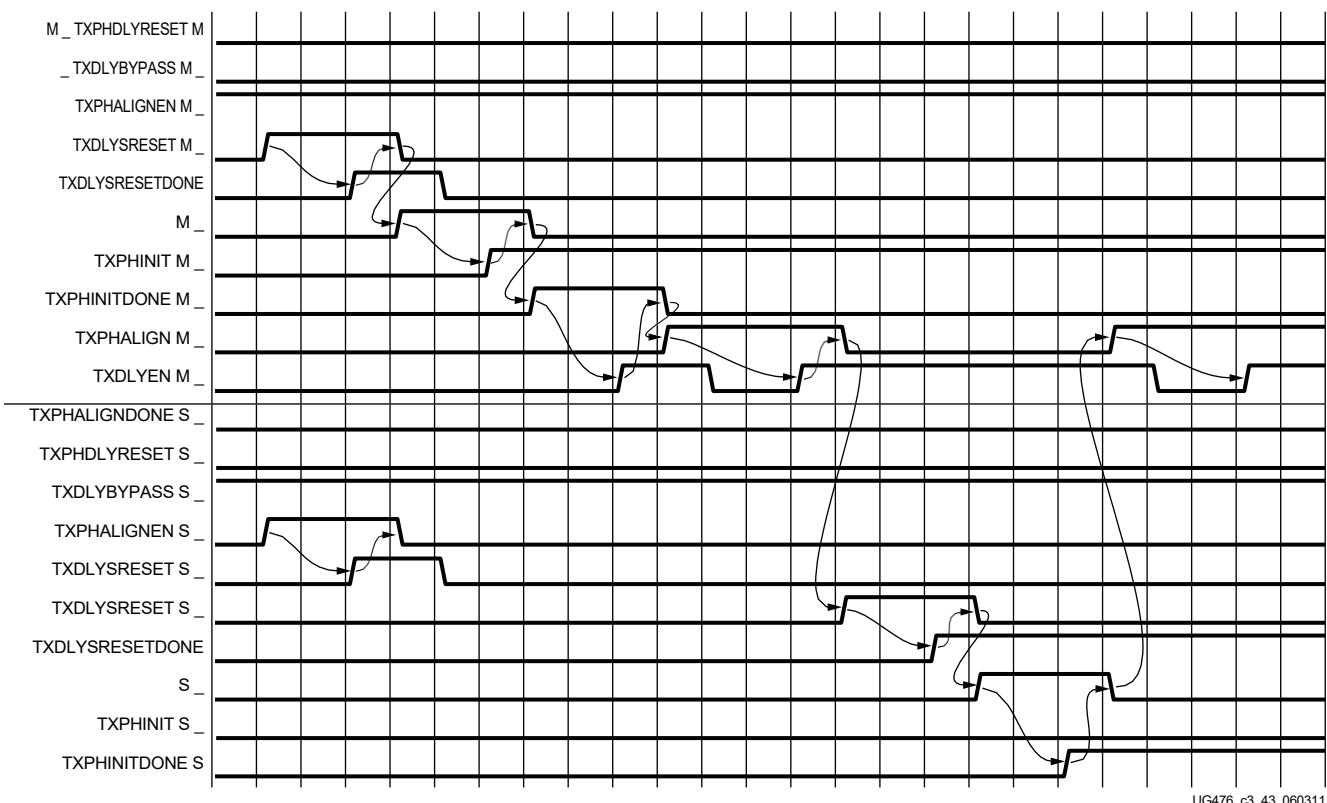


图3-23:手动模式下的TX相位和延迟对齐

与相关的注释图3-23:

1. 中显示的事件顺序图3-23没有按比例绘制。
2. M\_\*表示与主通道相关的端口。
3. S\_\*表示与从通道相关的端口。
4. GTX收发器:将PCS\_RSVD\_ATTR[1]属性设置为1'b1。GTH收发器:将TXSYNC\_OVRD属性设置为1'b1。
5. 将所有通道的TXPHDLYRESET和TXDLYBYPASS设为低电平。
6. 将所有通道的TXPHALIGNEN设为高电平。
7. 断言所有通道的TXDLYSRESET。保持此信号为高电平，直到相应通道的TXDLYSRESETDONE置位。
8. 将TXDLYSRESETDONE置位的通道的TXDLYSRESET置位。
9. 当所有通道的TXDLYSRESET解除置位时，置位主通道的TXPHINIT。保持此信号为高电平，直到观察到主通道的TXPHINITDONE的上升沿。
10. 如果由于序列已经完成一次，TXPHINITDONE为高电平，则TXPHINIT置位会导致TXPHINITDONE解除置位。TXPHINITDONE在至少一个TXUSRCLK周期内保持低电平。
11. 解除主通道的TXPHINIT置位。



12. 断言主通道的TXPHALIGN。保持此信号为高电平，直到观察到主通道的TXPHALIGNDONE的上升沿。
13. 解除主通道的TXPHALIGN置位。
14. 断言主通道的TXDLYEN。这将导致TXPHALIGNDONE无效。
15. 保持主通道TXDLYEN为高电平，直到观察到主通道TXPHALIGNDONE的上升沿。
16. 解除主通道的TXDLYEN置位。
17. 为所有从通道置位TXPHINIT。保持此信号为高电平，直到观察到相应从通道的TXPHINITDONE的上升沿。
18. 将TXPHINITDONE置位的从通道的TXPHINIT置位。
19. 当所有从通道的TXPHINIT解除置位时，置位所有从通道的TXPHALIGN。保持此信号为高电平，直到观察到相应从通道的TXPHALIGNDONE的上升沿。
20. 将TXPHALIGNDONE置位的从通道的TXPHALIGN置位。
21. 当所有从通道的TXPHALIGN解除置位时，主通道的TXDLYEN置位。这导致主通道的TXPHALIGNDONE被解除置位。
22. 等到主通道的TXPHALIGNDONE重新声明。多通道接口的相位和延迟对准已完成。继续保持主通道的TXDLYEN为高电平，以调整TXUSRCLK来补偿温度和电压变化。

## TX模式发生器

### 功能描述

伪随机比特序列(PRBS)通常用于测试高速链路的信号完整性。这些序列看起来是随机的，但是具有特定的属性，可以用来测量链路的质量。GTX/GTH收发器模式发生器模块可以产生几种工业标准PRBS模式，如所示表3-20.

表3-20:支持的PRBS模式

名字	多项式	序列长度	描述
PRBS七号	$1 + X^6 + X^7$	$2^7 - 1$ 位	用于测试带有8B/10B的通道。
PRBS-15	$1 + X^{14} + X^{15}$	$2^{15} - 1$ 位	ITU-T建议O.150，第5.3节。PRBS-15通常用于抖动测量，因为它是安捷伦DCA-J采样示波器能够处理的最长模式。
PRBS-23	$1 + X^{18} + X^{23}$	$2^{23} - 1$ 位	ITU-T建议O.150，第5.6节。PRBS-23通常用于非8B/10B编码方案。这是SONET规范中推荐的测试模式之一。

表3-20:支持的PRBS模式(续)

名字	多项式	序列长度	描述
PRBS-31	$1 + X^{28} + X^{31}$	$2^{31}-1$ 位	ITU-T建议O.150, 第5.8节。PRBS-31通常用于非8B/10B编码方案。这是推荐的万兆以太网PRBS测试模式。参见IEEE 802.3ae-2002。

除了PRBS模式, GTX/GTH收发器还支持16-UI、20-UI、32-UI或40-UI方波测试模式, 具体取决于数据宽度以及2-UI方波测试模式和PCI Express兼容模式的生成。时钟模式通常用于检查PLL随机抖动, 通常用频谱分析仪来完成。

表3-21:PCI Express遵从模式

标志	K28.5	D21.5	K28.5	D10.2
不一致	0	1	1	0
模式	0011111010	1010101010	1100000101	0101010101

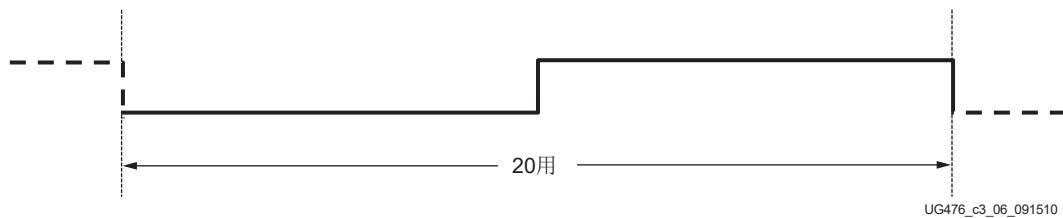


图3-24:20 UI方波

支持错误插入功能, 以验证链路连接以及抖动容差测试。当需要反转PRBS模式时, TXPOLARITY信号用于控制极性。

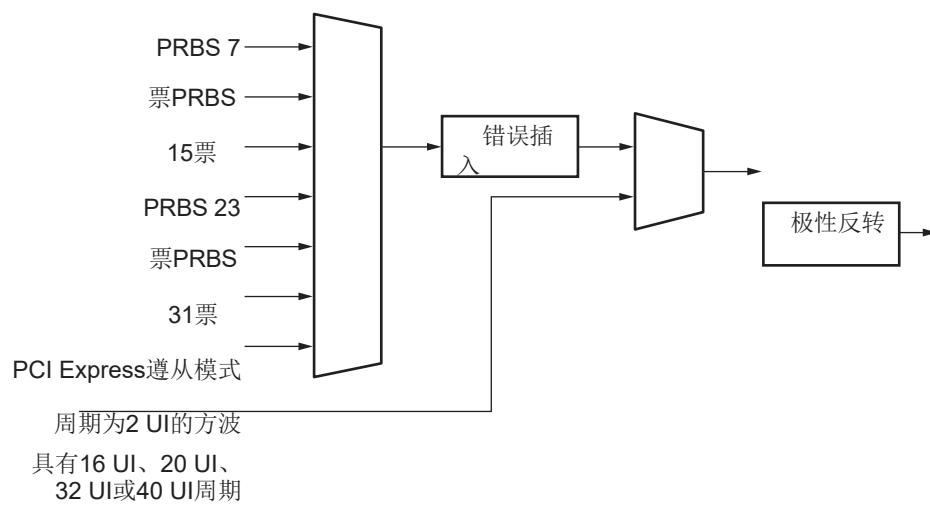


图3-25:TX模式发生器模块

## 端口和属性

[表3-22](#)定义模式生成器端口。

表3-22:模式生成器端口

端口名	目录	时钟域	描述
TXPRBSSEL[2:0]	在 … 里	TXUSRCLK2	<p>发射机PRBS发生器测试模式控制。</p> <p>000: 标准操作模式 (测试模式生成关闭)      001: PRBS-7      010: PRBS-15      011: PRBS-23      100: PRBS 31      101: PCI Express兼容模式。仅适用于20位和40位模式      110: 带2个UI的方波(交替0/1)      111: 16ui、20 ui、32 ui或40 ui周期的方波(基于数据宽度)</p>
TXPRBSFORCEERR	在 … 里	TXUSRCLK2	当此端口被驱动为高电平时, PRBS发送器中会出现错误。当此端口有效时, 输出数据模式包含错误。当TXPRBSSEL设置为000时, 该端口不影响TXDATA。

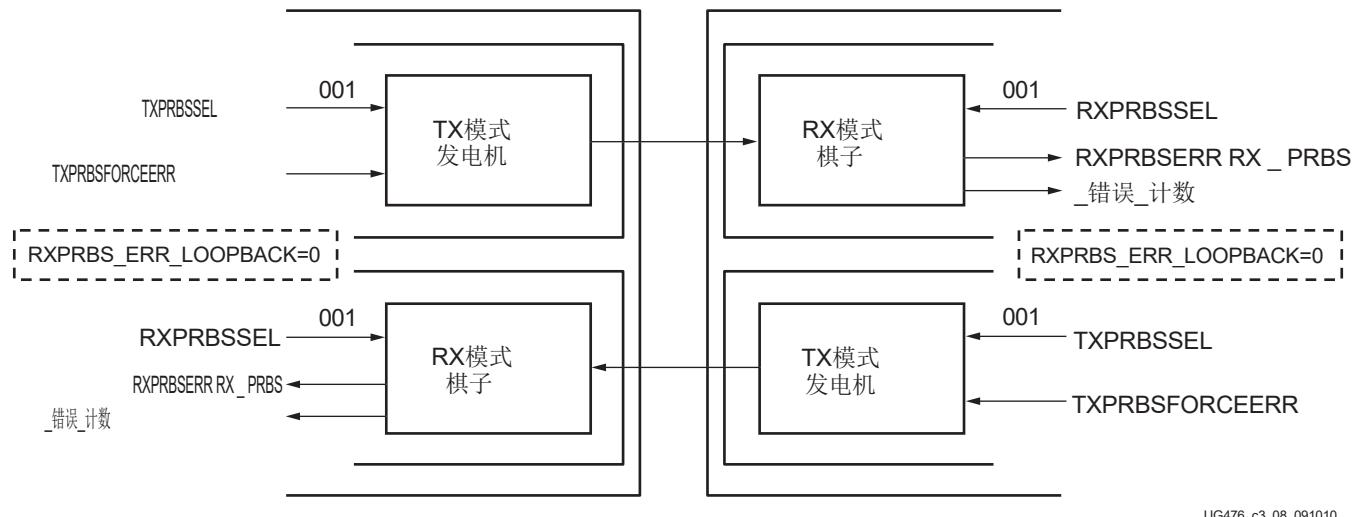
[表3-23](#)定义模式生成器属性。

表3-23:模式生成器属性

属性	类型	描述
RXPRBS_ERR_LOOPBACK	1位二进制	<p>置1时, 使RXPRBSERR位内部回送至同一个GTX/GTH收发器的TXPRBSFORCEERR。这允许同步和异步抖动容差测试, 而无需担心数据时钟域交叉。</p> <p>置0时, TXPRBSFORCEERR强制发送PRBS。</p>

## 使用模型

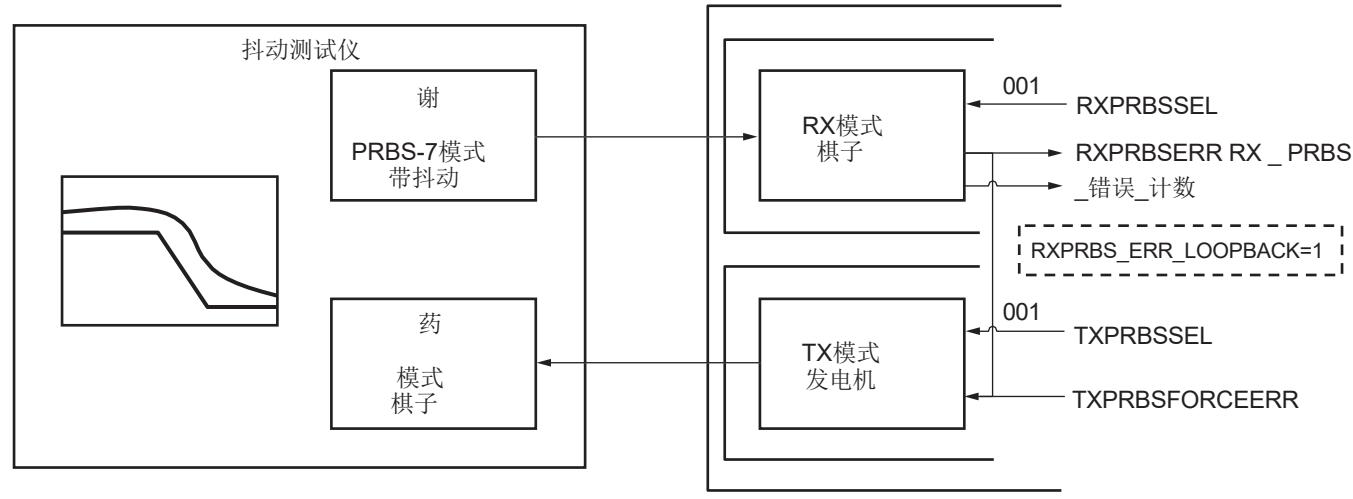
模式生成和检查功能通常用于验证链路质量测试，也用于抖动容限测试。对于链路质量测试，通过将TXPRBSSEL和RXPRBSSEL设置为非000值来选择测试模式，并将RXPRBS\_ERR\_LOOPBACK设置为0(图3-26)。RX码检查器只识别PRBS码。



UG476\_c3\_08\_091010

图3-26:链接测试模式与PRBS-7模式

为了精确计算接收器的误码率(BER)，应使用外部抖动容差测试仪。对于测试，GTX/GTH收发器应通过将RXPRBS\_ERR\_LOOPBACK置1，将接收到的错误状态通过发送器返回(图3-27)。相同的设置应适用于RXPRBSSEL和TXPRBSSEL。



UG476\_c3\_09\_091110

图3-27:具有PRBS-7模式的抖动容差测试模式

## TX极性控制

### 功能描述

如果PCB上的TXP和TXN差分走线被意外交换，GTX/GTH收发器TX发送的差分数据就会被反转。一种解决方案是在串行化和传输之前反转并行数据，以抵消差分对上的极性反转。TX极性控制可以通过结构用户界面的TX polarity输入来访问。它被驱动为高电平以反转输出数据的极性。

### 端口和属性

表3-24定义TX极性控制所需的端口。

表3-24.TX极性控制端口

港口	目录	时钟域	描述
tx极性	在 ... 里	TXUSRCLK2	TXPOLARITY端口用于反转输出数据的极性。 0:不反转。TXP是积极的，TXN是消极的。 1:倒置。TXP是阴性的，TXN是阳性的。

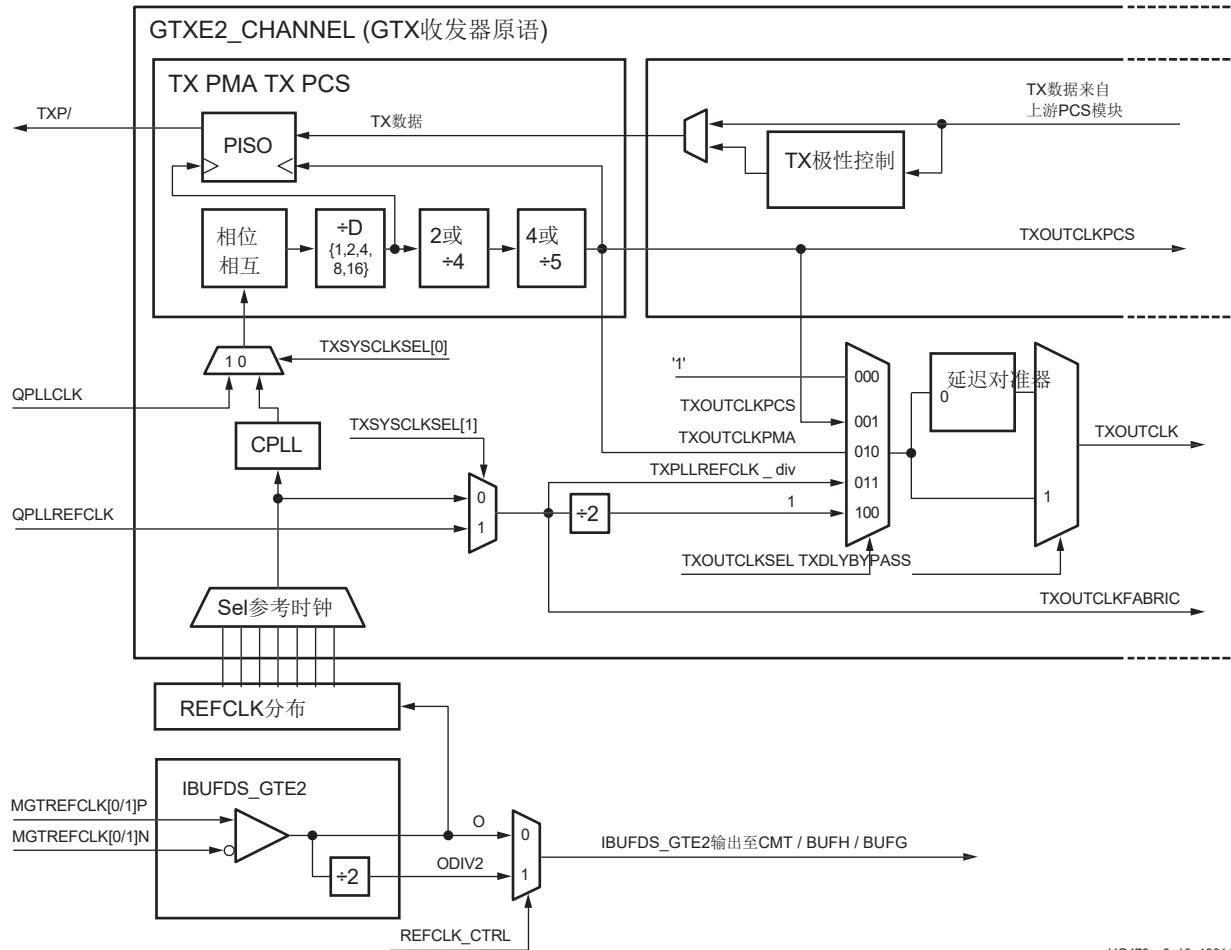
### 使用TX极性控制

如果需要反转TXP和TXN的极性，TXPOLARITY可以接高电平。

## TX结构时钟输出控制

### 功能描述

TX时钟分频器控制模块有两个主要组件:串行时钟分频器控制和并行时钟分频器和选择器控制。时钟分频器和选择器详情如所示图3-28.



UG476\_c3\_10\_100114

图3-28:TX串行和并行时钟分频器

与相关的注释图3-28:

1. TXOUTCLKPCS和TXOUTCLKFABRIC是冗余输出。新设计使用TXOUTCLK。
2. REFCLK\_CTRL选项由软件自动控制，用户不可选择。用户只能通过CMT (PLL、MMCM或BUFMRC)、BUFH或BUFG将IBUFDS\_GTE2的O或ODIV2输出之一路由至FPGA逻辑。
3. IBUFDS\_GTE2是一个冗余输出，增加了时钟方案的灵活性。
4. GTXE2\_CHANNEL/GTHE2\_CHANNEL中只有一个CPLL。如果适用，也可以使用GTXE2\_COMMON/GTHE2\_COMMON的QPLL。
5. /2或/4分频器模块的选择由GTXE2\_CHANNEL/GTHE2\_CHANNEL原语的TX\_INT\_DATAWIDTH属性控制。当TX\_INT\_DATAWIDTH = 0 (2字节内部数据路径)时选择/2，当TX\_INT\_DATAWIDTH = 1 (4字节内部数据路径)时选择/4。
6. /4或/5分频器模块的选择由GTXE2\_CHANNEL/GTHE2\_CHANNEL原语的TX\_DATA\_WIDTH属性控制。TX\_DATA\_WIDTH = 16、32或64时，选择/4。TX\_DATA\_WIDTH = 20、40或80时，选择/5。

7. 有关布局约束和时钟资源限制的详细信息(MMCM、BUFGCTRL、IBUFDS\_GTE2、BUFG等)。), 请参阅[UG472, 7系列FPGAs时钟资源用户指南](#).

## 串行时钟分频器

每个发射机PMA模块都有一个D分频器，用于分频来自PLL的时钟，以支持较低的线路速率。该串行时钟分频器D可以针对固定线路速率的应用进行静态设置，也可以针对多线路速率的协议进行动态更改。

要在固定线路速率应用中使用D分频器，TXOUT\_DIV属性必须设置为适当的值，TXRATE端口需要连接到3'b000。请通过中的属性列参考静态设置表3-25详情请见。

要在多线路速率应用中使用D分频器，TXRATE端口用于动态选择D分频器值。设备配置时，TXOUT\_DIV属性和TXRATE端口必须选择相同的D分频器值。器件配置完成后，TXRATE用于动态改变D分频器值。请参考中的“通过端口进行动态控制”一栏表3-25详情请见。

串行分频器的控制如所示表3-25。有关每个速度等级的线速率范围的详细信息，请参考相应数据表。

**表3-25:TX PLL输出分频器设置**

d分频器值	通过属性进行静态设置	通过端口进行动态控制
1	TXOUT_DIV = 1 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b001
2	TXOUT_DIV = 2 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b010
4	TXOUT_DIV = 4 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b011
8	TXOUT_DIV = 8 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b100
16	TXOUT_DIV = 16 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b101

## 并行时钟分频器和选择器

TX时钟分频器控制模块的并行时钟输出可以用作结构逻辑时钟，具体取决于线路速率要求。

该结构的推荐时钟是GTX/GTH收发器之一的TXOUTCLK。也可以将MGTREFCLK直接引入FPGA逻辑，用作结构时钟。TXOUTCLK是一般应用的首选，因为它有一个输出延迟控制，用于旁路TX缓冲器以实现输出通道偏斜消除或恒定数据路径延迟的应用。涉及[TX缓冲器旁路](#), 第135页了解更多详情。

TXOUTCLKSEL端口控制输入选择器，并允许通过TXOUTCLK端口输出这些时钟：

- TXOUTCLKSEL = 3'b001:不建议使用TXOUTCLKPCS路径，因为它会导致PCS模块的额外延迟。

- TXOUTCLKSEL = 3'b010: TXOUTCLKPMA是TX相位插值器之后的分频PLL时钟，由TX PCS模块使用。当PLL被相关复位信号之一复位时，该时钟中断。
- TXOUTCLKSEL = 3'b011或3'b100: TXPLLREFCLK\_DIV1或TXPLLREFCLK\_DIV2是CPLL或QPLL的输入参考时钟，具体取决于TXSYSCLKSEL[1]设置。TXPLLREFCLK是一般用途的推荐时钟，也是TX缓冲器旁路模式的必需时钟。

## 端口和属性

**表3-26**定义TX结构时钟输出控制所需的端口。

**表3-26:TX光纤时钟输出控制端口**

港口	目录	时钟域	描述
TXOUTCLKSEL[2:0]	在...里	异步非同步 (asynchronous)	此端口控制多路复用器选择信号输入图3-28。 3'b000:静态1 3'b001: TXOUTCLKPCS路径 3'b010: TXOUTCLKPMA路径 3'b011: TXPLLREFCLK_DIV1路径 3'b100: TXPLLREFCLK_DIV2路径 其他:保留。
TXRATE[2:0]	在...里	TXUSRCLK2	该端口动态控制TX串行时钟分频器D的设置(参见表3-25)，它与TXOUT_DIV属性一起使用。 3'b000: 使用 TXOUT_DIV 分频器值 3'b001: 将D分割器设置为1 3'b010: 将D分割器设置为2 3'b011: 将D分割器设置为4 3'b100: 将D分割器设置为8 3'b101: 将D分割器设置为16
TXOUTCLKFABRIC	在外	时钟	TXOUTCLKFABRIC是为测试保留的冗余输出。 TXOUTCLK with TXOUTCLKSEL = 应使用3。
TXOUTCLK	在外	时钟	TXOUTCLK是FPGA逻辑的推荐时钟输出。TXOUTCLKSEL端口是TXOUTCLK的输入选择器，允许PLL向FPGA逻辑输入参考时钟。
TXOUTCLKPCS	在外	时钟	TXOUTCLKPCS是一个冗余输出。 TXOUTCLK, TXOUTCLKSEL = 应使用3代替。

表3-26:TX光纤时钟输出控制端口(续)

港口	目录	时钟域	描述
TXRATEDONE	在外	TXUSRCLK2	TXRATEDONE端口在一个TXUSRCLK2周期内保持高电平，以响应TXRATE端口的变化。TRANS_TIME_RATE属性定义了TXRATE端口发生变化和TXRATEDONE置位之间的时间段。
TXDLYBYPASS	在...里	异步◎非同步 (asynchronous)	TX延迟对齐旁路: 0:使用TX延迟校准电路。当TX缓冲器被旁路时，置1。 1:旁路TX延迟对齐电路。使用TX缓冲器时，置1。

表3-27 定义TX结构时钟输出控制所需的属性。

表3-27:TX结构时钟输出控制属性

属性	类型	描述
运输时间费率	8位十六进制	保留。应使用7系列FPGAs收发器向导中的推荐值。该属性决定速率变化后PHYSTATUS和TXRATEDONE何时有效。
TXBUF_RESET_ON_速率_变化	布尔代数学体系的	设置为真时，该属性使能TXRATE变化引发的速率变化事件期间的自动TX缓冲器复位。
TXOUT_DIV	整数	该属性控制TX串行时钟分频器的设置。该属性仅在TXRATE = 3'b000时有效。否则，D分频器值由TXRATE控制。有效设置为1、2、4、8和16。

## TX相位插值器PPM控制器

### 功能描述

TX相位插值器百万分率(TXPIPPM)控制器模块支持动态控制TX相位插值器(TX PI)。位于TX PCS中，其输入来自FPGA TX接口，输出至TX PMA。存在需要对TX PMA中的数据进行微调控制的应用。通过TX PI实现对PLL输出时钟的控制，而TX PI又可以由TX相位插值器PPM控制器模块控制。FPGA逻辑可以通过使用PCS中的TX相位插值器PPM控制器模块来控制TX PMA中的TX PI。

### 端口和属性

**表3-28**定义TX相位插值器PPM控制器所需的端口。这些端口和属性仅与GTH收发器相关。

**表3-28:TX相位插值器PPM控制器端口**

港口	目录	时钟域	描述
TXPIPPMEN	在...里	TXUSRCLK2	1'b0:禁用TX相位插值器PPM控制器模块。TX PI不使用PI代码更新，而是保留先前的PI代码。 1'b1:使能TX相位插值器PPM控制器模块。TX PI在每个TXPI_SYNFREQ_PPM[2:0]更新一次PI代码周期。
TXPIPPMOVRDEN	在...里	异步◎非同步 (asynchronous)	1'b0:正常运行 1'b1:启用对发送PMA中发送PI的PI代码输出的直接控制。与TXPPMOVRD_VALUE[6:0]一起使用，以编程PI代码的值。
TXPIPPMSEL	在...里	异步◎非同步 (asynchronous)	保留。这应始终与1'b1相连。
TXPIPPMPD	在...里	异步◎非同步 (asynchronous)	1'b0:不关闭TX相位插值器PPM控制器模块。 1'b1:关断TX相位插值器PPM控制器模块。
TXPIPPMSTEPSEN[4:0]	在...里	异步◎非同步 (asynchronous)	TXPIPPMSTEPSEN[4]: 1'b1:递增PI代码。 1'b0:递减PI代码。 TXPIPPMSTEPSEN[3:0]是PI代码递增或递减的量。它的值范围从0到15。

表3-29 定义TX相位插值器PPM控制器属性。

表3-29 TX相位插值器PPM控制器属性

属性	类型	描述
TXPI_SYNFFREQ_PPM[2:0]	3位二进制	该属性指定发送PI的PI代码的更新频率。它每隔(TXPI_SYNFFREQ_PPM[2:0] + 1)个周期更新一次。全部除3'b000外，其他值均有效。该属性应使用7系列FPGAs收发器向导的默认值。
TXPI_PPM_CFG[7:0]	8位二进制	当TXPIPPMOVRDEN = 1'b1时，该属性的低7位应编程为输出到TX PI的128个值之一。需要对最高有效位施加脉冲(置位高电平，然后置位低电平)，以便TX PI注册新的7位值TXPI_PPM_CFG[6:0]。
TXPI_INVSTROBE_SEL	1位二进制	保留。绑在1'b0上。
TXPI_灰色_选择	1位二进制	1'b0: TXPIPPMSTEPSENSE[3:0]是二进制的 已编码。 1'b1: TXPIPPMSTEPSENSE[3:0]为灰色 已编码。
TXPI_PPMCLK_SEL	线	保留。该属性应使用7系列FPGAs收发器向导的默认值。

## TX相位插值器PPM控制器使用模式

下面描述了一个示例用例：

1. 结构中的频率计数器确定两个目标时钟之间的超前/滞后关系，并以一定的步长(TXPIPPMSTEPSENSE[3:0])递增或递减(TXPIPPMSTEPSENSE[4])PI代码。
2. 结构中的采样器和锁定检测电路确定两个时钟何时相位对准。当相位不对齐时，用户用所需的PI码向TX相位插值器PPM控制器发出一个信号。

当锁定检测电路认为两个时钟异相并使能TX相位插值器PPM控制器时，就会发生这种连续相移(微调)。

## PI代码步进模式

TXPIPPM控制器可用于手动调整TX PI控制器。这种使用模式允许参考时钟和GTH收发器的TX输出之间的相位关系可控。通过设置TXPIPPMSTEPSENSE[4]，然后根据下式调整TXPIPPMSTEPSENSE[3:0]，可以将TX相位前移或后移方程式3-2以获得合适的步长。在此模式下，TXPIPPMEN应提供两个TXUSRCLK周期的脉冲，以便将PI控制器移动一步。

$$\text{STEP\_SIZE(UI)} = \frac{\text{t-x-p-l-p-p-m-s-t-e-p-s-l-}}{\text{z-e-[3:-0]}} \quad \text{方程式3-2}$$

$$64 \odot \text{TXOUT\_DIV}$$

## TX可配置驱动器

### 功能描述

GTX/GTH收发器TX驱动器是一款高速电流模式差分输出缓冲器。为了最大限度地提高信号完整性，它包括以下特性：

- 差分电压控制
- 前光标和后光标传输预加重
- 校准终端电阻

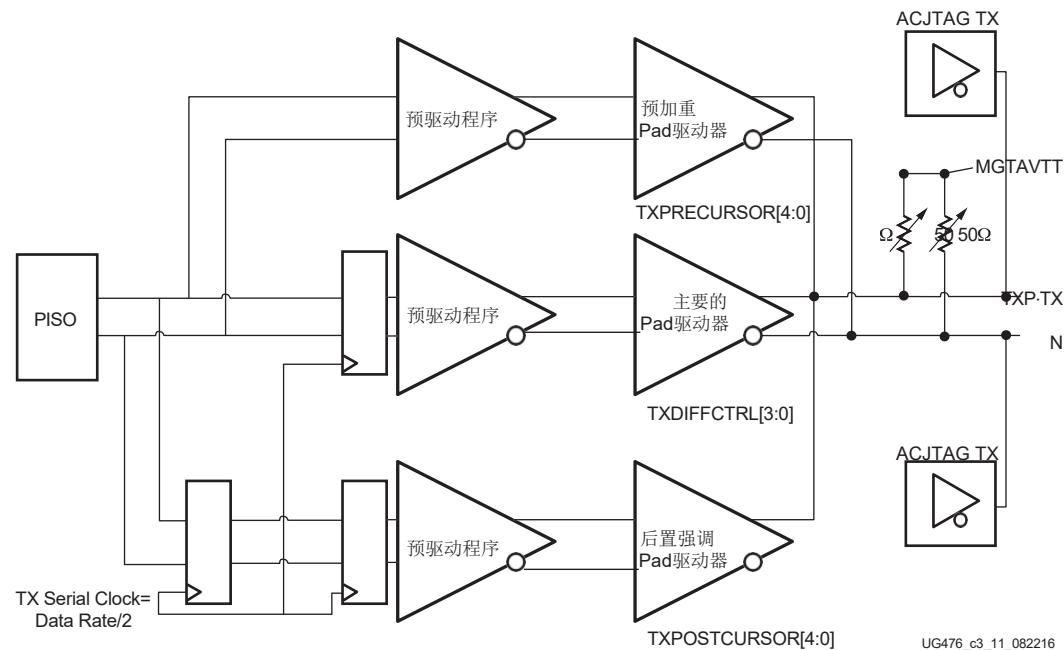


图3-29:TX可配置驱动器框图

**注意:**ACJTAG阻塞在图3-29是JTAG测试链的一部分。

### 端口和属性

表3-30定义TX可配置驱动器端口。

表3-30:TX可配置驱动器端口

港口	目录	时钟域	描述
TXBUFDIFFCTRL[2:0]	在...里	TXUSRCLK2	驾驶员前回转控制。默认值为3'b100(标称值)。做不修改该值。
TXDEEMPH	在...里	TXUSRCLK2	PCI Express PIPE 2.0接口的TX去加重控制。这个信号通过属性在内部映射到TXPOSTCURSOR。 0: 6.0 dB去加重(TX_DEEMPH_0[4:0]属性) 1: 3.5 dB去加重(TX_DEEMPH_1[4:0]属性)

表3-30:TX可配置驱动器端口(续)

港口	目录	时钟域	描述																																		
TXDIFFCTRL[3:0]	在...里	异步 $\ominus$ 非同步 (asynchronous)	<p>驾驶员回转控制。默认值是用户指定的。所有列出的值都以V为单位 程序设计指示:</p> <table border="1"> <thead> <tr> <th>[3:0]</th><th>V<sub>程序设计指示</sub></th></tr> </thead> <tbody> <tr><td>4英尺b0000</td><td>0.269</td></tr> <tr><td>4'b0001</td><td>0.336</td></tr> <tr><td>4'b0010</td><td>0.407</td></tr> <tr><td>4'b0011</td><td>0.474</td></tr> <tr><td>4英寸b0100</td><td>0.543</td></tr> <tr><td>4'b0101</td><td>0.609</td></tr> <tr><td>4英寸b0110</td><td>0.677</td></tr> <tr><td>4'b0111</td><td>0.741</td></tr> <tr><td>4英尺b1000英寸</td><td>0.807</td></tr> <tr><td>4英尺b1001英寸</td><td>0.866</td></tr> <tr><td>4英尺b1010英寸</td><td>0.924</td></tr> <tr><td>4英尺b1011英寸</td><td>0.973</td></tr> <tr><td>4英尺b1100英寸</td><td>1.018</td></tr> <tr><td>4英尺b1101英寸</td><td>1.056</td></tr> <tr><td>4英尺b1110英寸</td><td>1.092</td></tr> <tr><td>4英尺b1111英寸</td><td>1.119</td></tr> </tbody> </table> <p><b>注意:</b>当TXPOSTCURSOR = 5'b 00000且TXPRECURSOR = 5'b00000时, 定义峰峰值差分电压。</p>	[3:0]	V <sub>程序设计指示</sub>	4英尺b0000	0.269	4'b0001	0.336	4'b0010	0.407	4'b0011	0.474	4英寸b0100	0.543	4'b0101	0.609	4英寸b0110	0.677	4'b0111	0.741	4英尺b1000英寸	0.807	4英尺b1001英寸	0.866	4英尺b1010英寸	0.924	4英尺b1011英寸	0.973	4英尺b1100英寸	1.018	4英尺b1101英寸	1.056	4英尺b1110英寸	1.092	4英尺b1111英寸	1.119
[3:0]	V <sub>程序设计指示</sub>																																				
4英尺b0000	0.269																																				
4'b0001	0.336																																				
4'b0010	0.407																																				
4'b0011	0.474																																				
4英寸b0100	0.543																																				
4'b0101	0.609																																				
4英寸b0110	0.677																																				
4'b0111	0.741																																				
4英尺b1000英寸	0.807																																				
4英尺b1001英寸	0.866																																				
4英尺b1010英寸	0.924																																				
4英尺b1011英寸	0.973																																				
4英尺b1100英寸	1.018																																				
4英尺b1101英寸	1.056																																				
4英尺b1110英寸	1.092																																				
4英尺b1111英寸	1.119																																				
TXELECidle	在...里	TXUSRCLK2	高电平时, 该信号强制MGTXTXP/MGTHTXP和MGTXTXN/MGTHTXN都进入共模, 产生一个电气空闲信号。																																		
TXINHIBIT	在...里	TXUSRCLK2	高电平时, 该信号阻止TXDATA传输, 并强制MGTXTXP/MGTHTXP为0, MGTXTXN/MGTHTXN为1。																																		
TXMAINCURSOR[6:0]	在...里	异步 $\ominus$ 非同步 (asynchronous)	<p>如果TX_MAINCURSOR_SEL属性设置为1'b1, 则允许直接设置主光标系数。</p> <p>51-TXPOSTCURSOR系数单位-tx precursor系数单位  <math>\leq</math>TXMAINCURSOR系数单位  <math>\leq</math>80-TXPOSTCURSOR系数单位-tx precursor系数单位。</p>																																		

表3-30:TX可配置驱动器端口(续)

港口	目录	时钟域	描述								
TXMARGIN[2:0]	在...里	异步◎非同步 (asynchronous)	PCI Express PIPE 3.0接口的TX余量控制。这些信号通过属性在内部映射到TXDIFFCTRL/TXBUFDIFFCTRL。								
			[2:0]	满量程	半范围	全范围属性	半范围属性				
			000	800-1200	400-1200	TX_MARGIN_满_0	TX_MARGIN_LOW_0				
			001	800-1200	400-700	TX_MARGIN_满1	TX_MARGIN_LOW_1				
			010	800-1200	400-700	发送毛利满2	TX_MARGIN_LOW_2				
			011	200-400	100-200	TX_MARGIN_FULL_3	TX_MARGIN_LOW_3				
			100	100-200	100-200	TX_MARGIN_FULL_4	TX_MARGIN_LOW_4				
			101	默认为“直接”模式							
			110								
			111								
TXQPIBIASEN	在...里	异步◎非同步 (asynchronous)	根据QPI规范的要求，使能TX输出上的GND偏置。								
TXQPISENN	在外	异步◎非同步 (asynchronous)	检测输出在MGTXTN/MGTHTXN引脚上记录1或0。								
TXQPISENP	在外	异步◎非同步 (asynchronous)	检测输出，记录MGTXXP/MGTHTXP引脚上的1或0。								
TXQPISTRONGPDOWN	在...里	异步◎非同步 (asynchronous)	将TX输出强拉至GND，使能QPI协议要求的握手。								
TXQPIWEAKPUP	在...里	异步◎非同步 (asynchronous)	将TX输出弱拉至MGTAVTT，使能QPI协议要求的握手。								

表3-30:TX可配置驱动器端口(续)

港口	目录	时钟域	描述																																																																														
TXPOSTCURSOR[4:0]	在...里	异步◎非同步 (asynchronous)	<p>发射器光标后TX预加重控制。默认值是用户指定的。所有列出的值(dB)都是典型值。</p> <table border="1"> <thead> <tr> <th>[4:0]</th><th>重点(分贝)</th><th>系数单位 </th></tr> </thead> <tbody> <tr><td>5英尺 b00000</td><td>0.00</td><td>0</td></tr> <tr><td>5'b00001</td><td>0.22</td><td>1</td></tr> <tr><td>5'b00010</td><td>0.45</td><td>2</td></tr> <tr><td>5'b00011</td><td>0.68</td><td>3</td></tr> <tr><td>5英尺 b00100</td><td>0.92</td><td>4</td></tr> <tr><td>5'b00101</td><td>1.16</td><td>5</td></tr> <tr><td>5'b00110</td><td>1.41</td><td>6</td></tr> <tr><td>5'b00111</td><td>1.67</td><td>7</td></tr> <tr><td>5英尺 b01000</td><td>1.94</td><td>8</td></tr> <tr><td>5'b01001</td><td>2.21</td><td>9</td></tr> <tr><td>5'b01010</td><td>2.50</td><td>10</td></tr> <tr><td>5'b01011</td><td>2.79</td><td>11</td></tr> <tr><td>5英尺 b01100</td><td>3.10</td><td>12</td></tr> <tr><td>5'b01101</td><td>3.41</td><td>13</td></tr> <tr><td>5'b01110</td><td>3.74</td><td>14</td></tr> <tr><td>5'b01111</td><td>4.08</td><td>15</td></tr> <tr><td>5英尺 b10000</td><td>4.44</td><td>16</td></tr> <tr><td>5'b10001</td><td>4.81</td><td>17</td></tr> <tr><td>5英尺 b10010</td><td>5.19</td><td>18</td></tr> <tr><td>5英尺 b10011</td><td>5.60</td><td>19</td></tr> <tr><td>5英尺 b10100英寸</td><td>6.02</td><td>20</td></tr> <tr><td>5'b10101</td><td>6.47</td><td>21</td></tr> <tr><td>5英尺 b10110英寸</td><td>6.94</td><td>22</td></tr> <tr><td>5'b10111</td><td>7.43</td><td>23</td></tr> <tr><td>5英尺 b11000英寸</td><td>7.96</td><td>24</td></tr> </tbody> </table> <p><b>注意:</b>当TXPRECURSOR =5'b00000时, 定义TXPOSTCURSOR值  <math>\text{Emphasis} = 20\log_{10}(V\text{高的}/V\text{低的}) =  20\log_{10}(V\text{低的}/V\text{高的}) </math></p>	[4:0]	重点(分贝)	系数单位	5英尺 b00000	0.00	0	5'b00001	0.22	1	5'b00010	0.45	2	5'b00011	0.68	3	5英尺 b00100	0.92	4	5'b00101	1.16	5	5'b00110	1.41	6	5'b00111	1.67	7	5英尺 b01000	1.94	8	5'b01001	2.21	9	5'b01010	2.50	10	5'b01011	2.79	11	5英尺 b01100	3.10	12	5'b01101	3.41	13	5'b01110	3.74	14	5'b01111	4.08	15	5英尺 b10000	4.44	16	5'b10001	4.81	17	5英尺 b10010	5.19	18	5英尺 b10011	5.60	19	5英尺 b10100英寸	6.02	20	5'b10101	6.47	21	5英尺 b10110英寸	6.94	22	5'b10111	7.43	23	5英尺 b11000英寸	7.96	24
[4:0]	重点(分贝)	系数单位																																																																															
5英尺 b00000	0.00	0																																																																															
5'b00001	0.22	1																																																																															
5'b00010	0.45	2																																																																															
5'b00011	0.68	3																																																																															
5英尺 b00100	0.92	4																																																																															
5'b00101	1.16	5																																																																															
5'b00110	1.41	6																																																																															
5'b00111	1.67	7																																																																															
5英尺 b01000	1.94	8																																																																															
5'b01001	2.21	9																																																																															
5'b01010	2.50	10																																																																															
5'b01011	2.79	11																																																																															
5英尺 b01100	3.10	12																																																																															
5'b01101	3.41	13																																																																															
5'b01110	3.74	14																																																																															
5'b01111	4.08	15																																																																															
5英尺 b10000	4.44	16																																																																															
5'b10001	4.81	17																																																																															
5英尺 b10010	5.19	18																																																																															
5英尺 b10011	5.60	19																																																																															
5英尺 b10100英寸	6.02	20																																																																															
5'b10101	6.47	21																																																																															
5英尺 b10110英寸	6.94	22																																																																															
5'b10111	7.43	23																																																																															
5英尺 b11000英寸	7.96	24																																																																															
TXPOSTCURSORINV	在...里	异步◎非同步 (asynchronous)	当设置为1'b1时, 反转TXPOSTCURSOR系数的极性。默认值为1'b0。																																																																														

表3-30:TX可配置驱动器端口(续)

港口	目录	时钟域	描述																																																																																																			
TXPRECURSOR[4:0]	在...里	异步@非同步 (asynchronous)	<p>发射机预光标TX预加重控制。默认值是用户指定的。所有列出的值(dB)都是典型值。</p> <table border="1"> <thead> <tr> <th>[4:0]</th><th>重点(分贝)</th><th>系数单位 </th></tr> </thead> <tbody> <tr><td>5英尺b00000</td><td>0.00</td><td>0</td></tr> <tr><td>5'b00001</td><td>0.22</td><td>1</td></tr> <tr><td>5'b00010</td><td>0.45</td><td>2</td></tr> <tr><td>5'b00011</td><td>0.68</td><td>3</td></tr> <tr><td>5英尺b00100</td><td>0.92</td><td>4</td></tr> <tr><td>5'b00101</td><td>1.16</td><td>5</td></tr> <tr><td>5'b00110</td><td>1.41</td><td>6</td></tr> <tr><td>5'b00111</td><td>1.67</td><td>7</td></tr> <tr><td>5英尺b01000</td><td>1.94</td><td>8</td></tr> <tr><td>5'b01001</td><td>2.21</td><td>9</td></tr> <tr><td>5'b01010</td><td>2.50</td><td>10</td></tr> <tr><td>5'b01011</td><td>2.79</td><td>11</td></tr> <tr><td>5英尺b01100</td><td>3.10</td><td>12</td></tr> <tr><td>5'b01101</td><td>3.41</td><td>13</td></tr> <tr><td>5'b01110</td><td>3.74</td><td>14</td></tr> <tr><td>5'b01111</td><td>4.08</td><td>15</td></tr> <tr><td>5英尺b10000</td><td>4.44</td><td>16</td></tr> <tr><td>5'b10001</td><td>4.81</td><td>17</td></tr> <tr><td>5英尺b10010</td><td>5.19</td><td>18</td></tr> <tr><td>5英尺b10011</td><td>5.60</td><td>19</td></tr> <tr><td>5英尺b10100英寸</td><td>6.02</td><td>20</td></tr> <tr><td>5'b10101</td><td>6.02</td><td>20</td></tr> <tr><td>5英尺b10110英寸</td><td>6.02</td><td>20</td></tr> <tr><td>5'b10111</td><td>6.02</td><td>20</td></tr> <tr><td>5英尺b11000英寸</td><td>6.02</td><td>20</td></tr> <tr><td>5'b11001</td><td>6.02</td><td>20</td></tr> <tr><td>5英尺b11010英寸</td><td>6.02</td><td>20</td></tr> <tr><td>5英尺b11011英寸</td><td>6.02</td><td>20</td></tr> <tr><td>5英尺b11100英寸</td><td>6.02</td><td>20</td></tr> <tr><td>5'b11101</td><td>6.02</td><td>20</td></tr> <tr><td>5英尺b11110英寸</td><td>6.02</td><td>20</td></tr> <tr><td>5英尺b11111英寸</td><td>6.02</td><td>20</td></tr> </tbody> </table> <p><b>注意:</b>当TXPOSTCURSOR =5'b00000时, 定义TXPRECURSOR值 Emphasis = <math>20\log_{10}(V_{\text{高的}}/V_{\text{低的}}) =  20\log_{10} (V_{\text{low}}/V_{\text{high}}) </math></p>	[4:0]	重点(分贝)	系数单位	5英尺b00000	0.00	0	5'b00001	0.22	1	5'b00010	0.45	2	5'b00011	0.68	3	5英尺b00100	0.92	4	5'b00101	1.16	5	5'b00110	1.41	6	5'b00111	1.67	7	5英尺b01000	1.94	8	5'b01001	2.21	9	5'b01010	2.50	10	5'b01011	2.79	11	5英尺b01100	3.10	12	5'b01101	3.41	13	5'b01110	3.74	14	5'b01111	4.08	15	5英尺b10000	4.44	16	5'b10001	4.81	17	5英尺b10010	5.19	18	5英尺b10011	5.60	19	5英尺b10100英寸	6.02	20	5'b10101	6.02	20	5英尺b10110英寸	6.02	20	5'b10111	6.02	20	5英尺b11000英寸	6.02	20	5'b11001	6.02	20	5英尺b11010英寸	6.02	20	5英尺b11011英寸	6.02	20	5英尺b11100英寸	6.02	20	5'b11101	6.02	20	5英尺b11110英寸	6.02	20	5英尺b11111英寸	6.02	20
[4:0]	重点(分贝)	系数单位																																																																																																				
5英尺b00000	0.00	0																																																																																																				
5'b00001	0.22	1																																																																																																				
5'b00010	0.45	2																																																																																																				
5'b00011	0.68	3																																																																																																				
5英尺b00100	0.92	4																																																																																																				
5'b00101	1.16	5																																																																																																				
5'b00110	1.41	6																																																																																																				
5'b00111	1.67	7																																																																																																				
5英尺b01000	1.94	8																																																																																																				
5'b01001	2.21	9																																																																																																				
5'b01010	2.50	10																																																																																																				
5'b01011	2.79	11																																																																																																				
5英尺b01100	3.10	12																																																																																																				
5'b01101	3.41	13																																																																																																				
5'b01110	3.74	14																																																																																																				
5'b01111	4.08	15																																																																																																				
5英尺b10000	4.44	16																																																																																																				
5'b10001	4.81	17																																																																																																				
5英尺b10010	5.19	18																																																																																																				
5英尺b10011	5.60	19																																																																																																				
5英尺b10100英寸	6.02	20																																																																																																				
5'b10101	6.02	20																																																																																																				
5英尺b10110英寸	6.02	20																																																																																																				
5'b10111	6.02	20																																																																																																				
5英尺b11000英寸	6.02	20																																																																																																				
5'b11001	6.02	20																																																																																																				
5英尺b11010英寸	6.02	20																																																																																																				
5英尺b11011英寸	6.02	20																																																																																																				
5英尺b11100英寸	6.02	20																																																																																																				
5'b11101	6.02	20																																																																																																				
5英尺b11110英寸	6.02	20																																																																																																				
5英尺b11111英寸	6.02	20																																																																																																				
TXPRECURSORINV	在...里	异步@非同步 (asynchronous)	当设置为1'b1时, 反转tx前驱系数的极性。默认值为1'b0。																																																																																																			

表3-30:TX可配置驱动器端口(续)

港口	目录	时钟域	描述
MGTXTXP/MGTHTXP MGTXTXN/MGTHTXN	输出 (填充 )	TX串行 时钟	彼此的差分互补形成差分发射输出对。这些端口代表焊盘。这些端口的位置必须受到限制(参见实施, 第30页)并带到设计的顶层。
TXSWING	在... 里	异步◎非同步 (asynchronous)	PCI Express PIPE 3.0接口的TX摆幅控制。该信号在内部映射到 TXDIFFCTRL/TXBUDIFFCTRL。 0:全摆幅 1:低摆幅
TXDIFFPD	在... 里	异步◎非同步 (asynchronous)	保留。
TXPISOPD	在... 里	异步◎非同步 (asynchronous)	保留。

表3-31:TX可配置驱动器属性。

表3-31:TX可配置驱动器属性

属性	类型	描述
TX_DEEMPH0[4:0]	5位二进制	该属性具有TXPOSTCURSOR[4:0]的值, 当TXDEEMPH = 0时必须映射该值。TX_DEEMPH0[4:0] = TXPOSTCURSOR[4:0]。默认值为5英尺10100英寸。 不要修改该值。
TX_DEEMPH1[4:0]	5位二进制	该属性具有TXPOSTCURSOR[4:0]的值, 当TXDEEMPH = 1时必须映射该值。TX_DEEMPH1[4:0] = TXPOSTCURSOR[4:0]。默认值为5'b01101。 不要修改该值。
TX_驱动模式	线	此属性选择是PCI Express PIPE 2.0引脚、PCI Express PIPE 3.0扩展引脚还是TX驱动控制引脚控制TX驱动器。默认为“直接” DIRECT: TXBUFDIFFCRL、TXDIFFCTRL、TXPOSTCURSOR、TXPRECURSOR和TXMAINCURSOR(如果TX_MAINCURSOR_SEL = 1'b1)控制TX驱动器设置。 PIPE: txdeephm、TXMARGIN、TXSWING、TXPRECURSOR和TXMAINCURSOR(如果TX_MAINCURSOR_SEL = 1'b1)控制TX驱动器设置。 PIPEGEN3: TXMARGIN、TXSWING、TXPOSTCURSOR、TXPRECURSOR和TXMAINCURSOR(如果TX_MAINCURSOR_SEL = 1'b1)控制TX驱动器设置。
TX_主光标_选择	1位二进制	允许独立控制主光标。 1 ' B0 : TXMAINCURSOR系数由下式自动确定: 80 - TXPOSTCURSOR系数 - tx precursor系数 1 ' b1 : TXMAINCURSOR系数可由TXMAINCURSOR引脚在引脚描述中指定的范围内独立设置。

表3-31:TX可配置驱动器属性(续)

属性	类型	描述
TX_MARGIN_FULL_0[6:0]	7位二进制	当TXMARGIN = 000且TXSWING = 0时, 该属性具有必须映射的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]的值。 TX_MARGIN_FULL_0 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0] 。
TX_MARGIN_FULL_1[6:0]	7位二进制	当TXMARGIN = 001且TXSWING = 0时, 必须映射该属性的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]值。 TX_MARGIN_FULL_1 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0] 。
TX_MARGIN_FULL_2[6:0]	7位二进制	当TXMARGIN = 010且TXSWING = 0时, 必须映射该属性的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]值。 TX_MARGIN_FULL_2 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0] 。
TX_MARGIN_FULL_3[6:0]	7位二进制	当TXMARGIN = 011且TXSWING = 0时, 必须映射该属性的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]值。 TX_MARGIN_FULL_3 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0] 。
TX_MARGIN_FULL_4[6:0]	7位二进制	当TXMARGIN = 100且TXSWING = 0时, 该属性具有必须映射的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]的值。 TX_MARGIN_FULL_4 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0] 。
TX_MARGIN_LOW_0[6:0]	7位二进制	当TXMARGIN = 000且TXSWING = 1时, 必须映射该属性的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]值。 TX_MARGIN_LOW_0 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0]。
TX_MARGIN_LOW_1[6:0]	7位二进制	当TXMARGIN = 001且TXSWING = 1时, 该属性具有必须映射的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]的值。 TX_MARGIN_LOW_1 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0]。
TX_MARGIN_LOW_2[6:0]	7位二进制	当TXMARGIN = 010且TXSWING = 1时, 该属性具有必须映射的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]值。 TX_MARGIN_LOW_2 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0]。
TX_MARGIN_LOW_3[6:0]	7位二进制	当TXMARGIN = 011且TXSWING = 1时, 该属性具有必须映射的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]值。 TX_MARGIN_LOW_3 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0]。
TX_MARGIN_LOW_4[6:0]	7位二进制	当TXMARGIN = 100且TXSWING = 1时, 该属性具有必须映射的TXBUFDIFFCTRL[2:0]和TXDIFFCTRL[3:0]的值。 TX_MARGIN_LOW_4 = TXBUFDIFFCTRL[2:0], TXDIFFCTRL[3:0]。
TX_预驱动模式	1位二进制	这是一个受限制的属性。始终将此设置为1'b0。不要修改该属性。
德克萨斯QPI状态	1位二进制	使QPI信号能够传递到结构中。

表3-31:TX可配置驱动器属性(续)

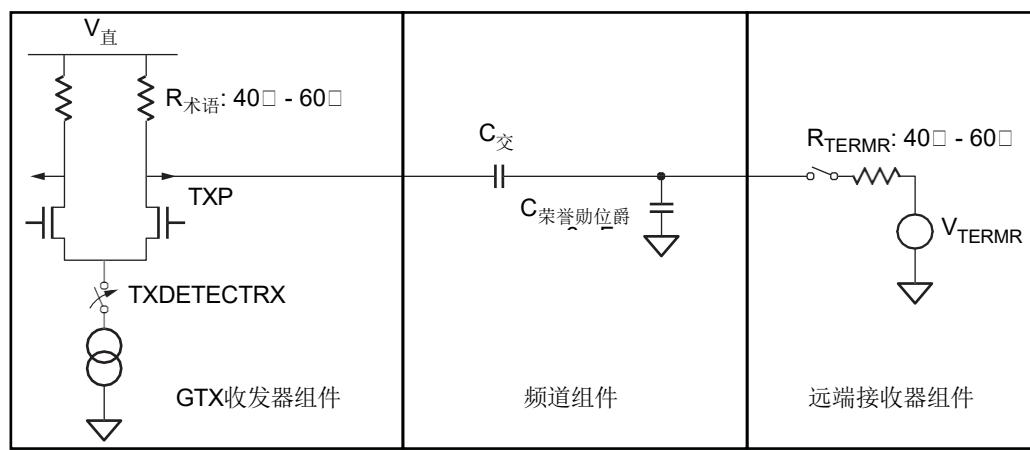
属性	类型	描述
TX_EIDLE_ASSERT_DELAY	3位二进制	TXELECIDLE去断言到TXP/N退出电气空闲之间的可编程延迟。应使用7系列FPGAs收发器向导中的推荐值。
TX_EIDLE_DEASSERT_DELAY	3位二进制	TXELECIDLE去断言到TXP/N退出电气空闲之间的可编程延迟。应使用7系列FPGAs收发器向导中的推荐值。
TX_环回_驱动_HIZ	1位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。

## TX接收器检测支持PCI Express设计

### 功能描述

PCI Express规范包括允许给定链路上的发送器检测接收器是否存在特征。接收器是否存在的决定是基于TXP/TXN的上升时间。[图3-30](#)显示了用于接收检测的电路模型。GTX/GTH收发器必须处于P1断电状态才能执行接收器检测。

接收器检测需要在发射器和接收器之间连接一个外部耦合电容，并且接收器必须端接。有关Gen1、Gen2或Gen3应用中外部耦合电容的实际值，请参考PCI Express基本规范。接收器检测序列从TXDETECTRX置位开始。作为响应，接收器检测逻辑将TXN和TXP驱动到( $V_{直接伤害} - V_{摇摆}/2$ )然后释放它们。在可编程的间隔之后，将TXN和TXP的电平与阈值电压。序列结束时，当PHYSTATUS在一个周期内置位高电平时，接收器检测状态显示在RXSTATUS上。



UG476\_c3\_12\_070214

图3-30:接收器检测电路模型

**注意:**有关Gen1、Gen2或Gen3应用中外部耦合电容的实际值，请参考PCI Express基本规范。

## 端口和属性

[表3-32](#)描述TX接收器检测端口。

表3-32:TX接收器检测端口

港口	目录	时钟域	描述
TXDETECTRX	在...里	TXUSRCLK2	用于告诉GTX/GTH收发器开始接收器检测操作。 0:正常运行。 1:接收器检测。
TXPD[1:0]	在...里	TXUSRCLK2 (TXPDELECIDLEMODE使该端口异步)	打开或关闭GTX/GTH收发器的TX和RX。在PCI Express模式下, TXPD和RXPD应连接到同一个源。要执行接收器检测, 请将这些信号设置为P1省电状态。 00: P0正常工作时的电源状态。 01: P0省电状态, 恢复时间延迟低。 10: 恢复时间延迟较长的P1省电状态。 11: 功率最低的P2省电状态。
RXPD[1:0]	在...里	异步@非同步(asynchronous)	
体质	在外	RXUSRCLK2	在PCI Express模式下, 该信号用于传达几个GTX/GTH收发器功能的完成, 包括电源管理状态转换、速率变化和接收器检测。在接收器检测期间, 该信号置位为高电平, 表示接收器检测完成。
RXSTATUS[2:0]	在外	RXUSRCLK2	在接收器检测期间, 当PHYSTATUS置位为高电平时, 读取该信号。在接收器检测期间, 只有这些编码有效: 000:接收器不存在。 011:接收器存在。

表3-33:TX接收器检测属性

属性	类型	描述
TX_RXDETECT_CFG	14位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
TX_RXDETECT_REF	3位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。

## 使用PCI Express的TX接收器检测

当处于P1功率状态时, 可以指示GTX/GTH收发器执行接收器检测操作, 以确定在链路的另一端是否有接收器。图3-31显示了如何在中执行接收器检测的示例使用模式PCI Express模式。

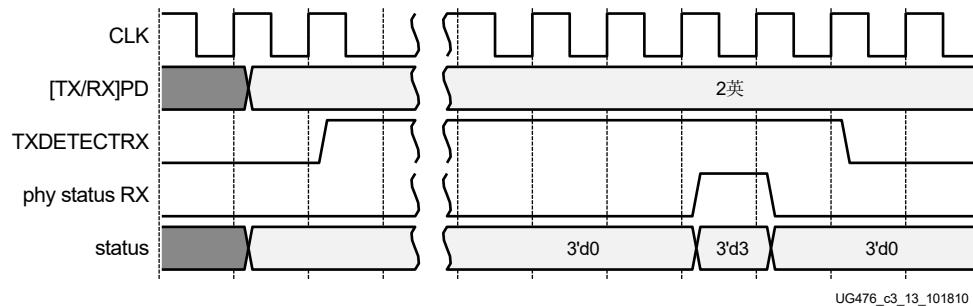


图3-31:PCI Express接收器检测

**注意:**图3-31显示了接收器当前情况下的事件顺序，并且未按比例绘制。

与相关的注释图3-31:

1. 通过置位TXDETECTRX来执行接收器检测之前，确保GTX/GTH收发器已成功进入P1功耗状态，且[TX/RX]PD = 2'd2。
2. 等待PHYSTATUS = 1'd1以在同一PCLK周期读取RXSTATUS。在...里PCI Express模式下，PCLK为[TX/RX]USRCLK。如果RXSTATUS = 3'd3，则接收器存在。如果RXSTATUS = 3'd0，则接收器不存在。将TXDETECTRX置位，退出接收器检测。

## TX带外信令

### 功能描述

每个GTX/GTH收发器都支持生成串行ATA (SATA)规范中描述的带外(OOB)序列、串行连接SCSI (SAS)规范以及PCI Express规范中描述的信标。

### 端口和属性

表3-34显示了OOB信令相关的端口。

表3-34:TX OOB信号端口

港口	目录	时钟域	描述
TXCOMFINISH	在外	TXUSRCLK2	表示最后一个SAS或SATA COM信标传输完成。
TXCOMINIT	在...里	TXUSRCLK2	启动SATA/SAS的COMINIT序列传输。
TXCOMSAS	在...里	TXUSRCLK2	启动SAS的COMSAS序列传输。
TXCOMWAKE	在...里	TXUSRCLK2	启动SATA/SAS的COMWAKE序列传输。

表3-34:TX OOB信号端口(续)

港口	目录	时钟域	描述
TXPDELECIDLEMODE	在...里	异步@非同步(asynchronous)	确定TXELECIDLE和TXPD应被视为同步信号还是异步信号。支持冷PCI Express重置和热PCI Express重置期间的合规性。 1:异步 0:同步
TXPD[1:0]	在...里	TXUSRCLK2 (TXPDELECIDLEMODE 使该端口异步)	根据PCI Express编码关闭TX通道。 00: P0正常运行 01: P0s低恢复时间断电 10: P1恢复时间更长, RecDet仍然开启 11: P2最低功耗状态。 属性可以控制这些掉电模式之间的转换时间(PD_TRANS_TIME_FROM_P2、PD_TRANS_TIME_NONE_P2、PD_TRANS_TIME_TO_P2)。

表3-35显示了OOB信令属性。

表3-35:TX OOB信令属性

属性	类型	描述
SATA_CPLL_CFG	线	与SAS/SATA相关的CPLL设置的配置位。 VCO_3000MHZ =全速率模式 VCO_1500MHZ =速率模式 VCO_750MHZ =速率模式
SATA_BURST_SEQ_LEN[3:0]	4位二进制	SAS/SATA的COM序列中有N + 1个突发。

# 听筒

## RX概述

### 功能描述

本节说明如何配置和使用接收机(RX)内部的各个功能模块。每个GTX/GTH收发器包括一个独立的接收器，由一个PCS和一个PMA组成。图4-1显示了GTX/GTH收发器RX的模块。高速串行数据从电路板上的走线流入GTX/GTH收发器RX的PMA，进入PCS，最后进入FPGA逻辑。涉及第47页，图2-9了解通道时钟架构的描述，该架构为RX和TX时钟分频器提供时钟。

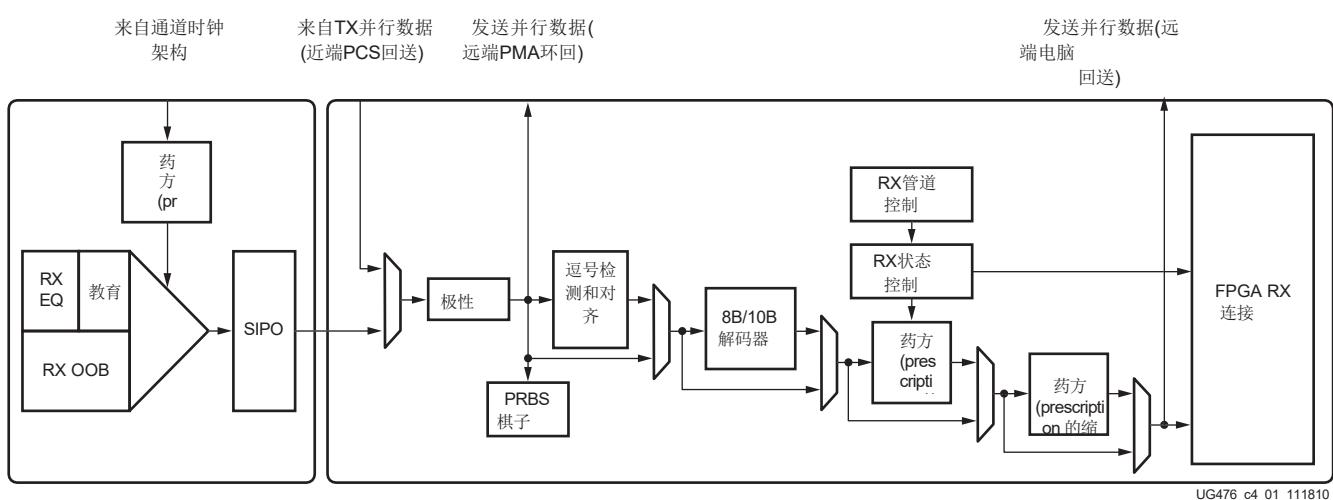


图4-1:GTX/GTH收发器RX框图

GTX/GTH收发器RX中的关键元素包括:

1. RX模拟前端, 第168页
2. RX带外信令, 第176页
3. RX均衡器(DFE和LPM), 第184页
4. RX CDR, 第199页
5. RX光纤时钟输出控制, 第210页
6. RX利润分析, 第214页
7. RX极性控制, 第223页

8. RX模式检查器, 第223页
9. RX字节和字对齐, 第225页
10. RX 8B/10B解码器, 第237页
11. RX缓冲器旁路, 第242页
12. RX弹性缓冲器, 第257页
13. RX时钟校正, 第261页
14. RX通道绑定, 第271页
15. RX齿轮箱, 第283页
16. FPGA RX接口, 第295页

## RX模拟前端

### 功能描述

RX模拟前端(AFE)是一个高速电流模式输入差分缓冲器(参见图4-1).它具有以下特点:

- 可配置RX端接电压
- 校准终端电阻

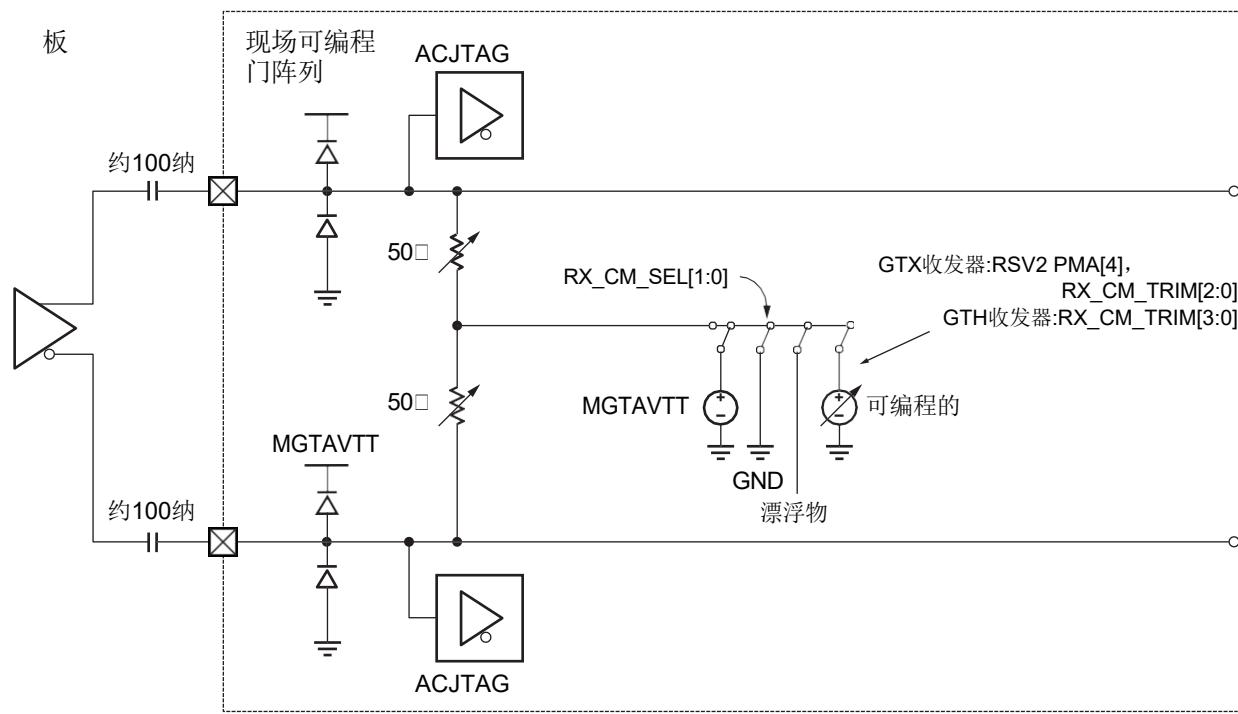


图4-2:RX模拟前端

**注意:**ACJTAG阻塞在图4-2是JTAG测试链的一部分。

## 端口和属性

表4-1 定义RX AFE端口。

表4-1:RX AFE端口

港口	目录	时钟域	描述
GTXRXN/GTHRXN, GTXRXP/GTHRXP	英寸(衬 垫)	RX串行时钟	彼此的差分互补形成差分接收器输入对。这些端口代表焊盘。这些端口的位置必须受到限制(参见实施, 第30页)并带到设计的顶层。
RXQPISENN	在外	异步◎非同步 (asynchronous)	检测输出, 记录GTXRXN/GTHRXN引脚上的1或0。
RXQPISENTP	在外	异步◎非同步 (asynchronous)	检测输出, 记录GTXRXP/GTHRXP引脚上的1或0。
RXQPIEN	在... 里	异步◎非同步 (asynchronous)	使能和禁用驱动检测输出端口 RXQPISENTP和RXQPISENN的缓冲器: 1'b0-禁用缓冲器 1'b1-启用缓冲器

表4-2 定义接收AFE属性。

表4-2:RX AFE属性

属性	类型	描述
RX_CM_SEL [1:0]	2位二进制	控制RX终端电压的模式。 2'b00- AVTT 2'b01- GND 2'b10-浮动 2'b11-可编程

表4-2:RX AFE属性(续)

属性	类型	描述
GTX收发器 :(PMA_RSV2[4], RX_CM_TRIM [2:0])  GTH收发器 :RX_CM_TRIM [3:0]	4位二进制	GTX/GTH收发器: 在可编程模式下控制共模。 4 ' b 0000-100毫伏 4 ' b 0001-200毫伏 4 英寸b 0010-250毫伏 4 ' b 0011-300毫伏 4 英寸b 0100-350毫伏 4 ' b 0101-400毫伏 4 英寸b 0110-500毫伏 4 英寸b 0111-550毫伏 4 英寸b 1000-600毫伏 4 英寸b 1001-700毫伏 4 英寸b 1010-800毫伏 4 英寸b 1011-850毫伏 4 英寸b 1100-900毫伏 4 英寸b 1101-950毫伏 4 英寸b 1110-1000毫伏 4 英寸b 1111-1100毫伏
期限_RCAL_CFG	GTX收发器:5位 二进制  GTH收发器:15位 二进制。	GTX收发器位[4:0] 控制内部终端校准电路。保留。应使用7系列 FPGAs收发器向导中的推荐值。  GTH收发器位[14:0] 控制内部终端校准电路。保留。应使用7系列 FPGAs收发器向导中的推荐值。
学期_RCAL_OVRD	GTX收发器:1位 二进制  GTH收发器:3位 二进制	GTX收发器: 选择外部100Ω精密电阻是连接到MGTRREF引 脚还是TERM_RCAL_CFG [4:0]定义的值。 保留。应使用7系列FPGAs收发器向导中的推 荐值。  GTH收发器位[2:0]: 选择外部100Ω精密电阻是连接到MGTRREF引 脚还是TERM_RCAL_CFG [14:0]定义的值。 保留。应使用7系列FPGAs收发器向导中的推 荐值。

## GTX和GTH使用模式—RX端接

表4-3:使用模式1—RX端接

使用模式	外部交流耦合	术语电压	最大摆幅(mV检索长)	建议的协议和使用说明
1	在	接地	1200	<p>GTx收发器:属性设置:</p> <ul style="list-style-type: none"> <li>• RX_CM_SEL[1:0] = 2'b01</li> <li>• PMA_RSV2[7:6] = 2'b10</li> </ul> <p>GTH收发器:端口设置:</p> <ul style="list-style-type: none"> <li>• RXDFEAGCTRL[4:3] = 2'b01</li> </ul> <p>Attribute settings:</p> <ul style="list-style-type: none"> <li>• RX_CM_SEL[1:0] = 2'b01</li> </ul>

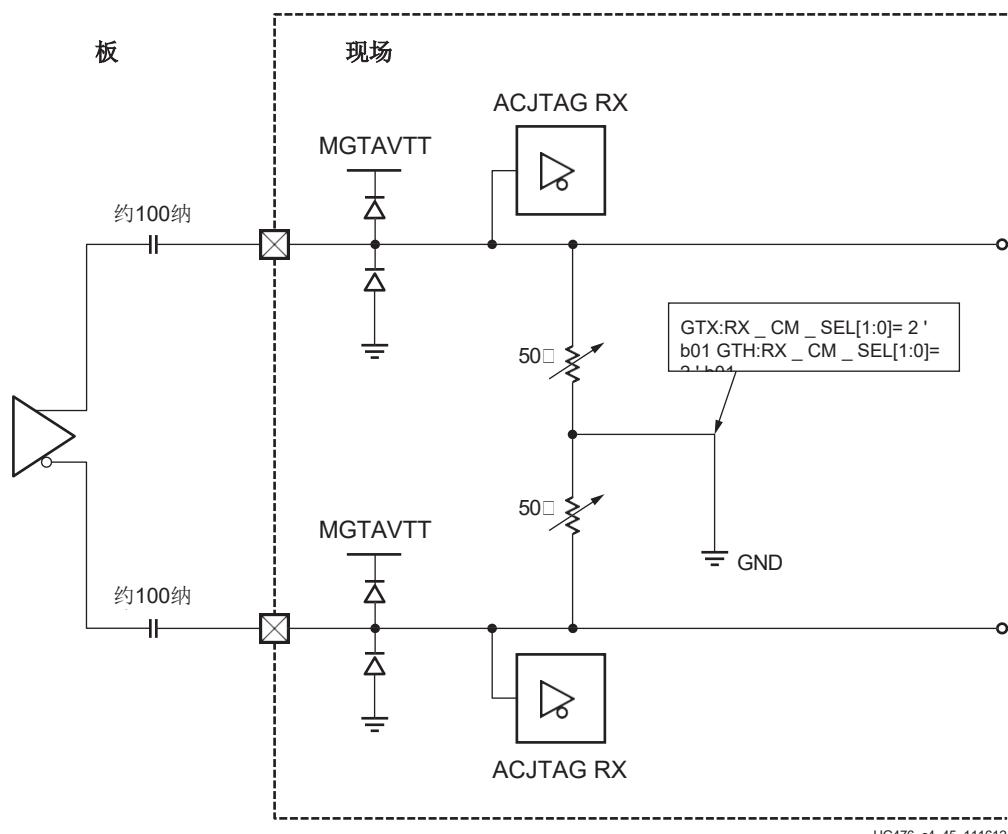
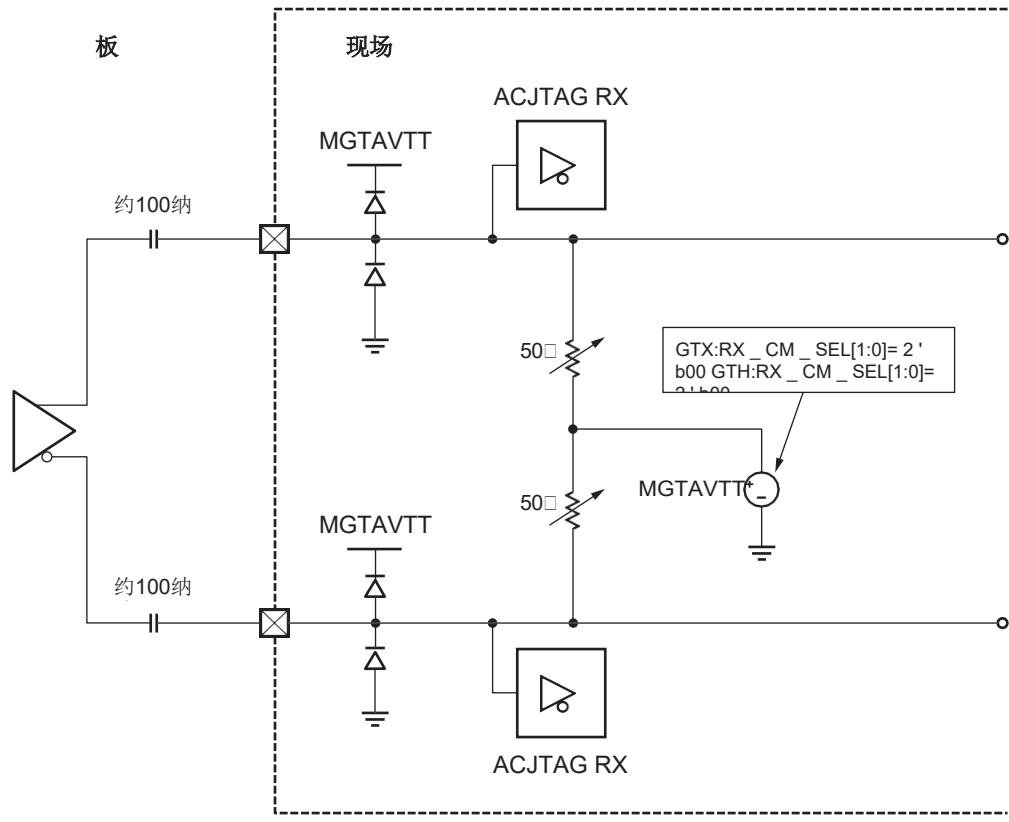


图4-3:使用模式1

表4-4:使用模式2—RX端接

使用模式	外部交流耦合	术语电压	最大摆幅(mV <sub>检察长</sub> )	建议的协议和使用说明
2	在	AVTT	1200	<p>GTx收发器:</p> <p>协议:</p> <ul style="list-style-type: none"><li>• LPM模式下的背板</li><li>• CEI-6 (1200 mV<sub>检察长</sub>)在LPM模式下</li><li>• 无线LPM模式</li><li>• LPM模式下的串行RapidIO</li></ul> <p>属性设置:</p> <ul style="list-style-type: none"><li>• RX_CM_SEL[1:0] = 2'b00</li><li>• PMA_RSV2[7:6] = 2'b01</li></ul> <p>GTH收发器:</p> <p>协议:</p> <ul style="list-style-type: none"><li>• LPM模式下的背板</li><li>• CEI-6 (1200 mV<sub>检察长</sub>)在LPM模式下</li><li>• 无线LPM模式</li><li>• LPM模式下的串行RapidIO</li></ul> <p>端口设置:</p> <ul style="list-style-type: none"><li>• RXDFEAGCTRL[4:3] = 2'b10</li></ul> <p>属性设置:</p> <ul style="list-style-type: none"><li>• RX_CM_SEL[1:0] = 2'b00</li></ul>



UG476\_c4\_46\_111612

图4-4: 使用模式2

表4-5: 使用模式3—RX端接

使用模式	外部交流耦合	端电压(mV)	最大摆幅 (mV <sub>检</sub> 长)	建议的协议和使用说明
3	在	800	2000	<p>GTX收发器: 协议:</p> <ul style="list-style-type: none"> <li>光学中频(SONET/SDH/OTU)</li> <li>SFP+, 高清/标清-SDI</li> <li>XAUI (1600 mV<sub>检</sub>长), GbE</li> <li>DFE和LPM模式下的PCIe</li> <li>DFE模式下的背板</li> <li>CEI-6 (1200 mV<sub>检</sub>长)在DFE模式下</li> <li>DFE模式下的无线</li> <li>DFE模式下的串行RapidIO</li> <li>DFE和LPM模式属性设置的因特拉肯:</li> <li>RX_CM_SEL[1:0] = 2'b11</li> <li>RX_CM_TRIM [3:0] = 4'b1010</li> <li>PMA_RSV2[7:6] = 2'b01</li> </ul>

表4-5:使用模式3—RX端接(续)

使用模式	外部交流耦合	端电压(mV)	最大摆幅 (mV <sub>检测长</sub> )	建议的协议和使用说明
3	在	800	2000	<p>GTH收发器:</p> <p>协议:</p> <ul style="list-style-type: none"> <li>• 光学中频(SONET/SDH/OTU)</li> <li>• SFP+, 高清/标清-SDI</li> <li>• XAUI(1600 mvdp), GbE</li> <li>• DFE和LPM模式下的PCIe</li> <li>• DFE模式下的背板</li> <li>• DFE模式下的CEI-6 (1200 mVDPP)</li> <li>• DFE模式下的无线</li> <li>• DFE模式下的串行RapidIO</li> <li>• DFE和LPM模式下的因特拉肯端口</li> </ul> <p>设置:</p> <ul style="list-style-type: none"> <li>• RXDFEAGCTRL[4:3] = 2'b10</li> </ul> <p>属性设置:</p> <ul style="list-style-type: none"> <li>• RX_CM_SEL [1:0] = 2'b11</li> <li>• RX_CM_TRIM[3:0] = 4'b1010</li> </ul>

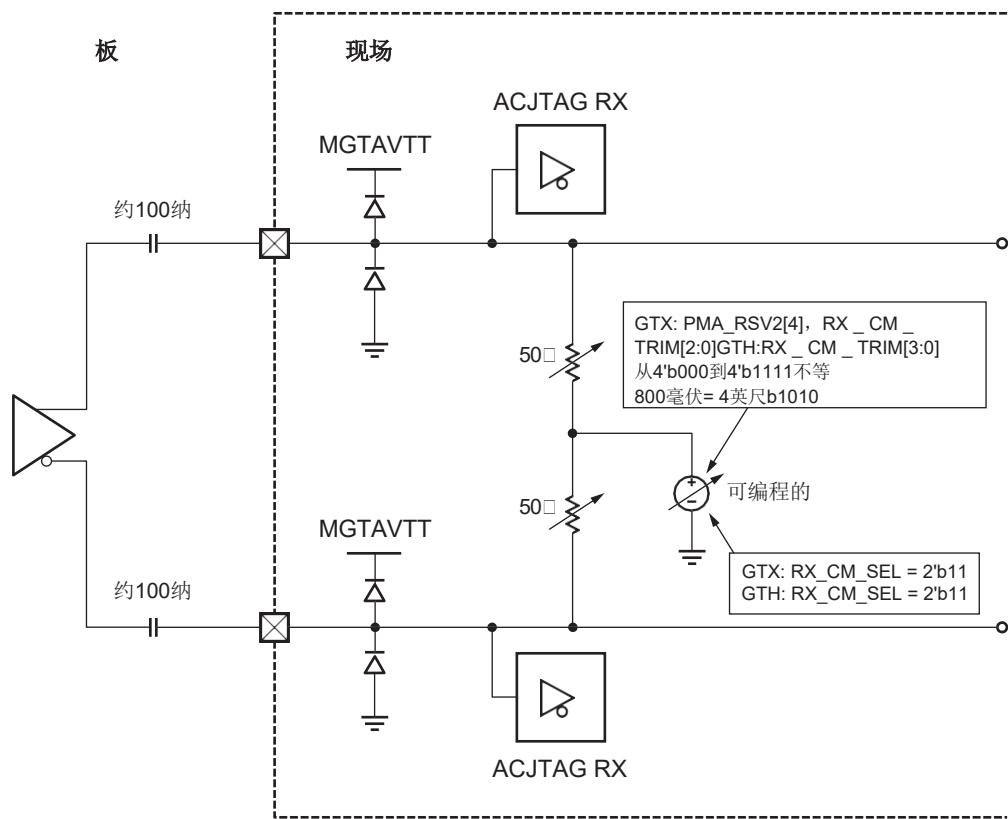


图4-5:使用模式3

表4-6:使用模式4—RX端接

使用模式	外部交流耦合	术语电压	最大摆幅 (mV <sub>检波长</sub> )	建议的协议和使用说明
4	离开	浮动	2000	<p>GTX收发器: 协议: • GPON属性设置 ： • RX_CM_SEL[1:0] = 2'b10</p> <p>GTH收发器: 协议: • GPON端口设置: • 取决于电路实现。可能的高共模电压 (RXDFEAGCTRL[4:3] = 2'b10) 属性设置: • RX_CM_SEL[1:0] = 2'b10 注意:这只适用于LPM模式。</p>

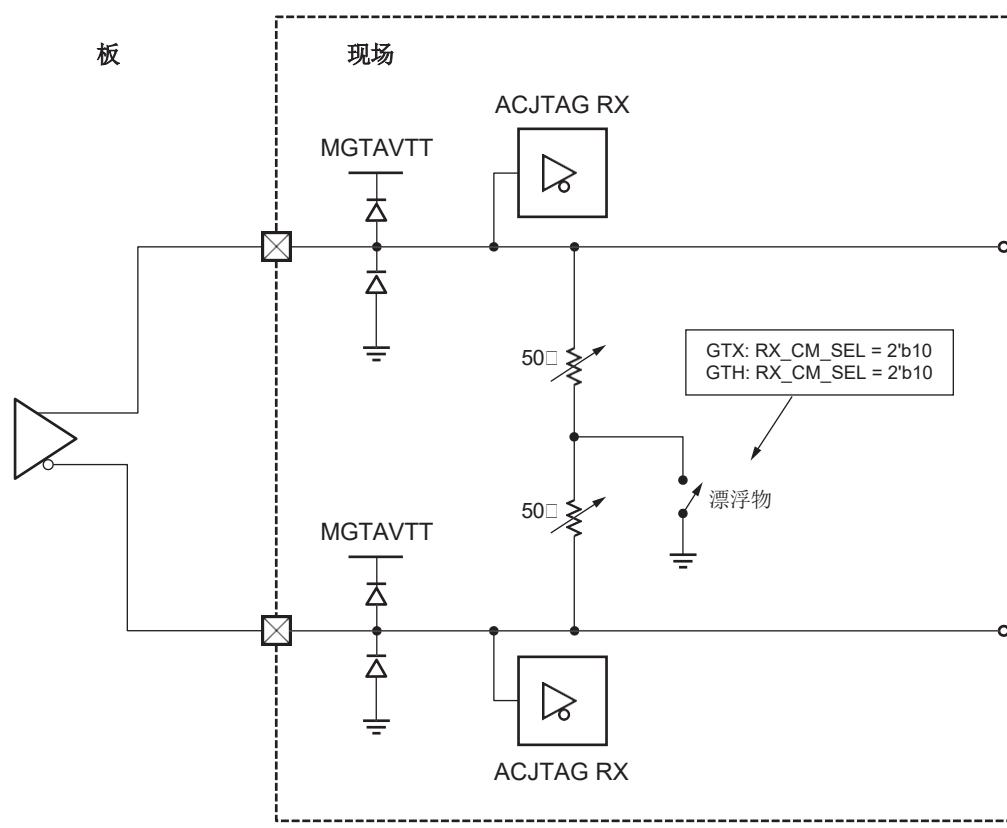


图4-6:使用模式4

## RX带外信令

### 功能描述

GTX/GTH接收器支持对串行ATA (SATA)和串行连接SCSI (SAS)规范中描述的带外(OOB)序列进行解码，并支持PCI Express规范中描述的信标。GTX/GTH接收器支持SATA/SAS OOB信号，包括解码OOB信号状态所需的模拟电路和解码SATA/SAS COM序列的OOB信号突发的状态机。

GTX/GTH接收器还支持PCI Express兼容的信标，方法是使用PCI Express(管道)规范的PHY接口。FPGA逻辑解码信标序列。

### 端口和属性

[表4-7](#) 定义OOB信令相关端口。

**表4-7:RX OOB信号端口**

港口	目录	时钟域	描述
RXOOBRESET	在 ... 里	异步◎非同步 (asynchronous)	保留。联系到GND。
RXELECIDLEMODE[1:0]	在 ... 里	异步◎非同步 (asynchronous)	控制RXELECIDLE行为的输入信号。  2'b00= RXELECIDLE表示OOB信号检测电路的状态。将此设置用于PCIe、SATA/SAS和使用OOB的协议/应用程序。在这些情况下，OOB电路必须通电。 2'b11= RXELECIDLE输出静态1'b0。将此设置用于非OOB协议。
RXELECIDLE	在外	异步◎非同步 (asynchronous)	此输出指示OOB信号检测的状态，仅适用于PCIe、SATA/SAS和使用OOB的协议/应用。在这些情况下，OOB电路必须通电。 0= Activity is seen on the receiver 1= No activity is seen 对于非OOB协议，RXELECIDLEMODE[1:0]必须设置为2'b11。RXELECIDLE输出静态1'B0，在这种情况下不表示信号检测状态。
RXCOMINITDET	在外	RXUSRCLK2	表示接收到SATA/SAS的COMINIT序列。
RXCOMSASDET	在外	RXUSRCLK2	表示接收到SAS的COMSAS序列。
RXCOMWAKEDET	在外	RXUSRCLK2	表示接收到SATA/SAS的COMWAKE序列。

表4-8 定义OOB信令属性。

表4-8 RX OOB信令属性

属性	类型	描述
ATTR_RSVD_PCS[8]	1位二进制	OOB启动电源。OOB电路在不使用时可以选择性地关断。 1'b0= Circuit powered down 1'B1 = 电路通电 (PCIe、SATA/SAS、使用 OOB 的协议/应用)
ATTR_RSVD_PCS[3]	1位二进制	1'b0= Selects sysclk. 1'b1= Selects port CLKRSVD[0].
GTH收发器 .RXOOB_CLK_CFG	线	'PMA' = Selects sysclk. 'FABRIC' = Selects port sigvalidclk.
RXOOB_CFG[6:0]	7位二进制	OOB街区配置。默认值为 7'b0000110。
SATA_BURST_VAL[2:0]	3位二进制	声明SAS/SATA的COM匹配的猝发次数。默认值为3'b100。
SATA_EIDLE_VAL[2:0]	3位二进制	为SAS/SATA声明COM匹配的空闲次数。默认值为3'b100。
SAS_MIN_COM	整数	1-63.SAS/SATA的COM FSM的活动突发下限。默认值为36。
SATA_MIN_INIT	整数	1-63.SAS的COMSAS期间空闲计数的下限。默认值为12。
SATA_MIN_WAKE	整数	1-63.SAS/SATA的COMINIT/COMRESET期间空闲计数的下限。这默认值为4。
SATA_MAX_BURST	整数	1-63.SAS/SATA的COM FSM的活动突发上限。默认值为8。
SATA_MIN_BURST	整数	1-61.SAS/SATA的COM FSM的活动突发下限。默认值为4。
SAS_MAX_COM	整数	1-127.SAS的COMSAS期间空闲计数的上限。默认值为64。
SATA_MAX_INIT	整数	1-63.SAS/SATA的COMINIT/COMRESET期间空闲计数的上限。这默认值为21。
SATA_MAX_WAKE	整数	1-63.SAS/SATA的COMWAKE期间空闲计数的上限。默认值为7。

## GTX/GTH使用模式

要使用OOB，需要应用以下RX端接条件：

- 交流耦合情况：终端电压应为800 mV或更高
- DC耦合情况：终端电压应为900 mV或更高

此外，属性PCS\_RSVD\_ATTR[8]应该设置为1'b1。OOB电路有两个可能的时钟接收源，如所示图4-7。

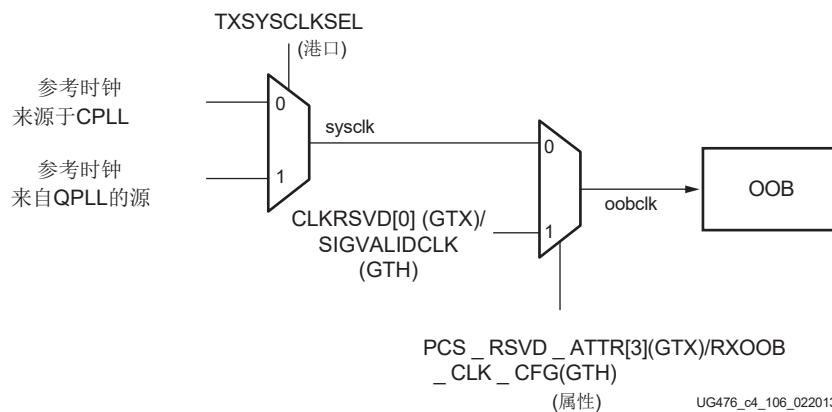


图4-7: OOB检测电路的时钟机制

属性PCS\_RSVD\_ATTR[3](GTX)/rx\_oob\_CLK\_CFG(GTH)控制oobclk的源。将PCS\_RSVD\_ATTR[3](GTX)/rx\_oob\_CLK\_CFG(GTH)设为0可选择sysclk。将PCS\_RSVD\_ATTR[3](GTX)/rx\_oob\_CLK\_CFG(GTH)置1可从CLKRSVD[0](GTX)/SIGVALIDCLK(GTH)中选择一个替代时钟源。分频后的参考时钟可以连接到CLKRSVD[0](GTX)/SIGVALIDCLK(GTH)引脚，为OOB电路提供替代时钟。

控制sysclk源的端口是TXSYSCLKSEL。将此端口设置为1'B0可选择通道PLL的参考时钟，将此端口设置为1'B1可选择公共PLL的参考时钟。

分频后的时钟不需要SERDES中其它时钟之间的特殊相位关系。然而，需要50%的占空比。  
图4-8和  
图4-9展示时钟分频的方法。图4-8显示了如何使用一个简单的反转触发器对REFCLK进行分频。

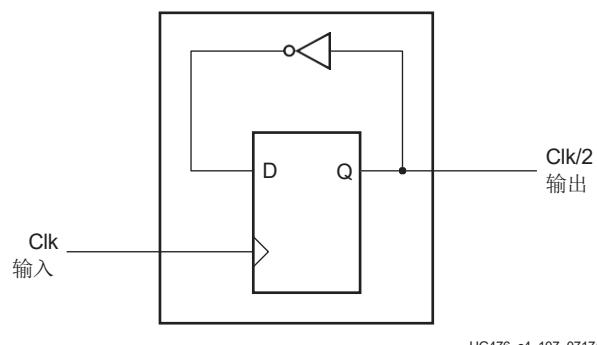


图4-8: 切换触发器以分频REFCLK

图4-9显示级联多个二分频电路如何产生更高阶的时钟分频器，如四分频和八分频。

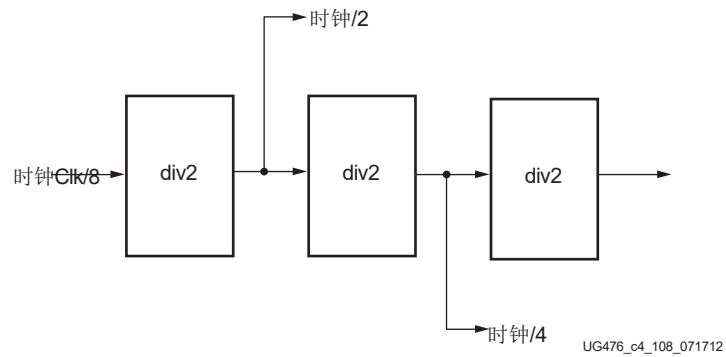


图4-9:时钟分频器

### 使用模式

对于以1.5 Gb/s或更低的线路速率运行的OOB，请参见中的流程图图4-10为了确定频率 $f_{OOB}$ 钟。

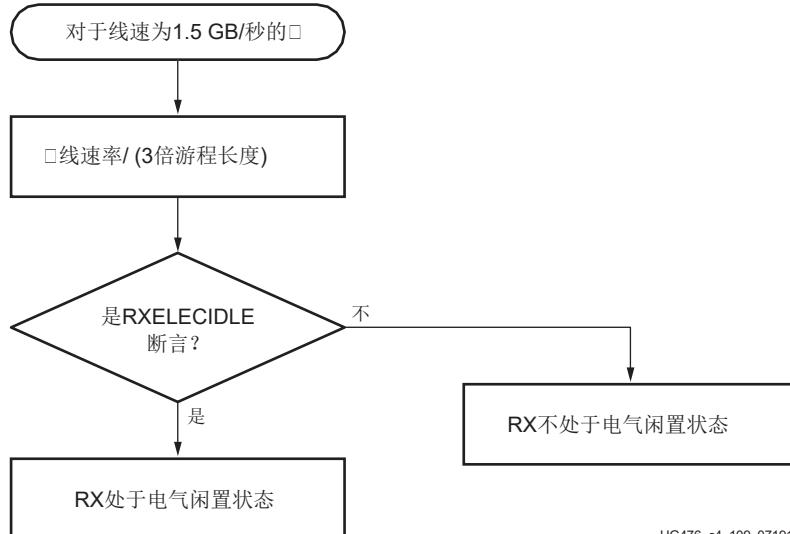


图4-10:具有线路速率的协议流程图≤1.5G

中的要求方程式4-1必须满足，OOB才能正常工作。

$$f_{线率} \leq (3 \times \rho_{\text{vulcan}} \lambda \tau \eta) \quad \text{方程式4-1}$$

以大于1.5 Gb/s的线路速率运行的OOB是一项高级功能。PCIe(第1代和第2代)和SATA等特定协议在更高线路速率下的操作在中进行了介绍表4-9.

表4-9:1.5 Gb/s以上运行速率的OOB准则

草案	操作
PCIe Gen1	<p>看见<a href="#">图4-11</a>用于算法确定RX是否处于电气空闲状态。</p> <p>如果未使用扰频器，RX电气空闲不应用于DFE、LPM或CDR的保持/复位逻辑的内部检测逻辑<sup>(1)</sup>。用户需要验证接收到的数据，以决定是否存在电气空闲状态，即在这种工作模式下，使用输入数据进行验证至关重要。</p> <p>如果使用加扰器，则电空闲可以单独用于确定RX是否处于电空闲。</p>
PCIe第二代	<p>看见<a href="#">图4-12</a>用于算法确定RX是否处于电气空闲状态。可用于此目的的其他方法如所示<a href="#">图4-13</a>和<a href="#">图4-14</a>。</p> <p>RX电气空闲不应用于DFE、LPM或CDR的保持/复位逻辑的内部检测逻辑<sup>(1)</sup>。用户需要验证接收到的数据，以决定是否存在电气空闲状态，即在这种工作模式下，使用输入数据进行验证至关重要。</p>
SATA 1.5 Gb/秒	使用 <a href="#">方程式4-1</a> 要获得合适的OOB时钟(参见 <a href="#">图4-10</a> ).
SATA 3gb/秒	<p>看见<a href="#">图4-15</a>用于算法确定RX是否处于电气空闲状态。</p> <p>RX电气空闲不应用于DFE、LPM或CDR的保持/复位逻辑的内部检测逻辑<sup>(1)</sup>。用户需要验证接收到的数据，以决定是否存在电气空闲状态，即在这种工作模式下，使用输入数据进行验证至关重要。</p>
SATA 6 Gb/秒	<p>看见<a href="#">图4-15</a>用于算法确定RX是否处于电气空闲状态。</p> <p>RX电气空闲不应用于DFE、LPM或CDR的保持/复位逻辑的内部检测逻辑<sup>(1)</sup>。用户需要验证接收到的数据，以决定是否存在电气空闲状态，即在这种工作模式下，使用输入数据进行验证至关重要。</p>

表4-9:1.5 Gb/s以上运行速率的OOB准则(续)

草案	操作
PCIe第三代或第二代	<p>看见图4-13和图4-14用于算法确定RX是否处于电气空闲状态。</p> <p>进入和退出电气空闲时，EIOS检测必须与RXELECIDLE置位一起使用，以确定RX是否处于电气空闲状态。</p> <p>RX电气空闲不应用于DFE、LPM或CDR的保持/复位逻辑的内部检测逻辑<sup>(1)</sup>。用户需要验证接收到的数据，以决定是否存在电气空闲状态，即在这种工作模式下，使用输入数据进行验证至关重要。</p>

**注意事项:**

1.与DFE、LPM和CDR相关的属性有:

- RXCDR\_HOLD\_DURING\_EIDLE
- RXCDR\_FR\_RESET\_ON\_EIDLE
- RXCDR\_PH\_RESET\_ON\_EIDLE
- RX\_DFE\_LPM\_保持\_期间\_EIDLE
- RXBUF\_RESET\_ON\_EIDLE
- RXBUF\_EIDLE\_HI\_CNT
- RXBUF\_EIDLE\_LO\_CNT

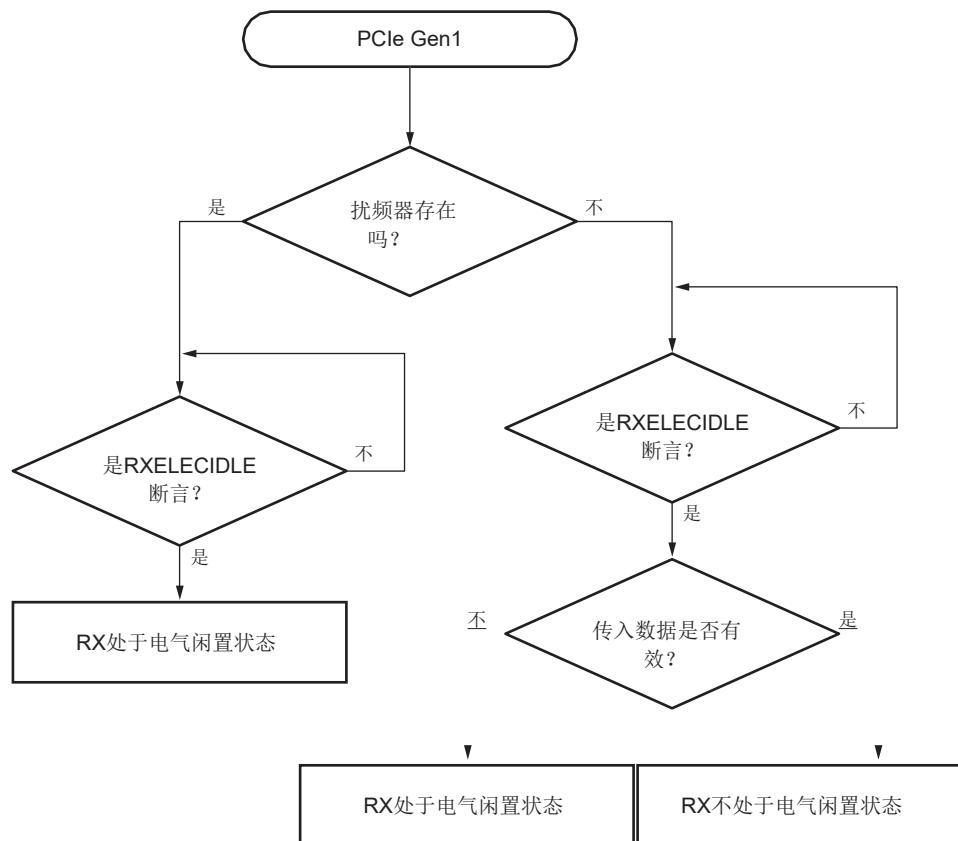


图4-11:PCIe Gen1流程图

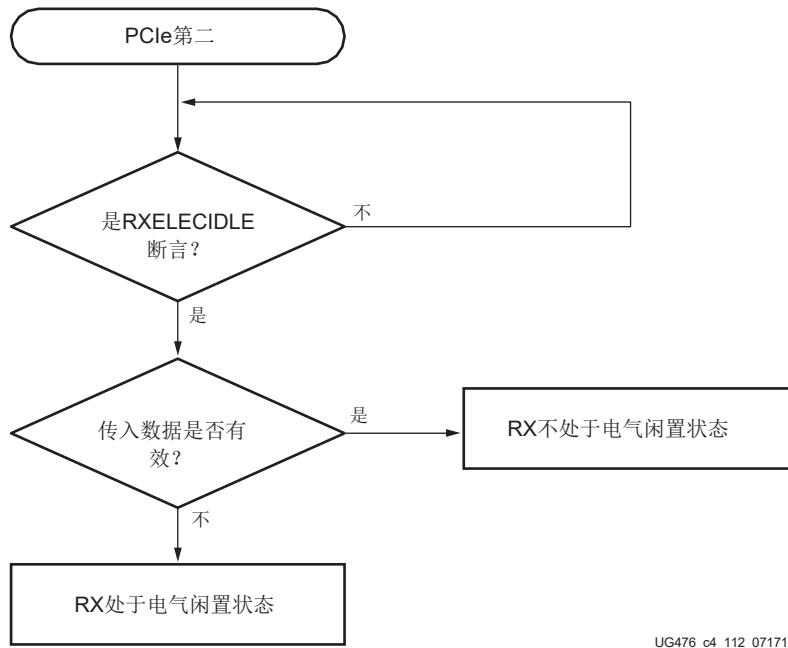


图4-12 PCIe第二代流程图

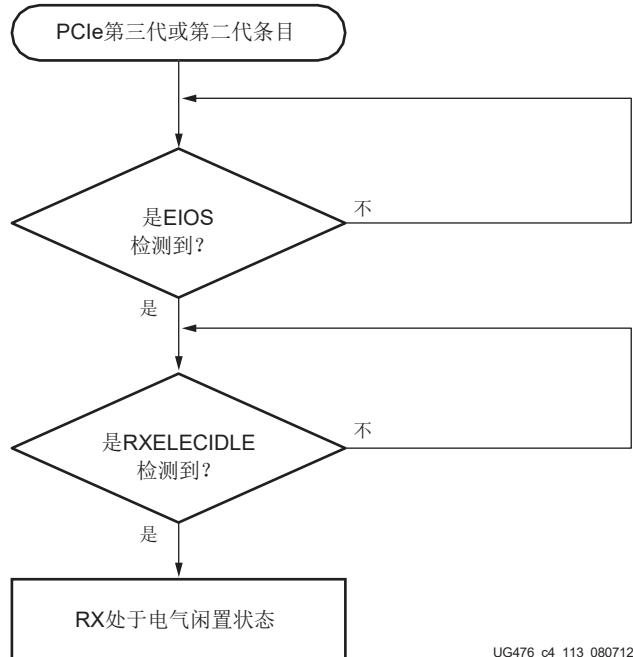
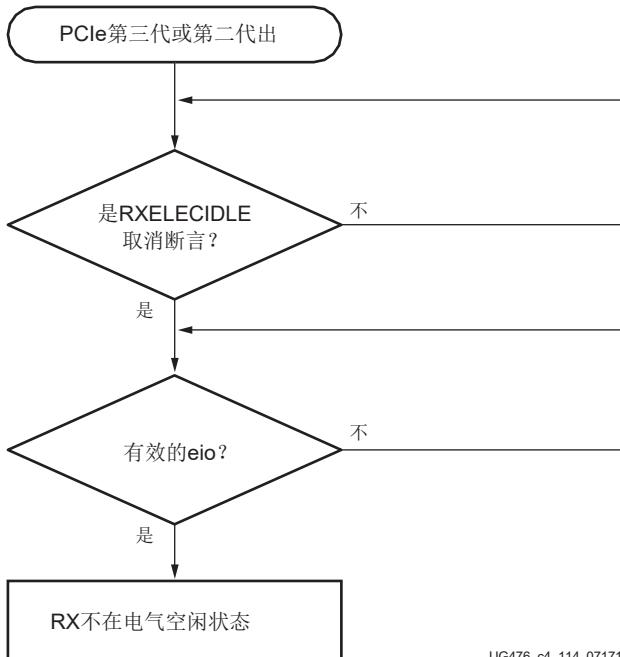
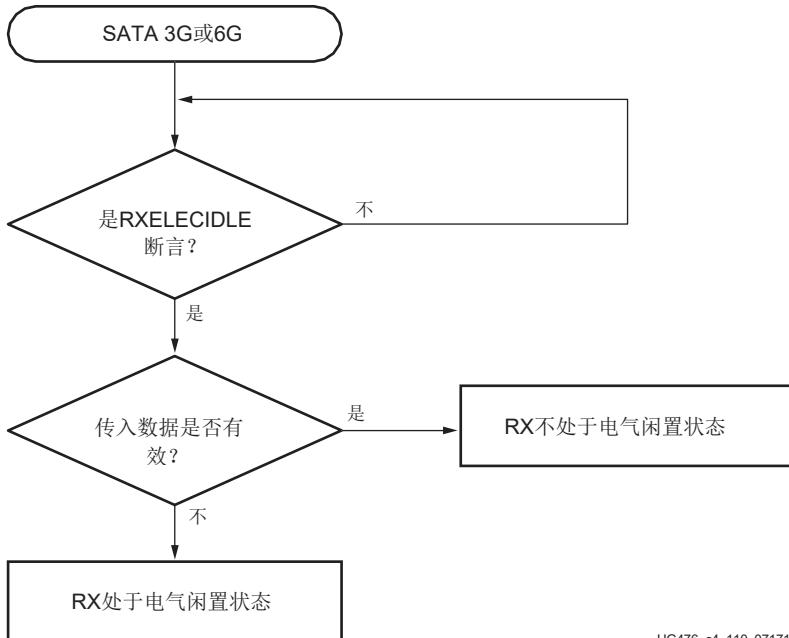


图4-13 PCIe第二代或第三代发动机进入RX电气怠速的流程图



UG476\_c4\_114\_071712

图4-14:退出PCIe第二代或第三代接收电气空闲的流程图



UG476\_c4\_110\_071712

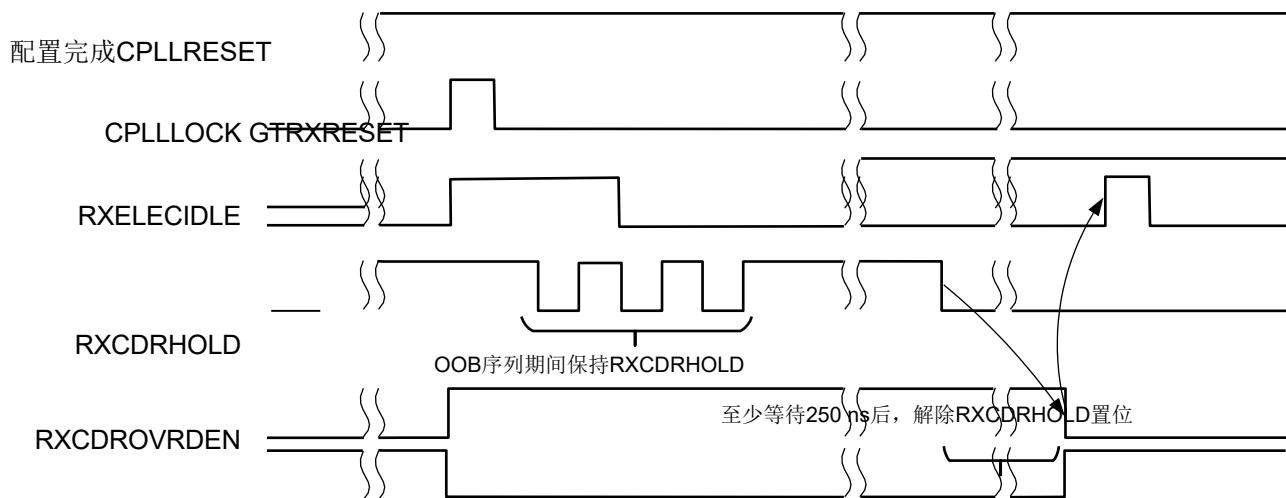
图4-15:SATA 3G或SATA 6G的流程图

## SATA的CDR配置

SATA协议要求设备初始化为电气空闲状态。在此状态下，没有数据被驱动至RX，CDR可能会拾取RX走线上的噪声。因此，为了防止CDR在RXELECidle = 1'b1时拾取噪声，需要遵循以下步骤：

1. Set RXCDRHOST = 1'b1
2. Set RXCDROVRDEN = 1'b0

请参考中的时序图[图4-16](#)了解更多详细信息。



UG576\_c4\_60\_100516

[图4-16:在用于SATA协议的RXELECIDLE期间保持CDR](#)

与相关的注释[图4-16](#):

1. 在OOB序列期间，RXCDRHOST需要保持在1'B1。
2. 从RXELECIDLE状态出来后，经过10个RXUSRCLK周期后，解除置位RXCDRHOST。同时声明RXCDROVRDEN。
3. 解除RXCDRHOST置位后，使用GTRXRESET执行复位，如图所示。
4. 中所示的过程[图4-16](#)也可用于任何使用RXELECIDLE和RXOOB的协议，类似于本程序。

## RX均衡器(DFE和LPM)

### 功能描述

串行链路误码率(BER)性能是发射机、传输介质和接收机的函数。传输介质或信道的带宽是有限的，通过它传输的信号会受到衰减和失真的影响。

根据功率和性能之间的系统级权衡，GTX/GTH接收机有两种类型的自适应滤波可用。GTX/GTH接收机针对低信道损耗的功耗进行了优化，具有一种称为低功耗模式(LPM)的高能效自适应模式，请参见[图4-17](#)。为了均衡损耗较大的通道，DFE模式为可用。看见[图4-18](#)对于GTX收发器和[图4-19](#)GTH的无线电收发机。

DFE通过提供比使用线性均衡器时更接近的滤波器参数调整，允许更好地补偿传输信道损耗。然而，DFE不能移除发送位的前体；它只补偿post游标。线性均衡器允许光标前和光标后增益。GTX/GTH RX DFE模式是一种离散时间自适应高通滤波器。DFE的抽头值是由自适应算法设置的该滤波器的系数。

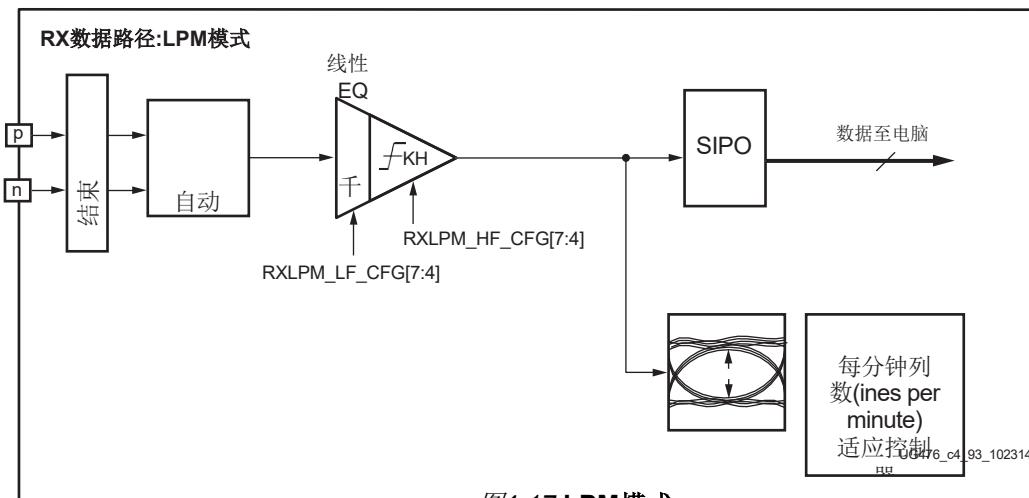


图4-17:LPM模式

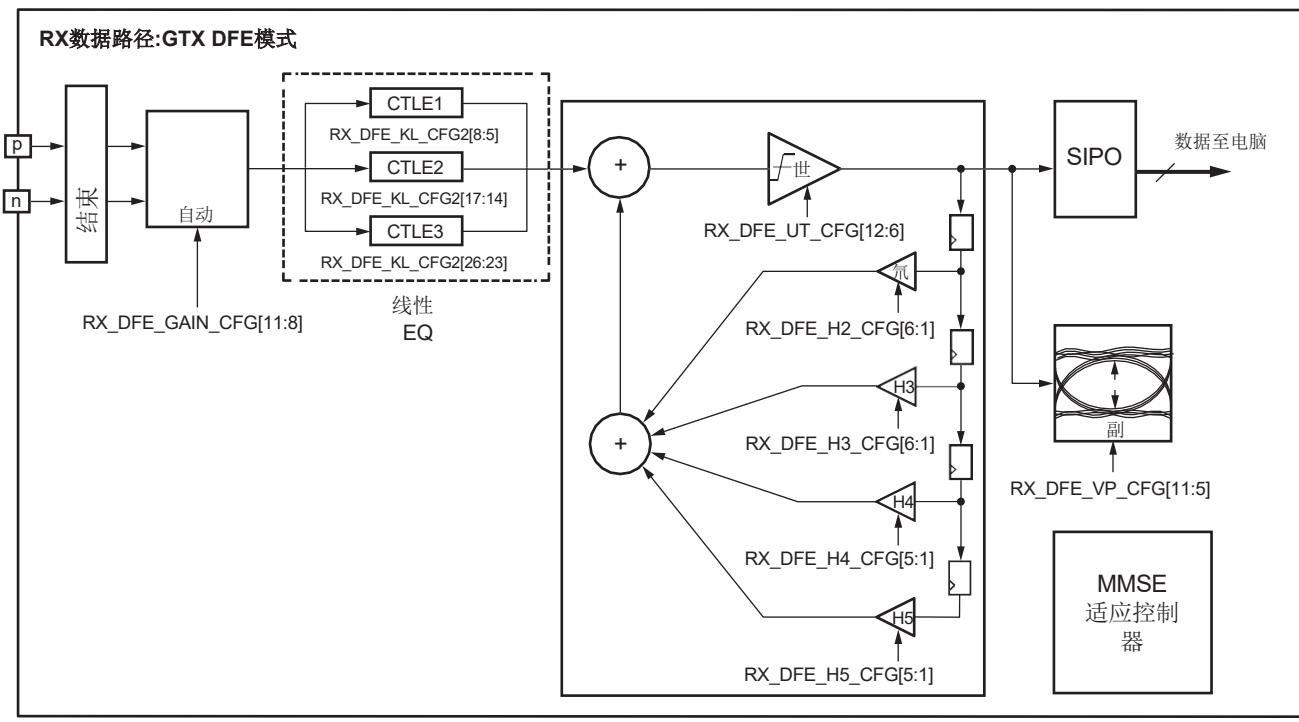


图4-18:GTX DFE模式

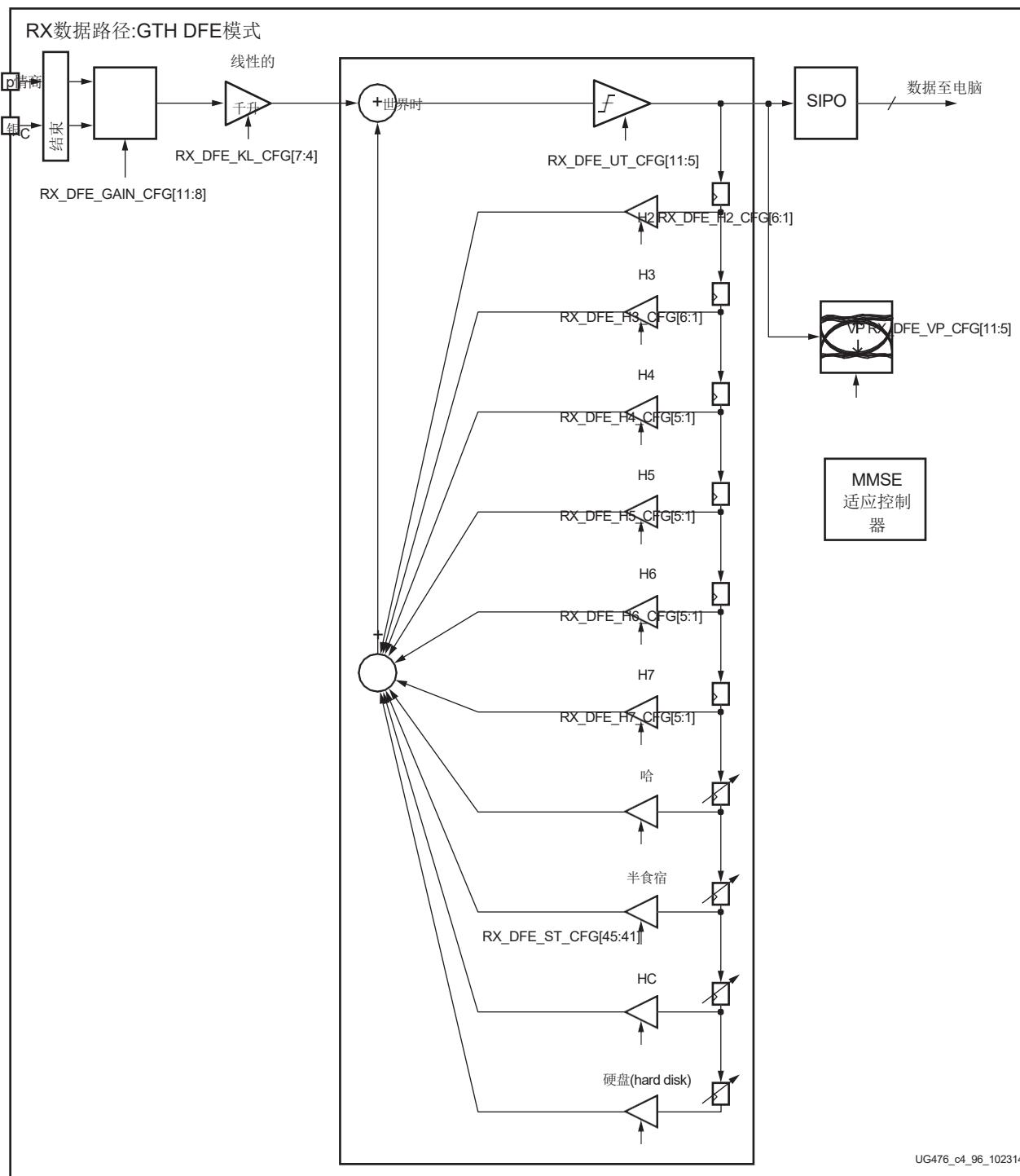


图4-19:GTH DFE模式

## 端口和属性

表4-10定义RX均衡器端口。

表4-10:RX均衡器端口

港口	目录	时钟域	描述
RXLPMEN	在...里	异步◎非同步 (asynchronous)	RX数据路径 0: DFE 1: LPM
RXDFFELPMRESET	在...里	异步◎非同步 (asynchronous)	LPM和DFE数据路径复位。必须在模式切换后切换，以初始化自适应。
{RXOSHOLD, RXOSOVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX LPM或DFE 2'b00: OS偏移取消环路自适应2'b10: 冻结当前自适应值2'bx1:根据属性 RX_OS_CFG覆盖OS值 应使用7系列FPGAs收发器向导中的推荐值。
{RXLPMLFHOLD, RXLPMLFKLOVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX LPM 2'b00: KL低频环路自适应2'b10:冻结 电流自适应值2'bx1:根据属性 RXLPM_LF_CFG覆盖KL值 应使用7系列FPGAs收发器向导中的推荐值。
{RXLPMHFHOLD, RXLPMHFOVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX LPM 2'b00: KH高频环路自适应2'b10:冻结 电流自适应值2'bx1:根据属性 RXLPM_HF_CFG覆盖KH值 应使用7系列FPGAs收发器向导中的推荐值。
{RXDFEAGCHOLD, RXDFEAGCOVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: 自动增益控制 (AGC) 环路适配器 2'b10: 冻结当前AGC适应值2'bx1:根据属性RX_DFE_GAIN_CFG覆盖AGC值 应使用7系列FPGAs收发器向导中的推荐值。
{RXDFELFHOLD, RXDFELFOVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: KL低频环路自适应2'b10:冻结 当前KL自适应值2'bx1:根据属性 RX_DFE_KL_CFG覆盖KL值 应使用7系列FPGAs收发器向导中的推荐值。

表4-10:RX均衡器端口(续)

港口	目录	时钟域	描述
{RXDFEUTHOLD, RXDFEUTOVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: UT展开阈值循环自适应2'b10: 冻结当前UT自适应值2'bx1:根据属性 RX_DFE_UT_CFG覆盖UT值 应使用7系列FPGAs收发器向导中的推荐值。
{RXDFEVPHOLD, RXDFEVPOVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: VP电压峰值环路自适应2'b10: 冻结电流VP自适应值2'bx1:根据属性 RX_DFE_VP_CFG覆盖VP值 应使用7系列FPGAs收发器向导中的推荐值。
{RXDFETAP2HOLD, RXDFETAP2OVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: TAP2环路适配器 2'b10:冻结当前TAP2自适应值2'bx1: 根据属性RX_DFE_H2_CFG覆盖TAP2值 应使用7系列FPGAs收发器向导中的推荐值。
{RXDFETAP3HOLD, RXDFETAP3OVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: TAP3环路适配器 2'b10:冻结当前TAP3自适应值2'bx1: 根据属性RX_DFE_H3_CFG覆盖TAP3值 应使用7系列FPGAs收发器向导中的推荐值。
{RXDFETAP4HOLD, RXDFETAP4OVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: TAP4环路适配器 2'b10:冻结当前TAP4自适应值2'bx1: 根据属性RX_DFE_H4_CFG覆盖TAP4值 应使用7系列FPGAs收发器向导中的推荐值。
{RXDFETAP5HOLD, RXDFETAP5OVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: TAP5环路适配器 2'b10:冻结当前TAP5自适应值2'bx1: 根据属性RX_DFE_H5_CFG覆盖TAP5值 应使用7系列FPGAs收发器向导中的推荐值。
RXDFECM1EN	在...里	异步◎非同步 (asynchronous)	保留。
RXDFEXYDHOLD	在...里	异步◎非同步 (asynchronous)	保留。
RXDFEXYDOVRDEN	在...里	异步◎非同步 (asynchronous)	保留。

表4-10:RX均衡器端口(续)

港口	目录	时钟域	描述
RXDFEXYDEN	在...里	异步◎非同步 (asynchronous)	保留。设置为1'b1。
RXMONITORSEL[1:0]	在...里	异步◎非同步 (asynchronous)	RXMONITOROUT[6:0]的选择信号 2'b00:保留2'b01:选择AGC环路2'b10:选择UT环路2'b11:选择VP环路
RXMONITOROUT[6:0]	在外	异步◎非同步 (asynchronous)	GTX/GTH收发器:保留
GTH收发器: {RXDFETAP6HOLD, RXDFETAP6OVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: TAP6环路适配器 2'b10:冻结当前TAP6自适应值2'bx1:根据保留属性覆盖TAP6值 应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器: {RXDFETAP7HOLD, RXDFETAP7OVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00: TAP7环路适配器 2'b10:冻结电流 2'bx1:根据保留属性TAP7自适应值覆盖TAP7值 应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器: {RXDFESLIDETAPHOLD, RXDFESLIDETAPINITOVRDEN }	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} RX DFE 2'b00:滑动抽头环路适配器 2'b10:冻结当前滑动抽头自适应值 2'bx1:根据端口RXDFESLIDETAP覆盖滑动抽头值 应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器 :RXDFESLIDETAPADAPTEN	在...里	异步◎非同步 (asynchronous)	RX DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:rxdflslidetap[4:0]	在...里	异步◎非同步 (asynchronous)	RX DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXDFEAGCTRL[4:0]	在...里	异步◎非同步 (asynchronous)	RX DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器 :RXDFESLIDETAPSTROBE	在...里	异步◎非同步 (asynchronous)	RX DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。

表4-10:RX均衡器端口(续)

港口	目录	时钟域	描述
GTH收发器:rxdfsldetapid[5:0]	在...里	异步◎非同步 (asynchronous)	RX DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXDFESLIDETAPONLYADAPTEN	在...里	异步◎非同步 (asynchronous)	RX DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXOSINTEN	在...里	异步◎非同步 (asynchronous)	RX LPM和DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXOSINTNTRLEN	在...里	异步◎非同步 (asynchronous)	RX LPM和DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXOSINTCFG[3:0]	在...里	异步◎非同步 (asynchronous)	RX LPM和DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:rxosinid 0[3:0]	在...里	异步◎非同步 (asynchronous)	RX LPM和DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXOSINTOVRDEN	在...里	异步◎非同步 (asynchronous)	RX LPM和DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXOSINTSTROBE	在...里	异步◎非同步 (asynchronous)	RX LPM和DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXOSINTSTROBESTARTED	在...里	异步◎非同步 (asynchronous)	RX LPM和DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:{RXOSINTHOLD, RXSINTTESTOVRDEN}	在...里	异步◎非同步 (asynchronous)	{HOLD, OVRDEN} 2'b00:已保留。应使用7系列FPGAs收发器向导中的推荐值。 2'b10:保留。应使用7系列FPGAs收发器向导中的推荐值。 2'bx1:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXADAPTSELTEST[13:0]	在...里	异步◎非同步 (asynchronous)	RX LPM和DFE:保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器:RXDFEVSEN	在...里	异步◎非同步 (asynchronous)	保留。应使用7系列FPGAs收发器向导中的推荐值。

表4-10:RX均衡器端口(续)

港口	目录	时钟域	描述
GTH收发器 :RXDFEXYDEN	在 ... 里	异步◎非同步 (asynchronous)	保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器 :RXDFESTADAPTDONE	在外	异步◎非同步 (asynchronous)	保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器 :RXDFESLIDETAPSTROBESTARTED	在外	异步◎非同步 (asynchronous)	保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器: :RXDFESLIDETAPSTROBEDONE	在外	异步◎非同步 (asynchronous)	保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器 :RXDFESLIDETAPSTARTED	在外	异步◎非同步 (asynchronous)	保留。应使用7系列FPGAs收发器向导中的推荐值。
GTH收发器 :RXOSINTDON E	在外	异步◎非同步 (asynchronous)	保留。应使用7系列FPGAs收发器向导中的推荐值。

表4-11 定义RX均衡器属性。

表4-11:RX均衡器属性

属性	类型	描述
RX_OS_CFG[12:0]	13位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为 13'h0080。
RXLPM_LF_CFG[13:0]	14位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为 14'h00F0。
RXLPM_HF_CFG[13:0]	14位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为 14'h00F0。
RX_DFE_LPM_CFG[15:0]	16位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。另请参考 <a href="#">GTX 使用模式, 第195页</a> 。
RX_DFE_GAIN_CFG[22:0]	23位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为 23'h020FEA。
RX_DFE_H2_CFG[11:0]	12位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为 12'h000。

表4-11:RX均衡器属性(续)

属性	类型	描述
RX_DFE_H3_CFG[11:0]	12位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为12'h040。
RX_DFE_H4_CFG[10:0]	11位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为11'h0F0。
RX_DFE_H5_CFG[10:0]	11位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为11'h0E0。
PMA_RSV[31:0]	32位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。 GTX收发器: 这些位与RXPI相关，并取决于线路速率: <ul style="list-style-type: none"> <li>• 32'h0001_8480:较低的线路速率, CPLL全系列, 6 GHz ◎ QPLL VCO速率&lt; 6.6 GHz</li> <li>• 32'h001E_7080:更高的线路速率 , QPLL &gt; 6.6 GHz</li> </ul> GTH收发器: <ul style="list-style-type: none"> <li>• 默认值为32'h0000080</li> </ul>
RX_DFE_LPM_保持_期间_EIDLE	1位二进制	1'b0:默认设置。 1'b1:在PCI Express操作的电气空闲状态终止后，从内部寄存器恢复DFE内容。当检测到电气空闲条件时，保持DFE电路复位。 <b>注意:</b> 对于衰减较大的通道(有损通道在奈奎斯特频率下通常超过15 dB)，建议将RX_DFE_LPM_HOLD_DURING_EIDLE设置为1，因为快速转换数据模式(如CJPAT/CJTPAT中的101010序列)可能会意外触发电气空闲。
RX_DFE_XYD_CFG	13位二进制	保留。此属性应设置为13'h0000，这也是默认值。
GTH收发器 :RX_DFE_H6_CFG[10:0]	11位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器 :RX_DFE_H7_CFG[10:0]	11位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。

表4-11:RX均衡器属性(续)

属性	类型	描述
GTH收发器 :RX_DFE_ST_CFG[53:0]	54位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器 :RX_DFELPM_KLKH_AGC_STUP_EN	1位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器 :RX_DFELPM_CFG0[3:0]	4位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:RX_DFE_KL_LPM_KH_CFG1	1位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:RX_DFE_KL_LPM_KH_CFG0[1:0]	2位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:RX_DFE_KL_LPM_KH_CFG1[2:0]	3位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:RX_DFE_KL_LPM_KH_CFG2[3:0]	4位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:RX_DFE_KL_LPM_KL_CFG0[1:0]	2位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:RX_DFE_KL_LPM_KL_CFG1[2:0]	3位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:RX_DFE_KL_LPM_KL_CFG2[3:0]	4位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器 :RX_DFE_AGC_CFG0[1:0]	2位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器 :RX_DFE_AGC_CFG1[2:0]	3位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器 :RX_DFE_AGC_CFG2[3:0]	4位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:RX_DFE_KL_LPM_KH_OVRDEN	1位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。

表4-11:RX均衡器属性(续)

属性	类型	描述
GTH收发器:RX_DFE_KL_LPM_KL_OVRDEN	1位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTH收发器:ADAPT_CFG0[19:0]	20位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTX收发器:PMA_RSV4[31:0](无连接)  GTH收发器:PMA_RSV4[14:0]	32位二进制  15位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTX收发器:RSV2_PMA[15:0]  GTH收发器:RSV2_PMA[31:0]	16位二进制  32位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。
GTX收发器:RX_BIAS_CFG[11:0]  GTH收发器:RX_BIAS_CFG[23:0]	12位二进制  24位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为 12'h040。
GTX收发器 :RX_DEBUG_CFG[11:0]  GTH收发器 :RX_DEBUG_CFG[13:0]	12位二进制  14位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。另请参考 <a href="#">数字监视器, 第96页</a> .
GTX收发器: RX_DFE_KL_CFG[12:0]RX_ DFE_KL_CFG_2[31:0]  GTH收发器 :RX_DFE_KL_CFG[32:0]	13位二进制  32位二进制  33位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。另请参考 <a href="#">GTX 使用模式, 第195页</a> .
RX_DFE_UT_CFG[16:0]	17位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为 17'h11E00。
RX_DFE_VP_CFG[16:0]	17位二进制	保留。中的推荐值 应使用7系列FPGAs收发器向导。默认值为 17'h03F03。

## GTX使用模式

### 在LPM和DFE模式之间选择

对于线路速率高达11.2 Gb/s的短距离应用，建议使用LPM模式，在奈奎斯特频率下，信道损耗为12 dB或更低。

对于中长距离应用，建议使用DFE模式，在奈奎斯特频率下，通道损耗为8 dB及以上。DFE具有均衡通道而不放大噪声和串扰的优点。DFE还可以校正GTX收发器中前五个post游标内由信道不连续引起的反射。当串扰是一个问题，或者在单比特响应分析中识别出反射时，DFE模式是最佳选择。

在8B/10B应用中或不采用数据加扰的情况下，必须仔细考虑DFE模式。为了正确适应数据，DFE模式下的自动适应要求输入数据是随机的。例如，在XAUI应用中，用户有效载荷数据是非加扰的并且是8B/10B编码的。虽然用户有效载荷通常是随机的，但是数据的频率内容固有地受到编码的限制，并且在协议中没有定义任何东西来防止重复模式的出现。这些重复的模式会导致自适应算法偏离理想的均衡设置。特性类似于PRBS7(或更高次多项式)的模式具有足够的随机性，可以自动适应，从而正确选择正确的均衡设置。对于LPM模式下的8B/10B应用，在自适应期间，可以使用带加扰或不带加扰的重复模式(空闲模式)。

### 使用LPM模式

GTX LPM和DFE模式采用不同的CTLE块。此外，GTX收发器具有基线漂移消除电路。在GTX收发器中，LPM模式下的CTLE和基线漂移消除完全适用，无需手动调整增益属性设置。

通过将RXLPMEN端口设置为1'b1来选择LPM模式。

### 使用DFE模式

DFE模式利用AGC、CTLE、DFE和基线漂移消除来均衡信道的影响。

DFE模式通过将RXLPMEN端口设置为1'b0来选择。

AGC、DFE和基线漂移消除是自动适应的。可以通过断言特定适配环路的保持端口来保持适配。例如，要保持DFE抽头2的当前自适应值，RXDFETAP2HOLD端口应设为1。只要该端口有效，或者直到GTRXRESET、RXPMARESET或RXDFELPMRESET发出脉冲，自适应值就会保持。当GTRXRESET、RXPMARESET或RXDFELPMRESET为脉冲，保持值被RX均衡器属性中设置的初始值覆盖。为使自适应继续进行，RXDFETAP2HOLD应置回0。[表4-10](#)包含各种适配环路的所有保持端口。

### DFE培训/初始化

训练后应置位RXDFEAGCHOLD和RXDFELFHOLD，以冻结AGC自适应值。(请参考[DS183, virtex-7 FPGA 数据手册: DC 和开关特性对于T\\_DLOCK, 锁定输入端数据所需的时间。](#))

### 仅GTX收发器:DFE模式—CTLE使用模式

GTX DFE模式下的CTLE有两种使用方式:自动适应和固定。信道分析需要使用自动适应CTLE模式，并被认为是一种高级使用模式。

#### 仅GTX收发器:CTLE自动适应模式(高级使用模式)

当信道插入损耗偏差最小时，GTX DFE模式中的CTLE可以用于自适应模式。

要在自动适应模式下使用CTLE，必须设置以下属性:

- RX\_BIAS\_CFG[5:4] = 2'b11
- RX\_DFE\_KL\_CFG2[26:23] = 4'b0111
- RX\_DFE\_LPM\_CFG[5:2] = 4'b0010

#### 仅GTX收发器:CTLE固定模式

要在固定模式下使用CTLE，必须知道奈奎斯特频率或线路速率除以2时的插入损耗。CTLE由两部分组成:中/高频提升部分，后面是宽带增益部分。

中/高频升压元件由RX\_DFE\_KL\_CFG2属性的位位置[8:5]和[17:14]控制。这两个属性字段必须保持相等。

宽带增益分量由RX\_DFE\_KL\_CFG2[26:23]属性控制。该CTLE分量可用于增强或衰减所示带宽内的所有频率图4-20.

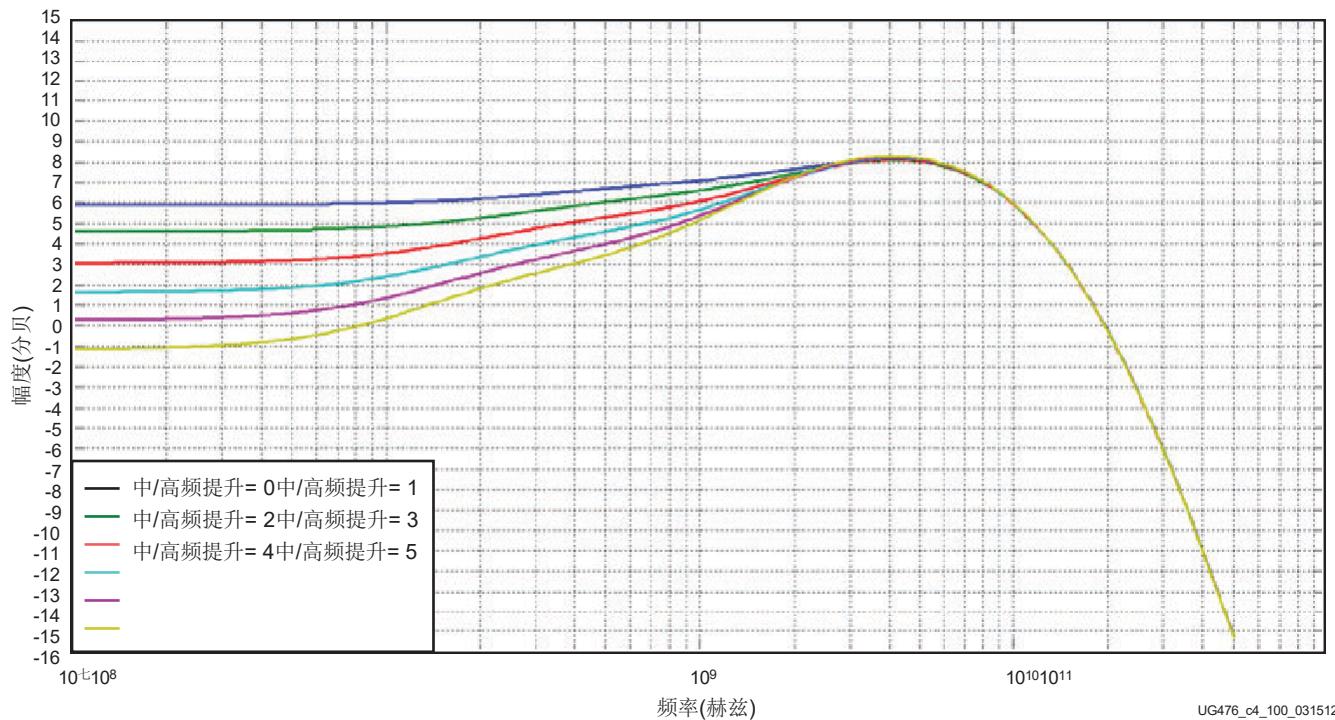


图4-20:GTX DFE模式CTLE频率响应

CTLE属性和典型中/高频提升的允许范围如所示表4-12。中/高频提升是DC和中/高频峰化之间的相对增益差。

表4-12:GTX CTLE属性范围和典型中/高频增强

中/高频升压		宽带增益	典型升压(dB)
RX_DFE_KL_CFG2[8:5]	RX_DFE_KL_CFG2[17:14]	RX_DFE_KL_CFG2[26:23]	
0	0	0~7	2
1	1	0~7	3
2	2	0~7	5
3	3	0~7	6
4	4	0~7	8
5	5	0~7	9

表4-13显示了奈奎斯特频率下不同通道插入损耗的典型使用模型。

表4-13:GTX使用奈奎斯特频率下的信道插入损耗模型

奈奎斯特频率下的损耗(dB)	TX FIR加重(dB)	中/高频升压RX_DFE_KL_CFG2		宽带增益
		位[8:5]	位[17:14]	RX_DFE_KL_CFG2 位[26:23]
<15	0	0	0	3~6
		1	1	
15~25	6	1	1	(1)
		2	2	
		3	3	
25~30	6	4	4	0~3
		5	5	

#### 注意事项:

- 宽带增益的一般准则:  
中频发射幅度 $\geq 1000 \text{ mVppd}$ , 宽带增益=7。中频发射幅度 $\leq 300 \text{ mVppd}$ , 宽带增益=0。  
否则, 宽带增益=round(发射幅度-300)/100。

## GTH使用模式

### 在LPM和DFE模式之间选择

对于奈奎斯特频率下信道损耗小于或等于14 dB的短距离应用, 建议使用LPM模式。

对于奈奎斯特频率下通道损耗为8 dB及以上的中长距离应用, 建议使用DFE模式。DFE模式具有均衡通道而不放大噪声和串扰的优势。DFE还可以校正GTH收发器中前63个post游标内由信道不连续引起的反射。DFE模式是

当串扰是一个问题时，或者当在单比特响应分析中识别出反射时，这是最佳选择。

在8B/10B应用中或不采用数据加扰的情况下，必须仔细考虑DFE模式。为了正确适应数据，DFE模式下的自动适应要求输入数据是随机的。例如，在XAUI应用中，用户有效载荷数据是非加扰的并且是8B/10B编码的。虽然用户有效载荷通常是随机的，但是数据的频率内容固有地受到编码的限制，并且在协议中没有定义任何东西来防止重复模式的出现。这些重复的模式会导致自适应算法偏离理想的均衡设置。具有类似于PRBS7(或更多多项式)特性的模式足够随机，可用于自动适应，以正确选择正确的均衡设置。对于LPM模式下的8B/10B应用，在自适应期间，可以使用带加扰或不带加扰的重复模式(空闲模式)。

## 使用LPM模式

GTH LPM和DFE模式共享相同的CTLE块。此外，GTH收发器具有基线漂移消除电路。在GTH收发器中，LPM模式下的CTLE和基线漂移消除完全适用，无需手动调整增益属性设置。通过将RXLPMEN端口设置为1'b1来选择LPM模式。

## 使用DFE模式

全自动适配是GTH DFE的通用模式。CTLE和AGC完全自适应，不需要手动调整增益属性设置。有关信道损耗和TX有限脉冲响应(FIR)指南，请参考表4-14。

在LPM和DFE模式下，必须设置这些属性，以便在全自动适应模式下配置CTLE和AGC：

- RX\_DFE\_KL\_LPM\_KH\_OVRDEN = 1'b1
- RX\_DFE\_KL\_LPM\_KL\_OVRDEN = 1'b1
- RX\_DFE\_AGC\_OVRDEN = 1'b1

表4-14:GTH DFE信道损耗指导线

RX模式	TX FIR 重点(分贝)	奈奎斯特频率下 的信道损耗 (分贝)	奈奎斯特频 率(GHz)	线路速率 (Gb/s)
教育部	0	短距离15 dB 及以下	高达6.55	高达13.1
	6	中音达到 15–20分 贝	高达6.25	高达13.1
	6	长达到20 dB+	高达6.55	高达13.1

滑动点击是一种高级使用模式。

## GTX和GTH收发器:运行时在LPM和DFE模式之间切换

在多速率应用中，可能需要在LPM(较低线路速率)和DFE(较高线路速率)之间切换。在LPM和DFE模式之间切换时，应遵循以下步骤：

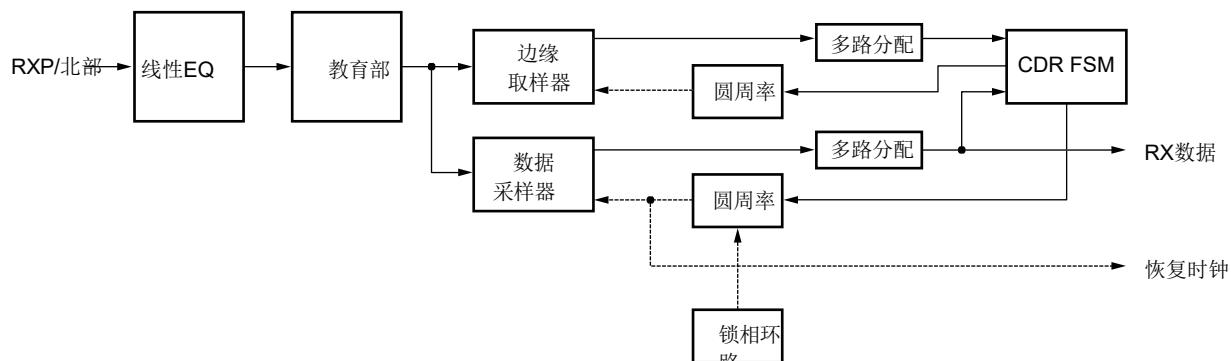
1. 反转RXLPMMEN的当前值( $\text{RXLPMMEN} = \sim\text{RXLPMMEN}$ )。
2. 通过置位RXPMARESET来复位接收器的PMA。

看见[RX初始化和复位](#)，第72页有关RXPMARESET的更多信息。

## RX CDR

### 功能描述

每个GTXE2\_CHANNEL/GTHE2\_CHANNEL收发器中的RX时钟数据恢复(CDR)电路从输入数据流中提取恢复的时钟和数据。[图4-21](#)说明了CDR模块的架构。为了清楚起见，时钟路径用虚线示出。



UG476\_c4\_05\_061511

[图4-21.CDR详细信息](#)

GTXE2\_CHANNEL/GTHE2\_CHANNEL收发器采用相位旋转器CDR架构。输入数据首先经过接收器均衡级。边缘和数据采样器捕获均衡的数据。数据采样器捕获的数据被馈入CDR状态机和下游收发器模块。

CDR状态机使用来自边沿和数据采样器的数据来确定输入数据流的相位，并控制相位插值器(pi)。边缘采样器的相位被锁定到数据流的过渡区域，而数据采样器的相位位于数据眼的中间。

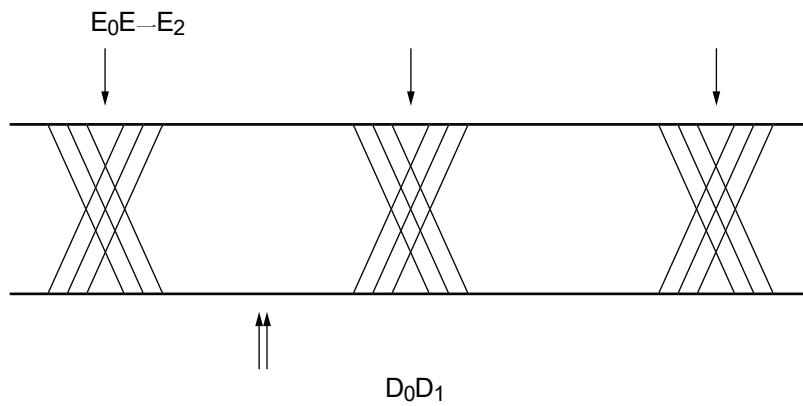


图4-22:CDR取样器位置

CPLL或QPLL为相位插值器提供基准时钟。相位插值器进而产生精细、均匀间隔的采样相位，使CDR状态机能够进行精细相位控制。CDR状态机可以跟踪可能与本地PLL参考时钟存在频率偏移的输入数据流。

## 端口和属性

表4-15定义CDR端口。

表4-15:CDR端口

港口	目录	时钟域	描述
RXCDFREQRESET	在 ... 里	异步◎非同步 (asynchronous)	CDR频率检测器复位。保留。绑得很低。
RXCDRHOLD	在 ... 里	异步◎非同步 (asynchronous)	保持CDR控制回路冻结。
RXCDROVRDEN	在 ... 里	异步◎非同步 (asynchronous)	保留。
RXCDDRRESET	在 ... 里	异步◎非同步 (asynchronous)	CDR鉴相器复位。保留。绑得很低。
RXCDRRESETRSV	在 ... 里	异步◎非同步 (asynchronous)	保留。

表4-15:CDR端口(续)

港口	目录	时钟域	描述
RXRATE[2:0]	在...里	RXUSRCLK2	动态引脚自动改变GTX/GTH收发器RX中的有效PLL分频器。这些端口用于PCI Express和其他标准。 000: 使用RXOUT_DIV属性 001: 除以1 010: 除以2 011: 除以4 100: 除以8 101: 除以16 110: 除以1 111: 除以1 RXBUF_RESET_ON_RATE_CHANGE属性启用可选的自动重置。
RXCDRLOCK	在外	异步◎非同步(asynchronous)	保留。
RXOSHOLD	在...里	异步◎非同步(asynchronous)	当设置为1'b1时, 保持失调消除的当前值。 当设置为1'b0时, 失调消除被调整。
RXOSOVRDEN	在...里	异步◎非同步(asynchronous)	设为1'b1时, 失调消除由RX_OS_CFG属性控制。 当设置为1'b0时, RX_OS_CFG由RXOSHOLD信号控制。

表4-16定义CDR相关属性。

表4-16:CDR属性

属性	类型	描述
RXCDR_CFG	72位十六进制	CDR配置。应使用7系列FPGAs收发器向导中的推荐值。
RXCDR_LOCK_CFG	6位二进制	CDR锁定环路配置。应使用7系列FPGAs收发器向导中的推荐值。

表4-16:CDR属性(续)

属性	类型	描述
RXCDR_HOLD_DURING_EIDLE	二进制的	1'b0:默认设置。 1'b1:使CDR能够在PCI Express操作中使用的电气空闲状态的可选复位序列期间保持其内部状态。 <b>注意:</b> 对于衰减较大的通道(有损通道在奈奎斯特频率下通常超过15 dB),建议设置RXCDR_HOLD_DURING_EIDLE因为CJPAT/CJTPAT中的101010序列等快速转换数据模式可能会意外触发电气空闲。
RXCDR_FR_RESET_ON_EIDLE	二进制的	1'b0:默认设置。 1'b1:在PCI Express操作中使用的电气空闲状态的可选复位序列期间,启用CDR频率的自动复位。 <b>注意:</b> 对于衰减较大的通道(有损通道在奈奎斯特频率下通常超过15 dB),建议将RXCDR_FR_RESET_ON_EIDLE设置为1,因为快速转换数据模式(如CJPAT/CJTPAT中的101010序列)可能会意外触发电气空闲。
RXCDR_PH_RESET_ON_EIDLE	二进制的	1'b0:默认设置。 1'b1:在PCI Express操作中使用的电气空闲状态的可选复位序列期间,启用CDR相位的自动复位。 <b>注意:</b> 对于衰减较大的通道(有损通道在奈奎斯特频率下通常超过15 dB),建议将RXCDR_PH_RESET_ON_EIDLE设置为1,因为快速转换数据模式(如CJPAT/CJTPAT中的101010序列)可能会意外触发电气空闲。
RX_OS_CFG	13位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。

RXMONITORSEL[1:0]选择在RXMONITOROUT[6:0]上输出自适应值(AGC、UT和VP)。涉及**RX均衡器(DFE和LPM)**, 第184页了解更多详情。

## GTX/GTH使用模式

### RX CDR锁定至参考

要使CDR锁定到基准电压，设置RXCDRHOLD = 1'b1，RXCDROVRDEN = 1'b0。

### 针对线路速率和所选协议变化，动态更改RX CDR设置

下文描述了动态更改RX CDR设置的事件序列。它仅适用于CDR的更改：

1. 准备就绪后(所有有效数据从接收器数据路径中清除)，使用DRP通过属性RXCDR\_CFG[71:0](GTX)/RXCDR\_CFG[83:0](GTH)对CDR环路滤波器设置进行更改。中提供了该属性的推荐设置[表4-17](#)和[表4-19](#)。
2. 通过端口QPLLREFCLKSEL/CPLLREFCLKSEL和/或DRP对中列出的属性进行更改[表2-10](#)和[表2-14](#)。
3. 遵循中详述的重置指南[CPLL复位，第64页](#)和[QPLL复位，第64页](#)。
4. 当CPLL/QPLL锁定时，置位GTRXRESET，并遵循中详述的准则[响应GTRXRESET脉冲的GTX/GTH收发器RX Reset，第80页](#)。
5. RXRESETDONE信号变为高电平后，必须先验证数据是否正确，然后才能继续操作收发器(即检查已知的数据模式)。

### 动态更改RX CDR设置，仅调整CDR环路滤波器设置

1. 准备就绪后(所有有效数据从接收器数据路径中清除)，使用DRP通过属性RXCDR\_CFG[71:0](GTX)/RXCDR\_CFG[83:0](GTH)对CDR环路滤波器设置进行更改。中提供了该属性的推荐设置[表4-17](#)和[表4-19](#)。
2. 断言GTRXRESET端口，并遵循中详述的准则[响应GTRXRESET脉冲的GTX/GTH收发器RX Reset，第80页](#)。
3. RXRESETDONE信号变为高电平后，必须先验证数据是否正确，然后才能继续操作收发器(即检查已知的数据模式)。

表4-17:GTX CDR推荐的加扰/PRBS数据设置<sup>(1)</sup>(无SSC<sup>(2)</sup>)

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM	RXCDR_CFG
CPLL/QPLL	每分钟列数(ines per minute)	大于6.6克	1	200	72'h0B_0000_23FF_1040_0020
		小于或等于6.6克	1		72'h03_0000_23FF_1020_0020
		大于6.6克	1	700	72'h0B_8000_23FF_1040_0020
		小于或等于6.6克	1		72'h03_8000_23FF_1020_0020
		大于6.6克	1	1250	72'h0B_8000_23FF_1020_0020
		小于或等于6.6克	1		72'h03_8000_23FF_1020_0020
	教育 部	大于6.6克	1	200	72'h0B_0000_23FF_1040_0020
		小于或等于6.6克	1		72'h03_0000_23FF_2040_0020
		大于6.6克	1	700	72'h0B_8000_23FF_1040_0020
		小于或等于6.6克	1		72'h03_8000_23FF_2040_0020
		大于6.6克	1	1250	72'h0B_8000_23FF_1020_0020
		小于或等于6.6克	1		72'h03_8000_23FF_1020_0020
CPLL/QPLL	LPM/DFE	1.6克-6.25克	2	200	72'h03_0000_23FF_4020_0020
			2		
			2	700	
			2		72'h03_8000_23FF_4020_0020
			2	1250	
			2		
CPLL/QPLL	LPM/DFE	0.8克-3.125克	4	200	72'h03_0000_23FF_4010_0020
			4		
			4	700	
			4		72'h03_8000_23FF_4010_0020
			4	1250	
			4		

表4-17:GTX CDR推荐的加扰/PRBS数据设置<sup>(1)</sup>(无SSC<sup>(2)</sup>)(续)

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM	RXCDR_CFG
CPLL/QPLL	LPM/DFE	0.5克-1.5625克	8	200	72'h03_0000_23FF_4008_0020
			8		
			8	700	72'h03_8000_23FF_4008_0020
			8		
			8	1250	72'h03_8000_23FF_4008_0020
			8		

**注意事项:**

- 对于特定协议设置,请使用7系列FPGAs收发器向导和/或协议特性报告中的推荐值。
- 扩频时钟(SSC)用于降低电磁干扰(EMI)的频谱密度。

表4-18:GTX CDR推荐的SSC协议设置

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM 使用SSC	RXCDR_CFG
CPLL/QPLL	LPM/DFE	小于或等于6.6克	1	700 PPM 33千赫 三角形的 -5000 PPM	72'h03_8000_8BFF_1020_0010
		1.5G-3G	2		72'h03_8000_8BFF_4020_0008
		1G-1.5G	4		72'h03_8000_8BFF_4010_0008

表4-19:GTX CDR推荐的8B/10B编码数据设置<sup>(1)</sup>(无SSC<sup>(2)</sup>)

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM	RXCDR_CFG
CPLL/QPLL	LPM/DFE	大于6.6克	1	200	72'h0B_0000_23FF_1040_0020
				700	72'h0B_8000_23FF_1040_0020
				1250	72'h0B_8000_23FF_1020_0020
CPLL/QPLL	LPM/DFE	小于或等于6.6克	1	200	72'h03_0000_23FF_1040_0020
			1		
			1	700	72'h03_8000_23FF_1040_0020
			1		
			1	1250	72'h03_8000_23FF_1040_0020
			1		

表4-19:GTX CDR推荐的8B/10B编码数据设置<sup>(1)</sup>(无SSC<sup>(2)</sup>)(续)

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK_PPM	RXCDR_CFG	
CPLL/QPLL	LPM/DFE	1.6克-6.25克	2	200	72'h03_0000_23FF_1020_0020	
			2			
			2	700		
			2			
			2	1250		
			2			
CPLL/QPLL	LPM/DFE	0.8克-3.125克	4	200	72'h03_0000_23FF_1010_0020	
			4			
			4	700		
			4			
			4	1250		
			4			
CPLL/QPLL	LPM/DFE	0.5克-1.5625克	8	200	72'h03_0000_23FF_1008_0020	
			8			
			8	700		
			8			
			8	1250		
			8			

**注意事项:**

1. 对于特定协议设置，请使用7系列FPGAs收发器向导和/或协议特性报告中的推荐值。
2. 扩频时钟(SSC)用于降低电磁干扰(EMI)的频谱密度。
3. 对于所有设置，RX\_DEBUG\_CFG为12'h000for。
4. 建议8B/10B编码数据采用LPM模式。

表4-20:GTH CDR推荐的加扰/PRBS数据设置<sup>(1)</sup>(无SSC<sup>(2)</sup>)

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM	RXCDR_CFG
CPLL/QPLL	每分钟 列数 (ines per minute)	大于8G	1	200	83'h0_0020_07FE_2000_C208_001A
		小于或等于8G	1		83'h0_0020_07FE_2000_C208_0018
		大于8G	1	700	83'h0_0020_07FE_2000_C208_801A
		小于或等于8G	1		83'h0_0020_07FE_2000_C208_8018
		大于8G	1	1250	83'h0_0020_07FE_1000_C208_801A
		小于或等于8G	1		83'h0_0020_07FE_1000_C208_8018
	教育部	大于8G	1	200	83'h0_0020_07FE_2000_C208_001A
		小于或等于8G	1		83'h0_0020_07FE_2000_C208_0018
		大于8G	1	700	83'h0_0020_07FE_2000_C208_801A
		小于或等于8G	1		83'h0_0020_07FE_2000_C208_8018
		大于8G	1	1250	83'h0_0020_07FE_1000_C208_801A
		小于或等于8G	1		83'h0_0020_07FE_1000_C208_8018
CPLL/QPLL	LPM/DFE	1.6克–6.55克	2	200	83'h0_0020_07FE_1000_C220_0018
			2		
			2	700	
			2		83'h0_0020_07FE_1000_C220_8018
			2	1250	
			2		
CPLL/QPLL	LPM/DFE	0.8G–3.275克	4	200	83'h0_0020_07FE_0800_C220_0018
			4		
			4	700	
			4		83'h0_0020_07FE_0800_C220_8018
			4	1250	
			4		

表4-20:GTH CDR推荐的加扰/PRBS数据设置<sup>(1)</sup>(无SSC<sup>(2)</sup>)(续)

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM	RXCDR_CFG
CPLL/QPLL	LPM/DFE	0.5G-1.6375 G	8	200	83'h0_0020_07FE_0400_C220_0018
			8		
			8	700	83'h0_0020_07FE_0400_C220_8018
			8		
			8	1250	
			8		

## 注意事项:

- 对于特定协议设置，请使用7系列FPGAs收发器向导和/或协议特性报告中的推荐值。
- 扩频时钟(SSC)用于降低电磁干扰(EMI)的频谱密度。

表4-21:GTH CDR推荐的SSC协议设置

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM 使用SSC	RXCDR_CFG
CPLL/QPLL	LPM/DFE	小于或等于6.6 G	1	700 PPM 33千赫 三角形的 -5000 PPM	83'h0_0010_07FE_1000_C848_8018
		1.5G-3G	2		83'h0_0008_07FE_0800_C8A0_8118
		1G-1.5G	4		83'h0_0004_07FE_0800_C8A0_8118

表4-22:GTH CDR推荐的8B/10B编码数据设置<sup>(1)</sup>(无SSC<sup>(2)</sup>)

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM	RX_CDR_CFG	RX_DEBUG_CFG
CPLL/QPLL	LPM/DFE	大于6.6 G	1	200	83'h0_0020_07FE_2000_C208_001A	
				700	83'h0_0020_07FE_2000_C208_801A	
				1250	83'h0_0020_07FE_1000_C208_801A	
CPLL/QPLL	LPM/DFE	小于或等于6.6 G	1	200	83'h0_0020_07FE_2000_C208_0018	14'000
			1			14'000
			1	700	83'h0_0020_07FE_2000_C208_8018	14'000
			1			14'000
			1	1250		14'000
			1			14'000

表4-22:GTH CDR推荐的8B/10B编码数据设置<sup>(1)</sup>(无SSC<sup>(2)</sup>)(续)

锁相环路	LPM/DFE	数据率	RXOUT_DIV	REFCLK PPM	RX_CDR_CFG	RX_DEBUG_CFG
CPLL/QPLL	LPM/DFE	1.6克–6.55克	2	200	83'h0_0020_07FE_1000_C208_0018	14'000
			2			14'000
			2	700	83'h0_0020_07FE_1000_C208_8018	14'000
			2			14'000
			2	1250		14'000
			2			14'000
CPLL/QPLL	LPM/DFE	0.8克–3.275克	4	200	83'h0_0020_07FE_0800_C208_0018	14'000
			4			14'000
			4	700	83'h0_0020_07FE_0800_C208_8018	14'000
			4			14'000
			4	1250		14'000
			4			14'000
CPLL/QPLL	LPM/DFE	0.5克–1.6375克	8	200	83'h0_0020_07FE_0400_C208_0018	14'000
			8			14'000
			8	700	83'h0_0020_07FE_0400_C208_8018	14'000
			8			14'000
			8	1250		14'000
			8			14'000

**注意事项:**

1. 对于特定协议设置,请使用7系列FPGAs收发器向导和/或协议特性报告中的推荐值。
2. 扩频时钟(SSC)用于降低电磁干扰(EMI)的频谱密度。
3. 建议8B/10B编码数据采用LPM模式。

## RX结构时钟输出控制

### 功能描述

RX时钟分频器控制模块有两个主要组件:串行时钟分频器控制和并行时钟分频器和选择器控制。时钟分频器和选择器详情如所示图4-23。

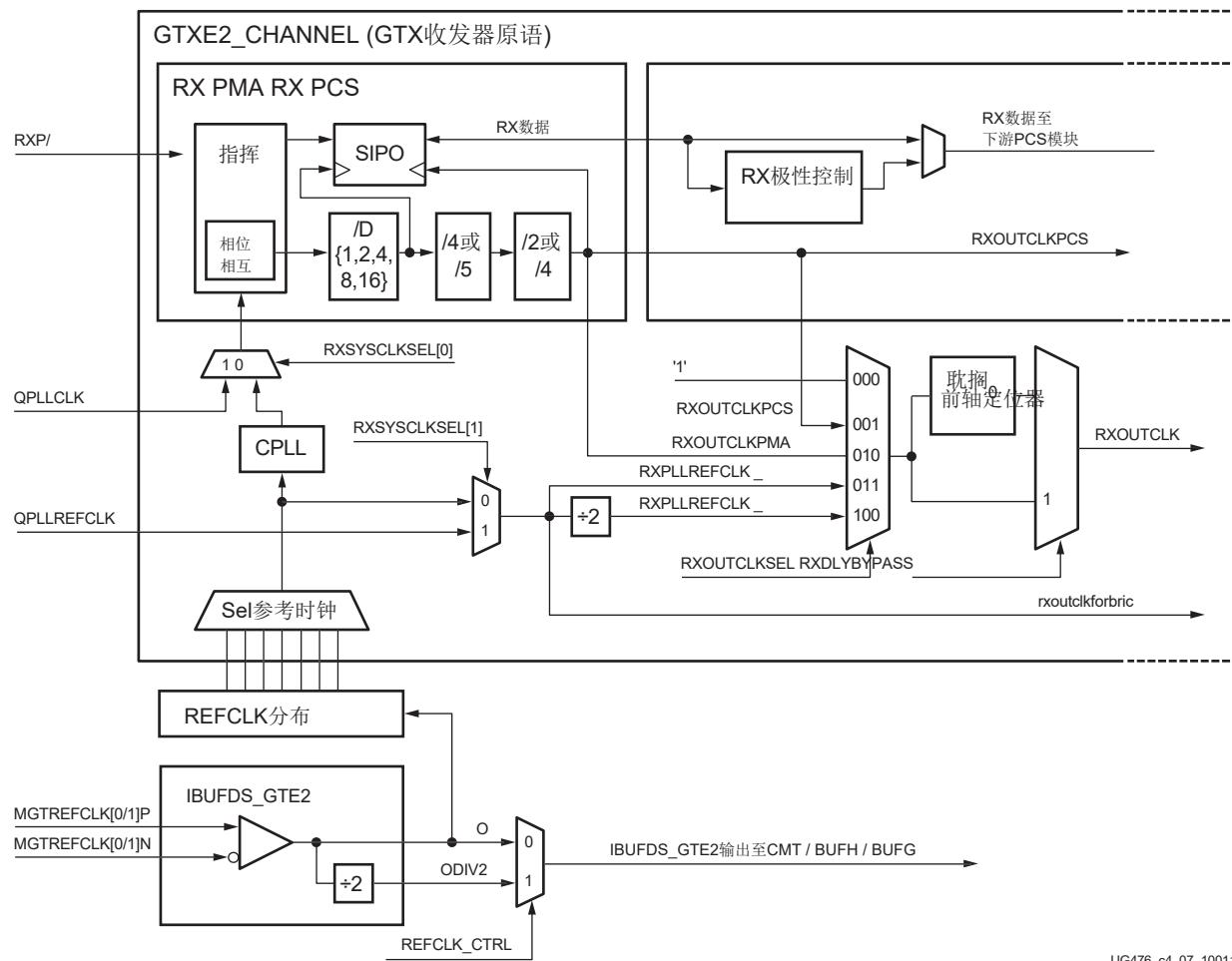


图4-23:RX串行和并行时钟分频器

与相关的注释图4-23:

1. RXOUTCLKPCS和RXOUTCLKFABRIC是冗余输出。RXOUTCLK应用于新设计。
2. REFCLK\_CTRL选项由软件自动控制，用户不可选择。用户只能通过CMT (PLL、MMCM或BUFMRC)、BUFH或BUFG将IBUFDS\_GTE2的O或ODIV2输出之一路由至FPGA逻辑。
3. IBUFDS\_GTE2是一个冗余输出，增加了时钟方案的灵活性。
4. GTXE2\_CHANNEL/GTHE2\_CHANNEL中只有一个CPLL。适用时，也可以使用GTXE2\_COMMON/GTHE2\_COMMON的QPLL。

5. /4或/5分频器模块的选择由GTXE2\_CHANNEL/GTHE2\_CHANNEL原语的RX\_DATA\_WIDTH属性控制。RX\_DATA\_WIDTH = 16、32或64时，选择/4。RX\_DATA\_WIDTH = 20、40或80时，选择/5。
6. /2或/4分频器模块的选择由GTXE2\_CHANNEL/GTHE2\_CHANNEL原语的RX\_INT\_DATAWIDTH属性控制。当RX\_INT\_DATAWIDTH = 0 (2字节内部数据路径)时，选择/2；当RX\_INT\_DATAWIDTH = 1 (4字节内部数据路径)时，选择/4。
7. 有关布局约束和时钟资源限制(MMCM、IBUFDS\_GTE2、BUFG等)的详细信息。), 请参考[UG472, 7系列FPGAs时钟资源用户指南](#)。

## 串行时钟分频器

每个发射机IPMA模块都有一个D分频器，用于分频来自PLL的时钟，以支持较低的线路速率。该串行时钟分频器D可以针对固定线路速率的应用进行静态设置，也可以针对多线路速率的协议进行动态更改。串行分频器的控制在中描述表4-23。有关每个速度等级的线速率范围的详细信息，请参考相应的数据表。

要在固定线路速率应用中使用D分频器，RXOUT\_DIV属性必须设置为适当的值，RXRATE端口需要连接到3'b000。请通过中的属性列参考静态设置表4-23详情请见。

为了在多线路速率应用中使用D分频器，RXRATE端口用于动态选择D分频器值。RXOUT\_DIV属性和RXRATE端口必须根据器件配置选择相同的D分频器值。器件配置完成后，RXRATE用于动态改变D分频器值。请参考中的“通过端口进行动态控制”一栏表4-23详情请见。

**表4-23:RX PLL输出分频器设置**

d分频器值	通过属性进行静态设置	通过端口进行动态控制
1	RXOUT_DIV = 1 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b001
2	RXOUT_DIV = 2 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b010
4	RXOUT_DIV = 4 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b011
8	RXOUT_DIV = 8 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b100
16	RXOUT_DIV = 16 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b101

## 并行时钟分频器和选择器

RX时钟分频器控制模块的并行时钟输出可以用作结构逻辑时钟，具体取决于线路速率和协议要求。

FPGA逻辑的推荐时钟是GTX/GTH收发器之一的RXOUTCLK。也可以将MGTREFCLK直接引入结构，用作结构时钟。RXOUTCLK是一般应用的首选，因为它有输出

延迟控制用于旁路RX缓冲器以实现恒定数据路径延迟的应用。涉及[RX缓冲器旁路，第242页](#)了解更多详情。

RXOUTCLKSEL端口控制输入选择器，并允许通过RXOUTCLK端口输出这些时钟：

- RXOUTCLKSEL = 3'b001:不建议使用RXOUTCLKPCS路径，因为它会导致PCS模块产生额外延迟。
- RXOUTCLKSEL = 3'b010: RXOUTCLKPMA是可以输出到FPGA逻辑的恢复时钟。恢复的时钟由不具有时钟补偿机制并且需要使用与数据同步的时钟(恢复的时钟)的协议使用，以便为下游结构逻辑计时。RX PCS模块也使用它。当PLL或CDR被相关复位信号之一复位时，该时钟中断。
- RXOUTCLKSEL = 3'b 011或3'b100:rxplrefclk\_div 1或RXPLLREFCLK\_DIV2是CPLL或QPLL的输入参考时钟，具体取决于RXSYSCLKSEL[1]设置。对于不需要向结构输出恢复时钟的应用，RXPLLREFCLK\_DIV1或RXPLLREFCLK\_DIV2可用作系统时钟。然而，TXOUTCLK通常用作系统时钟。

## 端口和属性

[表4-24](#)定义RX结构时钟输出控制所需的端口。

[表4-24:RX结构时钟输出控制端口](#)

港口	目录	时钟域	描述
RXOUTCLKSEL[2:0]	在 ... 里	异步@非同步 (asynchronous)	此端口控制多路复用器选择信号输入 <a href="#">图4-23</a> 。 3'b000:静态1 3'b001: RXOUTCLKPCS路径 3'b010: RXOUTCLKPMA路径 3'b011: RXPLLREFCLK_DIV1路径 3'b100: RXPLLREFCLK_DIV2路径 其他:保留。
RXRATE[2:0]	在 ... 里	RXUSRCLK2	该端口动态控制RX串行时钟分频器D的设置(参见 <a href="#">表4-23</a> )并与RXOUT_DIV属性一起使用。 3'b000:使用RXOUT_DIV分频器值 3'b001:将D分割器设置为1 3'b010:将D分割器设置为2 3'b011:将D分割器设置为4 3'b100:将D分割器设置为8 3'b101:将D分割器设置为16
rxoutclkforbric	在外	时钟	RXOUTCLKFABRIC是为测试保留的冗余输出。 RXOUTCLK with RXOUTCLKSEL = 应使用3。

表4-24:RX结构时钟输出控制端口(续)

港口	目录	时钟域	描述
RXOUTCLK	在外	时钟	RXOUTCLK是FPGA逻辑的推荐时钟输出。RXOUTCLKSEL端口是RXOUTCLK的输入选择器，允许PLL向FPGA逻辑输入参考时钟。
RXOUTCLKPCS	在外	时钟	RXOUTCLKPCS是一个冗余输出。RXOUTCLK, RXOUTCLKSEL = 应使用3代替。
RXRATEDONE	在外	RXUSRCLK2	RXRATEDONE端口在一个RXUSRCLK2周期内保持高电平，以响应RXRATE端口的变化。 TRANS_TIME_RATE属性定义RXRATE端口发生变化与RXRATEDONE置位之间的时间间隔。
RXDLYBYPASS	在...里	异步@非同步 (asynchronous)	RX延迟对齐旁路： 0:使用RX延迟对齐电路。当RX缓冲器被旁路时，置1。 1:旁路RX延迟对齐电路。使用RX缓冲器时，置1。

表4-25 定义RX结构时钟输出控制所需的属性。

表4-25:RX结构时钟输出控制属性

属性	类型	描述
运输时间费率	8位十六进制	保留。应使用7系列FPGAs收发器向导中的推荐值。该属性决定速率变化后PHYSTATUS和RXRATEDONE何时置位。
RXBPF_RESET_ON_速率_变化	布尔代数学体系的	设置为真时，该属性使能RXRATE变化引发的速率变化事件期间的自动RX缓冲器复位。
RXOUT_DIV	整数	该属性控制RX串行时钟分频器的设置。该属性仅在RXRATE = 3'b000时有效。否则，D分频器值由RXRATE控制。有效设置为1、2、4、8和16。

## 使用RXRATE(仅GTH收发器)

当用户希望通过RXRATE更改分频器D设置时，步骤如下图4-24如果GTH收发器改变成如下配置，则应执行：

- RXOUT\_DIV != 1 and
- RX内部数据宽度为20或40位(RX\_DATA\_WIDTH = 20、40或80)

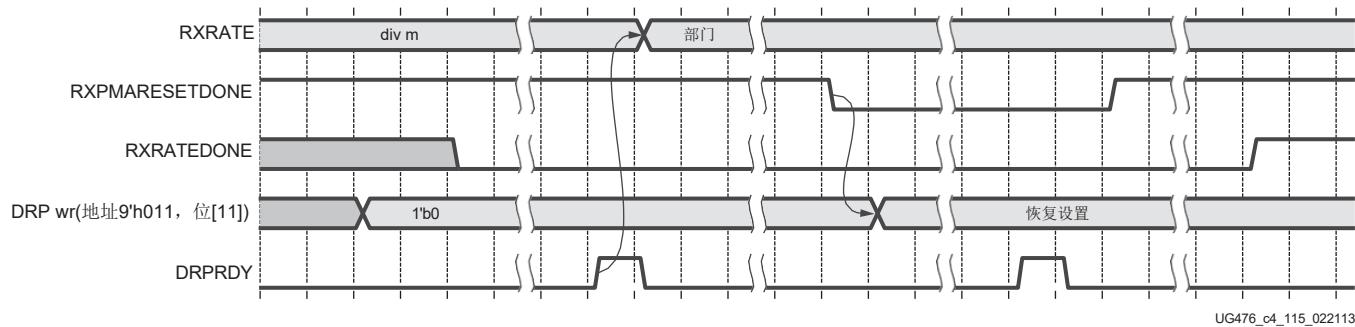


图4-24:RXRATE更改示例

与相关的注释图4-24:

1. DRP wr表示对地址9'h011执行DRP写入的功能。没有显示确切的DRP交易。
2. 中的事件顺序图4-24没有按比例绘制。
3. 要更改RXRATE，应向GT2\_CHANNEL原语DRPADDR 9'h011发出一个DRP写操作，并将位[11]设置为1'b0。  
为了确保只修改DRPADDR 9'h011is的位[11],最好执行读-修改-写功能。
4. DRP写入完成后，RXRATE的值应更改为新的所需设置。
5. 用户应等待RXPMARESETDONE被检测为低电平。
6. 应向GT2\_CHANNEL原语DRPADDR 9'h011发出DRP写操作，恢复位[11]的原始设置。该DRP写操作必须在RXPMARESETDONE从低电平变为高电平之前完成。RXPMARESETDONE保持低电平至少0.66 us。
7. 如果SIM\_RESET\_SPEEDUP设置为FALSE，并且使用UniSim库中的GT功能仿真模型，则上述序列可以正确仿真。如果SIM\_RESET\_SPEEDUP设置为TRUE或使用unifast库中的GT功能仿真模型，则应绕过上述序列。

**注意:**对于更改为RXOUT\_DIV = 1或RX\_DATA\_WIDTH = 16、32或64配置的GTH收发器，上述步骤是允许的，但不是必需的。

## RX利润分析

### 功能描述

随着线路速率和信道衰减的增加，接收器均衡器更经常地被使能以克服信道衰减。这给系统建立带来了挑战，因为不能通过测量接收器引脚处的远端眼图开度来确定链路质量。在高线路速率下，即使接收器均衡器后的内部眼图打开，在印刷电路板上测得的接收眼图也可能看起来完全闭合。

7系列FPGA GTX/GTH收发器RX眼图扫描提供了一种测量和可视化均衡器后接收器眼图余量的机制。附加使用模式支持多种其他方法来确定和诊断均衡设置的效果。

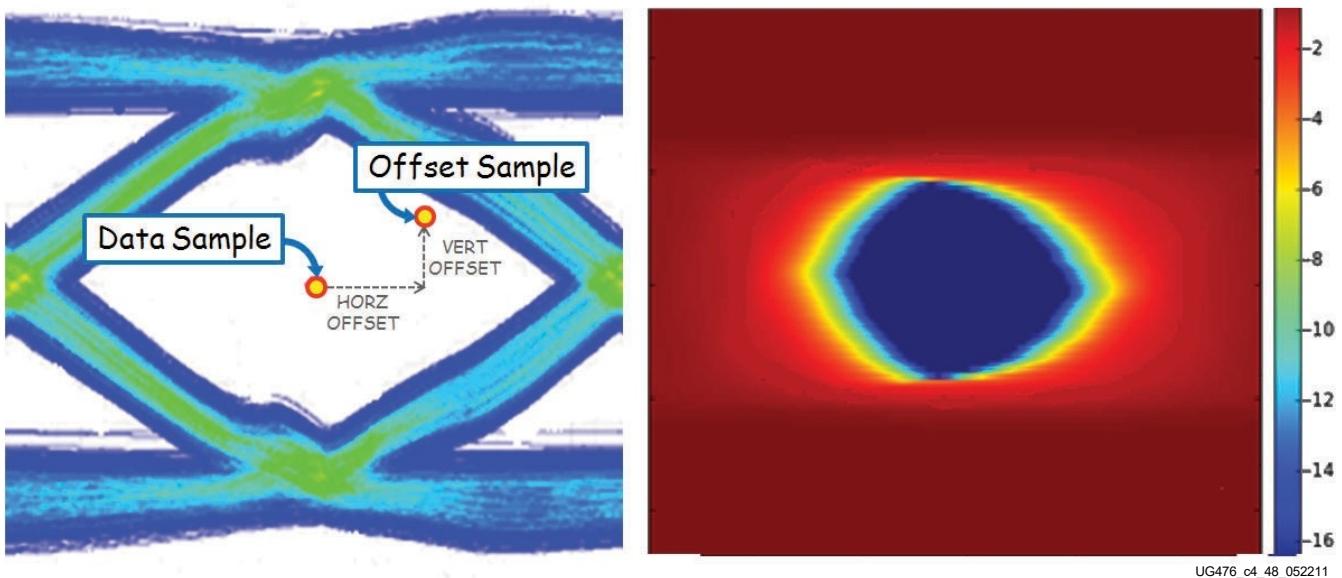


图4-25:失调样本和数据样本，用于计算作为失调函数的BER统计眼

## 眼睛扫描理论

RXDATA通过RX均衡器之后的采样从均衡的差分波形中恢复。水平采样位置由CDR功能决定，垂直位置为差分零。这在中表示为数据样本图4-25。

为了启用眼图扫描功能，提供了一个附加采样器，该采样器具有相对于数据采样点的可编程(水平和垂直)偏移。这在中表示为偏移采样图4-25。

单眼扫描测量包括累积数据样本数(样本计数)和偏移样本与数据样本不一致的次数(错误计数)。编程的垂直和水平偏移下的误码率(BER)是错误数与样本数之比。样本计数的范围可以从数万到大于 $10^{14}$ 。

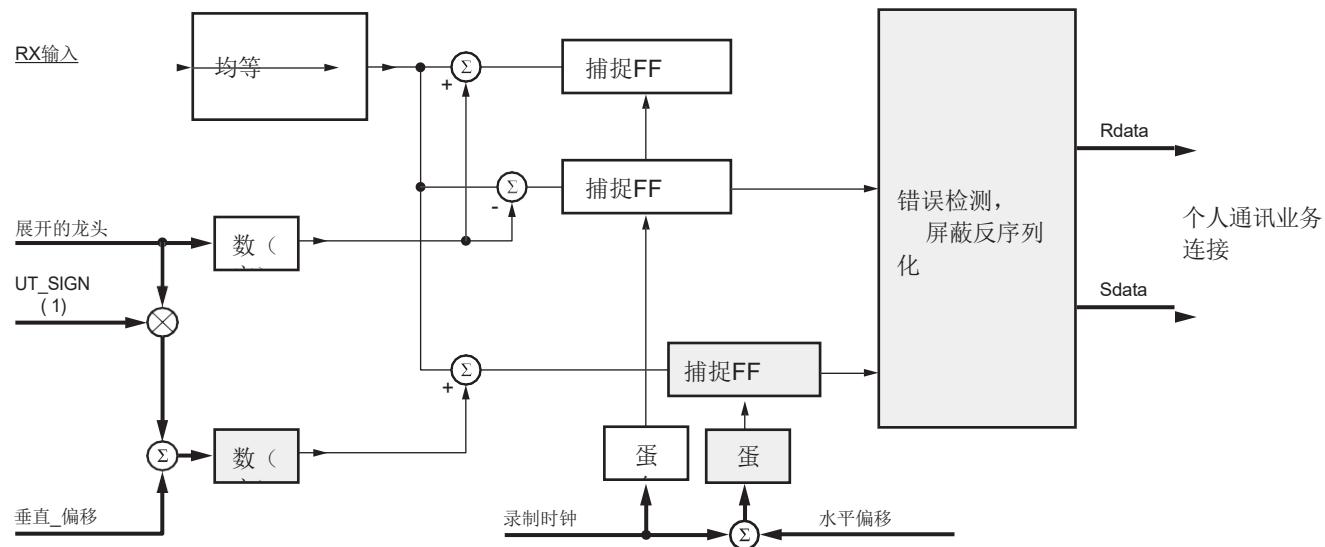
对整个水平和垂直失调阵列(或一组二次采样失调)重复此类BER测量，可产生一个BER图，如所示图4-25，通常称为统计眼，其中颜色映射代表 $\log_{10}(\text{BER})$ 。在此视图中，眼睛明显小于传统示波器视图(如图4-25)因为它已经被很低概率的抖动和噪声所封闭，这些抖动和噪声不会在示波器的低得多的样本数中出现。

由于此功能对接收的数据模式没有任何限制，也不需要改变RX设置，因此可以在接收应用数据时执行，不会出错。此外，不需要FPGA逻辑，只需要读写属性的能力。

## 眼睛扫描架构

灰色阴影部分图4-26描述PMA架构中支持眼扫描的部分。水平偏移(HORZ\_OFFSET)相对于数据样本提前或延迟偏移样本的采样时间。垂直失调(VERT\_OFFSET)提高或降低与均衡波形进行比较的差分电压阈值。数据样本被解串到Rdata总线，而偏移样本被解串到Sdata总线。

在DFE模式下(RXLPMEN=0)，由于铺开第一次DFE抽头时，需要两次单独的眼图扫描测量，一次在+UT，一次在-UT，以测量给定垂直和水平偏移下的总BER。



UG476\_c4\_49\_062011

图4-26:支持眼睛扫描的PMA架构

图4-27描述支持眼图扫描的PCS架构部分。40位Rdata总线包含数据样本，当且仅当相应的数据样本和偏移样本不相等时，40位Sdata总线的每一位为1。(请参见中的ES\_ERRDET\_EN第219页表4-27。)

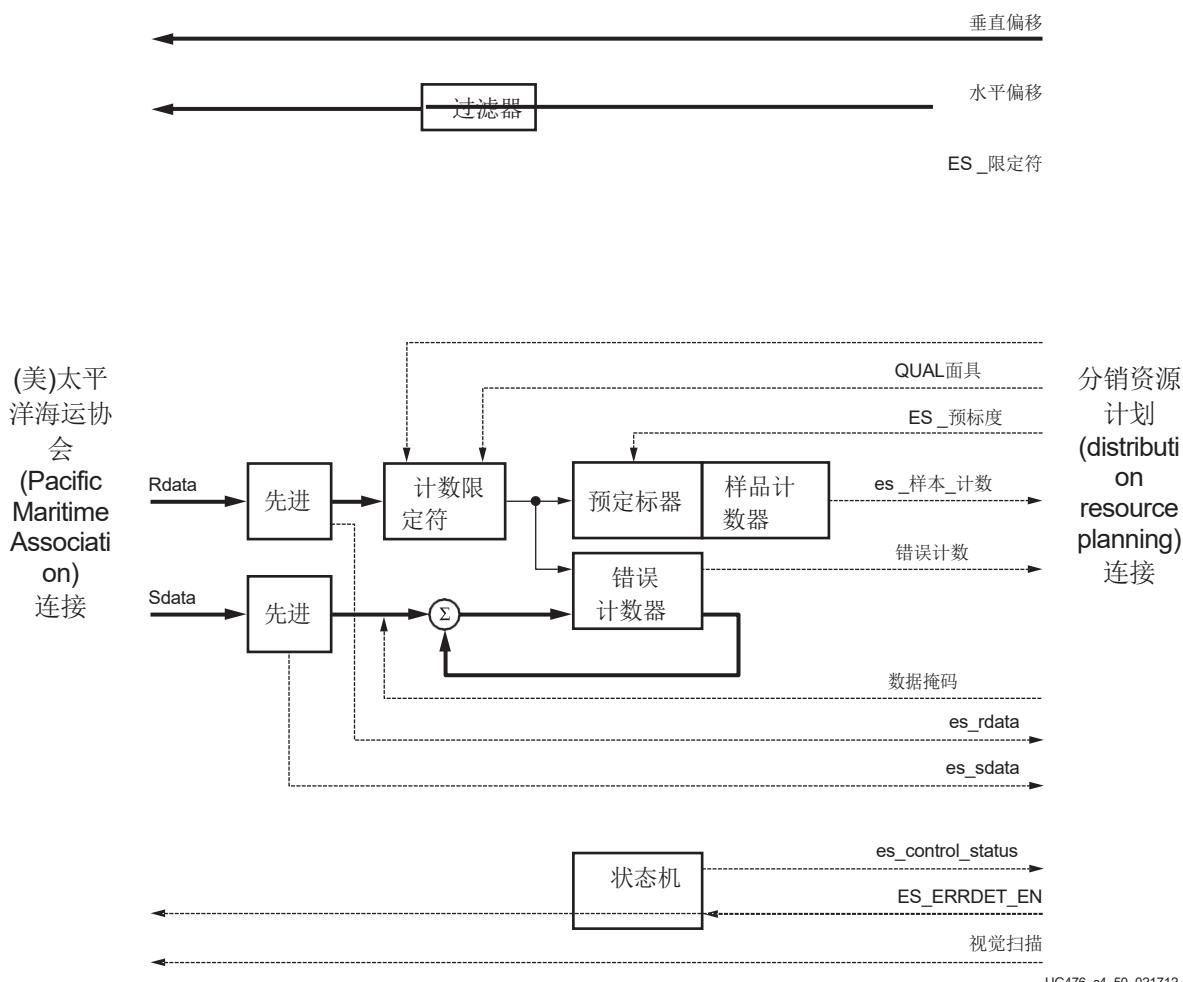


图4-27:支持眼睛扫描的PCS架构

Sdata的两个连续周期由ES\_SDATA\_MASK[79:0]屏蔽(即逐位Sdata[i]而非mask[i])。此结果的位[39:0]的代数和是要添加到错误计数器中的错误数。

Rdata的两个连续周期与ES\_QUALIFIER[79:0]中的模式进行比较，结果由ES\_QUAL掩码[79:0]屏蔽(即逐位或运算)。该结果的逻辑“与”决定预分频器/采样计数器是否递增，以及误差是否加到误差计数器。对于统计眼，ES\_QUAL掩码是80个1，因此样本计数器和误差计数器在每个周期累加。ES\_SDATA\_MASK仅取消屏蔽当前数据(39位及以下；参见RX\_INT\_DATAWIDTH的描述)以避免重复计数错误，因为它们首先出现在下一个周期的低40位，然后出现在高40位。

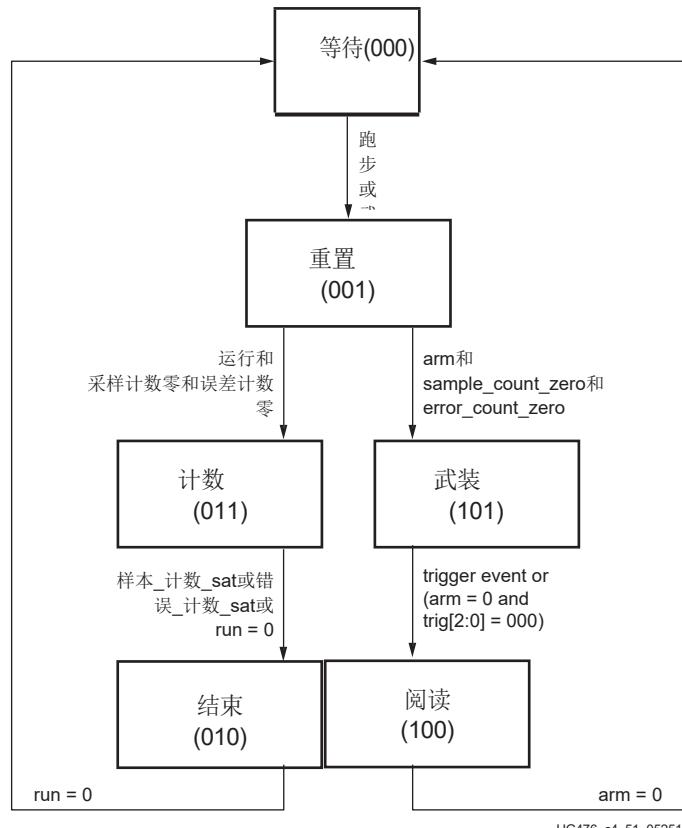
交替使用模式通过暴露一系列Rdata位(最多40位)产生类似示波器的显示，仅当Rdata在该位范围内与ES\_QUALIFIER匹配时才导致错误和样本累积。在这些使用模式下，每次测量只有一个Sdata位未被屏蔽。在诊断使用模式下，Rdata和Sdata为冰冻的并且可以在以下情况下通过DRP接口读出：

- 出现错误，
- 出现计数限定符，

- 结构端口导致触发，或者
- 通过属性写入强制触发。

例如，可以使用诊断使用模式来检查由于DFE行为导致的突发错误的模式。

图4-28记录眼扫描状态机中的状态转换。



UG476\_c4\_51\_052511

图4-28:眼睛扫描状态机

ES\_CONTROL[1:0]分别是信号arm和run。从等待状态开始，run启动BER测量环路(左)，arm启动诊断环路(右)。

复位状态将误差和样本计数器归零，然后进入计数状态或待命状态(取决于运行或待命是否有效)。

在计数状态下，样本和误差在计数器中累积。当任一计数器饱和时，两个计数器都停止并转换到结束状态。通过轮询es\_control\_status[3:0]来检测到这种到结束状态的转换。位0(完成)仅在结束、读取和等待状态下有效。位[3:1]显示状态机的当前状态。

当run设置回零时，END状态转换到WAIT状态。es\_sample\_count[15:0]和es\_error\_count[15:0]可以在结束或等待状态下读取。

在待命状态下，当触发事件发生时，FIFO(Rdata和Sdata的连续周期)停止。触发事件可以是计数限定脉冲、错误计数器中所有位的逻辑或，也可以是DRP数据输入或端口提供的手动触发。trig[3:0] = ES\_CONTROL[5:2]选择这四个选项中的一个。

在读取状态下，Rdata的最后两个周期可以从COE状态寄存器es\_rdata[79:0]读取，Sdata的最后两个周期可以从COE状态寄存器es\_sdata[79:0]读取。

## 端口和属性

表4-26定义与RX眼扫描功能相关的端口。

表4-26:RX利润分析端口

港口	目录	领域	描述
眼睛扫描数据错误	在外	异步 $\otimes$ 非同步 (asynchronous)	当计数或待命状态下发生(非屏蔽)错误时，在一个REC_CLK周期内置位高电平。
眼罩触发器	在...里	RXUSRCLK2	导致触发事件。 参见下面的ES_CONTROL[4]。
RXRATE	在...里	RXUSRCLK2	动态引脚自动改变RX中的有效PLL分频器。 用于PCIe和其他标准。 00 将使用RXOUT_DIV属性 01 隐含/4 10 隐含/2 11 隐含/1
RXLPMEN	在...里	异步 $\otimes$ 非同步 (asynchronous)	当设置为1'b1时，启用带有自适应线性均衡器的LPM模式。当设置为1'b0时，高性能DFE模式使能。
眼睛扫描模式	在...里	异步 $\otimes$ 非同步 (asynchronous)	保留。

表4-27定义接收眼扫描属性。小写属性名表示R/O。

表4-27:RX利润分析属性

属性	类型	描述
垂直偏移	9位二进制	控制扫描样本的垂直(差分电压)偏移:[6:0]:偏移幅度(以UT为中心，展开阈值)。[7]:偏移符号(1为负，0为正)。 [8]: UT符号(1选择负展开阈值，0选择正阈值)。
水平偏移	12位十六进制	控制扫描样本的水平(相位)偏移。 [10:0]:相位偏移(二进制补码)。数据眼的中心(0 UI)对应于所有数据速率的计数为11'd0。下表列出了最小计数(表示-0.5 UI)和每个数据速率的最大计数(表示+0.5 UI)。 <u>速率最小计数 [dec(bin)] 眼中心 [dec(bin)] 最大计数 [dec(bin)]</u> 完整-32(11'b11111100000)+0(11'b000000000)+32(11'b000000100000) 半64(11'b11111000000)+0(11'b000000000)+64(11'b00001000000) qrtr-128(11'b11110000000)+0(11'b000000000)+128(11'b00010000000) 八进制-256(11'b11100000000)+0(11'b000000000)+256(11'b00100000000) 十六进制-512(11'b11000000000)+0(11'b000000000)+512(11'b01000000000) [11]:相统。对于所有正计数(包括零)，必须设置为0和1

对于所有的否定计数。

表4-27:RX利润分析属性(续)

属性	类型	描述
ES_预标度	5位二进制	控制样本计数的预缩放，使样本计数和错误计数在16位寄存器范围内保持合理的精度。预标度= $2^{(1+\text{寄存器值})}$ ，因此最小预分频是 $2^{(1+0)}=2$ ，最大预分频为 $2^{(1+31)}=4,284,967,296$ 。
数据掩码	80位十六进制	<p>该属性最多可屏蔽40位Sdata总线的两个周期。二进制1使相应的总线位被屏蔽，二进制0使其不被屏蔽。为了支持统计眼图，错误计数器累计Sdata总线最近一个周期的未屏蔽1总数(由ES_SDATA_MASK[39:0]屏蔽)。为了支持示波器和波形视图，对于任何Sdata总线前一周期的非零未屏蔽1数(由ES_SDATA_MASK[79:40]屏蔽)。</p> <p>该属性和ES_QUAL掩码还必须屏蔽掉总线宽度小于40位的未使用位。对于统计眼图，该属性假定以下值为总线宽度的函数：</p> <ul style="list-style-type: none"> <li>40位宽度:ES_SDATA_MASK = ({40{1'b1}}, {40{1'b0}})</li> <li>32位宽度:ES_SDATA_MASK = ({40{1'b1}}, {32{1'b0}}, {8{1'b1}})</li> <li>20位宽度:ES_SDATA_MASK = ({40{1'b1}}, {20{1'b0}}, {20{1'b1}})</li> <li>16位宽度:ES_SDATA_MASK = ({40{1'b1}}, {16{1'b0}}, {24{1'b1}})</li> </ul> <p>示波器和波形视图需要一系列的测量，每次测量只显示一位。</p>
ES_限定符	80位十六进制	<p>Eye scan可以根据输入数据中任何位置最长40个连续位的模式来鉴定BER测量。因为数据没有对齐，因此限定符模式也没有对齐，所以必须通过桶移位搜索来发现模式的位置。例如，寻找具有20位数据宽度的模式10'b 0011111010(8B/10B代码中的K28.5)将需要如下测量序列，在正确的对齐处搜索非零样本计数：</p> <ul style="list-style-type: none"> <li>ES_QUALIFIER = ({50{1'b?}}, 10'b0011111010, {20{1'b?}})</li> <li>ES_QUALIFIER = ({49{1'b?}}, 10'b0011111010, {21{1'b?}})</li> <li>ES_QUALIFIER = ({48{1'b?}}, 10'b0011111010, {22{1'b?}})</li> <li>.....等等.....(哪里？代表将被屏蔽的无关位)</li> </ul> <p>限定符模式仅在总线宽度(40、32、20或16)的有效位上移位。参见RX_INT_DATAWIDTH的描述。</p>
QUAL面具	80位十六进制	<p>这个属性屏蔽了那些没有包含在限定符模式中的位。例如，上述K28.5示例的相应值为：</p> <ul style="list-style-type: none"> <li>ES_QUAL掩码= ({50{1'b1}}, {10{1'b0}}, {20{1'b1}})</li> <li>ES_QUAL_MASK = ({49{1'b1}}, {10{1'b0}}, {21{1'b1}})</li> <li>ES_QUAL掩码= ({48{1'b1}}, {10{1'b0}}, {22{1'b1}})</li> <li>....等等...</li> </ul>
RSV2 PMA[5]	1位二进制	<p>GTX收发器： 使用眼扫描时，该位应始终为1。将该位设置为0将关断PMA中的眼图扫描电路，并强制眼图扫描状态等待。重新启用眼扫描功能要求重新声明该位并声明/取消声明PMA复位。</p> <p>GTH收发器： 保留。未使用。</p>

表4-27:RX利润分析属性(续)

属性	类型	描述
视觉扫描	布尔代 数学体 系的	GTx收发器: 保留。这一位应该总是正确的。 GTH收发器: 使用眼扫描时，该位应始终为真。将该位设置为FALSE将关闭PMA中的眼扫描电路，并强制眼扫描状态等待。 重新启用眼扫描功能需要重新声明该位并声明/取消声明PMA复位。
ES_ERRDET_EN	布尔代 数学体 系的	真:当且仅当相应的偏移数据样本与恢复的数据样本不一致时，Sdata总线的每个位为1。这用于统计视角。错误:Sdata总线的每一位都是恢复的数据样本。因此，如果没有错误发生时，Sdata总线将与Rdata总线相同。这用于示波器和波形视图。
ES_控制	6位二 进制	[0]:运行。 置位此位会导致从等待状态到复位状态的状态转换，启动BER测量序列。 [1]:手臂 置位该位会导致从等待状态到复位状态的状态转换，从而启动诊断序列。在待命状态下，如果下面的位[5:2]的状态之一不满足，将该位去置位会导致状态转换到读取状态。 [5:2]: 0001在待命状态下，当检测到错误(即Sdata总线上的未屏蔽1)时，会导致触发事件(转换到读取状态)。 0010在待命状态下，当Rdata中检测到限定符模式时，会引发一个触发事件(转换到读取状态)。 0100在待命状态下，当eye_scan_trigger端口置位高电平时，会产生一个触发事件(转换到读取状态)。 1000处于待命状态，会立即导致触发事件(转换到读取状态)。
es_控制_状态	4位二 进制	[0]:完成。仅在等待、结束或读取状态下置位高电平。[3:1]:状态机的当前状态： 等待000 重置001 COUN 011 结束010 武装101 阅读100
es_rdata	80位 二进制	当触发事件发生在待命状态时，es_rdata[39:0]是rdata总线的当前状态，es_rdata[79:40]是Rdata总线的先前状态。
es_sdata	80位 二进制	当触发事件发生在待命状态时，es_sdata[39:0]是sdata总线的当前状态，es_sdata[79:40]是Sdata总线的先前状态。
错误计数	16位 十六 进制	在结束和等待状态下，包含前一次BER测量的最终错误计数。
es_样本_计数	16位 十六 进制	在结束和等待状态下，包含前一次BER测量的最终样本计数。

表4-27:RX利润分析属性(续)

属性	类型	描述
RX_数据_宽度	整数	设置RXDATA端口的位宽。使能8B/10B编码时，RX_DATA_WIDTH必须设置为20、40或80。有效设置为16、20、32、40、64和80。看见 <a href="#">接口宽度配置，第295页</a> 了解更多详情。
GTH收发器: 使用_PCS_CLK相位选择	1位二进制	如果置1，眼扫描4T时钟相位由ES_CLK相位选择决定。 如果置0，解串器鉴相器决定眼扫描4T时钟的相位。
GTH收发器:CLK	1位二进制	如果USE_PCS_CLK_PHASE_SEL置位，将该位置1将选择眼扫描4T时钟的一个相位。将其设置为0将选择另一个相位。
RX_INT_DATAWIDTH	整数	1: 32或40位接口 0: 16或20位接口  Rdata和Sdata总线上的有效数据宽度等于RX结构数据宽度(参见RX_DATA_WIDTH)除以2( $1-RX\_INT\_data\ width$ )。 对于不同的可能总线宽度，先前和当前有效Rdata和Sdata位对应于ES_SDATA_MASK、ES_QUALIFIER、ES_QUAL_MASK、es_rdata和ES_SDATA中的以下索引：  有效数据宽度先前数据当前数据16 [79:64] [39:24] 20 [79:60] [39:20] 32 [79:48] [39: 8] 40 [79:40] [39: 0]
RXOUT_DIV	整数	RX数据路径的QPLL/CPLL输出时钟分频器D，如所示 <a href="#">第47页，图2-9</a> 。有效设置为1、2、4、8和16。 该属性仅在RXRATE端口设置为3'b000时设置分频器。
埃斯PMA CFG	10位二进制	保留。

表4-28:眼扫描只读(R)寄存器的DRP地址映射

DRP地址十六进制(GTX收发器)	DRP地址十六进制(GTH收发器)	DRP位	读写	名字	属性位
14F	151	15:0	R	错误计数	15:0
150	152	15:0	R	es_样本_计数	15:0
151	153	3:0	R	es_控制_状态	3:0
152	154	15:0	R	es_rdata	79:64
153	155	15:0	R	es_rdata	63:48
154	156	15:0	R	es_rdata	47:32
155	157	15:0	R	es_rdata	31:16
156	158	15:0	R	es_rdata	15:0
157	159	15:0	R	es_sdata	79:64
158	15A	15:0	R	es_sdata	63:48



表4-28:眼扫描只读(R)寄存器的DRP地址映射(续)

DRP地址十六进制(GTX收发器)	DRP地址十六进制(GTH收发器)	DRP位	读写	名字	属性位
159	15B	15:0	R	es_sdata	47:32
15A	15C	15:0	R	es_sdata	31:16
15B	15D	15:0	R	es_sdata	15:0

## RX极性控制

### 功能描述

如果PCB上的RXP和RXN差分走线被意外交换，GTX/GTH收发器RX接收到的差分数据就会反转。GTX/GTH收发器RX允许在SIPO之后对PCS中的并行字节进行反转，以抵消差分对上的极性反转。极性控制功能使用RXPOLARITY输入，该输入从fabric用户界面驱动至高电平以反转极性。

### 端口和属性

表4-29定义RX极性控制功能所需的端口。

表4-29:RX极性控制端口

港口	目录	时钟域	描述
rx极性	在...里	RXUSRCLK2	RXPOLARITY端口可以反转输入数据的极性: 0:不反转。RXP为正，RXN为负。 1:倒置。RXP为负，RXN为正。

### 使用RX极性控制

如果需要反转RXP和RXN的极性，RXPOLARITY可以接高电平。

## RX码检查器

### 功能描述

GTX/GTH接收器包括一个内置的PRBS检查器(参见图4-29).该检查器可以设置为检查四种工业标准PRBS模式中的一种。检查器是自同步，在逗号对齐或解码之前处理输入数据。该功能可用于测试通道的信号完整性。

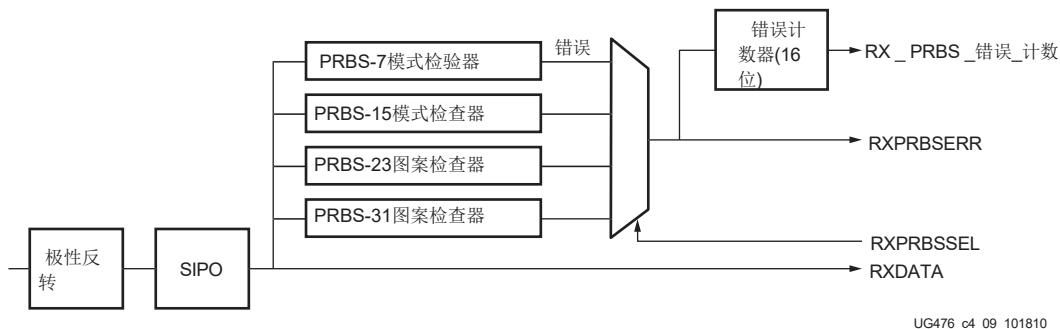


图4-29:RX码校验器模块

## 端口和属性

表4-30 定义模式检查器端口。

表4-30 模式检查器端口

港口	目录	时钟域	描述
RXPRBSCNTRESET	在...里	RXUSRCLK2	重置PRBS错误计数器。
RXPRBSSEL[2:0]	在...里	RXUSRCLK2	接收器PRBS检验器测试模式控制。只有这些设置有效: 000:标准操作模式。(PRBS检查关闭) 001: PRBS-7 010: PRBS-15 011: PRBS- 23 100:PRBS 31  不检查非PRBS模式。单比特错误导致PRBS错误的突发，因为PRBS检验器使用来自当前周期的数据来生成下一个周期的预期数据。
RXPRBSERR	在外	RXUSRCLK2	这种非粘性状态输出表明发生了PRBS错误。

表4-31 定义模式检查器属性。

表4-31:图案检查器属性

属性	类型	描述
RX_PRBS_错误_计数	16位二进制	PRBS误差计数器。该计数器可以通过置位RXPRBSCNTRESET来复位。当输入的并行数据发生错误时，该计数器递增1，并一直计数到0xFFFF。该错误计数器只能通过DRP访问。 GTX收发器： 该计数器的地址是0x15C。 GTH收发器： 该计数器的地址是0x15E。
RXPRBS_ERR_LOOPBACK	1位二进制	当该属性设置为1时，RXPRBSERR位内部回送至同一GTX/GTH收发器的TXPRBSFORCEERR。这允许同步和异步抖动容差测试，而无需担心数据时钟域交叉。 当该属性设置为0时，TXPRBSFORCEERR被强制到TX PRBS上。

## 使用模型

要使用内置PRBS检查器，RXPRBSSEL必须设置为与发送给接收器的PRBS模式相匹配。中的RXPRBSSEL条目表4-30显示可用的设置。

当PRBS检查器运行时，它会尝试在输入数据中查找选定的PRBS模式。如果输入数据被发送器反转或RXP/RXN反转，接收数据也应通过控制RXPOLARITY反转。否则，PRBS检查器不会锁定。当它找到模式时，它可以通过将输入模式与预期模式进行比较来检测PRBS错误。预期模式是从先前输入的数据中生成的。检查器计算字(每个字20位)错误的数量，并在输入的并行数据中发现错误时将字错误计数器加1。因此，如果输入的并行数据包含两个或更多位错误，则字错误计数器可能与位错误的实际数量不匹配。当达到0xFFFF时，错误计数器停止计数。

当错误发生时，RXPRBSERR置位。当在随后的输入数据中没有发现错误时，RXPRBSERR清零。置位RXPRBSCNTRESET将清零错误计数器。GTRXRESET和RXPCSRESET也会复位计数。

涉及TX模式发生器，第145页有关使用模型的更多信息。

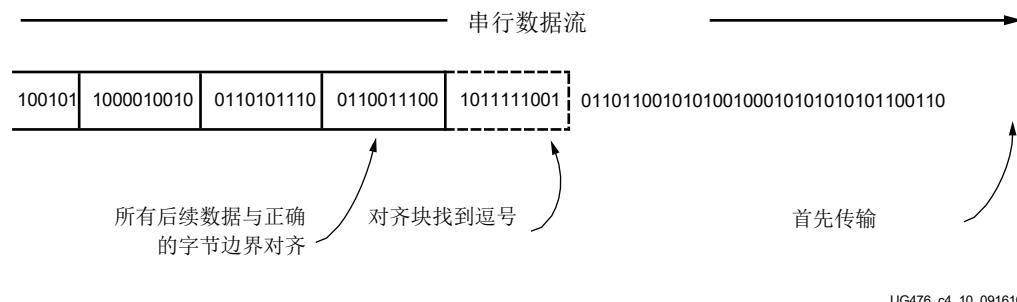
## RX字节和字对齐

### 功能描述

串行数据必须与符号边界对齐，才能用作并行数据。为了使对准成为可能，发射机发送一个可识别的序列，通常称为

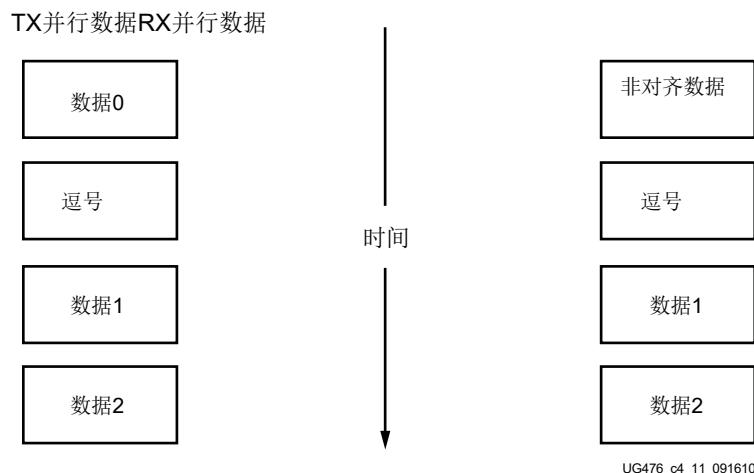
逗号。接收方在传入的数据中搜索逗号。当它找到一个逗号时，它将该逗号移动到一个字节边界，以便接收的并行字与发送的并行字匹配。

**图4-30**显示与10位逗号的对齐方式。RX接收未对齐位位于右侧。带逗号的串行数据在中间突出显示。字节对齐的RX并行数据位于左侧。



**图4-30:逗号对齐的概念视图(对齐10位逗号)**

**图4-31**左侧显示TX并行数据，右侧显示RX接收逗号对齐后的可识别并行数据。



**图4-31:逗号对齐的并行数据视图**

### 启用逗号对齐

为了使能逗号对齐模块，RXCOMMADETEN端口被拉高。RXCOMMADETEN被拉低，以完全绕过模块，从而将延迟降至最低。

### 配置逗号模式

若要设置块在传入数据流中搜索的逗号模式，ALIGN\_MCOMMA\_VALUE、ALIGN\_PCOMMA\_VALUE和ALIGN\_COMMA\_ENABLE属性。逗号长度取决于RX\_DATA\_WIDTH(参见**第298页表4-55**)。**图4-32**展示了ALIGN\_COMMA\_ENABLE如何屏蔽每个逗号值以允许部分模式匹配。

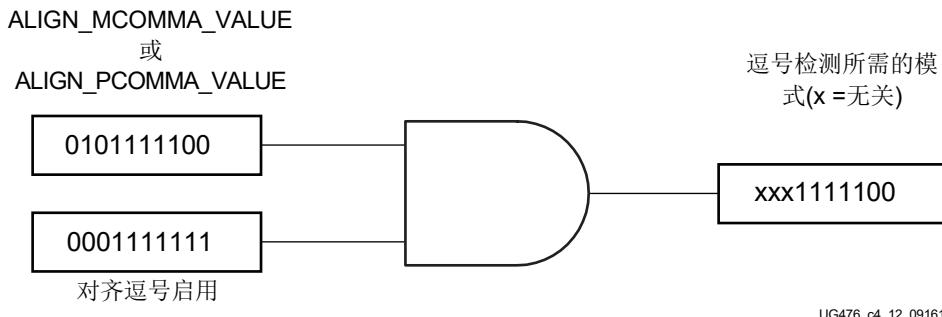


图4-32:逗号模式屏蔽

图4-33显示当ALIGN\_COMMA\_DOUBLE为TRUE时逗号是如何组合的。

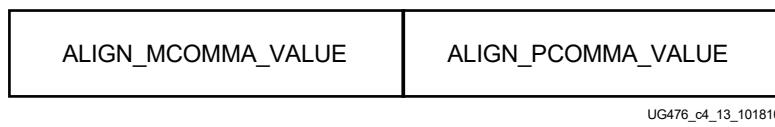


图4-33:扩展逗号模式定义

图4-34展示了如何将逗号与ALIGN\_COMM\_ENABLE结合起来，为20位内部逗号生成通配符逗号。如果ALIGN\_COMMA\_DOUBLE为TRUE，则组合MCOMMA和PCOMMA模式，以便块在一行中搜索两个逗号。逗号的位数取决于RX\_DATA\_WIDTH。16位或20位逗号对齐模式都是可能的。只有当接收数据包含由ALIGN\_PCOMMA\_VALUE定义的PCOMMA，后跟由ALIGN\_MCOMMA\_VALUE定义的MCOMMA，且中间没有额外的位时，才会检测到双逗号。

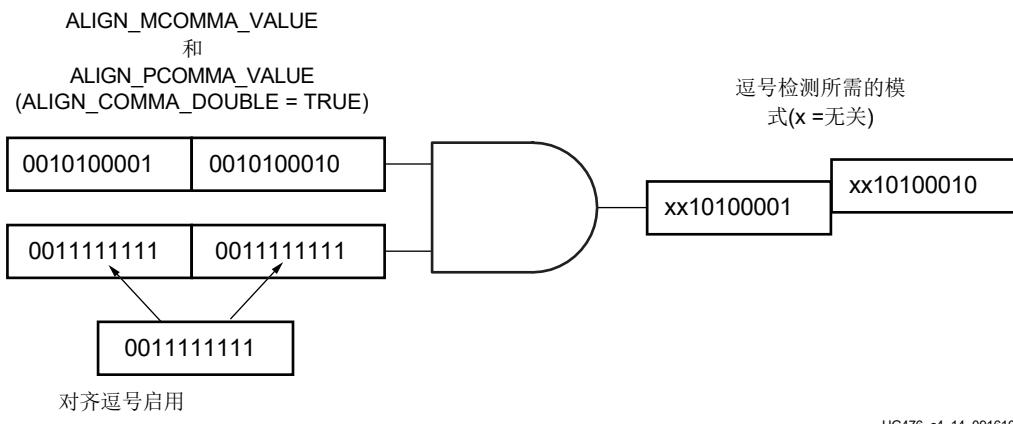


图4-34:扩展逗号模式屏蔽

### 激活逗号对齐

如果在逗号对齐处于活动状态时可以找到逗号，则逗号会与最近的边界对齐。RXMCOMMAALIGNEN被拉高以对齐MCOMMA码。RXPCommaAlignen被拉高以激活PCOMMA上的对齐。

模式。两个使能端口都被驱动以对准任一模式。当ALIGN\_COMMA\_DOUBLE为真时，两个使能端口必须始终驱动至相同的值。

## 对准状态信号

当MCOMMA或PCOMMA对齐处于活动状态时，任何匹配的逗号模式都会导致块重新对齐到最近的边界。成功对齐后，该模块保持RXBYTEISALIGNED高电平。此时，可以将RXMCOMMAALIGNEN和RXPCOMMAALIGNEN拉低，以关闭对齐并保持当前对齐位置。RXPCOMMAALIGNEN必须为真，PCOMMAS才能使RXBYTEISALIGNED变为高电平。同样，RXMCOMMAALIGNEN必须为真，MCOMMAS才能使RXBYTEISALIGNED变为高电平。当RXBYTEISALIGNED为高电平时，逗号可以到达。如果逗号与边界对齐，则没有变化。如果在逗号对齐处于非活动状态时，逗号到达了错误的位置，则该块会取消断言RXBYTEISALIGNED，直到逗号再次对齐。如果到达的逗号仍处于对齐状态，模块会自动将新逗号与最近的边界对齐，并在一个RXUSRCLK2周期内将RXBYTEREALIGN驱动为高电平。

在线路速率大于5 Gb/s且系统噪声过大的应用中，当没有有效数据时，字节对齐模块可能会错误地对齐到错误的字节边界，并错误地置位RXBYTEISALIGNED信号。在此类应用中，应进行系统级检查，以检查RXBYTEISALIGNED指示符和数据的有效性。

在使用RX OOB模块的系统中，如PCIe和SATA，锁定到有效字节边界并置位rxbyteisaligned信号后，即使字节边界没有变化，字节对齐模块也可能偶尔会取消置位rxbyteisaligned信号。在这种应用中，RXBYTEISALIGNED不应用作第一次置位后字节边界变化的有效指示器。

## 对齐边界

允许的对齐边界由ALIGN\_COMMA\_WORD和RX\_INT\_DATAWIDTH定义。可能边界的间距由RX\_DATA\_WIDTH决定，边界位置的数量由RXDATA接口中的字节数决定(参见第296页表4-51用于RX\_DATA\_WIDTH和RX\_INT\_DATAWIDTH设置)。图4-35显示可以选择的边界。

RX_DATA_WIDTH	RX_INT_DATAWIDTH	ALIGN路	可能的RX校准 (Comma Can Appear on Byte)
16/20 (2字节)	0 (2字节)	1	字节1   字节0
16/20 (2字节)	0 (2字节)	2	字节1   字节0
16/20 (2字节)	0 (2字节)	4	无效配置
32/40 (4字节)	0 (2字节)	1	字节3   字节2   字节1   字节0
32/40 (4字节)	0 (2字节)	2	字节3   字节2   字节1   字节0
32/40 (4字节)	0 (2字节)	4	无效配置
32/40 (4字节)	1 (4字节)	1	字节3   字节2   字节1   字节0
32/40 (4字节)	1 (4字节)	2	字节3   字节2   字节1   字节0
32/40 (4字节)	1 (4字节)	4	字节3   字节2   字节1   字节0
64/80 (8字节)	1 (4字节)	1	字节7   字节6   字节5   字节4   字节3   字节2   字节1   字节0
64/80 (8字节)	1 (4字节)	2	字节7   字节6   字节5   字节4   字节3   字节2   字节1   字节0
64/80 (8字节)	1 (4字节)	4	字节7   字节6   字节5   字节4   字节3   字节2   字节1   字节0

UG476\_c4\_15\_091610

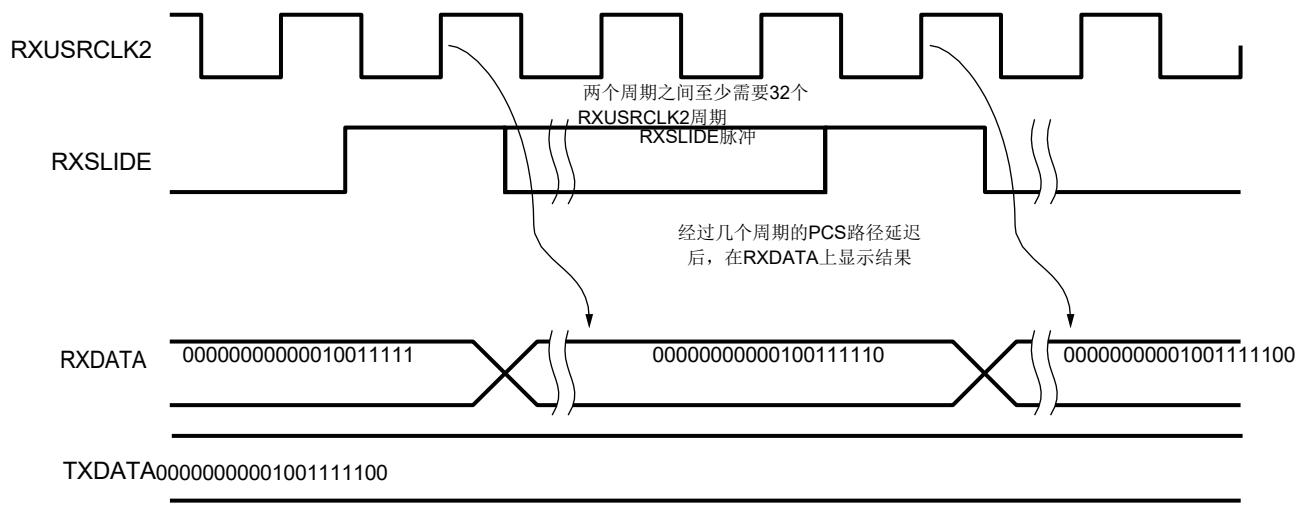
图4-35:逗号对齐边界

**注意:**不同的ALIGN\_COMM WORD和RX\_INT\_DATAWIDTH需要CLK COR MIN LAT要求, 以通过弹性缓冲区保持逗号对齐。看见表4-45了解更多详情。

## 手动对齐

RXSLIDE可用于覆盖自动逗号对齐并移动并行数据。RXSLIDE在一个RXUSRCLK2周期内被驱动为高电平，以便将并行数据移位一位。RXSLIDE必须保持低电平至少32个RXUSRCLK2周期，才能再次使用。

图4-36显示了数据移位前后在RXSLIDE\_MODE = PCS下使用RXSLIDE进行手动对齐的波形。当使用RXSLIDE\_MODE = PCS时，发出连续RXSLIDE脉冲时的位移位数也由ALIGN\_COMM WORD、RX\_DATA\_WIDTH和RX\_INT\_DATAWIDTH设置的逗号对齐边界决定。例如，如果RX\_DATA\_WIDTH为20位，ALIGN\_COMM WORD为1，则在第9次滑动操作后，滑动位置返回0。对于相同的RX\_DATA\_WIDTH设置，如果ALIGN\_COMM WORD设置为2，则在第19次滑动操作后，滑动位置返回0。因此，在RXSLIDE\_MODE = PCS中，当RX\_INT\_DATAWIDTH= 1 (4字节)且ALIGN\_COMM WORD = 4时，最多可以滑动40位。



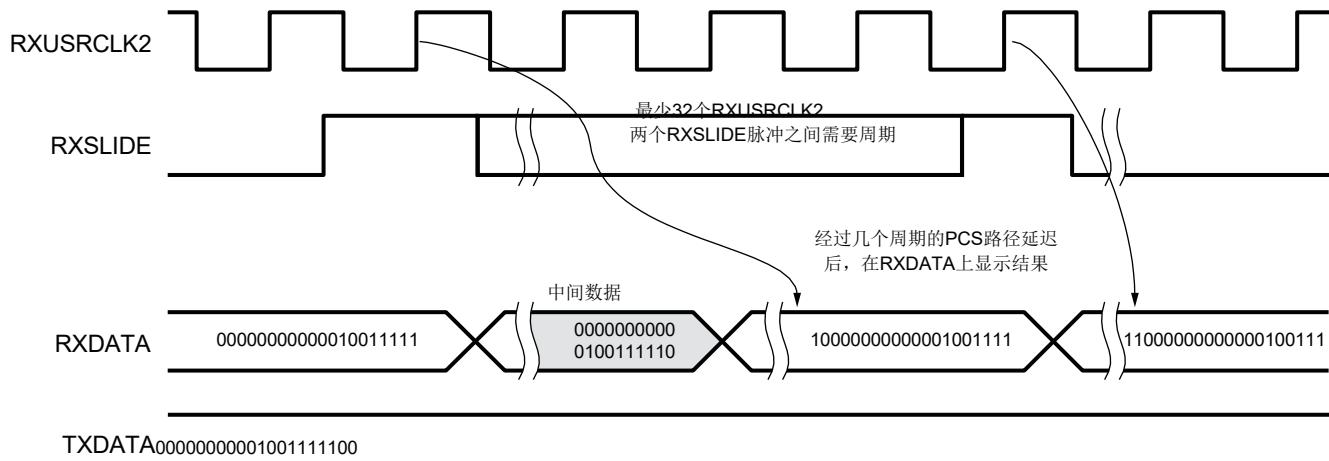
UG476\_c4\_52\_062011

图4-36:RX\_DATA\_WIDTH = 20位且RXSLIDE\_MODE = PCS时，使用RXSLIDE进行手动数据对齐

与相关的注释图4-36:

- 1.RXDATA的滑动和滑动结果之间的延迟取决于数据路径中有效RX PCS模块的数量。

图4-37显示了数据移位前后在RXSLIDE\_MODE = PMA模式下使用RXSLIDE进行手动对齐的波形。在这种模式下，每发出一个RXSLIDE脉冲，数据就右移一位，但在最终数据出现在总线上之前，会有一些中间数据左移一位。当...的时候  
RXSLIDE\_MODE = 使用PMA时，RX恢复时钟相位每隔一个RXSLIDE脉冲偏移2 UI。



UG476\_c4\_53\_062011

图4-37:RX\_DATA\_WIDTH = 20位且RXSLIDE\_MODE = PMA时，使用RXSLIDE进行手动数据对齐

与相关的注释图4-37:

- 1.RXDATA的滑动和滑动结果之间的延迟取决于数据路径中有效RX PCS模块的数量。

## 端口和属性

[表4-32](#) 定义RX字节和字对齐端口。

**表4-32:RX字节和字对齐端口**

端口名	目录	时钟域	描述
RXBYTEISALIGNED	在外	RXUSRCLK2	<p>来自逗号检测和重新排列电路的该信号为高，表示并行数据流根据逗号检测在字节边界上正确排列。</p> <p>0:并行数据流未与字节边界对齐 1:与字节边界对齐的并行数据流在FPGA RX接口提供对齐数据之前，RXBYTEISALIGNED置位后需要几个周期。</p> <p>RXPCOMMAALIGNEN为TRUE时，RXBYTEISALIGNED响应加号逗号对齐。 当RXMCOMMAALIGNEN为TRUE时，RXBYTEISALIGNED响应负逗号对齐。</p> <p><a href="#">校准状态信号</a>，<a href="#">第228页</a>描述信号可能偏离预期行为的一些情况。</p>
RXBYTEREALIGN	在外	RXUSRCLK2	<p>来自逗号检测和重新排列电路的该信号指示串行数据流内的字节排列由于逗号检测而改变。</p> <p>0:字节对齐未更改1:字节对齐已更改对齐时，数据可能会丢失或重复，这可能会导致数据错误(使用8B/10B解码器时，还会导致视差错误)。</p>
RXCOMMADET	在外	RXUSRCLK2	<p>当逗号对齐模块检测到逗号时，该信号被置位。在FPGA RX接口提供逗号之前，该置位会发生在几个周期。</p> <p>0:未检测到逗号1:检测到逗号</p>

表4-32:RX字节和字对齐端口(续)

端口名	目录	时钟域	描述
RXCOMMADETEN	在...里	RXUSRCLK2	RXCOMMADETEN激活逗号检测和对齐电路。 0:绕过电路 1:使用逗号检测和校准电路 旁路逗号和对齐电路可降低RX数据路径延迟。
rxpcommamalignen	在...里	RXUSRCLK2	当检测到逗号加号时, 对齐字节边界。 0:禁用 1:已启用。
rxmcommamalignen	在...里	RXUSRCLK2	当检测到逗号减号时, 对齐字节边界。 0:禁用 1:已启用。
RXSLIDE	在...里	RXUSRCLK2	RXSLIDE实现了逗号对齐成球控制。 RXSLIDE置位时, 字节对齐调整1位, 这允许FPGA逻辑确定和控制字节对齐。 RXSLIDE的每次置位只会导致一次调整。 RXSLIDE必须在32个RXUSRCLK2周期以上解除置位, 然后才能重新置位以引起另一次调整。 断言时, RXSLIDE优先于普通逗号对齐。 为了正常工作, 用户应设置这些值: <code>RXPCommaAlignen = 0; RXMCommaAlignen = 0; RXCommadeten = 1; Show_Realign_Comma = FALSE</code>

表4-33定义RX字节和字对齐属性。

表4-33:RX字节和字对齐属性

属性	类型	描述
对齐逗号单词	整数	<p>该属性控制多字节数据路径中检测到的逗号的对齐方式。</p> <p>1:对于2字节接口，将逗号与2个字节中的任何一个对齐；对于4字节接口，8字节接口的任何8字节。逗号可以与RXDATA输出的偶数字节或奇数字节对齐。</p> <p>2:仅将逗号与偶数字节对齐。对于2字节接口RXDATA[9:0]/RXDATA[29:20]，对齐逗号保证与偶数字节RXDATA[9:0]对齐。对于4字节接口，RXDATA[9:0]/RXDATA[29:20]/RX[49:40]/RX[69:60]用于一个8字节的接口</p> <p>4:将逗号与4字节边界对齐。 RX_INT_DATAWIDTH = 0时不允许此设置。对于4字节接口，对齐逗号保证与RXDATA[9:0]对齐，对于8字节接口涉及第229页图4-35对于不同的ALIGN_COMMA_WORD、RX_DATA_WIDTH和RX_INT_DATAWIDTH设置所允许的逗号对齐边界。</p> <p>在偶数和奇数位置发送逗号的协议必须将ALIGN_COMMA_WORD设置为1。</p>
对齐逗号启用	10位二进制	设置MCOMMA/PCOMMA中的哪些位必须与输入数据匹配，哪些位可以是任意值。该属性是一个10位掩码，默认值为1111111111。复位为0的掩码中的任何位都会将MCOMMA或PCOMMA中的相应位变为无关位。

表4-33:RX字节和字对齐属性(续)

属性	类型	描述
ALIGN_COMMADDET	布尔代数学体系的	指定逗号匹配是仅由逗号加号或逗号减号组成，还是在序列中两者都需要。 FALSE:加号逗号(PCOMMA)和减号逗号(MCOMMA)是分开处理的。任何一个单独匹配都可能导致逗号检测和对齐。 TRUE:逗号匹配由逗号加号后跟逗号减号组成。匹配模式为20或16位(由RX_DATA_WIDTH决定)。 当ALIGN_COMMADDET为TRUE时，ALIGN_PCOMMA_DET必须为与 ALIGN_MCOMMA_DET 相同，RXPCommaAlignen 必须与 RXMCommaAlignen相同。
ALIGN_MCOMMA_VALUE	10位二进制	定义逗号减号以提高RXCOMMADDET并对齐并行数据。接收顺序是从右到左。(首先接收 ALIGN_MCOMMA_VALUE [0]。)默认值为10'b1010000011 (K28.5)。该定义不影响8B/10B编码或解码。
ALIGN_MCOMMA_DET	布尔代数学体系的	控制逗号减号上RXCOMMADDET的提升。 FALSE:当检测到逗号减号时，不引发RXCOMMADDET。 TRUE:当检测到逗号减号时，引发RXCOMMADDET。(此设置不影响逗号对齐。)
ALIGN_PCOMMA_VALUE	10位二进制	定义逗号加号以提升RXCOMMADDET并对齐并行数据。接收顺序是从右到左。(首先接收 ALIGN_PCOMMA_VALUE [0]。)默认值为10'b010111100(K28.5)。该定义不影响8B/10B编码或解码。
对齐_PCOMMA_DET	布尔代数学体系的	控制逗号加号上RXCOMMADDET的提升。 FALSE:当检测到逗号加号时，不引发RXCOMMADDET。 TRUE:检测到逗号加号时引发RXCOMMADDET。(此设置不影响逗号对齐。)

表4-33:RX字节和字对齐属性(续)

属性	类型	描述
显示_重新对齐_逗号	布尔代数学体系的	<p>定义是否将导致重新对齐的逗号带到FPGA RX。</p> <p>错误:不要将导致重新排列的逗号带入FPGA RX。该设置减少了RX数据路径延迟 真:将重新排列逗号带到FPGA RX。</p> <p>SHOW_REALIGN_COMMA = TRUE 当ALIGN_COMM_DOUBLE = TRUE或 当使用手动校准时。</p>
RXSLIDE_MODE	线	<p>定义RXSLIDE模式。</p> <p>关:默认设置。不使用RXSLIDE功能。 PCS: PCS用于执行比特滑移功能。RXSLIDE在一个RXUSRCLK2周期内被驱动为高电平,以便在由ALIGN_COMM_WORD、RX_DATA_WIDTH和确定的逗号对齐边界内将并行数据(RXDATA)左移一位。 RX_INT_DATAWIDTH设置。在这种模式下,即使RXOUTCLK来自RX PMA,时钟相位也保持不变。此选项要求SHOW_REALIGN_COMMA为FALSE。</p> <p>PMA: PMA被用来表演比特滑移功能。RXSLIDE在一个RXUSRCLK2周期内被驱动为高电平,以将并行数据(RXDATA)向右移位一位。如果RXOUTCLK来自RX PMA,其相位可能会改变。与PCS模式相比,此模式的延迟变化最小。此选项要求SHOW_REALIGN_COMMA为FALSE。</p> <p>自动:这是一种自动PMA模式,不使用FPGA逻辑来监控RXDATA和发出RXSLIDE脉冲。在这种模式下, RXSLIDE被忽略。在PCIe应用程序中,此设置用于FTS车道偏斜消除。此选项要求SHOW_ALIGN_COMM为FALSE。</p>

表4-33:RX字节和字对齐属性(续)

属性	类型	描述
RXSLIDE_AUTO_WAIT	整数	定义PCS(根据RXUSRCLK时钟周期)在再次检查对准之前等待PMA自动滑动的时间。有效设置是从0到15。默认值为7。应使用7系列FPGAs收发器向导中的推荐值。
接收信号有效DLY	整数	保留。应使用7系列FPGAs收发器向导中的推荐值。
逗号对齐延迟	7位二进制	字节对齐块使用的当前对齐方式,用于根据锁定的逗号位置对齐传入数据。该寄存器只能通过DRP访问。 GTX收发器: DRP地址0x14E的位[6:0]。 GTH收发器: DRP地址0x150的位[6:0]。

## RX 8B/10B解码器

### 功能描述

如果RX接收的数据是8B/10B编码的,则必须解码。GTX/GTH收发器在GTX/GTH收发器TX中内置8B/10B编码器,在GTX/GTH收发器RX中内置8B/10B解码器,在数据路径上包括四个单字节8B/10B解码器模块,用于解码数据而不消耗FPGA资源。RX 8B/10B解码器具有以下特性:

1. 支持2字节、4字节和8字节数据路径操作
2. 为适当的差异提供运行差异的菊花链连接
3. 生成K个字符和状态输出
4. 如果输入数据不是8B/10B编码,则可以旁路
5. 遇到不在表中的错误时,通过管道输出10位文字编码值

### 8B/10B位和字节排序

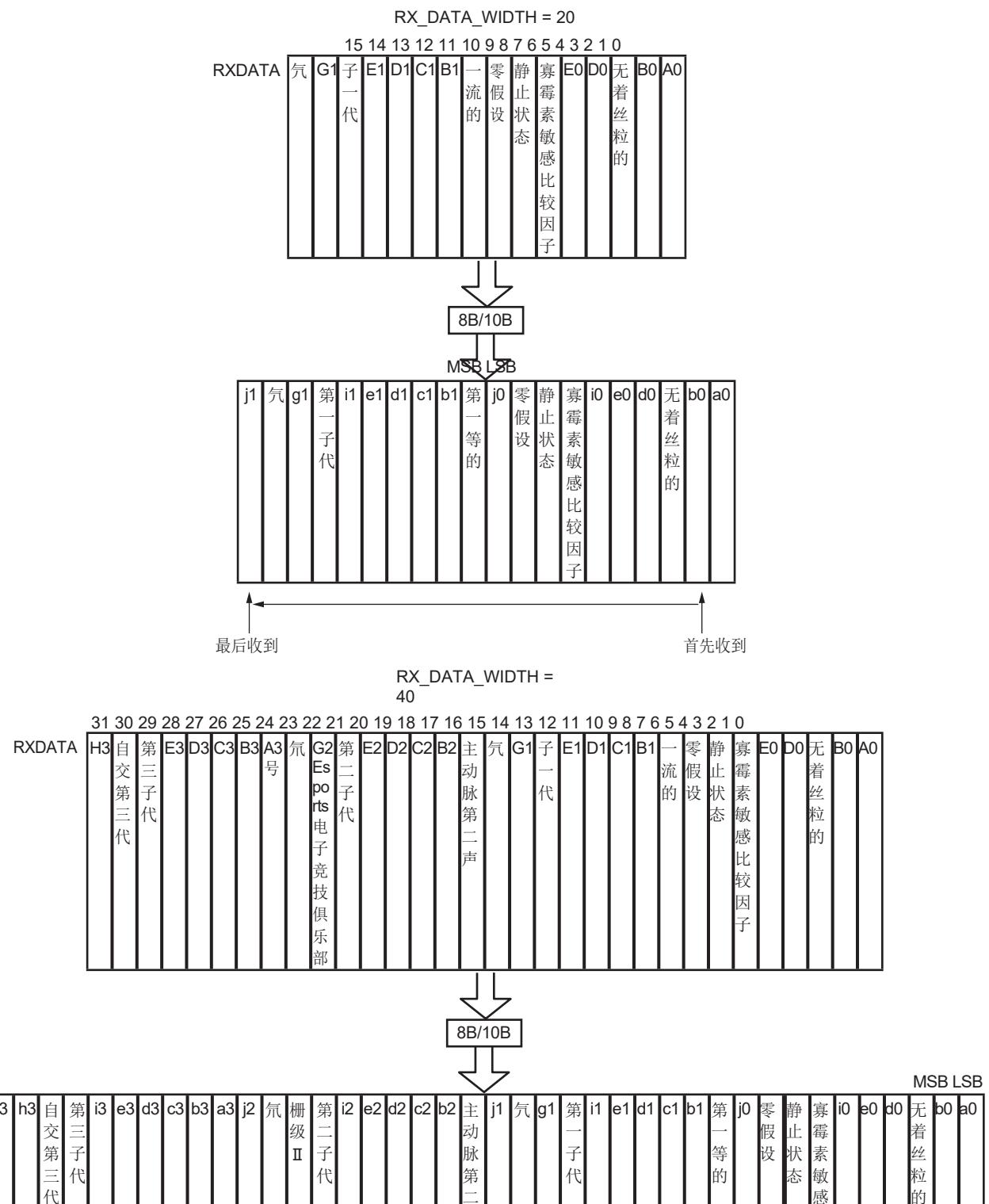
8B/10B解码器中的位顺序与中所示的顺序相反附录C, 8B/10B有效字符。8B/10B解码要求首先接收位a0,但GTX/GTH收发器总是首先接收最右边的位。因此,8B/10B解码器在解码之前会自动反转接收数据的位顺序。RXDATA端口提供解码数据。图4-38显示当RX\_DATA\_WIDTH = 20、40或80时,GTX/GTH收发器RX接收的数据。数据被重构为字节,并在8B/10B解码器之后发送到RXDATA接口。RXDATA使用的位数和相应的字节顺序由RX\_DATA\_WIDTH决定。

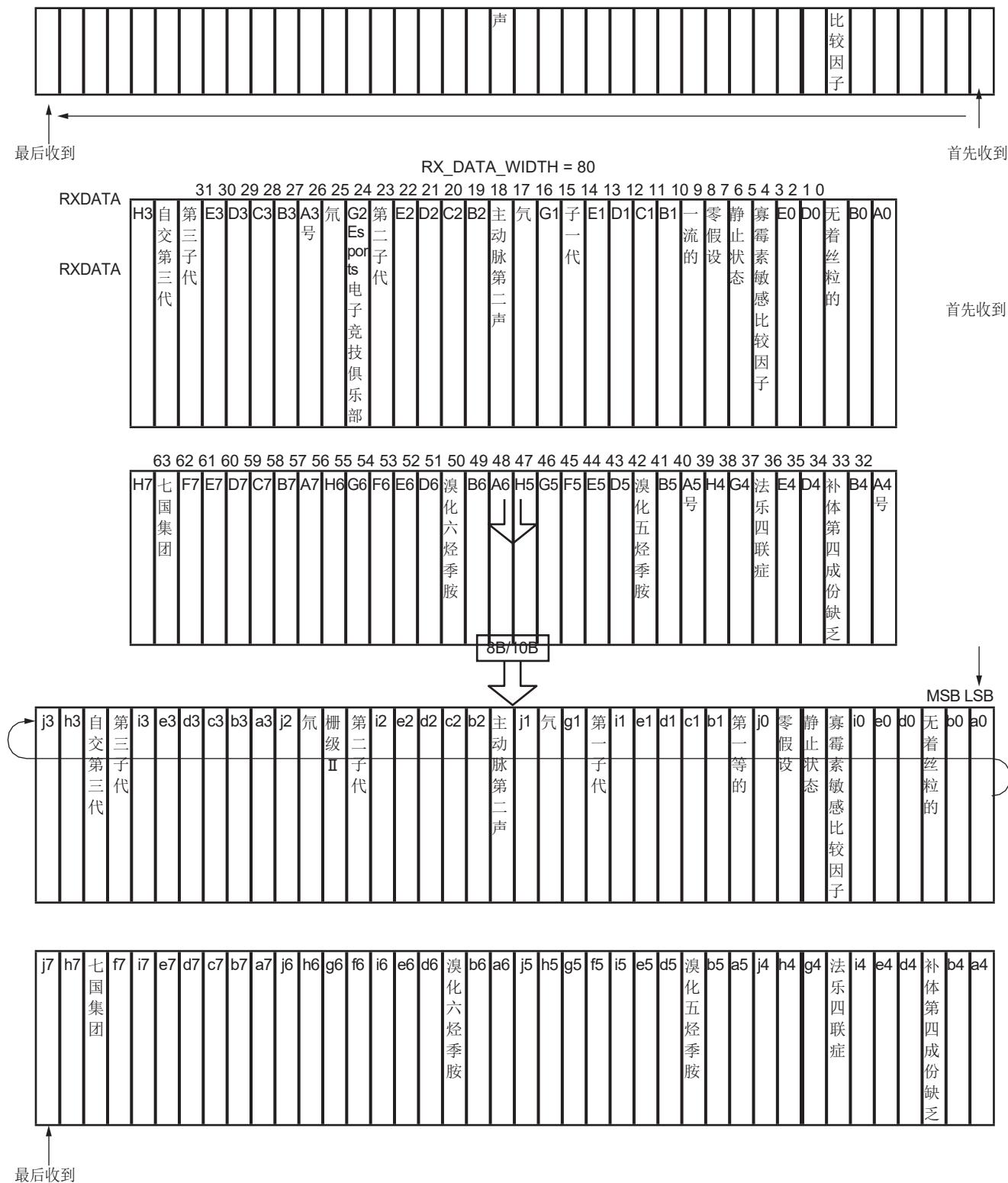
- Only use RXDATA[15:0] if RX\_DATA\_WIDTH = 20
- Only use RXDATA[31:0] if RX\_DATA\_WIDTH = 40

- Use full RXDATA[63:0] if RX\_DATA\_WIDTH = 80

当8B/10B解码器被旁路，但RX\_DATA\_WIDTH设置为10的倍数时，10位字符以如下格式传递给RX数据接口：

- 相应的RXDISPERR代表第9位
- 相应的RXCHARISK代表第8位
- 相应的RXDATA字节代表[7:0]位





UG476\_c4\_17\_091610

图4-38:8B/10B解码器位和字节顺序

## RX运行差异

当RXDATA上的数据字节以错误的差异到达时，执行差异检查，解码器将相应的RXDISPERR驱动至高电平。除了差异错误，8B/10B解码器还检测20位表外错误代码。当解码器使能，但接收到的10位字符无法映射到中列出的有效8B/10B字符时，解码器会将RXNOTINTABLE端口驱动为高电平附录C，8B/10B有效字符。未解码的10位字符通过RX数据接口从解码器输出，格式如下：

- 相应的RXDISPERR表示视差误差。
- 相应的RXNOTINTABLE表示接收到无效的8B/10B字符。
- 相应的RXDATA字节表示接收到的输入数据。

图4-39显示了当解码器接收到良好数据(A)、有差异误差的数据(B)、表外字符(C)和良好数据(D)时，RX数据接口的波形。

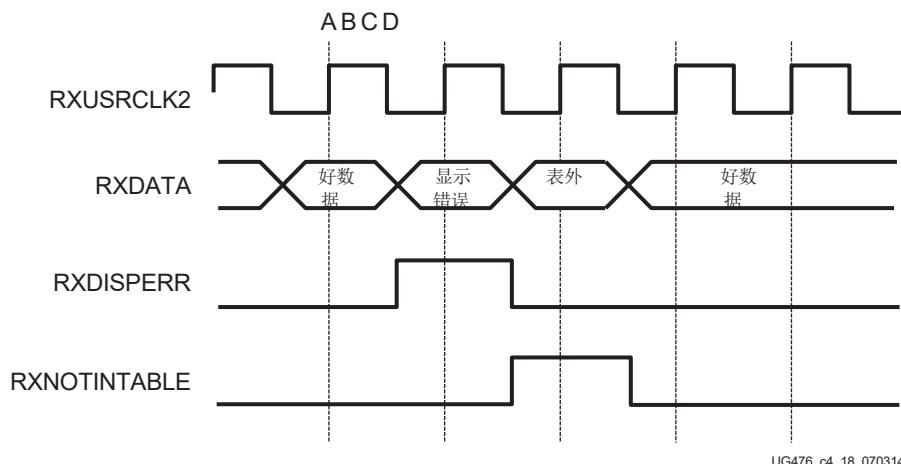


图4-39:带有8B/10B错误的RX数据

## 特殊字符

8B/10B解码包括常用于控制功能的特殊字符(K字符)。当RXDATA为K字符时，解码器将RXCHARISK驱动至高电平。

如果DEC\_PCOMMA\_DETECT设置为真，则每当RXDATA为正8B/10B逗号时，解码器会将相应的RXCHARISCOMMA驱动至高电平。如果DEC\_MCOMMA\_DETECT为真，每当RXDATA为负8B/10B逗号时，解码器会将相应的RXCHARISCOMMA位驱动至高电平。

## 端口和属性

表4-34定义RX 8B/10B解码器所需的端口。

表4-34:RX 8B/10B解码器端口

港口	目录	时钟域	描述
RX8B10BEN	在 ... 里	RXUSRCLK2	RX8B10BEN选择在RX数据路径中使用8B/10B解码器，就在逗号检测/重排模块之后。如果此输入为低电平，则10位数据为{RXDISPERR, RXCHARISK, RXDATA<8位>}。 1: 8B/10B解码器使能 0:旁路8B/10B解码器(减少延迟)
rxchariscoma[7:0]	在外	RXUSRCLK2	高电平有效表示RXDATA上显示的相应字节是逗号字符。 rxchariscma[7]对应RXDATA[63:56]rxchariscma[6]对应RXDATA[55:48]rxchariscma[5]对应RXDATA[47:40]rxchariscma[4]对应RXDATA[39:32]rxchariscma[3]对应RXDATA[31:24]rxchariscma[2]对应RXDATA[23:16]rxchariscma[1]对应RXDATA[15:8]rxchariscma
RXCHARISK[7:0]	在外	RXUSRCLK2	高电平有效表示当8B/10B解码使能时，RXDATA上显示的相应字节是K字符。 RXCHARISK[7]对应RXDATA[63:56] RXCHARISK[6]对应RXDATA[55:48] RXCHARISK[5]对应RXDATA[47:40] RXCHARISK[4]对应RXDATA[39:32] RXCHARISK[3]对应RXDATA[31:24] RXCHARISK[2]对应RXDATA[23:16] RXCHARISK[1]对应RXDATA[15:8] RXCHARISK[0]对应如果8B/10B解码器被旁路，或者RXNOTINTABLE的相应位为高电平，则这是未解码数据的位8。涉及 <a href="#">FPGA RX接口，第295页</a> .

表4-34:RX 8B/10B解码器端口(续)

港口	目录	时钟域	描述
RXDISPERR[7:0]	在外	RXUSRCLK2	高电平有效表示RXDATA上显示的相应字节存在差异错误。 RXDISPERR[7]对应于RXDATA[63:56] RXDISPERR[6]对应于RXDATA[55:48] RXDISPERR[5]对应于RXDATA[47:40] RXDISPERR[4]对应于RXDATA[39:32] RXDISPERR[3]对应于RXDATA[31:24] RXDISPERR[2]对应于RXDATA[23:16] RXDISPERR[1]对应于RXDATA[15:8] RXDISPERR[0]对应于如果8B/10B解码器被旁路，或者RXNOTINTABLE的相应位为高电平，则这是未解码数据的位9。涉及 <a href="#">FPGA RX接口，第295页</a> 。
RXNOTINTABLE[7:0]	在外	RXUSRCLK2	高电平有效表示RXDATA上显示的相应字节不是8B/10B表中的有效字符。 RXNOTINTABLE[7]对应RXDATA[63:56] RXNOTINTABLE[6]对应RXDATA[55:48] RXNOTINTABLE[5]对应RXDATA[47:40] RXNOTINTABLE[4]对应RXDATA[39:32] RXNOTINTABLE[3]对应RXDATA[31:24] RXNOTINTABLE[2]对应RXDATA[23:16] RXNOTINTABLE[1]对应RXDATA[15:8]RXDATA
SETERRSTATUS	在 ... 里	异步@非同步 (asynchronous)	保留。

表4-35:RX 8B/10B解码器属性

属性	类型	描述
RX_DISPERR_SEQ_MATCH	布尔代数学体系的	指定解码字节的差异错误状态是否必须与通道绑定和时钟校正序列中的指示符相匹配。 为真时，表示差异错误状态必须匹配。 如果为FALSE，则忽略差异错误状态。
DEC_MCOMMA_DETECT	布尔代数学体系的	置位为真时，当检测到MCOMMA时，驱动每字节标志RXCHARISCOMMA为高电平。 当设置为假时，RXCHARISCOMMA当检测到负逗号时为低。

表4-35:RX 8B/10B解码器属性(续)

属性	类型	描述
DEC_PCOMMA_DETECT	布尔代数学体系的	置位为真时, 当检测到PCOMMA时, 驱动每字节标志RXCHARISCOMMA为高电平。当设置为假时, RXCHARISCOMMA当检测到正逗号时为低。
仅十进制有效逗号	布尔代数学体系的	设置为真时, 当仅检测到IEEE 802.3有效逗号K28.1、K28.5和K28.7时, 将每字节标志RXCHARISCOMMA驱动至高电平。当设置为假时, RXCHARISCOMMA是正或负8B/10B逗号, 取决于用户如何设置DEC_PCOMMA_DETECT和DEC_MCOMMA_DETECT。
RX_数据_宽度	3位二进制	PCS数据宽度在结构用户界面中设置为16、32或64(如果不使用8B/10B解码)或20、40、80(如果使用8B/10B解码)。
UCODEER_CLR	1位二进制	保留。

## 启用和禁用8B/10B解码

要使能8B/10B解码器, RX8B10BEN必须被拉高。使能8B/10B解码器时, RX\_DATA\_WIDTH必须设为8的倍数(8, 16, 32, 64)。

要禁用GTX/GTH接收器路径上的8B/10B解码器, 必须将RX8B10BEN拉低。当编码器禁用时, RX\_DATA\_WIDTH可以设置为10的倍数(10、20、40、80)。旁路8B/10B解码时RXDATA端口的操作如所述[FPGA RX接口, 第295页](#).

## RX缓冲旁路

### 功能描述

绕过RX弹性缓冲器是7系列GTX/GTH收发器的一项高级功能。RX相位对准电路用于调整SIPO并行时钟域和RX XCLK域之间的相位差, 以实现从SIPO到PCS的可靠数据传输。它还通过调整RXUSRCLK来补偿温度和电压变化, 从而执行RX延迟对齐。组合的RX相位和延迟对准可以由GTX/GTH收发器自动执行, 或者由用户手动控制。[图4-49](#)显示了XCLK和RXUSRCLK域, 以及[表4-39](#)显示了缓冲和相位对齐之间的权衡。

当RX恢复时钟用于提供RXUSRCLK和RXUSRCLK2时, 可以旁路RX弹性缓冲器, 以减少延迟。当RX弹性缓冲器被旁路时, 通过RX数据路径的延迟较低且具有确定性, 但时钟校正和通道绑定不可用。



图4-40显示了RX相位对齐如何允许旁路RX弹性缓冲器。在RX相位对齐之前，SIFO并行时钟域和RX XCLK域之间没有保证的相位关系。使用RX相位对齐时，RX XCLK配置为使用RXUSRCLK。RX相位对准从CDR (XCLK)选择RX恢复时钟的相移版本，因此SIFO并行时钟和RX XCLK之间没有明显的相位差。

当使用RX缓冲器旁路且RXSLIDE\_MODE设置为自动或PMA时，RXOUTCLK必须来自SIFO恢复时钟，RXUSRCLK必须来自RXOUTCLK。

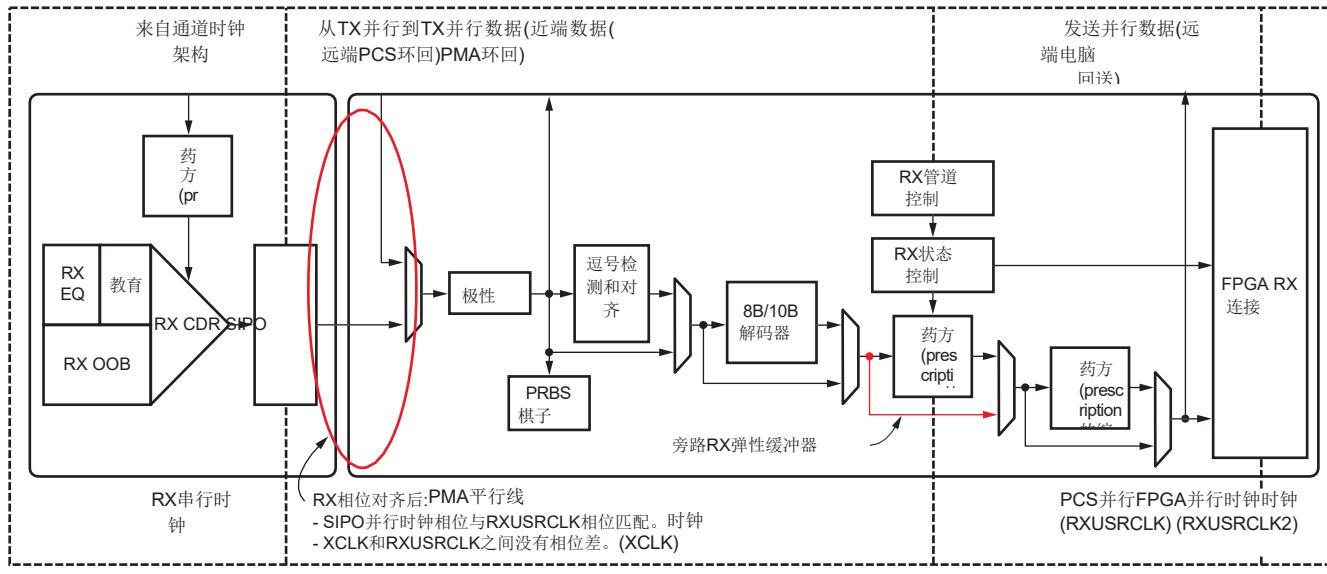


图4-40. 使用RX相位对准

## 端口和属性

表4-36 定义RX缓冲旁路端口。

表4-36:RX缓冲旁路端口

港口	目录	时钟域	描述
RXPHDLYRESET	在 ... 里	异步◎非同步 (asynchronous)	RX相位对齐硬复位，将RXUSRCLK强制置于延迟对齐抽头的中心。延迟对准抽头具有全范围的4 ns和2 ns的半范围。当所有其它RX缓冲器旁路输入端口设为低电平时，此硬复位可用于启动GTX/GTH收发器，以自动执行RX相位和延迟对齐。建议仅将RXDLYSRESET用于相位和延迟对齐。
RXPALIGN	在 ... 里	异步◎非同步 (asynchronous)	设置RX相位对齐。使用自动对齐模式时连接到低电平。
RXPALIGNEN	在 ... 里	异步◎非同步 (asynchronous)	RX相位对齐使能。使用自动对齐模式时连接到低电平。
RXPHDLYPD	在 ... 里	异步◎非同步 (asynchronous)	RX相位和延迟对准电路关断。高电平连接时 a) RXPD置位或 b) RXOUTCLKSEL设置为3'b010，但恢复的时钟不可用。RX缓冲旁路模式正常工作期间接低电平。 0:上电RX相位和延迟对准电路。 1:关断RX相位和延迟对准电路。
RXPHOVRDEN	在 ... 里	异步◎非同步 (asynchronous)	RX相位对准计数器覆盖使能。不使用时拉低。 0:正常运行。 1:用RXPH_CFG[10:6]值使能RX相位对准计数器覆盖。
RXDLYSRESET	在 ... 里	异步◎非同步 (asynchronous)	RX延迟对齐软复位，将RXUSRCLK逐渐移至延迟对齐抽头的中心。延迟对准抽头的全范围为4 ns，半范围为2 ns。当所有其它RX旁路缓冲器输入端口为低电平时，该软复位可用于启动GTX/GTH收发器，以自动执行RX相位和延迟对齐。

表4-36:RX缓冲旁路端口(续)

港口	目录	时钟域	描述
RXDLYBYPASS	在...里	异步◎非同步 (asynchronous)	RX延迟对齐旁路。 0:使用RX延迟对齐电路。 1:旁路RX延迟对齐电路。
RXDLYEN	在...里	异步◎非同步 (asynchronous)	RX延迟对齐使能。不使用时拉低。
RXDLYOVRDEN	在...里	异步◎非同步 (asynchronous)	RX延迟对准计数器覆盖使能。不使用时拉低。 0:正常运行。 1:用RXDLY_CFG[14:6]值使能RX延迟对齐计数器覆盖。
RXDDIEN	在...里	异步◎非同步 (asynchronous)	解串器中的RX数据延迟插入使能。 在接收缓冲器旁路模式下设为高电平。
RXPHALIGNDONE	在外	异步◎非同步 (asynchronous)	RX相位对准完成。使用自动RX相位和 延迟对齐时, RXDLYSRESETDONE 置位后检测到的RXPHALIGNDONE 的第二个上升沿表示RX相位和延迟对 齐完成。 RXDATA中数据的对齐方式可以在 RXPHALIGNDONE的第二个上升沿 后改变。
rxphhmonitor	在外	异步◎非同步 (asynchronous)	RX相位对准监控器。
RXPHSLIPMONITOR	在外	异步◎非同步 (asynchronous)	RX相位对准滑差监控器。
RXDLYSRESETDONE	在外	异步◎非同步 (asynchronous)	RX延迟对齐软复位完成。
RXSYNCMODE	在...里	异步◎非同步 (asynchronous)	GTH收发器: 0: RX缓冲旁路从通道1: RX缓冲 旁路主通道 该输入不用于多通道手动模式。
RXSYNCALLIN	在...里	异步◎非同步 (asynchronous)	GTH收发器: 单通道自动模式:将此输入连接到其自 身的RXPHALIGNDONE。 多通道自动模式:将此输入连接到主 通道和所有从通道的 RXPHALIGNDONE的“与”信号。 多通道手动模式:该输入不用于多通 道手动模式。

表4-36:RX缓冲旁路端口(续)

港口	目录	时钟域	描述
RXSYNCIN	在...里	异步◎非同步 (asynchronous)	GTH收发器: 仅在多通道自动模式应用中有效。将此输入连接到RX缓冲旁路主通道的RXSYNCOUT。
RXSYNCOUT	在外	异步◎非同步 (asynchronous)	GTH收发器: 仅对多通道自动模式应用中的接收缓冲旁路主通道有效。将该信号连接到多通道应用中各通道的RXSYNCIN。
RXSYNCDONE	在外	异步◎非同步 (asynchronous)	GTH收发器: 表示接收缓冲器旁路对齐程序完成。 仅在自动模式下对RX缓冲旁路主通道有效。

表4-37定义接收缓冲器属性。

表4-37:RX缓冲旁路属性

属性	类型	描述
RXBUF_EN	布尔代数学体系的	使用或绕过RX弹性缓冲器。 TRUE:使用RX弹性缓冲区(默认)。 假:绕过RX弹性缓冲区(高级功能)。
RX_XCLK_SEL	线	选择用于驱动RX并行时钟域(XCLK)的时钟源。 RXREC:选择RX恢复时钟作为XCLK的时钟源。使用RX弹性缓冲器时使用。 RXUSR:选择RXUSRCLK作为XCLK的源。旁路RX弹性缓冲器时使用。
RXPH_CFG	24位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
RXPH_监控_选择	5位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
RXPHDLY_CFG	24位二进制	RX相位和延迟对齐配置。rxphdly_CFG[19]=1用于将RX延迟对准抽头设置为满量程4 ns。rxphdly_CFG[19]=0用于将RX延迟对准抽头设置为2 ns的一半范围。 保留。应使用7系列FPGAs收发器向导中的推荐值。

表4-37:RX缓冲旁路属性(续)

属性	类型	描述
RXDLY_CFG	16位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
RXDLY	9位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
RXDLY_TAP_CFG	16位二进制	保留。应使用7系列FPGAs收发器向导中的推荐值。
接收DDI选择	6位二进制	RX数据延迟插入选择。 保留。应使用7系列FPGAs收发器向导中的推荐值。
RXSYNC_MULTILANE	1位二进制	GTH收发器: 指示通道是否用作多通道接口的一部分。仅在自动模式下的接收缓冲旁路主通道上有效。 0:该通道用于单通道模式。1:该通道用于多通道模式。
RXSYNC_SKIP_DA	1位二进制	GTH收发器: 控件跳过延迟对齐过程。仅在自动模式下的接收缓冲旁路主通道上有效。 0:发生RX延迟对齐程序。 1:跳过接收延迟对齐程序。
RXSYNC_OVRD	1位二进制	GTH收发器: 手动模式超驰。 0: RX缓冲旁路自动模式使能。 1:使用RX缓冲旁路手动模式。RX缓冲器旁路控制在结构逻辑中实现。
TST_RSV[0]	1位二进制	0:正常。 1:用RX_DDI_SEL属性覆盖数据延迟插入(DDI)延迟设置。

## RX缓冲器旁路使用模式

RX相位对准可以在一个通道(单通道)上执行，也可以在共享一个RXOUTCLK的一组通道(多通道)上执行。对于GTX收发器，RX缓冲旁路支持单通道自动模式和多通道手动模式。对于GTH收发器，RX缓冲旁路支持单通道自动模式，以及手动和自动模式下的多通道应用(表4-38)。

表4-38:RX缓冲器旁路使用模式

Rx缓冲旁路	GTX收发器	GTH收发器
单车道	汽车	汽车 <sup>(1)</sup>
多车道	指南 <sup>(2)</sup>	手动或自动 <sup>(2)</sup>

**注意事项:**

1. GTX收发器中的单通道自动模式与GTH收发器中的单通道模式不兼容。
2. 在堆叠硅互连(SSI)技术中，GTH四边形不在SLR边界之间结合。需要跨越SLR边界的多通道RX缓冲器旁路的系统需要定制时钟拓扑和特性。这种用例通常不被支持或保证。

**在单通道自动模式下使用接收缓冲旁路(仅限GTX收发器)**

这些GTX收发器设置应用于旁路RX弹性缓冲器:

- RXBUF\_EN = FALSE
- RX\_XCLK\_SEL = RXUSR
- RXOUTCLKSEL = 010 b选择RX恢复时钟作为RXOUTCLK的时钟源
- RXDDIEN = 1
- PCS\_RSVD\_ATTR[2] = 0b

选择RX恢复时钟后，RXOUTCLK将用作RXUSRCLK的时钟源。用户必须确保RXOUTCLK和选定的RX恢复时钟以所需的频率运行和工作。当RX弹性缓冲器被旁路时，RX相位对准程序必须在以下条件下执行:

- 重置或启动GTX接收器
- CPLL和/或QPLL复位或上电
- 更改RX恢复的时钟源或频率
- 更改GTX收发器RX线路速率

图4-41显示了执行自动RX相位对齐和使用RX延迟对齐来调整RXUSRCLK以补偿温度和电压变化所需的步骤。

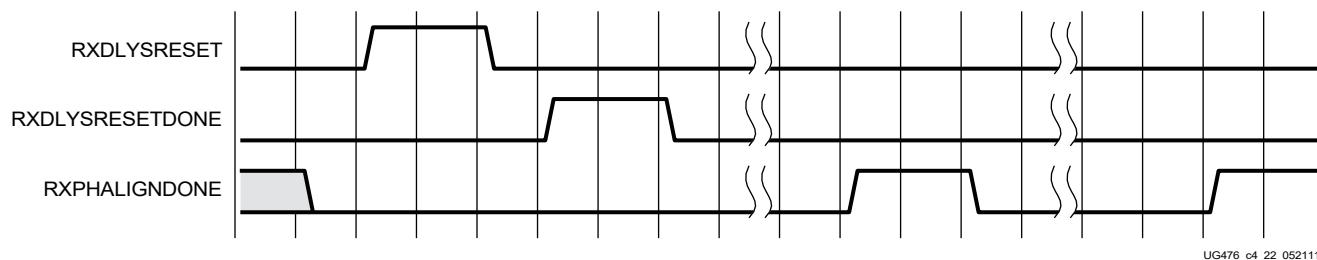


图4-41:RX缓冲旁路—单通道自动模式(仅限GTX收发器)

与相关的注释图4-41:

1. 中的事件顺序图4-41没有按比例绘制。
2. 在GTX接收器复位或RX速率改变等情况发生后，必须执行RX相位对齐，以对齐XCLK和RXUSRCLK。等待直到退出RXELECIDLE

在置位RXDLYSRESET以启动RX相位和延迟对齐之前，RX CDR被锁定。RXDLYSRESET的置位时间应小于50 ns。

3. 等到RXDLYSRESETDONE = 1。RXDLYSRESETDONE将保持置位至少100 ns。
4. 当检测到RXPHALIGNDONE的第二个上升沿时，RX相位对齐完成。RXPHALIGNDONE的第一次置位最小脉冲宽度为100 ns。在RXPHALIGNDONE的第二个上升沿，该信号应保持有效，直到启动另一个对齐程序。
5. RX延迟对齐继续调整RXUSRCLK，以补偿温度和电压变化。

在RXELECIDLE解除置位且RX CDR锁定后，有必要开始RX相位对齐，以确保RX恢复时钟和RXUSRCLK稳定并准备好用于对齐。当RX弹性缓冲器被旁路时，在诸如GTX收发器复位或速率改变的情况下，从PMA接收的数据可能由于相位差而失真。如果在结构接口评估的接收数据无效，则需要在RX CDR锁定时重复RX相位对齐。

## 在单通道自动模式下使用接收缓冲旁路(仅限GTH收发器)

这些GTH收发器设置应用于旁路RX缓冲器：

- RXBUF\_EN = FALSE.
- RX\_XCLK\_SEL = RXUSR.
- RXOUTCLKSEL = 010 b选择RX恢复时钟作为RXOUTCLK的时钟源。
- RXDDIEN = 1.

选择RX恢复时钟后，RXOUTCLK将用作RXUSRCLK的时钟源。用户必须确保RXOUTCLK和选定的RX恢复时钟以所需的频率运行和工作。当RX弹性缓冲器被旁路时，RX相位对准程序必须在以下条件下执行：

- 重置或启动GTH接收器。
- CPLL和/或QPLL复位或上电。
- 更改RX恢复的时钟源或频率。
- 更改GTH接收线路速率。

要在单通道自动模式下设置RX缓冲旁路，应设置以下属性：

- RXSYNC\_MULTILANE = 0
- RXSYNC\_OVRD = 0

按照设置端口[图4-42](#)。

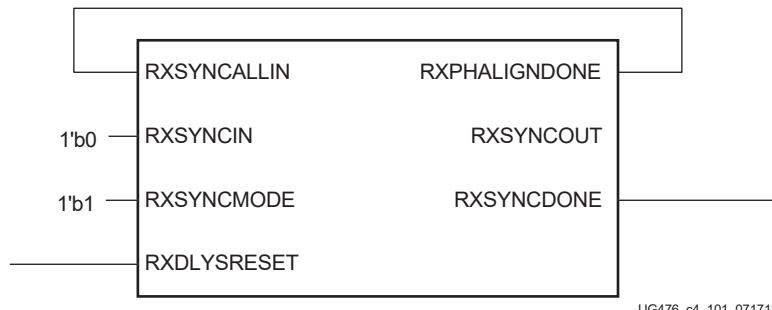


图4-42:RX缓冲旁路—单通道、自动模式端口连接(仅限GTH收发器)

图4-43显示了执行自动RX相位对齐和使用RX延迟对齐来调整RXUSRCLK以补偿温度和电压变化所需的步骤。

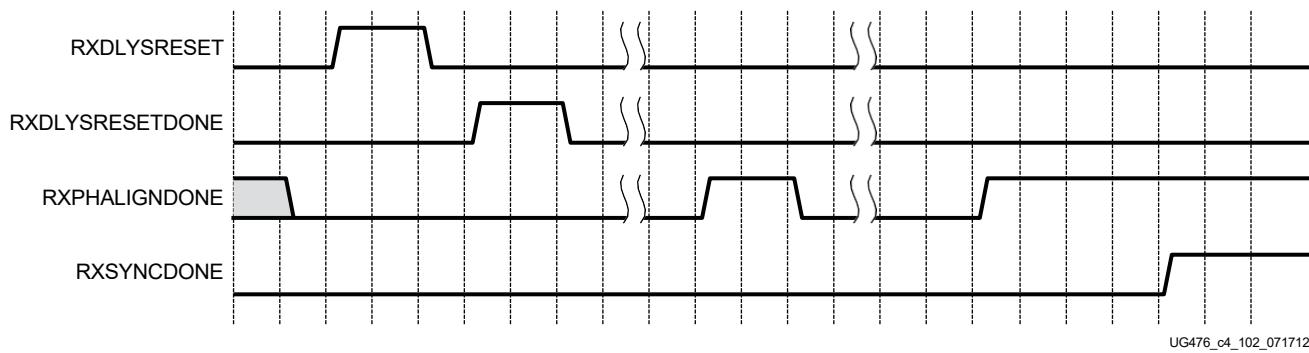


图4-43:RX缓冲旁路示例—单通道自动模式(仅限GTH收发器)

与相关的注释图4-43:

- 中的事件顺序图4-43没有按比例绘制。
- 在GTH接收器复位或RX速率改变等情况发生后，必须执行RX相位对齐，以对齐XCLK和RXUSRCLK。等到退出RXELECIDLE且RX CDR锁定后，再置位RXDLYSRESET以启动RX相位和延迟对齐。RXDLYSRESET的置位时间应小于50 ns。
- 等到RXDLYSRESETDONE为高电平。RXDLYSRESETDONE将保持置位至少100 ns。
- 当RXSYNCDONE置位时，对齐程序完成。该信号将保持有效，直到重新启动校准程序。
- RXSYNCDONE置位时，RXPHALIGNDONE指示是否实现并保持对齐。
- RX延迟对齐继续调整RXUSRCLK，以补偿温度和电压变化。

在RX CDR锁定后，有必要开始RX相位对齐，以确保RX恢复时钟和RXUSRCLK稳定并准备好用于对齐。当RX弹性缓冲器被旁路时，在诸如GTH收发器复位或速率改变的情况下，从PMA接收的数据可能由于相位差而失真。如果收到了

在结构接口上评估的数据无效，当RX CDR锁定时，需要重复RX相位对准。

## 在多通道手动模式下使用RX缓冲旁路(GTX和GTH收发器)

在基于SSI的器件中，多通道RX缓冲旁路支持跨越SLR边界是一项高级功能，不建议用于正常工作。只有在特定的系统级条件和数据速率下，才能保证这一特性。

对于GTX收发器，当多通道应用需要RX缓冲器旁路时，应手动执行相位对准。对于GTH收发器，相位对准可以手动或自动执行。

本节描述手动执行多通道RX缓冲旁路校准程序所需的步骤：

- 主机:在多通道应用中，缓冲旁路主机是作为RXOUTCLK源的通道。
- 从机:所有通道共享同一个RXUSRCLK/RXUSRCLK2，该信号由缓冲旁路主机的RXOUTCLK产生。

图4-44显示了缓冲旁路主通道与从通道的示例。

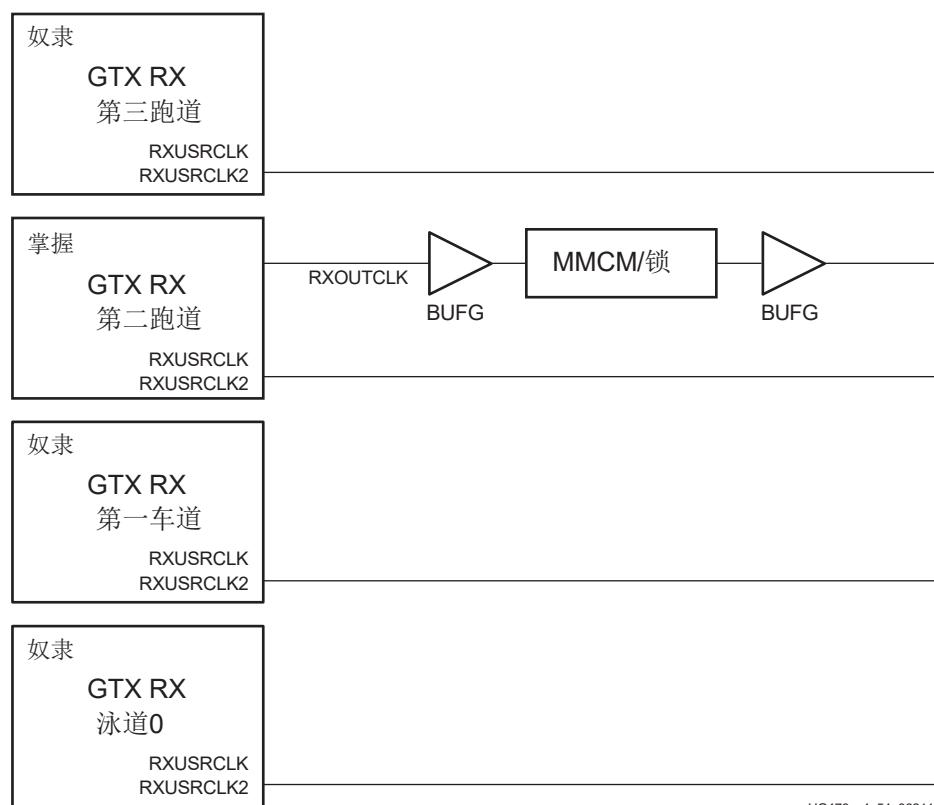


图4-44:RX缓冲旁路主通道与从通道示例

这些GTX/GTH收发器设置应用于旁路RX弹性缓冲器：

- RXBUF\_EN = FALSE
- RX\_XCLK\_SEL = RXUSR

- RXOUTCLKSEL = 010, 选择RX恢复时钟作为RXOUTCLK的时钟源
- RXDDIEN = 1

选择RX恢复时钟后，RXOUTCLK将用作RXUSRCLK的时钟源。用户必须确保RXOUTCLK和选定的RX恢复时钟以所需频率工作。当RX弹性缓冲器被旁路时，RX相位对准程序必须在以下条件下执行：

- 重置或启动GTX/GTH接收器
- CPLL和/或QPLL复位或上电
- 更改RX恢复的时钟源或频率
- 更改GTX/GTH收发器接收线路速率

图4-45显示了执行手动RX相位和延迟对齐所需的步骤。

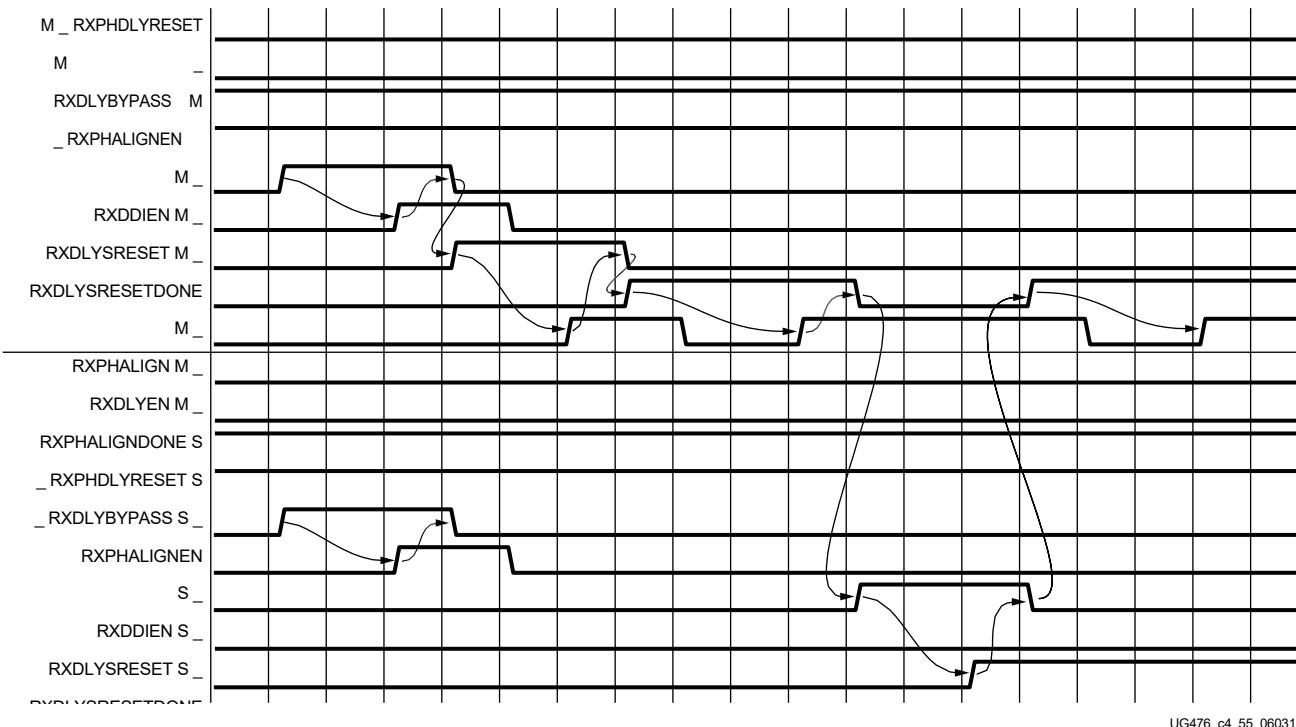


图4-45:手动模式下的RX相位和延迟对齐

与相关的注释图4-45：

1. 中显示的事件顺序图4-45没有按比例绘制。
2. M\_\*表示与主通道相关的端口。
3. S\_\*表示与从通道相关的端口。
4. GTX收发器:将PCS\_RSVD\_ATTR[2]属性设置为1'b1。GTH收发器:将RXSYNC\_OVRD属性设置为1'b1。
5. 将所有通道的RXPHDLYRESET和RXDLYBYPASS设为低电平。
6. 将所有通道的RXPHALIGNEN和RXDDIEN设为高电平。
7. 置位所有通道的RXDLYSRESET。保持此信号为高电平，直到相应通道的RXDLYSRESETDONE置位。

8. 对RXDLYSRESETDONE置位的通道解除RXDLYSRESET置位。
9. 当所有通道的RXDLYSRESET解除置位时，置位主通道的RXPHALIGN。保持此信号为高电平，直到观察到主通道的RXPHALIGNDONE的上升沿。
10. 解除主通道的RXPHALIGN置位。
11. 断言主通道的RXDLYEN。这将导致RXPHALIGNDONE无效。
12. 保持主通道的RXDLYEN为高电平，直到观察到主通道的RXPHALIGNDONE的上升沿。
13. 解除主通道的RXDLYEN置位。
14. 断言所有从通道的RXPHALIGN。保持此信号为高电平，直到观察到相应从通道的RXPHALIGNDONE的上升沿。
15. 将RXPHALIGNDONE置位的从通道的RXPHALIGN置位。
16. 当所有从通道的RXPHALIGN置位时，主通道的RXDLYEN置位。这导致主通道的RXPHALIGNDONE被解除置位。
17. 等到主通道的RXPHALIGNDONE重新声明。多通道接口的相位和延迟对准已完成。  
继续保持主通道的RXDLYEN为高电平，以调整RXUSRCLK来补偿温度和电压变化。  
在多通道应用中，任何通道上的RXELECIDLE解除置位后，必须在接口上启动RX对齐程序。在启动RX校准程序之前，所有通道的RX CDR应被锁定。这一要求是为了确保RX恢复时钟和RXUSRCLK稳定，并在对齐前准备就绪。  
当RX弹性缓冲器被旁路时，在诸如GTX/GTH收发器复位或速率改变的情况下，从PMA接收的数据可能由于相位差而失真。如果在结构接口上评估的接收数据在任一通道上无效，则在所有通道上锁定RX CDR后，应对该接口重复RX对齐程序。

## 在多通道自动模式下使用接收缓冲旁路(仅限GTH收发器)

在基于SSI的器件中，多通道TX缓冲器旁路支持跨越SLR边界是一项高级功能，不建议在正常工作时使用。只有在特定的系统级条件和数据速率下，才能保证这一特性。

对于GTH收发器，当多通道应用需要RX缓冲器旁路时，可以手动或自动执行相位对准。本节描述了自动执行多通道RX缓冲旁路校准程序所需的步骤：

- 主机:在多通道应用中，缓冲旁路主机是作为RXOUTCLK源的通道。
- 从机:所有通道共享同一个RXUSRCLK/RXUSRCLK2，该信号由缓冲旁路主机的RXOUTCLK产生。

图4-46显示了缓冲旁路主通道与从通道的示例。

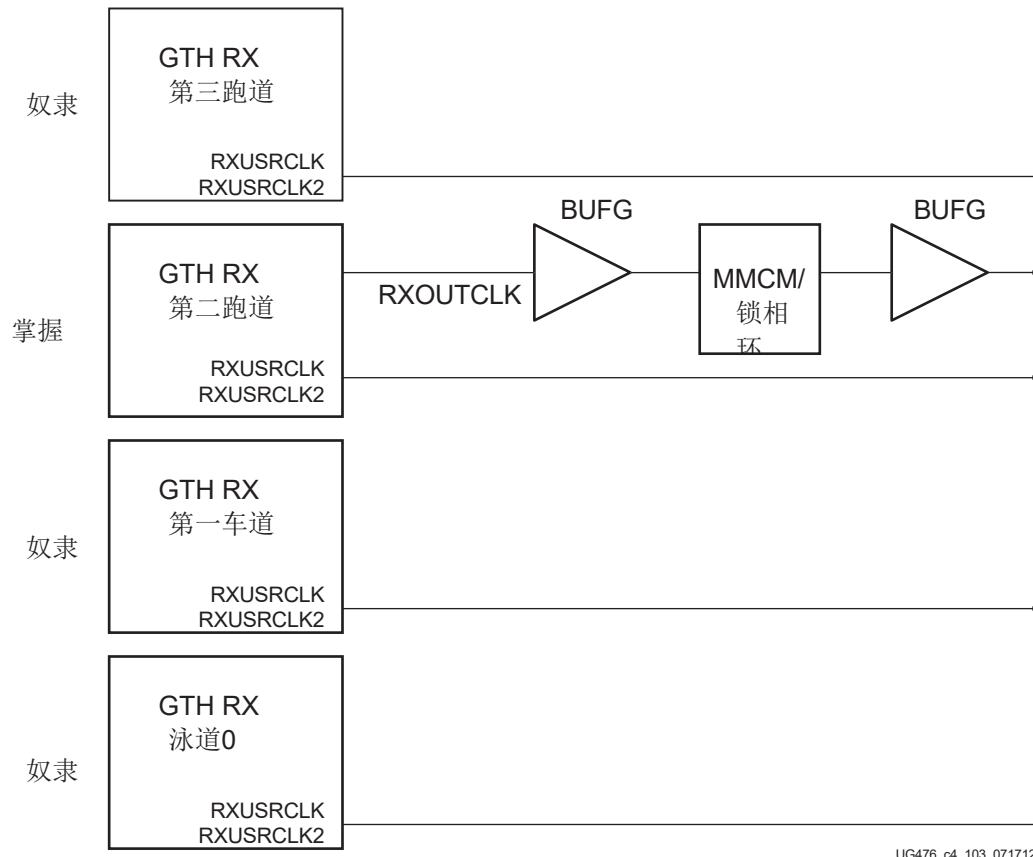


图4-46:缓冲旁路主通道与从通道的示例

这些GTH收发器设置应用于旁路RX缓冲器:

- RXBUF\_EN = FALSE.
- RX\_XCLK\_SEL = RXUSR.
- RXOUTCLKSEL = 010to选择RX恢复时钟作为RXOUTCLK的时钟源。
- RXDDIEN = 1.

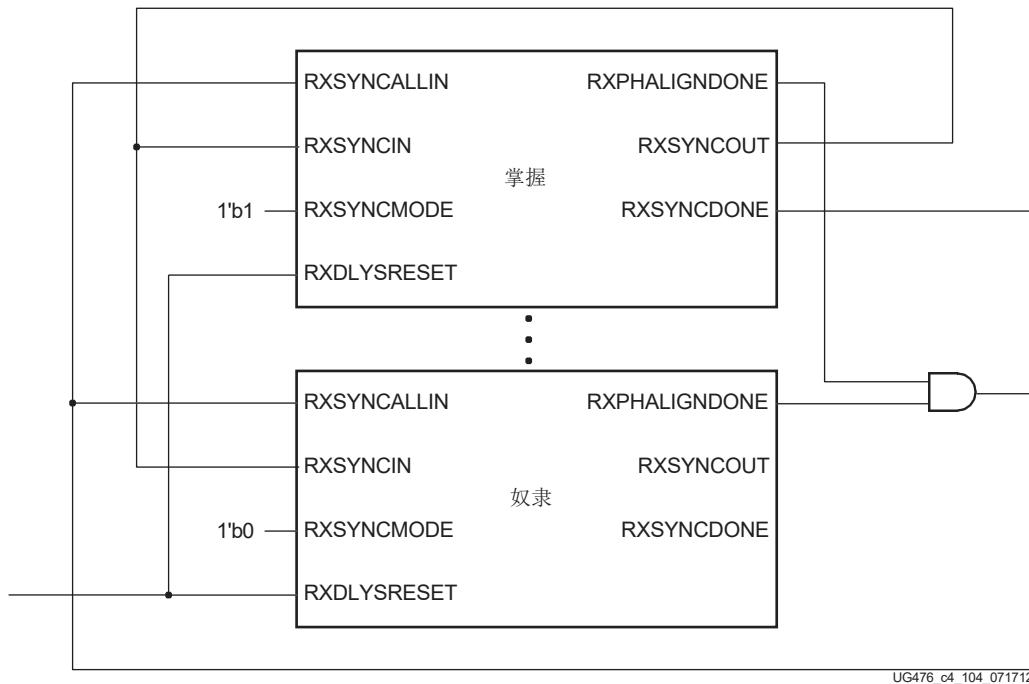
选择RX恢复时钟后，RXOUTCLK将用作RXUSRCLK的时钟源。用户必须确保RXOUTCLK和选定的RX恢复时钟以所需频率运行和工作。当RX弹性缓冲器被旁路时，RX相位对准程序必须在以下条件下执行:

- 重置或启动GTH接收器。
- CPLL和/QPLL复位或上电。
- 更改RX恢复的时钟源或频率。
- 更改GTH接收线路速率。

要在多通道自动模式下设置RX缓冲旁路，应设置以下属性:

- RXSYNC\_MULTILANE = 1
- RXSYNC\_OVRD = 0

端口应按照中所示进行设置图4-47.



UG476\_c4\_104\_071712

图4-47:RX缓冲旁路—多通道自动模式端口连接(仅限GTH收发器)

图4-48显示了执行自动接收相位和延迟对齐所需的步骤。

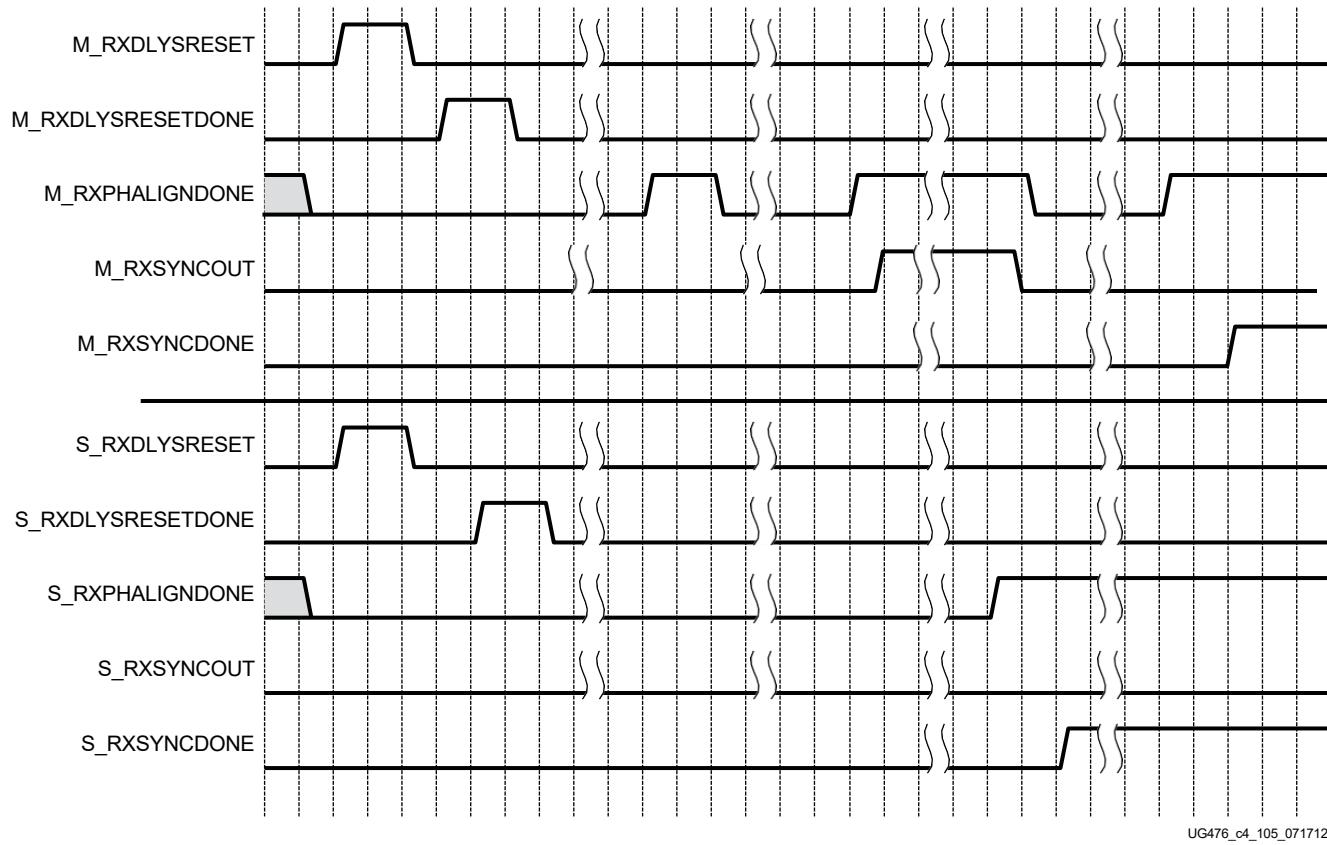


图4-48:RX缓冲旁路示例—多通道自动模式(仅限GTH收发器)

与相关的注释图4-48:

1. 中显示的事件顺序图4-48没有按比例绘制。
2. M\_\*表示与主通道相关的端口。
3. S\_\*表示与从通道相关的端口。
4. 在GTH接收器复位或RX速率改变等情况发生后，必须执行RX相位对齐，以对齐XCLK和RXUSRCLK。等到退出RXELECIDLE且RX CDR锁定后，再置位RXDLYSRESET以启动RX相位和延迟对齐。RXDLYSRESET的置位时间应小于50 ns。
5. 等到RXDLYSRESETDONE为高电平。RXDLYSRESETDONE将保持置位至少100 ns。
6. 当主通道的RXSYNCDONE置位时，对齐程序完成。该信号将保持有效，直到重新启动校准程序。
7. 当主通道的RXSYNCDONE置位时，主通道的RXPHALIGNDONE指示是否实现并保持对齐。
8. RX延迟对齐继续调整RXUSRCLK，以补偿温度和电压变化。

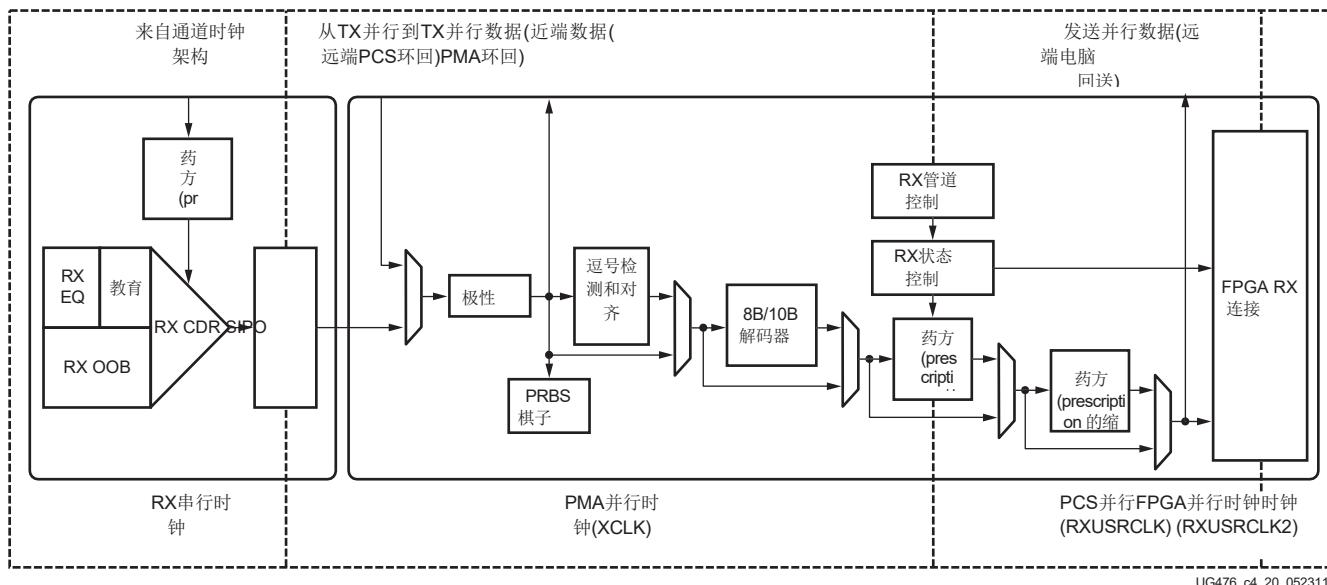
在多通道应用中，任何通道上的RXELECIDLE解除置位后，必须在接口上启动RX对齐程序。在启动RX校准程序之前，需要锁定所有通道的RX CDR。这一要求是为了确保RX恢复时钟和RXUSRCLK稳定，并在对齐前准备就绪。

当RX弹性缓冲器被旁路时，在诸如GTH收发器复位或速率改变的情况下，从PMA接收的数据可能由于相位差而失真。如果在结构接口上评估的接收数据在任一通道上无效，则在所有通道上锁定RX CDR后，需要对该接口重复RX对齐程序。

## RX弹性缓冲器

### 功能描述

GTX/GTH收发器RX数据路径有两个用于PCS的内部并行时钟域:PMA并行时钟域(XCLK)和RXUSRCLK域。要接收数据，PMA并行速率必须足够接近RXUSRCLK速率，并且两个域之间的所有相位差必须得到解决。[图4-49](#)显示了两个并行时钟域:XCLK和RXUSRCLK。



[图4-49:RX时钟域](#)

GTX/GTH收发器包括一个RX弹性缓冲器，用于解决XCLK和RXUSRCLK域之间的差异。两个域的相位也可以匹配，方法是使用收发器的RX恢复时钟来驱动RXUSRCLK，并在旁路RX缓冲器时调整其相位以匹配XCLK(参见[RX缓冲器旁路，第242页](#))。所有RX数据路径必须使用这些方法之一。每种方法的成本和优势如所示表4-39。

[表4-39:RX缓冲与相位对准](#)

	<b>RX弹性缓冲器</b>	<b>RX相位对准</b>
易用性	如果可能，建议使用默认的RX缓冲器。它坚固耐用且易于操作。	相位对齐是一项高级功能，需要额外的逻辑和对时钟源的额外限制。RXOUTCLKSEL必须选择RX恢复时钟作为RXOUTCLK的时钟源来驱动RXUSRCLK。
时钟选项	可以使用RX恢复时钟或本地时钟(带时钟校正)。	必须使用RX恢复时钟。

表4-39:RX缓冲与相位对准(续)

	RX弹性缓冲器	RX相位对准
初始化	立即生效。	在执行RX相位和延迟对齐程序之前，必须等待所有时钟稳定。
潜伏	缓冲延迟取决于使用的功能，如时钟校正和通道绑定。	更低的确定性延迟。
时钟校正和通道绑定	时钟校正和通道绑定所需。	不在收发器内部执行。需要在用户逻辑中实现。

## 端口和属性

表4-40定义RX缓冲端口。

表4-40:RX缓冲端口

港口	目录	时钟域	描述
RXBURFRESET	在...里	异步®非同步 (asynchronous)	重置并重新初始化RX弹性缓冲器。
RXBUFFSTATUS[2:0]	在外	RXUSRCLK2	RX缓冲状态。RX弹性缓冲器下溢或上溢错误状态不是粘性位，如果错误清除，则返回正常状态(000b)。当检测到错误条件时，建议RX弹性缓冲器复位。禁用时钟校正时，可通过将RXBUF_ADDR模式设为满来使用rx buf状态代码001 band 010 b。 000b: 标称条件。 001b: 缓冲区中的字节数小于COR_科尔_最小_拉特 010b: 缓冲区中的字节数大于COR_相关_最大_横向 101b: RX弹性缓冲器下溢 110b: RX弹性缓冲区溢出

表4-41定义接收缓冲器属性。

表4-41:RX缓冲区属性

属性	类型	描述
RXBURF_EN	布尔代数学体系的	使用或绕过RX弹性缓冲器。 TRUE: 使用RX弹性缓冲区(默认)。 假: 绕过RX弹性缓冲区(高级功能)。
RX_XCLK_SEL	线	选择用于驱动RX并行时钟域(XCLK)的时钟源。 RXREC: 选择RX恢复时钟作为XCLK的时钟源。使用RX弹性缓冲器时使用。 RXUSR: 选择RXUSRCLK作为XCLK的源。旁路RX弹性缓冲器时使用。

表4-41:RX缓冲区属性(续)

属性	类型	描述
RX_Buffer_Cfg	6位二进制	RX弹性缓冲配置。 保留。应使用7系列FPGAs收发器向导中的推荐值。
RX_DEFER_RESET_BUF_EN	布尔代数学体系的	在逗号重新对齐时延迟RX弹性缓冲区重置。延迟时间由RXBUF_EIDLE_HI_CNT控制。 TRUE:启用逗号重新对齐时RX弹性缓冲区重置的延迟。 FALSE:在逗号重新对齐时禁用RX弹性缓冲区重置的延迟。
rx buf_addr_模式	线	RX弹性缓冲地址模式。 完全:使能RX弹性缓冲器,用于时钟校正和通道绑定支持。 快速:使能RX弹性缓冲器进行相位补偿,无需时钟校正和通道绑定支持。对于高线路速率,建议使用这种模式。
RXBUF_EIDLE_HI_CNT	4位二进制	当RXP/RXN串行线路上没有有效数据时,控制电空闲时断言GTX/GTH收发器内部产生的RX弹性缓冲复位的时序。 保留。应使用7系列FPGAs收发器向导中的推荐值。
RXBUF_EIDLE_LO_CNT	4位二进制	当有效数据出现在RXP/RXN串行线路上时,控制电空闲时取消断言GTX/GTH收发器内部产生的RX弹性缓冲器复位的时序。 保留。应使用7系列FPGAs收发器向导中的推荐值。
RXBUF_Reset_Cb_Change	布尔代数学体系的	信道绑定改变时,GTX/GTH收发器内部生成的RX弹性缓冲复位。 真:在信道绑定改变时使能自动RX弹性缓冲器复位。 假:在信道绑定改变时禁用自动RX弹性缓冲复位。
RXBUF_RESET_ON_COMMALIGN	布尔代数学体系的	GTX/GTH收发器内部生成的RX弹性缓冲区在逗号重新对齐时复位。 TRUE:在逗号对齐时启用自动RX弹性缓冲区复位。 FALSE:在逗号对齐时禁用自动RX弹性缓冲区重置。

表4-41:RX缓冲区属性(续)

属性	类型	描述
RXBUT_RESET_ON_EIDLE	布尔代数学体系的	<p>GTx/GTH收发器内部生成的RX弹性缓冲器在电气闲置时复位。</p> <p>TRUE:在PCI Express操作中使用的电气空闲状态的可选复位序列期间，启用RX弹性缓冲器的自动复位。</p> <p>假:在电气空闲时禁用自动RX弹性缓冲器复位。这应该是默认设置。</p> <p><b>注意:</b>对于衰减较大的通道(奈奎斯特频率下有损通道通常超过15 dB)，建议将RXBUT_RESET_ON_EIDLE设置为FALSE，因为快速转换数据模式(如CJPAT/CJTPAT中的101010序列)可能会意外触发电气空闲。</p>
RXBUT_RESET_ON_速率_变化	布尔代数学体系的	<p>GTx/GTH收发器内部生成的RX弹性缓冲器在速率变化时复位。</p> <p>真:速率变化时启用自动RX弹性缓冲器复位。FALSE:禁用速率变化时的自动RX弹性缓冲复位。</p>
RXBUT_THRESH_OVRD	布尔代数学体系的	<p>RX弹性缓冲阈值覆盖。</p> <p>TRUE:使用RXBUT_THRESH_OVFLW和RXBUT_THRESH_UNDFLW属性分别设置RX弹性缓冲区溢出和下溢阈值。</p> <p>假:自动计算RX弹性缓冲区上溢和下溢阈值。这是推荐的默认设置。</p>
RXBUT_THRESH_OVFLW	整数	<p>RX弹性缓冲区溢出阈值指定为字节数。如果通过RX弹性缓冲器的数据延迟等于或高于该阈值，则认为缓冲器处于溢出状态。当RXBUT_THRESH_OVRD = TRUE时使用。</p> <p>保留。应使用7系列FPGAs收发器向导中的推荐值。</p>
RXBUT_THRESH_UNDFLW	整数	<p>RX弹性缓冲区下溢阈值指定为字节数。如果通过RX弹性缓冲器的数据等待时间等于或低于该阈值，则认为缓冲器处于下溢状态。当RXBUT_THRESH_OVRD = TRUE时使用。</p> <p>保留。应使用7系列FPGAs收发器向导中的推荐值。</p>
RXBUTRESET_TIME	5位二进制	<p>RX弹性缓冲复位时间。</p> <p>保留。应使用7系列FPGAs收发器向导中的推荐值。</p>

## 使用RX弹性缓冲器

这些设置用于使能RX弹性缓冲器，以解决XCLK和RXUSRCLK域之间的相位差：

- RXBUF\_EN = TRUE
- RX\_XCLK\_SEL = RXREC

如果发生RX弹性缓冲器上溢或下溢情况，则RX弹性缓冲器的内容变得无效。当发生上述任何情况时，应使用GTRXRESET、RXPCSRESET、RXBUFRESET或GTX/GTH收发器内部产生的RX弹性缓冲区复位来复位和重新初始化RX弹性缓冲区(参见[RX初始化和复位，第72页](#))。内部生成的RX弹性缓冲器复位可以在信道绑定改变、逗号重新对齐、电气空闲或速率变化条件下发生。

RX弹性缓冲器也用于时钟校正(参见[RX时钟校正](#))和通道绑定(参见[RX通道绑定，第271页](#))。当XCLK和RXUSRCLK频率不匹配时，使用时钟校正。[表4-42](#)列出了常见的时钟配置，并显示它们是否需要时钟校正。

**表4-42:常见时钟配置**

时钟类型	需要时钟校正？
两端使用同一物理振荡器的参考时钟的同步系统。	不
异步系统，使用独立的参考时钟，GTX/GTH接收机使用RX恢复时钟。	不
异步系统，使用独立的参考时钟，GTX/GTH接收机使用本地时钟。	是

使用RX弹性缓冲器时，无论是否使用时钟校正，CLK\_COR\_MIN\_LAT的设置都会影响通过缓冲器的延迟。

## RX时钟校正

### 功能描述

RX弹性缓冲器旨在桥接两个不同的时钟域RXUSRCLK和XCLK，后者是从CDR恢复的时钟。即使RXUSRCLK和XCLK以相同的时钟频率运行，也总会有很小的频率差异。由于XCLK和RXUSRCLK并不完全相同，因此如果不加以纠正，差值会累积起来，导致RX弹性缓冲区最终上溢或下溢。为了允许校正，每个GTX/GTH收发信机TX周期性地发送一个或多个特殊字符，允许GTX/GTH收发信机RX根据需要在RX弹性缓冲器中删除或复制这些字符。通过在RX弹性缓冲区太满时移除字符并在RX弹性缓冲区太空时复制字符，接收器可以防止上溢或下溢。

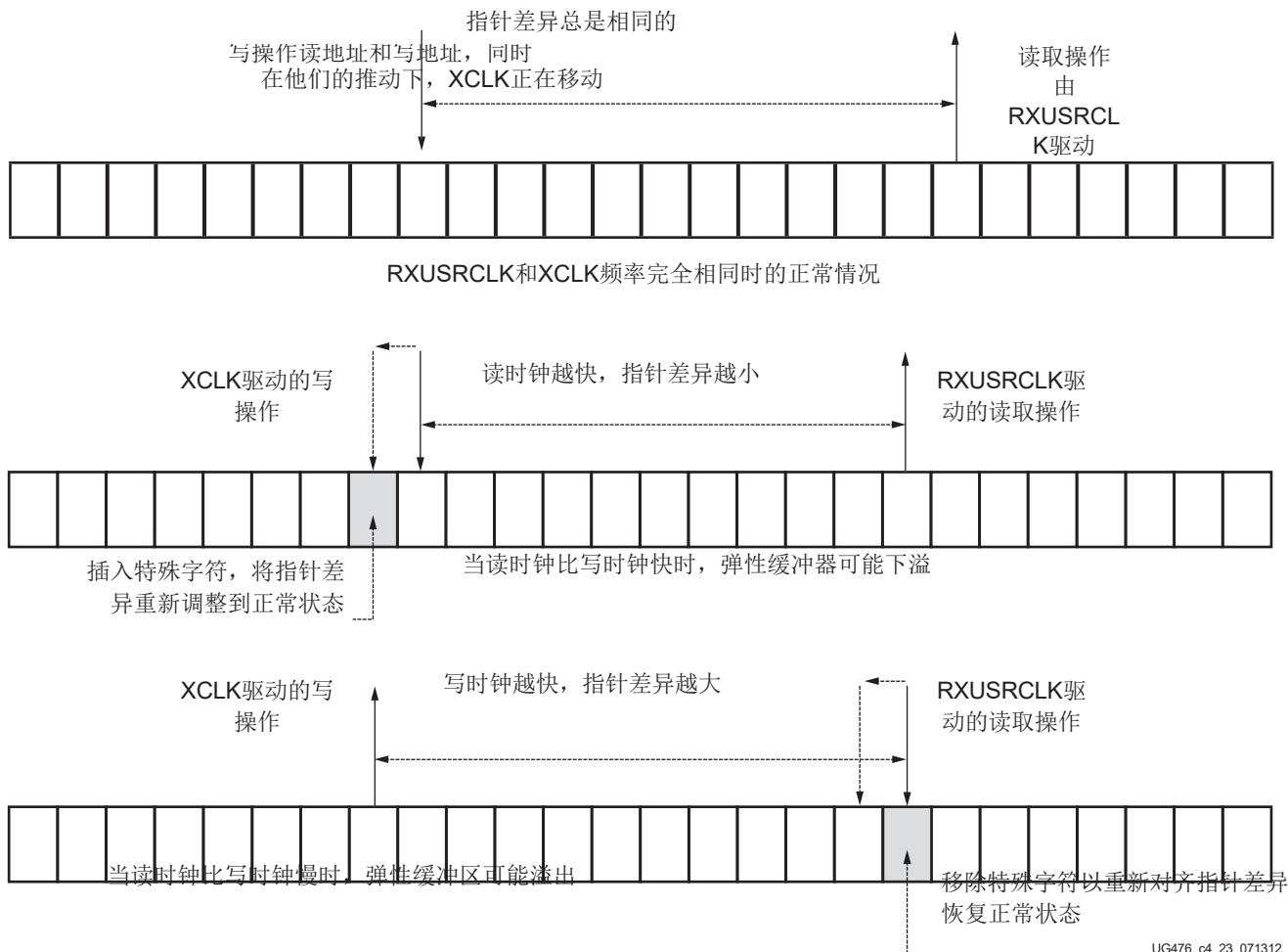


图4-50:时钟校正概念视图

## 端口和属性

表4-43 定义RX时钟校正功能所需的端口。

表4-43:RX时钟校正端口

港口	目录	时钟域	描述
RXBUFFRESET	在 … 里	异步@非同步 (asynchronous)	复位RX弹性缓冲器和相关逻辑。
RXBUFFSTATUS[2:0]	在外	RXUSRCLK2	指示RX弹性缓冲器的状态: 000: 在标称操作范围内, 其中缓冲器占用率在CLK_科尔_最小_横向和CLK_科尔_最大_横向范围内 001: RX弹性缓冲区占用率小于COR_科尔_最小_横向 010: RX弹性缓冲区占用率大于COR_科尔_最大_横向 101: RX弹性缓冲器下溢 110: RX弹性缓冲区溢出
RXCLKCORCNT[1:0]	在外	RXUSRCLK2	当时钟校正序列的第一个字节显示在RXDATA中时, 报告RX弹性缓冲器的时钟校正状态。 00: 无时钟校正 01: 跳过一个序列 10: 跳过两个序列 11: 添加一个序列
RX8B10BEN	在 … 里	RXUSRCLK2	高电平有效使能GTX/GTH收发器RX中的8B/10B解码器。如果使能8B/10B解码, RX_DATA_WIDTH必须是10的倍数(20, 40, 80)。如果8B/10B解码未使能, RX_DATA_WIDTH必须是8的倍数(16, 32, 64)。

表4-44 定义RX通道绑定所需的属性。

表4-44:RX时钟校正属性

属性	类型	描述
CBCC_数据_来源_选择	线	<p>该属性与RX8B10BEN一起使用，为时钟校正和通道绑定选择数据源。</p> <p>当RX8B10BEN为高电平时，CBCC_数据_源_选择=解码 时钟校正序列与8B/10B解码器解码后的数据相匹配。</p> <p>CBCC_DATA_SOURCE_SEL = ENCODED, 时钟校正序列匹配来自8B/10B解码器之前的逗号检测和重新对齐模块的原始数据。</p> <p>当RX8B10BEN为低电平时，CBCC_数据_源_选择=解码为 不支持。CBCC_数据_来源_选择=编码，时钟校正序列与来自逗号检测和重新校准模块的原始数据相匹配。</p>
CLK_正确_使用	布尔代数学体系的	<p>设置TRUE以启用时钟校正功能。设置为FALSE将禁用时钟校正功能。</p> <p>时钟校正禁用时，需要设置这些属性：</p> <pre>CLK_科尔_SEQ_1_1 = 10'b0100000000 CLK_科尔_SEQ_2_1 = 10'b0100000000 CLK_科尔_SEQ_1_ENABLE = 4'b1111 CLK_科尔_SEQ_2_ENABLE = 4'b1111</pre>
CLK保持空闲	布尔代数学体系的	<p>设置为TRUE，为接收的每个连续时钟校正序列流在数据流中保留至少一个时钟校正序列。</p> <p>设置为FALSE，在需要时从字节流中删除所有时钟校正序列，以重新将RX弹性缓冲区范围置于中心。</p>
COR_科尔_马克斯_拉特	整数	<p>指定最大RX弹性缓冲延迟。如果RX弹性缓冲器超过CLK_COR_MAX_LAT，则时钟校正电路移除输入时钟校正序列以防止溢出。</p> <p>7系列FPGAs收发器向导根据应用要求选择最佳CLK_COR_MAX_LAT值。必须遵循向导选择的值以保持最佳性能，并且不得覆盖该值。</p>

表4-44:RX时钟校正属性(续)

属性	类型	描述
CLK科尔分拉特	整数	<p>指定最小RX弹性缓冲延迟。如果RX弹性缓冲器下降到CLK COR MIN LAT以下，时钟校正电路会复制输入时钟校正序列，以防止下溢。</p> <p>当RX弹性缓冲器被复位时，其指针被设置，使得缓冲器中有COR_科尔_最小_拉特未读(和未初始化)的数据字节。</p> <p>涉及表4-45因为限制。这7系列FPGAs收发器向导根据应用要求选择一个CLK COR MIN LAT值。必须遵循向导选择的值以保持最佳性能，并且不得覆盖该值。</p>
CLK优先	布尔代数学体系的	<p>确定同时触发两种操作时，时钟校正还是通道绑定优先。</p> <p>正确:如果两者都有机会，时钟校正优先于通道绑定</p> <p>错误:如果通道绑定和时钟校正都有机会，则通道绑定优先于时钟校正</p>
COR_科尔_重复_等待	整数	<p>该属性指定两次连续时钟校正之间的最小RXUSRCLK周期数。如果该属性为0，则对放置时钟校正字符的频率没有限制。</p> <p>该属性的有效值范围为0到31。</p>
CLK科尔SEQ莱恩	整数	<p>定义必须匹配的序列长度(以字节为单位)，以检测时钟校正的机会。该属性还定义了时钟校正中调整的大小(重复或跳过的字节数)。</p> <p>有效长度为1、2和4字节。</p>

表4-44:RX时钟校正属性(续)

属性	类型	描述
CLK科尔SEQ 1启用	4位二进制	<p>第一个时钟校正序列的屏蔽使能位。</p> <p>CLK_科尔_SEQ_1_使能[0]是CLK_科尔_SEQ_1_1的屏蔽位。</p> <p>CLK_科尔_SEQ_1_使能[1]是CLK_科尔_SEQ_1_2的屏蔽位。</p> <p>CLK_科尔_SEQ_1_使能[2]是CLK_科尔_SEQ_1_3的屏蔽位。</p> <p>CLK_科尔_SEQ_1_使能[3]是CLK_科尔_SEQ_1_4的屏蔽位。</p> <p>当CLK_科尔_SEQ_1_使能[*]为0时，对应的CLK_科尔_SEQ_1_*要么被认为是无关紧要的，要么不经比较自动匹配。</p> <p>当CLK_科尔_SEQ_1_使能[*]为1时，比较对应的CLK_科尔_SEQ_1_*进行匹配。</p>
SEQ CLK科尔1 1	10位二进制	当COR_科尔_SEQ_1_使能[0] = 1时，要比较的第一个时钟校正序列1。
SEQ CLK科尔1 2	10位二进制	当COR_科尔_SEQ_1_使能[1] = 1时，要比较的第一个时钟校正序列2。
SEQ CLK科尔1 3	10位二进制	当CLK_SEQ_1_使能[2] = 1时，要比较的第一个时钟校正序列3。
SEQ CLK科尔1 4	10位二进制	当CLK_SEQ_1_使能[3] = 1时，要比较的第一个时钟校正序列4。
SEQ CLK科尔2用途	布尔代数学体系的	如果除了一直使用的CLK_科尔_SEQ_1_*外，还使用第二时钟校正序列(CLK_科尔_SEQ_2_*)，则设置为真。

表4-44:RX时钟校正属性(续)

属性	类型	描述
CLK科尔SEQ 2启用	4位二进制	<p>第二个时钟校正序列的屏蔽使能位。</p> <p>CLK_科尔_SEQ_2_使能[0]是CLK_科尔_SEQ_2_1的屏蔽位。</p> <p>CLK_科尔_SEQ_2_使能[1]是CLK_科尔_SEQ_2_2的屏蔽位。</p> <p>CLK_科尔_SEQ_2_使能[2]是CLK_科尔_SEQ_2_3的屏蔽位。</p> <p>CLK_科尔_SEQ_2_使能[3]是CLK_科尔_SEQ_2_4的屏蔽位。</p> <p>当CLK_科尔_SEQ_2_使能[*]为0时，对应的CLK_科尔_SEQ_2_*要么被认为是无关紧要的，要么不经比较自动匹配。</p> <p>当CLK_科尔_SEQ_2_使能[*]为1时，比较对应的CLK_科尔_SEQ_2_*进行匹配。</p>
SEQ CLK科尔_2_1	10位二进制	当COR_科尔_SEQ_2_使能[0] = 1时要比较的第二时钟校正序列1
SEQ CLK科尔2号	10位二进制	当COR_科尔_SEQ_2_使能[1] = 1时要比较的第二时钟校正序列2
SEQ CLK科尔_2_3	10位二进制	当COR_科尔_SEQ_2_使能[2] = 1时要比较的第二时钟校正序列3
SEQ CLK科尔_2_4	10位二进制	当COR_科尔_SEQ_2_使能[3] = 1时要比较的第二时钟校正序列4
RX_数据_宽度	整数	<p>设置RXDATA端口的位宽。使能8B/10B编码时，RX_DATA_WIDTH必须设置为20、40或80。</p> <p>有效设置为16、20、32、40、64和80。</p> <p>看见<a href="#">接口宽度配置</a>，<a href="#">第295页</a>了解更多详情。</p>
RX_DISPERR_SEQ_MATCH	布尔代数学体系的	<p>指定解码字节的差异错误状态是否必须与通道绑定和时钟校正序列中的指示符相匹配。</p> <p>TRUE:差异错误状态必须匹配。</p> <p>FALSE:忽略差异错误状态。</p>

表4-44:RX时钟校正属性(续)

属性	类型	描述
RX_INT_DATAWIDTH	整数	控制内部数据路径的宽度。 0:2字节内部数据路径1:4字节内部数据路径
对齐逗号单词	整数	该属性控制多字节数据路径中检测到的逗号的对齐方式。 1:对于2字节接口，将逗号与2个字节对齐； 对于4字节接口，将逗号与4个字节对齐； 对于8字节接口，将逗号与8个字节对齐。 逗号可以与RXDATA输出的偶数字节或奇数字节对齐。 2:仅将逗号与偶数字节对齐。对于2字节接口，对齐的逗号保证与偶数字节RXDATA[9:0]对齐， 4字节的RXDATA[9:0]/RXDATA[29:20]接口，以及 RXDATA[9:0]/RXDATA[29:20]/RX[49:40]/ 8字节接口的RX[69:60] 4:将逗号与4字节边界对齐。 RX_INT_DATAWIDTH = 0时不允许此设置。 对于4字节接口，对齐逗号保证与 RXDATA[9:0]对齐；对于 8字节接口。 涉及图4-35对于不同的 ALIGN_COMM WORD、 RX_DATA_WIDTH和所允许的逗号对齐边界 RX_INT_DATAWIDTH设置。 在偶数和奇数位置发送逗号的协议必须将 ALIGN_COMM WORD设置为1。

## 使用RX时钟校正

用户必须按照本节描述的步骤使用接收机的时钟校正功能。

### 启用时钟校正

每个GTX/GTH收发器包括时钟校正电路，该电路通过控制RX弹性缓冲器的指针来执行时钟校正。要使用时钟校正，RXBUF\_EN设置为真以开启RX弹性缓冲器，CLK \_校正\_ 使用设置为真以开启时钟校正电路。

当RX弹性缓冲器延迟过高或过低时，触发时钟校正，并且时钟校正电路检测到匹配序列。要使用时钟校正，必须配置时钟校正电路来设置这些项目：

- RX弹性缓冲极限
- 时钟校正序列

## 设置RX弹性缓冲极限

RX弹性缓冲区限制使用CLK\_科尔\_最小\_最大(最小延迟)和CLK\_科尔\_最大\_最大(最大延迟)设置。当RX弹性缓冲器中的字节数降至CLK\_科尔\_最小\_拉特以下时，时钟校正电路从其匹配的第一个时钟校正序列中写入一个额外的CLK\_科尔\_SEQ\_莱恩字节，以防止缓冲器下溢。类似地，当RX弹性缓冲器中的字节数超过CLK\_科尔\_马克斯\_拉特时，时钟校正电路从其匹配的第一时钟校正序列中删除CLK\_科尔\_SEQ\_莱恩字节，从该序列的第一个字节开始。7系列FPGAs收发器向导根据应用要求为CLK\_科尔\_最小\_纬度和CLK\_科尔\_最大\_纬度选择最佳设置。

因为COR\_相关\_最小\_延迟用于设置初始RX弹性缓冲延迟，所以它必须能被ALIGN\_COMMA\_WORD设置整除，以便在整个弹性缓冲中保持逗号对齐。CLK\_COR\_MIN\_LAT的值必须符合RX\_INT\_DATAWIDTH和ALIGN\_COMMA\_WORD，如所示表4-45。

CLK\_COR\_MAX\_LAT设置对已建立的RX弹性缓冲延迟没有影响，因此可以设置为3到60之间的任何值。

**表4-45:CLK\_COR\_MIN\_LAT设置限制**

对齐逗号单词	RX_INT_DATAWIDTH	CLK科尔分拉特
1	0 (16/20)	没有限制，从3到60的任何值。
1	1 (32/40)	没有限制，从3到60的任何值。
2	0 (16/20)	必须能被2整除
2	1 (32/40)	必须能被2整除
4 <sup>(1)</sup>	0 (16/20)	不支持
4	1 (32/40)	必须能被4整除

### 注意事项:

1.ALIGN\_COMMA\_WORD = 4且RX\_INT\_DATAWIDTH = 0 (16/20)不是有效的配置。涉及图4-35了解更多信息。

## 设置时钟校正序列

使用CLK\_科尔\_SEQ\_1\_\*属性和CLK\_科尔\_SEQ\_伦对时钟校正序列进行编程。每个COR\_科尔\_SEQ\_1\_\*属性对应于时钟校正序列1中的一个子序列。COR\_科尔\_SEQ\_伦用于设置要匹配的子序列的数量。如果使用40位或20位内部数据路径，时钟校正电路会匹配每个子序列的所有10位。如果使用16位或32位内部数据路径，则只使用每个子序列最右边的8位。

通过将COR\_科尔\_SEQ\_2\_使用设置为真，可以激活第二个备用时钟校正序列。第一和第二序列共享长度设置，但是

使用不同的子序列值进行匹配。设置COR\_科尔\_SEQ\_2\_\*属性来定义第二个序列的子序列值。

使用8B/10B解码时(RX8B10BEN为高电平), CBCC\_数据\_源\_选择设置为解码, 以搜索8B/10B解码器的输出, 查找序列匹配, 而不是未解码的数据。这允许电路寻找具有正或负差异的8位值, 并区分K字符和常规字符(参见TX 8B/10B编码器, 第116页和RX 8B/10B解码器, 第237页详情)。图4-51显示了当RX8B10BEN为高电平且CBCC\_数据\_源\_选择设为已解码时, 如何设置时钟校正序列字节。

当CBCC\_数据源\_选择设置为编码时, 序列必须与输入的原始数据完全匹配。当RX\_DISPERR\_SEQ\_MATCH设置为FALSE时, COR\_科尔\_SEQ\_x\_y[9]不用于匹配。

CLK科尔SEQ x\_y 9 8 7:0

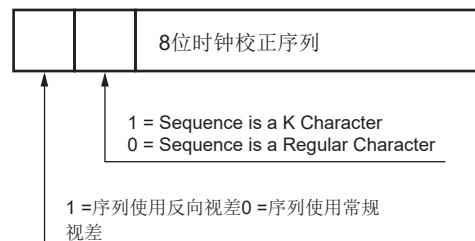


图4-51:时钟校正子序列设置, CBCC\_数据\_源\_选择=解码

一些协议使用带有无关子序列的时钟校正序列。利用CLK\_科尔\_SEQ\_1\_使能和CLK\_科尔\_SEQ\_2\_使能, 可以对时钟校正电路进行编程, 以识别这些序列。当序列的使能位为低电平时, 无论该值是多少, 该字节都被视为匹配。图4-52显示了时钟校正序列和时钟校正序列使能位之间的映射。

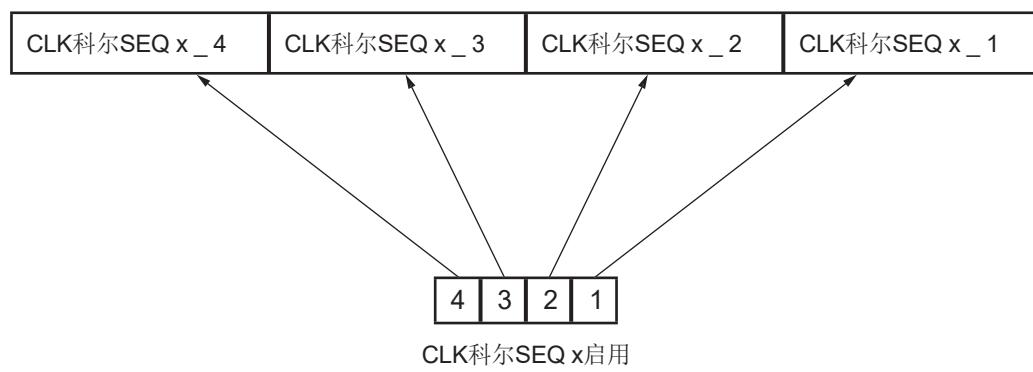


图4-52:时钟校正序列映射

为了通过弹性缓冲区保持逗号对齐，必须选择COR\_科尔\_SEQ\_伦和对齐\_逗号\_字，以使它们符合表4-46。

表4-46:有效的ALIGN\_COMMA\_WORD/CLK\_科尔\_SEQ\_莱恩组合

对齐逗号单词	CLK科尔SEQ莱恩
1	1, 2, 4
2	2, 4
4	4

### 时钟校正选项

COR\_校正\_重复\_等待用于控制时钟校正频率。该值设置为时钟校正事件之间所需的最小RXUSRCLK周期数。此属性设置为0，以允许在任何时候进行时钟校正。一些协议允许时钟校正在任何时候发生，但是要求如果时钟校正电路移除序列，则至少一个序列留在流中。对于有此要求的协议，CLK\_COR\_KEEP\_IDLE设置为真。

### 监控时钟校正

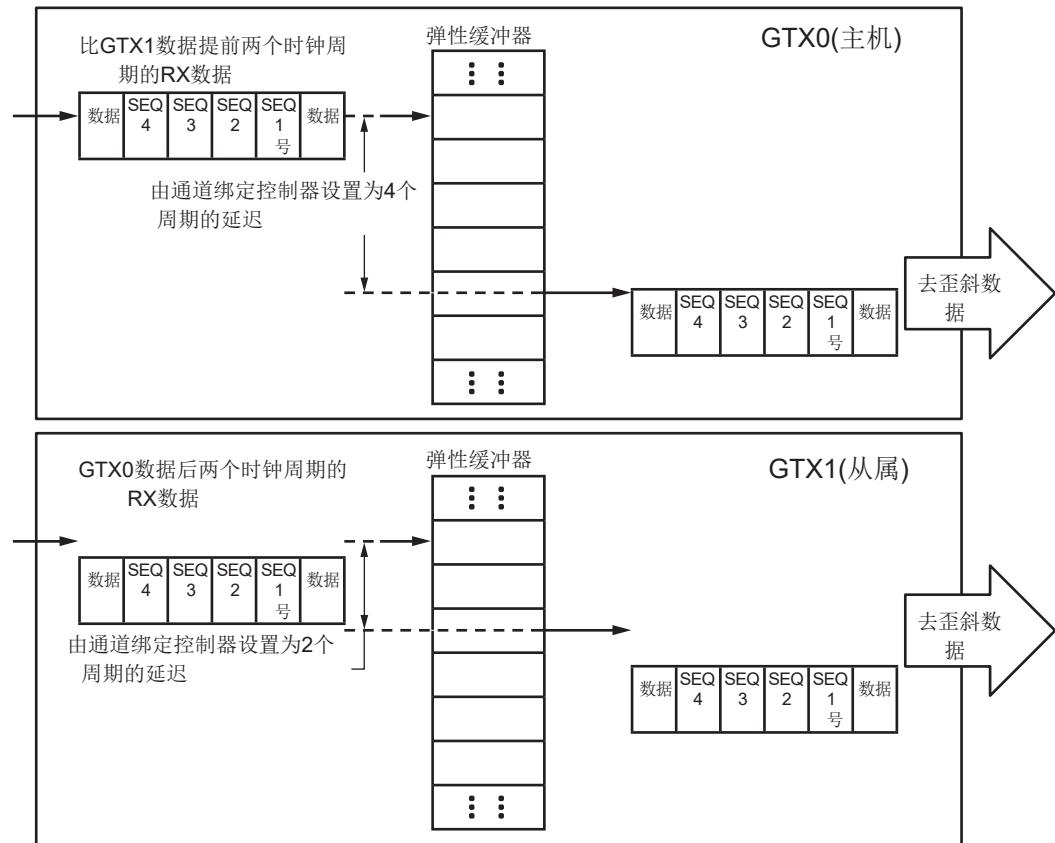
可以利用RXCLKCORKCNT和RXBUFSTATUS端口监控时钟校正电路。中的RXCLKCORKCNT条目表4-43显示了如何解码RXCLKCORKCNT的值以确定时钟校正电路的状态。中的RXBUFSTATUS条目表4-43显示了如何解码RXBUFSTATUS的值，以确定RX弹性缓冲区有多满。

## RX通道绑定

### 功能描述

诸如XAUI和PCI Express之类的协议组合了多个串行收发器连接，以创建单个更高吞吐量的通道。每个串行收发器连接称为一个通道。除非每个串行连接的长度完全相同，否则通道间的偏斜会导致数据同时传输，但到达时间不同。

通过使用RX弹性缓冲器作为可变延迟模块，信道绑定消除了GTX/GTH收发器通道之间的偏斜。通道绑定也称为通道抗扭斜或通道间抗扭斜。用于绑定信道的GTX/GTH发射机都同时发送信道绑定字符(或字符序列)。当接收到序列时，GTX/GTH接收器可以确定每个通道之间的偏斜，并调整RX弹性缓冲器的延迟，以便在RX结构用户界面上呈现无偏斜的数据。



UG476\_c4\_21\_091610

图4-53:渠道绑定概念视图

RX通道绑定支持8B/10B编码数据，但不支持以下编码数据类型：

- 64B/66B
- 64B/67B
- 128B/130B
- 混乱的数据

## 端口和属性

表4-47 定义RX通道绑定功能所需的端口。

表4-47:RX通道绑定端口

港口	目录	时钟域	描述
RXCHANBONDSEQ	在外	RXUSRCLK2	当RXDATA包含通道绑定序列的开始时，此端口变为高电平。
rxchaninialigned	在外	RXUSRCLK2	来自RX弹性缓冲器的该信号变高，以指示根据数据流中观察到的信道绑定序列，信道与主收发器正确对准。如果检测到未对齐的通道绑定序列，此信号变为低电平，表示通道对齐丢失。
rxchanrealigning	在外	RXUSRCLK2	当接收器改变了该收发器和主机之间的对准时，来自RX弹性缓冲器的该信号保持高电平至少一个周期。
RXCHBONDI[4:0]	在...里	RXUSRCLK	仅从机使用的通道绑定控制端口。这些端口用于接收来自主GTX/GTH收发器RXCHBONDO端口的信道绑定和时钟校正控制信息 菊花链从GTX/GTH收发器RXCHBONDO端口，从主GTX/GTH收发器级联而来。
RXCHBONDO[4:0]	在外	RXUSRCLK	通道绑定控制端口，用于将通道绑定和时钟校正信息从主机或从主机级联的菊花链从机传播到从GTX/GTH收发器。主机RXCHBONDO可以连接到一个或多个从机RXCHBONDI端口。从机RXCHBONDO应连接到下一级从机RXCHBONDI，以形成菊花链，并将信息从主机传递到每个从机。

表4-47:RX通道绑定端口(续)

港口	目录	时钟域	描述
RXCHBONDLEVEL[2:0]	在...里	RXUSRCLK2	指示用于RX弹性缓冲控制信号的内部流水线数量。较高的值允许更多的RXCHBONDO和RXCHBONDI菊花链连接到减轻放置和布线约束。为了最大限度地减少通过RX弹性缓冲器所需的延迟，主机中的CHAN_BOND_LEVEL设置为所需数量的最小值菊花链。使用4字节内部数据路径(RX_INT_DATAWIDTH = 1)时，master should not exceed RXCHANBONDLEVEL = 3.
RXCHBONDMASTER	在...里	RXUSRCLK2	表示收发器是信道绑定的主机。其RXCHBONDO端口直接驱动一个或多个从机收发器上的RXCHBONDI端口。 该端口不能与RXCHBONDSSLAVE同时被拉高。
RXCHBONDSSLAVE	在...里	RXUSRCLK2	表示该收发器是通道绑定的从机。其RXCHBONDI端口由另一个从机或主机收发器的RXCHBONDO端口直接驱动。如果其RXCHBONDLEVEL[2:0]设置大于0，则其RXCHBONDO端口可以直接驱动一个或多个其它从机收发器上的RXCHBONDI端口。 该端口不能与RXCHBONDMASTER同时被拉高。
RXCHBONDEN	在...里	RXUSRCLK2	该端口支持通道绑定(从FPGA逻辑到主机和从机)。

表4-48 定义RX通道绑定所需的属性。

表4-48:RX通道绑定属性

属性	类型	描述
改变_结合_最大_偏斜	整数	该属性控制主机在命令从机执行通道绑定之前等待的USRCLK周期数。此属性决定了通道绑定可以处理的最大偏差。它必须始终小于通道绑定序列之间最小距离(以字节或10位代码为单位)的一半。有效值范围从1到14。
改变_焊接_保持_对齐	布尔代数学体系的	允许在PCI Express的通道绑定期间保留对齐字符。
昌_邦德_SEQ_1_1 昌_邦德_SEQ_1_2 昌_邦德_SEQ_1_3 昌_邦德_SEQ_1_4	10位二进制	CHAN_BOND_SEQ_1属性与CHAN_BOND_SEQ_1_ENABLE一起使用，以定义通道绑定序列1。每个子序列都是10位长。设置子序列的规则取决于接收数据宽度和CBCC数据来源选择。
陈_邦德_SEQ_1_使能	4位二进制	<p>不是所有的子序列都需要使用。 CHAN_BOND_SEQ_LEN决定有多少序列用于匹配。如果陈_邦德_SEQ_莱恩=1，则只使用陈_邦德_SEQ_1_1。</p> <p>CHAN_BOND_SEQ_1_ENABLE可用于使部分序列不被关注。如果CHAN_BOND_SEQ_1_ENABLE[k]为0，陈_邦德_SEQ_1_k是一个不关心子序列，并且总是被认为是匹配的。</p>

表4-48:RX通道绑定属性(续)

属性	类型	描述
昌_邦德_SEQ_2_1昌_邦 德_SEQ_2_2昌_邦德 _SEQ_2_3昌_邦德 _SEQ_2_4	10位二进制	CHAN_BOND_SEQ_2属性与CHAN_BOND_SEQ_2_ENABLE一起使用，以定义第二通道绑定序列。当陈_邦德_SEQ_2_USE为真时，第二个序列用作触发信道绑定的备选序列。
CHAN_BOND_SEQ_2_启用	4位二进制	每个子序列都是10位长。设置子序列的规则取决于接收数据宽度和CBCC数据来源选择。  不是所有的子序列都需要使用。CHAN_BOND_SEQ_LEN确定有多少子序列用于匹配。如果陈_邦德_SEQ_莱恩=1，仅使用了陈_邦德_SEQ_2_1。  CHAN_BOND_SEQ_2_ENABLE可用于使部分序列不被关注。如果CHAN_BOND_SEQ_2_ENABLE[k]为0，陈_邦德_SEQ_2_k是一个不关心子序列，并且总是被认为是匹配的。
陈_邦德_SEQ_2_使用	布尔代数学体系的	确定是否要使用双通道焊接序列。 真:通道绑定可以由通道绑定序列1或2触发。 错误:通道绑定仅由序列1触发。
陈_邦德_SEQ_莱恩	整数	定义信道绑定序列的字节长度，GTX/GTH收发器必须匹配该序列才能发现偏斜。有效长度为1、2和4字节。
CBCC_数据_来源_选择	线	该属性用于选择时钟校正和通道绑定的数据源。  设置为解码时，当RX8B10BEN为高电平时，从8B/10B解码器选择数据。 当设置为编码时，从逗号检测和重新对齐块中选择数据。

表4-48:RX通道绑定属性(续)

属性	类型	描述
FTS_纠偏_SEQ_启用	4位二进制	<p>使能FTS_莱恩_纠偏_CFG的掩码。</p> <p>FTS_纠偏_SEQ_使能[0]用于FTS_莱恩_纠偏_CFG[0]</p> <p>FTS_纠偏_SEQ_启用[1]是针对FTS_莱恩_纠偏_CFG[1]</p> <p>FTS_纠偏_SEQ_启用[2]是针对FTS_莱恩_纠偏_CFG[2]</p> <p>FTS_纠偏_SEQ_启用[3]是针对FTS_莱恩_纠偏_CFG[3]</p> <p>默认值为1111。</p>
FTS_莱恩_纠偏_CFG	4位二进制	<p>位3:从机将该位置1'b1on, 以冻结对齐, 防止在slip-4、snap-4或时钟校正后仍能保持良好的通道对齐时发生杂散对齐不良或对齐修改。从机的该位置1'b0on, 可解冻对齐。</p> <p>第2位:指定正在进行FTS通道抗扭斜的“主”通道在其前瞻控制逻辑中刚刚到达FTS操作系统的末尾, 是否在短时间内禁止其自身产生时钟校正命令。目的是防止时钟校正命令干扰从机的slip-4和snap-4逻辑的操作。该逻辑保证, 如果存在完整的SKP操作系统, 仍然可以进行时钟校正。</p> <p>位1:指定如果发现从信道在FTS之后、在主信道之前到达了SKP操作系统, 则允许(1'b1)或禁止(1'b0)进行FTS通道去偏移的“从”信道执行四个字节的立即后向对齐调整(slip-4)。</p> <p>位0:指定如果发现主机在从机之前到达FTS之后的SKP操作系统, 是允许(1'b1)还是禁止(1'b0)执行四字节的立即前向对齐调整(snap-4)执行FTS通道纠偏的“从机”通道。</p>

表4-48:RX通道绑定属性(续)

属性	类型	描述
FTS车道纠偏	布尔代数学体系的	此属性设置为TRUE，以启用FTS通道纠偏的通道绑定逻辑。FTS通道抗扭斜独立于使用通道绑定序列1和2的标准算法，并且它与标准算法并行操作。FTS巷纠偏仅在双字节模式下运行。
PCS_PCIE_EN	布尔代数学体系的	当GTX/GTH收发器用于以下用途时，该属性设置为真PCI Express，并为所有其他协议设置为FALSE。通道绑定功能需要此属性以及TXCHARDISPMODE和TXCHARDISPVAL来支持管道编码和FTS通道抗扭斜。它还与TXELECIDLE一起工作，以在GTX/GTH收发器从电气空闲状态返回后，通过重用先前的通道绑定信息来匹配较短的序列。涉及第6章PCI Express详情请见。
RX_数据_宽度	整数	设置RXDATA端口的位宽。使能8B/10B编码时，RX_DATA_WIDTH必须设置为20、40或80。有效设置为16、20、32、40、64岁和80岁。 看见 <a href="#">接口宽度配置</a> ，第295页了解更多详情。
RX_DISPERR_SEQ_MATCH	布尔代数学体系的	指定解码字节的差异错误状态是否必须与通道绑定和时钟校正序列中的指示符相匹配。 真:视差误差必须匹配。 FALSE:忽略差异错误状态。

## 使用RX通道绑定

用户必须按照下述步骤使用接收器的通道绑定功能。

### 启用通道绑定

每个GTX/GTH收发器包括通过控制RX弹性缓冲器的指针来执行信道绑定的电路。因为通道绑定需要使用RX缓冲区，所以RXBUF\_EN属性必须设置为TRUE。

每个GTX/GTH收发器都有一个信道绑定电路。为信道绑定配置GTX/GTH收发器需要以下步骤：

1. 为每个GTX/GTH收发器设置信道绑定模式。
2. 将主收发器的RXCHBONDMASTER连接到高电平。
3. 将从收发器的RXCHBONDSLAVE连接到高电平。
4. 直接或以菊花链方式将通道绑定端口从主机连接到每个从机。
5. 设置通道绑定顺序和检测参数。

### 通道绑定模式

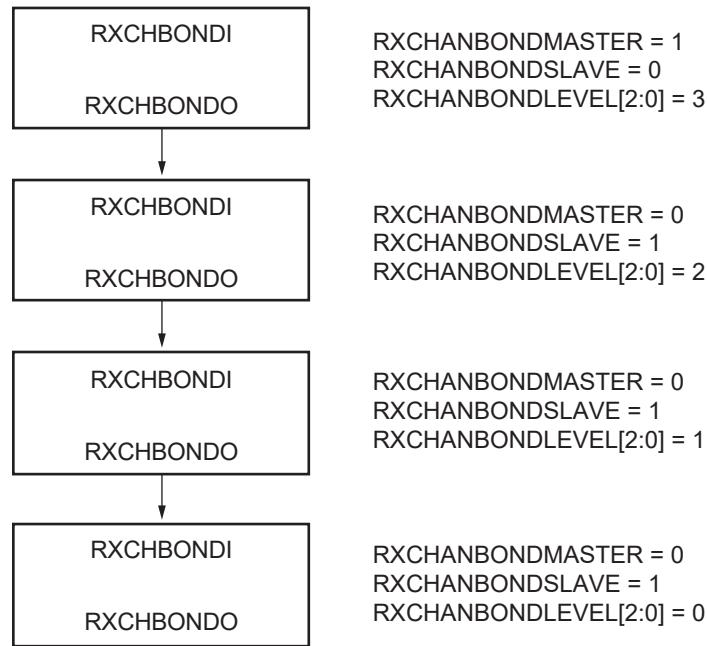
每个GTX/GTH收发器的信道绑定模式决定了信道绑定是否有效，以及GTX/GTH收发器是主收发器还是从收发器。每组信道绑定GTX/GTH收发器必须有一个主机和任意数量的从机。要打开一组GTX/GTH收发器的信道绑定，请将一个收发器设置为主收发器。该组中剩余的GTX/GTH收发器被设置为从收发器。

### 连接通道绑定端口

信道绑定操作要求将主GTX/GTH收发器RXCHBONDO端口连接到组中所有从机的RXCHBONDI端口。只有属于同一列的GTX/GTH收发器可以被信道绑定在一起。相邻的GTX/GTH收发器需要直接连接。要将主机直接连接到从机：

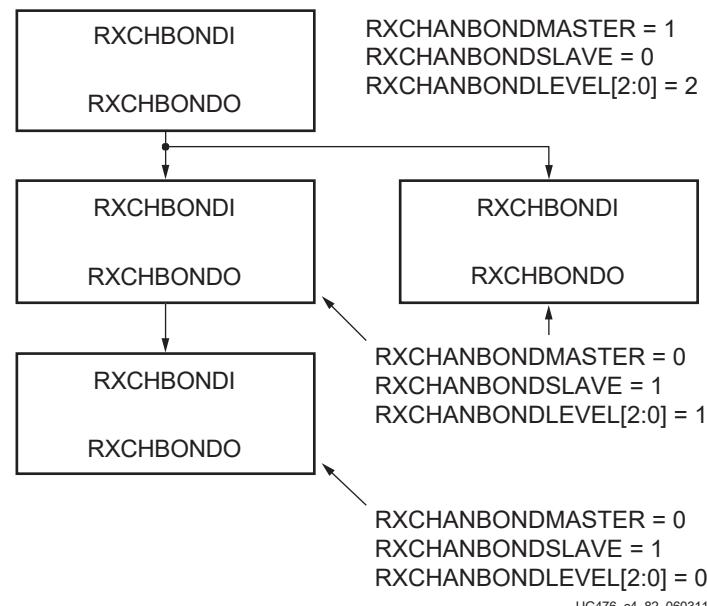
1. 将主机的RXCHBONDO端口连接到从机的RXCHBONDI端口。
2. 将主收发器的RXCHBONDMASTER连接到高电平。
3. 将每个从收发器的RXCHBONDSLAVE连接到高电平。

当GTX/GTH收发器直接相连时，随着收发器之间的距离越来越远，满足时序约束变得越来越困难。这个问题的解决方案是将收发器连接成菊花链。菊花链利用RXCHBONDLEVEL[2:0]端口执行，以便在主机和从机之间增加流水线级。每个从机的RXCHBONDO端口用作主机RXCHBONDO路径中的流水线级。图4-54和图4-55展示两个菊花链示例。



UG476\_c4\_81\_060311

图4-54:通道绑定菊花链示例1



UG476\_c4\_82\_060311

图4-55:通道绑定菊花链示例2

为了建立菊花链，首先使用RXCHBONDO和RXCHBONDI连接GTX/GTH收发器，以创建从每个从机的RXCHBONDI端口到主机的RXCHBONDO端口的路径。以下步骤描述了如何为链中的GTX/GTH收发器设置RXCHANBONDLEVEL：

1. 将主机的RXCHANBONDLEVEL设置为7。
2. 将每个从机的RXCHANBONDLEVEL设置为驱动从机RXCHBONDI端口的GTX/GTH收发器的RXCHANBONDLEVEL减1。
3. 找到级别最低的奴隶。从所有GTX/GTH收发器的RXCHANBONDLEVEL中减去该电平，使最低的从机电平为0，主机电平为服务所有从机所需的最低电平。使用4字节内部数据路径(RX\_INT\_DATAWIDTH = 1)时，不要让主机超过RXCHANBONDLEVEL = 3。

在决定GTX/GTH收发器的通道绑定端口之间的连接时，设计人员必须记住，RXCHBONDI和RXCHBONDO属于RXUSRCLK时钟域。随着RXUSRCLK频率的增加以及直接连接的收发器之间的距离越来越远，满足RXUSRCLK的时序约束变得越来越困难。只要满足时序限制，相邻SLR中的收发器就可以通过信道绑定在一起。

选择GTX/GTH收发器列中间的GTX/GTH收发器作为信道绑定的主收发器，可以在连接信道绑定端口时实现最大的灵活性。当信道绑定主设备位于GTX/GTH收发器列的中间时，可以连接到主设备北部和南部的GTX/GTH收发器。由于GTX/GTH收发器专用时钟路由结构，在GTX/GTH收发器列的中心设置信道绑定主机的另一个好处是，最多可以使用一个时钟引脚对将12个GTX/GTH收发器信道绑定在一起。

只要满足时序限制，特定RXCHANBONDLEVEL上的GTX/GTH收发器数量没有限制。

## 设置通道绑定序列

通道绑定序列的编程方式与时钟校正序列相同。CHAN\_BOND\_SEQ\_LEN设置序列的长度，CHAN\_BOND\_SEQ\_1\_\*设置序列的值。如果CHAN\_BOND\_SEQ\_2\_USE为真，CHAN\_BOND\_SEQ\_2\_\*设置备用秒序列的值。每个子序列中的有效位数取决于RX\_DATA\_WIDTH和CBCC\_DATA\_SOURCE\_SEL(参见RX时钟校正，第261页)。当RX\_DISPERR\_SEQ\_MATCH设置为FALSE时，CHAN\_BOND\_SEQ\_x\_y[9]不用于匹配。

图4-56显示了子序列位是如何映射的。

陈邦德\_SEQ\_x\_y 9 8 7:0

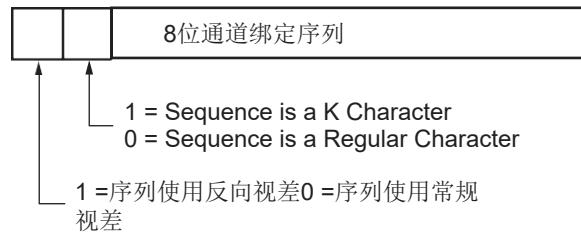


图4-56:通道绑定序列设置

如同时钟校正序列一样，信道绑定序列可以具有无关子序列。

CHAN\_BOND\_SEQ\_1\_ENABLE和CHAN\_BOND\_SEQ\_2\_ENABLE设置这些字节。图4-57显示了通道绑定子序列的启用属性的映射。

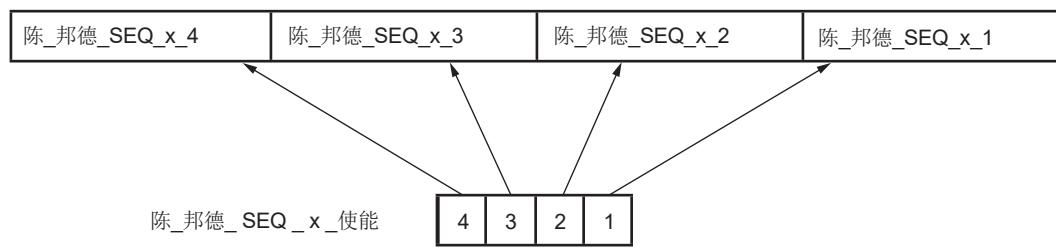


图4-57:通道绑定序列映射

### 设置最大偏斜

当主机接收到通道绑定序列时，它不会立即触发通道绑定。如果从机有更多的延迟，则必须有更多的字节到达。这个等待时间实际上变成了RX弹性缓冲器可以处理的最大偏斜。如果偏斜大于该等待时间，从机可能在主机触发通道绑定时无法接收到序列。

图4-58显示了两个FIFOs，一个用于主机，一个用于从机。如果从机在主机之后，主机必须等待几个周期才能触发通道绑定，否则慢速从机的缓冲器中没有通道绑定序列。

主机接收CB序列

SEQ1	D7	D6	D5	D4	D3	D2	D1
------	----	----	----	----	----	----	----

主弹性缓冲器

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

从属弹性缓冲器

主机在触发通道绑定之前会等待  
CHAN\_BOND\_MAX\_SKEW周期，让从机有时间  
接收序列。使用RXCHBONDO端口发送执行通道  
绑定的消息。

D10	D9	D8	SEQ1	D7	D6	D5	D4
-----	----	----	------	----	----	----	----

主弹性缓冲器

D9	D8	SEQ1	D7	D6	D5	D4	D3
----	----	------	----	----	----	----	----

从属弹性缓冲器

主机的RXCHANBONDLEVEL设置决定了执行焊  
接操作的周期数。此时，从机的弹性缓冲器指针  
被移动，从而输出被去偏斜。

D11	D10	D9	D8	SEQ1	D7	D6	D5
-----	-----	----	----	------	----	----	----

主弹性缓冲器

D10	D9	D8	SEQ1	D7	D6	D5	D4
-----	----	----	------	----	----	----	----

从属弹性缓冲器

↑  
从机的新弹性缓冲  
区读指针

UG476\_c4\_85\_062111

**图4-58:通道绑定示例(CHAN\_BOND\_MAX\_SKEW = 2且主机  
RXCHANBONDLEVEL[2:0] = 1)**

CHAN\_BOND\_MAX\_SKEW用于设置通道绑定序列1和2允许的最大偏斜。最大偏斜范围是1到14。该范围必须始终小于通道绑定序列之间最小距离(以字节或10位代码为单位)的一半。这个最小距离由所使用的协议决定。

### 通道绑定和时钟校正之间的优先级

时钟校正(参见[RX时钟校正，第261页](#))和通道绑定电路都在RX弹性缓冲器的指针上执行操作。正常情况下，这两个电路一起工作不会发生冲突，除非时钟校正事件和通道绑定事件同时发生。在这种情况下，两个电路中的一个必须优先。要使时钟校正的优先级高于通道绑定，COR \_校正\_优先必须设置为真。要使信道绑定具有更高的优先级，CLK优先级必须设置为假。

## RX变速箱

### 功能描述

RX齿轮箱支持64B/66B和64B/67B割台和有效载荷分离。在正常模式下，齿轮箱将输出引脚RXDATA[63:0]和RXHEADER[2:0]用于接收数据的有效载荷和报头。与...类似[TX齿轮箱，第120页](#)RX齿轮箱使用单个时钟与PMA一起运行。因此，有时输出数据是无效的。输出引脚RXHEADERVALID和RXDATAVALID决定

如果适当的报头和数据有效。RX齿轮箱支持2字节、4字节和8字节接口。

RX齿轮箱输出的数据不一定对齐。对齐在FPGA逻辑中完成。RXGEARBOXSLIP端口可用于从齿轮箱中传输数据。

直到达到正确的对准。在处理位滑移操作和输出数据稳定之前，需要特定数量的周期。数据解扰和块同步在FPGA逻辑中完成。在GTH收发器中，除了正常齿轮箱模式之外，还支持CAUI接口模式。

## 端口和属性

表4-49 定义RX齿轮箱端口。

表4-49:RX齿轮箱端口

端口名	目录	时钟域	描述
RXDATAVALID/ RXDATAVALID[1:0] (仅限GTH收发器)	在外	RXUSRCLK2	<p>使用齿轮箱64B/66B或64B/67B时的状态输出，表示出现在RXDATA上的数据有效。例如，在64B/66B编码期间，对于8字节接口(以及RX_INT_DATAWIDTH= 0的4字节接口)，该信号每32个周期解除置位；对于2字节接口(以及RX_INT_DATAWIDTH = 1的4字节接口)，该信号每64个周期解除置位。</p> <p>GTH收发器：</p> <p>RXDATAVALID[0]表示RXDATA上显示的数据在正常模式下有效。数据流A的当前RXDATA在CAUI接口模式下有效。</p> <p>RXDATAVALID[1]表示当前RXDATA在CAUI接口模式下对数据流B有效。</p>

表4-49:RX齿轮箱端口(续)

端口名	目录	时钟域	描述
rx齿轮箱滑动	在...里	RXUSRCLK2	高电平时，此端口会导致齿轮箱内容滑动到下一个可能的对齐位置。该端口用于实现与FPGA逻辑的对齐。将此端口置位一个RXUSRCLK2周期会改变齿轮箱输出的数据对齐。 RXGEARBOXSLIP必须至少在一个周期内解除置位，然后重新置位，以重新对齐数据。如果多次重新对齐连续快速发生，可能会错过正确的对齐点，而无法识别FPGA逻辑中的正确对齐点。 GTH收发器： CAUI接口模式下数据流A的RXGEARBOXSLIP。
rx头[2:0]/rx头[5:0] (仅限GTH收发器)	在外	RXUSRCLK2	GTX收发器： 64B/66B (1:0)和64B/67B (2:0)的接头输出。 GTH收发器： RXHEADER[2:0]:正常模式下的报头输出和CAUI接口模式下的数据流A。 rx Header[5:3]:CAUI接口模式下数据流B的报头输出。
RXHEADERVALID/RXHEADERSVALID[1:0] (仅限GTH收发器)	在外	RXUSRCLK2	表示使用齿轮箱时RXHEADER有效。 GTH收发器： RXHEADERVALID[0]:表示RXHEADER在正常模式下对当前数据有效，在CAUI接口模式下对数据流A有效。 RXHEADERVALID[1]: 表示在CAUI接口模式下，RXHEADER对数据流B有效。
RXSLIDE (仅限GTH收发器)	在...里	RXUSRCLK2	在CAUI接口模式下，用作数据流B的RXGEARBOXSLIP。

表4-49:RX齿轮箱端口(续)

端口名	目录	时钟域	描述
RXSTARTOFSEQ/ RXSTARTOFSEQ[1:0] (仅限GTH收发器)	在外	RXUSRCLK2	<p>当齿轮箱64B/66B或64B/67B被启用时，该输出指示当前RXDATA输出的顺序计数器何时为0。</p> <p>GTH收发器： RXSTARTOFSEQ[0]:该输出指示正常模式下当前RXDATA的序列计数器何时为0，CAUI接口模式下数据流A的序列计数器何时为0。</p> <p>RXSTARTOFSEQ[1]:该输出指示CAUI接口模式下数据流B的序列计数器何时为0。</p>

表4-50定义RX齿轮箱属性。

表4-50:RX变速箱属性

属性	类型	描述
变速箱_模式	3位二进制	<p>该属性指示TX和RX变速箱模式：</p> <ul style="list-style-type: none"> <li>• 第2位：           <ul style="list-style-type: none"> <li>• GTX收发器:未使用。正常工作模式下设为0</li> <li>◦</li> <li>• GTH收发器:当CAUI接口接通时设置为1</li> <li>◦</li> </ul> </li> <li>• 第1位:           <ul style="list-style-type: none"> <li>0:使用外部序列计数器，并将输入应用于TX齿轮箱中的TXSEQUENCE。</li> <li>1:使用内部序列计数器，并用TX齿轮箱中的TXGEARBOXREADY输出对输入头和数据进行门控</li> <li>◦</li> <li>• GTH收发器:未使用并设置为1。GTH收发器不支持内部序列计数器。</li> </ul> </li> <li>• 位0:           <ul style="list-style-type: none"> <li>因特拉肯1: 64B/66B变速箱的0: 64B/67B变速箱模式</li> </ul> </li> </ul>
RXGEARBOX_EN	布尔代数学体系的	为真时，该属性启用RX齿轮箱。

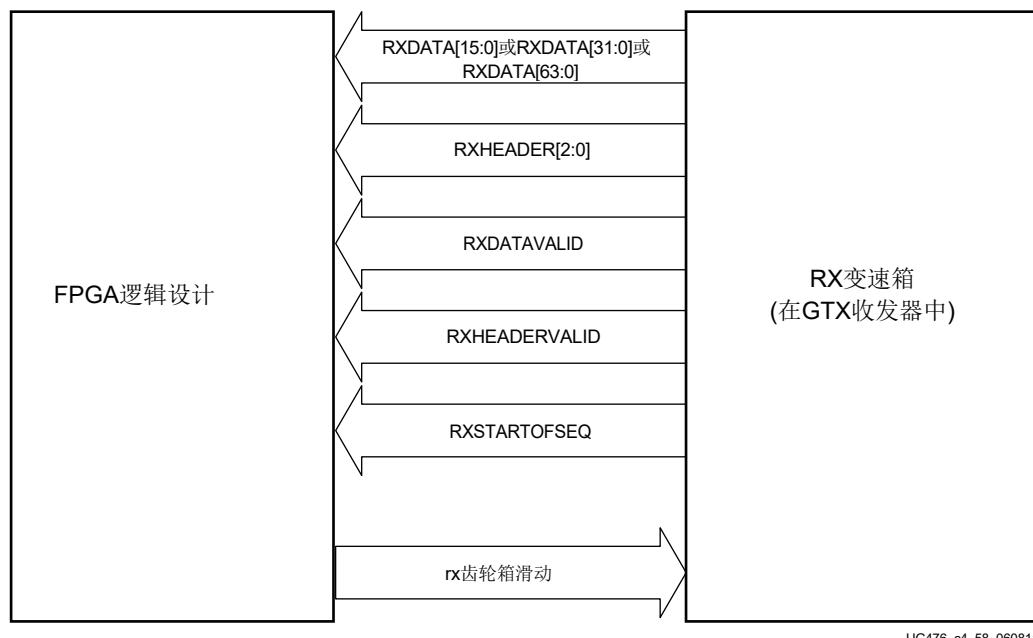
## 启用RX变速箱

要启用GTX/GTH收发器的RX齿轮箱，请将属性RXGEARBOX\_EN设置为TRUE。GEARBOX\_MODE属性的第2位未使用，在GTX收发器中必须设置为0，在GTH收发器中处于正常工作模式时必须设置为0。它被设置为1以使用GTH收发器中的CAUI接口。GEARBOX\_MODE属性控制GTX/GTH收发器的TX和RX齿轮箱使用模式。

## RX变速箱操作模式

RX变速箱在外部顺序计数模式或内部顺序计数模式下运行相同。RX变速箱仅支持与FPGA逻辑的2字节、4字节和8字节逻辑接口。

如所示图4-59在正常模式下(GEARBOX\_MODE[2] = 1'b0)，除了RXGEARBOXSLIP输入之外，任一模式都使用RXDATA、RXHEADER、RXDATAOUTVALID和RXHEADEROUTVALID输出。



UG476\_c4\_58\_060811

图4-59:正常模式下内部或外部顺序模式下的齿轮箱(齿轮箱\_模式[2] = 1'b0)

图4-60显示了使用4字节逻辑接口(RX\_DATA\_WIDTH = 32)时，64B/66B编码的数据进出RX变速箱的四个周期示例  
(4字节)，正常模式下RX\_INT\_DATAWIDTH = 1 (4字节)))(GEARBOX\_MODE[2] = 1'b0)。

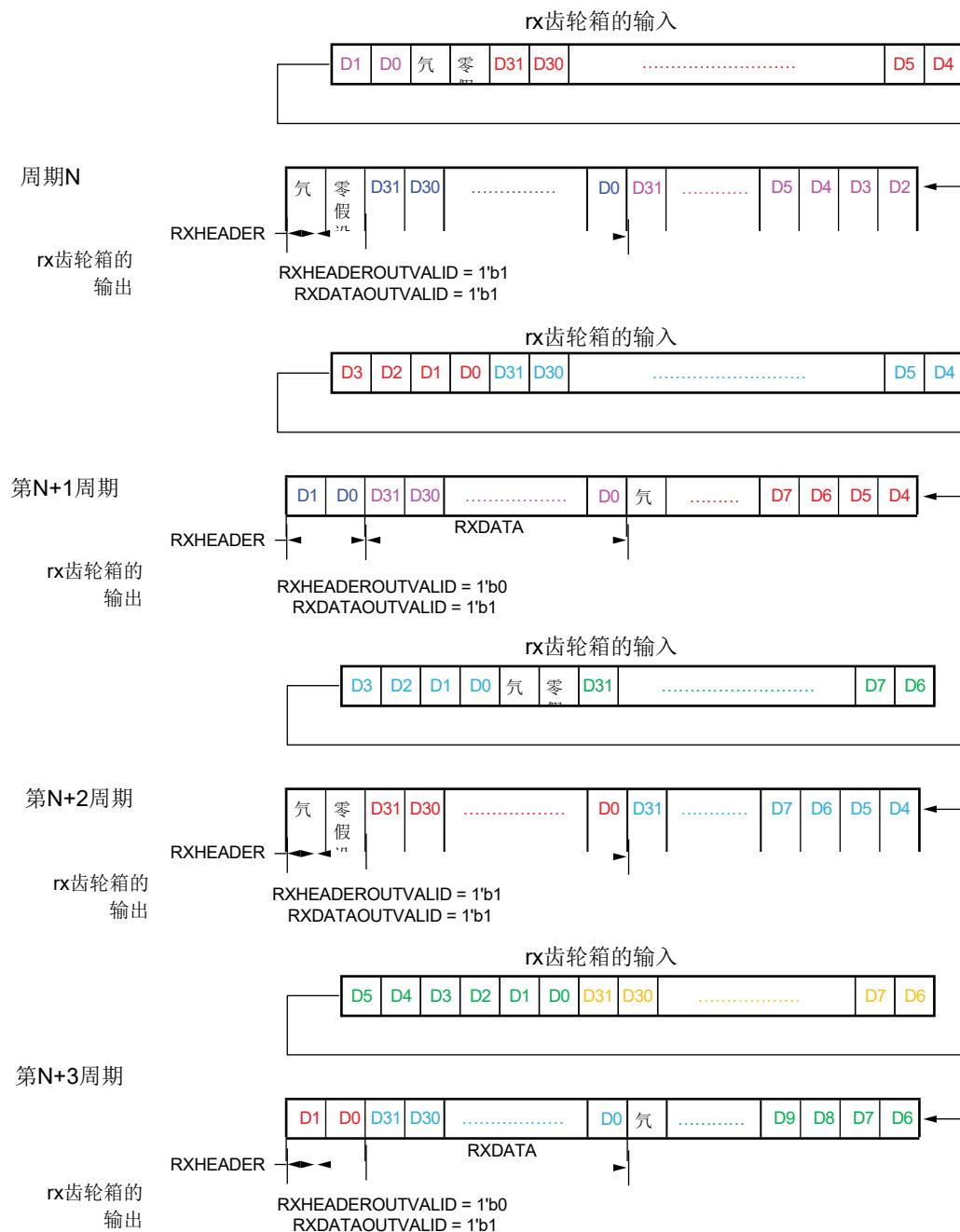


图4-60:RX齿轮箱在正常模式下运行(齿轮箱模式[2] = 1'b0)

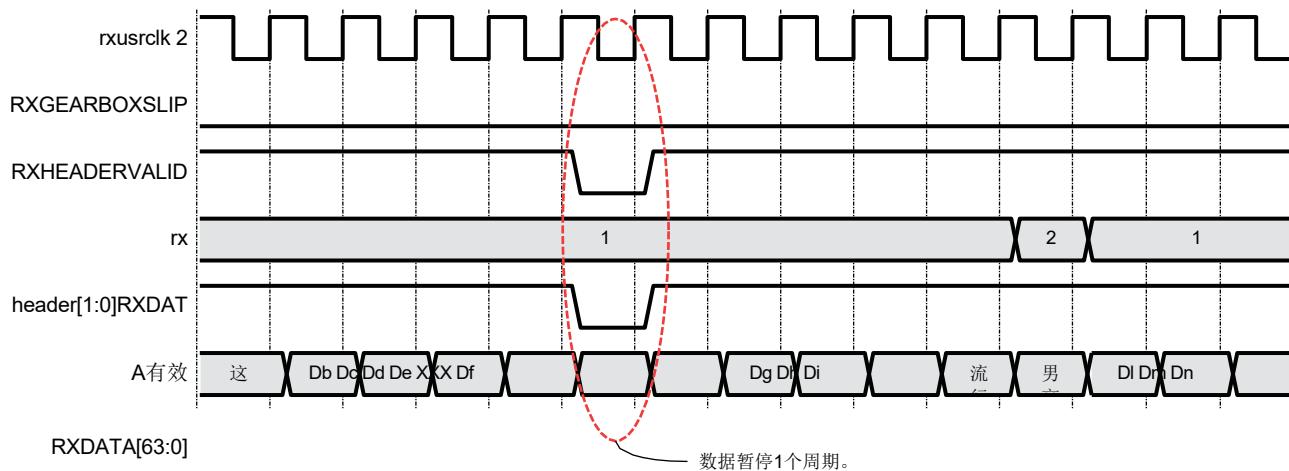
与相关的注释图4-60:

1.根据IEEE标准802.3ae-2002命名法，H1对应于Rx B<0>，H0对应于Rx B<1>，等等。

RX齿轮箱在内部管理所有时序，这不同于TX齿轮箱选项的内部或外部时序。根据使用的是2字节、4字节还是8字节接口，RXDATAOUTVALID和RXHEADEROUTVALID会在不同的长度周期内置位和解除置位。RX变速箱遇到类似的数据

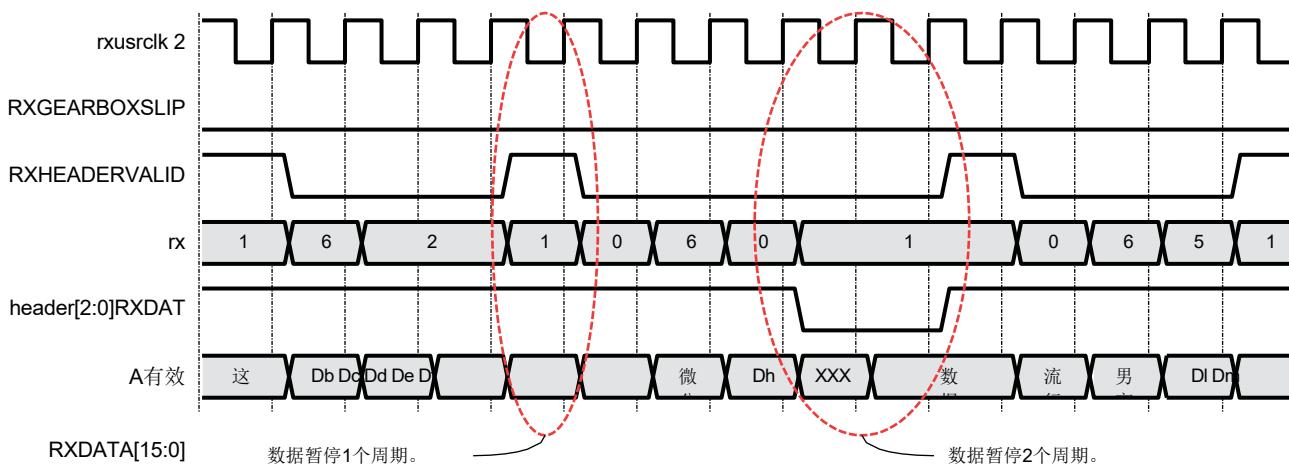
UG476\_c4\_59\_062711

在TX齿轮箱中发现割台暂停。图4-61显示了除RXHEADERVALID和RXDATAVALID在一个周期内解除置位之外的暂停。图4-62显示了在正常模式(GEARBOX\_MODE[2] = 1'b0)下，RX\_DATA\_WIDTH = 16 (2字节)且RX\_INT\_DATAWIDTH = 0 (2字节)时64B/67B编码的操作。



UG476\_c4\_60\_061711

图4-61:使用64B/66B编码且正常模式下RX\_DATA\_WIDTH = 64 (8字节)和RX\_INT\_DATAWIDTH= 1 (4字节)时的RX齿轮箱(GEARBOX\_MODE[2] = 1'b0)



UG476\_c4\_61\_061711

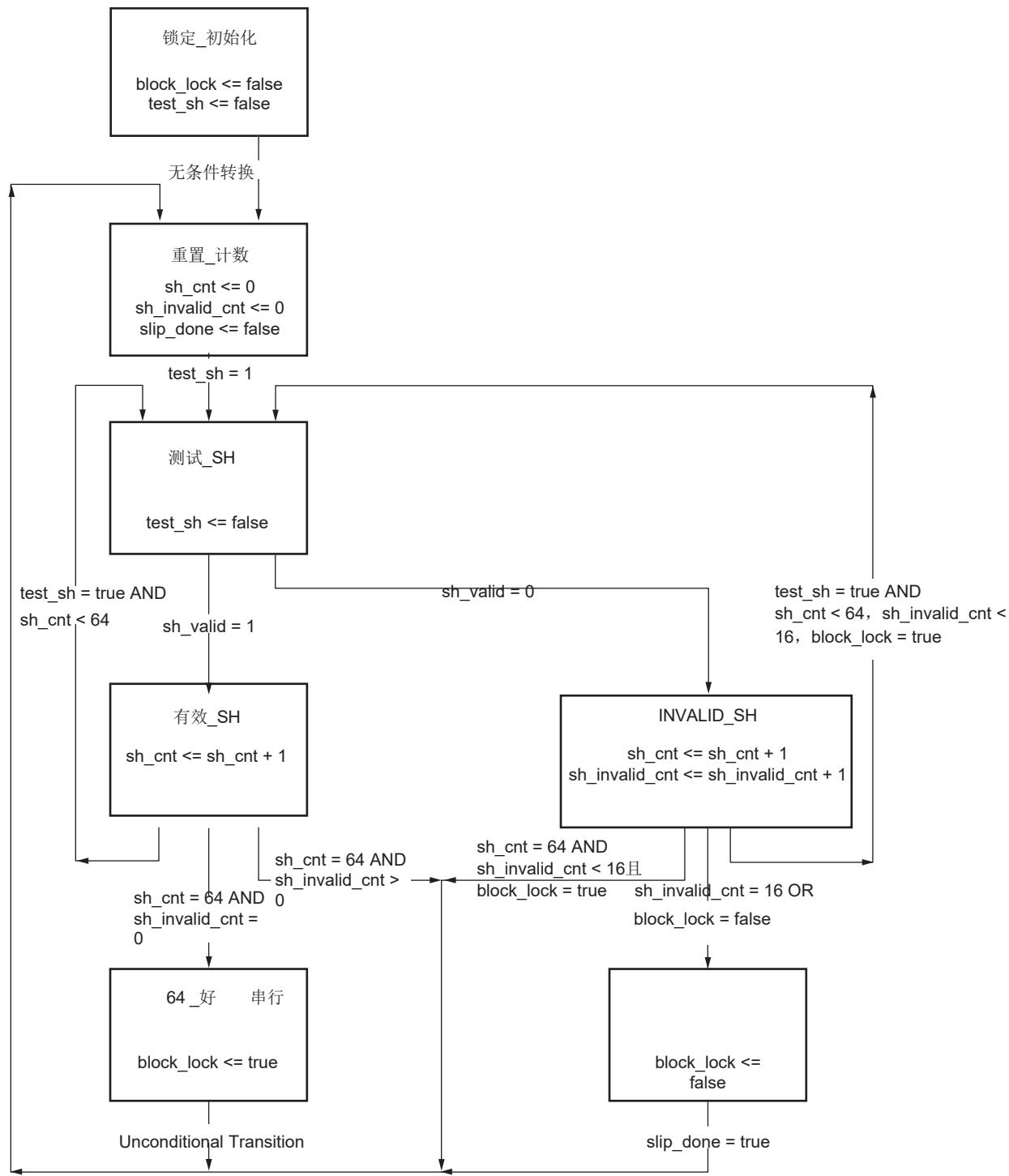
图4-62:使用64B/67B编码且RX\_DATA\_WIDTH = 16 (2字节)和RX\_INT\_DATAWIDTH = 0 (2字节)时的RX 齿轮箱

## RX齿轮箱块同步

64B/66B和64B/67B协议依靠块同步来确定它们的块边界。块同步是必需的，因为在实现块锁定之前，所有传入的数据都是未对齐的。目标是通过改变数据对齐来搜索有效的同步头。RXGEARBOXSLIP输入端口用于更改齿轮箱数据校准，以便在正常模式下检查所有可能的校准(齿轮箱模式[2] = 1'b0)。(RXSLIDE用作的RXGEARBOXSLIP

GTH收发器中CAUI接口模式下的第二个数据流(GEARBOX\_MODE[2] = 1'b1)。

RXGEARBOXSLIP信号从块同步状态机反馈到RX齿轮箱，并告诉它滑动数据对齐。重复滑动和测试同步报头的过程，直到实现块锁定。使用RX齿轮箱时，FPGA逻辑中需要一个块同步状态机。[图4-63](#)显示了块同步状态机的操作。7系列FPGAs收发器向导提供了此类模块的示例代码。



UG476\_c4\_71\_060511

图4-63:块同步状态机

状态机通过跟踪有效和无效的同步头来工作。复位后，块锁定解除，状态为LOCK\_INIT。下一个状态是RESET\_CNT，此时所有计数器清零。同步标头在中进行分析

测试状态。如果报头有效，则sh\_cnt在VALID\_SH状态下递增，否则sh\_count和sh\_invalid\_count在INVALID\_SH状态下递增。

对于中所示的块同步状态机图4-63、sh\_cnt\_max和sh\_invalid\_cnt\_max都是常量，分别设置为64和16。从VALID\_SH状态开始，如果sh\_cnt小于值sh\_cnt\_max并且test\_sh为高，则下一个状态是TEST\_SH。如果sh\_cnt等于sh\_cnt\_max并且sh\_invalid\_cnt等于0，则下一个状态是GOOD\_64，并且从那里断言block\_lock。然后，该过程再次重复，并且计数器被清零。为了实现块锁定，状态机必须在一行中接收sh\_cnt\_max数量的有效同步报头，而不会得到无效的同步报头。但是，当实现块锁定sh\_invalid\_CNT\_max-1时，可以在sh\_cnt\_max数量的有效同步头内接收无效同步头。因此，一旦锁定，就很难打破锁定。

图4-64显示了在实现数据对齐之前，由于同步报头无效，块同步状态机多次置位RXGEARBOXSLIP的波形。发出RXGEARBOXSLIP后，状态机在检查有效同步头之前等待32个RXUSRCLK2周期。

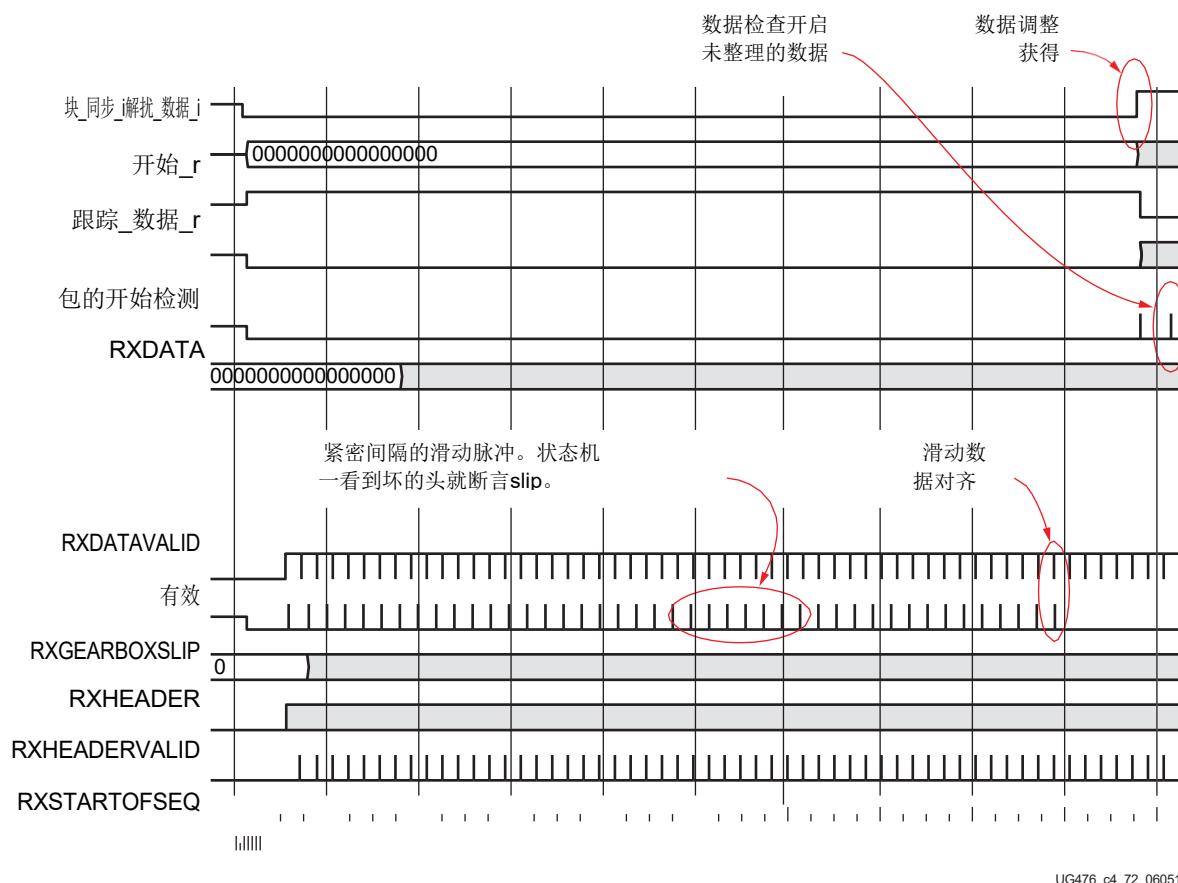


图4-64:正常模式下带块同步的RX齿轮箱(齿轮箱\_模式[2] = 1'b0)

## CAUI接口(GTH收发器)

CAUI接口要求收发器上有两个数据接口。本节描述了在GTH收发器中实现的RX上的CAUI接口模块的设计。这支持64/66和64/67模式下的双数据接口(数据流A和数据流B)。通过将属性GEARBOX\_MODE[2]设置为1'b1, 可以选择CAUI接口模式。在CAUI接口模式下, 唯一允许的设置是RX\_INT\_DATAWIDTH = 1 (4字节)和RX\_DATA\_WDTH = 64 (8字节)或32 (4字节)。

### 用例

预计两个pcsl将通过CAUI接口与PCS连接。每个PCSL执行自己的块对齐。图4-65显示了pcsl和PCS之间的预期连接。

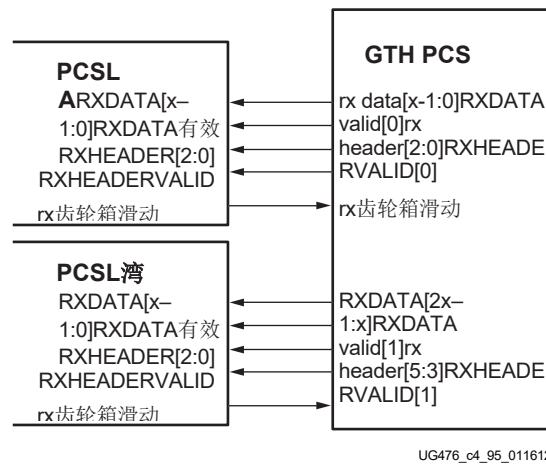


图4-65:CAUI接口接收用例

在...里图4-65, x是PCSL数据总线的宽度。允许的值为16和32。

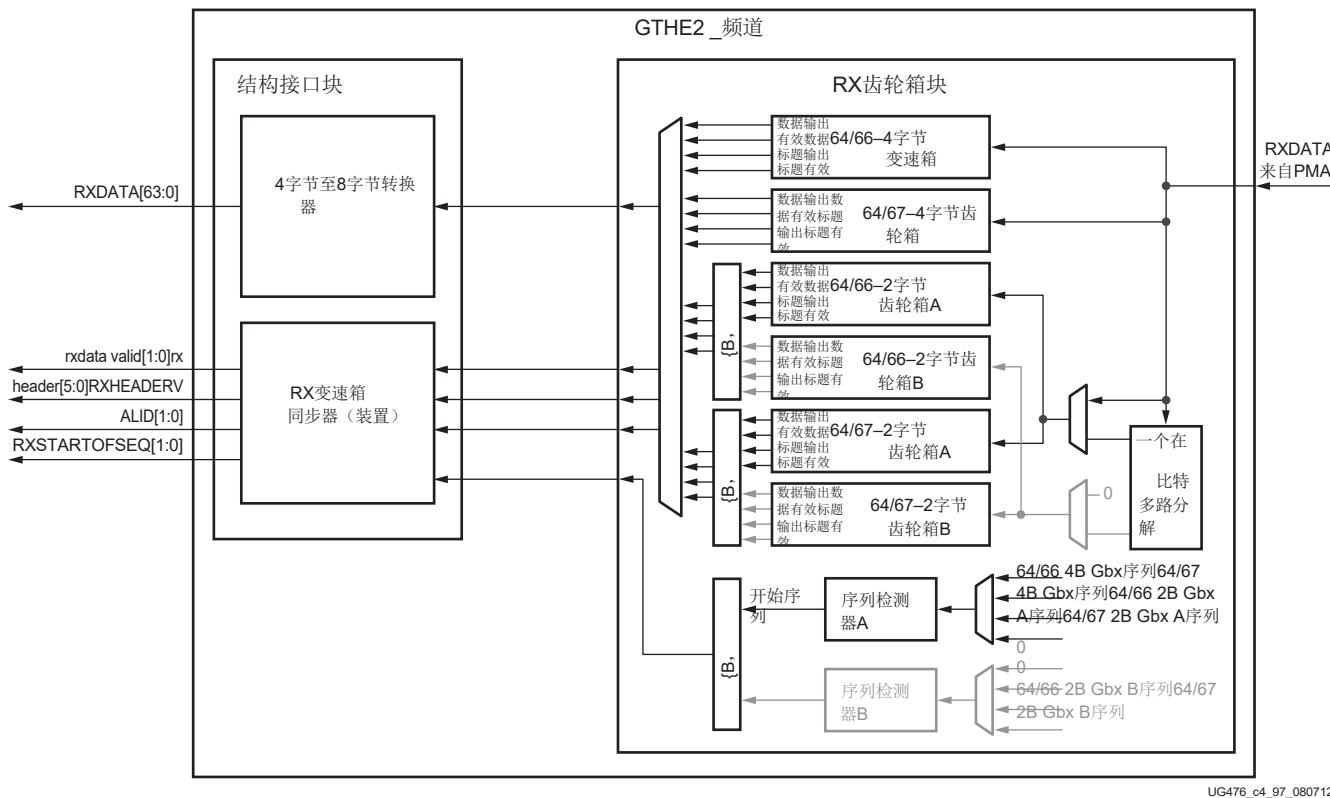
## RX齿轮箱模块(GTH收发器)

GTX收发器中的顶级RX齿轮箱具有以下每个组件的一个实例:

1. 64/66 4字节齿轮箱
2. 64/66双字节齿轮箱
3. 64/67 4字节齿轮箱
4. 64/67双字节齿轮箱
5. 序列检测器

为了支持GTH收发器中的CAUI接口, 添加了每个2字节齿轮箱的一个实例。还添加了一个比特解复用块的实例。RXGEARBOXSLIP输入信号用于数据流A, 而rx slip输入信号用作数据流b的齿轮箱滑差输入, RXDATAVALID、RXHEADER、RXHEADERVALID和RXSTARTOFSEQ输出的宽度加倍, 以容纳第二个数据流。

图4-66显示了GTH收发器的CAUI接口(RX路径)。



UG476\_c4\_97\_080712

图4-66:CAUI接口(RX数据路径)

在CAUI接口模式下，位解复用模块将来自PMA的输入数据流分成A流和B流。该模块每个周期接收32位编码数据。所有偶数位分配给数据流A，所有奇数位分配给数据流b。

虽然RX\_INT\_DATAWIDTH = 1 (4字节)用于此模式，但两个2字节齿轮箱用于实现中所示的功能 图4-66。当RX\_INT\_DATAWIDTH = 0 (2字节)时，这些2字节齿轮箱的功能与前面章节中描述的相同。

如果PCSL数据宽度是每个32位(RX\_DATA\_WIDTH = 64 (8字节))，则4字节到8字节转换器组合数据流，使数据流A和B到达相应的PCSLs，如所示 图4-67和图4-68.

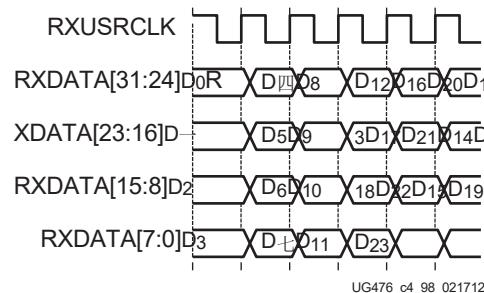
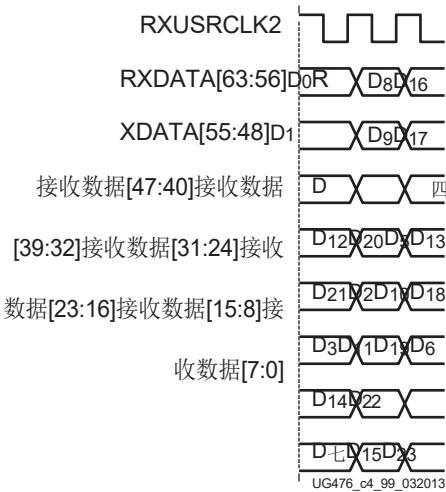


图4-67:4字节至8字节转换器的输入(RX\_DATA\_WIDTH = 64 (8字节), RX\_INT\_DATAWIDTH = 1 (4字节), GEARBOX\_MODE[2] = 1'b1)



**图4-68:4字节至8字节转换器的输出(RX\_DATA\_WIDTH = 64 (8字节),  
RX\_INT\_DATAWIDTH = 1 (4字节), GEARBOX\_MODE[2] = 1'b1)**

由于额外的功能，与GTX收发器相比，GTH收发器中通过齿轮箱块的延迟预计会更长。

## FPGA RX接口

### 功能描述

FPGA RX接口是FPGA通往GTX/GTH收发器RX数据路径的网关。应用通过GTX/GTH收发器接收数据，方法是在RXUSRCLK2的正沿从RXDATA端口读取数据。端口的宽度可以配置为2、4或8字节宽。端口的实际宽度取决于RX\_DATA\_WIDTH和RX\_INT\_DATAWIDTH属性以及RX8B10BEN端口设置。端口宽度可以是16、20、32、40、64和80位。接口上并行时钟(RXUSRCLK2)的速率由RX线路速率、RXDATA端口的宽度以及是否使能8B/10B解码决定。在某些工作模式下，必须为变送器的内部PCS逻辑提供第二个并行时钟(RXUSRCLK)。本节说明如何驱动并行时钟，并解释这些时钟的正确操作限制。最高发送器数据速率需要一个8字节接口，以在额定工作范围内实现RXUSRCLK2速率。

### 界面宽度配置

7系列GTX/GTH收发器包含2字节和4字节内部数据路径，可通过设置RX\_INT\_DATAWIDTH属性进行配置。FPGA接口宽度可通过设置RX\_DATA\_WIDTH属性来配置。当8B/10B解码器使能时，RX\_DATA\_WIDTH必须配置为20位、40位或80位，这种情况下，FPGA RX接口仅使用RXDATA端口。例如，当FPGA接口宽度为16时，使用RXDATA[15:0]。旁路8B/10B解码器时，RX\_DATA\_WIDTH可以配置为任何可用宽度:16、20、32、40、64或80位。

表4-51显示了如何选择RX数据路径的接口宽度。8B/10B解码在[RX 8B/10B解码器，第237页](#)

表4-51:FPGA RX接口数据路径配置

RX8B10BEN	RX _数据_宽度	RX_INT_DATAWIDTH	FPGA接口宽度	内部数据宽度
1	20	0	16	20
	40	0	32	20
	40	1	32	40
	80	1	64	40
0	16	0	16	16
	20	0	20	20
	32	0	32	16
	32	1	32	32
	40	0	40	20
	40	1	40	40
	64	1	64	32
	80	1	80	40

当8B/10B解码器被旁路且RX\_DATA\_WIDTH为20、40或80时，RXDISPERR和RXCHARISK端口用于将RXDATA端口从16扩展至20位、32至40位或64至80位。[表4-52](#)显示8B/10B解码器禁用时接收的数据。当使用RX齿轮箱时，请参见[RX齿轮箱，第283页](#)对于数据传输顺序。

表4-52:旁路8B/10B解码器时接收的RX数据

		<<<数据接收从右到左(LSB到MSB)<<<																																														
		39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
接收的数据	RXDSPERR[3]	RXDATA[31:24]								RXDSPERR[2]	RXDATA[23:16]								RXDSPERR[1]	RXDATA[15:8]								RXDSPERR[0]	RXDATA[7:0]																			
	RXCHARISK[3]									RXCHARISK[2]									RXCHARISK[1]									RXCHARISK[0]																				
		<<<数据接收从右到左(LSB到MSB)<<<																																														
		79	78	77	76	75	74	73	72	71	70	69	68	RXDATA[56:33]								RXDSPERR[6]	RXDATA[48:35]								RXDSPERR[5]	RXDATA[40:47]								RXDSPERR[4]	RXDATA[32:39]							
接收的数据	RXCHARISK[7]								RXCHARISK[6]									RXCHARISK[5]									RXCHARISK[4]																					

### RXUSRCLK和RXUSRCLK2代

FPGA RX接口包括两个并行时钟:RXUSRCLK和RXUSRCLK2。RXUSRCLK是GTX/GTH变送器中PCS逻辑的内部时钟。RXUSRCLK所需的速率取决于GTXE2\_CHANNEL/GTHE2\_CHANNEL原语的内部数据路径宽度和GTX/GTH发射机的RX线路速率。方程式4-2显示了如何计算RXUSRCLK所需的速率。

$$RXUSRCLK \text{ Rate} = \quad \text{方程式4-2}$$

*Line Rate*

内部数据路径宽度

RXUSRCLK2是进入GTX/GTH收发器RX端的所有信号的主同步时钟。进入GTX/GTH收发器RX侧的大多数信号在RXUSRCLK2的正沿进行采样。RXUSRCLK2和RXUSRCLK基于RX\_DATA\_WIDTH和RX\_INT\_DATAWIDTH设置具有固定速率关系。表4-53显示了每个RX\_DATA\_WIDTH和RX\_INT\_DATAWIDTH值下RXUSRCLK2和RXUSRCLK之间的关系。大于6.6 Gb/s的线路速率需要使用4字节内部数据路径，方法是将RX\_INT\_DATAWIDTH设为1。

表4-53:RXUSRCLK2与RXUSRCLK的频率关系

FPGA接口宽度	RX_数据_宽度	RX_INT_DATAWIDTH	RXUSRCLK2频率
2字节	16, 20	0	$F_{RXUSRCLK2} = F_{RXUSRCLK}$
4字节	32, 40	0	$F_{RXUSRCLK2} = F_{RXUSRCLK} / 2$
4字节	32, 40	1	$F_{RXUSRCLK2} = F_{RXUSRCLK}$
8字节	64, 80	1	$F_{RXUSRCLK2} = F_{RXUSRCLK} / 2$

对于RXUSRCLK和RXUSRCLK2，必须遵守以下关于时钟关系的规则:

- RXUSRCLK和RXUSRCLK2必须正边沿对齐，两者之间的偏斜尽可能小。因此，应使用低偏斜时钟资源(BUFGs和BUFRs)来驱动RXUSRCLK和RXUSRCLK2。
- 如果通道配置为由同一个振荡器驱动发送器和接收器的参考时钟，TXOUTCLK可以用来驱动RXUSRCLK和RXUSRCLK2，驱动方式与驱动TXUSRCLK和TXUSRCLK2相同。当时钟校正关闭或旁路RX缓冲器时，必须使用RX相位对齐来对齐串行时钟和并行时钟。
- 如果单独的振荡器驱动通道上发送器和接收器的参考时钟，并且不使用时钟校正，则RXUSRCLK和RXUSRCLK2必须由RXOUTCLK驱动(RXOUTCLKSEL = 3'b010 for RXOUTCLKPMA)，并且必须使用相位对齐电路。
- 如果使用时钟校正，RXUSRCLK和RXUSRCLK2可以由RXOUTCLK或TXOUTCLK提供。

## 端口和属性

表4-54定义FPGA RX接口端口。

表4-54:FPGA RX接口端口

港口	目录	时钟域	描述
RXDISPERR[7:0]	在外	RXUSRCLK2	当8B/10B解码禁用时，RXDISPERR用于扩展20位、40位和80位RX接口的数据总线。
RXCHARISK[7:0]	在外	RXUSRCLK2	当8B/10B解码禁用时，RXCHARISK用于扩展20位、40位和80位RX接口的数据总线。
RXDATA[63:0]	在外	RXUSRCLK2	传输数据的总线。该端口的宽度取决于RX_DATA_WIDTH: RX_DATA_WIDTH = 16, 20: RXDATA[15:0] = 16位宽 RX_DATA_WIDTH = 32, 40: RXDATA[31:0] = 32位宽 RX_DATA_WIDTH = 64, 80: RXDATA[63:0] = 64 bits wide 当需要20位、40位或80位总线时，8B/10B编码器的RXCHARISK和RXDISPERR端口与RXDATA端口相连。看见第296页表4-52.
RXUSRCLK	在...里	时钟	该端口用于为内部RX PCS数据路径提供时钟。
RXUSRCLK2	在...里	时钟	该端口用于使FPGA逻辑与RX接口同步。当用户提供RXUSRCLK时，该时钟必须与RXUSRCLK正边沿对齐。

表4-55 定义FPGA RX接口属性。

表4-55:FPGA RX接口属性

属性	类型	描述
RX_数据_宽度	整数	设置RXDATA端口的位宽。使能8B/10B编码时，RX_DATA_WIDTH必须设置为20、40或80。 有效设置为16、20、32、40、64和80。 看见 <a href="#">接口宽度配置</a> , 第295页了解更多详情。
RX_INT_DATAWIDTH	整数	控制内部数据路径的宽度。 0: 2字节内部数据路径 1: 4字节内部数据路径。如果线路速率大于6.6 Gb/s，则置1。

# 电路板设计指南

## 概观

与在使用的印刷电路板上实现设计相关的主题

本章介绍7系列FPGA GTX/GTH收发器。GTX/GTH收发器是模拟电路，在印刷电路板上设计和实现时需要特别考虑和注意。除了了解器件引脚的功能之外，实现最佳性能的设计还需要关注器件接口、传输线路阻抗和路由、电源设计滤波和分配、器件选择、PCB布局和层叠设计等问题。

## 引脚描述和设计指南

### GTX/GTH收发器引脚描述

[表5-1](#)定义GTX/GTH收发器四引脚。

**表5-1:GTX/GTH收发器四引脚描述**

腿	目录	描述
MGTREFCLK0P MGTREFCLK0N	英寸(衬垫 )	GTX/GTH收发器四通道参考时钟的差分时钟输入引脚对。
MGTREFCLK1P MGTREFCLK1N	英寸(衬垫 )	GTX/GTH收发器四通道参考时钟的差分时钟输入引脚对。
MGTXRXP[3:0]/MGTXRXN[3:0]M GTHRXP[3:0]/MGTHRNXN[3:0]	英寸(衬垫 )	RXP和RXN是GTX/GTH收发器四通道中各接收器的差分输入对。
MGTXTXP[3:0]/MGTXTXN[3:0]M GTHTXP[3:0]/MGTHTXN[3:0]	输出(填充 )	TXP和TXN是GTX/GTH收发器模块中各发射器的差分输出对。
MGTAVTTRCAL	英寸(衬垫 )	终端电阻校准电路的偏置电流源。看见 <a href="#">终端电阻校准电路</a> .
管理参考	英寸(衬垫 )	终端电阻校准电路的校准电阻输入引脚。看见 <a href="#">终端电阻校准电路</a> .

表5-1:GTX/GTH收发器四引脚描述(续)

腿	目录	描述
MGTAVCC	英寸(衬垫 )	MGTAVCC是GTX/GTH收发器四瓦内部模拟电路的模拟电源。这包括PLL、发射器和接收器的模拟电路。大多数封装在MGTAVCC封装中都有多组电源连接。请参考封装引脚定义，确定特定的GTX/GTH收发器模块位于哪个电源组。标称电压为1.0伏 <sub>直流电</sub> 。
MGTAVTT	英寸(衬垫 )	MGTAVTT是GTX/GTH收发器四方瓦片的发射器和接收器终端电路的模拟电源。大多数封装在用于MGTAVTT的封装中具有多组电源连接。请参考封装引脚定义，确定特定的GTX/GTH收发器模块位于哪个电源组。标称电压为1.2伏 <sub>直流电</sub> 。
MGTVCCAUX	英寸(衬垫 )	MGTVCCAUX是收发器的辅助模拟QPLL电压源。大多数封装在MGTVCCAUX封装中都有多组电源连接。请参考封装引脚定义，确定特定的GTX/GTH收发器模块位于哪个电源组。标称电压为1.8伏 <sub>直流电</sub> 。

图5-1显示了7系列FPGA GTX/GTH收发器的外部电源连接第302页，图5-2显示了GTX/GTH收发器的内部电源连接。

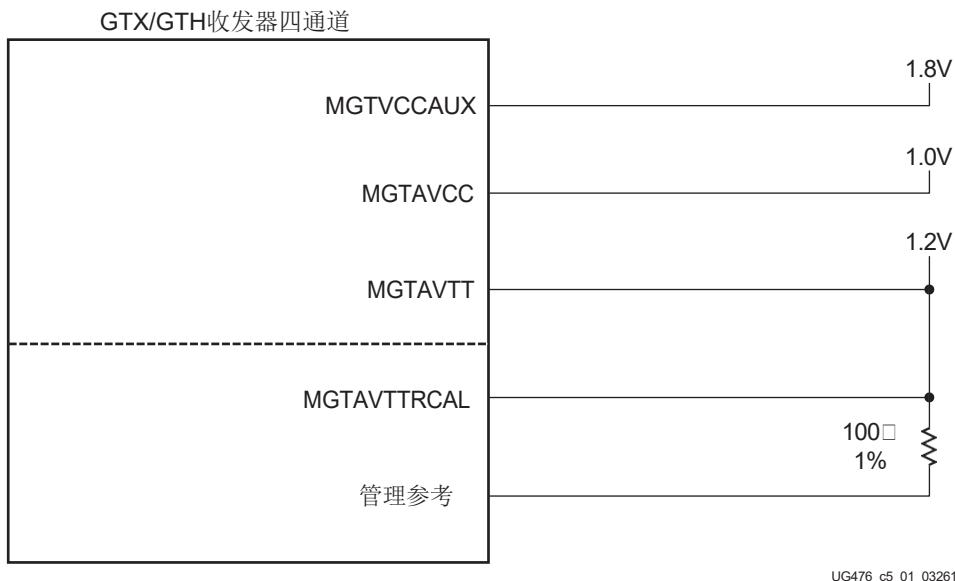
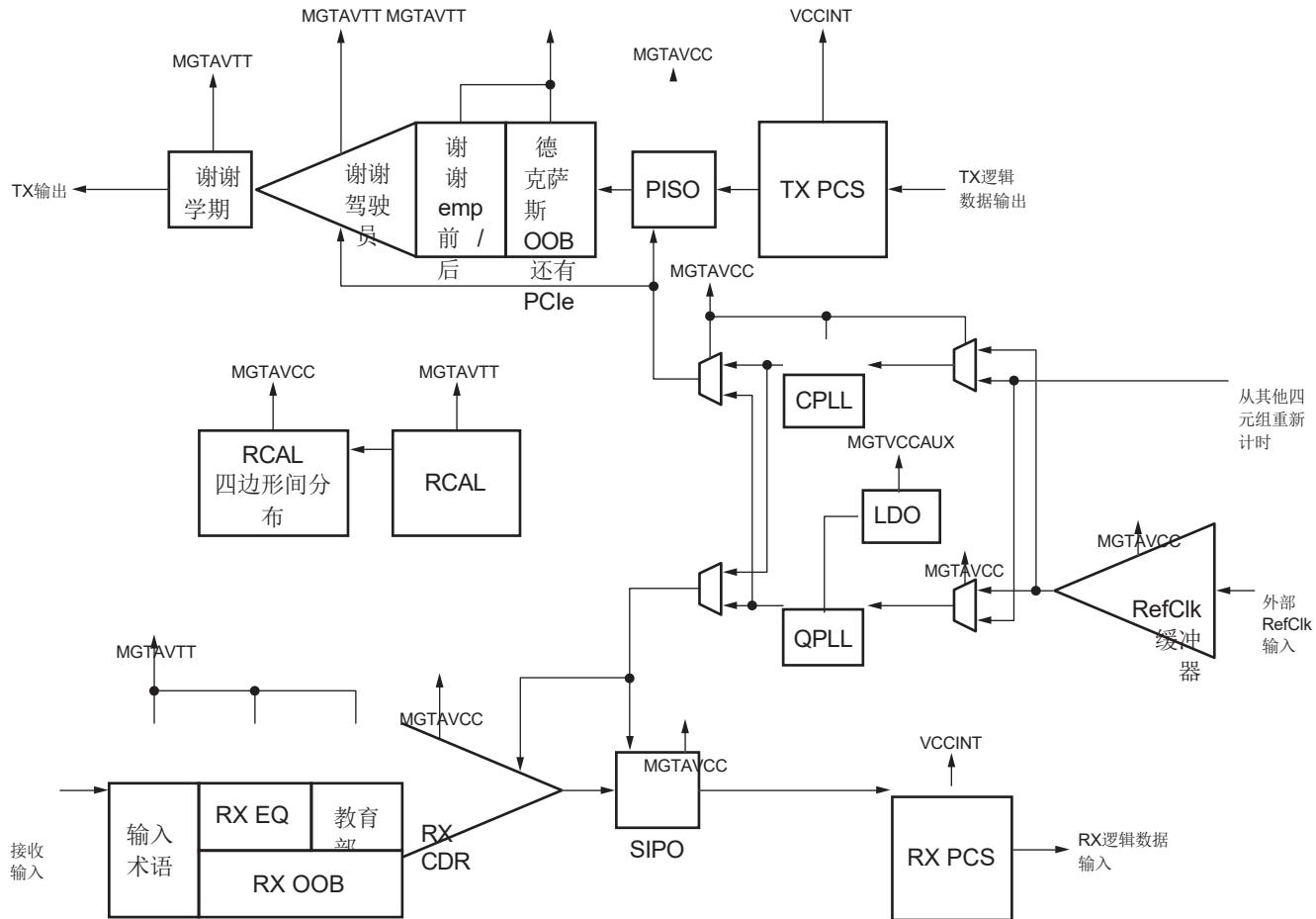


图5-1.7系列FPGA GTX/GTH收发器外部电源连接

与相关的注释图5-1:

1. 电压值是标称值。有关值和容差，请参见相应的7系列FPGAs数据手册。



UG476\_c5\_09\_031312

图5-2:7系列FPGA GTX/GTH收发器内部电源连接

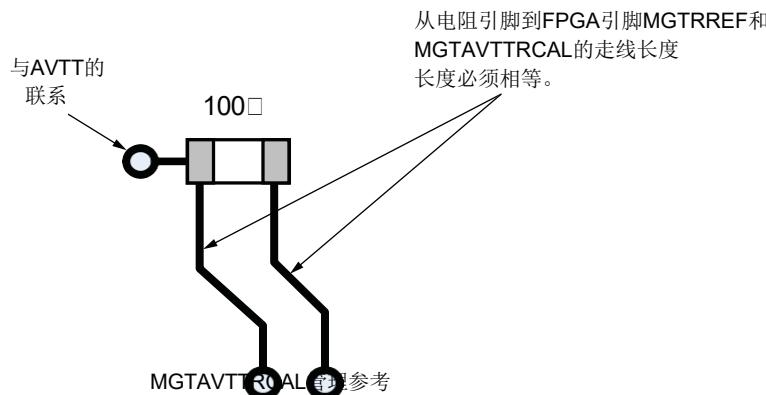
### 终端电阻校准电路

在GTX/GTH收发器四元组列中的所有GTX/GTH收发器四元组原语之间共享一个电阻校准电路(RCAL)。MGTAVTTRCAL和MGTRREF引脚将偏置电路电源和外部校准电阻连接到RCAL电路。RCAL电路仅在FPGA配置期间执行电阻校准。配置前，所有模拟电源电压必须存在，并且在相应7系列FPGAs数据手册中规定的适当容差范围内。如果没有使用整个GTX/GTH列，MGTAVTTRCAL和MGTRREF应接地。

RCAL电路与作为RCAL主机的GTX/GTH收发信机四元组相关联。RCAL主机在FPGA配置期间执行终端电阻校准，然后将校准值分配给列中的所有GTX/GTH收发器象限。RCAL电路由配置时钟驱动。RCAL电路所在的四元组必须通电。看见表5-2用于MGTAVTTRCAL引脚的四路位置。对于堆叠硅互连(SSI)技术设备，要使用的每个片(包含多个Quads)都必须通电。

MGTAVTTrcal引脚应连接到mgtavtt电源和100Ω精密外部电阻上的一个引脚。电阻的另一个引脚连接到MGTRREF引脚。电阻器校准电路向电阻器提供受控的电流负载。

连接到MGTRREF引脚。然后，它检测外部校准电阻上的压降，并使用该值来调整内部电  
阻校准设置。电阻校准的质量取决于MGTAVTTRCAL和MGTRREF引脚上电压测量的精  
度。为了消除电阻与FPGA引脚之间的走线压降所导致的误差，MGTAVTTRCAL引脚与电  
阻之间的走线长度和几何形状应与电阻另一引脚与MGTRREF引脚之间的走线长度和几何  
形状相同。(请参见中的建议布局图5-3。)



UG476\_c5\_02\_121311

图5-3:RCAL电阻的PCB布局

## 模拟电源引脚

GTX/GTH收发器四通道模拟电源(MGTAVCC、MGTAVTT和MGTVCVCAUX)封装内有多  
个层。对于某些封装，每个模拟电源有多个层。如果封装中有多个电源组，电源引脚名称会  
有一个\_G#后缀，用于标识哪些引脚与哪个电源组相关联。如果没有使用电源组中的所有四  
路电源，相关的电源引脚可以不连接或接地(除非RCAL电路在该四路电源中)。

对于每个GTX/GTH收发器模拟电源组，有三个电源(MGTAVCC、MGTAVTT和  
MGTVCVCAUX)。如果封装中有两个电源组，则封装中总共有六个电源层，每个电源组有  
三个电源层。

表5-2显示了带有GTX收发器的Kintex-7设备的每个包装中的电源分组。它还指定了哪个象限  
包含RCAL校准电路。

表5-2:每封装Kintex-7 FPGA GTX收发器电源分组

	Kintex-7 FPGA GTX收发器四边形							
	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118
XC7K70T-FBG484					单人飞机 (RCAL)			
XC7K70T-FBG676					单人飞机 (RCAL)	单一平面		
XC7K160T-FBG484					单人飞机 (RCAL)			
XC7K160T-FBG676					单人飞机 (RCAL)	单一平面		
XC7K160T-FFG676					单人飞机 (RCAL)	单一平面		
XC7K325T-FBG676					单人飞机 (RCAL)	单一平面		
XC7K325T-FBG900					单人飞机 (RCAL)	单一平面	单一平面	单一平面
XC7K325T-FFG676					单人飞机 (RCAL)	单一平面		
XC7K325T-FFG900					单人飞机 (RCAL)	单一平面	单一平面	单一平面
XC7K355T-FFG901		G10	G10	G10	G11 (RCAL)	G11	G11	
XC7K410T-FBG676					单人飞机 (RCAL)	单一平面		
XC7K410T-FBG900					单人飞机 (RCAL)	单一平面	单一平面	单一平面
XC7K410T-FFG676					单人飞机 (RCAL)	单一平面		
XC7K410T-FFG900					单人飞机 (RCAL)	单一平面	单一平面	单一平面

表5-2:每封装Kintex-7 FPGA GTX收发器电源分组(续)

	Kintex-7 FPGA GTX收发器四边形							
	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118
XC7K420T-FFG901	G10	G10	G10	G10	G11 (RCAL)	G11	G11	
XC7K420T-FFG1156	G10	G10	G10	G10	G11 (RCAL)	G11	G11	G11
XC7K480T-FFG901	G10	G10	G10	G10	G11 (RCAL)	G11	G11	
XC7K480T-FFG1156	G10	G10	G10	G10	G11 (RCAL)	G11	G11	G11

表5-3显示了配有GTX/GTH收发器的Virtex-7设备的每个包装中的电源分组。

表5-3:每个封装的Virtex-7 FPGA GTX/GTH收发器电源分组

	Virtex-7 FPGA GTX/GTH收发器四边形											
	MGT 210	MGT 211	MGT 212	MGT 213	MGT 214	MGT 215	MGT 216	MGT 217	MGT 218	MGT 219	MGT 220	MGT 221
	MGT 110	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118	MGT 119	MGT 一二零	MGT 121
XC7V585T-FFG1157					G10	G10 (RCAL)	G10	G11	G11			
XC7V585T-FFG1761			G10	G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7V2000T-FHG1761			G10	G10 (RCAL)	G10	G10 (RCAL)	G10	G11	G11 (RCAL)	G11		
XC7V2000T-FLG1925				G10 (RCAL)	G10	G11 (RCAL)						
XC7VX330T-FFG1157					G10	G10 (RCAL)	G10	G11	G11			
XC7VX330T-FFG1761					G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX415T-FFG1157						G10 (RCAL)	G10	G11	G11			
XC7VX415T-FFG1158	左侧					二十 国集 团	二十 国集 团	G21	G21	G21		
	右侧				G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX415T-FFG1927	左侧					二十 国集 团	二十 国集 团	G21	G21	G21		
	右侧				G10	G10 (RCAL)	G10	G11	G11	G11		

表5-3:每个封装的Virtex-7 FPGA GTX/GTH收发器电源分组(续)

		Virtex-7 FPGA GTX/GTH收发器四边形											
		MGT 210	MGT 211	MGT 212	MGT 213	MGT 214	MGT 215	MGT 216	MGT 217	MGT 218	MGT 219	MGT 220	MGT 221
		MGT 110	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118	MGT 119	MGT 120	MGT 121
XC7VX485T-FFG1157	左侧												
	右侧					G10	G10 (RCAL)	G10	G11	G11			
XC7VX485T-FFG1761	左侧												
	右侧				G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX485T-FFG1158	左侧						二十 国集 团	二十 国集 团	G21	G21	G21		
	右侧					G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX485T-FFG1927	左侧						二十 国集 团	二十 国集 团	G21	G21	G21		
	右侧				G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX485T-FFG1930	左侧												
	右侧				G10	G10	G10 (RCAL)	G11	G11	G11			
XC7VX550T-FFG1158	左侧						二十 国集 团	二十 国集 团	G21	G21	G21		
	右侧					G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX550T-FFG1927	左侧	G19	G19	G19			二十 国集 团	二十 国集 团	G21	G21	G21		
	右侧	G9	G9	G9	G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX690T-FFG1157	左侧												
	右侧					G10	G10 (RCAL)	G10	G11	G11			
	左侧												

XC7VX690T-FFG1761	右侧		G10	G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX690T-FFG1158	左侧					二十 国集 团	二十 国集 团	G21	G21	G21		
	右侧					G10 (RCAL)	G10	G11	G11	G11		

表5-3:每个封装的Virtex-7 FPGA GTX/GTH收发器电源分组(续)

		Virtex-7 FPGA GTX/GTH收发器四边形											
		MGT 210	MGT 211	MGT 212	MGT 213	MGT 214	MGT 215	MGT 216	MGT 217	MGT 218	MGT 219	MGT 220	MGT 221
		MGT 110	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118	MGT 119	MGT 一一零	MGT 121
XC7VX690T-FFG1926	左侧		二十国集团	二十国集团	G21	G21	21国集团(RCAL)	G22	G22	G22			
	右侧		G10	G10	G11	G11	G11 (RCAL)	G12	G12	G12			
XC7VX690T-FFG1927	左侧	G19	G19	G19	二十国集团	二十国集团	二十国集团(RCAL)	二十国集团	G21	G21	G21		
	右侧	G9	G9	G9	G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX690T-FFG1930	左侧												
	右侧				G10	G10	G10 (RCAL)	G11	G11	G11			
XC7VX980T-FFG1926	左侧		二十国集团	二十国集团	G21	G21	21国集团(RCAL)	G22	G22	G22			
	右侧		G10	G10	G11	G11	G11 (RCAL)	G12	G12	G12			
XC7VX980T-FFG1928	左侧	二十国集团	二十国集团	二十国集团(RCAL)	G21	G21	21国集团(RCAL)	G22	G22	22国集团(RCAL)			
	右侧	G10	G10	G10 (RCAL)	G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)			
XC7VX980T-FFG1930	左侧												
	右侧				G10	G10	G10 (RCAL)	G11	G11	G11			
XC7VX1140T-FLG1926	左侧		二十国集团	二十国集团	G21	G21	21国集团(RCAL)	G22	G22	22国集团(RCAL)			
	右侧		G10	G10 (RCAL)	G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)			
XC7VX1140T-FLG1928	左侧	二十国集团	二十国集团	二十国集团(RCAL)	G21	G21	21国集团(RCAL)	G22	G22	22国集团(RCAL)	G23	G23	23国集团(RCAL)
	右侧	G10	G10	G10 (RCAL)	G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)	G13	G13	G13 (RCAL)
XC7VX1140T-FLG1930	左侧												
	右侧				G10	G10	G10 (RCAL)	G11	G11	G11 (RCAL)			

XC7VH580T- FLG1155	左侧				二十 国 集 团	二十 国 集 团	二十 国集团 (RCAL)							
	右侧				G10	G10	G10 (RCAL)							

表5-3:每个封装的Virtex-7 FPGA GTX/GTH收发器电源分组(续)

		Virtex-7 FPGA GTX/GTH收发器四边形											
		MGT 210	MGT 211	MGT 212	MGT 213	MGT 214	MGT 215	MGT 216	MGT 217	MGT 218	MGT 219	MGT 220	MGT 221
		MGT 110	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118	MGT 119	MGT 一一零	MGT 121
XC7VH580T-FLG1931	左侧				G21	G21	21国 集团 (RCAL)	G22	G22	22国 集团 (RCAL)			
	右侧				G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)			
XC7VH870T-FLG1932	左侧	二十 国集 团	二十国 集团	二十 国集团 (RCAL)	G21	G21	21国 集团 (RCAL)	G22	G22	22国 集团 (RCAL)			
	右侧	G10	G10	G10 (RCAL)	G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)			

表5-4显示了Zynq -7000 SoC GTX收发器的电源组和RCAL主机。

表5-4:Zynq-7000 SoC收发器电源组和RCAL主控通过封装

设备	包裹	GTX收发器			
		109	110	111	112
XC7Z010	CLG225				
	CLG400				
XC7Z020	CLG400				
	CLG484				
XC7Z030	FBG484				单人飞机 (RCAL)
	FBG676				单人飞机 (RCAL)
	FFG676				单人飞机 (RCAL)
	SBG485				单人飞机 (RCAL)
XC7Z035	FBG676			单一平面	单人飞机 (RCAL)
	FFG676			单一平面	单人飞机 (RCAL)
	FFG900	单一平面	单一平面	单一平面	单人飞机 (RCAL)

表5-4:Zynq-7000 SoC收发器电源组和RCAL主控通过封装(续)

设备	包裹	GTX收发器			
		109	110	111	112
XC7Z045	FBG676			单一平面	单人飞机 (RCAL)
	FFG676			单一平面	单人飞机 (RCAL)
	FFG900	单一平面	单一平面	单一平面	单人飞机 (RCAL)
XC7Z100	FFG900	单一平面	单一平面	单一平面	单人飞机 (RCAL)
	FFG1156	单一平面	单一平面	单一平面	单人飞机 (RCAL)

## 参考时钟

### 概观

本节重点介绍参考时钟源或振荡器的选择。振荡器的特征在于:

- 频率范围
- 输出电压摆幅
- 抖动(确定性、随机、峰峰值)
- 上升和下降时间
- 电源电压和电流
- 噪声规格
- 占空比和占空比容差
- 频率稳定度

为GTX/GTH收发器设计选择振荡器时,这些特性是选择标准。图5-4说明了单端时钟输入电压摆幅的约定。此图显示了与中所示差分时钟输入电压摆幅计算的对比图5-5,峰峰值,如相应7系列FPGA数据手册的GTX/GTH收发器部分所用。

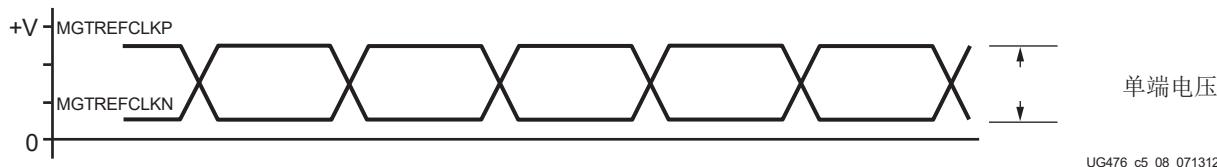


图5-4:单端时钟输入电压摆幅, 峰峰值

图5-5显示了差分时钟输入电压摆幅, 定义为MGTREFCLKP-MGTREFCLKN。

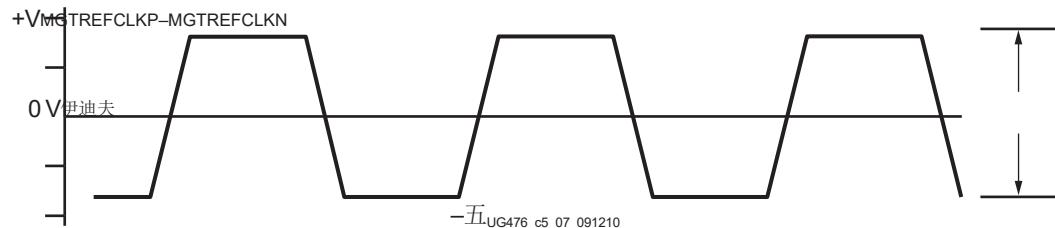


图5-5: 差分时钟输入电压摆幅，峰峰值

图5-6显示了参考时钟的上升和下降时间约定。

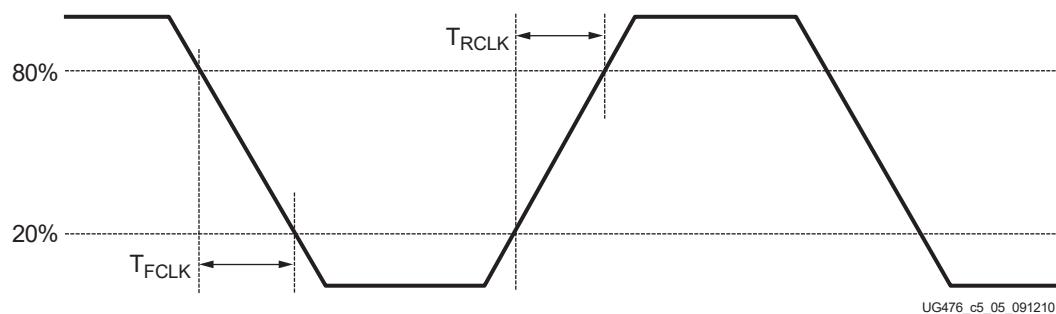


图5-6: 上升和下降时间

图5-7说明了IBUFDS的内部细节。专用差分参考时钟输入对 MGTREFCLKP/MGTREFCLKN 内部端接 100Ω 差分阻抗。该差分参考时钟输入对的共模电压为 4/5 mgt avcc，或标称值 0.8V，具体规格参见相应的 7 系列 FPGAs 数据手册。

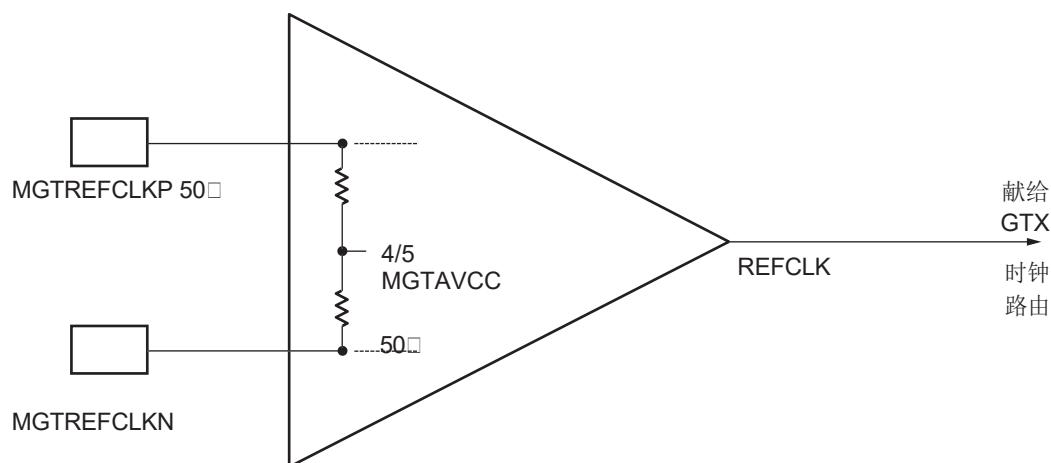


图5-7:MGTREFCLK输入缓冲器详情

与相关的注释图5-7：

1. 电阻值是标称值。具体规格参见相应的 7 系列 FPGAs 数据手册。

## GTX/GTH收发器参考时钟清单

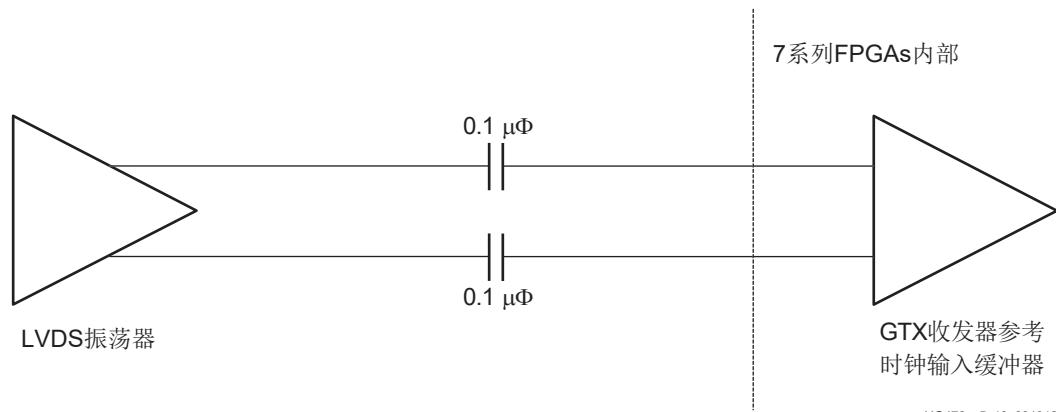
为GTX/GTH收发器设计选择振荡器时，必须满足以下标准：

- 在振荡器输出引脚和专用GTX/GTH收发器四时钟输入引脚之间提供交流耦合。
- 确保参考时钟的差分电压摆幅在中规定的范围内[DS182](#),*kintex-7 FPGA 数据手册:DC 和开关特性*和[DS183](#),*virtex-7 FPGA 数据手册:DC 和开关特性*.
- 达到或超过中规定的参考时钟特性[kintex-7 FPGA 数据手册:DC 和开关特性和virtex-7 FPGA 数据手册:DC 和开关特性](#).
- 达到或超过GTX/GTH收发器提供物理层支持的标准中规定的参考时钟特性。
- 满足振荡器供应商关于电源、电路板布局和噪声规格的要求。
- 在振荡器和GTX/GTH收发器四时钟输入引脚之间提供专用的点对点连接。
- 将差分传输线上的阻抗不连续性降至最低(阻抗不连续性会产生抖动)。

## 参考时钟接口

### LVDS

[图5-8](#)显示了LVDS振荡器如何连接到GTX/GTH收发器的参考时钟输入端。(图中显示了GTX 收发器的配置。)

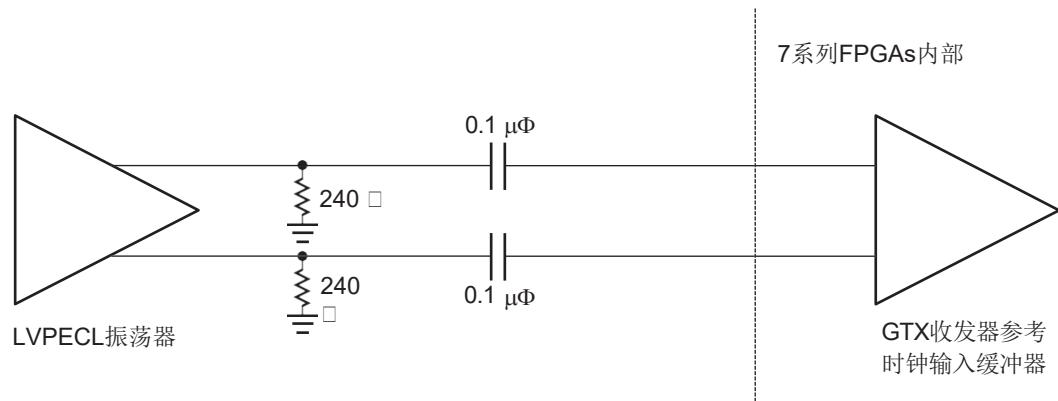


UG476\_c5\_10\_031312

[图5-8:将LVDS振荡器与7系列FPGA GTX/GTH收发器参考时钟输入接口](#)

## LVPECL

图5-9显示了LVPECL振荡器如何连接到GTX/GTH收发器的参考时钟输入端。(GTX配置如图所示。)



UG476\_c5\_04\_011612

图5-9:LVPECL振荡器与7系列FPGA GTX收发器参考时钟输入接口

与相关的注释图5-9:

1. 电阻值是标称值。有关实际偏置电阻要求，请参考振荡器数据手册。

## 交流耦合参考时钟

振荡器参考时钟输出到GTX/GTH收发器四路参考时钟输入的交流耦合有多种用途：

- 阻断振荡器和GTX/GTH收发器四路专用时钟输入引脚之间的DC电流(这也降低了两个部件的功耗)
- 共模电压独立性
- 交流耦合电容与片内终端构成高通滤波器，可衰减参考时钟的漂移

为了将噪声和功耗降至最低，源振荡器和GTX/GTH收发器四通道专用参考时钟输入引脚之间需要外部交流耦合电容。

## 未使用的参考时钟

如果不使用参考时钟输入，参考时钟输入引脚应保持不连接(MGTREFCLKP和MGTREFCLKN)。

## 参考时钟功率

GTX/GTH收发器参考时钟输入电路由MGTAVCC供电。该电源上的过量噪声会对使用该电路基准时钟的任何GTX/GTH收发器四通道器件的性能产生负面影响。

# 电源和滤波

## 概观

7系列FPGA GTX/GTH收发器四通道需要三个模拟电源:标称电压为1.0 V的MGTAVCC<sub>直流电</sub>和MGTAVTT, 标称电压电平为1.2 V<sub>直流电</sub>。每个模拟电源的引脚都连接到封装中的一个平面。在某些封装中, 每个模拟电源有两个平面(一个北平面和一个南平面)。看见概述, 第299页关于7系列FPGA GTX/GTH收发器封装内部电源层的讨论。

GTX/GTH收发器模拟电源上的噪声会导致收发器性能下降。最可能的退化形式是GTX/GTH发射机输出端的抖动增加, 接收机的抖动容限降低。

电源噪声的来源有:

- 电源调节器噪声
- 配电网络
- 来自其他电路的耦合

在设计和实现GTX/GTH收发器模拟电源时, 必须考虑所有这些噪声源。在FPGA输入引脚测得的总峰峰值噪声不应超过10 mVpk-pk。

## 电源调节器

通常, GTX/GTH收发器模拟电压源具有本地电源调节器, 提供电压调节的最后阶段。优选地, 这些调节器尽可能靠近GTX/GTH收发器电源引脚放置。最小化模拟电压调节器与GTX/GTH收发器电源引脚之间的距离, 可以降低调节器后的电源耦合噪声以及负载动态引起的电流瞬变所产生的噪声。

## 线性与开关调节器

电源调节器的类型会对电源电路的复杂性、成本和性能产生重大影响。电源调节器必须以最小的噪声为GTX/GTH收发器提供充足的电源, 同时满足整个系统的散热和效率要求。有两种主要类型的电源电压调节器可用于调节GTX/GTH收发器模拟电压轨、线性调节器和开关调节器。每种类型的调节器都有优点和缺点。调节器类型的最佳选择取决于系统要求, 例如:

- 物理尺寸
- 热预算
- 功率效率
- 费用

## 线性调节器

线性调节器通常为GTX/GTH收发器模拟供电轨提供电压调节的最简单方法。本质上，线性调节器不会将显著的噪声注入调节的输出电压。事实上，一些(而非全部)线性调节器可在输出端抑制电压输入端的噪声。线性调节器的另一个优点是，它通常需要最少数量的外部元件来实现印刷电路板上的电路。

线性调节器有两个潜在的主要缺点：最小压差和有限的效率。线性调节器要求输入电压高于输出电压。这个最小压差通常取决于负载电流。即使是低压差线性调节器，也要求调节器的输入电压和输出电压之间的差值最小。系统电源设计必须考虑线性调节器的最小压差要求。

线性调节器的效率取决于线性调节器的输入和输出之间的电压差。例如，如果调节器的输入电压是2.5 V<sub>直流电</sub>并且调节器的输出电压是1.2 V<sub>直流电</sub>，电压差为1.3伏<sub>直流电</sub>。假设流入调节器的电流基本上等于流出的电流，调节器的最大效率为48%。这意味着，对于输送给负载的每一瓦特，系统必须消耗额外的瓦特来进行调节。

调节器消耗的功率会产生热量，系统必须将这些热量散发出去。提供一种散发线性调节器产生的热量的方法会增加系统成本。因此，即使从简单的元件数量和复杂性成本来看，线性调节器似乎比开关调节器更有优势，但如果考虑整体系统成本，包括功耗和散热，在大电流应用中，线性调节器实际上可能处于劣势。

## 开关式

开关调节器可以提供一种有效的方式来为GTX/GTH收发器模拟电源提供良好调节的电压。与线性调节器不同，开关调节器不依赖调节器输入电压和输出电压之间的压降来提供调节。因此，开关调节器可以向负载提供大量电流，同时保持高功率效率。开关调节器保持95%或更高的效率并不罕见。调节器输入端和输出端之间的压降不会严重影响效率。它受负载电流的影响比线性调节器小得多。由于开关调节器的效率，系统不需要向电路提供同样多的功率，并且不需要提供耗散调节器消耗的功率的手段。

开关调节器的缺点是电路复杂以及调节器开关功能产生的噪声。开关调节器电路通常比线性调节器电路更复杂。开关调节器的这一缺点最近已经被几家开关调节器元件供应商解决了。通常，开关电源调节电路需要开关晶体管元件、电感器和电容器。根据所需的效率和负载要求，开关调节器电路可能需要外部开关晶体管和电感。除了元件数量之外，这些开关调节器还需要在印刷电路板上非常仔细地放置和布线才能发挥作用。

开关调节器会产生很大的噪声，因此通常需要额外的滤波，然后将电压提供给7系列FPGA GTX/GTH收发器的GTX/GTH收发器模拟电源输入。噪声的幅度应该是

限于10 mVpp以下，电源滤波器应设计为衰减来自开关调节器的噪声，以满足这一要求。

## 供电配电网路

### 分级解耦

死亡

芯片上的去耦电容可过滤电源上的最高频率噪声成分。这种极高频率噪声的来源是内部片内电路。

包裹

7系列FPGAs封装具有额外的去耦功能。封装中的去耦电容可衰减封装电源层中的噪声，从而降低GTX/GTH收发器四边形之间的相互影响。封装中的这些电容还有助于维持电源、MGTAVCC MGTVCCAUX或MGTAVTT与地之间的低阻抗高频路径。对于所有封装中的MGTAVCC、MGTVCCAUX和MGTAVTT，封装基板电容值为0.1 F/Quad。

表5-5:MGTAVCC、MGTVCCAUX和MGTAVTT电源的电容规格

值(F)	ESL (pH)	ESR(百万Ω)
0.1	320	56

印制电路板

由于电源层与地之间的阻抗在芯片和封装中保持较低，因此电路板设计对印制电路板上的去耦要求要宽松得多。PCB去耦电容的主要目的是在收发器电源引脚和外部噪声源之间提供噪声隔离。外部噪声源的一些例子有：

- 电源调节器电路
- 机载数字交换电路
- 来自FPGA的选择信号

应在靠近GTX/GTH收发器电源引脚的PCB上提供去耦电容。这些电容降低了PCB配电网路的阻抗。PDN的阻抗降低，有助于在外部噪声进入器件封装电源层之前将其衰减。在10 kHz至80 MHz频段内，电源引脚的噪声应低于10 mVpp。

GTX/GTH收发器的去耦电容准则如所示

**表5-6。** GTX/GTH收发器四元组被组织成封装中的电源组。看见[模拟电源引脚](#)对于正在使用的包。

**表5-6:GTX/GTH收发器PCB电容推荐**

每组数量			电容(F)	容忍	类型
MGTAVCC	MGTAVTT	MGTVCCAUX			
1	1	1	4.70	10%	陶器的

## PCB设计清单

**表5-7**是一个项目清单，可用于设计和审查任何7系列FPGA GTX/GTH收发器PCB原理图和布局。

**表5-7:GTX/GTH收发器PCB设计清单**

腿	推荐
mgtrefclk 0 p mgtrefclk 0n mgtrefclk 1 p mgtrefclk 1n	<ul style="list-style-type: none"> <li>使用交流耦合电容连接到振荡器。</li> <li>关于交流耦合电容，请参见<a href="#">参考时钟接口，第311页</a>。</li> <li>应为参考时钟走线提供足够的间隙，以消除相邻信号的串扰。</li> <li>参考时钟振荡器输出必须符合这些输入引脚的最小和最大输入幅度要求。 看见<a href="#">DS182,kintex-7 FPGA 数据手册:DC 和开关特性</a>或者<a href="#">DS183,virtex-7 FPGA 数据手册:DC 和开关特性</a>。</li> <li>如果不使用参考时钟输入，则相关引脚对保持不连接。</li> </ul>
MGTXRXP[3:0]/MGTXRXN[3:0]MGTHRXP[3:0]/MGTHRxn[3:0]	<ul style="list-style-type: none"> <li>使用交流耦合电容器连接至变送器。交流耦合电容的推荐默认值为100 nF。推荐值可能不适用于所有协议应用。</li> <li>应为接收器数据走线提供足够的间隙，以消除相邻信号的串扰。</li> <li>如果接收器未使用且未偏置，则将相关引脚对接地。如果接收器未使用而是偏置，则引脚对保持不连接。</li> <li>看见<a href="#">RX模拟前端，第168页</a>.</li> </ul>
MGTXTXP[3:0]/MGTXTXN[3:0]MGTHTXP[3:0]/MGTHTXN[3:0]	<ul style="list-style-type: none"> <li>发射器应交流耦合至接收器。交流耦合电容的推荐默认值为100 nF。推荐值可能不适用于所有协议应用。对于PCIe第1代、第2代和第3代应用，交流耦合电容的推荐值请参考PCI Express基本规范。</li> <li>应为发射器数据走线提供足够的间隙，以消除相邻信号的串扰。</li> <li>如果不使用变送器，则保持相关引脚对不连接。</li> </ul>
MGTAVTRCAL	<ul style="list-style-type: none"> <li>连接到MGTAVTT和一个100Ω电阻，该电阻也连接到MGTRREF。电阻与此引脚之间的连接以及电阻的另一引脚与MGTRREF之间的连接使用相同的走线几何图形。</li> <li>看见<a href="#">终端电阻校准电路，第302页</a>.</li> </ul>

表5-7:GTX/GTH收发器PCB设计清单(续)

腿	推荐
管理参考	<ul style="list-style-type: none"> <li>连接到一个100Ω电阻，该电阻也连接到mgtavttrcal。电阻与此引脚之间的连接以及电阻另一引脚与MGTAVTTRCAL之间的连接使用相同的走线几何图形。</li> <li>看见<a href="#">终端电阻校准电路，第302页.</a></li> </ul>
MGTAVCC[N]	<ul style="list-style-type: none"> <li>标称电压为1.0伏直流电。</li> <li>看见<a href="#">DS182,kintex-7 FPGA 数据手册:DC和开关特性</a>或者<a href="#">DS183,virtex-7 FPGA 数据手册:DC和开关特性电源电压容差</a>。</li> <li>此电压的电源调节器不应与非收发器负载共享。</li> <li>许多封装在用于MGTAVCC的封装中具有多组电源连接。涉及<a href="#">第304页表5-2</a>以识别特定的GTX/GTH收发器组位于哪个电源组中。有关每个封装引脚位置的信息，请参见<a href="#">UG475,7系列FPGAs封装和引脚排列规格</a>.</li> <li>建议使用以下滤波电容: <ul style="list-style-type: none"> <li>• 1/4.7 F±10%</li> </ul> </li> <li>为获得最佳性能，电源噪声必须小于10 mVpp。</li> <li>如果没有使用电源组中的所有四路电源，相关的电源引脚可以不连接或接地(除非RCAL电路在该四路电源中)。</li> <li>关于功耗，请参考7系列设备的Xilinx功耗计算器(XPE)，网址为<a href="#">www.xilinx.com/power</a>.</li> </ul>
MGTAVTT[N]	<ul style="list-style-type: none"> <li>标称电压为1.2伏直流电。</li> <li>看见<a href="#">DS182,kintex-7 FPGA 数据手册:DC和开关特性</a>或者<a href="#">DS183,virtex-7 FPGA 数据手册:DC和开关特性电源电压容差</a>。</li> <li>该电压的电源调节器不应与非MGT负载共享。</li> <li>许多封装在用于MGTAVTT的封装中具有多组电源连接。涉及<a href="#">第304页表5-2</a>以识别特定的GTX/GTH收发器组位于哪个电源组中。有关每个封装引脚位置的信息，请参见<a href="#">UG475,7系列FPGAs封装和引脚排列规格</a>.</li> <li>建议使用以下陶瓷滤波电容: <ul style="list-style-type: none"> <li>• 1/4.7 F±10%</li> </ul> </li> <li>为获得最佳性能，电源噪声必须小于10 mVpp。</li> <li>如果没有使用电源组中的所有四路电源，相关的电源引脚可以不连接或接地(除非RCAL电路在该四路电源中)。</li> <li>关于功耗，请参考7系列设备的Xilinx功耗计算器(XPE)，网址为<a href="#">www.xilinx.com/power</a>.</li> </ul>

表5-7:GTX/GTH收发器PCB设计清单(续)

腿	推荐
MGTVCVCAUX	<ul style="list-style-type: none"><li>• 标称电压为1.8伏直流电。</li><li>• 看见<a href="#">DS182,kintex-7 FPGA数据手册:DC和开关特性</a>或者<a href="#">DS183,virtex-7 FPGA数据手册:DC和开关特性</a>电源电压容差。</li><li>• 该电压的电源调节器不应与非MGT负载共享。</li><li>• 许多封装在用于MGTAVTT的封装中具有多组电源连接。涉及<a href="#">第304页表5-2</a>以识别特定的GTX/GTH收发器组位于哪个电源组中。有关每个封装引脚位置的信息，请参见<a href="#">UG475,7系列FPGAs封装和引脚排列规格</a>。</li><li>• 建议使用以下滤波电容：<ul style="list-style-type: none"><li>• <math>1/4.7\text{ F}\pm10\%</math></li></ul></li><li>• 为获得最佳性能，电源噪声必须小于10 mVpp。</li><li>• 如果未使用该电源组中的所有QPLLs，但使用了Quads，则不需要滤波电容，这些引脚可以连接到VCCAUX。</li><li>• 如果没有使用电源组中的所有四路电源，相关的引脚可以不连接或接地(除非RCAL电路在该四路电源中)。</li></ul>

# 使用模式

## PCI Express

本节提供了为PCI Express应用配置和使用GTX/GTH收发器的推荐指南。这些推荐指南并不代表所有可能的PCI Express使用模式。本节中描述的使用模型基于PCI Express体系结构(管道)的PHY接口。

### 功能描述

GTX/GTH收发器支持x1或多通道配置的PCI Express Gen1、Gen2和Gen3应用。在PCI Express模式下，第1代线路速率为2.5 Gb/s，第2代线路速率为5.0 Gb/s，第3代线路速率为8.0 Gb/s。对于第1代和第2代速度，建议使用通道PLL (CPLL)。第三代速度需要四通道PLL (QPLL)。GTX/GTH收发器包括PCS特性，如8B/10B、逗号对齐、通道绑定和时钟校正，以支持Gen1和Gen2应用。需要一个定制的第三代软件PCS模块来支持第三代，它允许绕过或禁用这些GTX/GTH收发器PCS功能。可以从7系列FPGAs收发器向导生成管道兼容包装器，以配置用于PCI Express应用的GTX/GTH收发器。[表6-1](#)显示了推荐用于PCI Express应用的GTX/GTH收发器特性。有关每项功能的所有支持配置，请参阅本用户指南的特定章节。本节中描述的PCI Express使用模式基于这些建议。

**表6-1:推荐用于PCI Express的GTX/GTH收发器特性**

特征	第一代	第二代	第三代
CPLL	✓	✓	
QPLL			✓
2字节内部和2字节外部数据宽度	✓	✓	
4字节内部和4字节外部数据宽度			✓
TX缓冲器			
RX缓冲器	✓	✓	✓
逗号对齐	✓	✓	
通道结合	✓	✓	
时钟校正	✓	✓	
8B/10B编码器和解码器	✓	✓	

## 端口和属性

表6-2和第322页表6-3分别显示PCI Express应用程序常用的GTX/GTH收发器端口和属性。

表6-2:PCI Express端口

港口	目录	时钟域	描述
TXDETECTRX	在...里	TXUSRCLK2	启动GTX/GTH收发器，开始接收器检测操作。请参考 <a href="#">TX接收器检测支持PCI Express设计，第163页</a> 有关接收器检测的更多详细信息。 0:正常运行。 1:接收器检测。
TXELECIDLE	在...里	TXUSRCLK2	在所有电源状态下断言时，强制TXP/TXN输出为电气空闲。在TX电空闲期间，TXP和TXN都被驱动到DC共模电压。 0:正常运行。1: TX电气空闲。
TXCHARDISPMODE[0]	在...里	TXUSRCLK2	将运行差异设置为负值。传输PCI Express兼容模式时使用。在PCI Express应用中，该信号相当于管道接口的TXCOMPLIANCE。 0:正常运行。 1: TX兼容。
rx极性	在...里	RXUSRCLK2	启动GTX/GTH收发器，对接收到的数据进行极性反转。 0:正常运行。1:反转接收的数据。
TXPD[1:0]	在...里	TXUSRCLK2 (TXPDELECIDLEMODE使该端口异步)	开启或关闭GTX/GTH收发器的TX和RX。在PCI Express应用中，TXPD和RXPD应连接到同一个源。 00b:正常操作的P0电源状态。 01b: P0省电状态，恢复时间延迟低。 10b:具有较长恢复时间延迟的P1省电状态。 11b:具有最低功率和最长恢复时间延迟的P2节电状态。
RXPD[1:0]	在...里	异步@非同步 (asynchronous)	

表6-2:PCI Express端口(续)

港口	目录	时钟域	描述
TXRATE[2:0]	在...里	TXUSRCLK2	动态控制链路信号传输速率。在PCI Express应用中，TXRATE和RXRATE一定是同一个源头。QPLL必须用于Gen3操作。建议将[TX/RX]RATE = 000 band[TX/RX]OUT _ DIV = 1设置为进入第三代操作。
RXRATE[2:0]	在...里	RXUSRCLK2	<p>000b:除以 [TX/RX] OUT _ DIV ([TX/RX] OUT _ DIV设置为2, 以实现Gen1的2分频)。</p> <p>001b:除以1(建议用于Gen2)。</p> <p>010b:除以2。011b:除以4。100b:除以8。</p> <p>101b:除以16。110b:除以1。111b:除以1。</p>
TXDEEMPH	在...里	异步◎非同步 (asynchronous)	当PCI Express处于Gen1或Gen2模式时, 选择TX去加重。 0: 6.0分贝去加重。 1: 3.5分贝去加重。
TXMARGIN[2:0]	在...里	异步◎非同步 (asynchronous)	选择TX电压电平。有关PCI Express模式下的TXMARGIN设置和映射, 请参考本用户指南的TX可配置驱动器端口部分。 000b:可编程。正常工作范围。 001b: 可 编 程 。 010b: 可 编 程 。 011b: 可 编 程 。 100b: 可 编 程 。 101b: 可 编 程 。 110b: 可 编 程 。 111b:可编程。
TXSWING	在...里	异步◎非同步 (asynchronous)	控制Gen1或Gen2模式下的TX电压摆幅水平。 0:全力以赴。 1:低摆或半摆。
RXVALID	在外	RXUSRCLK2	表示Gen1或Gen2模式下RXDATA和RXCHARISK上的符号锁定和有效数据。
体质	在外	RXUSRCLK2	用于传达几种GTX/GTH收发器功能的完成情况, 包括电源管理状态转换、速率变化和接收器检测。

表6-2:PCI Express端口(续)

港口	目录	时钟域	描述
RXELECIDLE	在外	异步◎非同步 (asynchronous)	表示RX检测到电气空闲。在Gen3线路速率中，PCI Express MAC必须使用逻辑来检测和推断进入RX电气空闲，而不是依赖RXELECIDLE信号。在RX电气空闲状态下，使用RXELECIDLE取消断言退出电气空闲。还建议在Gen2中推断进入RX电气空闲。 0:正常运行。1: RX电气空闲。
RXSTATUS[2:0]	在外	RXUSRCLK2	在Gen1或Gen2模式下接收数据时，对RX数据流的RX状态和错误代码进行编码。 000b:接收数据正常。 001b: 1 SKP补充道。 010b: 1 SKP已删除。 011b:检测到接收器。 100b: 8B/10B解码错误。 101b:弹性缓冲区溢出。110b: 弹性缓冲器下溢。111b:接收差异错误。

表6-3:PCI Express属性

属性	类型	描述
PCS_PCIE_EN	布尔代数学体系的	使电脑进入PCI Express模式。 假:非PCI Express模式。真:PCI Express模式。
TX_驱动模式	线	设置TX驱动模式。 直接:非PCI Express应用程序。 管道:用于Gen1或Gen2模式下的PCI Express应用程序。TX驱动器设置由TXDEEMPH、TXMARGIN和TXSWING控制。 PIPEGEN3:用于GEN3模式下的PCI Express应用程序。

## PCI Express使用模式

为PCI Express应用推荐的GTX/GTH收发器上电默认设置是为Gen1配置的。在进入第二代或第三代模式之前，PCI Express在第一代中通电。为了减少延迟并使TX通道间偏斜最小，应旁路TX缓冲器。在Gen3速度下，当使用定制的软Gen3 PCS模块时，可以旁路或禁用一些PCS功能，如逗号对齐、通道绑定、时钟校正和8B/10B。[表6-4](#)显示了第1代、第2代和第3代速度下PCI Express应用的推荐GTX/GTH收发器设置。

表6-4:PCI Express的推荐GTX/GTH收发器设置

GTX/GTH收发器设置	第一代	第二代	第三代
PCS_PCIE_EN	真实的	真实的	真实的
TX_驱动模式	管	管	管道3
[发送/接收]速率[2:0]	000b (必须设置 [TX/RX] OUT_DI V 至2)	001b (除以1)	000b (必须设置 [TX/RX] OUT_DI V 除以1)
[TX/RX]USRCLK	125兆赫	250兆赫	250兆赫
[TX/RX]USRCLK2	125兆赫	250兆赫	250兆赫
[TX/RX]_DATA_WIDTH	20	20	32
[TX/RX]_INT_DATAWIDTH	0	0	1
TXBUF_EN	错误的	错误的	错误的
RXBUF_EN	真实的	真实的	真实的
TX_XCLK_SEL	TXUSR	TXUSR	TXUSR
RX_XCLK_SEL	RXREC	RXREC	RXREC
TXOUTCLKSEL[2:0]	011b	011b	011b
RXOUTCLKSEL[2:0]	010b	010b	010b
CLK_正确_使用	真实的	真实的	错误的
RXCOMMADETEN	1	1	0
RXCHBONDEN	1 (对于x1配置， 设置为0)	1 (对于x1配置， 设置为0)	0
[TX/RX]8B10BEN	1	1	0

## 管道控制信号

**表6-5**是[TX/RX]PD、TXDETECTRX和TXELECIDLE控制信号的查找表。该查找表基于这些信号的解码描述了GTX/GTH收发器的模式或行为。在P0s和P1状态下，TXELECIDLE应始终置位。在TX电空闲期间，GTX/GTH收发器不发送数据。P2节能状态不是推荐的使用模式。

**表6-5:管道控制信号查找表**

[TX/RX]PD	TXDETECTRX	TXELECIDLE	描述
00b (P0电源状态)	0	0	正常操作。
	0	1	TX电气空闲。
	1	0	回送模式。
	1	1	管道不支持。非法条件。
01b (P0s省电状态)	不在乎	0	管道不支持。PHY行为是未定义的，如果TXELECIDLE被解除置位，同时在P0s或P1电源状态下。
	不在乎	1	TX电气空闲。
10b (P1省电状态)	不在乎	0	管道不支持。PHY行为是未定义的，如果TXELECIDLE被解除置位，同时在P0s或P1电源状态下。
	0	1	电气闲置。
	1	1	接收器检测。
11b (P2省电状态)	不在乎	0	发射信标。
		1	电气闲置。

## PCI Express时钟

### 参考时钟

GTX/GTH收发器使用参考时钟来产生用于发送和接收数据的内部比特率时钟。在PCI Express模式下，推荐的参考时钟为100 MHz。还支持125 MHz或250 MHz参考时钟。参考时钟馈入驱动GTX/GTH收发器参考时钟的IBUFDS\_GTE2。如果TX缓冲器被旁路，TXOUTCLKSEL必须选择GTX/GTH收发器的参考时钟作为TXOUTCLK的时钟源。上电后，参考时钟必须稳定且自由运行。对于异步时钟应用，其最差情况下的频率偏移必须在600 ppm或300 ppm以内。GTX/GTH收发器有一个内部25 MHz时钟，来自[TX/RX]\_CLK25\_DIV设置的参考时钟。25 MHz时钟用作各种GTX/GTH收发器操作的同步器和定时器，例如复位、电源管理、速率变化、OOB和信标。将[TX/RX]\_CLK25\_DIV设置为25 MHz或尽可能接近25 MHz。对萨塔·OOB来说，这

内部时钟必须为25 MHz。表6-6显示了PCI Express模式的推荐CPLL和时钟分频器设置。

**表6-6:PCI Express参考时钟的推荐CPLL分频器和时钟设置**

GTX/GTH收发器设置	100兆赫	125兆赫	250兆赫
CPLL_参考时钟_分区	1	1	1
CPLL第45区	5	5	5
CPLL联邦调查局	5	4	2
[发送/接收]输出_分区 <sup>(1)</sup>	第二代 1(第二代)	第二代 1(第二代)	第二代 1(第二代)
[TX/RX]_CLK25_DIV	4	5	10

#### 注意事项:

1.[TX/RX]OUT\_DIV用于选择2.5 Gb/s或5 Gb/s线路速率。

对于Gen3应用，必须使用QPLL。表6-7显示了PCI Express模式下推荐的QPLL分频器设置。

**表6-7:PCI Express参考时钟的推荐QPLL分频器设置**

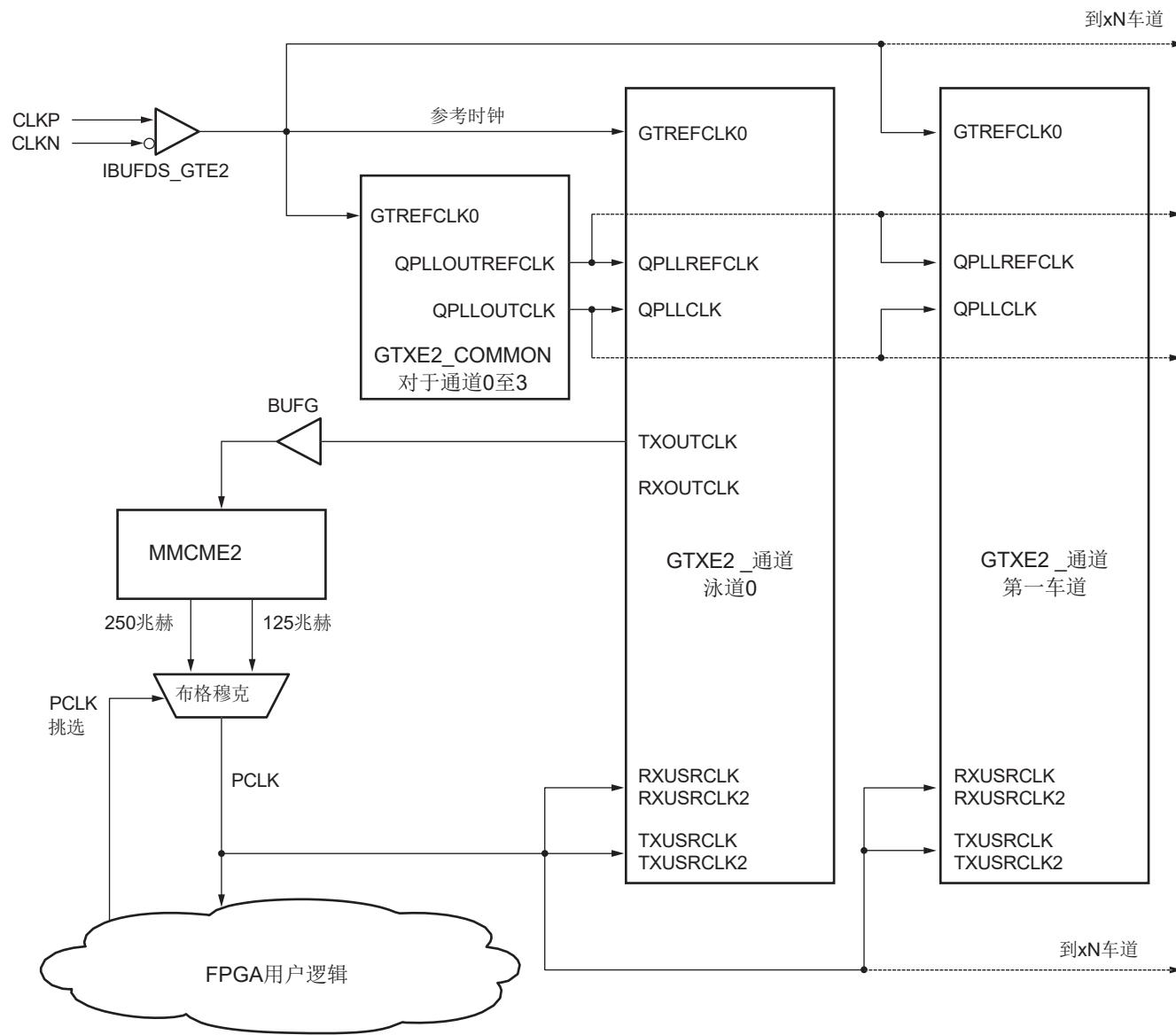
QPLL分频器	100兆赫	125兆赫	250兆赫
QPLL_FBDIV	10英尺 b0100100000	10英尺 b0011100000	10英尺 b0001100000
QPLL_FBDIV_RATIO	1	1	1

## 平行时钟(PCLK)

PCLK是一种FPGA逻辑(结构)接口。在PCI Express模式下，PCLK是并行接口时钟，用于同步并行接口上的数据传输。推荐的第一代PCLK频率为125 MHz，第二代和第三代为250 MHz。MMCME2\_ADV可以用来从参考时钟产生125 MHz和250 MHz时钟。使用MMCME2\_ADV时，用户可以使用BUFGMUX选择所需的PCLK频率。在PCI Express模式下，建议内部和外部数据宽度相同。当内部和外部数据宽度相同时，[TX/RX]USRCLK和[TX/RX]USRCLK2频率相等。

建议*谢谢*缓冲区是绕过在Gen1、Gen2和Gen3中。当TX缓冲器被旁路时，TXOUTCLKSEL必须选择GTX/GTH收发器参考时钟作为TXUSRCLK2至TXOUTCLK的时钟源。为了将多通道应用中的TX通道间偏斜降至最低，所有通道的TXUSRCLK和TXUSRCLK2必须来自同一个源。涉及TX缓冲器旁路，[第135页](#)了解更多详细信息。

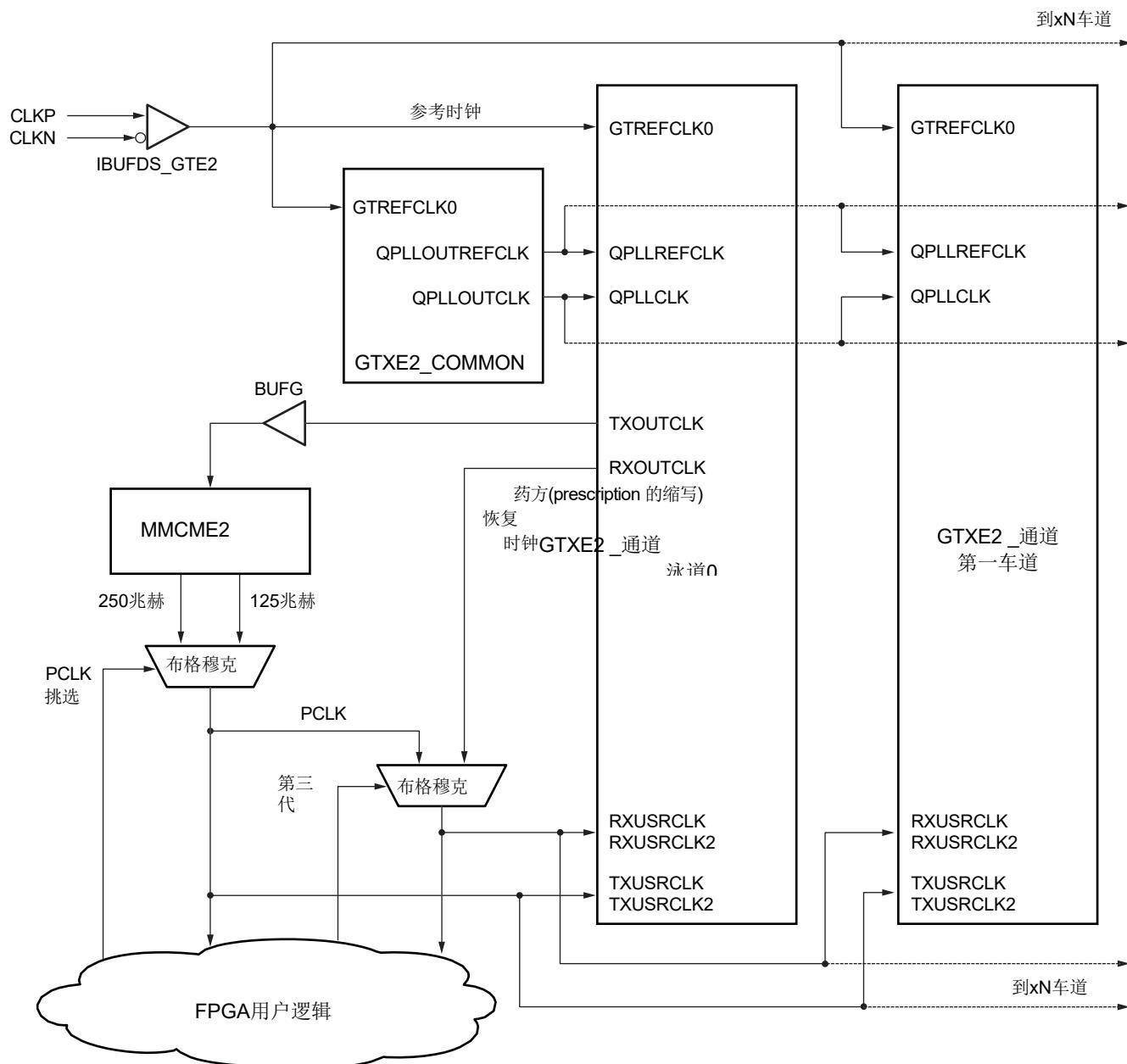
建议*药方*(prescription 的缩写)缓冲区是二手的在Gen1、Gen2和Gen3中。当RX缓冲器用于同步的在时钟应用中，GTX/GTH收发器参考时钟是RXUSRCLK和RXUSRCLK2的时钟源。[图6-1](#)显示了PCI Express同步时钟架构示例。对于Kintex-7器件，建议在TXOUTCLK和MMCME2\_ADV路径之间使用BUFG。对于Virtex-7设备，此BUFG不是必需的。



UG476\_c6\_20\_061611

图6-1:PCI Express同步时钟架构示例

当RX缓冲器用于异步时钟应用，当进入Gen3时，来自主通道0的RX恢复时钟是RXUSRCLK和RXUSRCLK2的时钟源。图6-2显示了PCI Express异步时钟架构示例。如果使用级联缓冲器多路复用器，则应在PCLK路径中插入一个缓冲器，以平衡时序。涉及**RX缓冲器旁路**，[第242页](#)了解更多详细信息。



UG476\_c6\_01\_061611

图6-2:PCI Express异步时钟架构示例

## PCI Express复位

在初始配置和通电期间，请遵循中定义的准则**复位**和**初始化**，[第61页](#)。PCI Express复位应在TX电气空闲和P1状态下执行

掉电状态。以下是重置期间推荐的GTX/GTH收发器设置：

- TXELECIDLE = 1
- [TX/RX]PD[1:0] = 10b
- TXDETECTRX = 0
- RXPOLARITY = 0
- TXMARGIN[2:0] = 000b
- TXDEEMPH = 1
- TXSWING = 0

GTX/GTH收发器在Gen1中通电。复位后，PCLK必须稳定。中的时序图图6-3显示了PCI Express复位示例。在图中，用户复位、TX同步完成和门控物理状态是结构用户信号的示例。

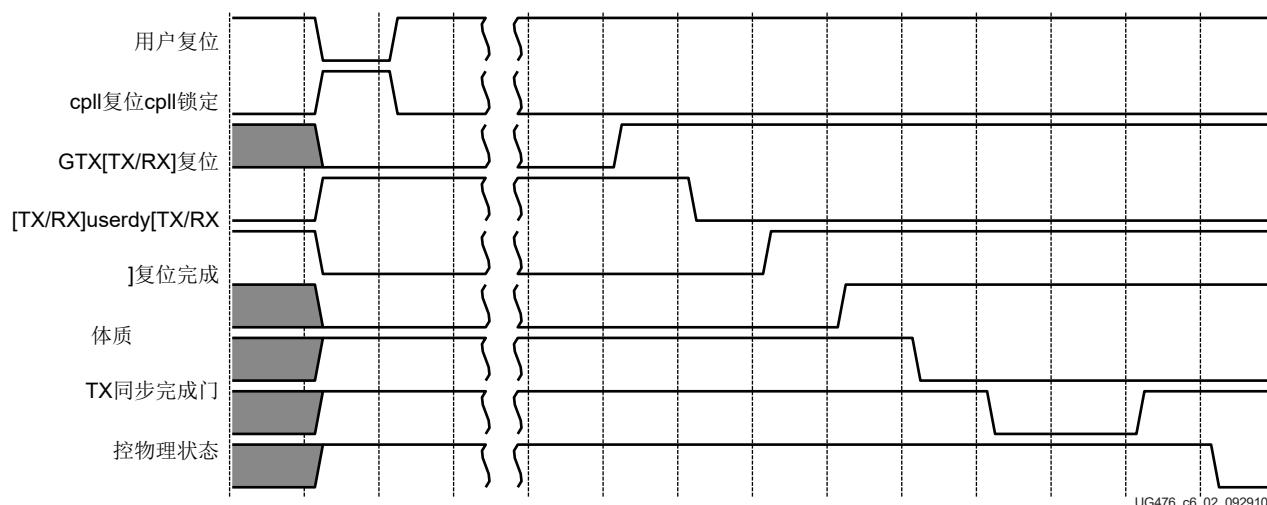


图6-3:PCI Express复位示例

与相关的注释图6-3：

1. 中的事件顺序图6-3没有按比例绘制。
2. 当检测到用户复位时，通过分别置位CPLLRESET和GTX/GTH[TX/RX]复位来复位CPLL和GTX/GTH收发器。继续保持CPLLRESET为高电平至少一个参考时钟周期，直到CPLLLOCK变为低电平。继续保持GTX/GTH收发器复位。
3. 等到CPLLLOCK = 1后，再释放GTX/GTH收发器复位。
4. 如果使用MMCM，确保在置位[TX/RX]USERRDY之前锁定MMCM。
5. Wait for [TX/RX]RESETDONE = 1 and PHYSTATUS = 0.
6. 如果TX缓冲器被旁路，则执行TX sync(相位和延迟对准)。
7. 发送同步完成后，解除门控物理状态置位。门控物理状态是GTX/GTH收发器的原始物理状态的延迟版本。门控物理状态解除后，GTX/GTH收发器成功完成复位，准备正常工作。

## PCI Express电源管理

为了最大限度地降低功耗，GTX/GTH收发器可以使用[TX/RX]PD端口进入PCI Express掉电状态。在PCI Express模式下，建议将TXPD和RXPD连在一起。管道规范定义的可用功率状态为P0、P0s、P1和P2。P0是正常功率状态。PCLK在除P2之外的所有州都可以运行。PCLK周期的PHYSTATUS置位表示响应[TX/RX]PD变化的功率状态转换成功，并且仅在P2状态下是异步的。PCIe的有效电源转换为：

- P0至P0s
- P0s至P0
- P0到P1
- P1到P0
- P0到P2
- P2到P0

对于Gen1和Gen2模式下的PCI Express应用，使用CPLL，建议关断QPLL以节省功耗。在Gen3模式下，需要QPLL，建议关断CPLL以节省功耗。中的使用模式时序图图6-4显示了从P0到P0s状态的PCI Express掉电示例。



图6-4:PCI Express P0至P0s电源转换示例

与相关的注释图6-4：

1. 中的事件顺序图6-4没有按比例绘制。
2. 将[TX/RX]PD从00b(P0)更改为01b(P0s)。
3. 等待PHYSTATUS = 1脉冲，表示电源转换成功。
4. 继续保持[TX/RX]PD，直到请求另一次功率改变。

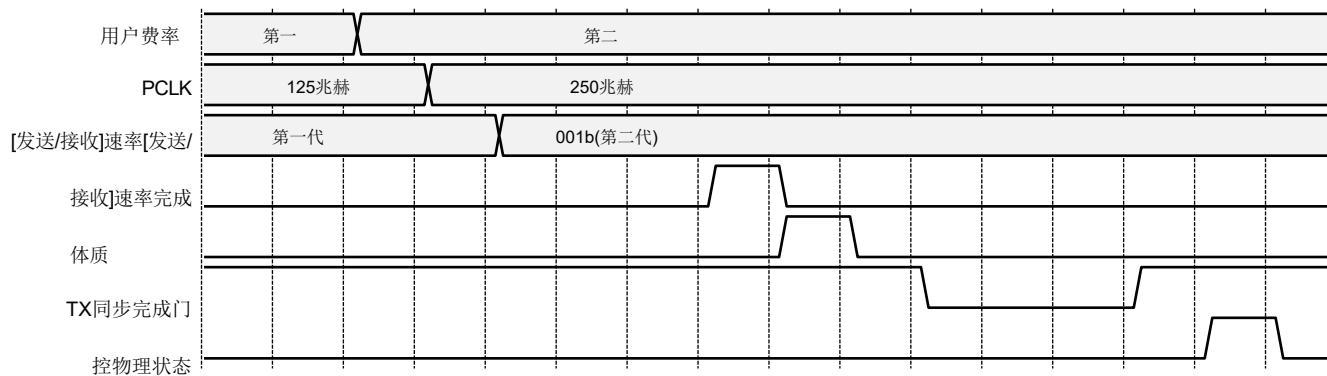
## PCI Express速率变化

### 第1代和第2代速度之间的速率变化

在Gen1操作中给GTX/GTH收发器上电后，用户可以执行PCI Express速率更改以进入Gen2。通过改变PCLK频率和动态改变GTX/GTH收发器输出分频器来执行第一代和第二代速度之间的PCI Express速率改变。对于Gen1和Gen2速度之间的速率变化，数据路径宽度是固定的。所有PCI Express速率更改都应在进入TX电气空闲以及P0或P1掉电状态后执行。以下是输入速率变化前推荐的GTX/GTH收发器设置：

- TXELECIDLE = 1
- [TX/RX]PD = 00b(P0) or 10b(P1)

中的使用模式时序图图6-5显示了从第一代速度到第二代速度的PCI Express速率变化示例。在图中，用户速率、PCLK、TX同步完成和门控物理状态是结构用户信号的示例。PCLK是[TX/RX]USRCLK2和[TX/RX]USRCLK的源。当从第二代速度进入第一代时，它应该变回125 MHz。



UG476\_c6\_04\_110810

图6-5:PCI Express第一代到第二代速率变化示例

与相关的注释图6-5:

1. 中的事件顺序图6-5没有按比例绘制。
2. 检测到用户速率变化后，至少等待16个PCLK周期，以清除任何有效的TXDATA，然后再将PCLK频率更改为250 MHz。
3. 通过设置，将GTX/GTH收发器的速率更改为第二代速度[TX/RX]速率=001b。这将使第二代速度的CPLL输出分频器变为1。第1代速度的CPLL输出分频器为2。
4. 等待[TX/RX]RATEDONE = 1和PHYSTATUS = 1脉冲。
5. 如果TX缓冲器被旁路，则执行TX sync(相位和延迟对准)。
6. TX sync(相位和延迟对齐)完成后，置位门控物理状态。门控物理状态是GTX/GTH收发器的原始物理状态的延迟版本。在门控PHYSTATUS置位以指示速率变化成功完成后，在RXELECIDLE退出和RX CDR锁定条件达到之前，不应使用RXDATA、RXSTATUS和RXVALID。

### 进入或退出第三代速度的速率变化

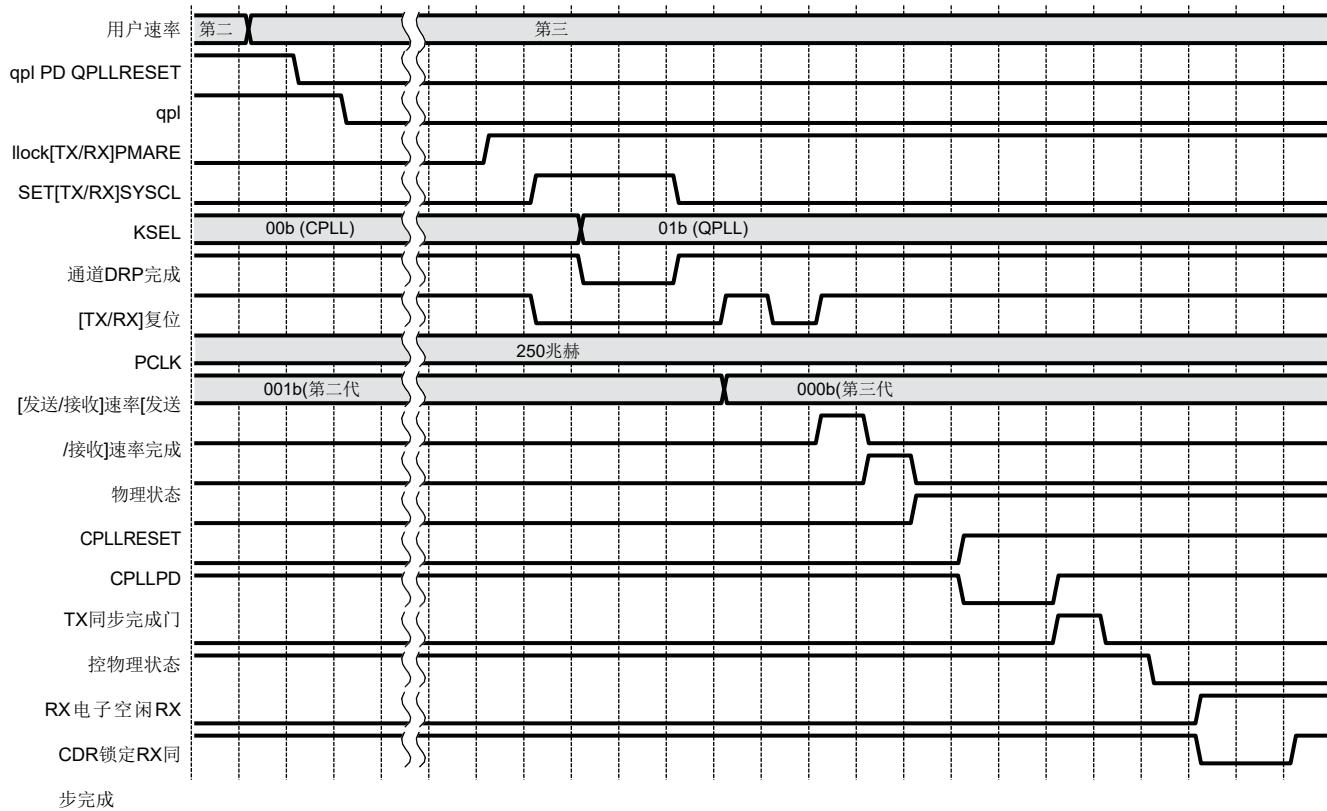
在Gen1或Gen2中，用户可以执行PCI Express速率更改以进入Gen3。进入或退出Gen3的PCI Express速率变化是一项高级功能，需要使用DRP绕过GTX/GTH收发器PC，改变数据宽度，并在CPLL和QPLL之间切换。中的使用模式时序图图6-6

显示了在Gen1和Gen2中使用CPLL时，从Gen2到Gen3的PCI Express速率变化示例。进入Gen3时，CPLL应关闭以省电。要关断CPLL，建议在成功进入Gen3后置位CPLLPD之前置位CPLLRESET。退出Gen3时，QPLL应关断以省电。要关断QPLL，建议在Gen3成功退出后，先置位QPLLRESET，再置位QPLLPD。当QPLL用于Gen3时，CPLL应关断。

以下是在PCI Express应用中选择CPLL和QPLL的推荐设置：

- [TX/RX]SYSCLKSEL = 00b选择CPLL，并使用来自GTX/GTH收发器通道的参考时钟。
- [TX/RX]SYSCLKSEL = 01b选择QPLL并使用从GTX/GTH收发器通道路由的参考时钟。

在...里图6-6用户速率、信道DRP完成、PCLK、TX同步完成、门控物理状态和RX同步完成都是示例结构用户信号。当从第三代速度进入第一代时，PCLK频率应变回125 MHz。从第三代速度进入第二代速度时，应保持在250 MHz。



UG476\_c6\_05\_121411

图6-6:PCI Express第二代到第三代速率变化示例

与相关的注释图6-6:

1. 中的事件顺序图6-6没有按比例绘制。
2. 检测到用户速率变化后，通过取消置位QPLLPD和QPLLRESET来上电QPLL，并等待直到QPLLLOCK = 1。
3. 通过置位[TX/RX]PMARESET来复位GTX/GTH收发器的PMA，然后通过设置[TX/RX]SYSCLKSEL = 01b从CPLL切换到QPLL。将PMA保持在复位状态。
4. 使用DRP绕过PCS，将GTX/GTH收发器配置为原始模式。释放GTX/GTH收发器复位，并等待直到[TX/RX]RESETDONE = 1。

5. 从第二代速度进入第三代时，保持PCLK = 250 MHz。通过将[TX/RX]RATE设置为000band，将GTX/GTH收发器的速率更改为Gen3速度。等待[TX/RX]RATEDONE = 1和PHYSTATUS = 1脉冲。
6. 通过置位CPLLRESET和CPLLPD来关断CPLL以省电。执行TX sync(相位和延迟对齐)，并在TX sync完成时置位门控物理状态。门控物理状态是GTX/GTH收发器的原始物理状态的延迟版本。
7. 如果旁路了RX缓冲器，则必须执行RX sync(相位和延迟对齐)。在执行RX同步对齐之前，请等到RX电气空闲退出且RX CDR锁定。RX sync完成后，RXDATA准备好进行处理。当旁路RX缓冲器时，建议在P0功耗状态下对Gen3执行速率更改。

### 在速率变化期间使用DRP进入或退出第三代速度

要进入Gen3操作，必须使用CTXE2\_CHANNEL或GTIE2\_CHANNEL的DRP来绕过PCS。要退出Gen3，必须使用DRP重新启用PCS功能。当Gen3发生复位时，需要DRP访问来为Gen1重新启用PCS。当PMA在速率变化期间复位时，应执行DRP。**表6-8**显示了应由DRP更新的GTX/GTH收发器属性的DRP地址和数据。用户应执行读-修改-写DRP操作，以确保仅更改目标属性。

**表6-8:输入或退出第三代速度的DRP查找表**

GTX/GTH收发器属性	描述	分销资源计划 (distribution resource planning) 地址	分销资源计划 (distribution resource planning) 数据	第一代和第二代	第三代
TXOUT_DIV	TX输出分频器	088h	[6:4]	001b 除以2 <sup>(1)</sup>	000b 除以1 <sup>(1)</sup>
RXOUT_DIV	RX输出分频器	088h	[2:0]	001b 除以2 <sup>(1)</sup>	000b 除以1 <sup>(1)</sup>
TX_数据_宽度	TX外部数据宽度	06Bh	[2:0]	011b 2字节	100b 4字节
TX_INT_DATAWIDTH	TX内部数据宽度	06Bh	[4]	0 2字节	1 4字节
RX_数据_宽度	RX外部数据宽度	011h	[13:11]	011b 2字节	100b 4字节
RX_INT_DATAWIDTH	RX外部数据宽度	011h	[14]	0 2字节	1 4字节
TXBUF_EN	TX缓冲器使能	01Ch	[14]	0 旁路发送缓冲器	0 旁路发送缓冲器
RXBUF_EN	RX缓冲器使能	09Dh	[1]	1 使用接收缓冲器	1 使用接收缓冲器
TX_XCLK_SEL	TX XCLK选择	059h	[7]	1 TXUSR	1 TXUSR
RX_XCLK_SEL	RX XCLK选择	059h	[6]	0 RXREC	0 RXREC

表6-8:输入或退出第三代速度的DRP查找表(续)

GTx/GTH收发器属性	描述	分销资源计划 (distribution resource planning) 地址	分销资源计划 (distribution resource planning) 数据	第一代和第二代	第三代
CLK_正确_使用	使用时钟校正	044h	[14]	1 真实的	0 错误的
TX_驱动模式	TX驱动模式	019h	[4:0]	00001b 管	00010b 管道3

1. 当使用[TX/RX]速率端口将速率更改为Gen2速度时， GTx/GTH收发器在内部选择TX和RX输出分频器以使用1分频。表中推荐的设置用于进入和退出Gen3速度。

## PCI Express通道绑定

为了执行RX通道间去偏斜，在Gen1和Gen2模式下，多通道PCI Express应用需要GTx/GTH收发器的通道绑定功能。在Gen3模式下，使用定制的Gen3 PCS软模块时，可以禁用通道绑定特性。RXCHBONDEN应置0，以禁用Gen3模式和x1 PCI Express应用的通道绑定特性。当通道绑定禁用时，Gen3中的RXCHANBONDMASTER和RXCHANBONDMASTER应设置为0。当信道绑定总是被禁用时，GTx/GTH信道绑定输入端口可以被连接到零。

三个通道绑定示例在：

- 单跳示例
- 菊花链示例
- 二叉树示例

### 单跳示例

建议采用单跳信道绑定结构来减少RX延迟。在单跳通道绑定中，通道0被配置为主设备，并直接连接到每个从设备。图6-7显示了PCI Express单跳通道绑定示例。

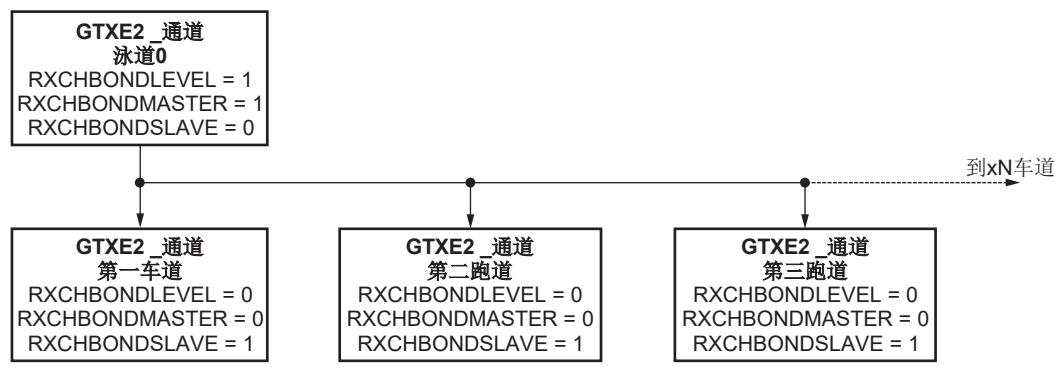
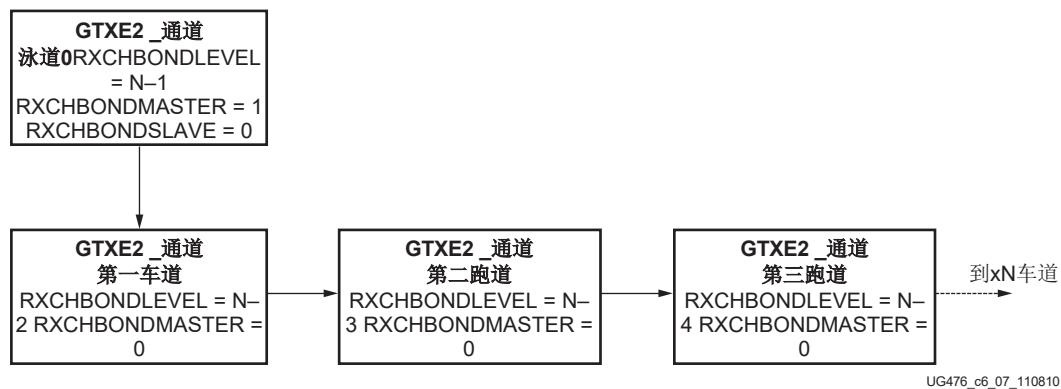


图6-7:PCI Express单跳通道绑定示例

UG476\_c6\_06\_110810

## 菊花链示例

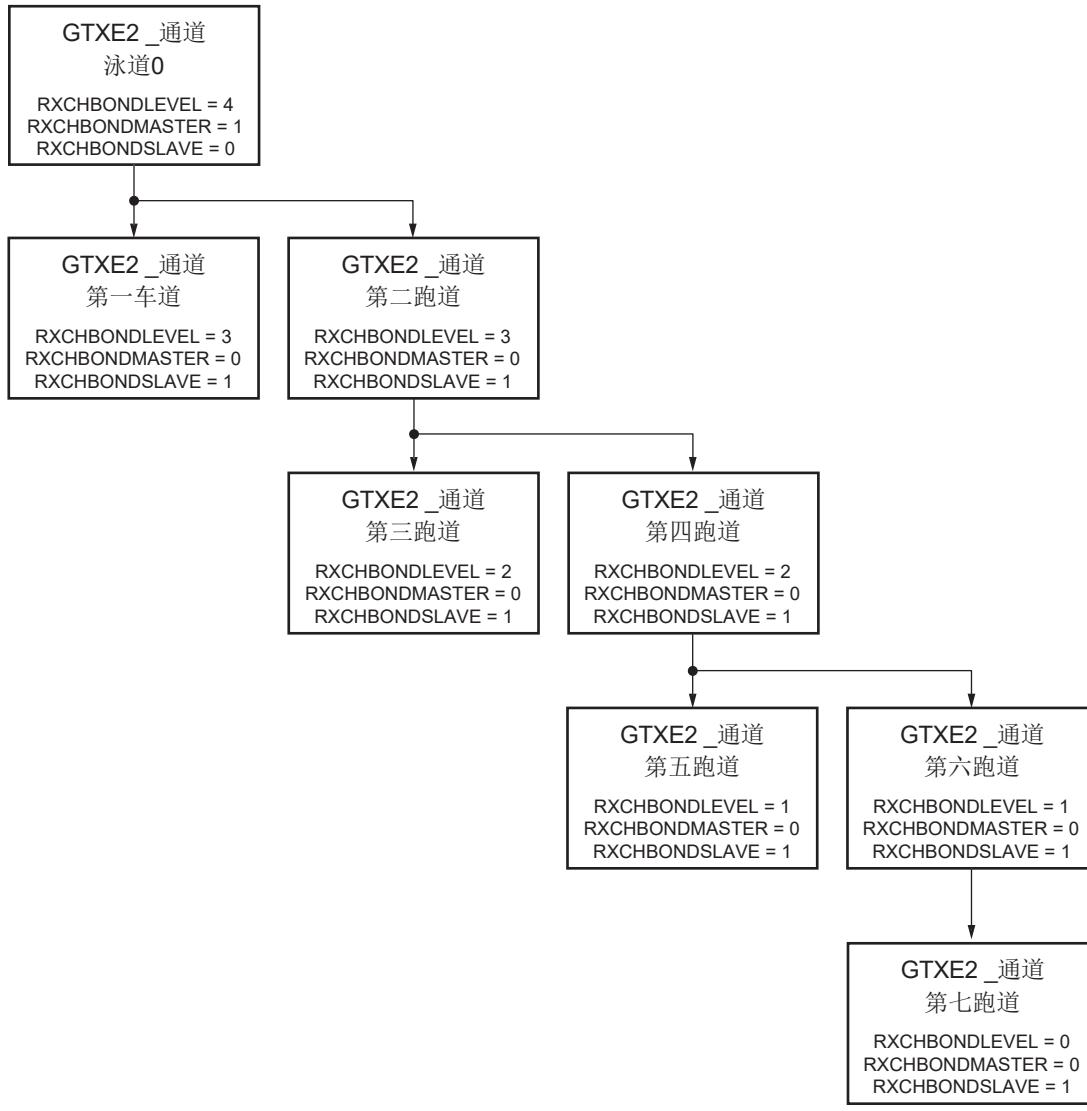
建议采用菊花链通道连接结构来改善时序。在菊花链通道绑定中，通道0配置为主机，每个从机通过管道连接成菊花链结构。[图6-8](#)显示了PCI Express菊花链通道绑定示例，其中N表示PCI Express通道的总数。



[图6-8:PCI Express菊花链通道绑定示例](#)

## 二叉树示例

为了在降低RX延迟和改善时序之间取得平衡，可以使用二叉树通道绑定结构。在二叉树通道绑定中，每个GTX/GTH收发器通道最多连接到两个PCI Express通道。[图6-9](#)显示了PCI Express二叉树通道绑定示例。



UG476\_c6\_21\_052511

图6-9:PCI Express二叉树通道绑定示例

## 通道绑定属性设置

在PCI Express应用中，信道绑定用于在链路训练期间使用TS1和TS2有序集，或者在L0s退出期间使用快速训练序列(FTS)有序集，来执行RX通道到通道去偏移。表6-9显示了PCI Express的推荐通道绑定属性设置。涉及**RX通道绑定**，[第271页](#)了解更多详细信息。

**表6-9:PCI Express的通道绑定属性**

属性	类型	描述
改变_焊接_保持_对齐	布尔代数学体系的	通道绑定保持对齐。设定为TRUE以保持PCI Express应用程序的对齐。
改变_结合_最大_偏斜	整数	通道绑定最大偏斜。保留。应使用7系列FPGAs收发器向导中的推荐值。
陈_邦德_SEQ_莱恩	整数	通道绑定序列长度。对于PCI Express应用程序，设置为4。
陈_邦德_SEQ_1_使能	4位二进制	CHAN_BOND_SEQ_1_[1/2/3/4]的通道绑定序列1使能。 对于PCI Express应用，设置为1111bfor。
陈_邦德_SEQ_1_1	10位二进制	设置为0001001010bto，将训练序列1(TS1)用于PCI Express应用。
陈_邦德_SEQ_1_2	10位二进制	设置为0001001010bto，将TS1用于PCI Express应用。
陈_邦德_SEQ_1_3	10位二进制	设置为0001001010bto，将TS1用于PCI Express应用。
陈_邦德_SEQ_1_4	10位二进制	设置为0110111100bto对PCI Express应用程序使用逗号(COM)。
陈_邦德_SEQ_2_使用	布尔代数学体系的	使用信道绑定序列2。设定为TRUE以启用PCI Express应用程序的训练序列2(TS2)。
CHAN_BOND_SEQ_2_启用	4位二进制	CHAN_BOND_SEQ_2_[1/2/3/4]的通道绑定序列2使能。 对于PCI Express应用，设置为1111bfor。
陈_邦德_SEQ_2_1	10位二进制	设置为0001000101bto将TS2用于PCI Express应用程序。
陈_邦德_SEQ_2_2	10位二进制	设置为0001000101bto将TS2用于PCI Express应用程序。
陈_邦德_SEQ_2_3	10位二进制	设置为0001000101bto将TS2用于PCI Express应用程序。

表6-9:PCI Express的通道绑定属性(续)

属性	类型	描述
陈_邦德_SEQ_2_4	10位二进制	设置为0110111100bto将COM用于PCI Express应用程序。
FTS_纠偏_SEQ_启用	4位二进制	FTS_车道_偏斜消除_CFG的FTS偏斜消除序列使能。干劲十足地开始做；毅然开始 1111 b适用于PCI Express应用。
FTS车道纠偏	布尔代数学体系的	FTS巷纠偏使能。设定为TRUE以启用PCI Express应用程序的FTS。
FTS_莱恩_纠偏_CFG	4位二进制	FTS巷抗扭斜配置。干劲十足地开始做；毅然开始 1111 b适用于PCI Express应用。

## PCI Express时钟校正

为了执行RX时钟补偿，建议将GTX/GTH收发器的时钟校正功能用于Gen1和Gen2模式下的PCI Express应用。在Gen3模式下，使用定制的Gen3 PCS软模块时，可以禁用时钟校正特性。在PCI Express应用中，时钟校正用于通过SKP有序集执行RX时钟补偿。时钟校正功能可在RX弹性缓冲器中插入或移除SKP符号，以补偿高达600 ppm或300 ppm的时钟差异。

表6-10显示了PCI Express的建议时钟校正属性设置。涉及[RX时钟校正](#)，[第261页](#)了解更多详细信息。

表6-10:PCI Express的时钟校正属性

属性	类型	描述
CBCC_数据_来源_选择	线	通道绑定和时钟校正数据源选择。设置为已解码，使用来自8B/10B解码器的数据PCI Express应用程序。
CLK_正确_使用	布尔代数学体系的	使用时钟校正。设置为TRUE以启用Gen1和Gen2中PCI Express应用的时钟校正。
CLK_正确_保持空闲	布尔代数学体系的	保持时钟校正空闲。设定为TRUE，为接收的每个连续时钟校正序列流保留至少一个时钟校正序列PCI Express应用程序。
COR_科尔_马克斯_拉特	整数	时钟校正最大延迟。 保留。应使用7系列FPGAs收发器向导中的推荐值。
CLK科尔分拉特	整数	时钟校正最小延迟。 保留。应使用7系列FPGAs收发器向导中的推荐值。

表6-10:PCI Express的时钟校正属性(续)

属性	类型	描述
CLK优先	布尔代数学体系的	时钟校正优先级。设定为TRUE，为PCI Express应用程序设定高于通道绑定的时钟校正优先级。
COR_科尔_重复_等待	整数	重复时钟校正的等待周期。置0，用于PCI Express应用的连续时钟校正。
CLK科尔SEQ莱恩	整数	对于PCI Express应用，设置为1。
CLK科尔SEQ 1启用	4位二进制	设置为1111bto将跳过(SKP)有序集用于PCI Express应用程序。
SEQ CLK科尔1 1	10位二进制	对于PCI Express应用，设置为0100011100bfor。
SEQ CLK科尔1 2	10位二进制	对于PCI Express应用，设置为0000000000bfor。
SEQ CLK科尔1 3	10位二进制	对于PCI Express应用，设置为0000000000bfor。
SEQ CLK科尔1 4	10位二进制	对于PCI Express应用，设置为0000000000bfor。
CLK科尔SEQ 2启用	4位二进制	对于PCI Express应用，设置为0000bfor。
SEQ CLK科尔2用途	布尔代数学体系的	设置为假，禁用PCI Express应用的时钟校正序列2。
SEQ CLK科尔_2_1	10位二进制	对于PCI Express应用，设置为0000000000bfor。
SEQ CLK科尔2号	10位二进制	对于PCI Express应用，设置为0000000000bfor。
SEQ CLK科尔_2_3	10位二进制	对于PCI Express应用，设置为0000000000bfor。
SEQ CLK科尔_2_4	10位二进制	对于PCI Express应用，设置为0000000000bfor。

## XAUI使用模型

本节提供了为XAUI应用配置和使用GTX/GTH收发器的推荐指南。

### 功能描述

在XAUI应用中，有四台GTX/GTH收发器，每台都以3.125 Gb/s，通过通道绑定在一起。通过7系列FPGAs收发器向导，可以生成一个包装器，其中包含针对XAUI应用正确配置的GTX/GTH收发器。

XAUI应用中推荐使用的GTX/GTH收发器特性有：

- QPLL
- 2字节内部和2字节FPGA接口宽度
- TX缓冲器旁路
- RX缓冲器
- 逗号对齐
- 通道结合
- 时钟校正
- 8B/10B编码器和解码器

### XAUI使用模式

表6-11显示了几个关键属性和端口的推荐GTX/GTH收发器设置。

表6-11:推荐XAUI应用的GTX/GTH收发器设置

GTX/GTH收发器属性	价值
[发送/接收]速率[2:0]	3'b000 (必须将 [TX/RX] OUT_DIV设置为2)
[TX/RX]USRCLK	156.25兆赫
[TX/RX]USRCLK2	156.25兆赫
[TX/RX]_DATA_WIDTH	20
[TX/RX]_INT_DATAWIDTH	0
TXBUF_EN	错误的
RXBUF_EN	真实的
TX_XCLK_SEL	TXUSR
RX_XCLK_SEL	RXREC
TXOUTCLKSEL[2:0]	3'b011
CLK_正确_使用	真实的
RXCOMMANDEN	1
RXCHBONDEN	1
[TX/RX]8B10BEN	1

## XAUI计时

### 参考时钟

对于XAUI操作，使用单个156.25 MHz参考时钟。参考时钟馈入IBUFDS\_GTE2，驱动GTXE2\_COMMON或GTHE2\_COMMON的GTREFCLK0端口，如所示图6-10。GTX/GTH收发器使用参考时钟来产生用于发送和接收的高速串行时钟。表6-12显示了XAUI操作的推荐PLL和时钟分频器设置。

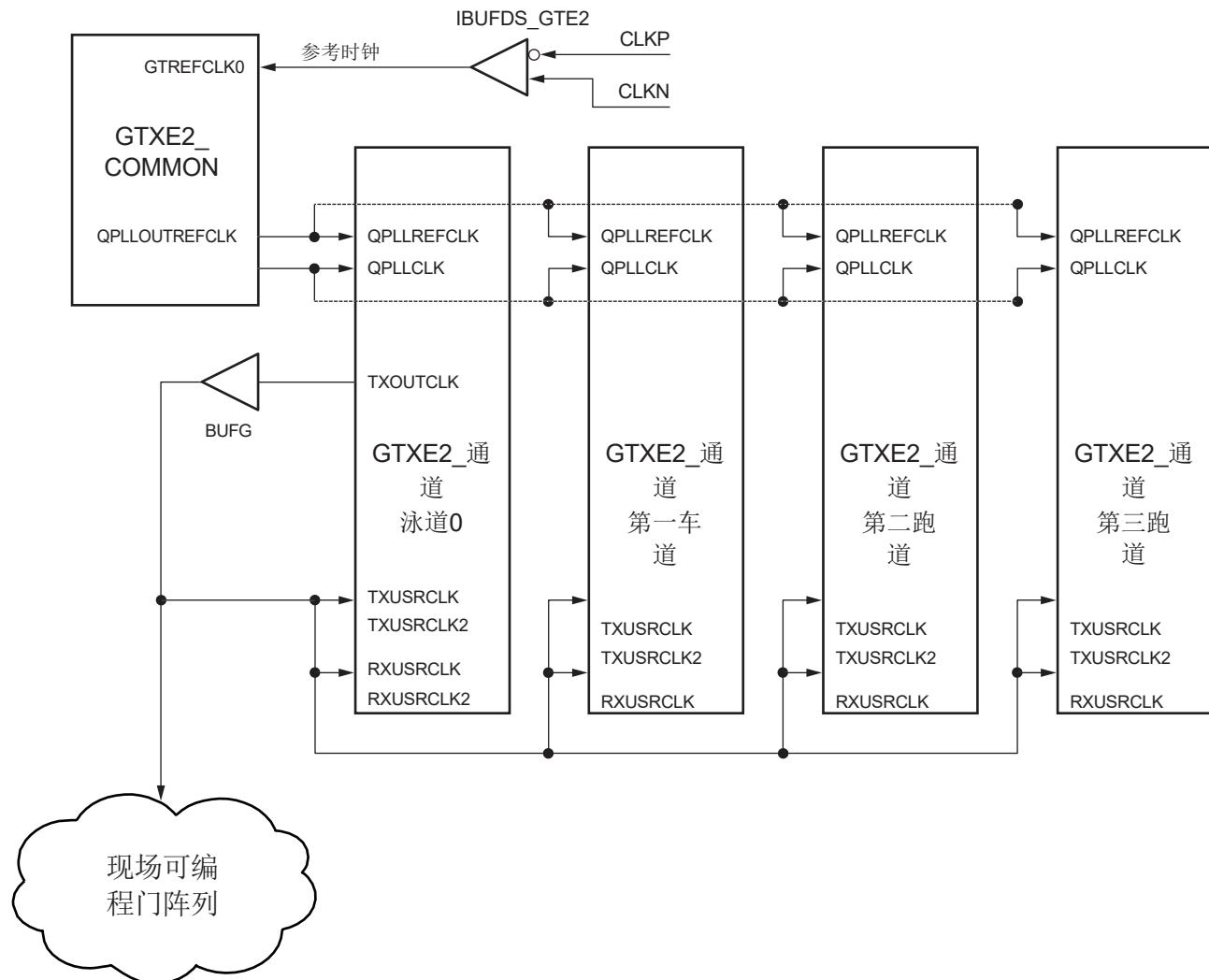
表6-12:推荐XAUI应用使用的QPLL和时钟设置

GTx/GTh收发器属性	价值
QPLL_REFCLK_DIV	1
QPLL_FBDIV	10英尺b0010000000
QPLL_FBDIV_RATIO	1
[发送/接收]输出_分区	2
[TX/RX]_CLK25_DIV	7

### 并行时钟

在XAUI操作中，GTX/GTH收发器内部数据宽度和FPGA接口都是两个字节。具体来说，内部数据宽度为20位，FPGA接口宽度为16位。因为内部和FPGA接口宽度都是两个字节，所以[TX/RX]USRCLK和[TX/RX]USRCLK2的频率是相等的。在XAUI工作模式下，[TX/RX]USRCLK和[TX/RX]USRCLK2的频率都是156.25 MHz。

对于XAUI操作，TX缓冲器被旁路。由于TX缓冲器被旁路，TXOUTCLKSEL必须设为3'b011so，以便GTX/GTH收发器参考时钟用作TXUSRCLK和TXUSRCLK2至TXOUTCLK的时钟源。图6-10显示了一个XAUI时钟架构示例。

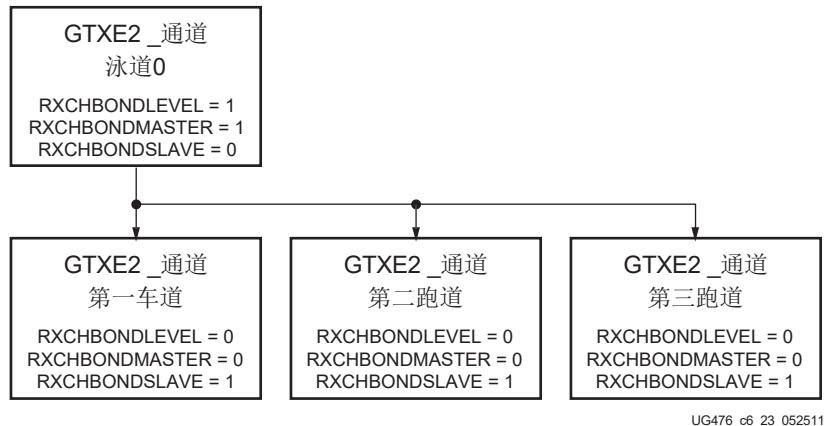


UG476\_c6\_22\_052511

图6-10:XAUI时钟架构示例

## XAUl渠道绑定

XAUl使用四信道绑定的GTX/GTH收发器。当信道绑定四个GTX/GTH收发器时，有多种方法可以正确连接信道绑定端口。[图6-11](#)显示了一个这样的通道绑定示例。



[图6-11:XAUl渠道绑定示例](#)

[表6-13](#)显示了为XAUl推荐的通道绑定属性设置。看见[RX通道绑定，第271页](#)了解更多详细信息。

[表6-13:XAUl的渠道绑定属性](#)

属性	类型	描述
改变_焊接_保持_对齐	布尔代数学体系的	通道绑定保持对齐。对于XAUl应用程序，设置为FALSE。
改变_结合_最大_偏斜	整数	通道绑定最大偏斜。保留。中的推荐值应使用7系列FPGAs收发器向导。
陈_邦德_SEQ_莱恩	整数	通道绑定序列长度。对于XAUl应用，设置为1。
陈_邦德_SEQ_1_使能	4位二进制	通道绑定序列1使能。对于陈_邦德_SEQ_1_[1/2/3/4]。对于XAUl应用，设置为4'b 1111。
陈_邦德_SEQ_1_1	10位二进制	对于XAUl应用，设置为10'b010111100for。
陈_邦德_SEQ_1_2	10位二进制	对于XAUl应用，设置为10'b0000000000。
陈_邦德_SEQ_1_3	10位二进制	对于XAUl应用，设置为10'b0000000000。
陈_邦德_SEQ_1_4	10位二进制	对于XAUl应用，设置为10'b0000000000。

表6-13:XAUI的渠道绑定属性(续)

属性	类型	描述
陈_邦德_SEQ_2_使用	布尔代数学体系的	使用信道绑定序列2。对于XAUI应用程序，设置为FALSE。
CHAN_BOND_SEQ_2_启用	4位二进制	通道绑定序列2使能。对于陈_邦德_SEQ_2_[1/2/3/4]。对于XAUI应用，设置为4'b 1111。
陈_邦德_SEQ_2_1	10位二进制	对于XAUI应用，设置为10'b0000000000。
陈_邦德_SEQ_2_2	10位二进制	对于XAUI应用，设置为10'b0000000000。
陈_邦德_SEQ_2_3	10位二进制	对于XAUI应用，设置为10'b0000000000。
陈_邦德_SEQ_2_4	10位二进制	对于XAUI应用，设置为10'b0000000000。
FTS车道纠偏	布尔代数学体系的	FTS巷纠偏使能。对于XAUI应用程序，设置为FALSE。

## XAUI时钟校正

表6-14显示了为XAUI推荐的时钟校正属性设置。涉及[RX时钟校正](#)，[第261页](#)了解更多详细信息。

表6-14:XAUI的时钟校正属性

属性	类型	描述
CBCC_数据_来源_选择	线	通道绑定和时钟校正数据源选择。设置为“已解码”，将8B/10B解码器的输出数据用于XAUI应用。
CLK_正确_使用	布尔代数学体系的	使用时钟校正。设定为TRUE以启用XAUI应用程序的时钟校正。
CLK_正确_保持空闲	布尔代数学体系的	保持时钟校正空闲。对于XAUI应用程序，设置为FALSE。
COR_科尔_马克斯_拉特	整数	时钟校正最大延迟。保留。应使用7系列FPGAs收发器向导中的推荐值。
CLK科尔分拉特	整数	时钟校正最小延迟。保留。应使用7系列FPGAs收发器向导中的推荐值。
CLK优先	布尔代数学体系的	时钟校正优先级。设为TRUE，为XAUI应用程序设置比通道绑定更高的时钟校正优先级。

表6-14:XAUl的时钟校正属性(续)

属性	类型	描述
COR_科尔_重复_等待	整数	重复时钟校正的等待周期。置0，用于XAUl应用的连续时钟校正。
CLK科尔SEQ莱恩	整数	对于XAUl应用，设置为1。
CLK科尔SEQ 1启用	4位二进制	对于XAUl应用，设置为4'b 1111。
SEQ CLK科尔1 1	10位二进制	对于XAUl应用，设置为10'b0100011100for。
SEQ CLK科尔1 2	10位二进制	对于XAUl应用，设置为10'b0100000000for。
SEQ CLK科尔1 3	10位二进制	对于XAUl应用，设置为10'b0100000000for。
SEQ CLK科尔1 4	10位二进制	对于XAUl应用，设置为10'b0100000000for。
CLK科尔SEQ 2启用	4位二进制	对于XAUl应用，设置为4'b 1111。
SEQ CLK科尔2用途	布尔代数学体系的	设为FALSE，禁用XAUl应用的时钟校正序列2。
SEQ CLK科尔_2_1	10位二进制	对于XAUl应用，设置为10'b0100000000for。
SEQ CLK科尔2号	10位二进制	对于XAUl应用，设置为10'b0100000000for。
SEQ CLK科尔_2_3	10位二进制	对于XAUl应用，设置为10'b0100000000for。
SEQ CLK科尔_2_4	10位二进制	对于XAUl应用，设置为10'b0100000000for。

# 按包排列的位置信息

本附录提供了可用器件和封装组合的四元组位置信息，以及与每个串行收发器通道和相关原语相关的外部信号的焊盘编号。

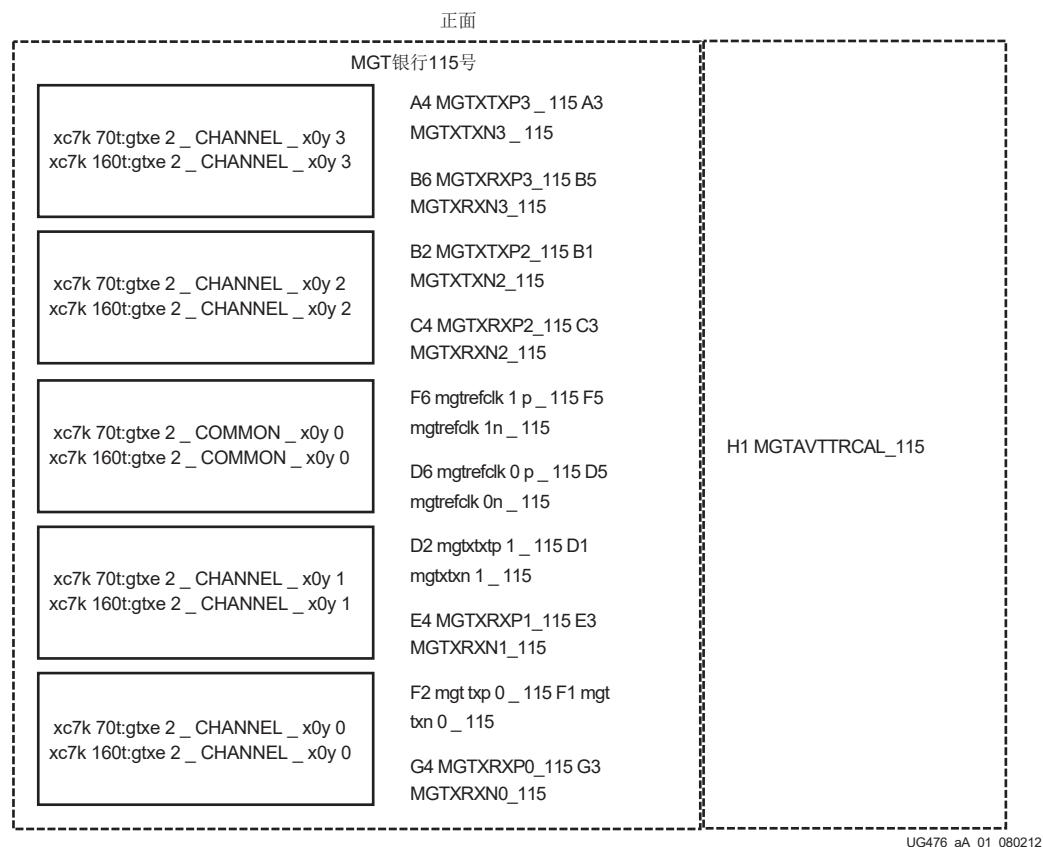
一些器件提供Pb和无铅(附加G或V)封装作为标准订购选项。对XC零件号的引用也适用于XQ零件号(如果有)，对封装的引用也适用于加固封装代码(如果有)。

## GTX收发器封装布局图

- [FBG484封装布局图, 第346页](#)
- [FBG676封装布局图, 第347页](#)
- [FBG900封装布局图, 第348页](#)
- [FFG676封装布局图, 第350页](#)
- [FFG900封装布局图, 第351页](#)
- [FFG901封装布局图, 第353页](#)
- [FFG1156封装布局图, 第357页](#)
- [FFG1157封装布局图, 第361页](#)
- [FFG1158封装布局图, 第364页](#)
- [FFG1761封装布局图, 第370页](#)
- [FFG1927封装布局图, 第375页](#)
- [FFG1930封装布局图, 第383页](#)
- [FLG1925封装布局图, 第386页](#)
- [FHG1761封装布局图, 第388页](#)

## FBG484封装布局图

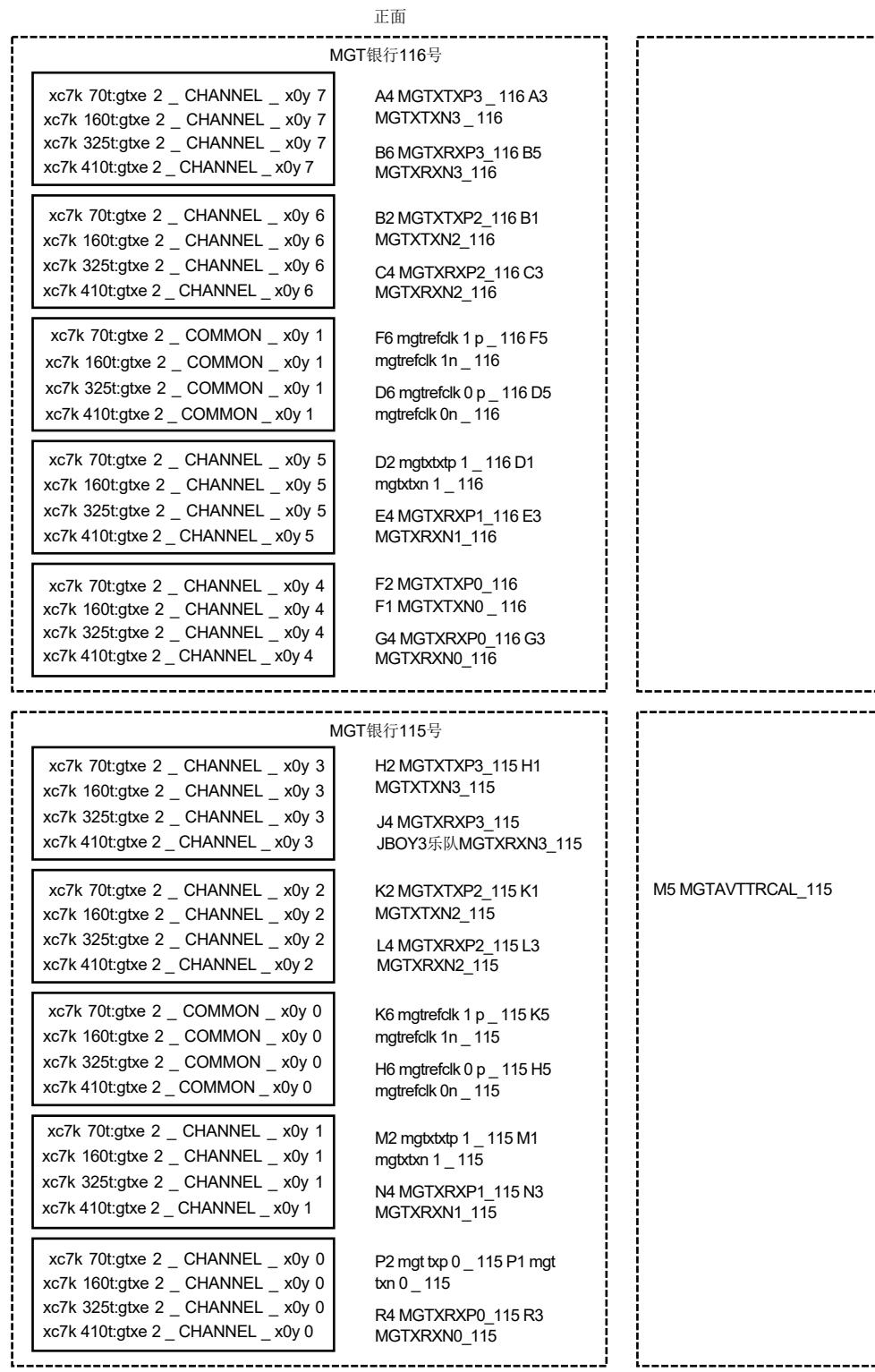
图A-1显示了FBG484封装的放置图。



图A-1:FBG484封装的放置图

## FBG676封装布局图

图A-2显示了FBG676封装的放置图。

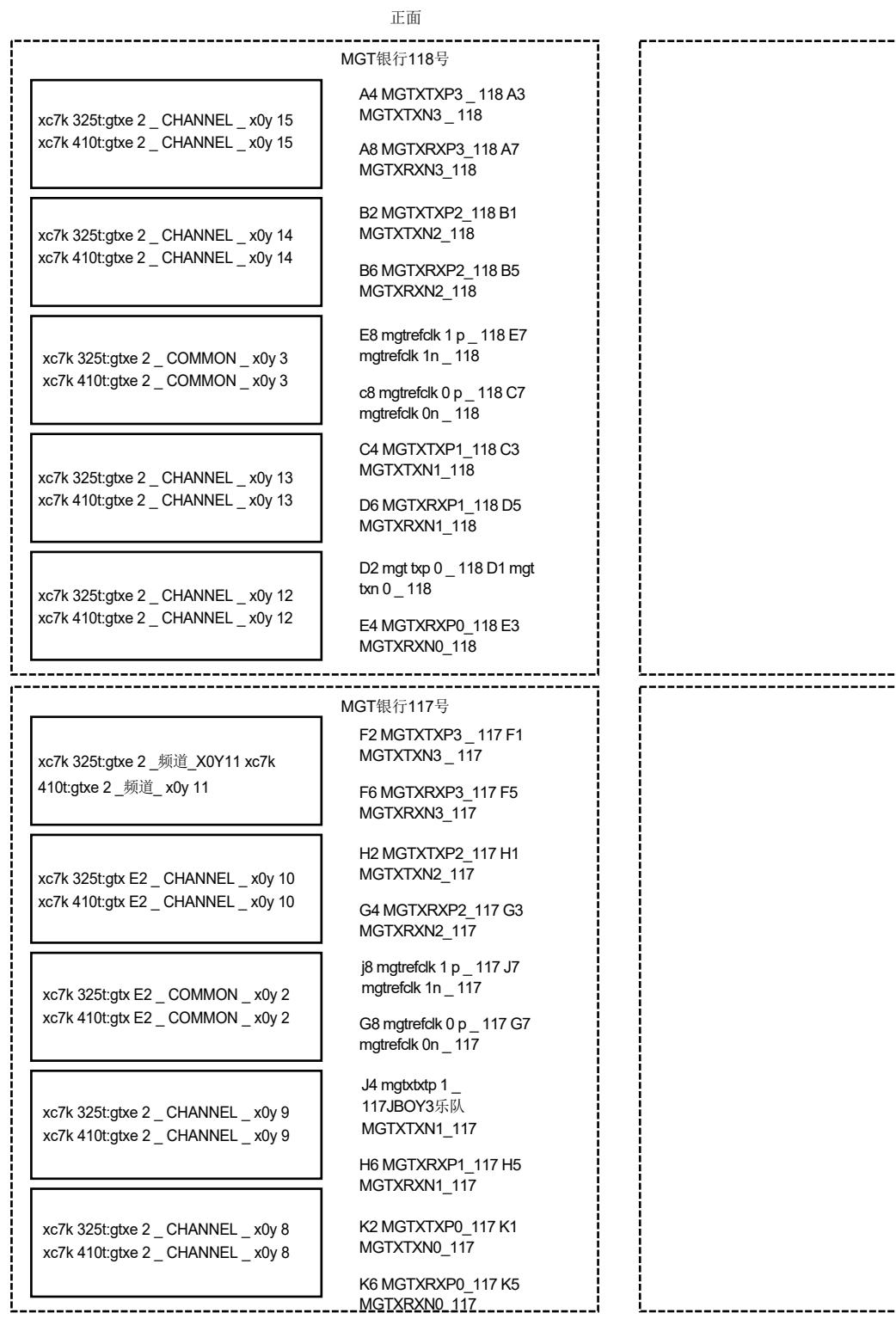


UG476\_aA\_02\_080312

图A-2:FBG676封装的放置图

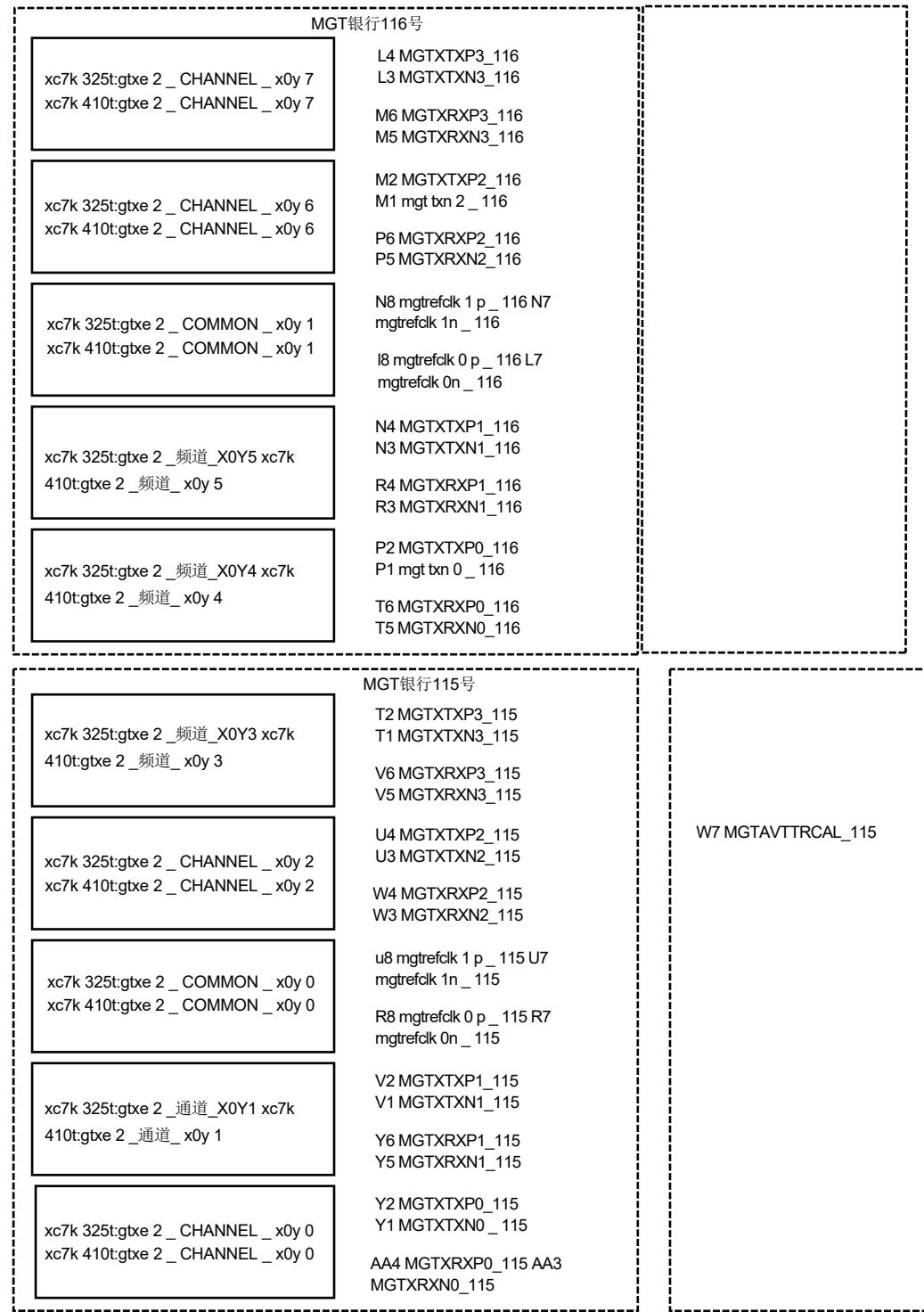
## FBG900封装布局图

图A-3和图A-4显示FBG900封装的放置图。



UG476\_aA\_03A\_080312

图A-3:FBG900封装布局图(第1页, 共2页)

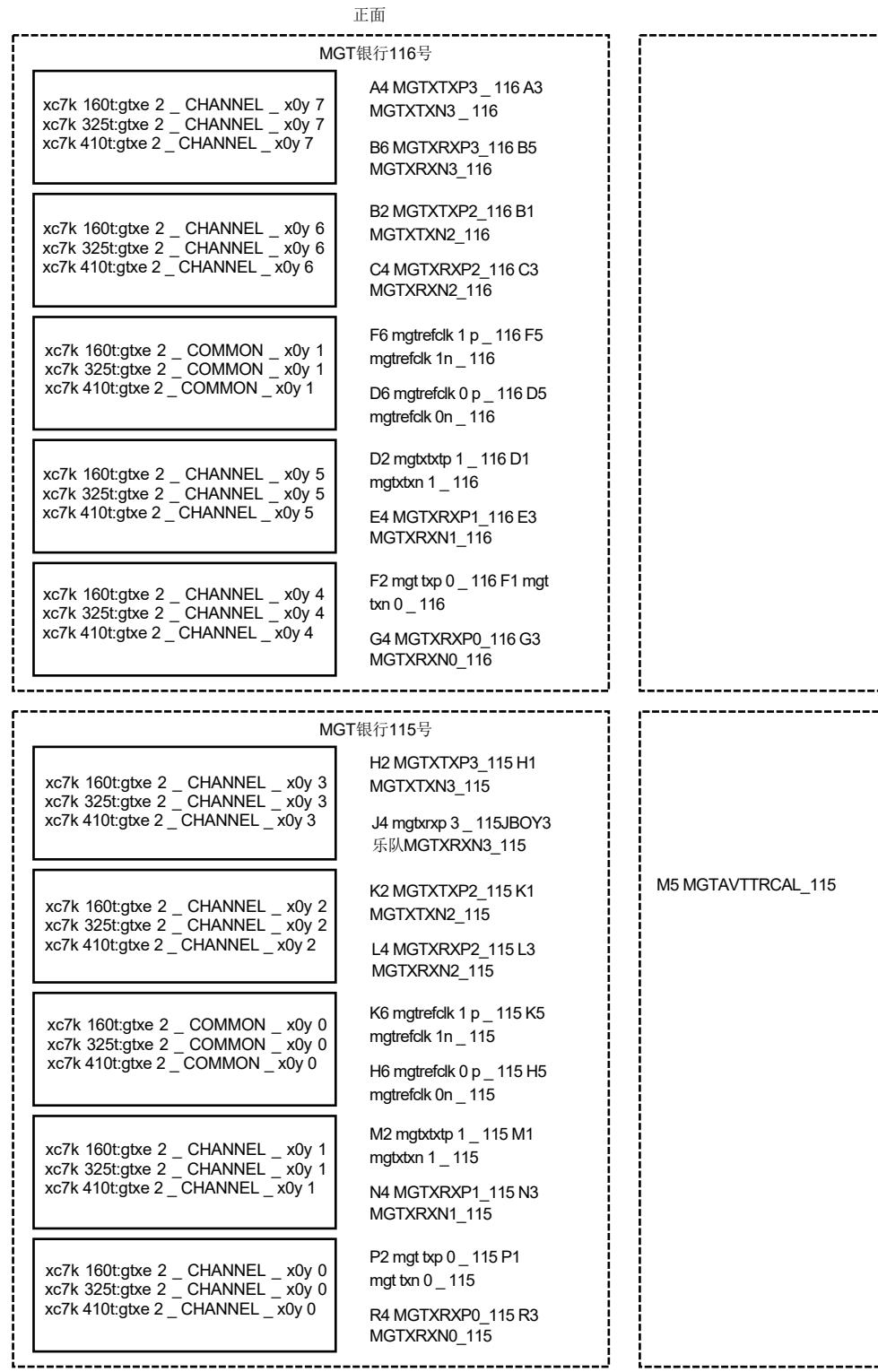


UG476\_aA\_03B\_080312

图A-4:FBG900封装布局图(第2页, 共2页)

## FFG676封装布局图

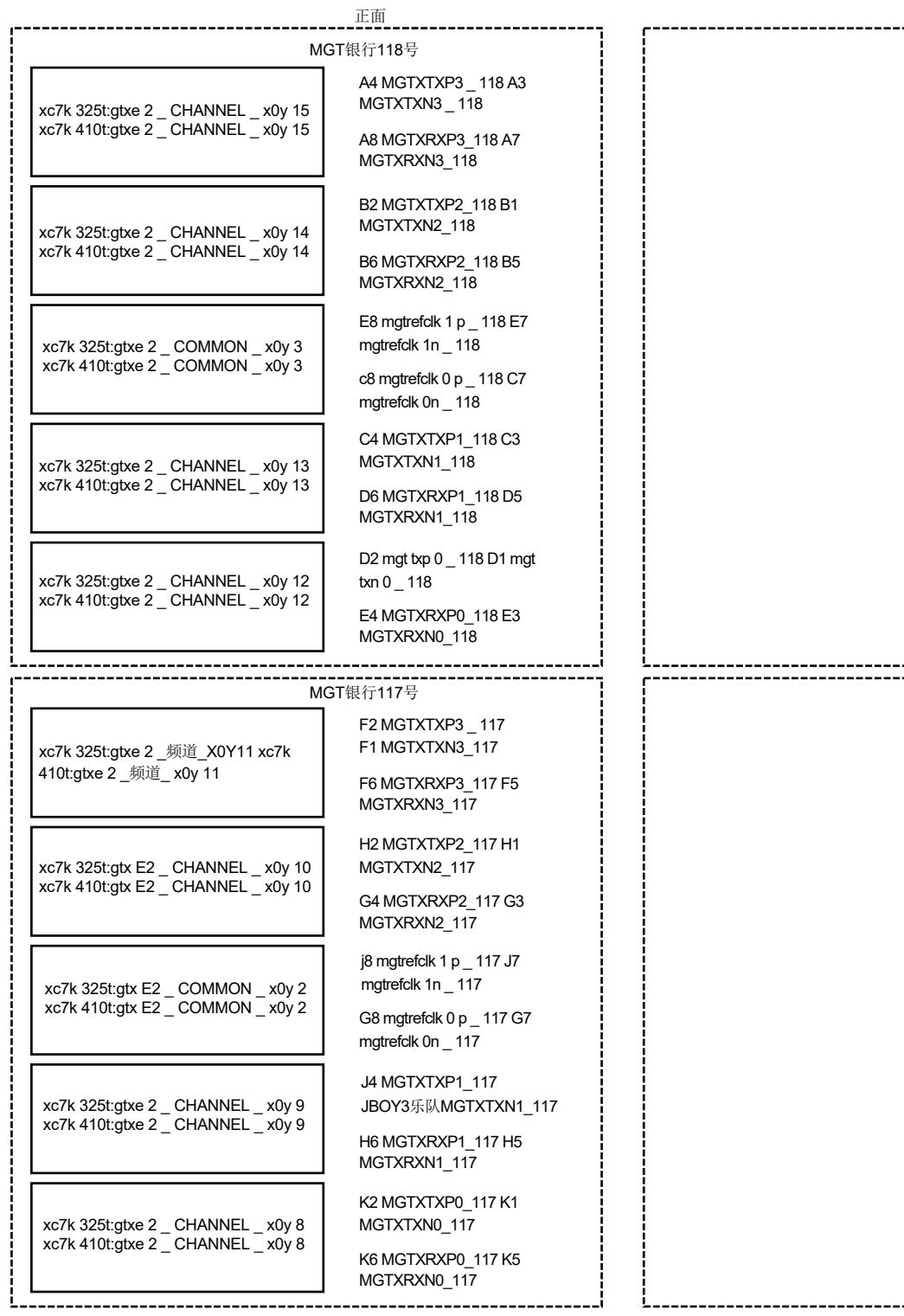
图A-5显示了FFG676封装的布局布线图。



图A-5:FFG676封装布局图

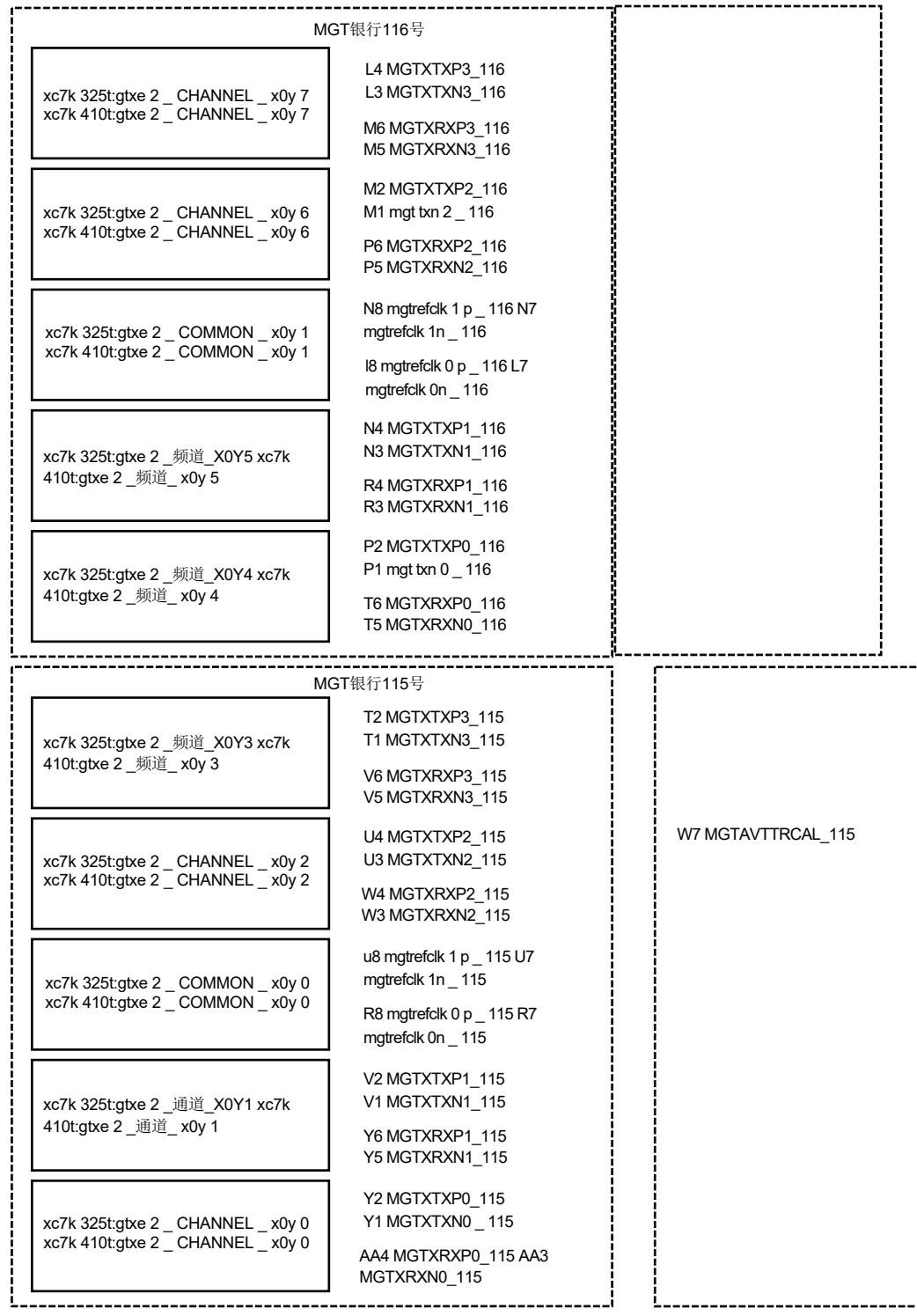
## FFG900封装布局图

图A-6和图A-7显示FFG900封装的放置图。



UG476\_aA\_05A\_080312

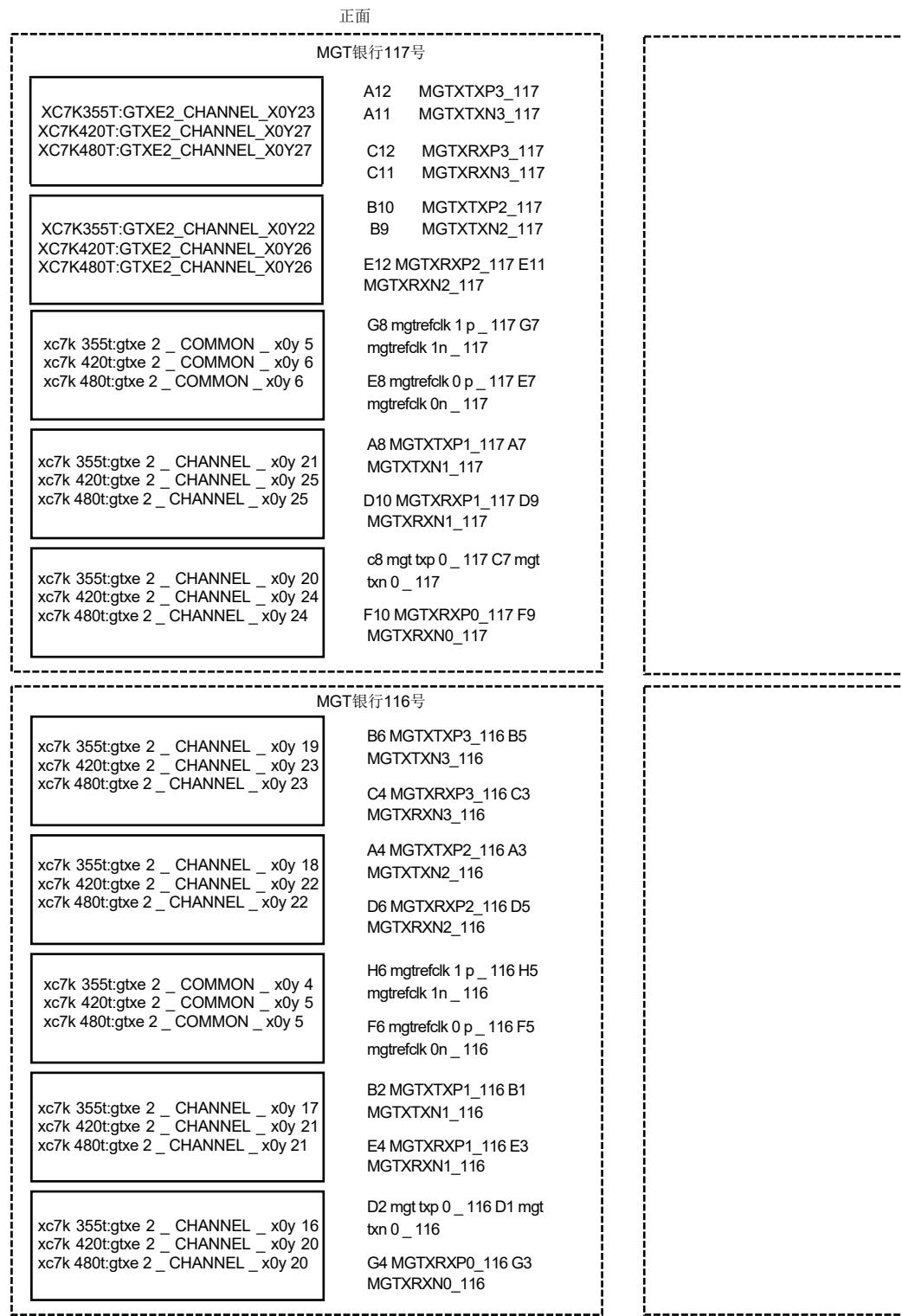
图A-6:FFG900封装布局图(第1页, 共2页)



图A-7:FFG900封装布局图(第2页, 共2页)

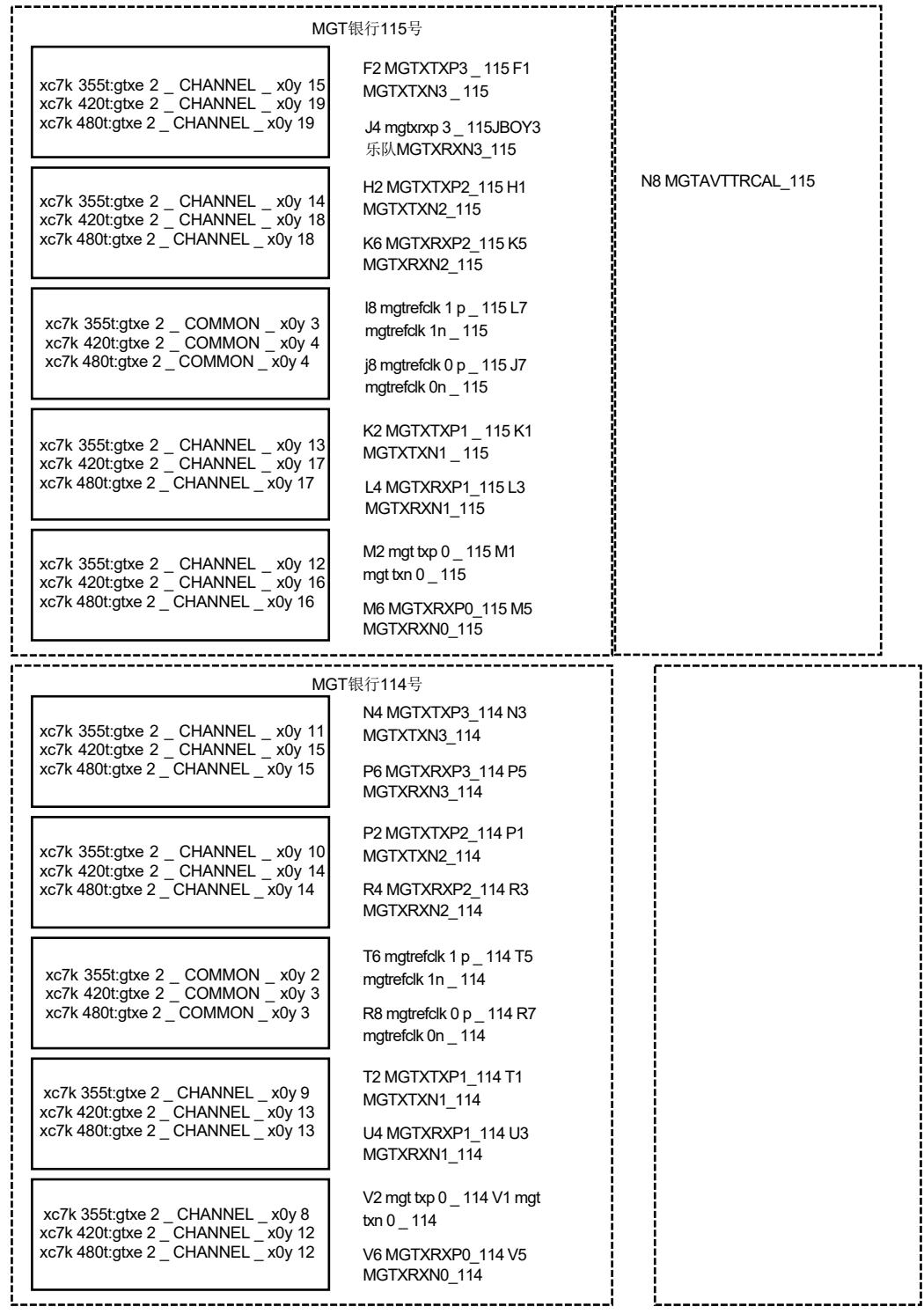
## FFG901封装布局图

图A-8穿过图A-11显示FFG901封装的布局图。



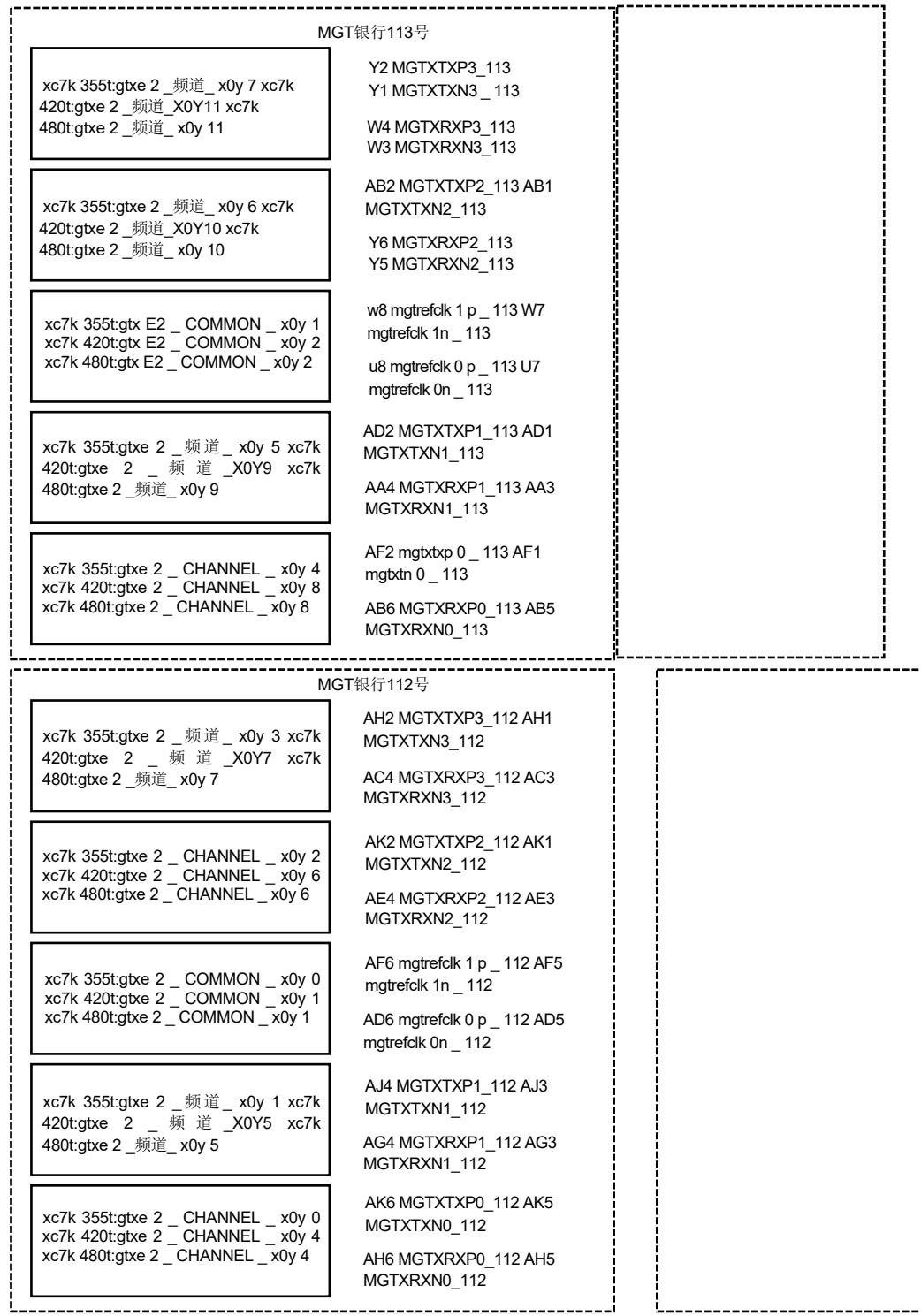
UG476\_aA\_06A\_080312

图A-8:FFG901封装布局图(第1页, 共4页)



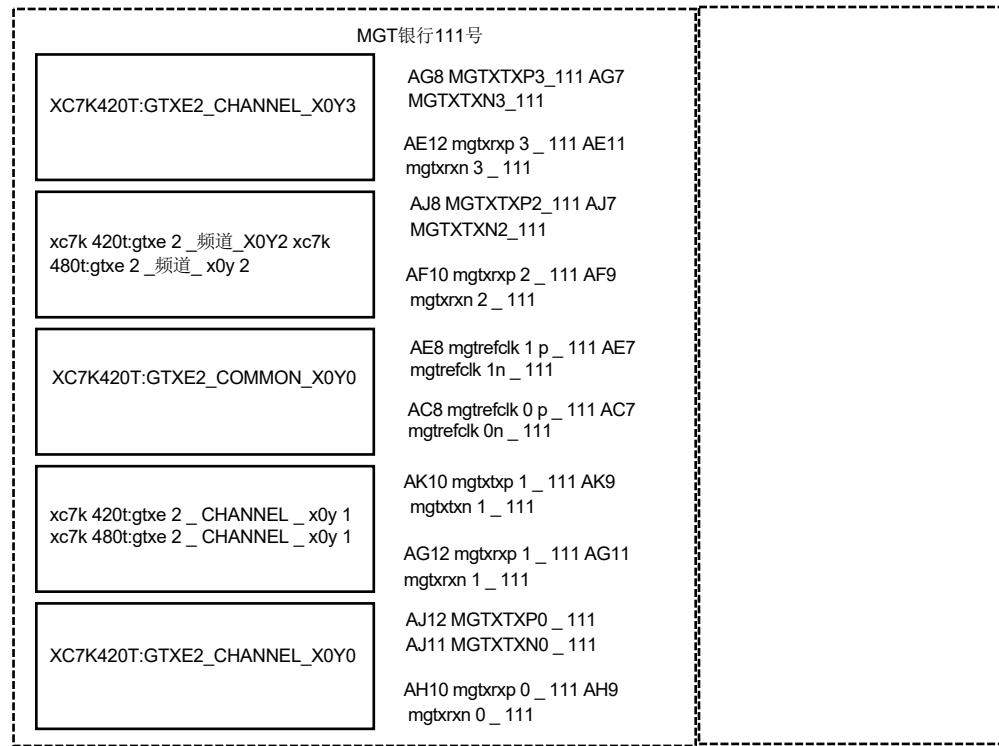
UG476\_aA\_06B\_080312

图A-9:FFG901封装布局图(第2页, 共4页)



UG476\_aA\_06C\_080312

图A-10:FFG901封装布局图(第3页，共4页)

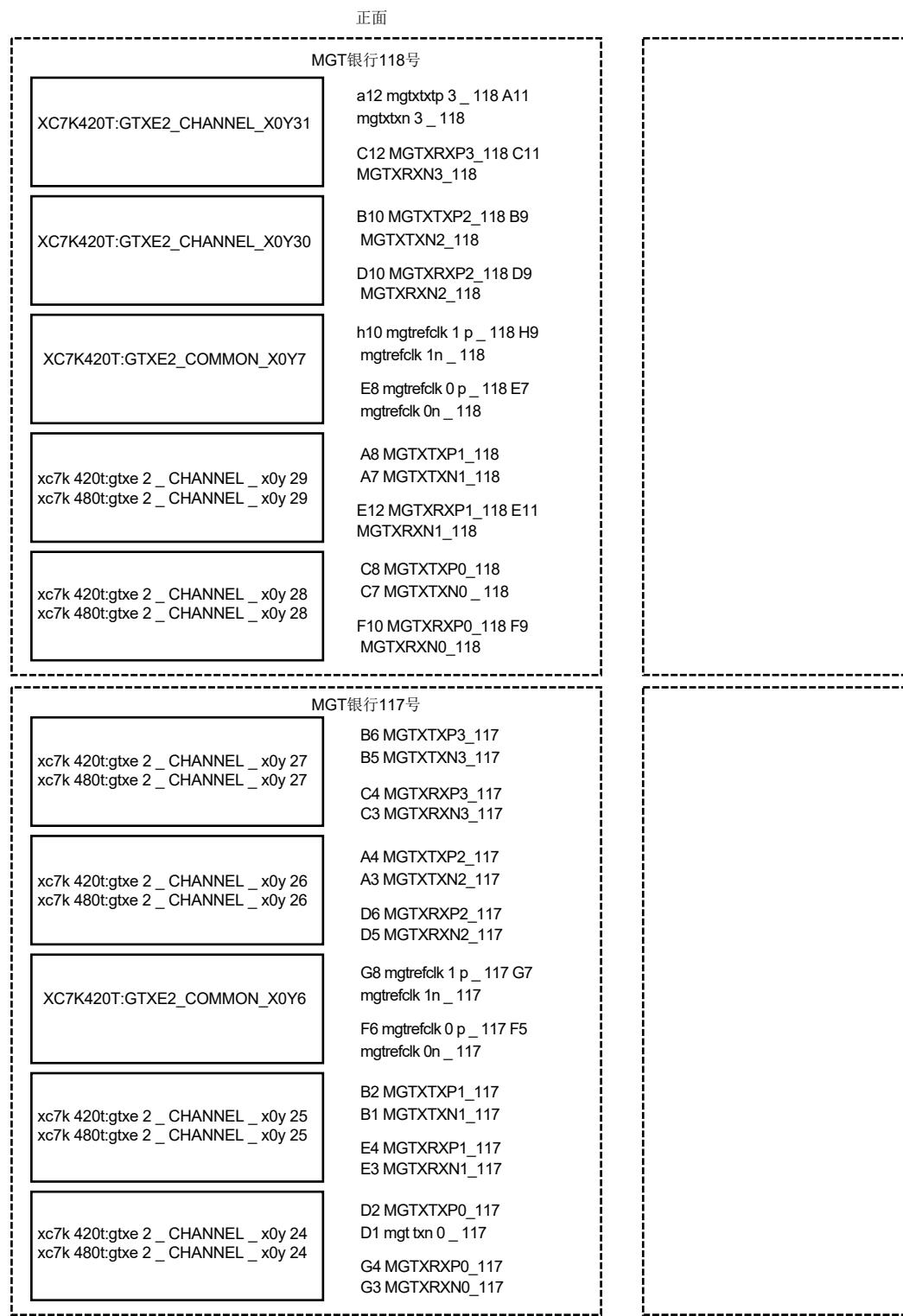


UG476\_aA\_06D\_080312

图A-11:FFG901封装布局图(第4页, 共4页)

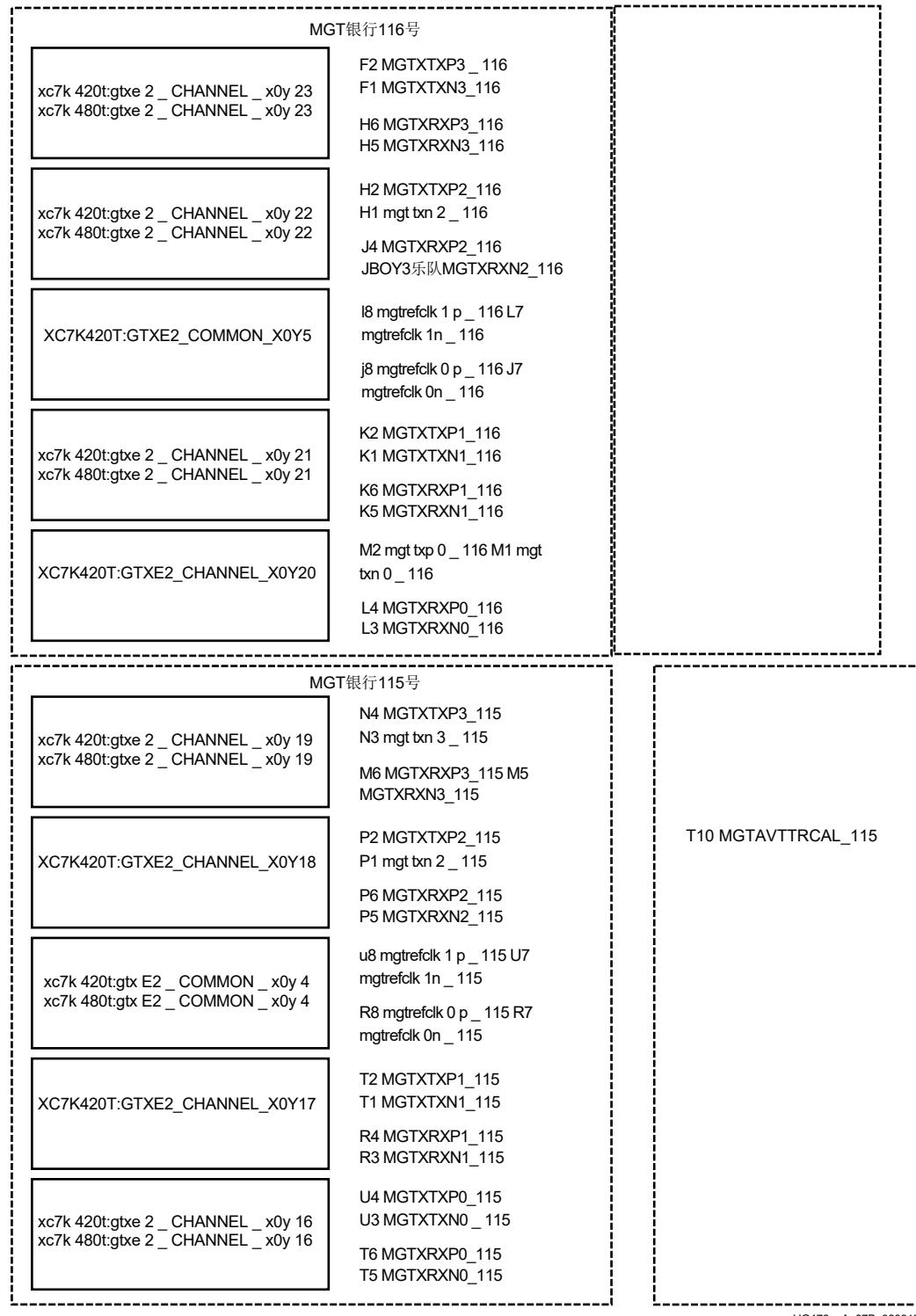
## FFG1156封装布局图

图A-12 穿过图A-15显示FFG1156封装的放置图。



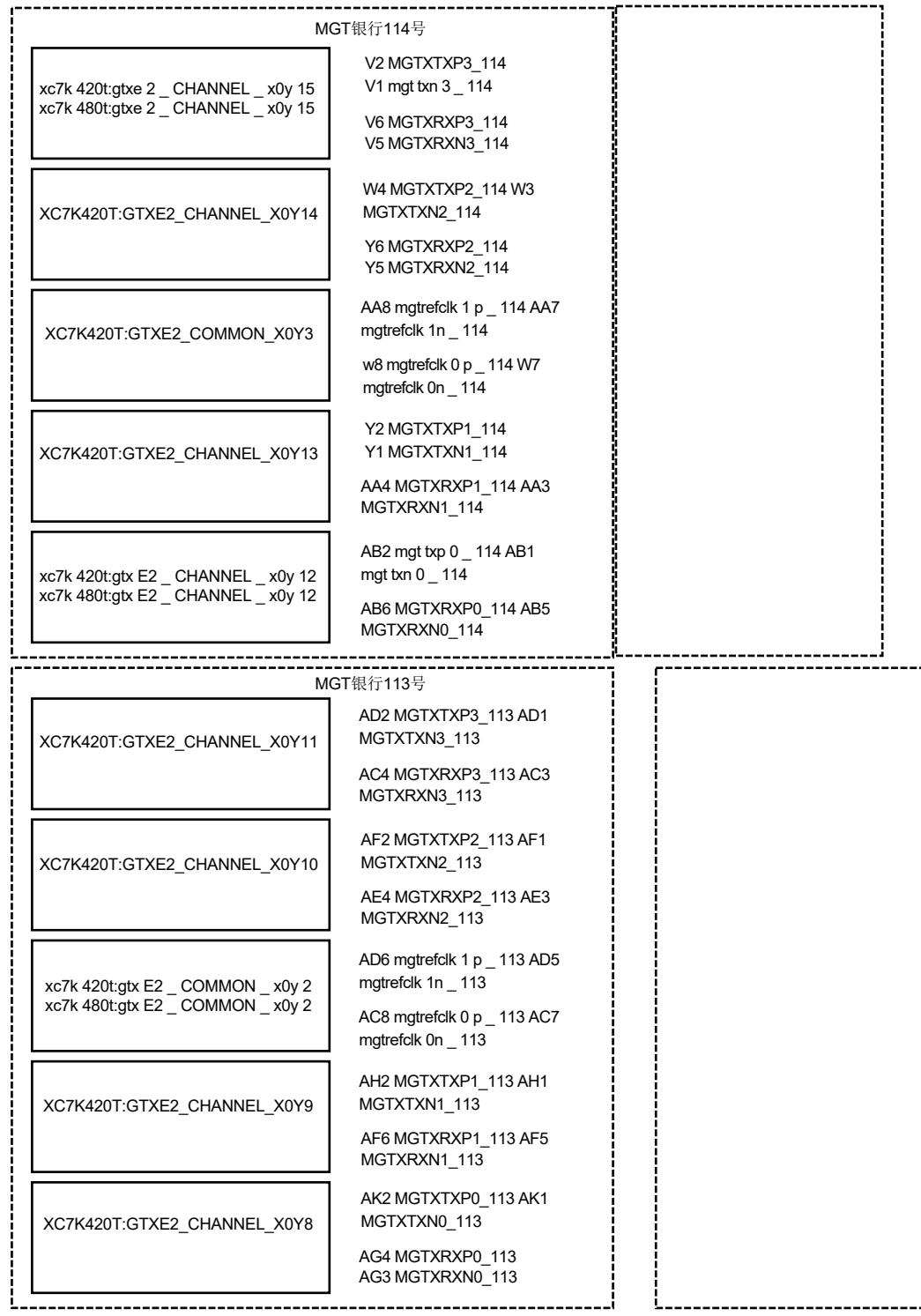
UG476\_aA\_07A\_080312

图A-12:FFG1156封装布局图(第1页, 共4页)



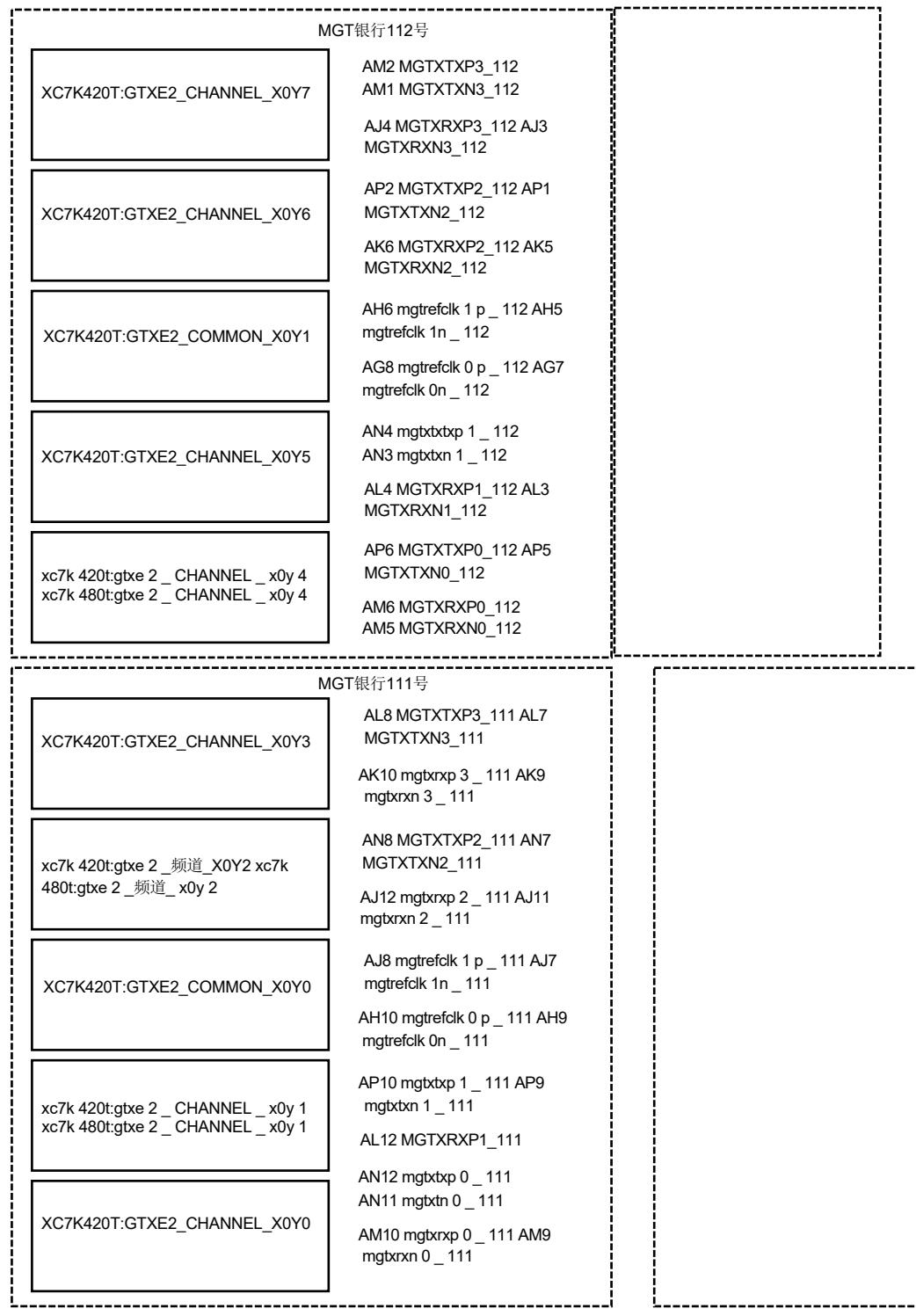
UG476\_aA\_07B\_080312

图A-13:FFG1156封装布局图(第2页, 共4页)



UG476\_aA\_07C\_080312

图A-14:FFG1156封装布局图(第3页, 共4页)

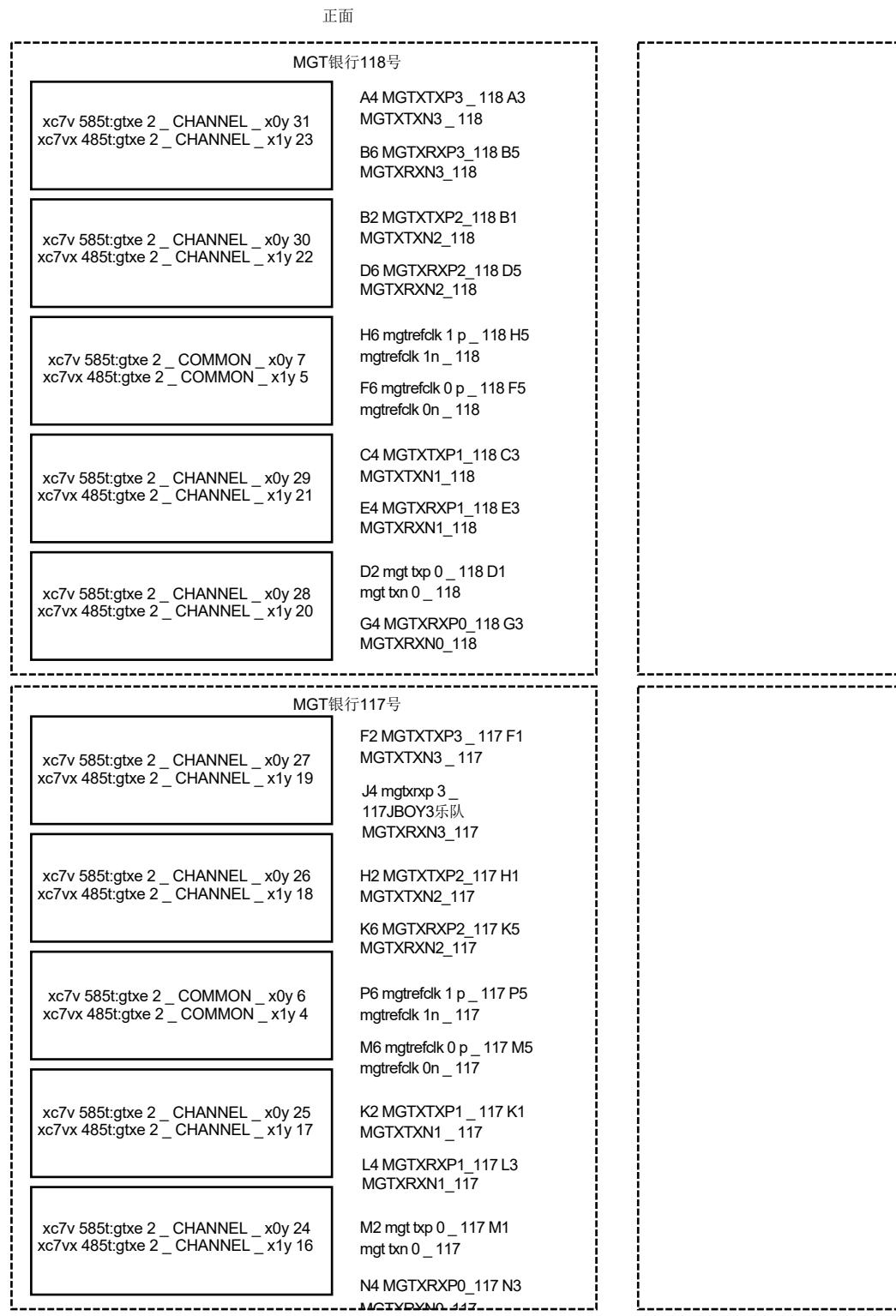


UG476\_aA\_07D\_080312

图A-15:FFG1156封装布局图(第4页, 共4页)

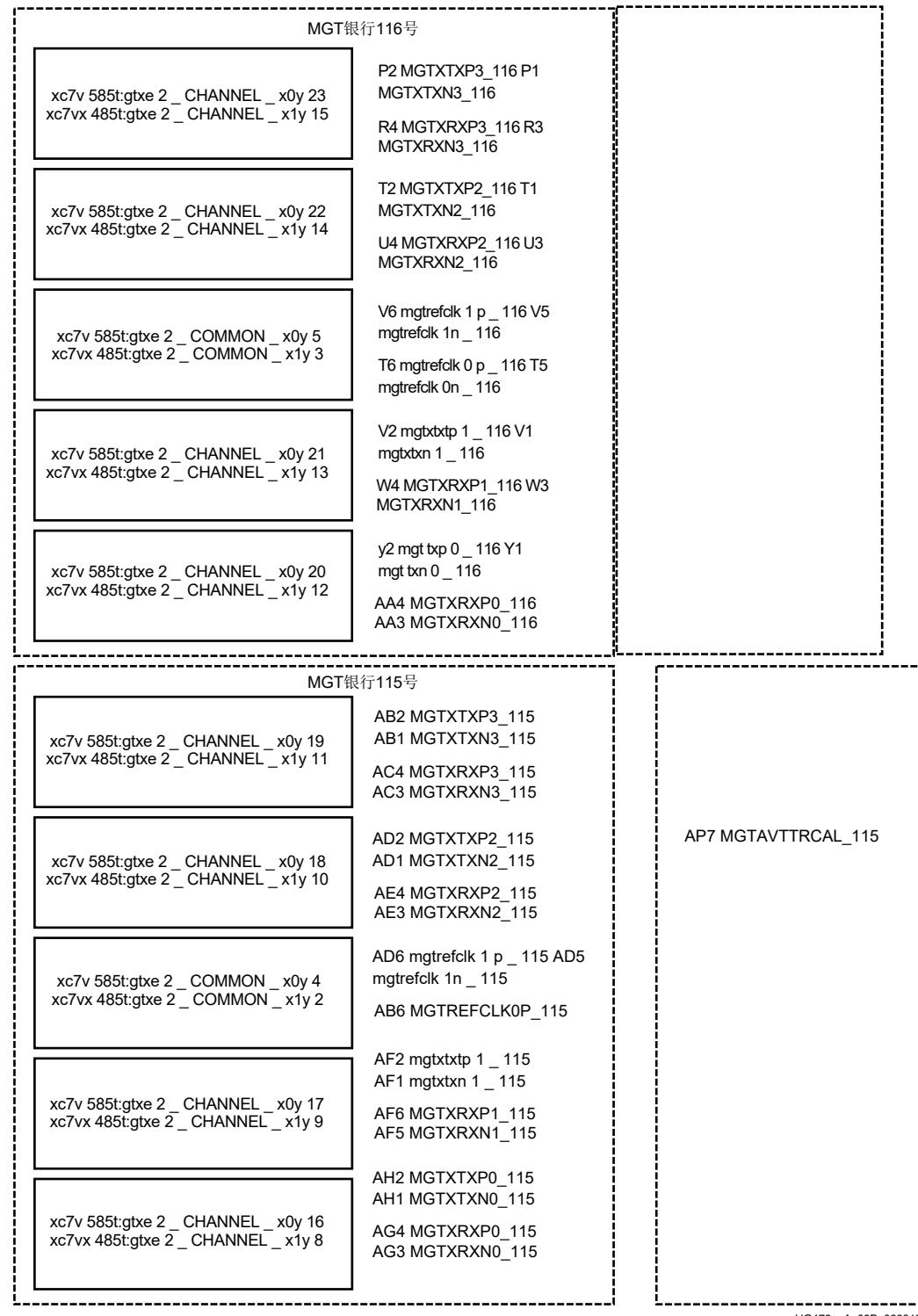
## FFG1157封装布局图

图A-16穿过图A-18显示FFG1157封装的放置图。



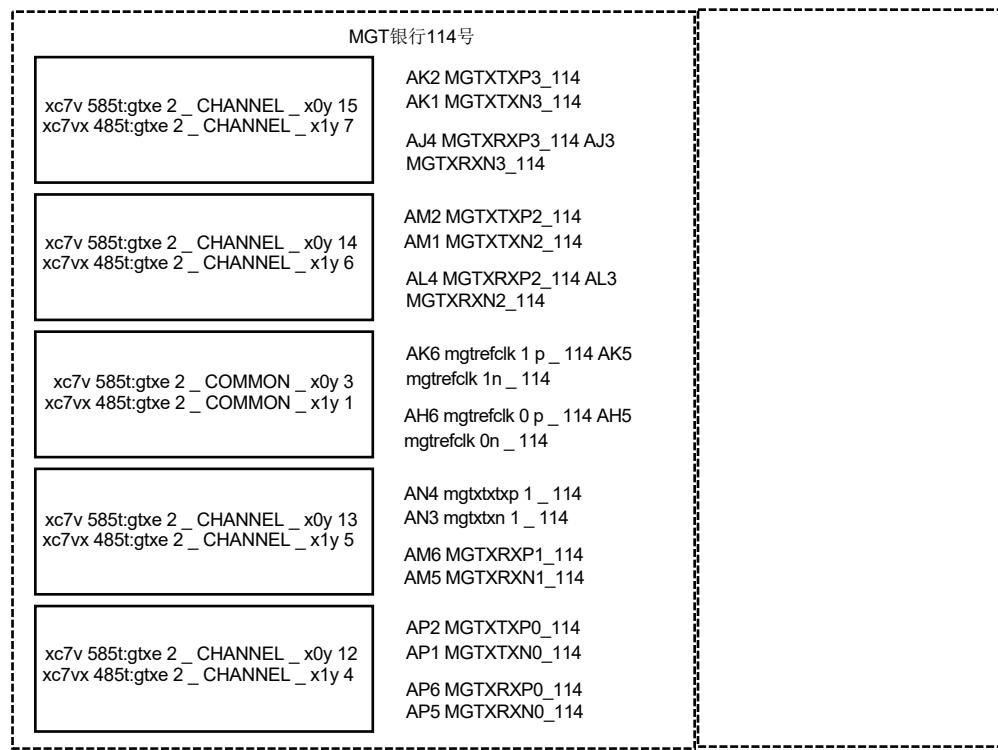
UG476\_aA\_08A\_080312

图A-16:FFG1157封装布局图(第1页, 共3页)



UG476\_aA\_08B\_080312

图A-17:FFG1157封装布局图(第2页, 共3页)

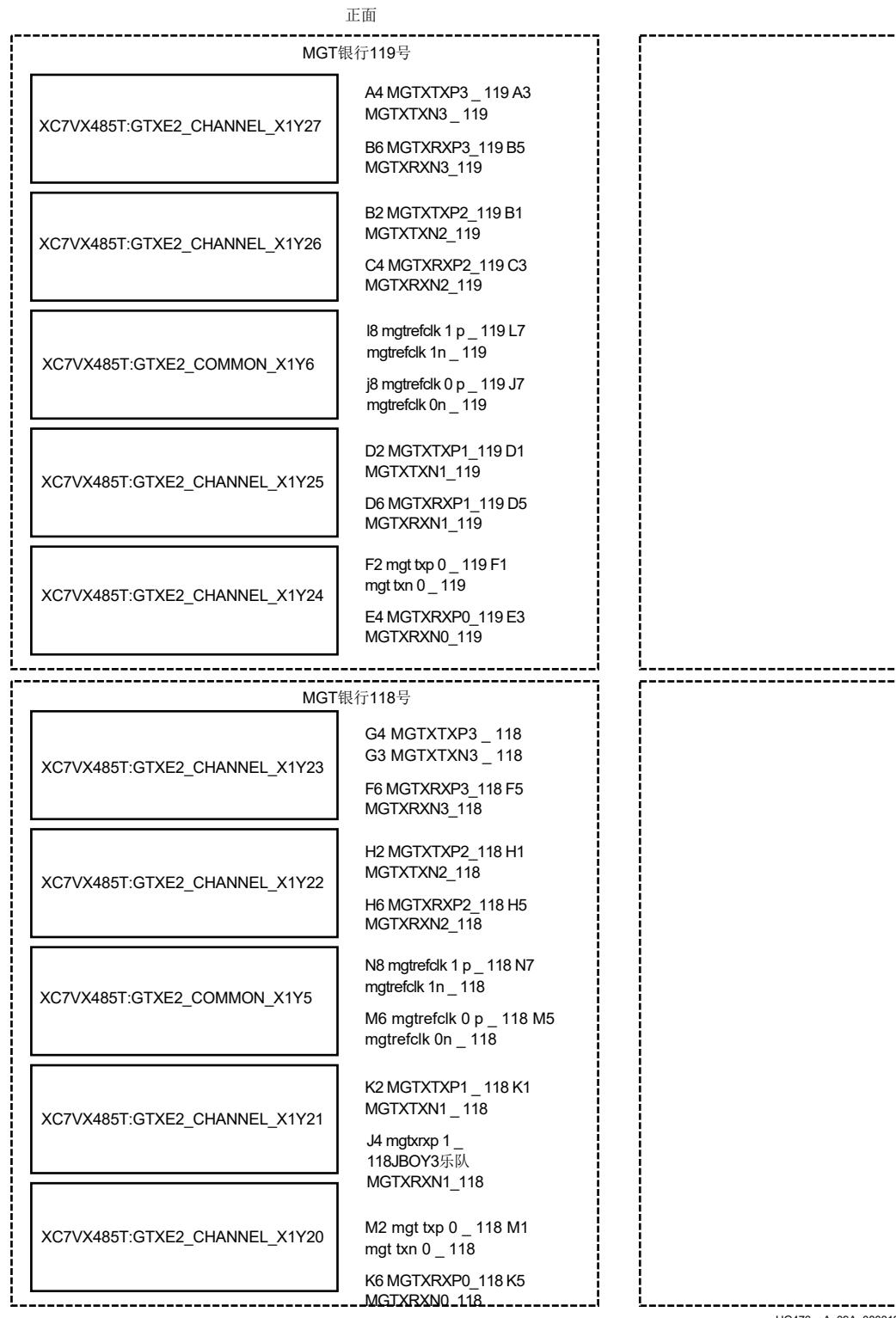


UG476\_aA\_08C\_080312

图A-18:FFG1157封装布局图(第3页, 共3页)

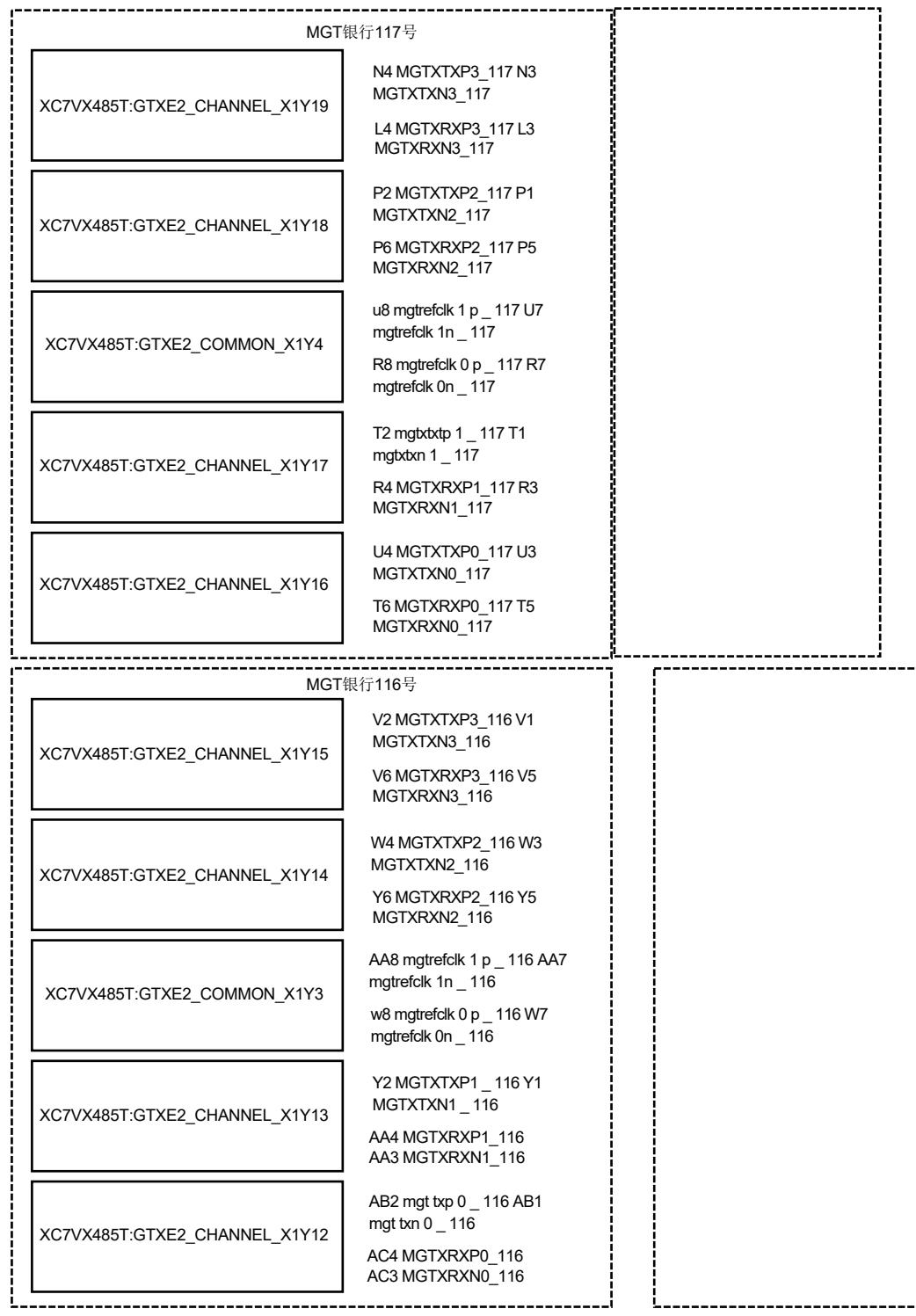
## FFG1158封装布局图

图A-19穿过图A-24显示FFG1158封装的放置图。



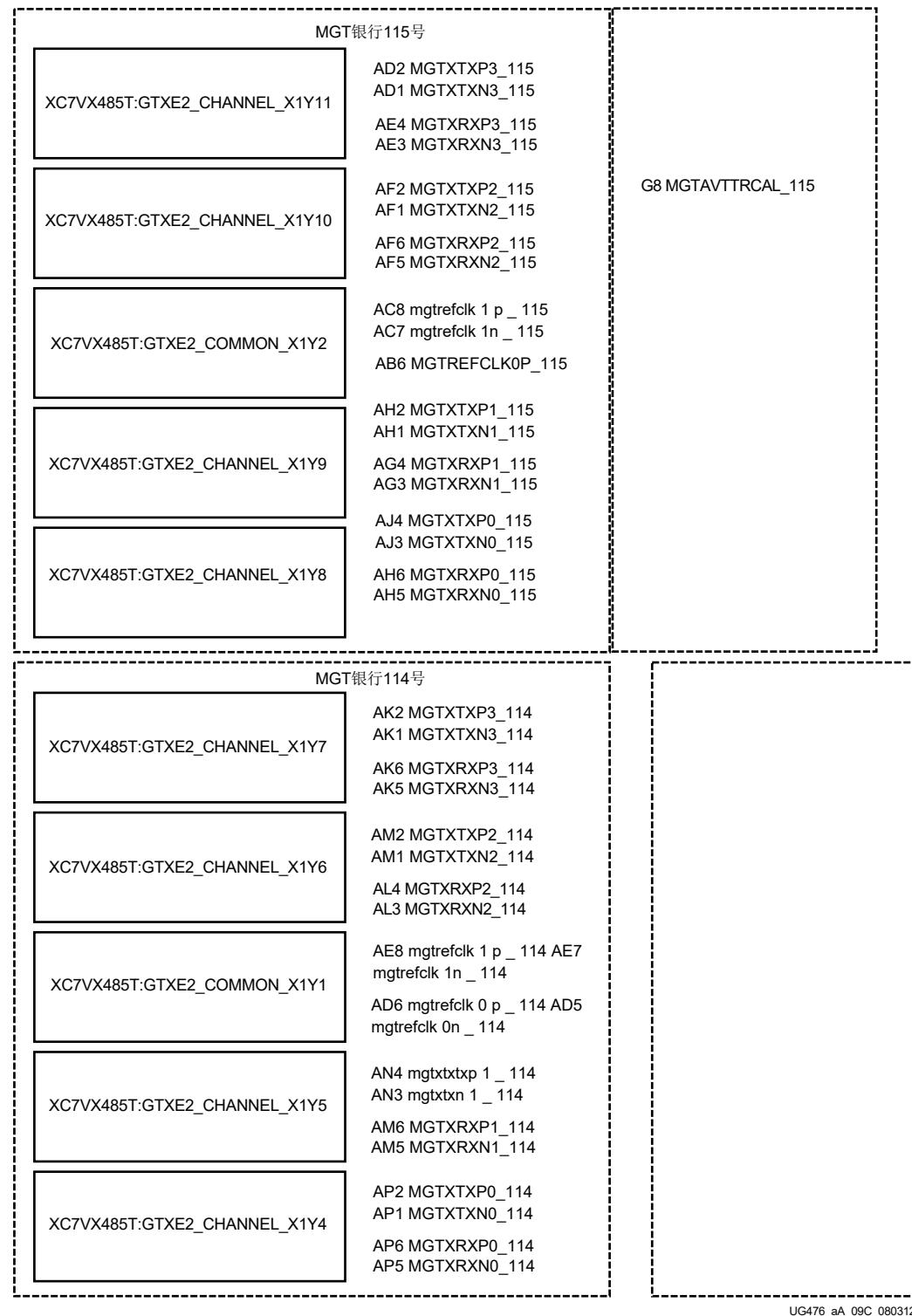
UG476\_aA\_09A\_080312

图A-19:FFG1158封装布局图(第1页, 共6页)

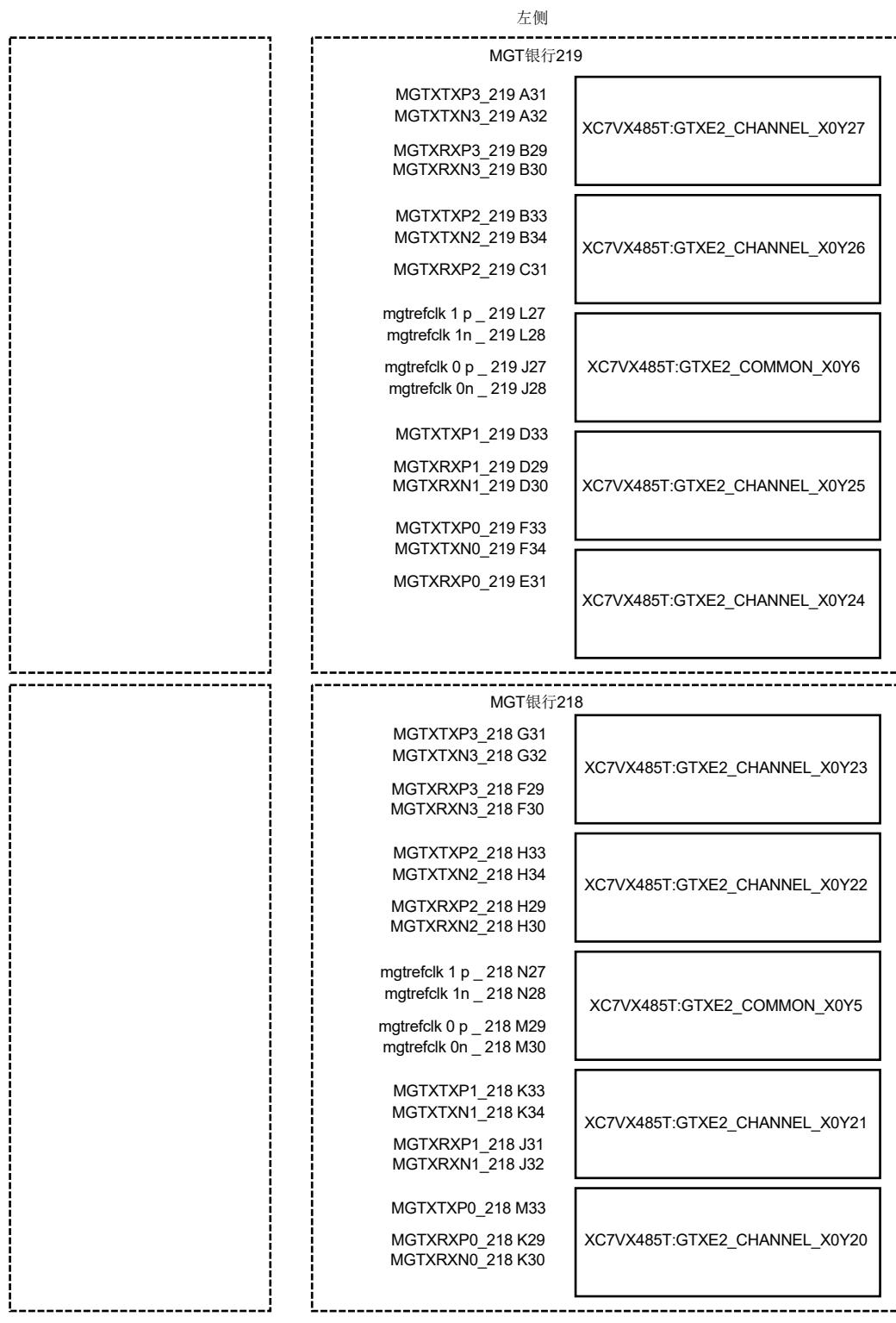


UG476\_aA\_09B\_080312

图A-20:FFG1158封装布局图(第2页, 共6页)

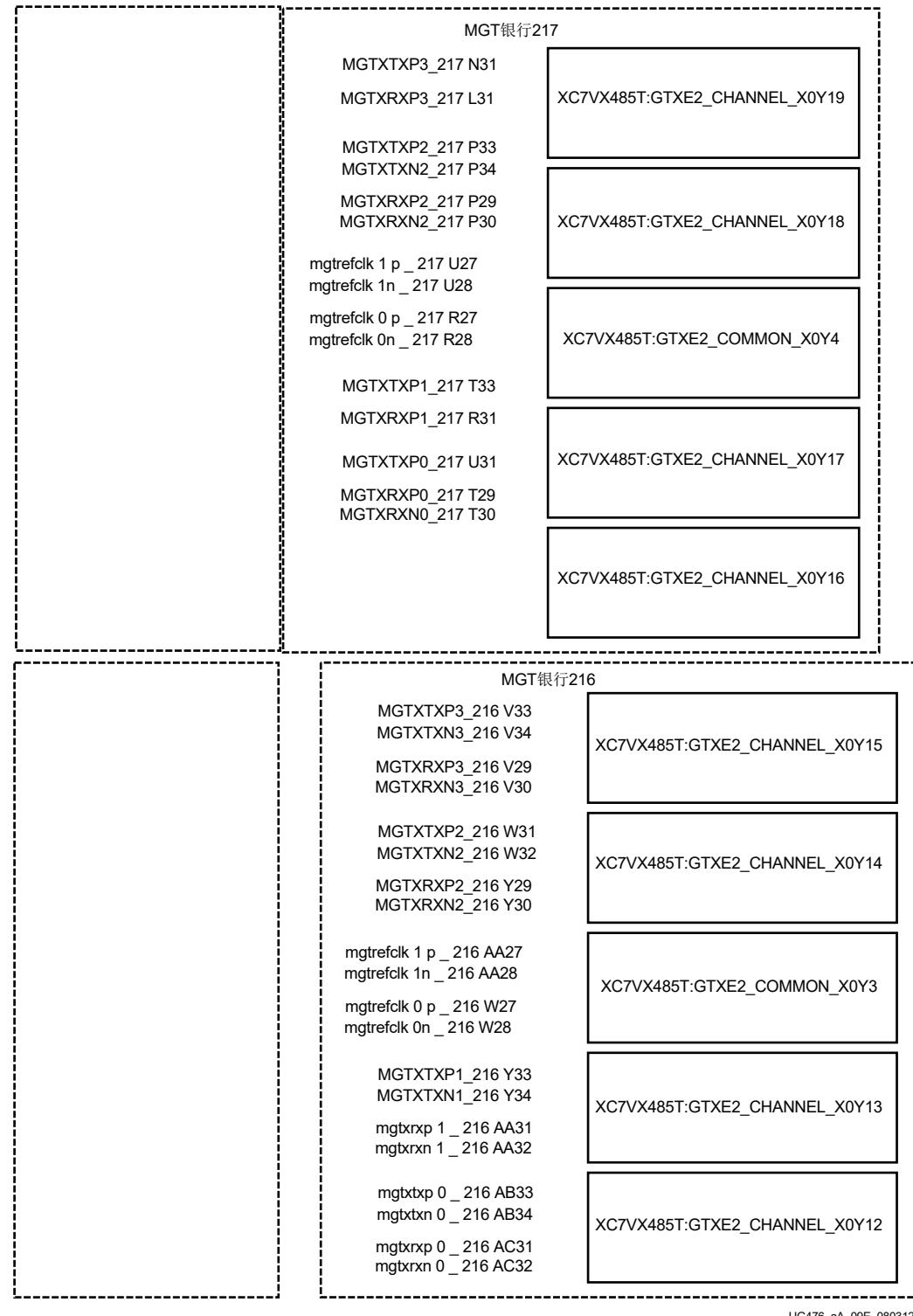


图A-21:FFG1158封装布局图(第3页, 共6页)



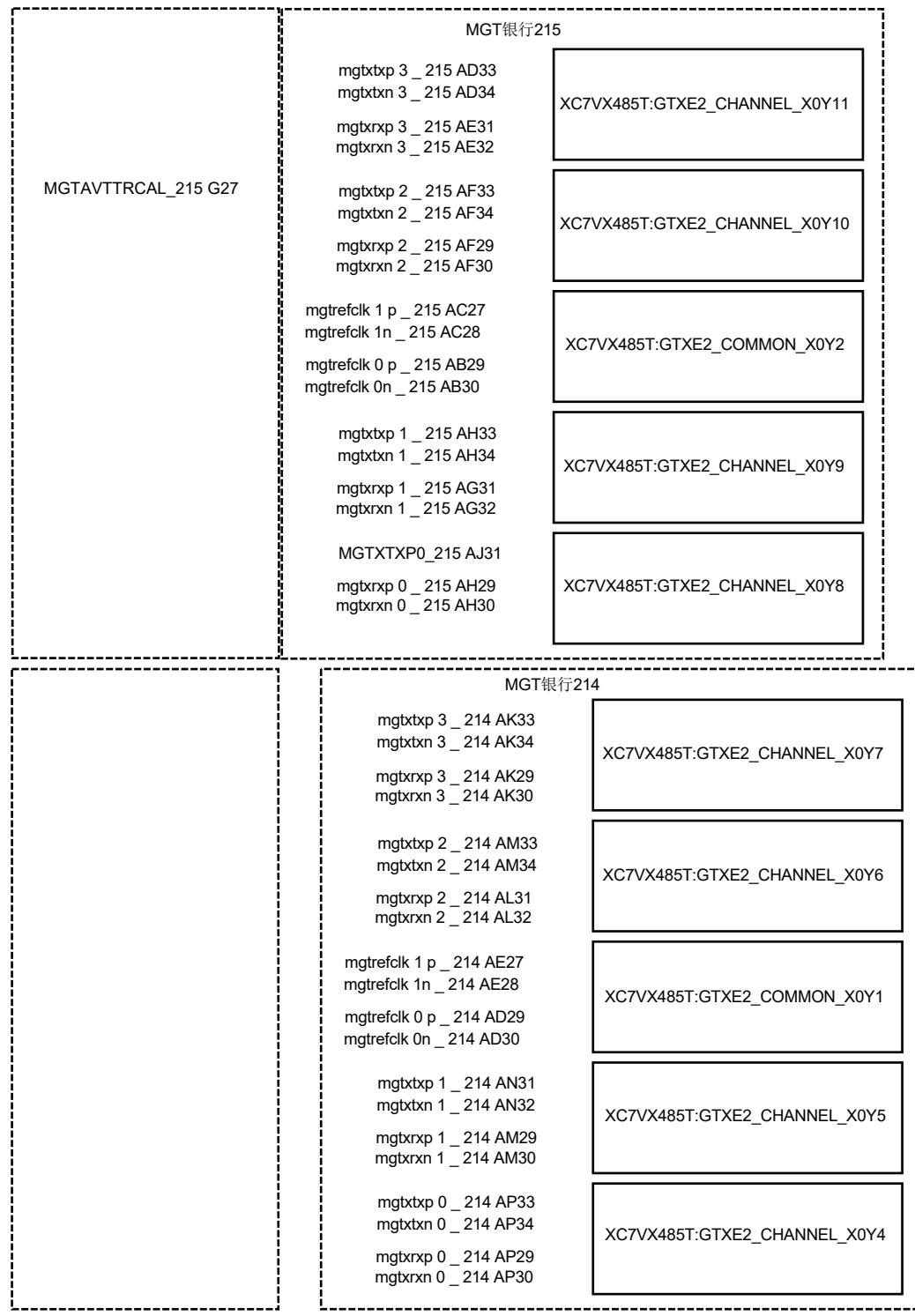
UG476\_aA\_09D\_080312

图A-22:FFG1158封装布局图(第4页, 共6页)



UG476\_aA\_09E\_080312

图A-23:FFG1158封装布局图(第5页, 共6页)

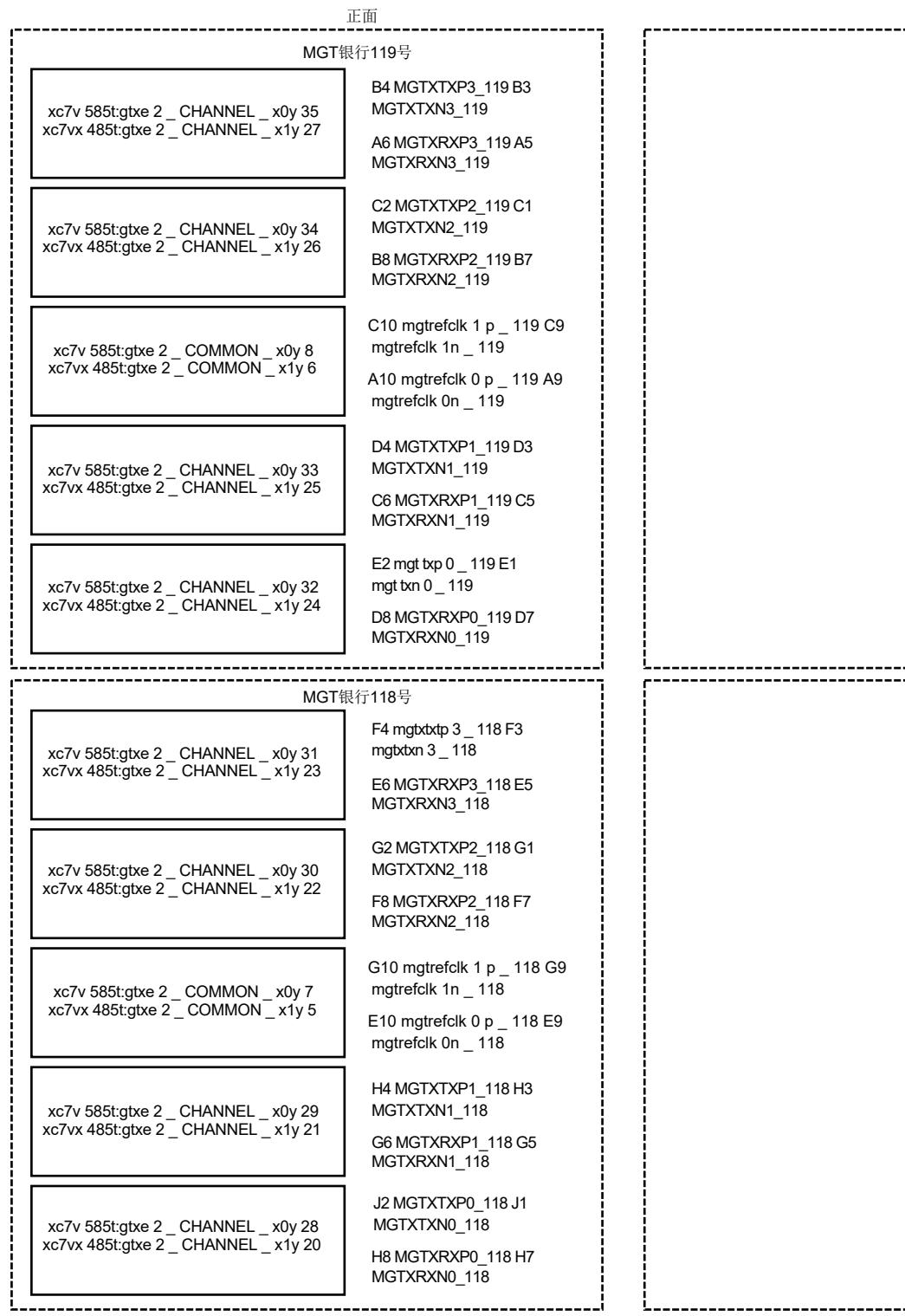


UG476\_aA\_09F\_080312

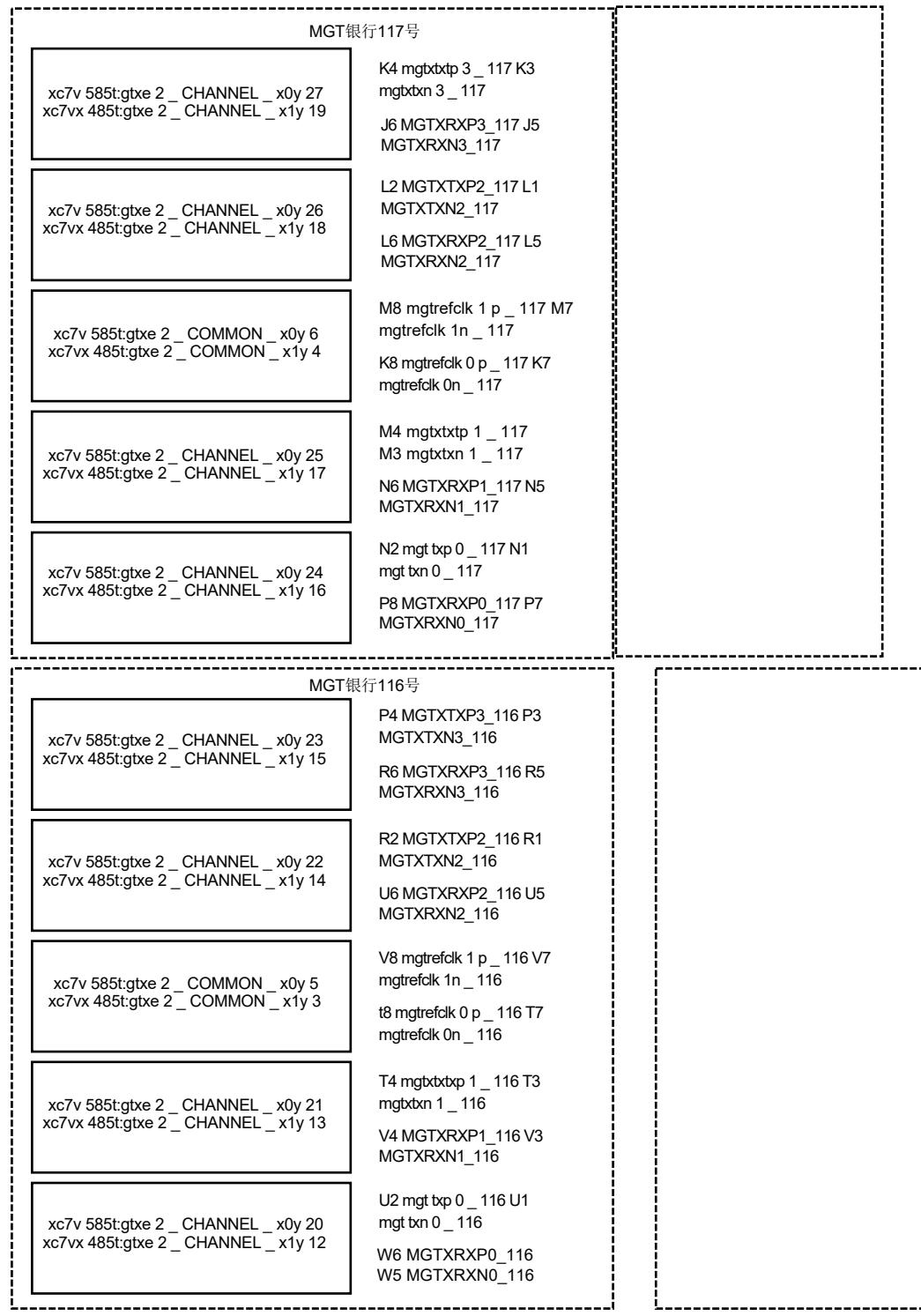
图A-24:FFG1158封装布局图(第6页, 共6页)

## FFG1761封装布局图

图A-25穿过图A-29显示FFG1761封装的放置图。

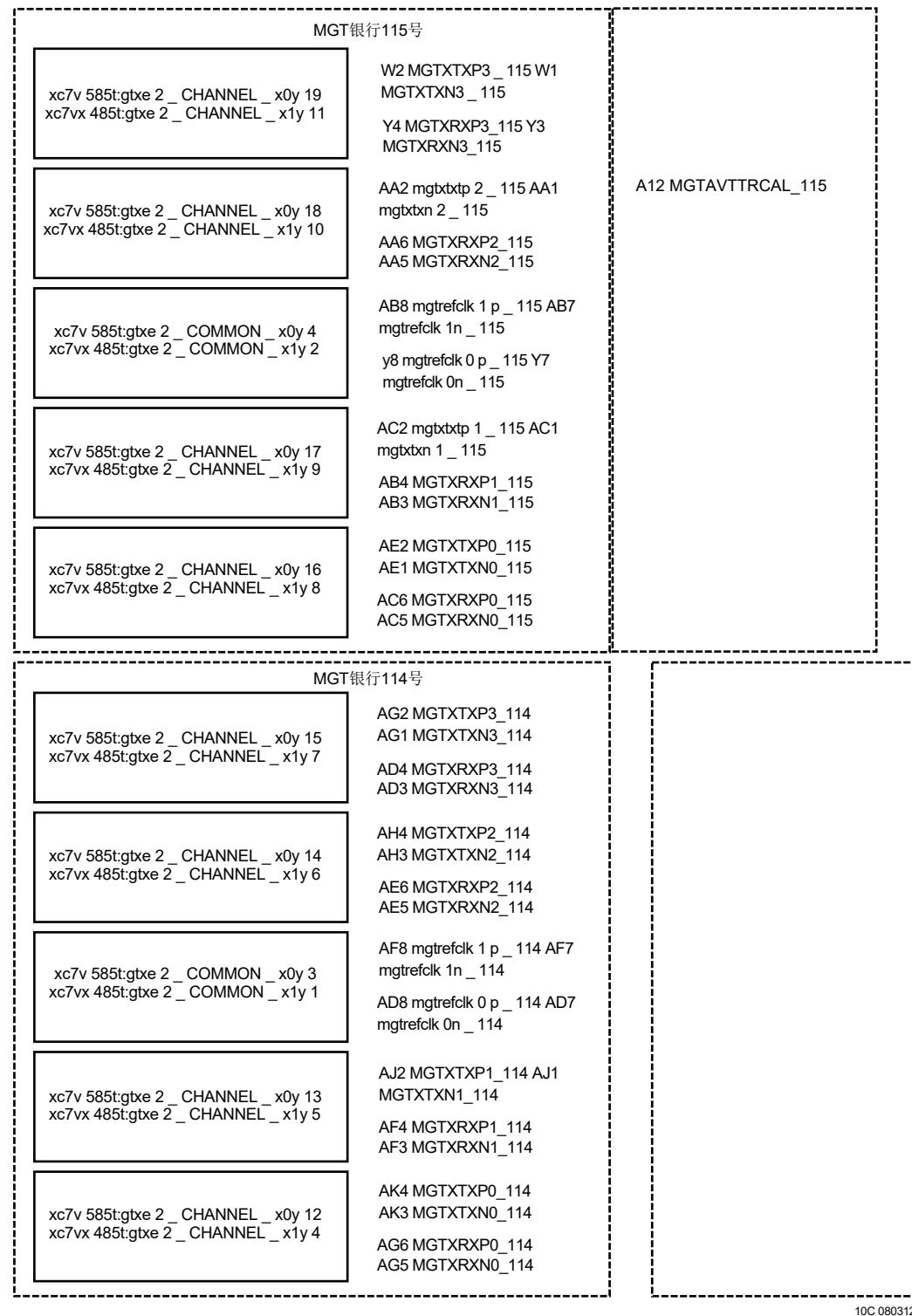


图A-25:FFG1761封装布局图(第1页, 共5页)



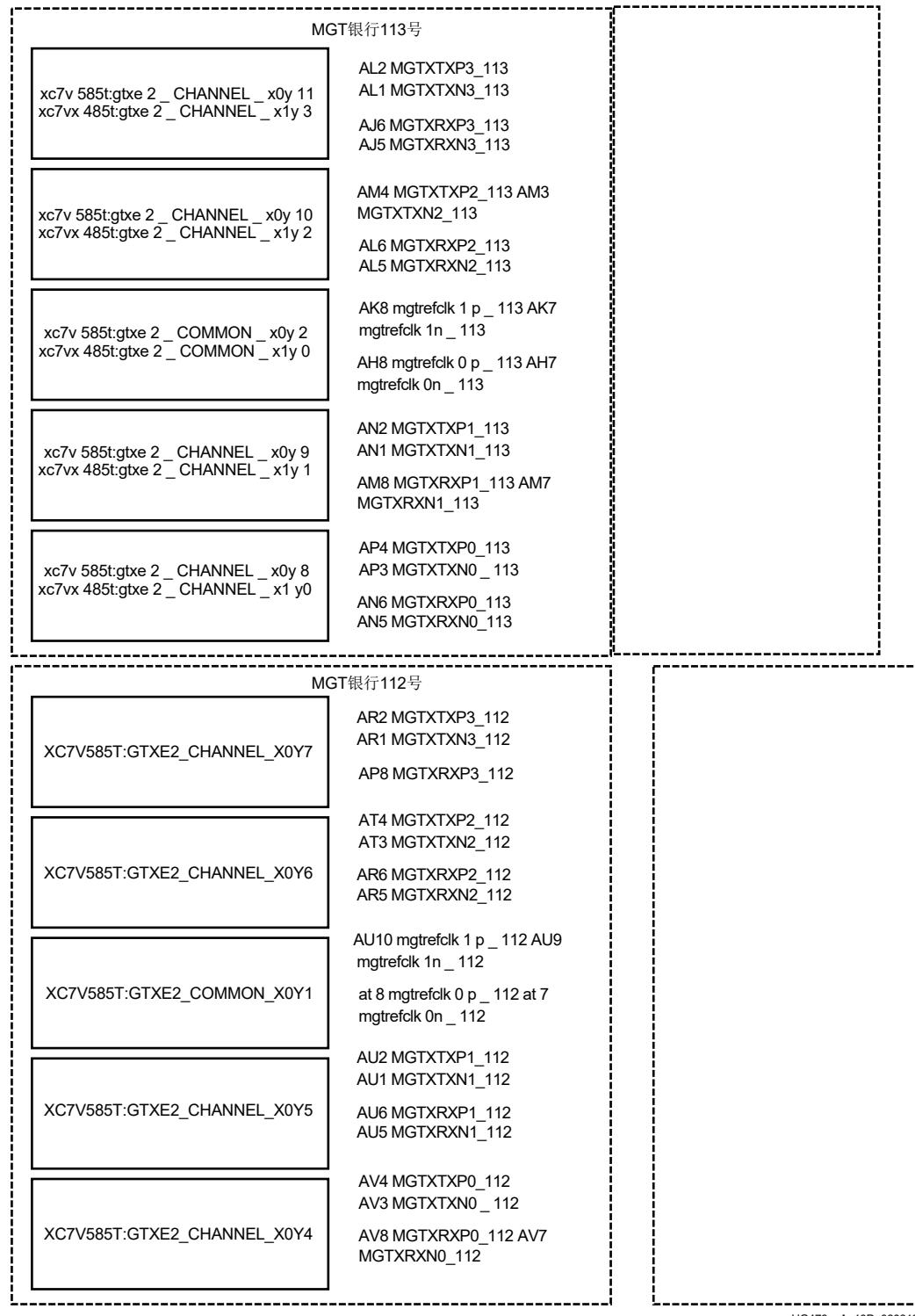
UG476\_aA\_10B\_081816

图A-26:FFG1761封装布局图(第2页, 共5页)

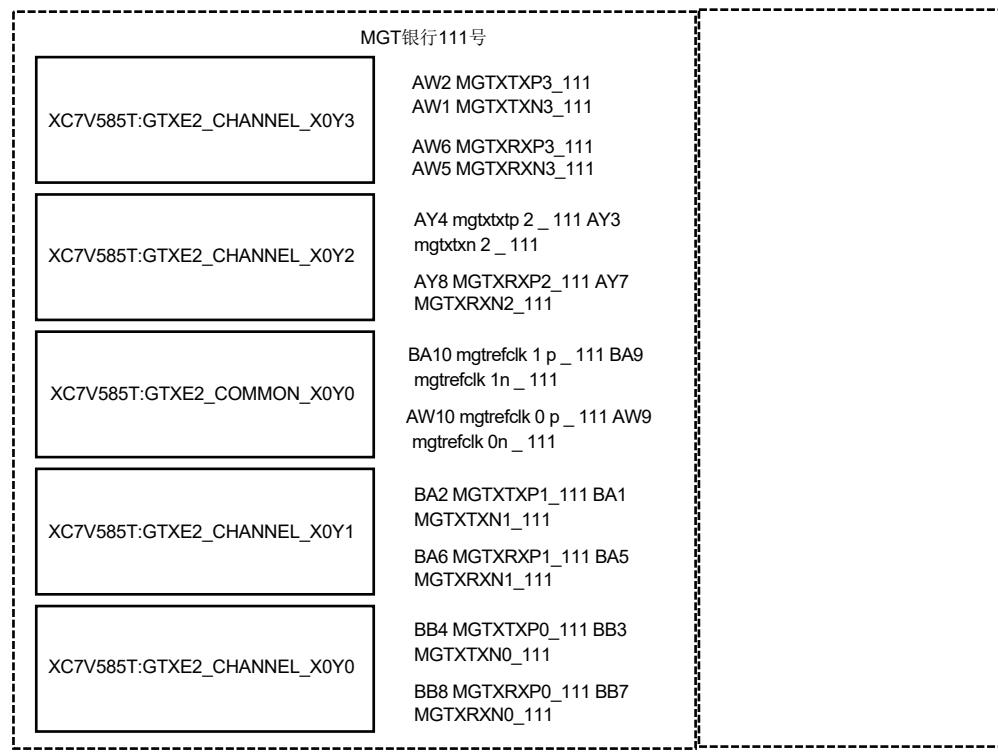


10C 080312

图A-27:FFG1761封装布局图(第3页, 共5页)



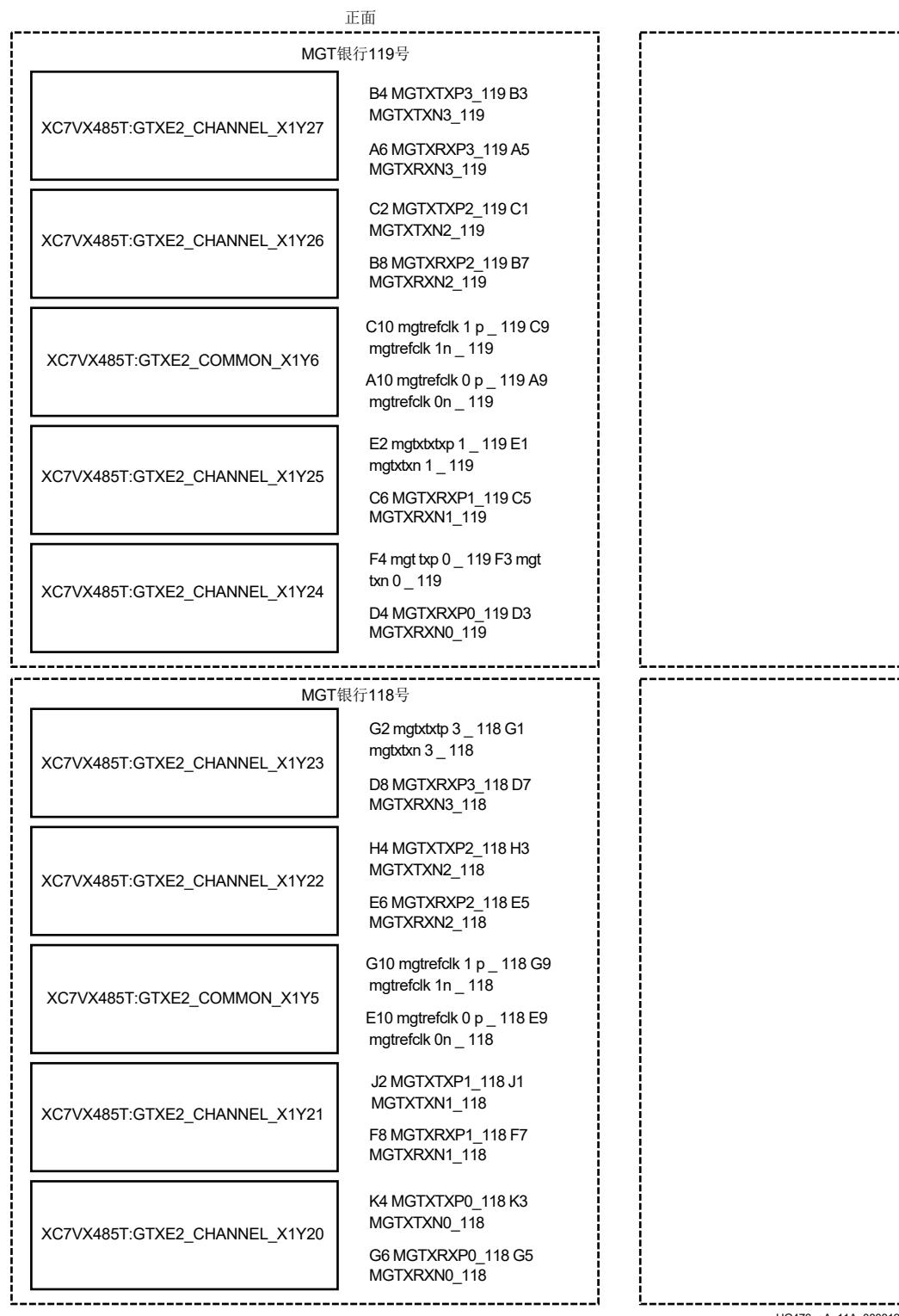
图A-28:FFG1761封装布局图(第4页, 共5页)



图A-29:FFG1761封装布局图(第5页, 共5页)

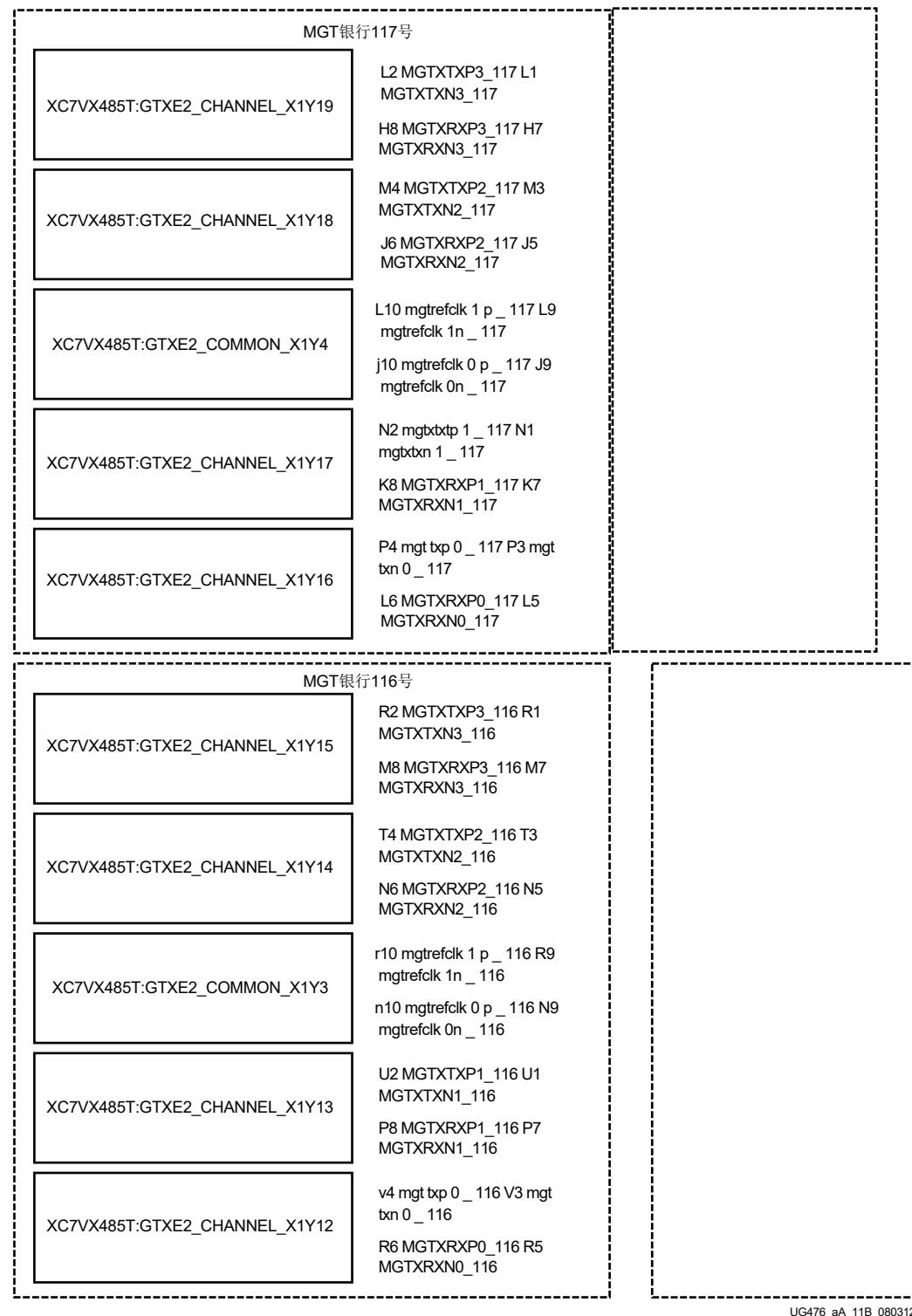
## FFG1927封装布局图

图A-30穿过图A-37显示FFG1927封装的放置图。



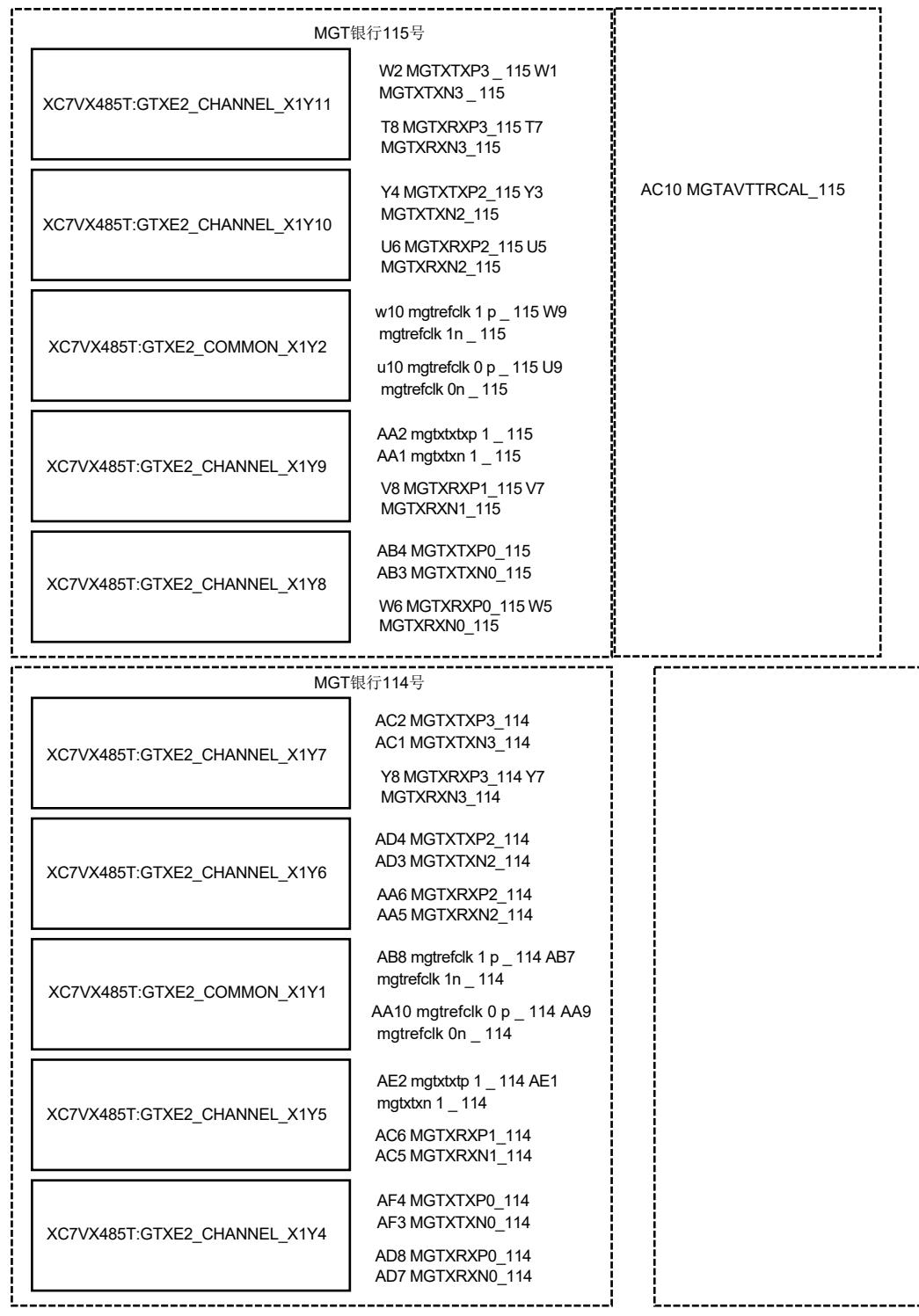
UG476\_aA\_11A\_080312

图A-30:FFG1927封装布局图(第1页, 共8页)



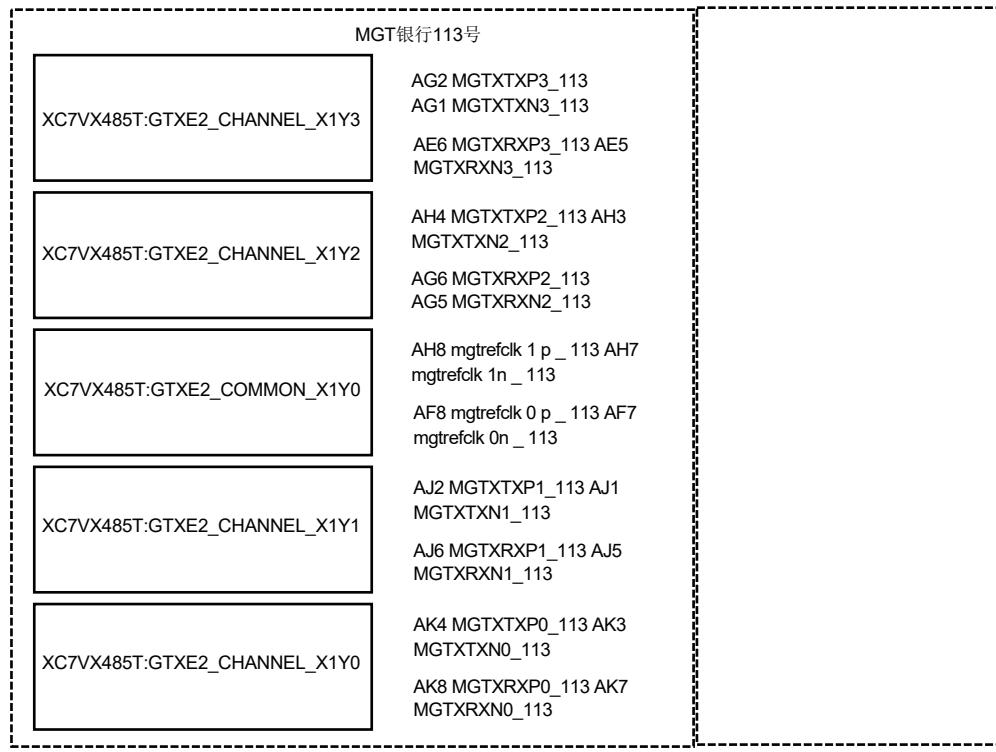
UG476\_aA\_11B\_080312

图A-31:FFG1927封装布局图(第2页, 共8页)



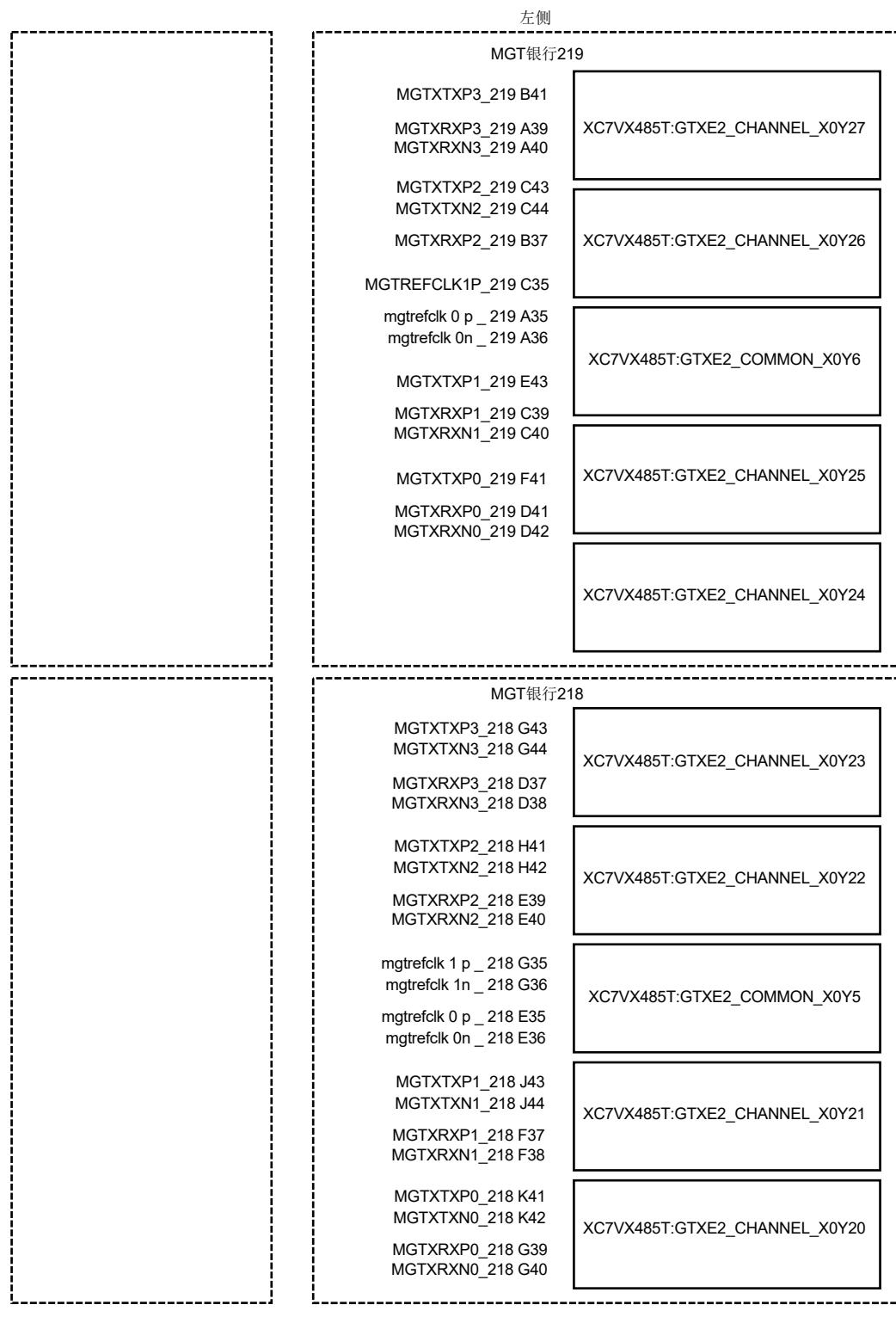
UG476\_aA\_11C\_080312

图A-32:FFG1927封装布局图(第3页, 共8页)



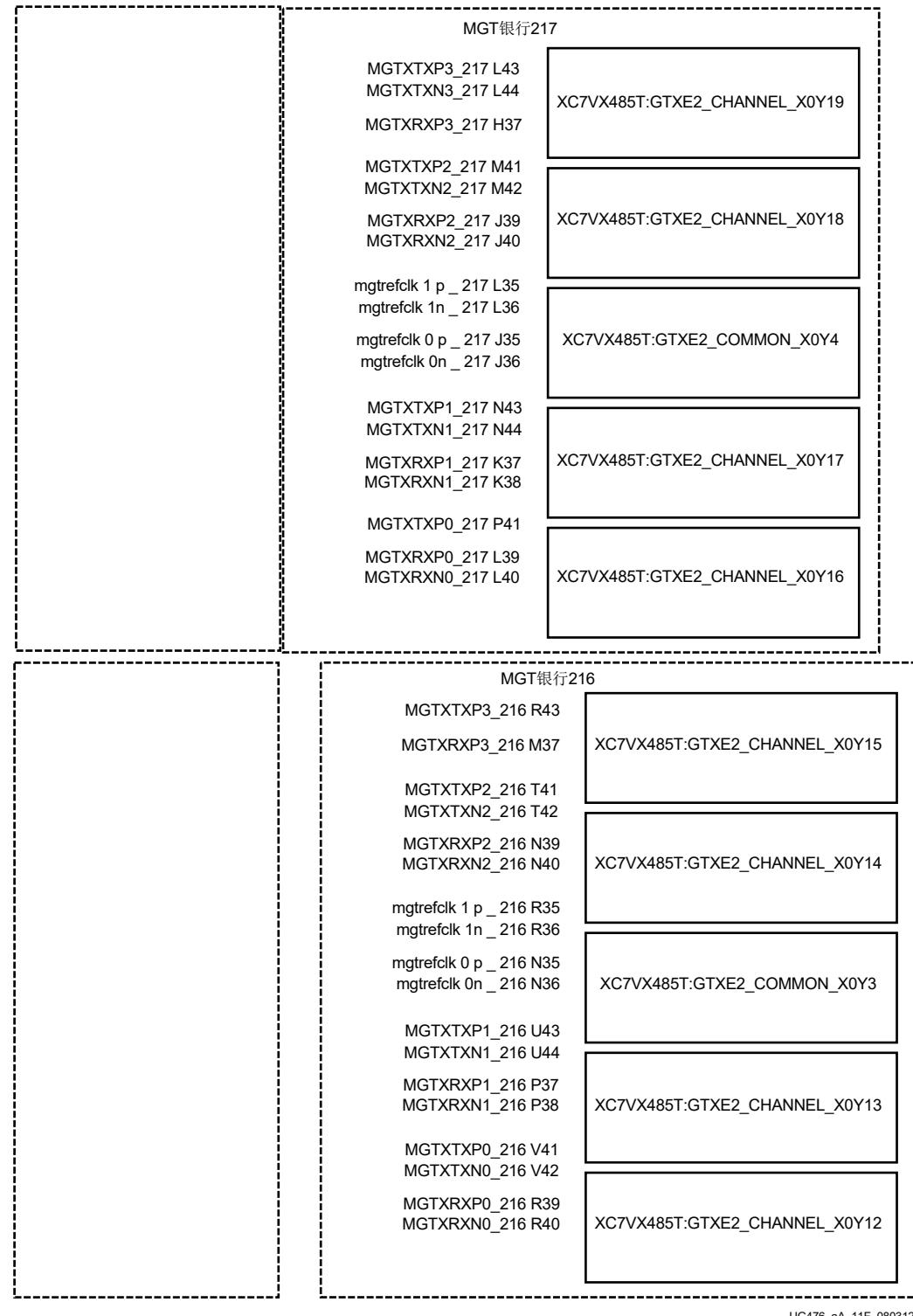
UG476\_aA\_11D\_080312

图A-33:FFG1927封装布局图(第4页, 共8页)



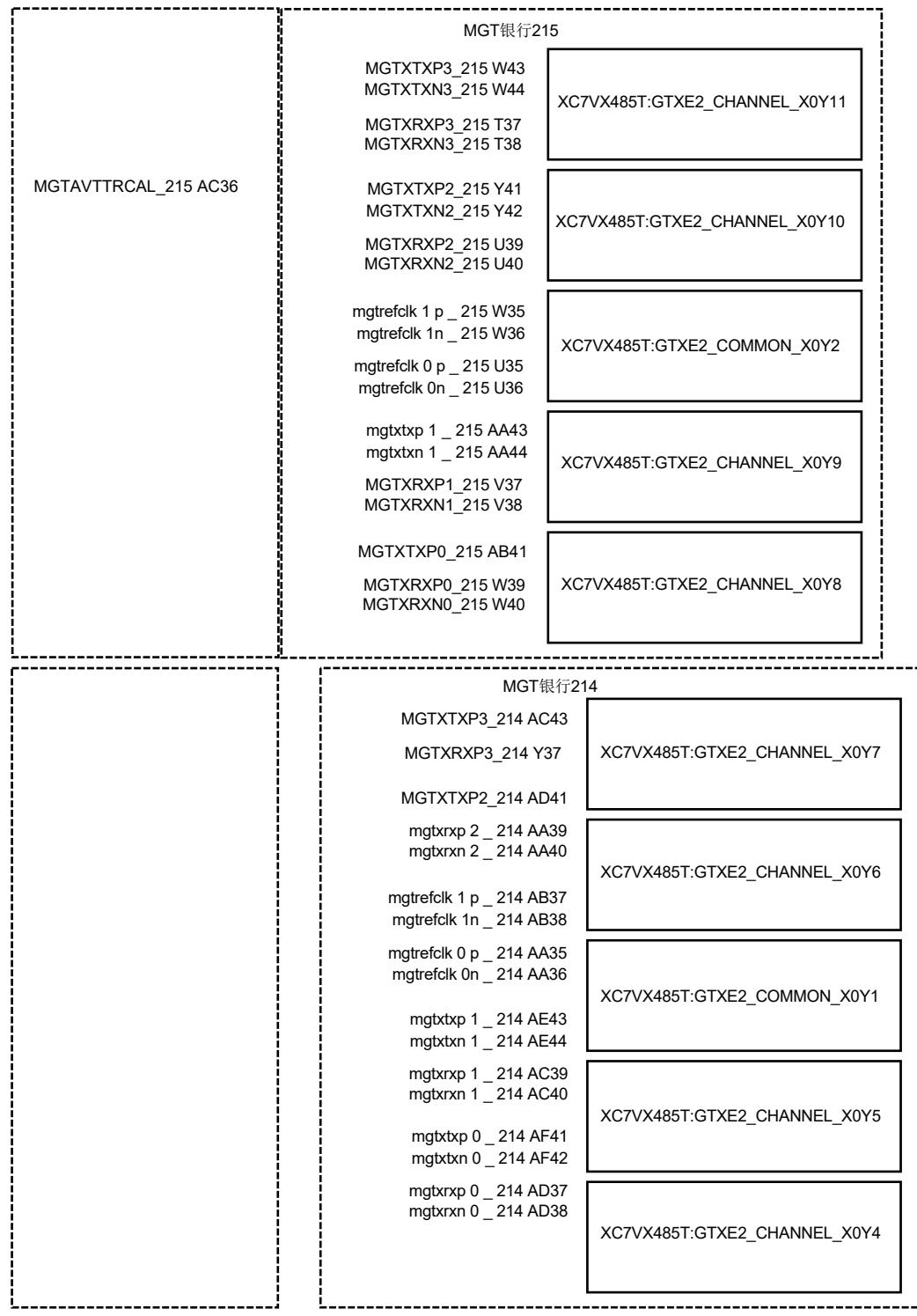
UG476\_aA\_11E\_080312

图A-34:FFG1927封装布局图(第5页, 共8页)



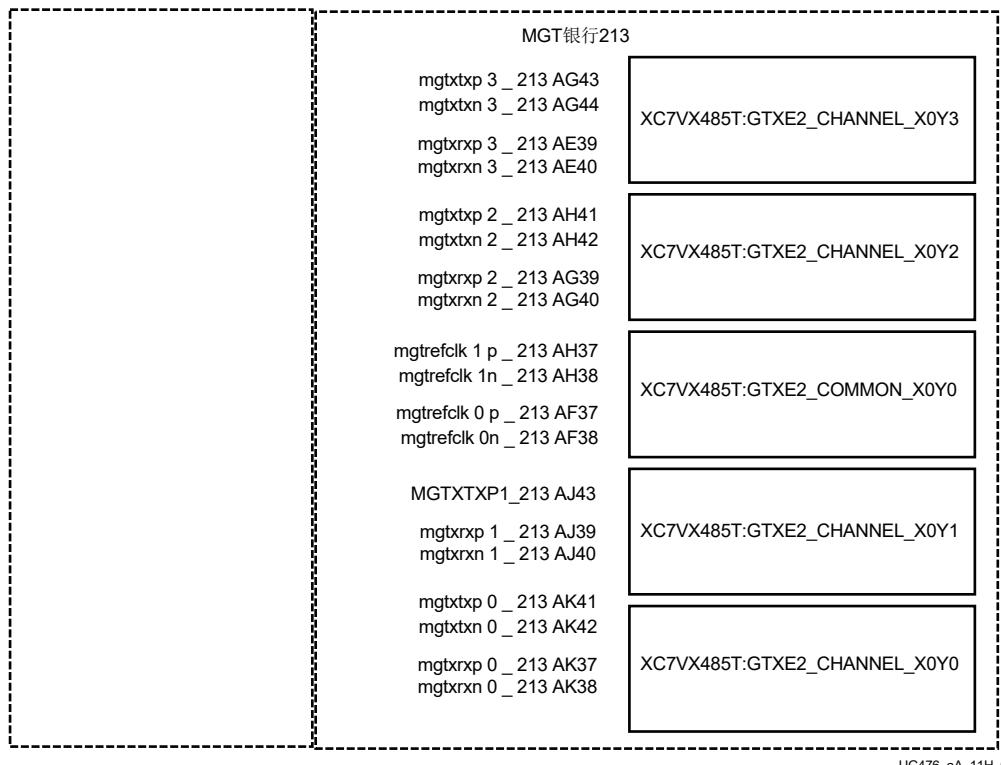
UG476\_aA\_11F\_080312

图A-35:FFG1927封装布局图(第6页, 共8页)



UG476\_aA\_11G\_080312

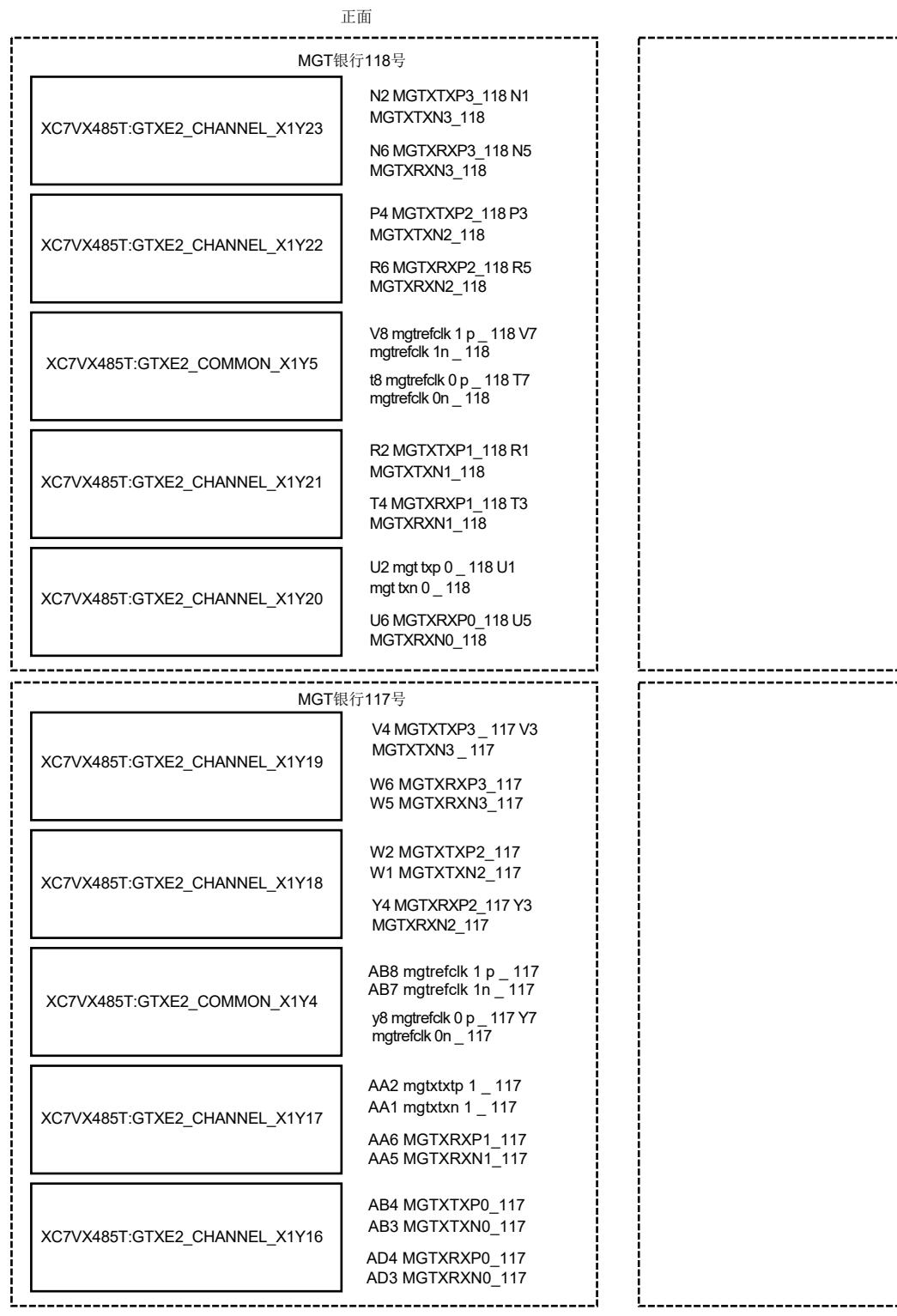
图A-36:FFG1927封装布局图(第7页, 共8页)



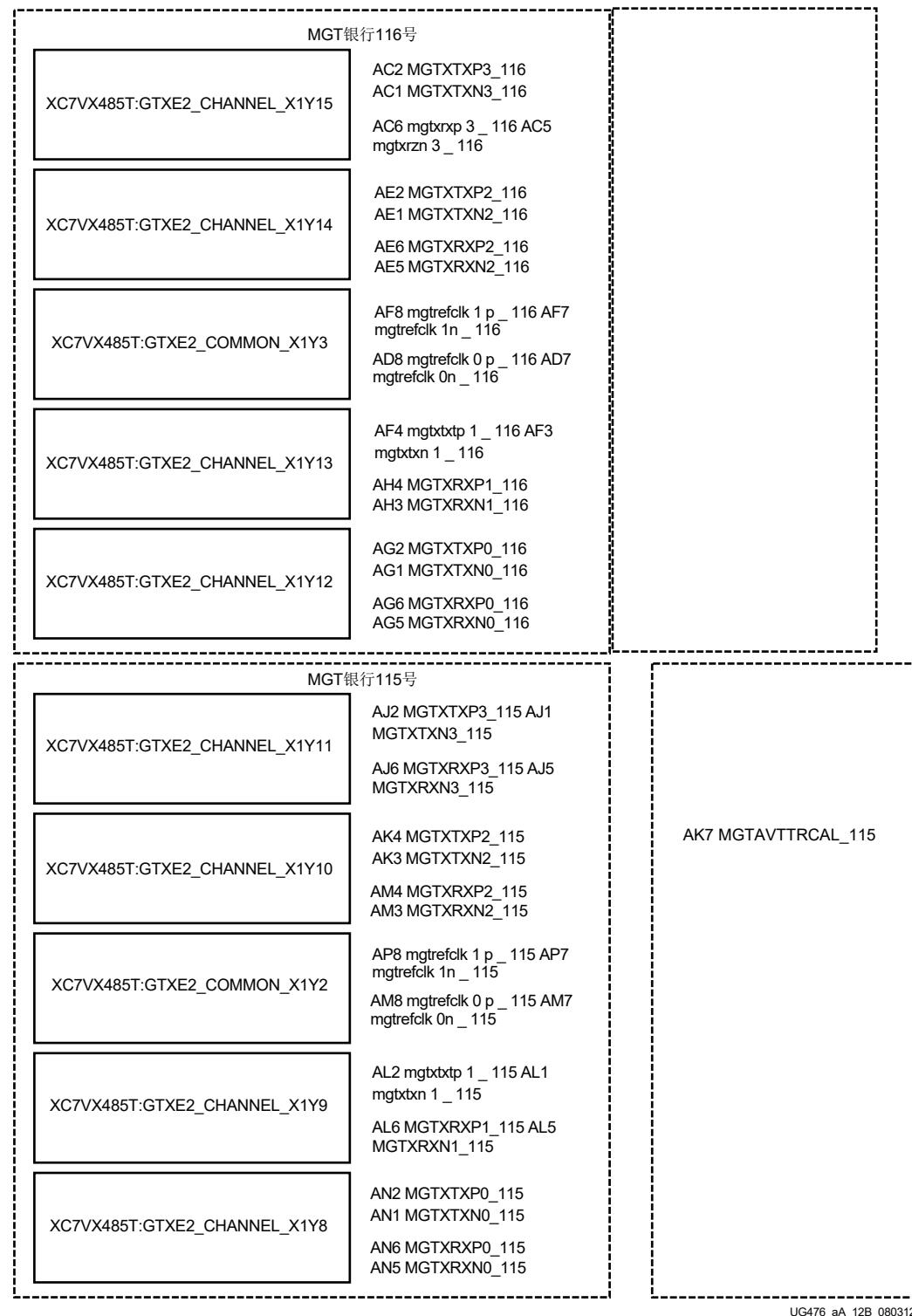
图A-37:FFG1927封装布局图(第8页, 共8页)

## FFG1930封装布局图

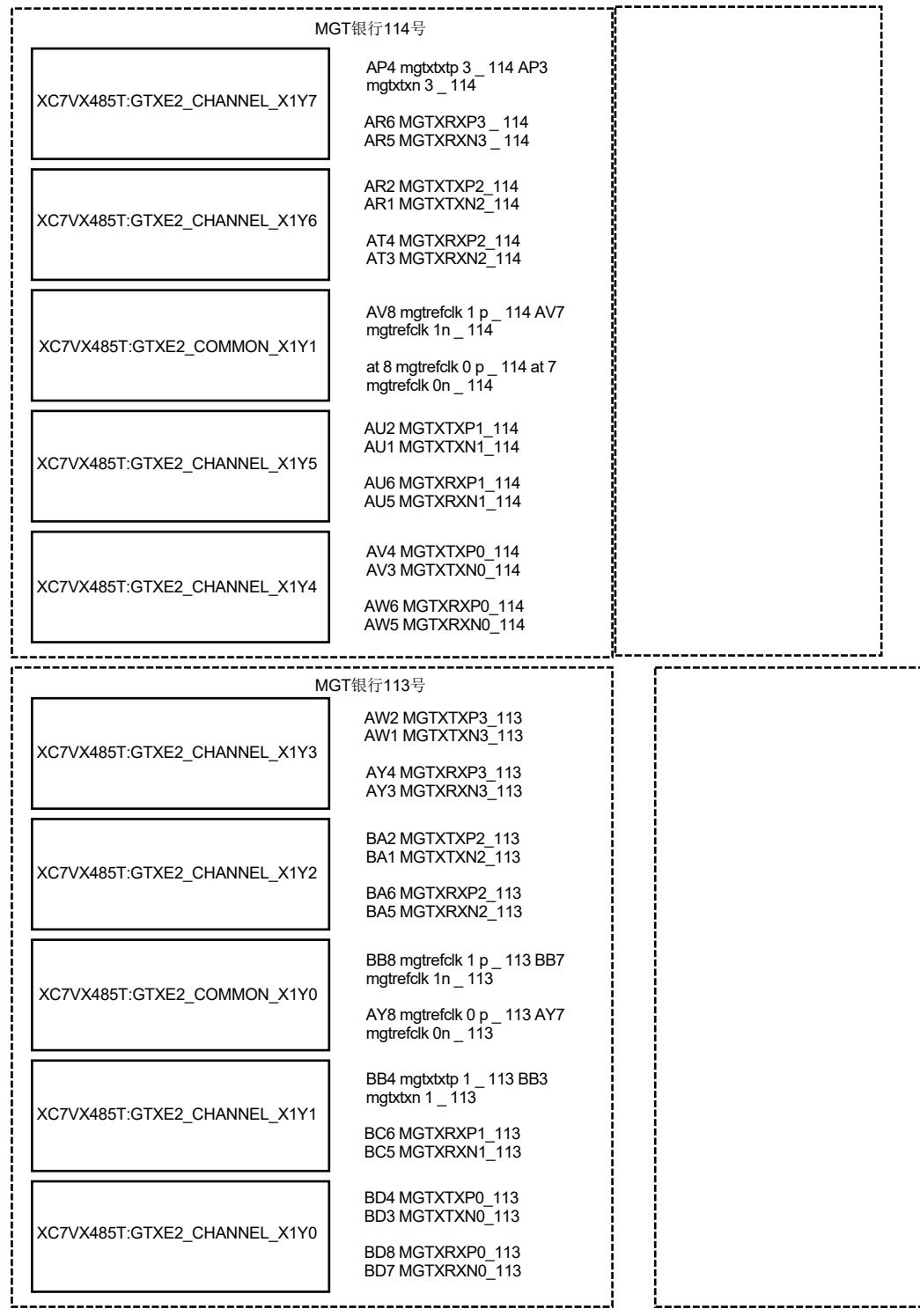
图A-38 穿过图A-40显示FFG1930封装的放置图。



图A-38:FFG1930封装布局图(第1页, 共3页)



图A-39:FFG1930封装布局图(第2页, 共3页)

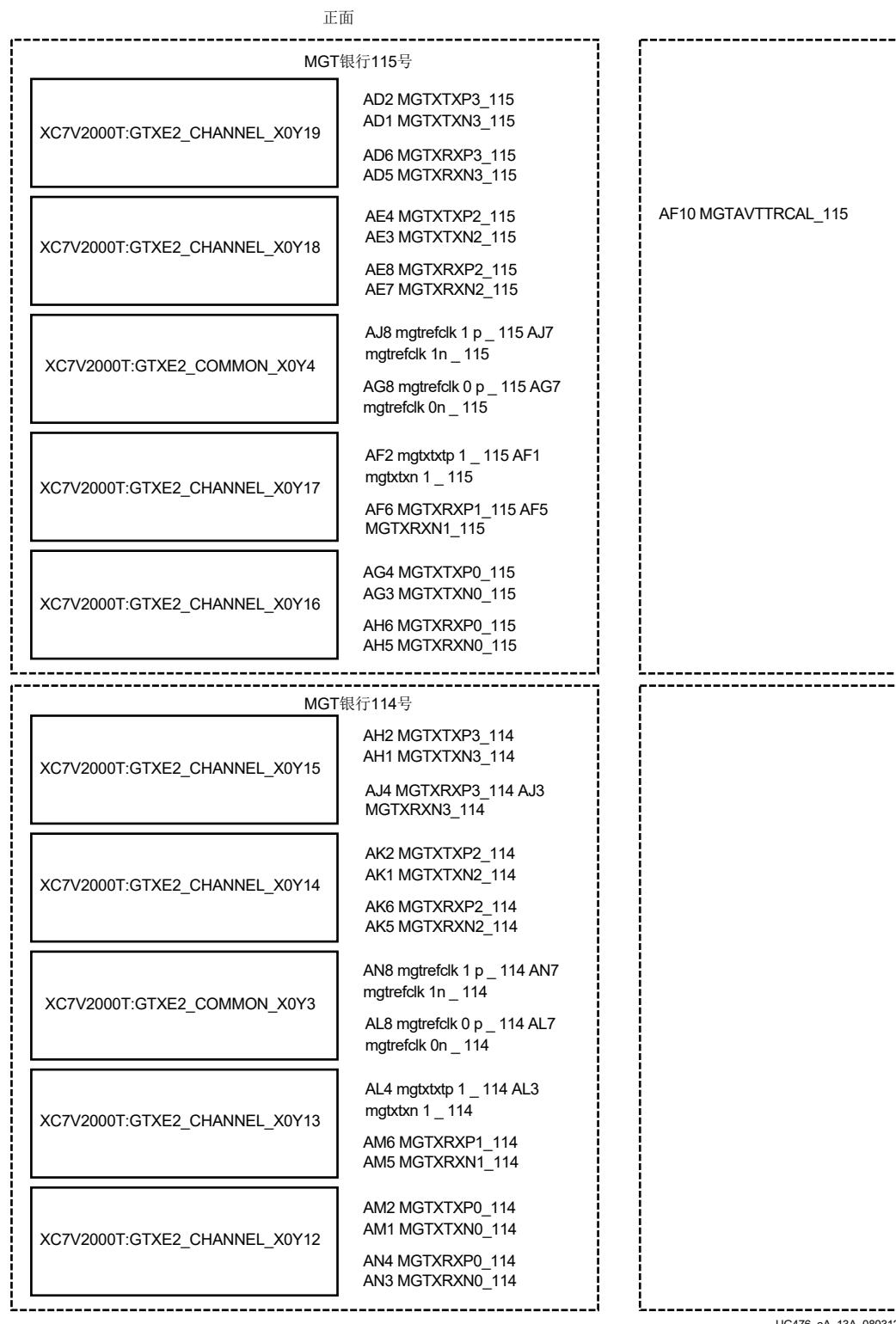


UG476\_aA\_12C\_080312

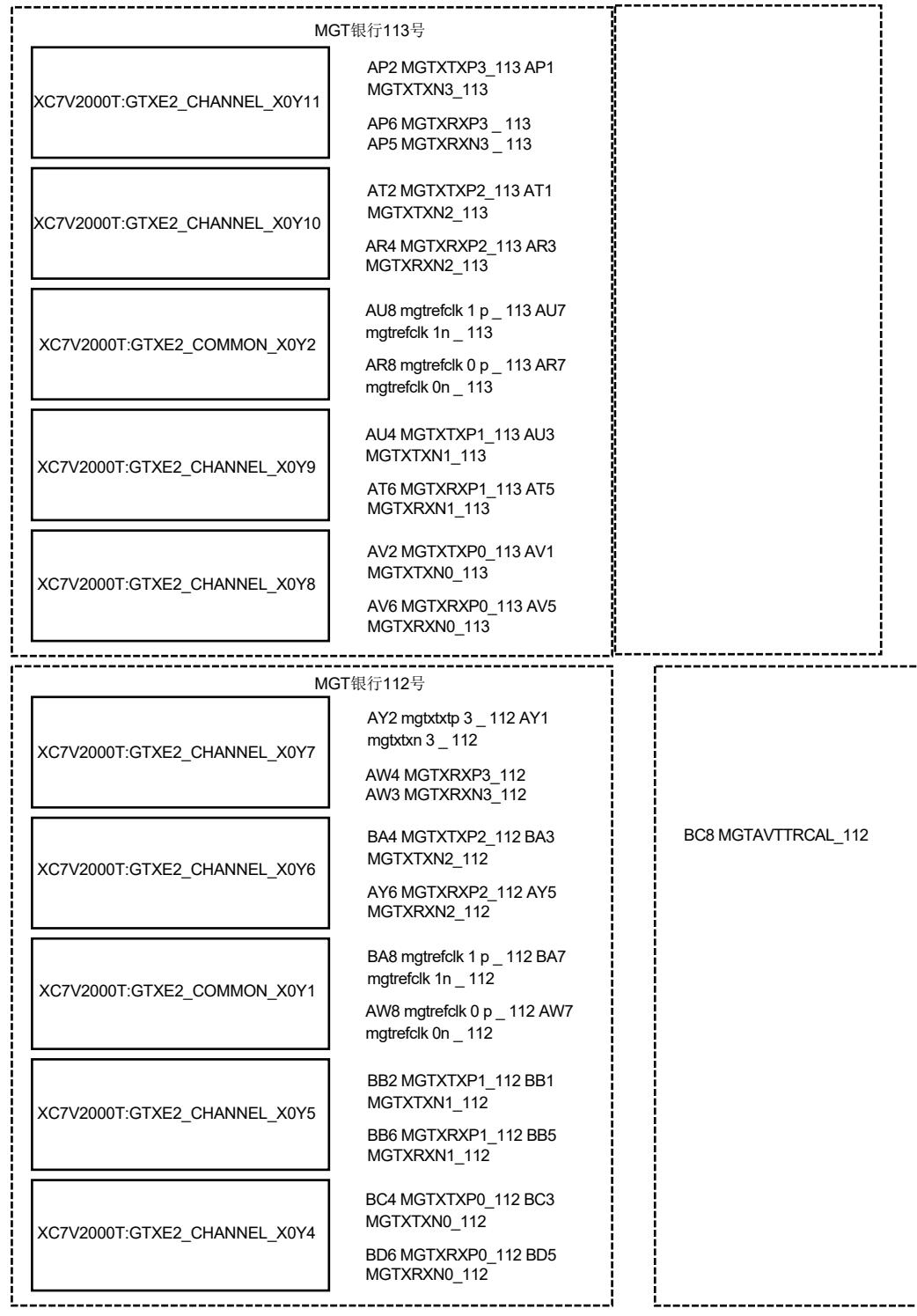
图A-40:FFG1930封装布局图(第3页, 共3页)

## FLG1925封装布局图

图A-41 穿过图A-42显示FLG1925封装的布局图。



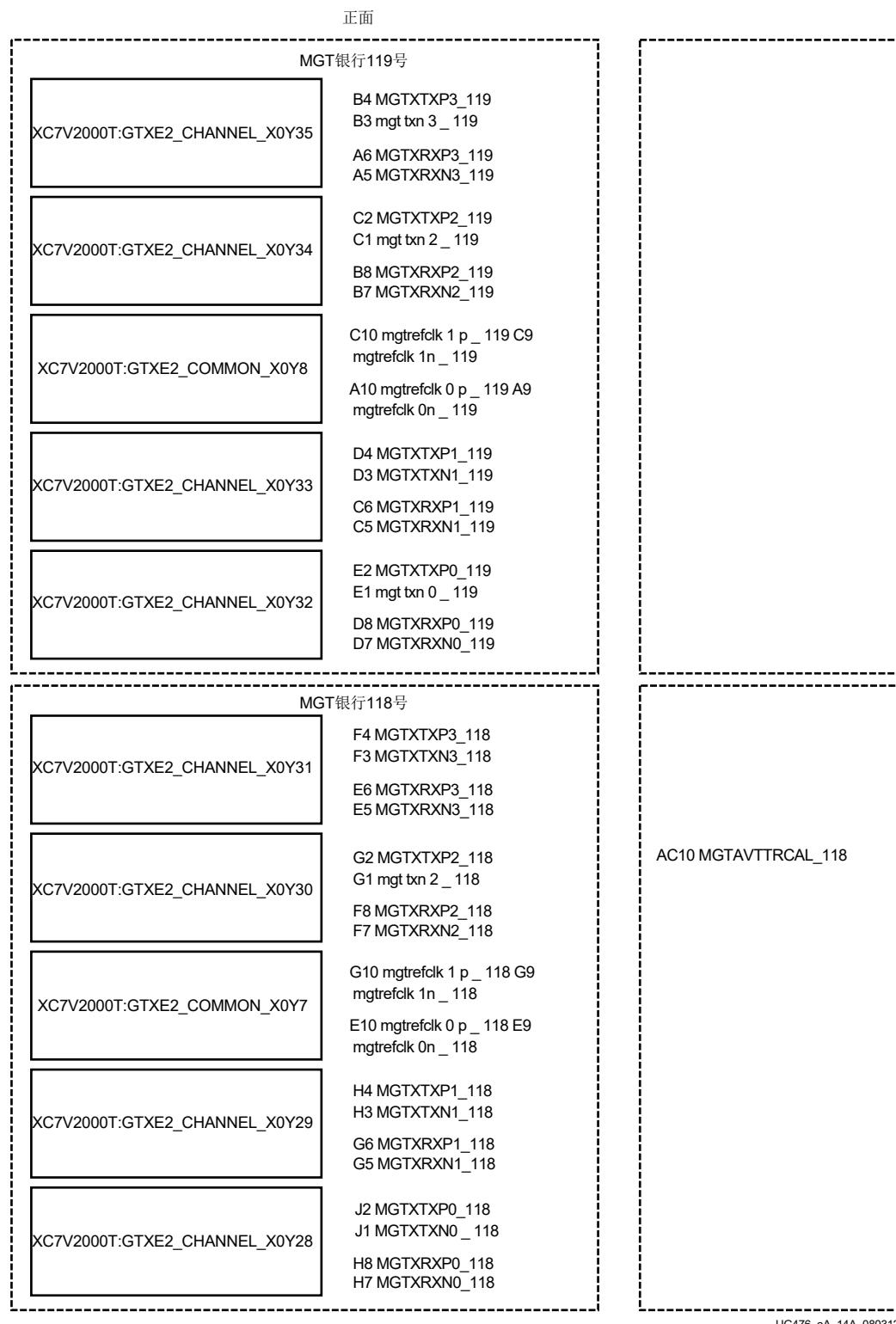
图A-41:FLG1925封装布局图(第1页, 共2页)



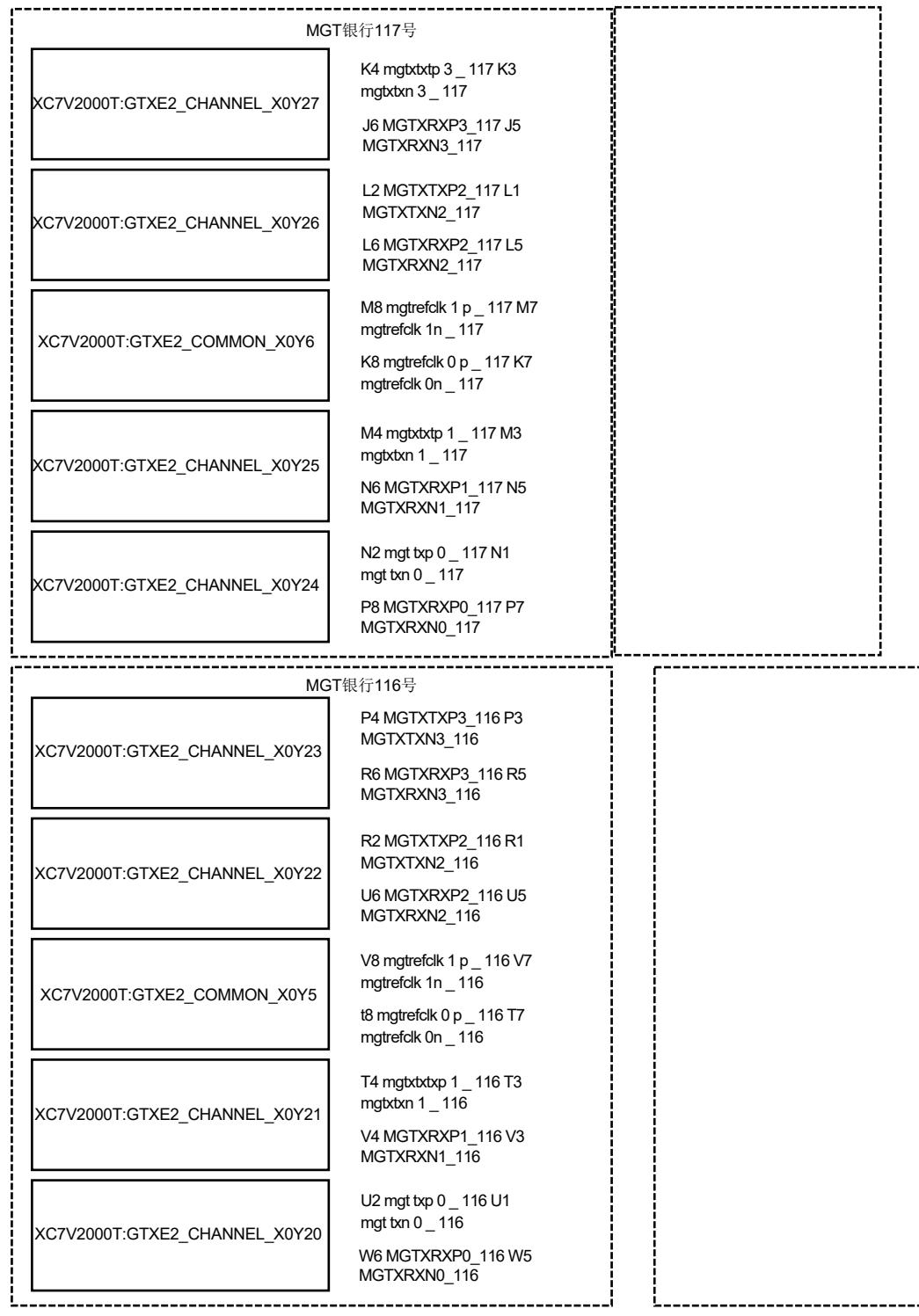
图A-42:FLG1925封装布局图(第2页, 共2页)

## FHG1761封装布局图

图A-43穿过图A-47显示FHG1761封装的布局图。

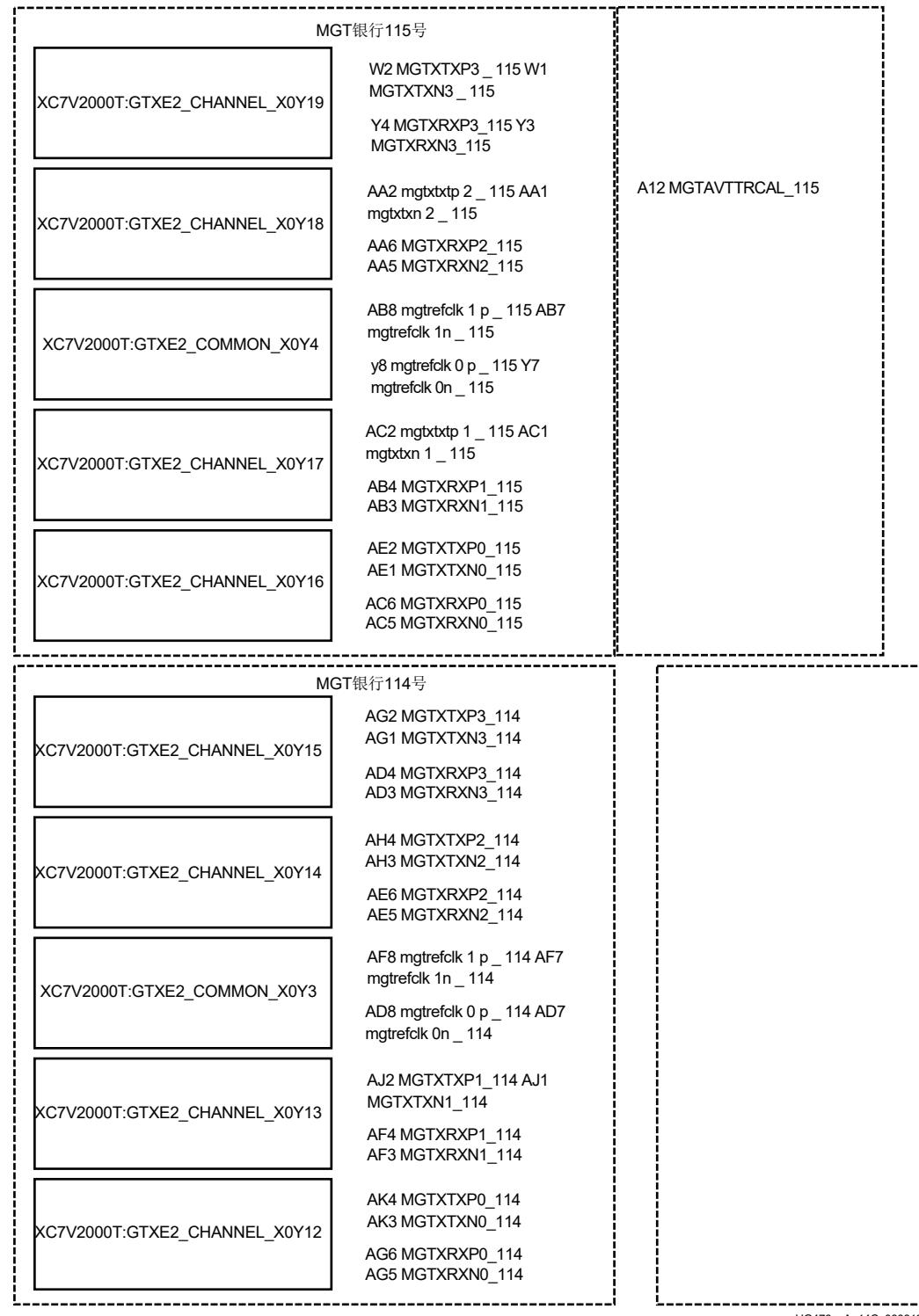


图A-43:FHG1761封装布局图(第1页, 共5页)



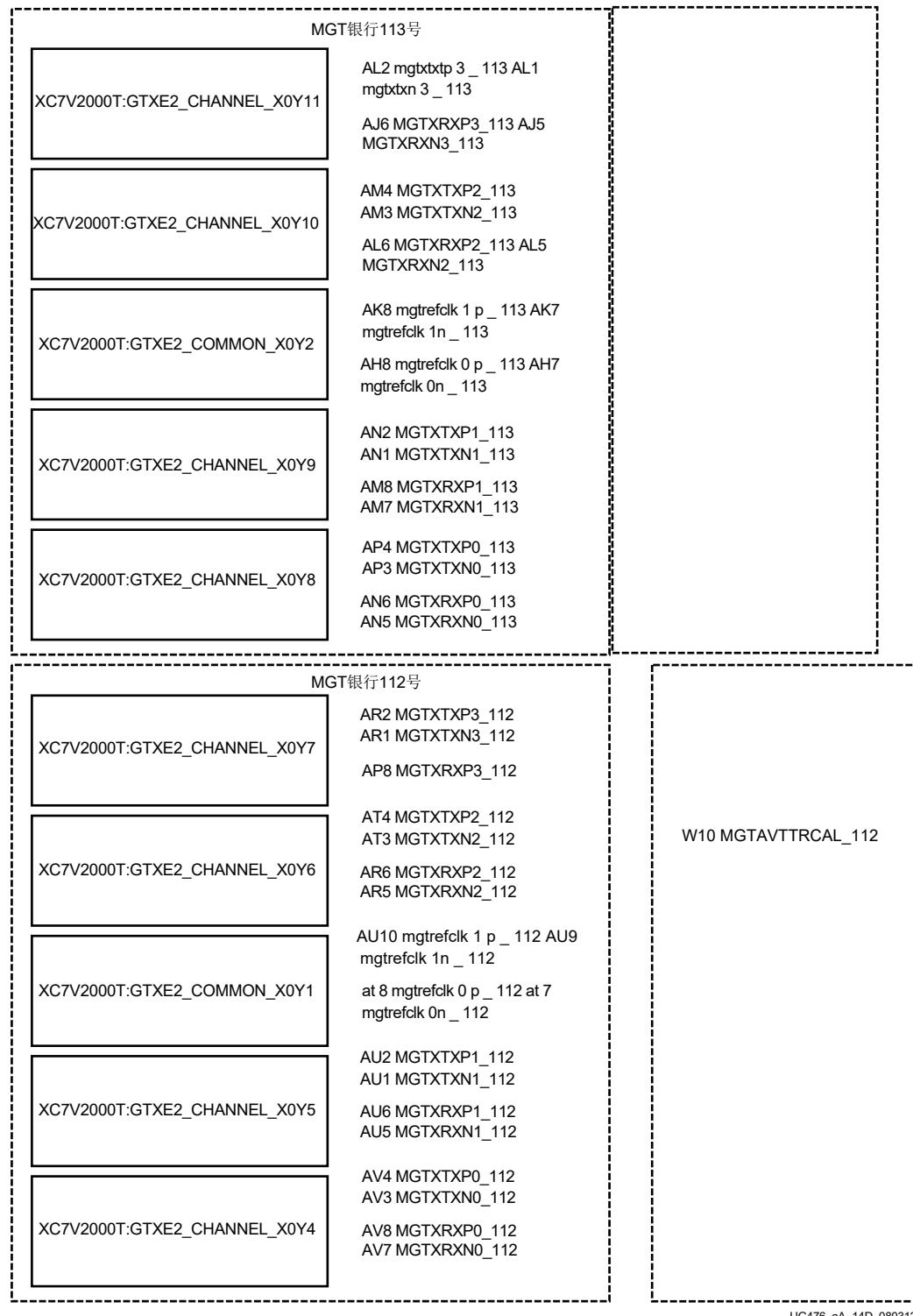
UG476\_aA\_14B\_080312

图A-44:FHG1761封装布局图(第2页, 共5页)

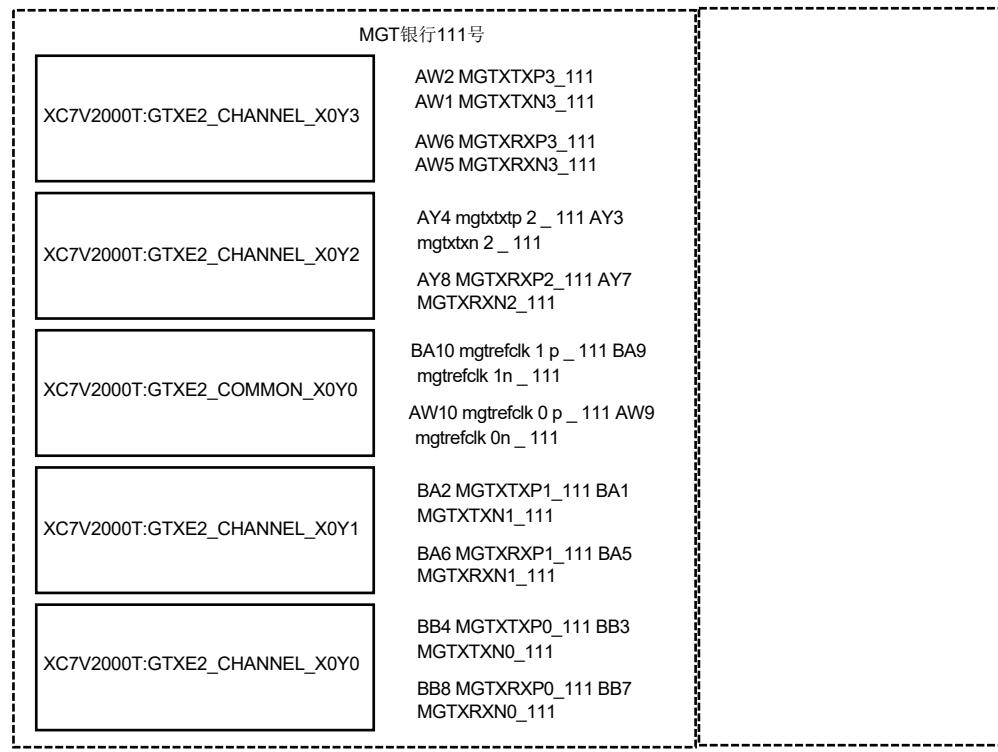


UG476\_aA\_14C\_080312

图A-45:FHG1761封装布局图(第3页, 共5页)



图A-46:FHG1761封装布局图(第4页, 共5页)



UG476\_aA\_14E\_080312

图A-47:FHG1761封装布局图(第5页, 共5页)

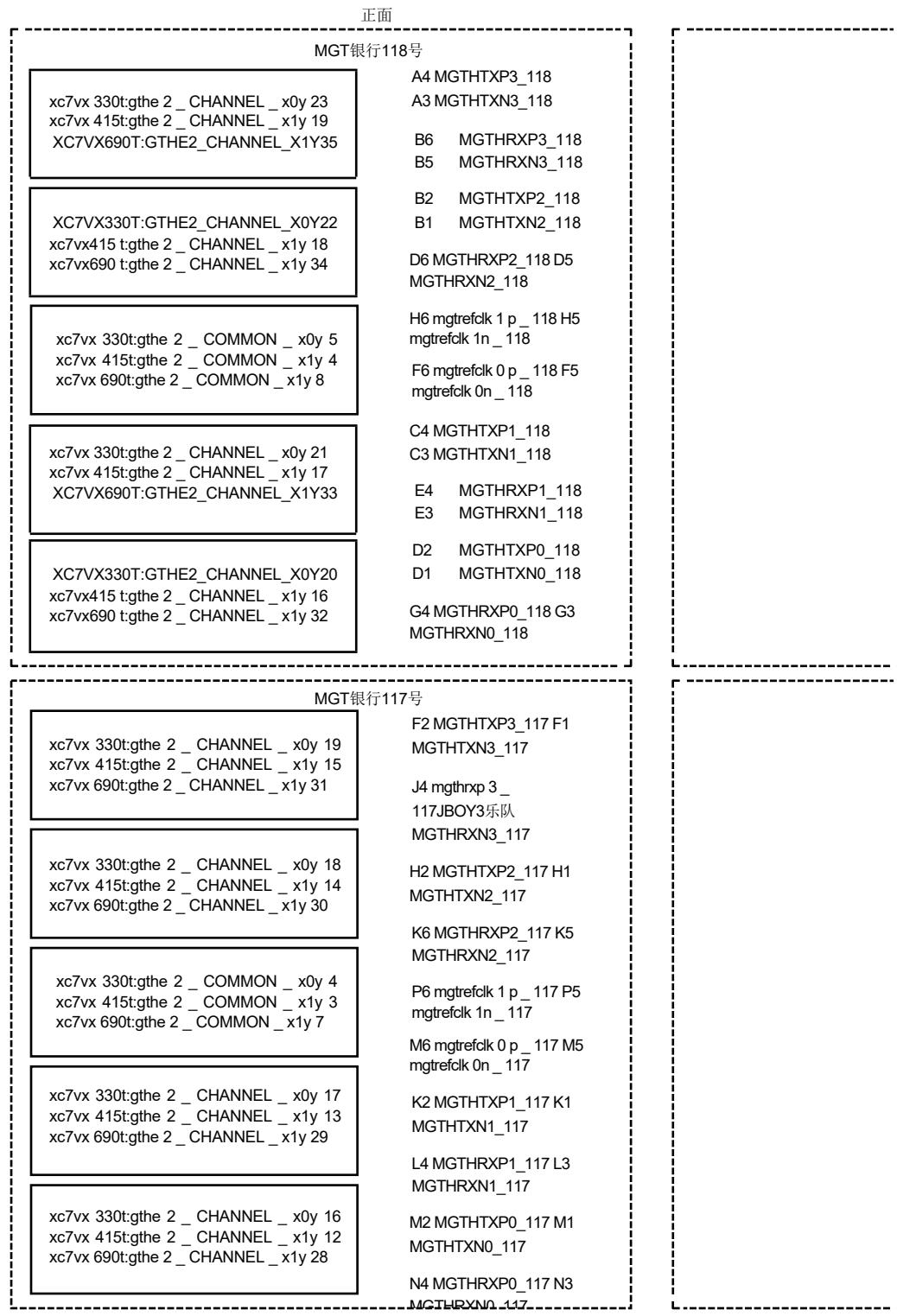
**注意:**有关Zynq -7000 SoC的布局图, 请参考[UG585,Zynq-7000 SoC技术参考手册](#).

## GTH收发器封装布局图

- FFG1157封装布局图, 第394页
- FFG1158封装布局图, 第397页
- FFG1761封装布局图, 第403页
- FFG1926封装布局图, 第408页
- FFG1927封装布局图, 第416页
- FFG1928封装布局图, 第426页
- FFG1930封装布局图, 第436页
- FLG1926封装布局图, 第439页
- FLG1928封装布局图, 第447页
- FLG1930封装布局图, 第459页

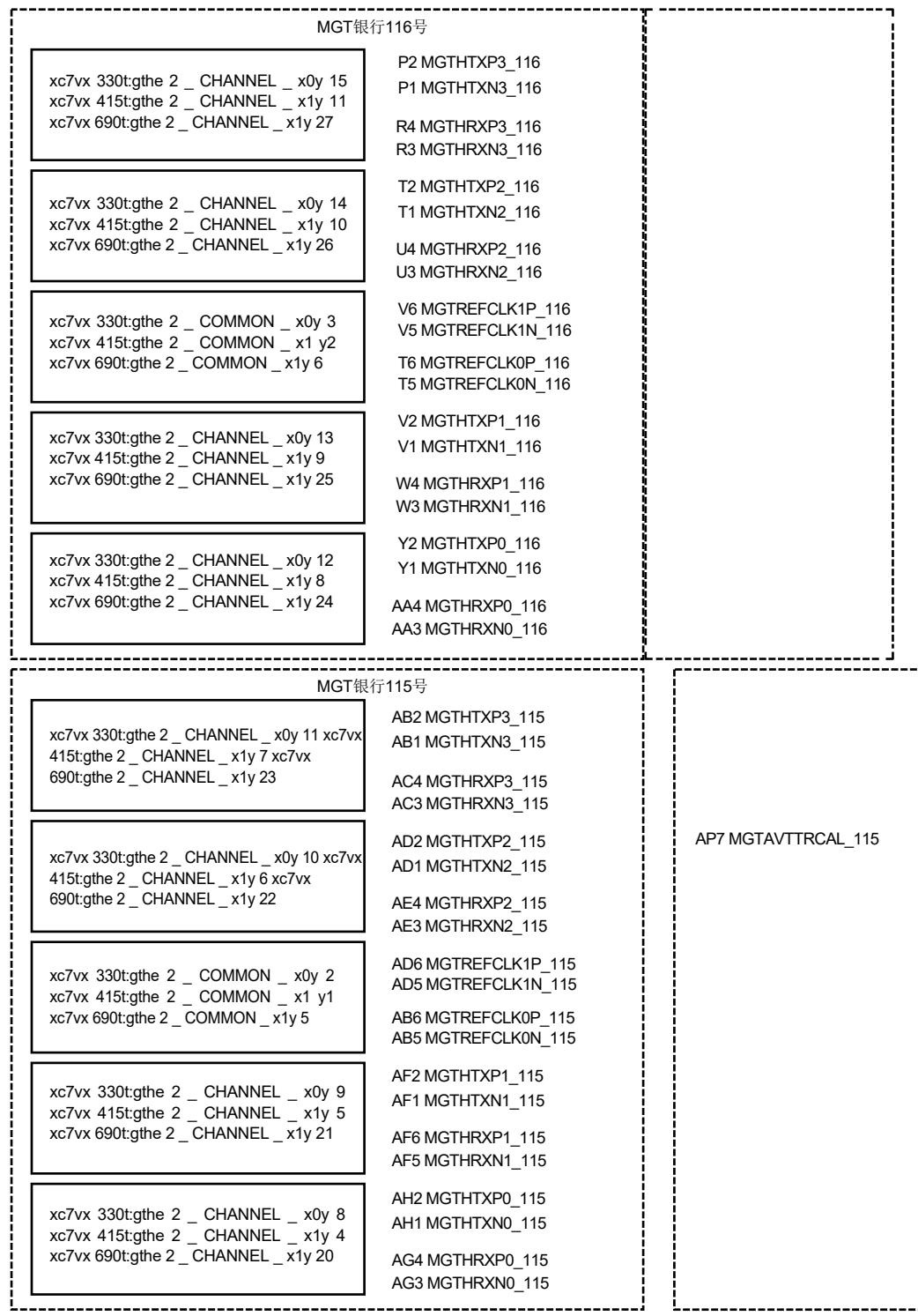
## FFG1157封装布局图

图A-48穿过图A-50显示FFG1157封装的放置图。



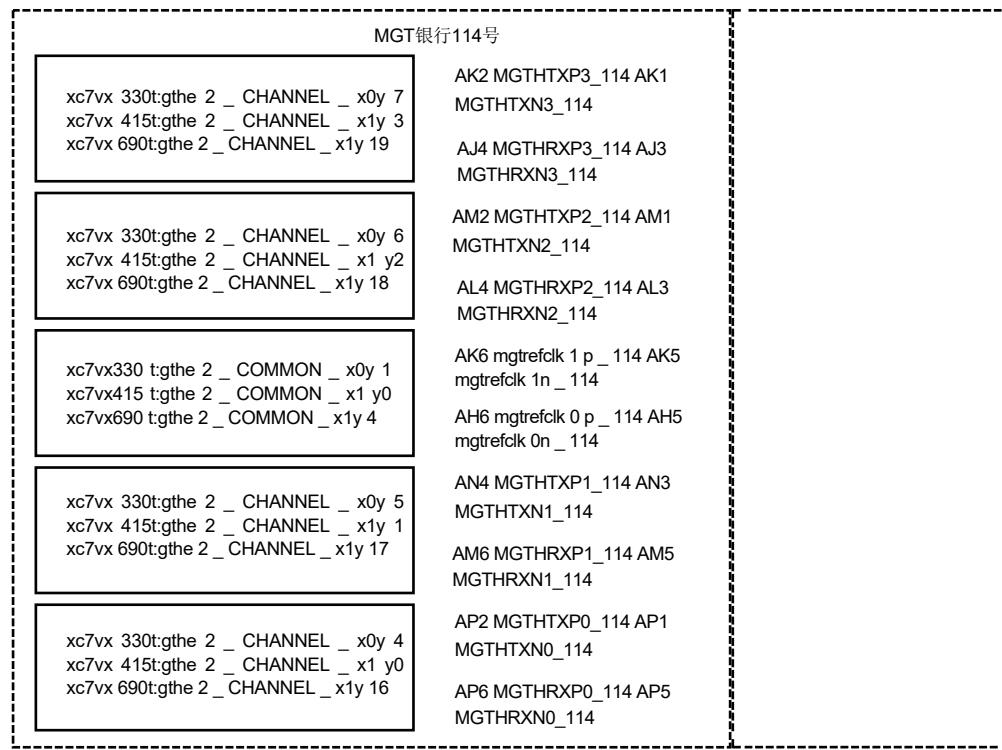
UG476\_aA\_15A\_071912

图A-48:FFG1157封装布局图(第1页, 共3页)



UG476\_aA\_15B\_071712

图A-49:FFG1157封装布局图(第2页, 共3页)

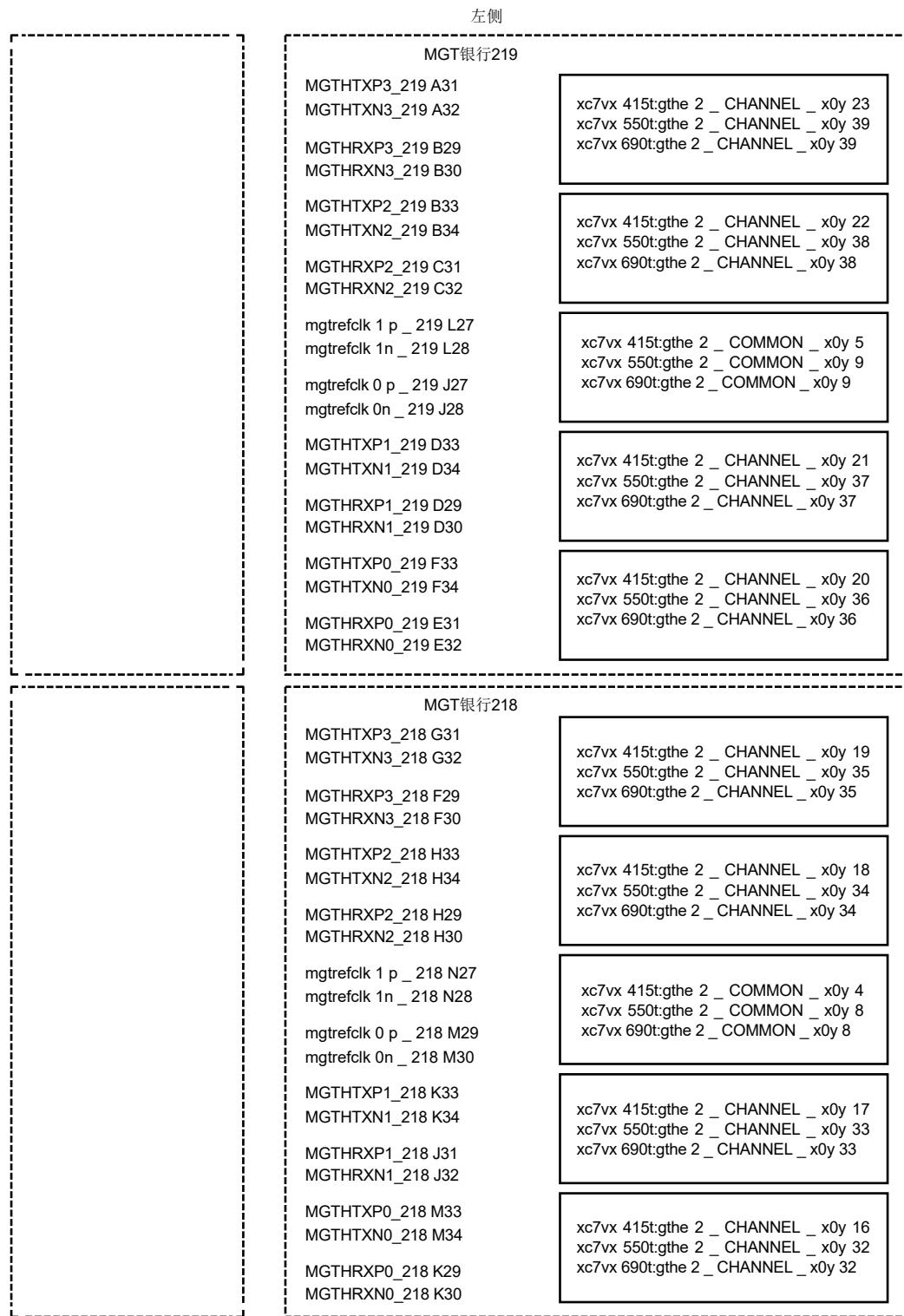


UG476\_aA\_15C\_071712

图A-50:FFG1157封装布局图(第3页, 共3页)

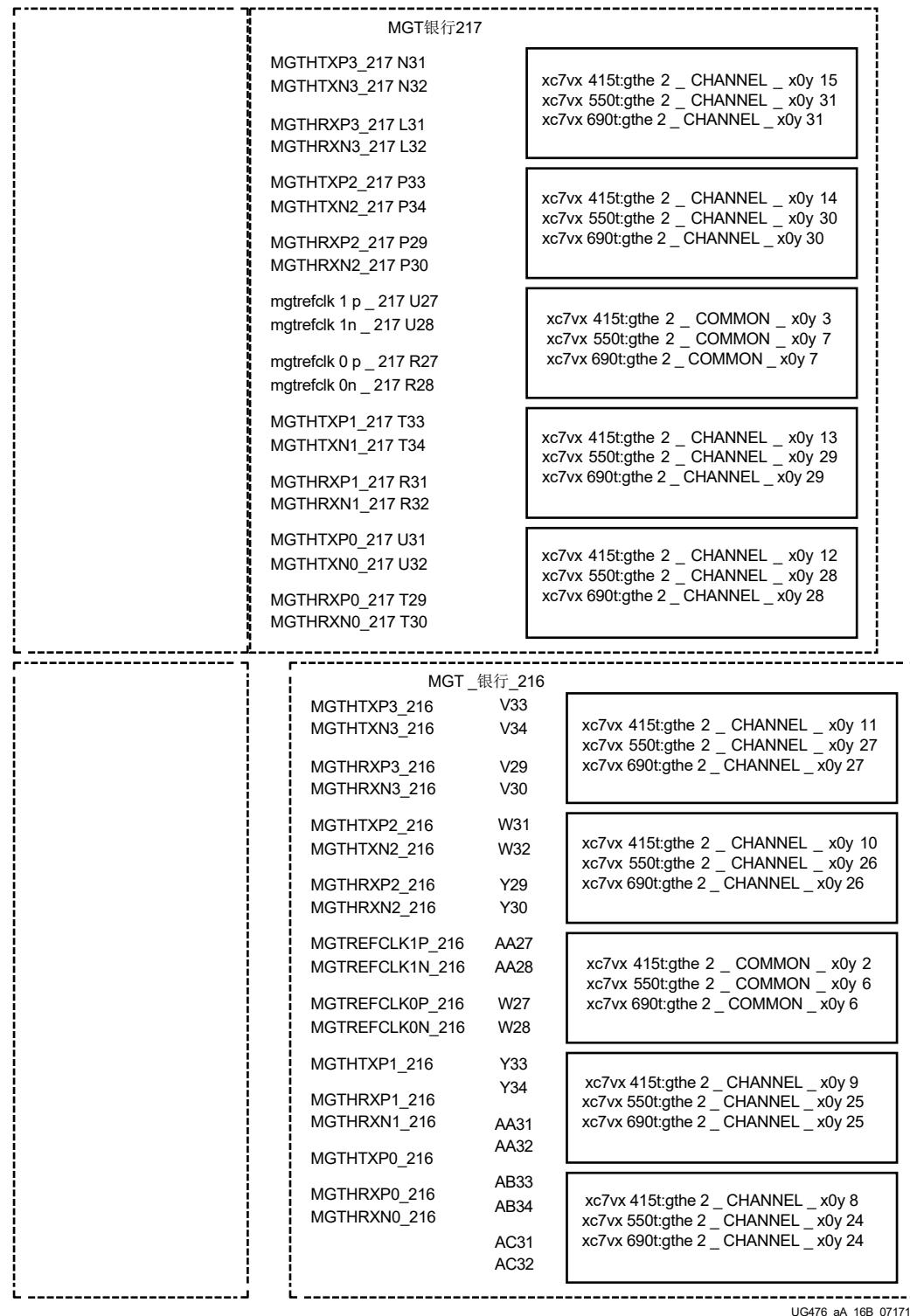
## FFG1158封装布局图

图A-51 穿过图A-56显示FFG1158封装的放置图。



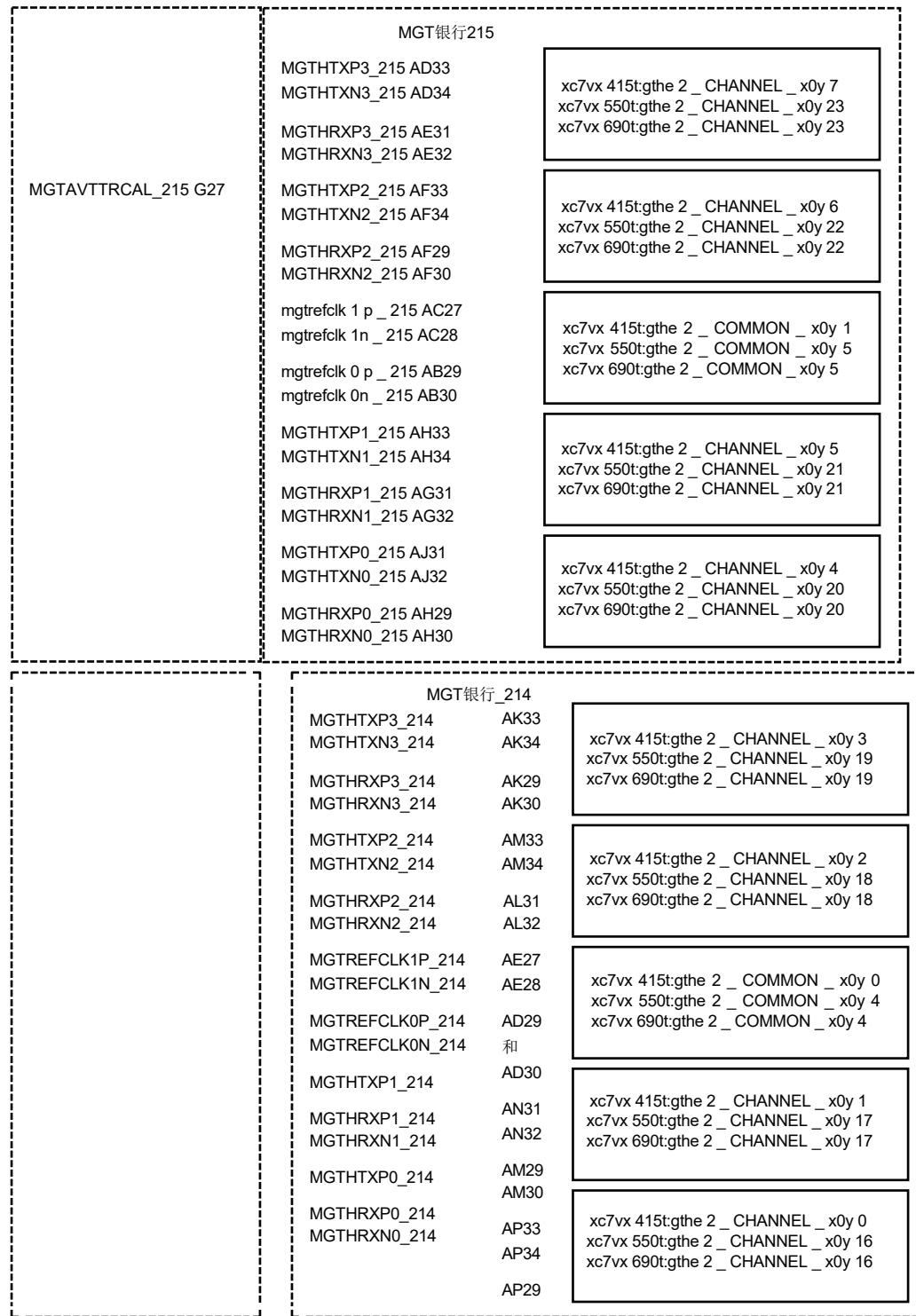
UG476\_aA\_16A\_071712

图A-51:FFG1158封装布局图(第1页, 共6页)



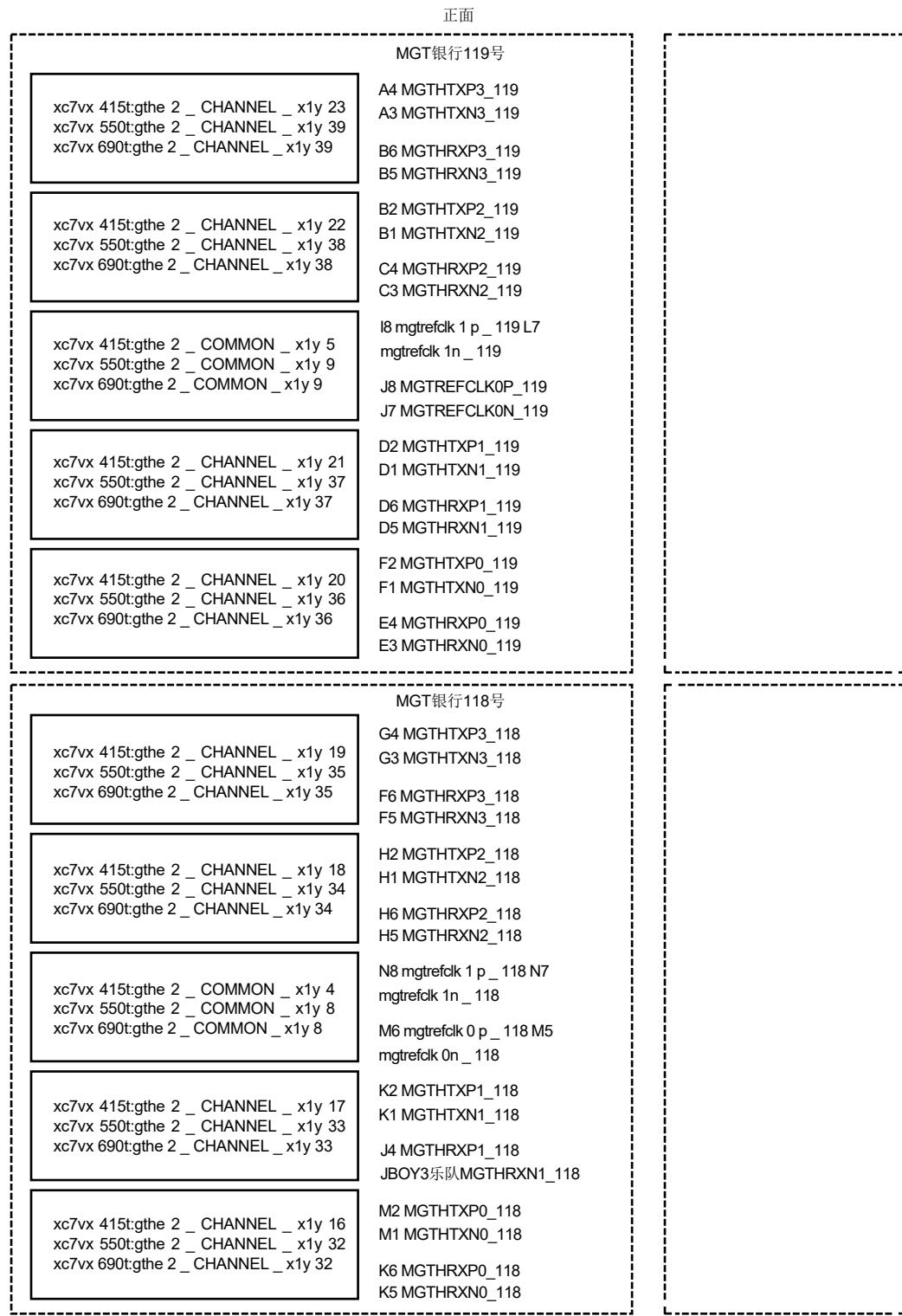
UG476\_aA\_16B\_071712

图A-52:FFG1158封装布局图(第2页, 共6页)

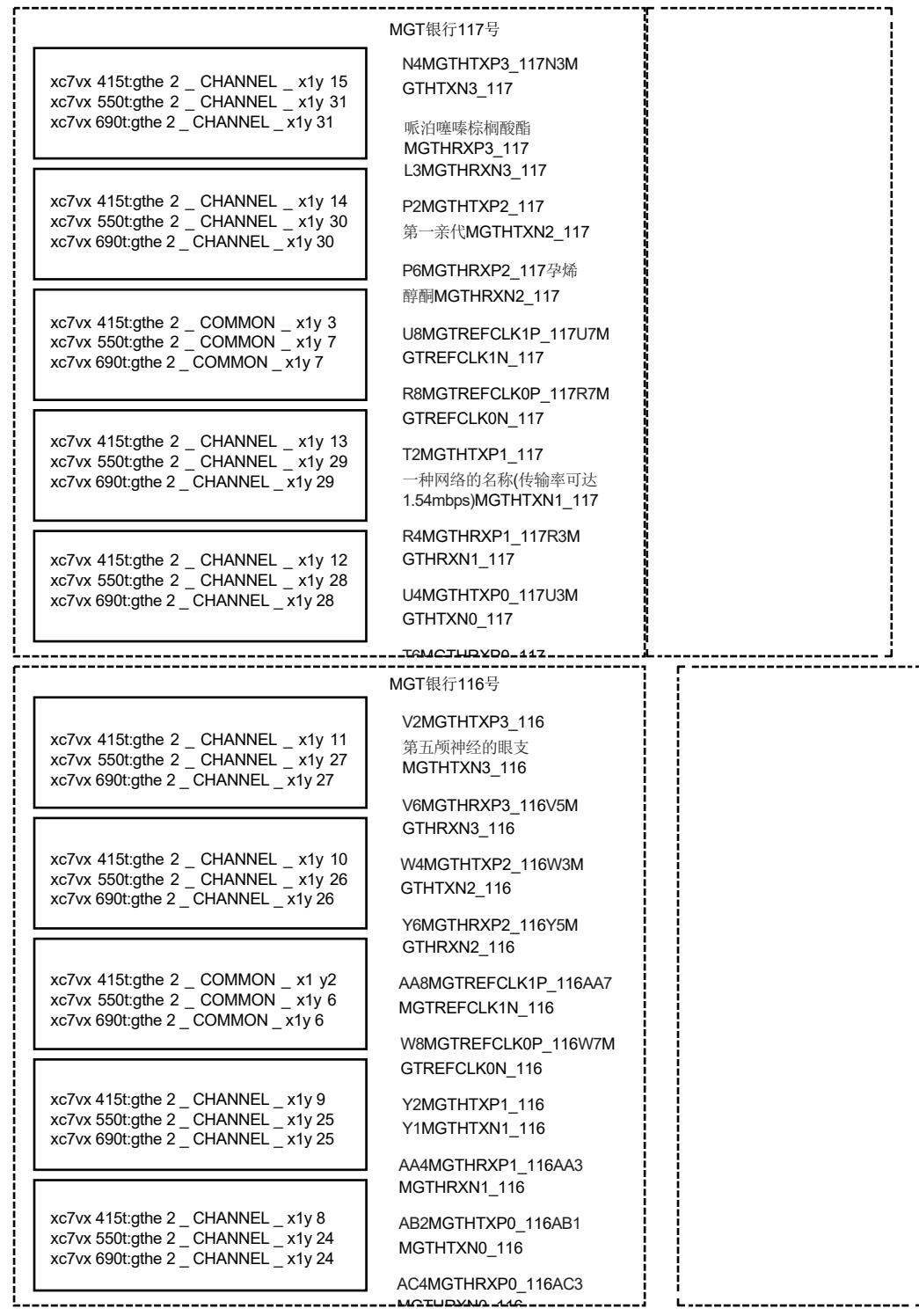


UG476\_aA\_16C\_071712

图A-53:FFG1158封装布局图(第3页, 共6页)

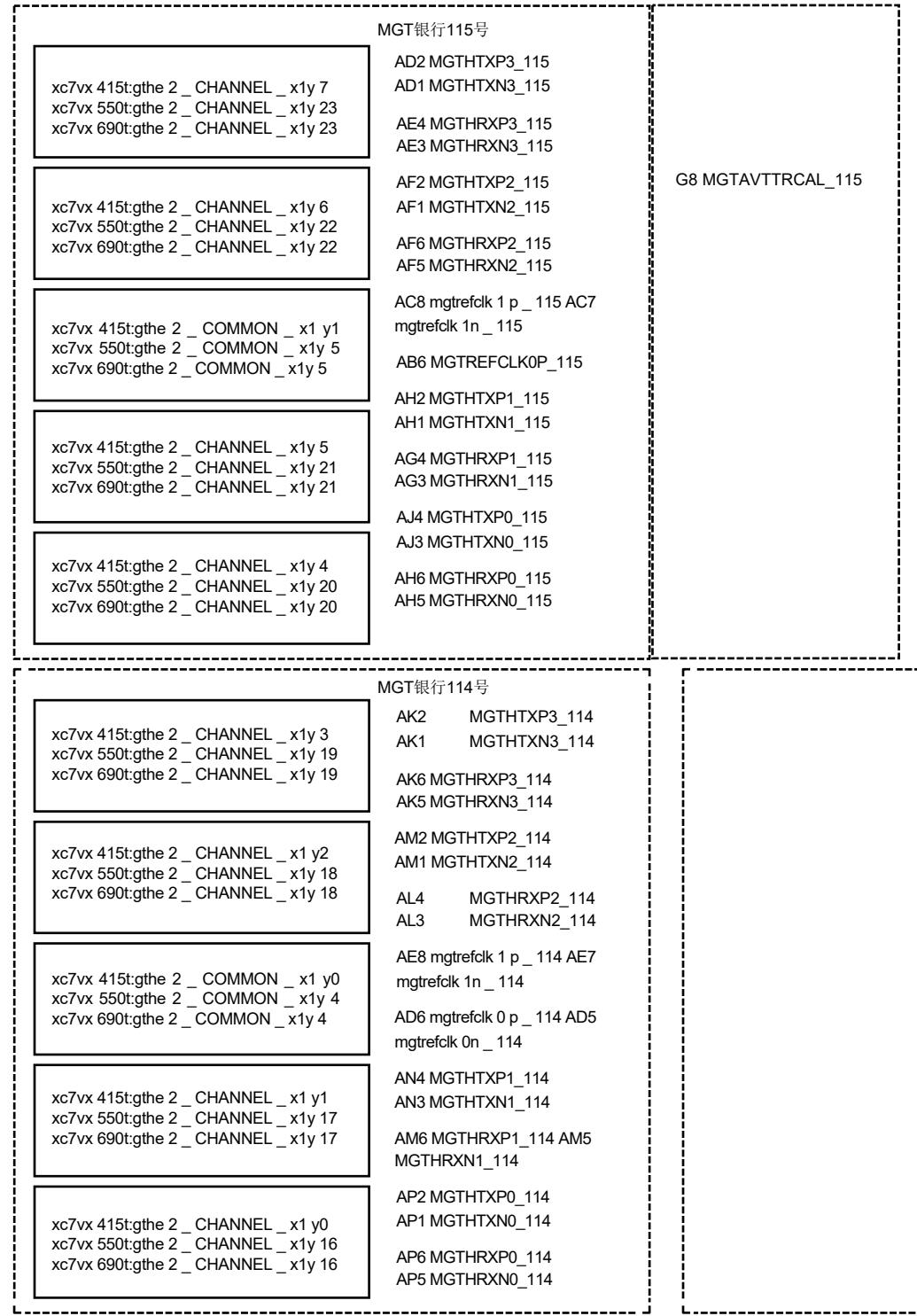


图A-54:FFG1158封装布局图(第4页, 共6页)



UG476\_aA\_16E\_071712

图A-55:FFG1158封装布局图(第5页, 共6页)

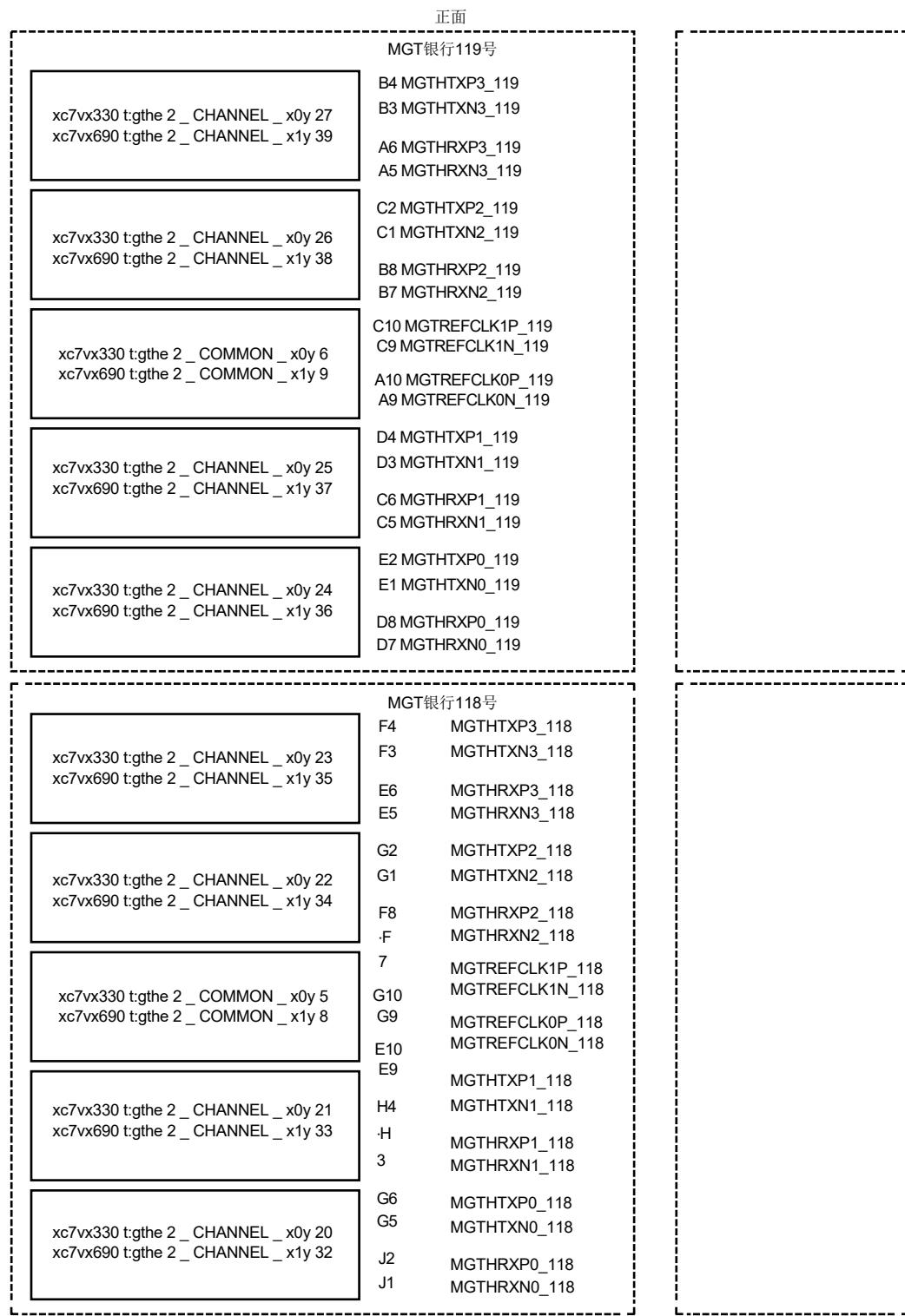


UG476\_aA\_16F\_071912

图A-56:FFG1158封装布局图(第6页, 共6页)

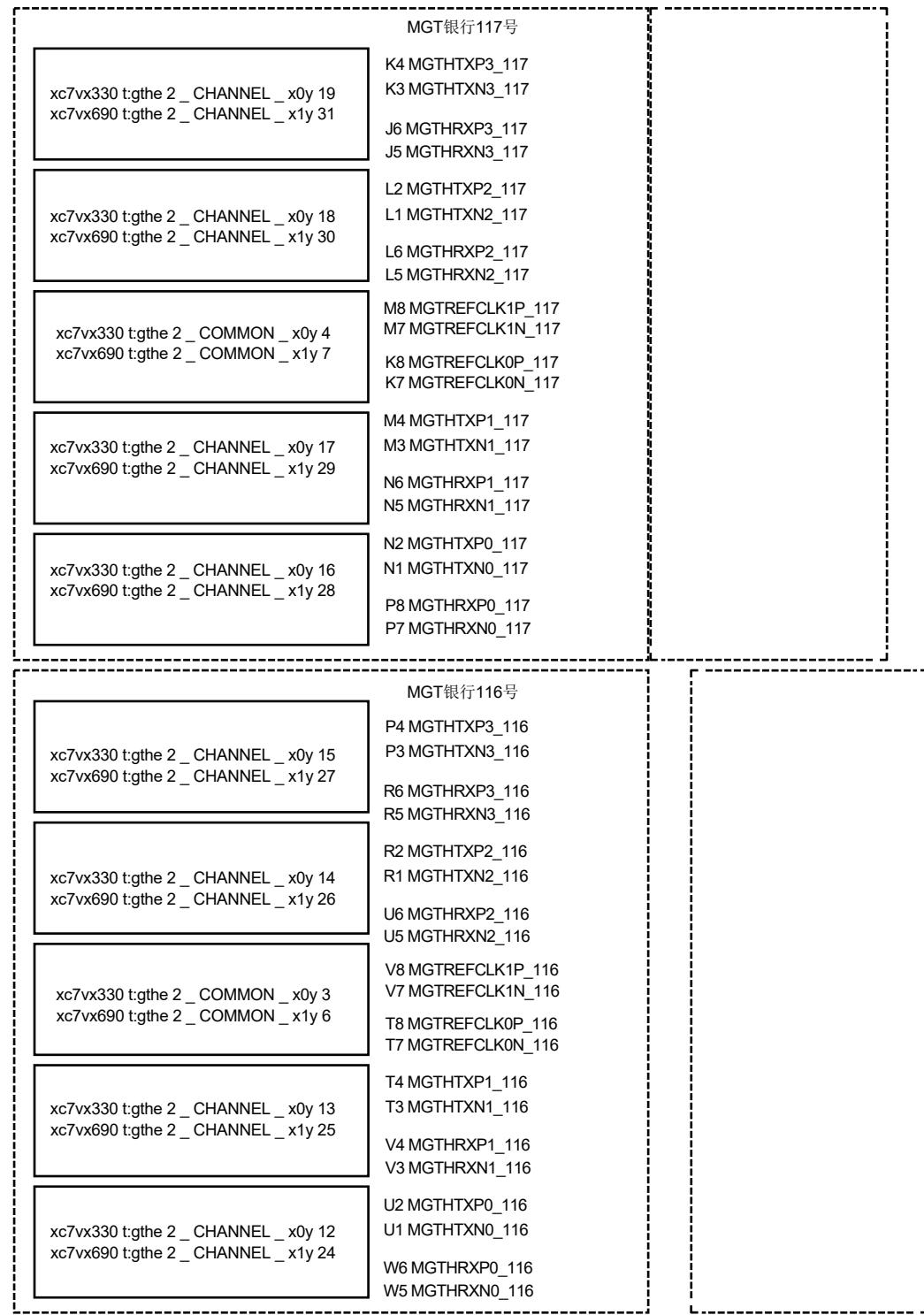
## FFG1761封装布局图

图A-57穿过图A-61显示FFG1761封装的放置图。

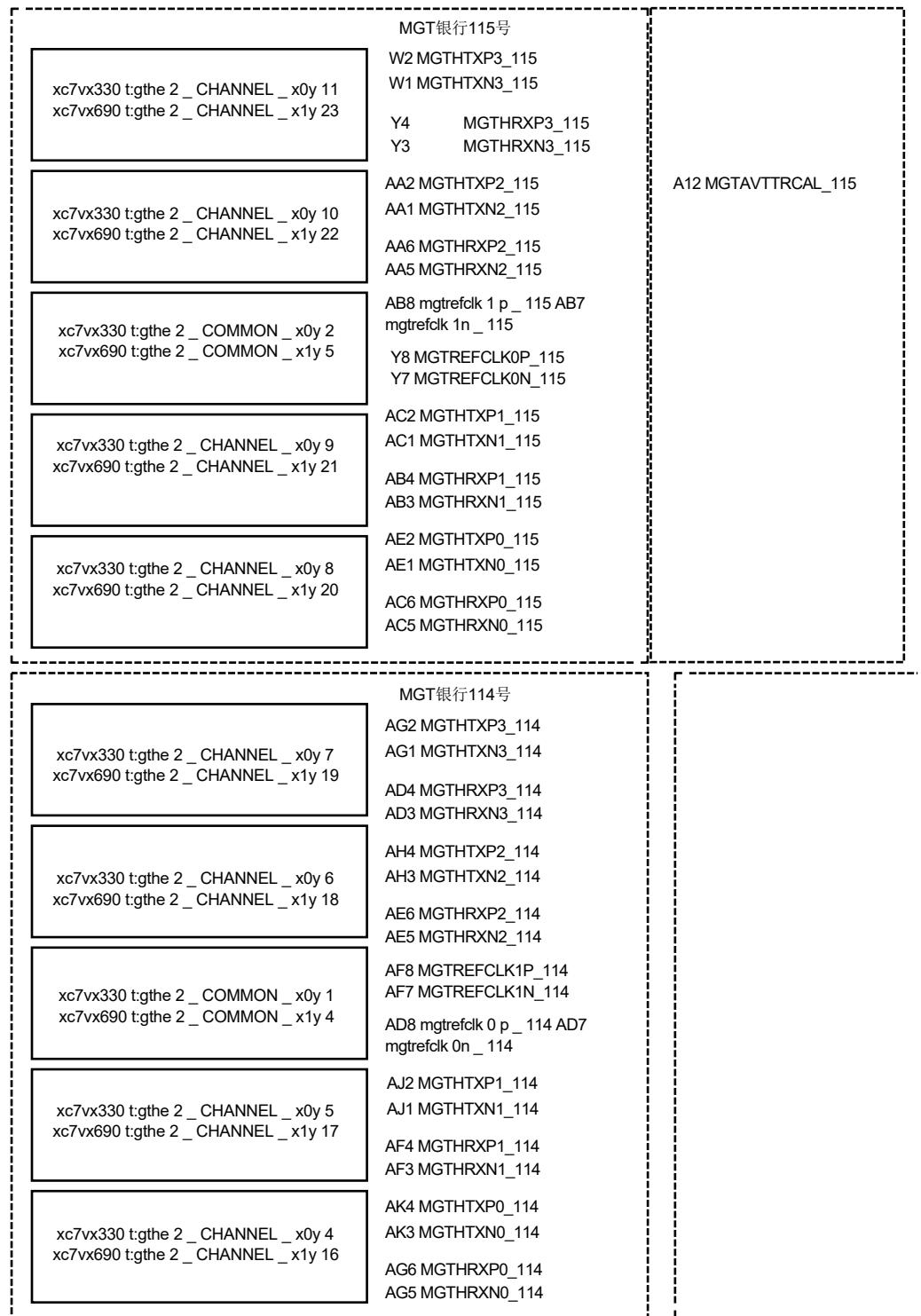


UG476\_aA\_17A\_071712

图A-57:FFG1761封装布局图(第1页, 共5页)

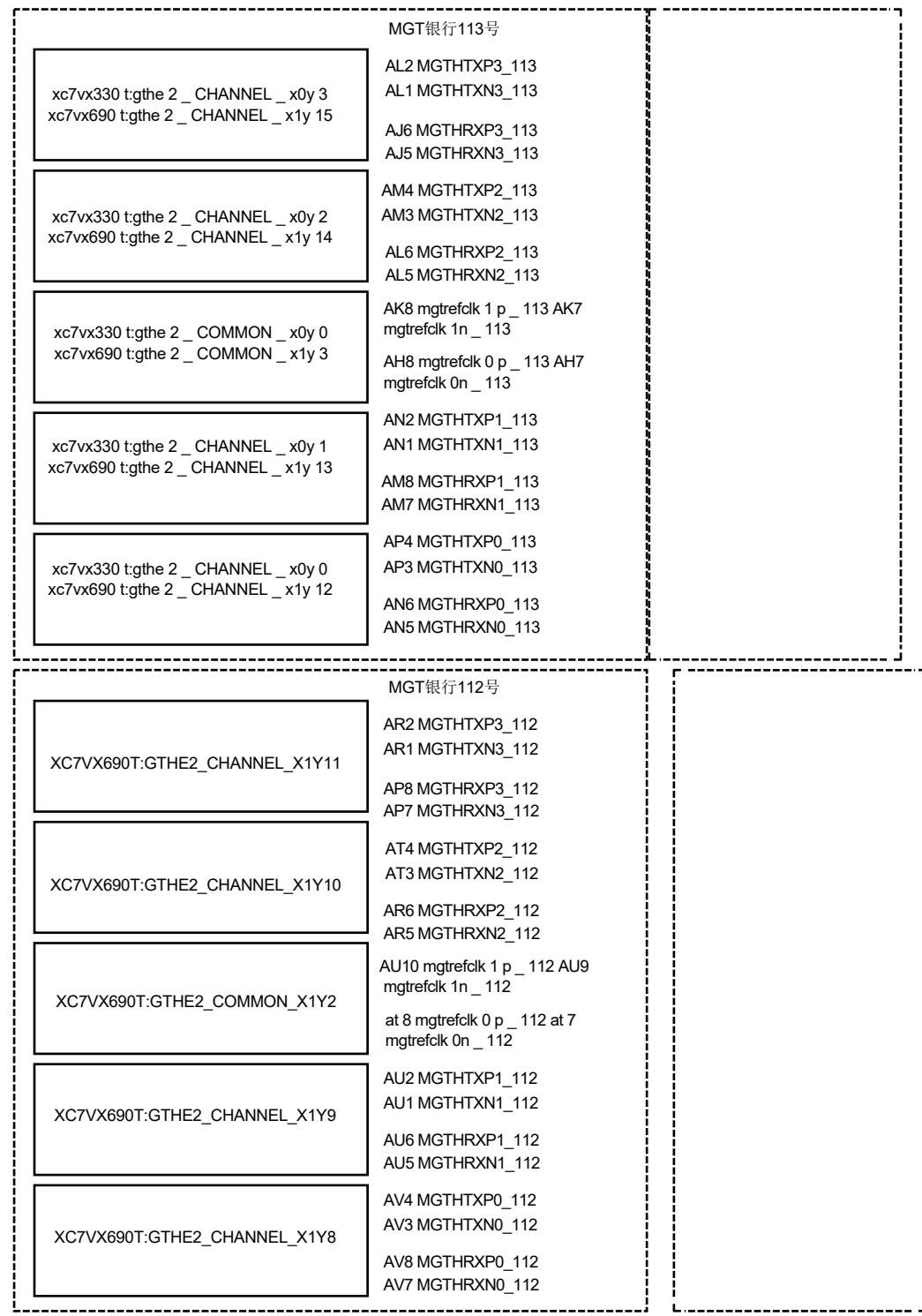


图A-58:FFG1761封装布局图(第2页, 共5页)



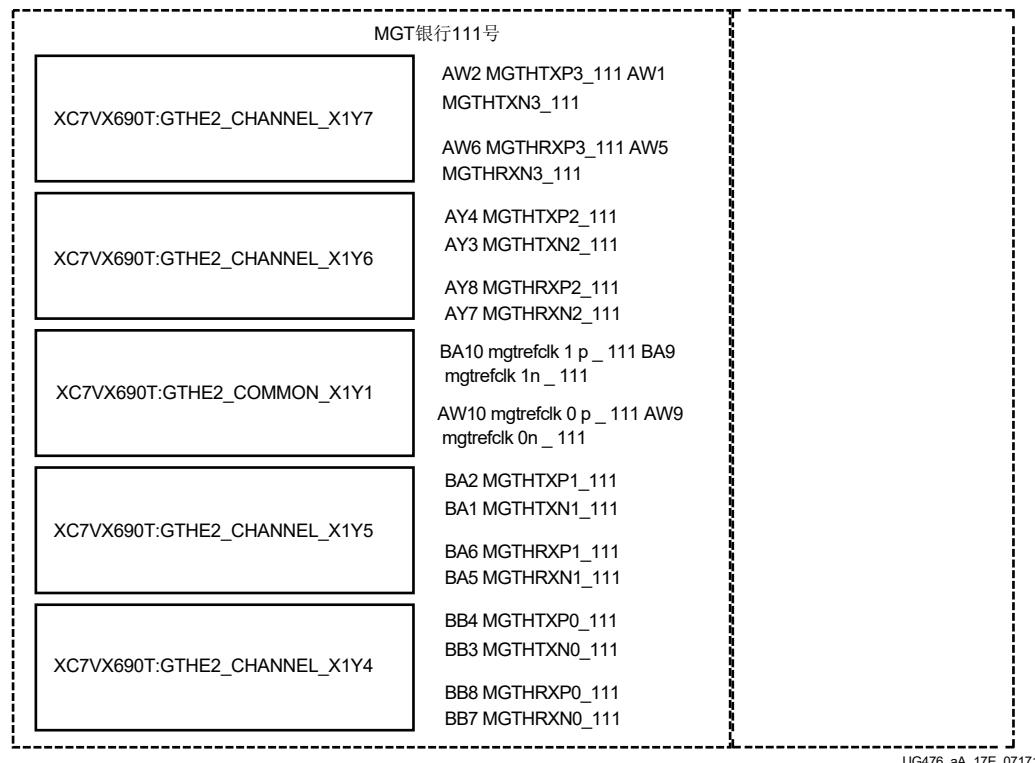
UG476\_aA\_17C\_071912

图A-59:FFG1761封装布局图(第3页, 共5页)



UG476\_aA\_17D\_071712

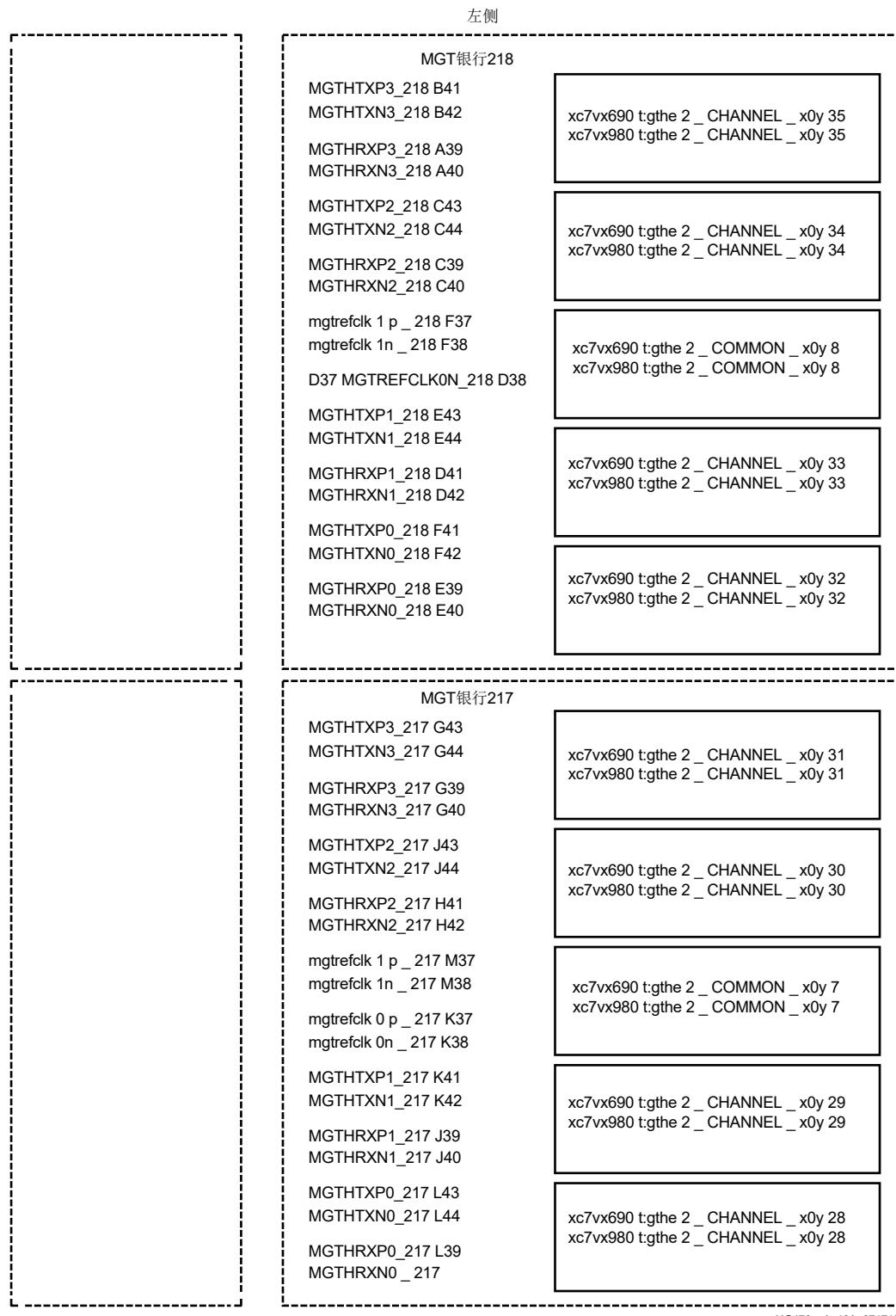
图A-60:FFG1761封装布局图(第4页, 共5页)



图A-61:FFG1761封装布局图(第5页, 共5页)

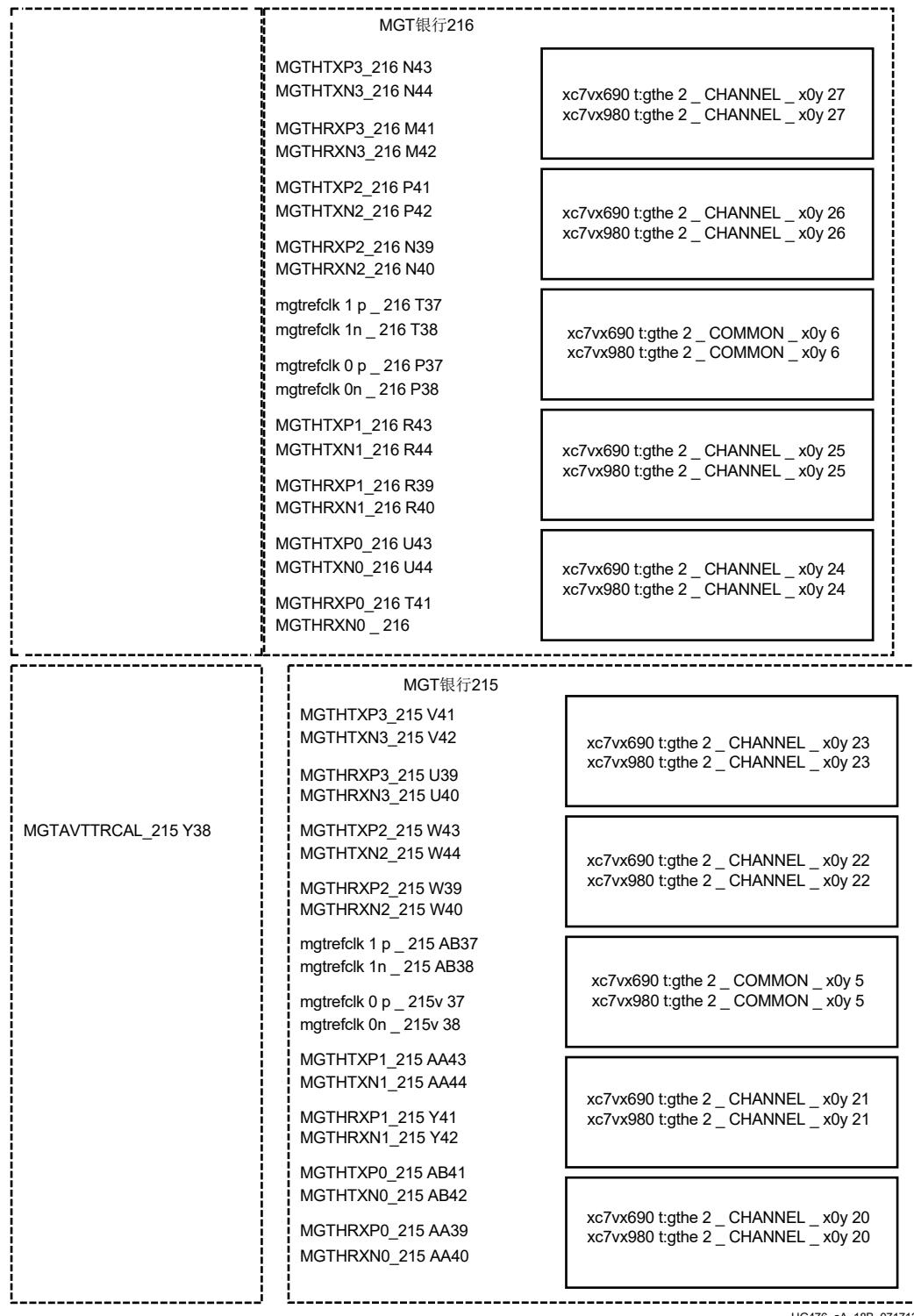
## FFG1926封装布局图

图A-62穿过图A-69显示FFG1926封装的布局布线图。



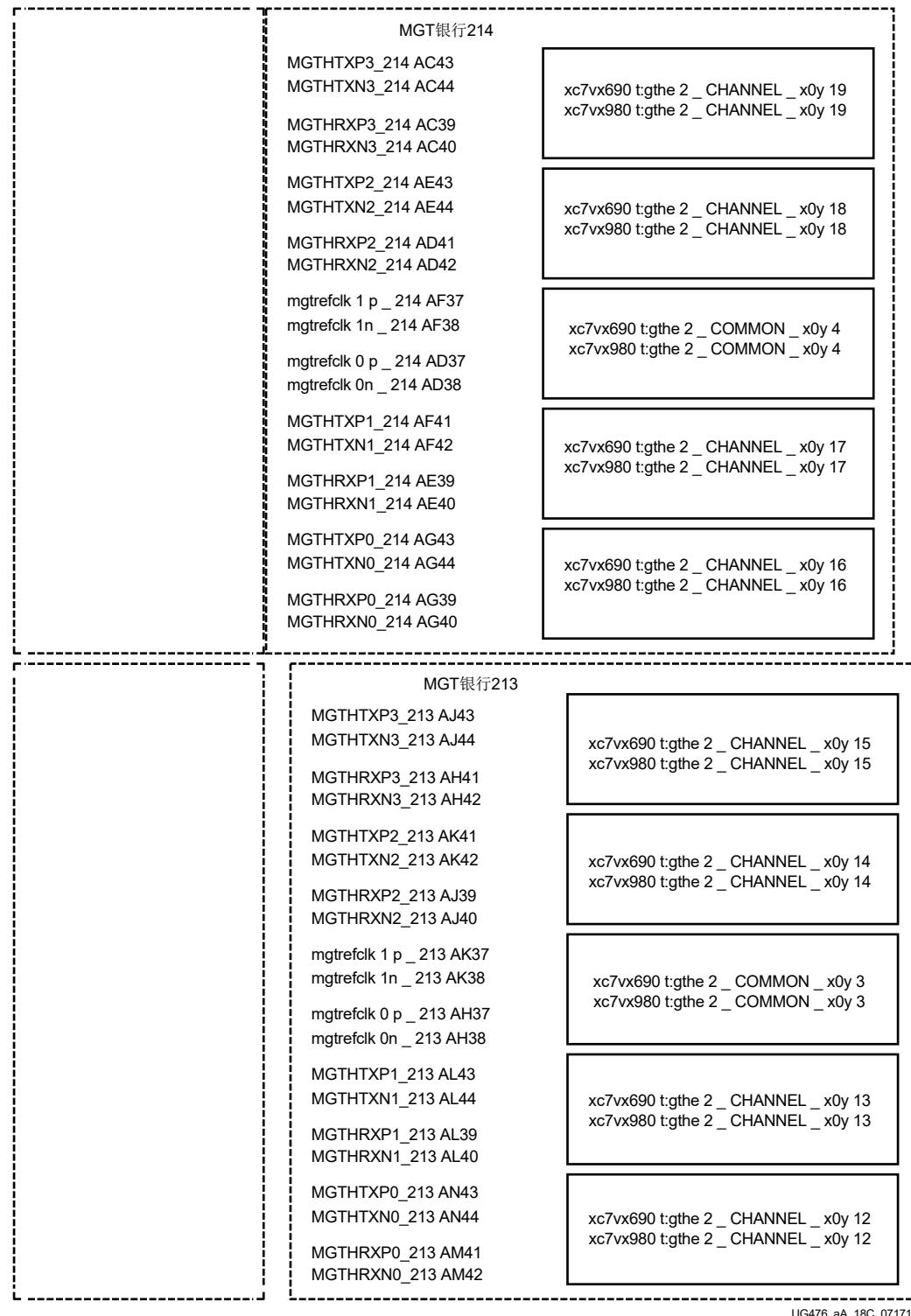
UG476\_aA\_18A\_071712

图A-62:FFG1926封装布局图(第1页, 共8页)



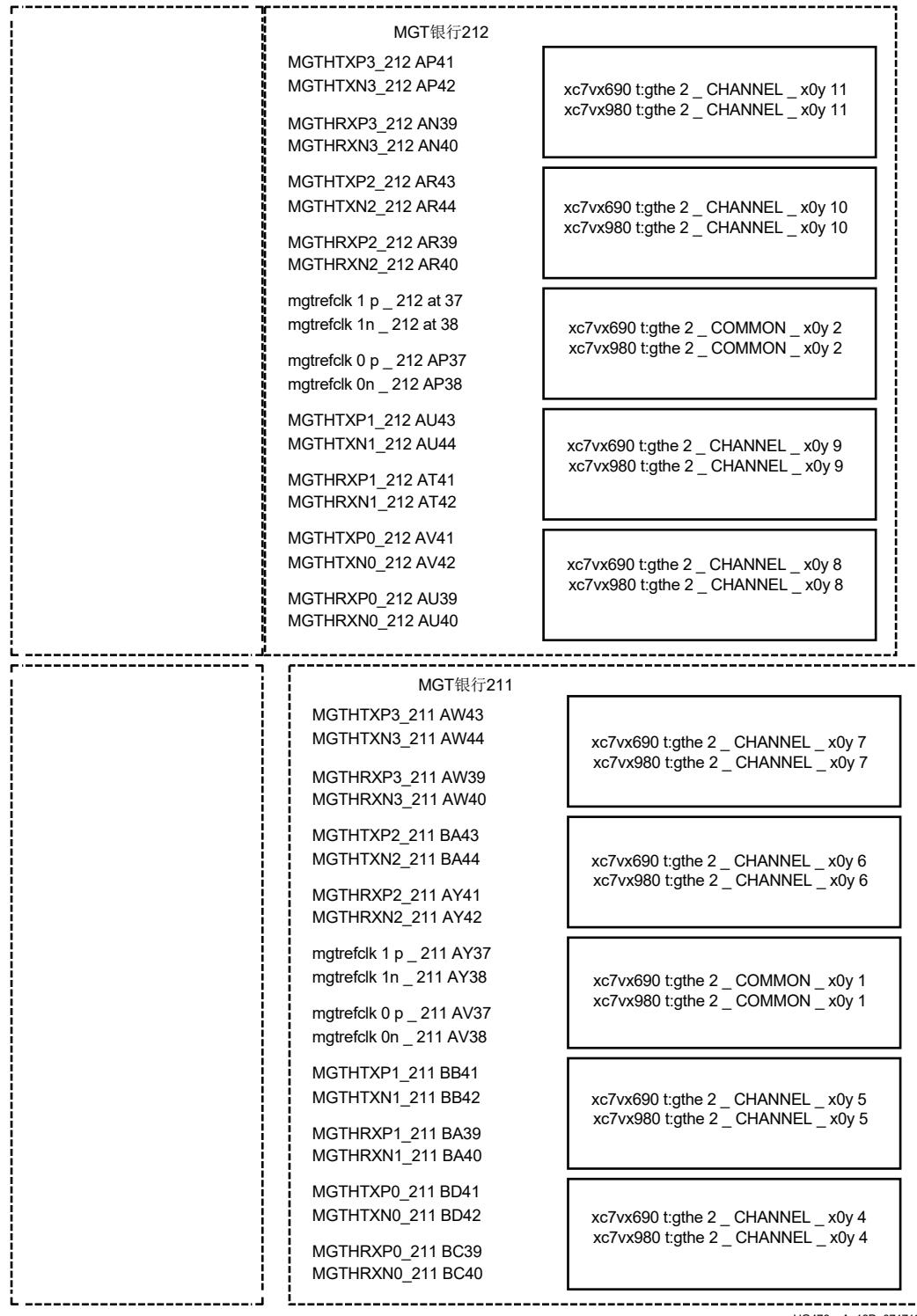
UG476\_aA\_18B\_071712

图A-63:FFG1926封装布局图(第2页, 共8页)



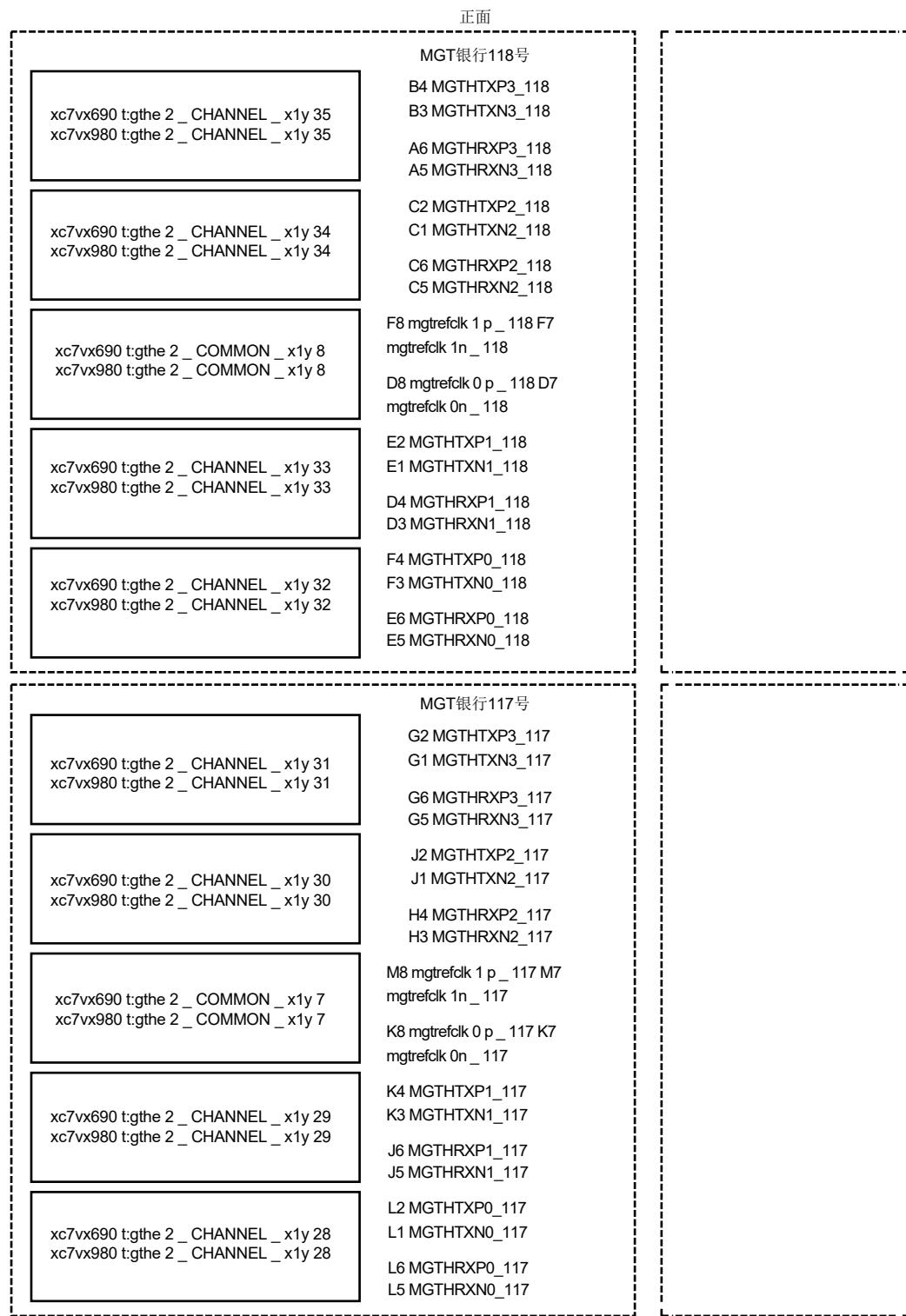
UG476\_aA\_18C\_071712

图A-64:FFG1926封装布局图(第3页, 共8页)



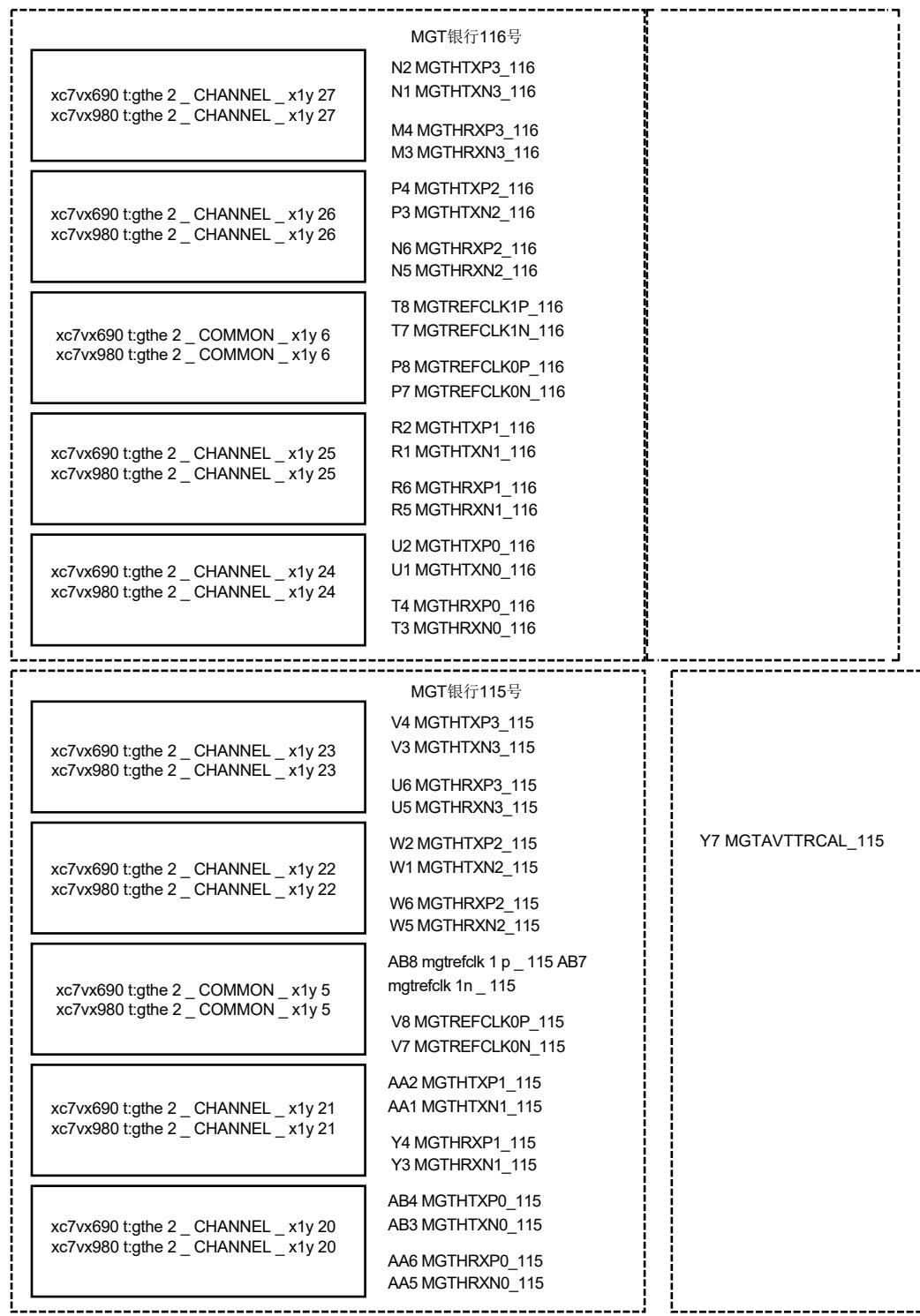
UG476\_aA\_18D\_071712

图A-65:FFG1926封装布局图(第4页, 共8页)

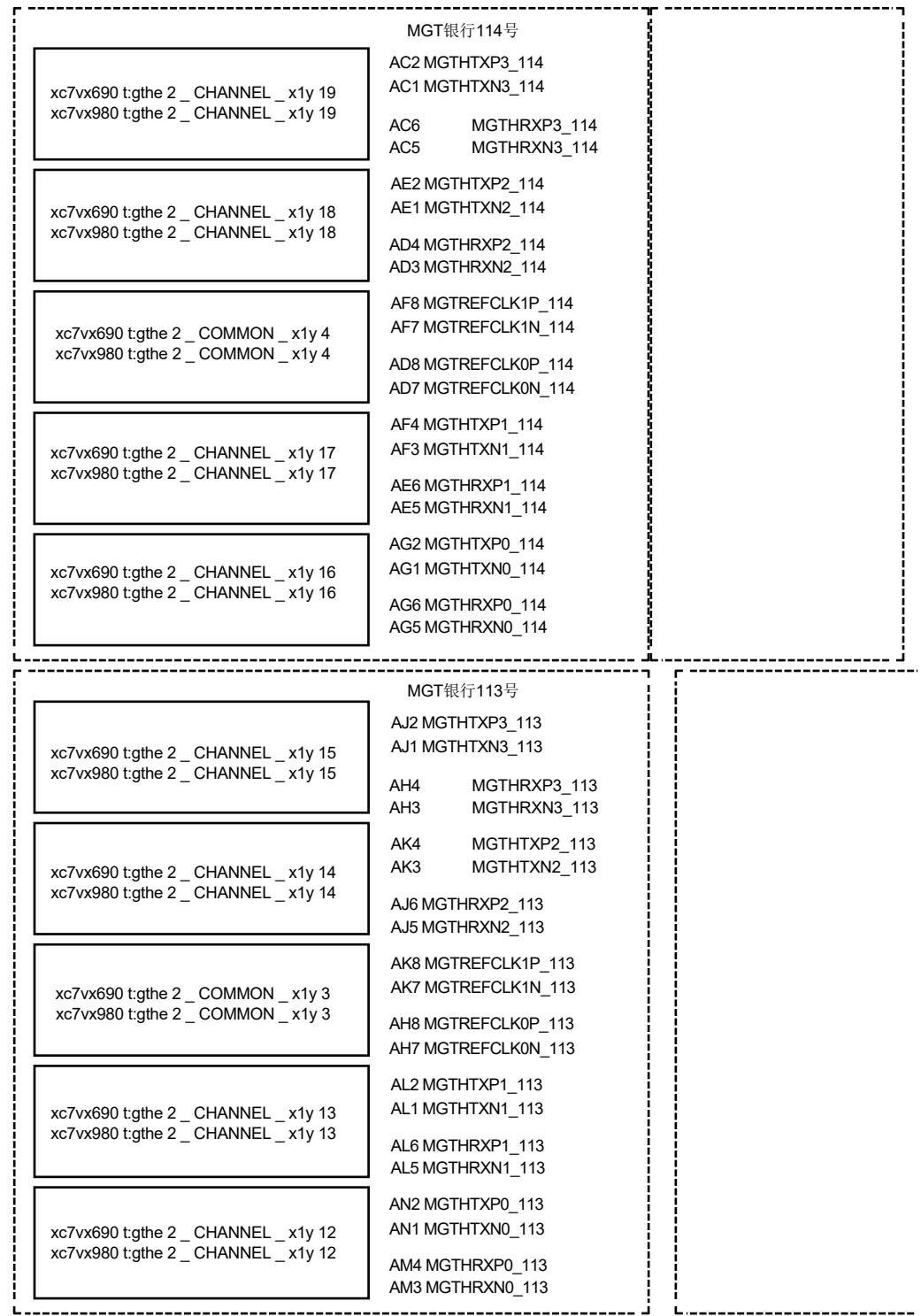


UG476\_aA\_18E\_071912

图A-66:FFG1926封装布局图(第5页, 共8页)

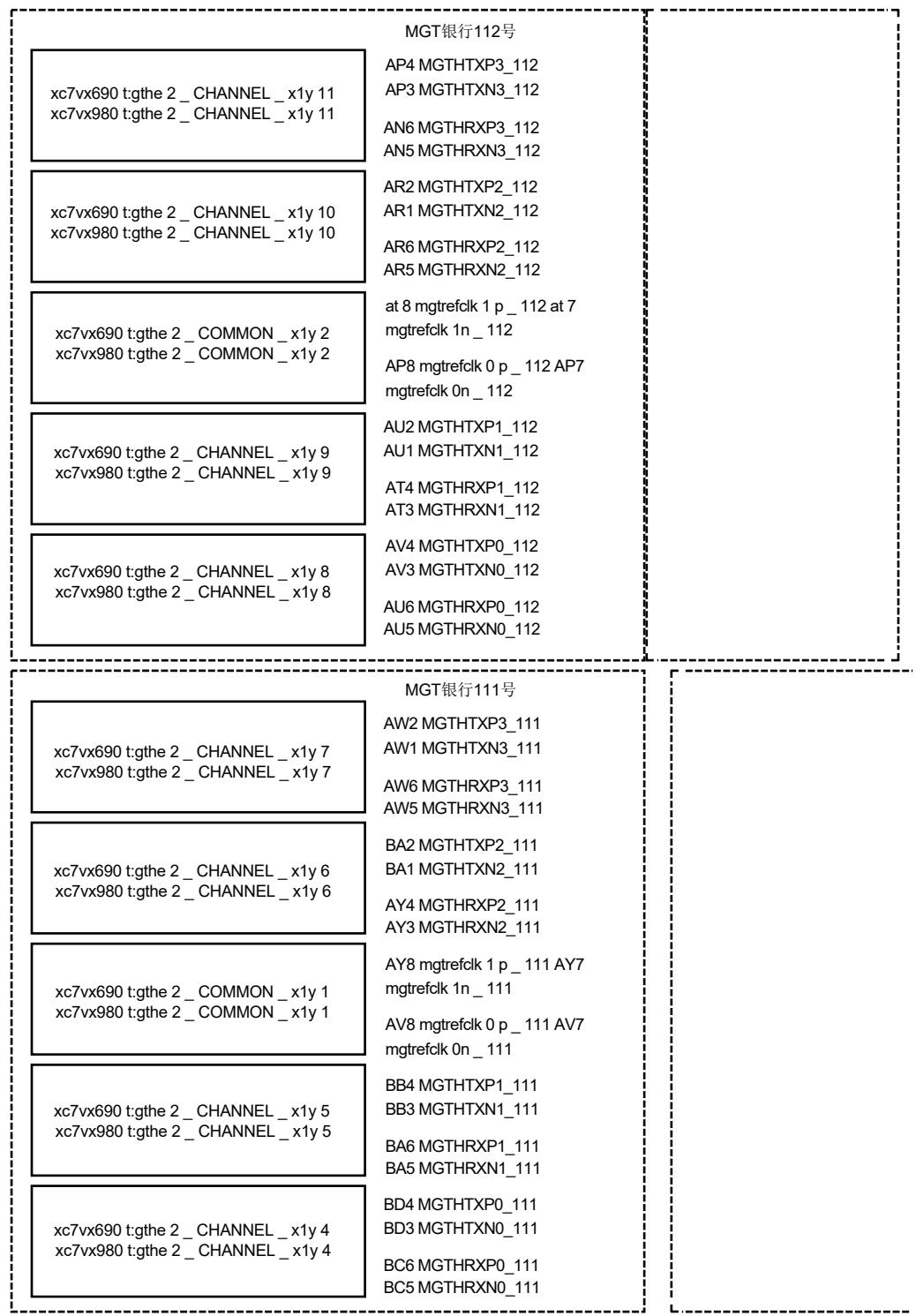


图A-67:FFG1926封装布局图(第6页, 共8页)



UG476\_aA\_18G\_071912

图A-68:FFG1926封装布局图(第7页, 共8页)

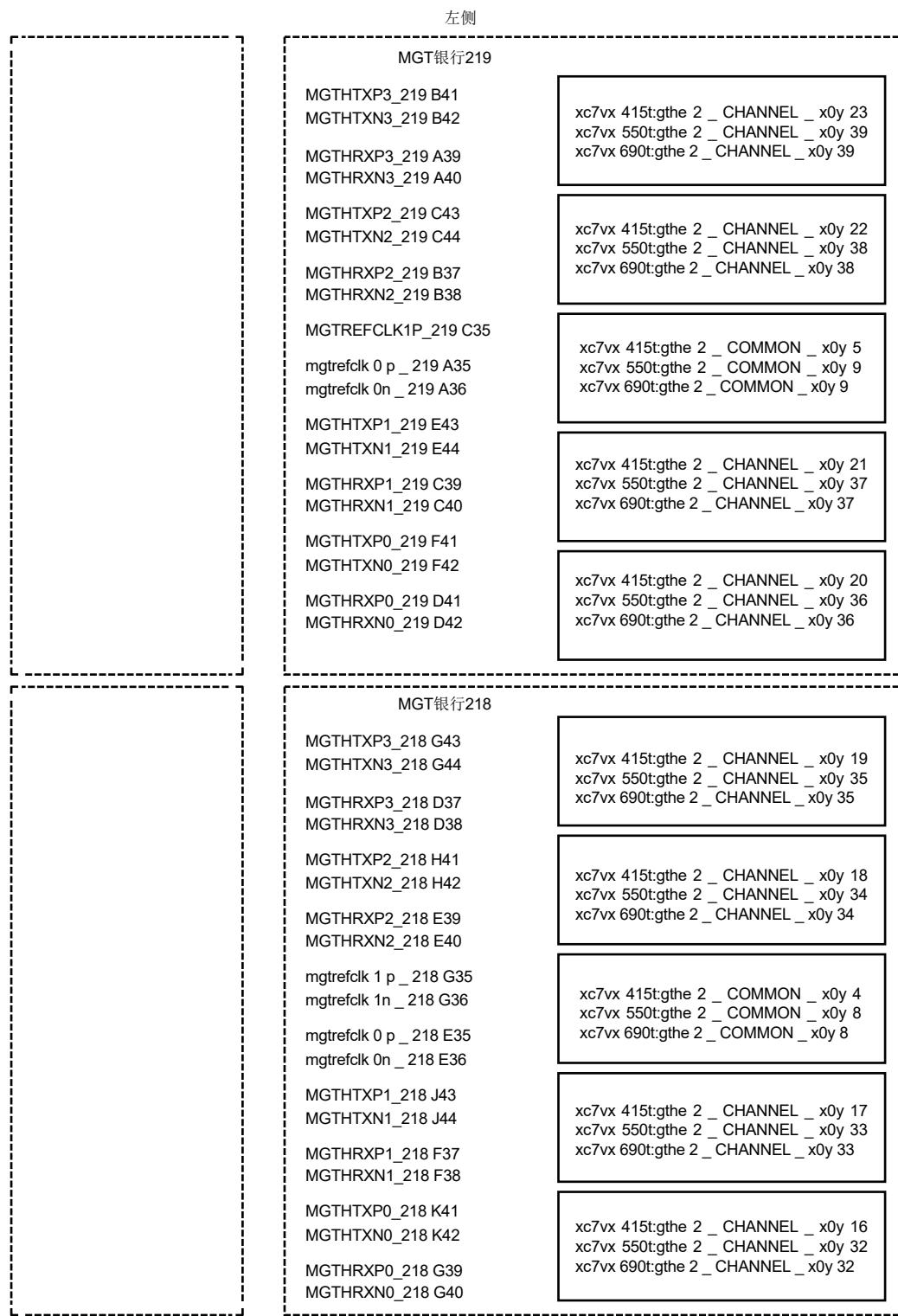


UG476\_aA\_18H\_071912

图A-69:FFG1926封装布局图(第8页, 共8页)

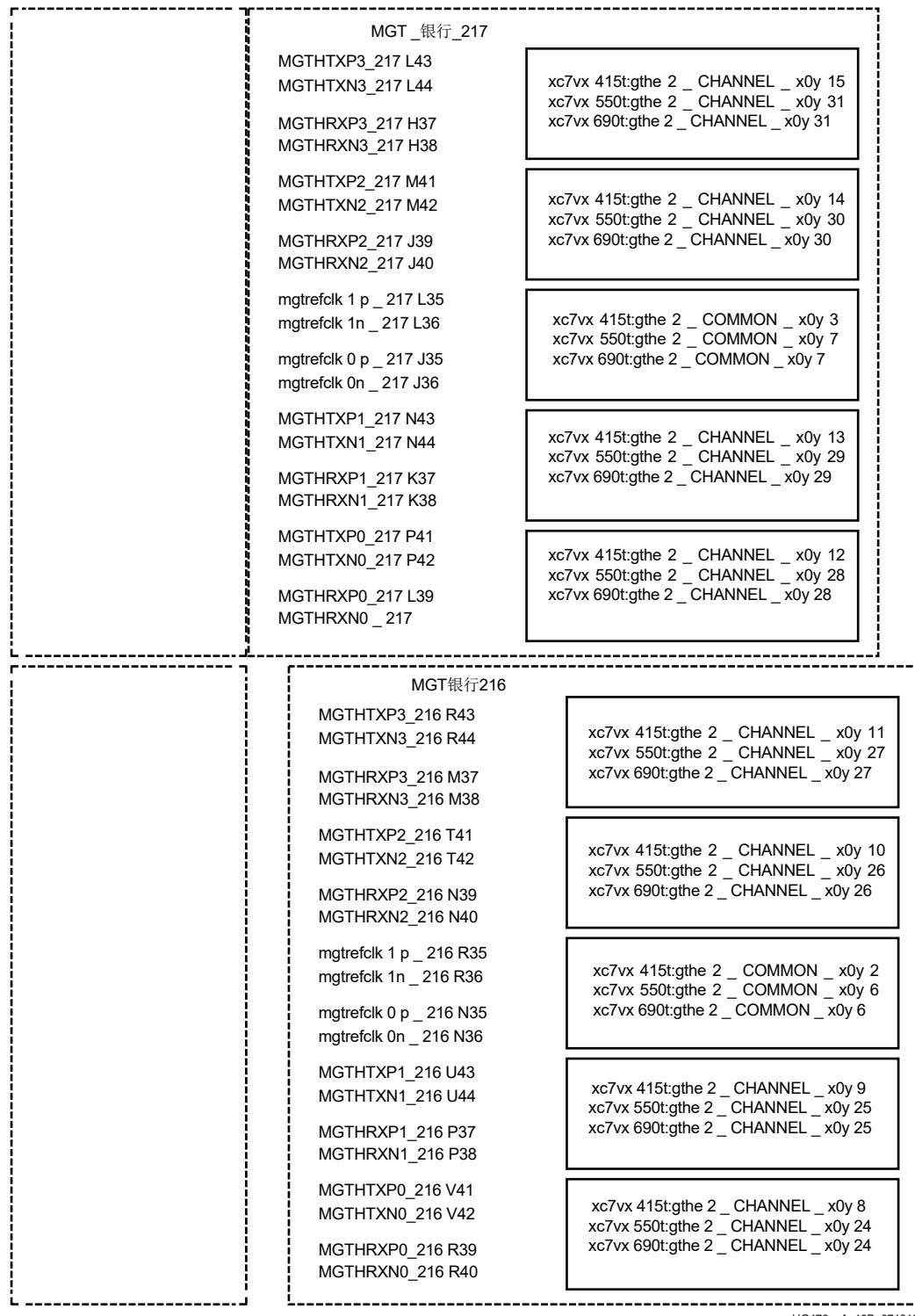
## FFG1927封装布局图

图A-70穿过图A-79显示FFG1927封装的放置图。

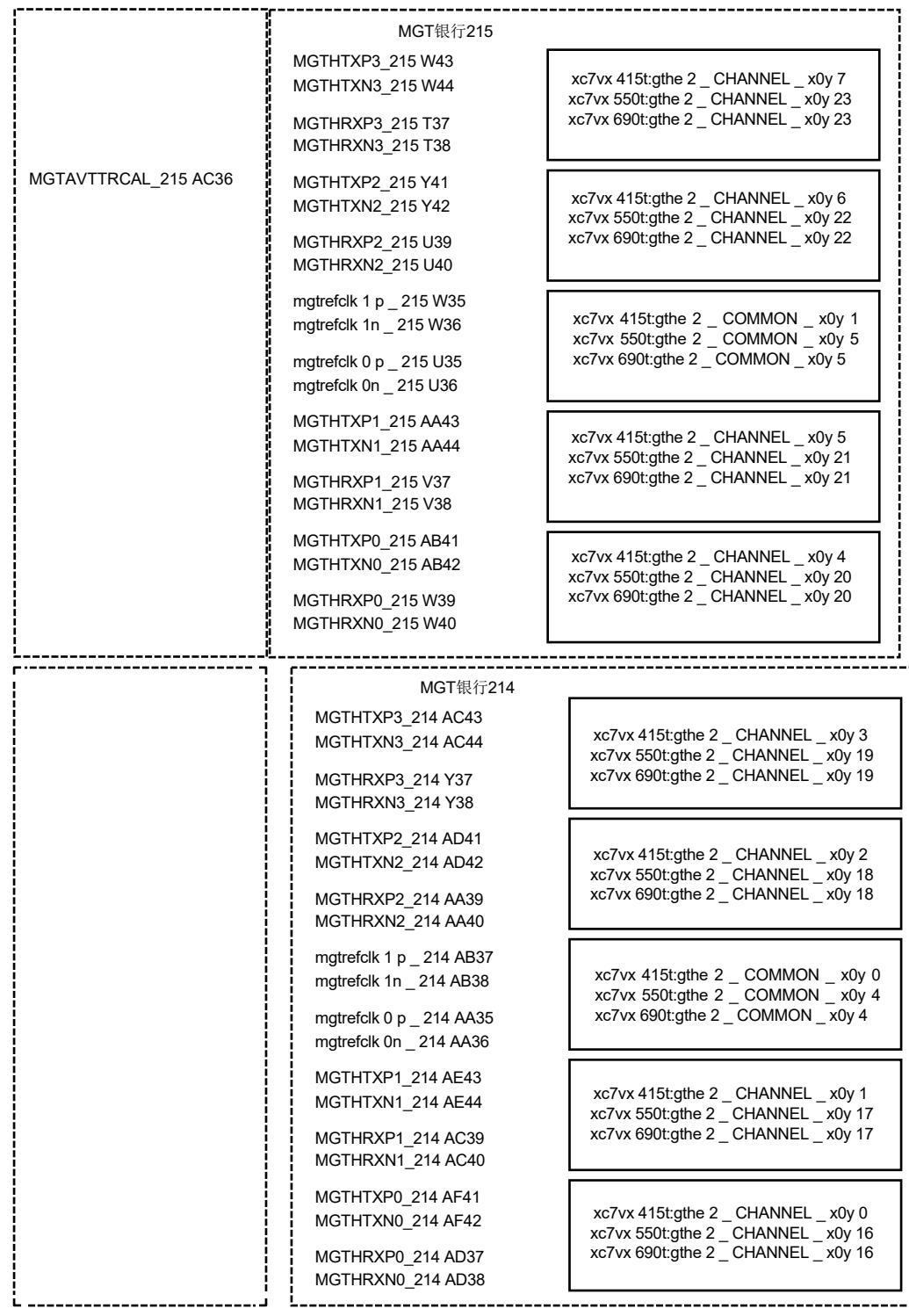


UG476\_aA\_19A\_071812

图A-70:FFG1927封装布局图(第1页, 共10页)

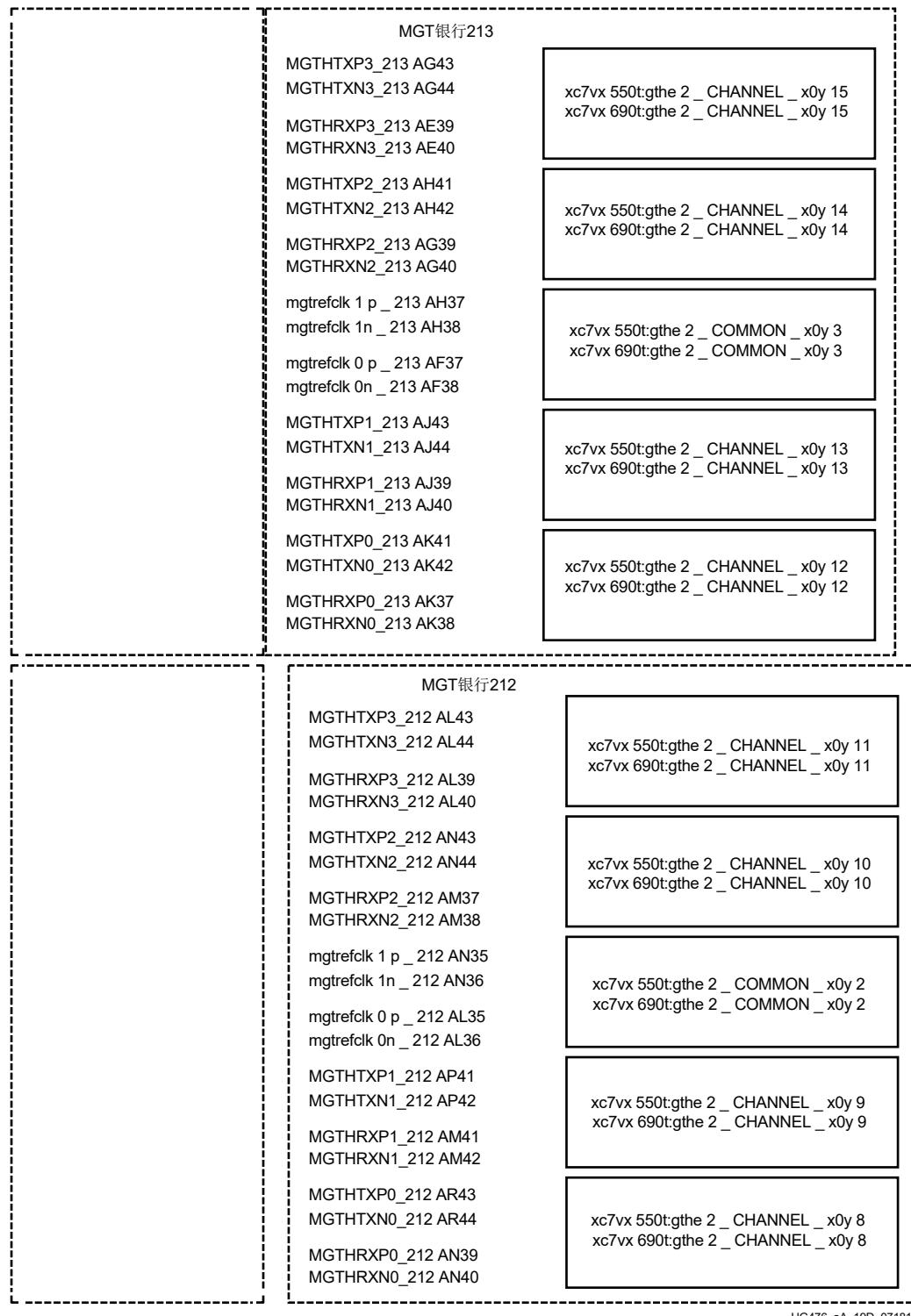


图A-71:FFG1927封装布局图(第2页, 共10页)



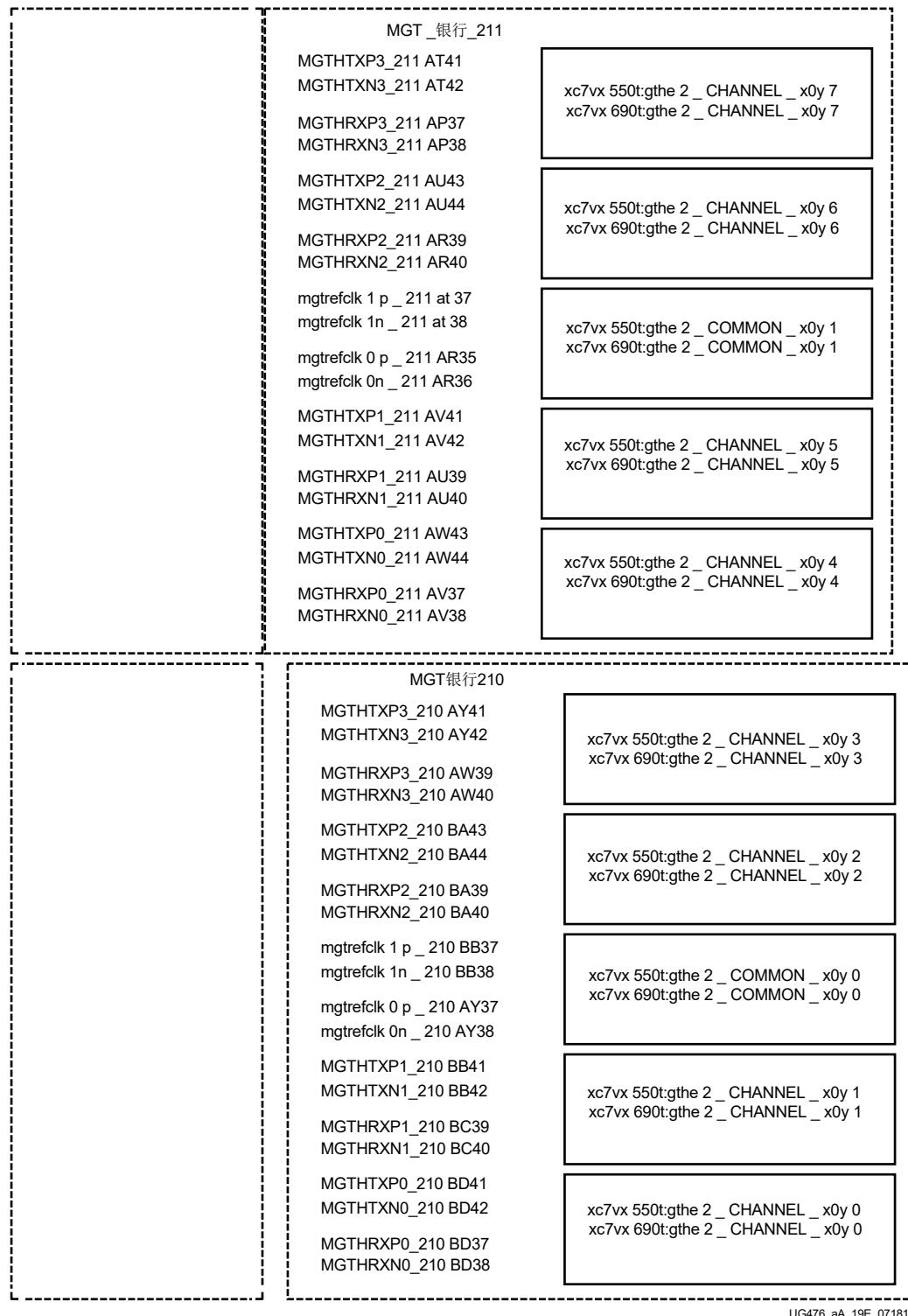
UG476\_aA\_19C\_071812

图A-72:FFG1927封装布局图(第3页, 共10页)



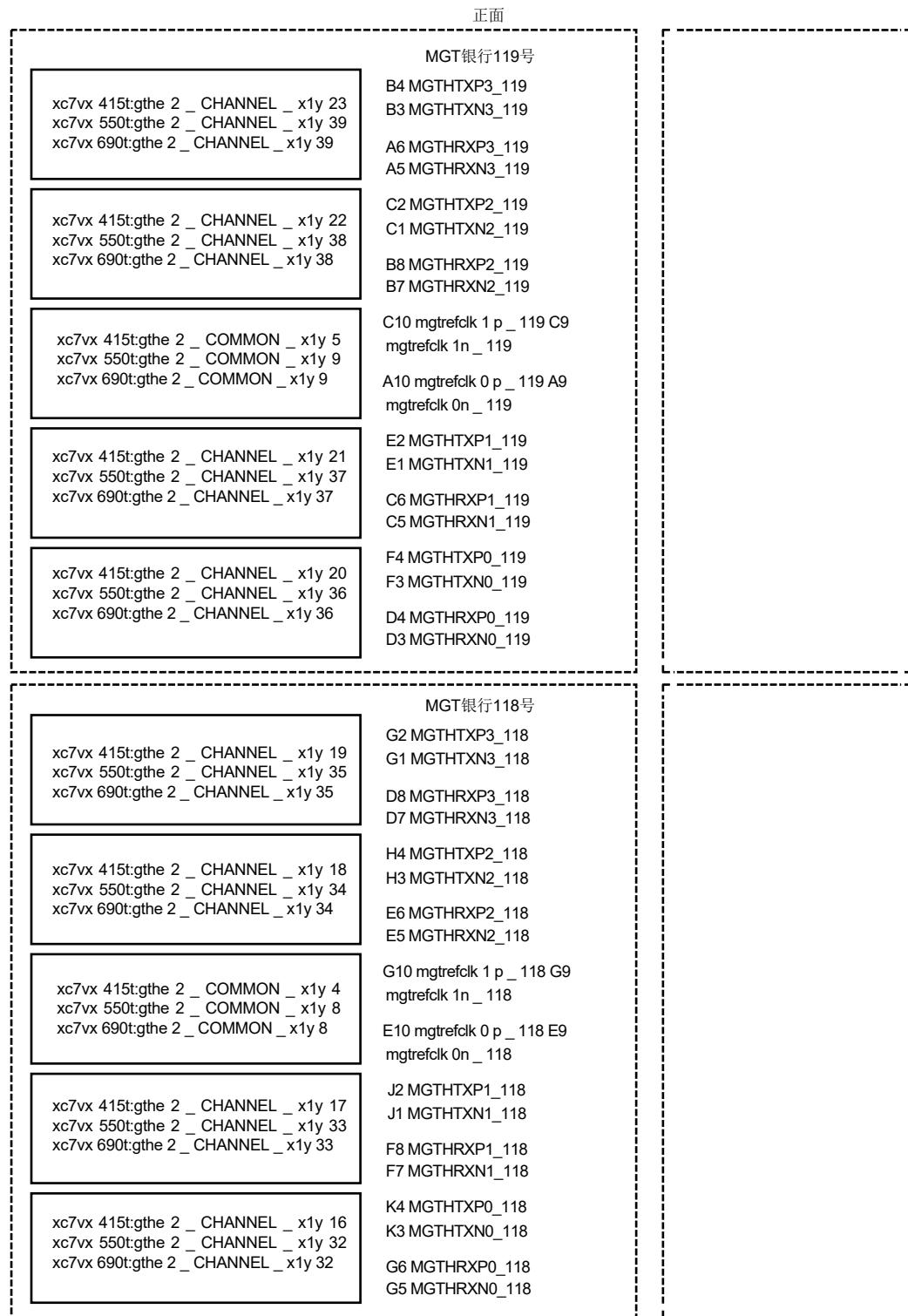
UG476\_aA\_19D\_071812

图A-73:FFG1927封装布局图(第4页, 共10页)



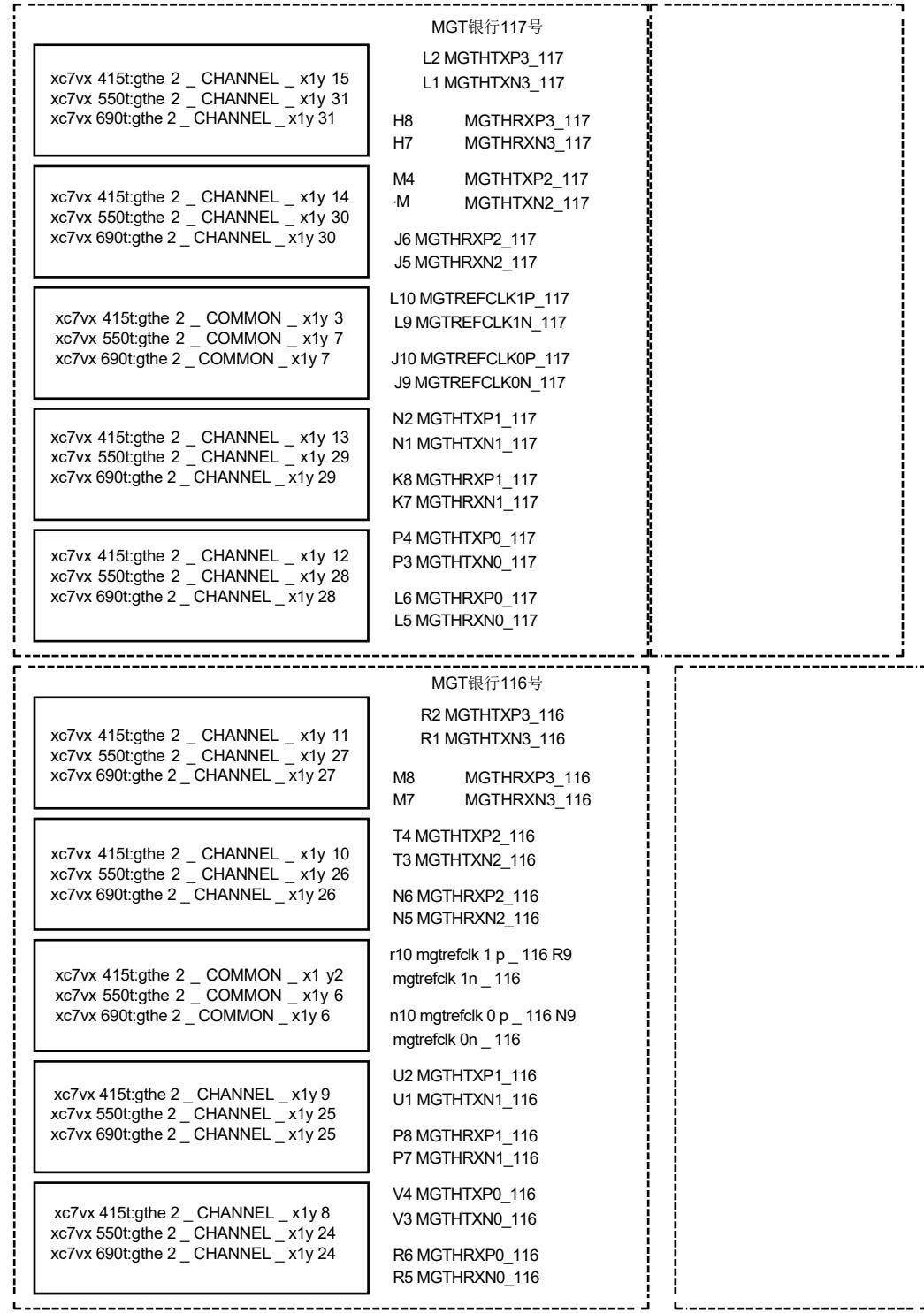
UG476\_aA\_19E\_071812

图A-74:FFG1927封装布局图(第5页, 共10页)



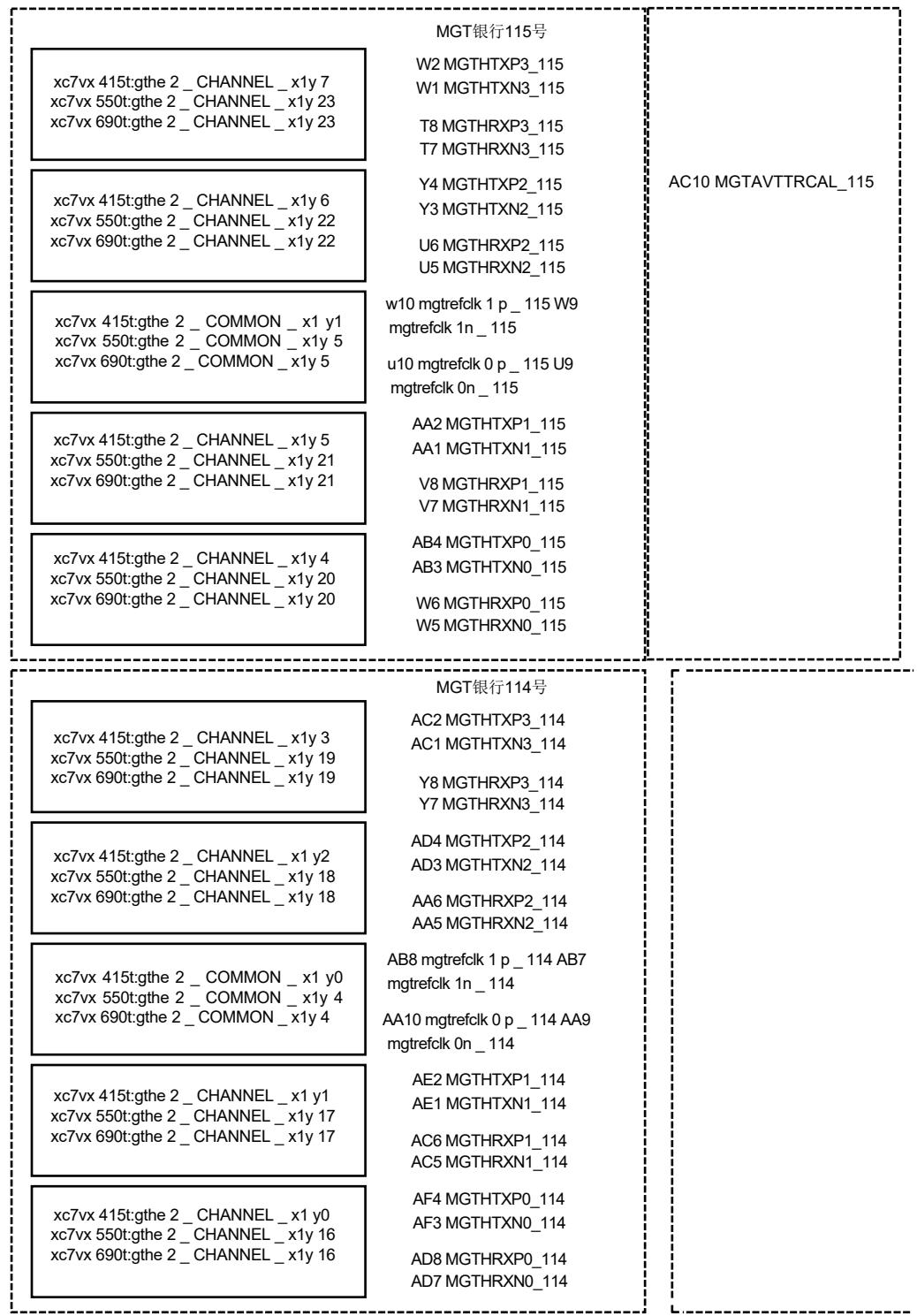
UG476\_aA\_19J\_071812

图A-75:FFG1927封装布局图(第6页, 共10页)



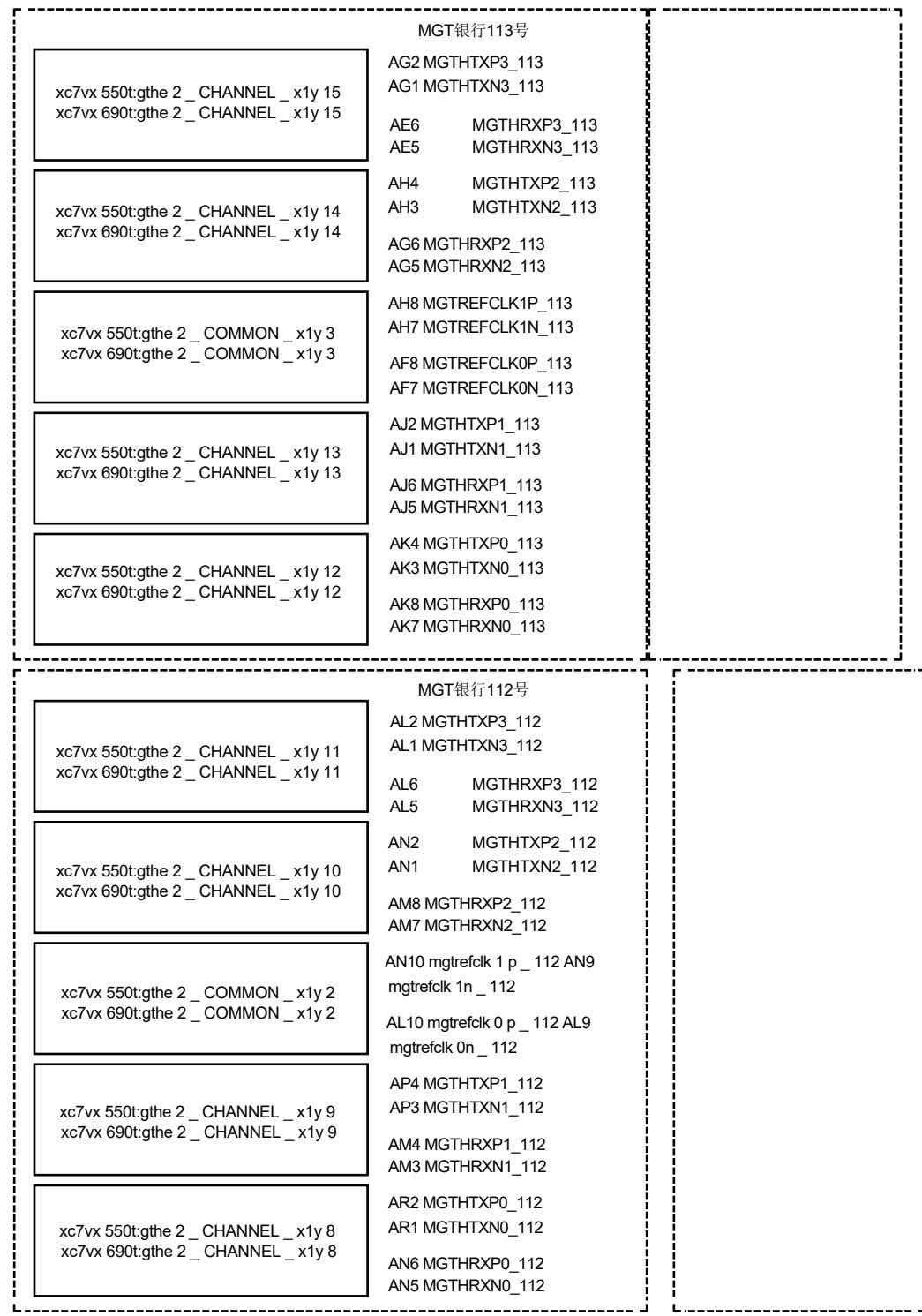
UG476\_aA\_19G\_071912

图A-76:FFG1927封装布局图(第7页, 共10页)

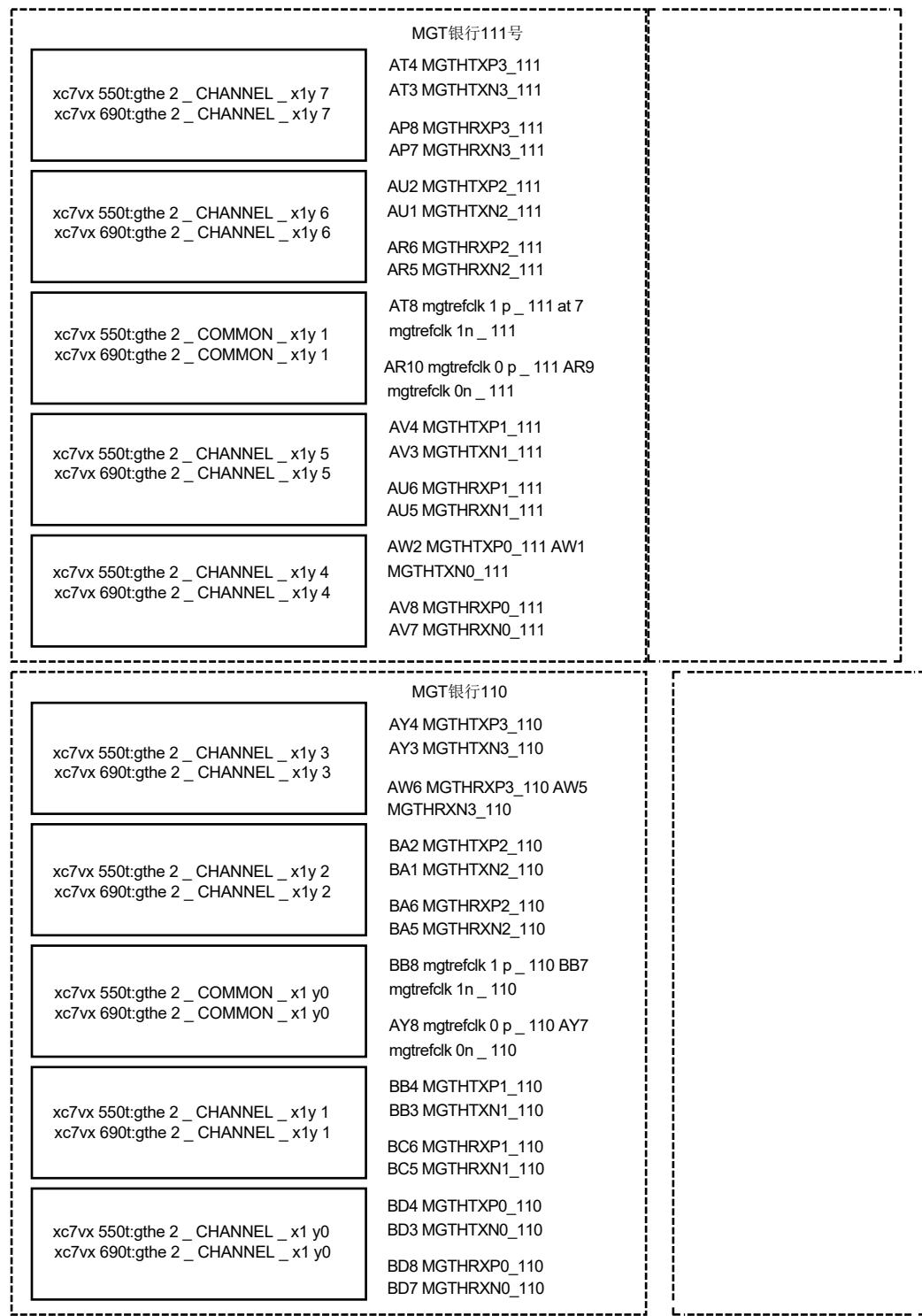


UG476\_aA\_19H\_071812

图A-77:FFG1927封装布局图(第8页, 共10页)



图A-78:FFG1927封装布局图(第9页, 共10页)

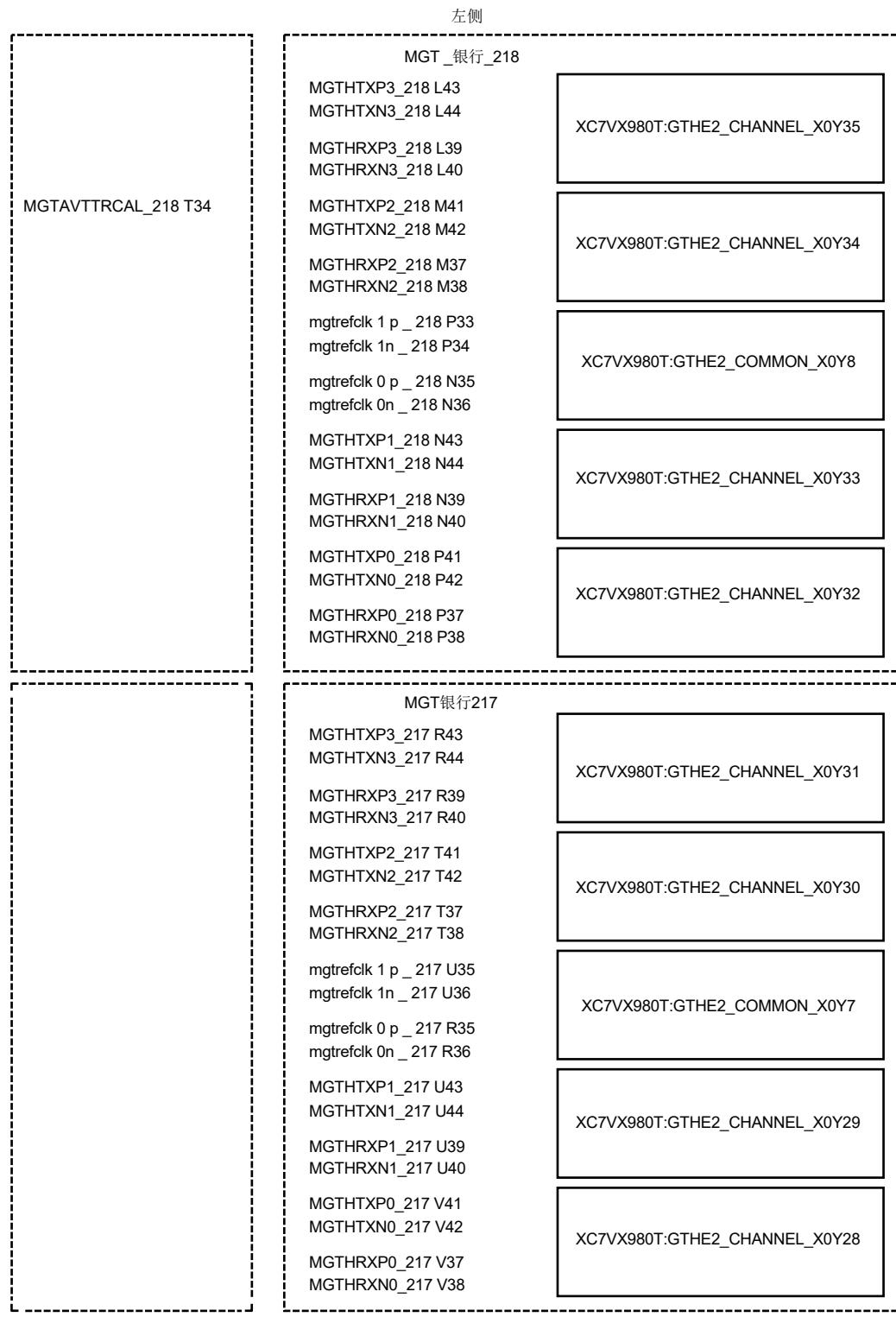


UG476\_aA\_19J\_071912

图A-79:FFG1927封装布局图(第10页, 共10页)

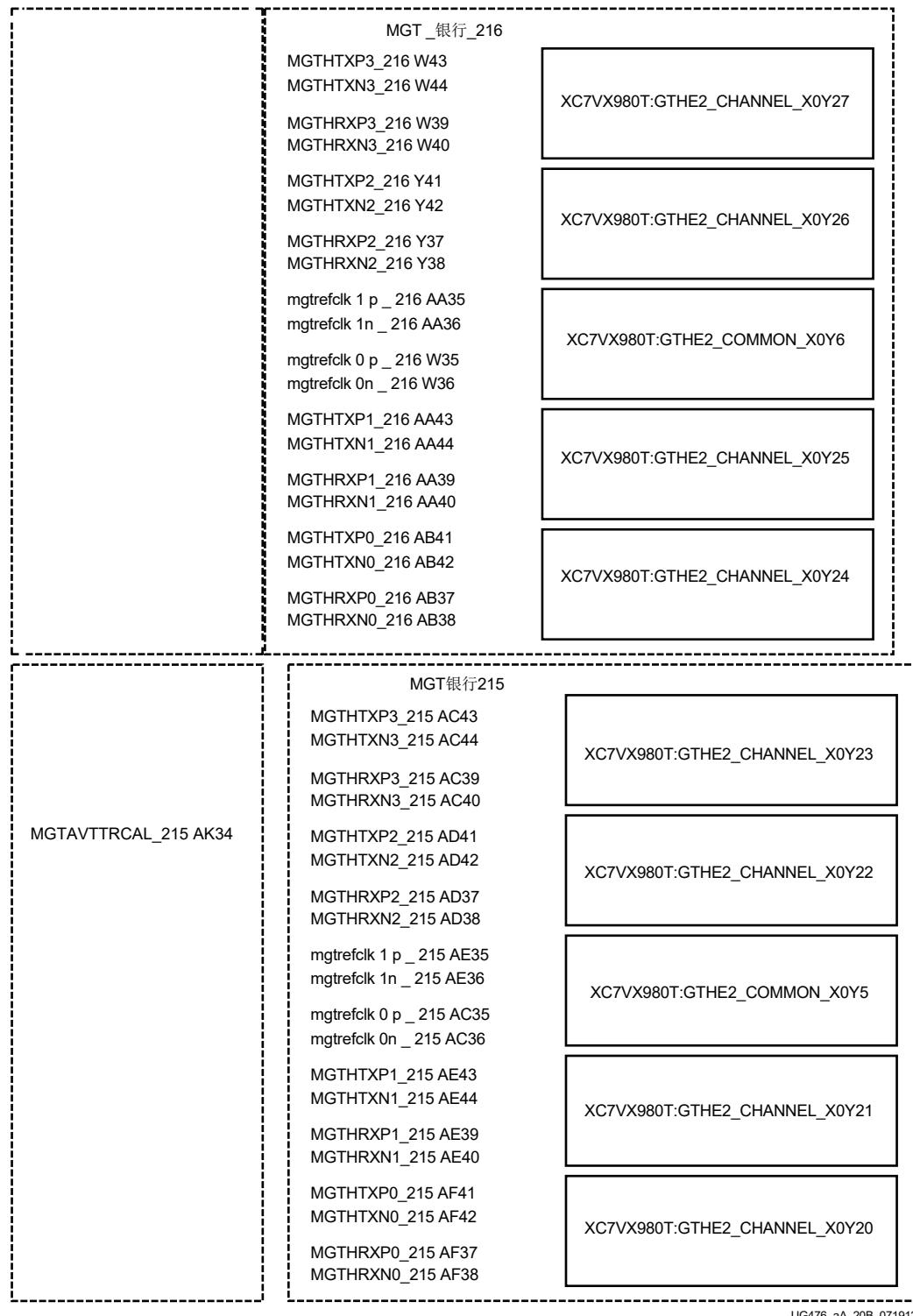
## FFG1928封装布局图

图A-90穿过图A-89显示FFG1928封装的放置图。



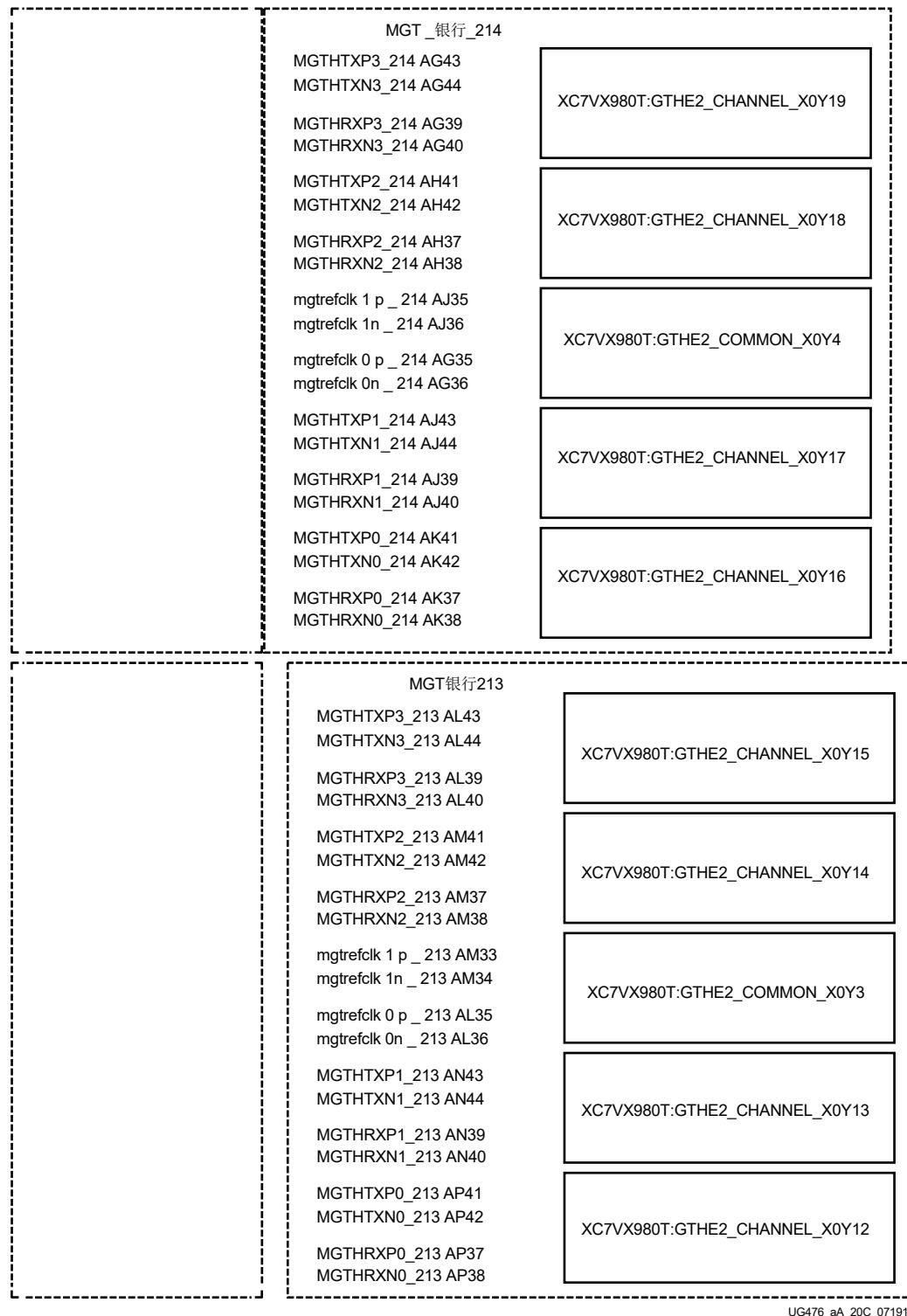
UG476\_aA\_20A\_071912

图A-80:FFG1928封装布局图(第1页, 共10页)



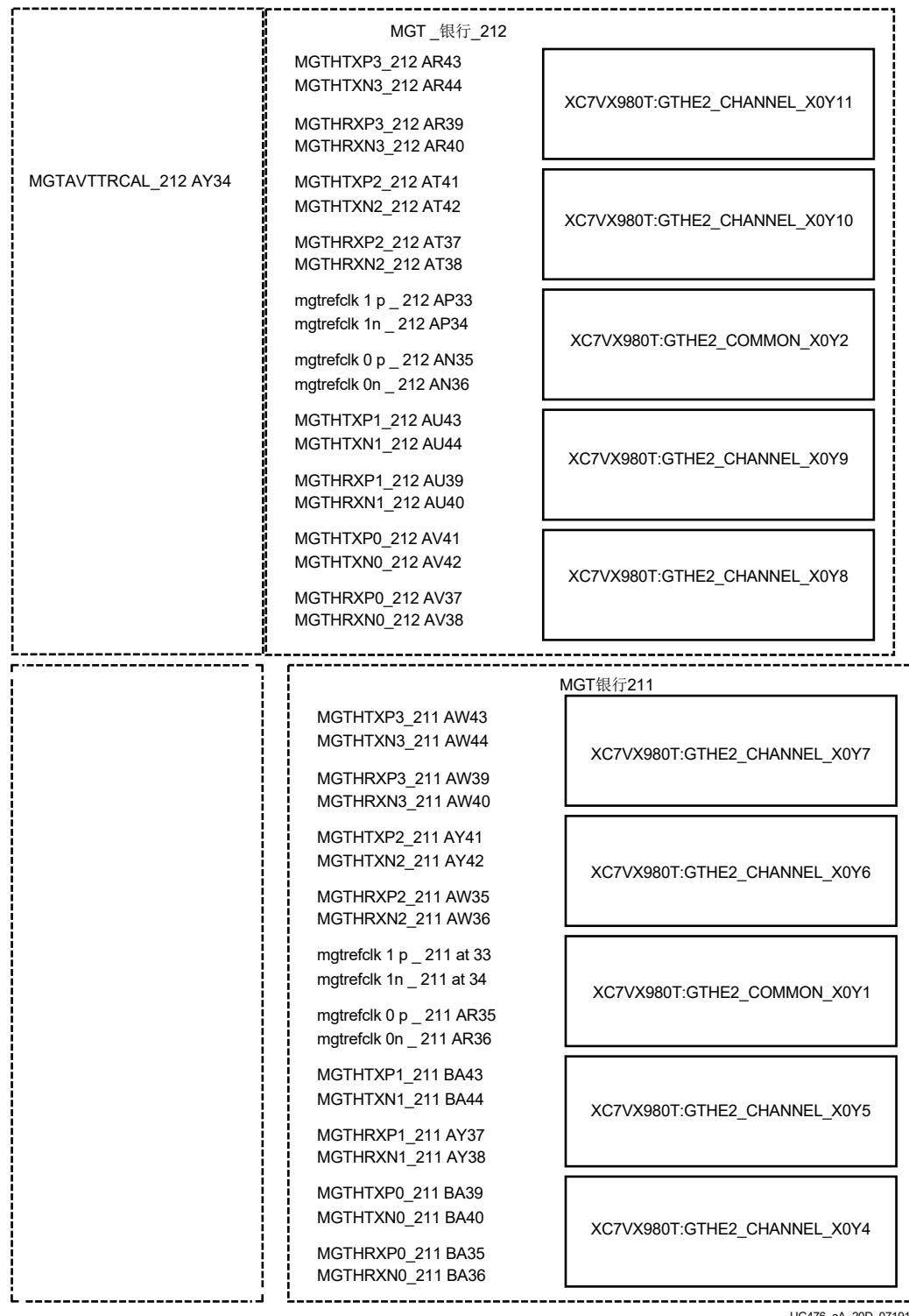
UG476\_aA\_20B\_071912

图A-81:FFG1928封装布局图(第2页, 共10页)

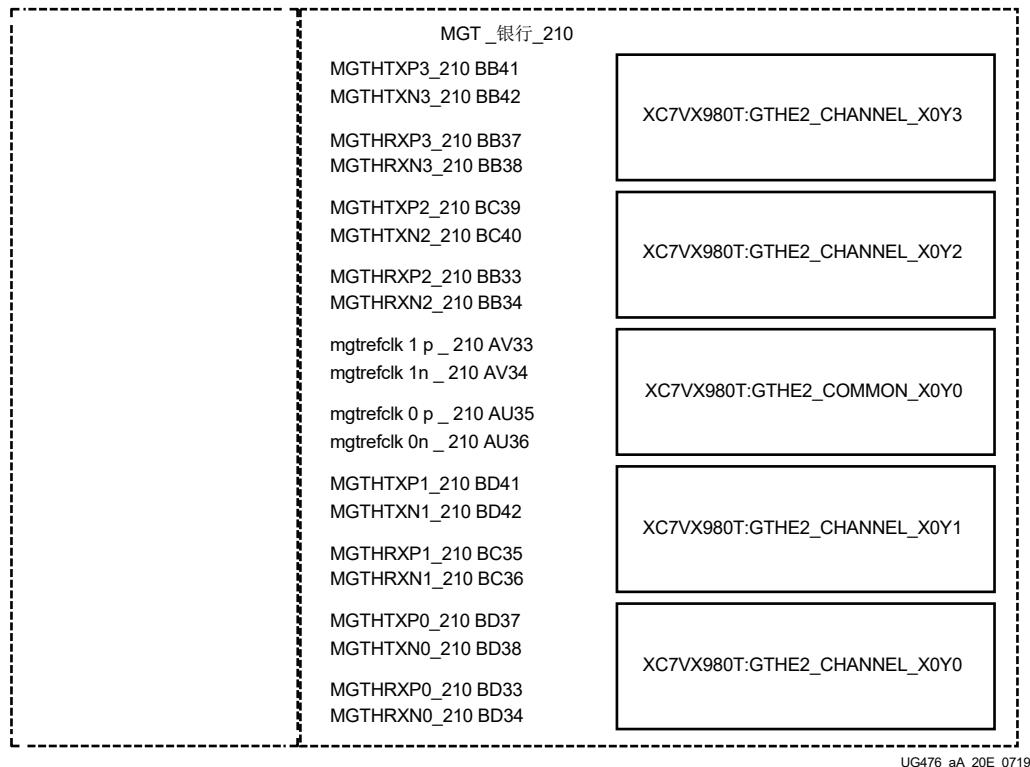


UG476\_aA\_20C\_071912

图A-82:FFG1928封装布局图(第3页, 共10页)

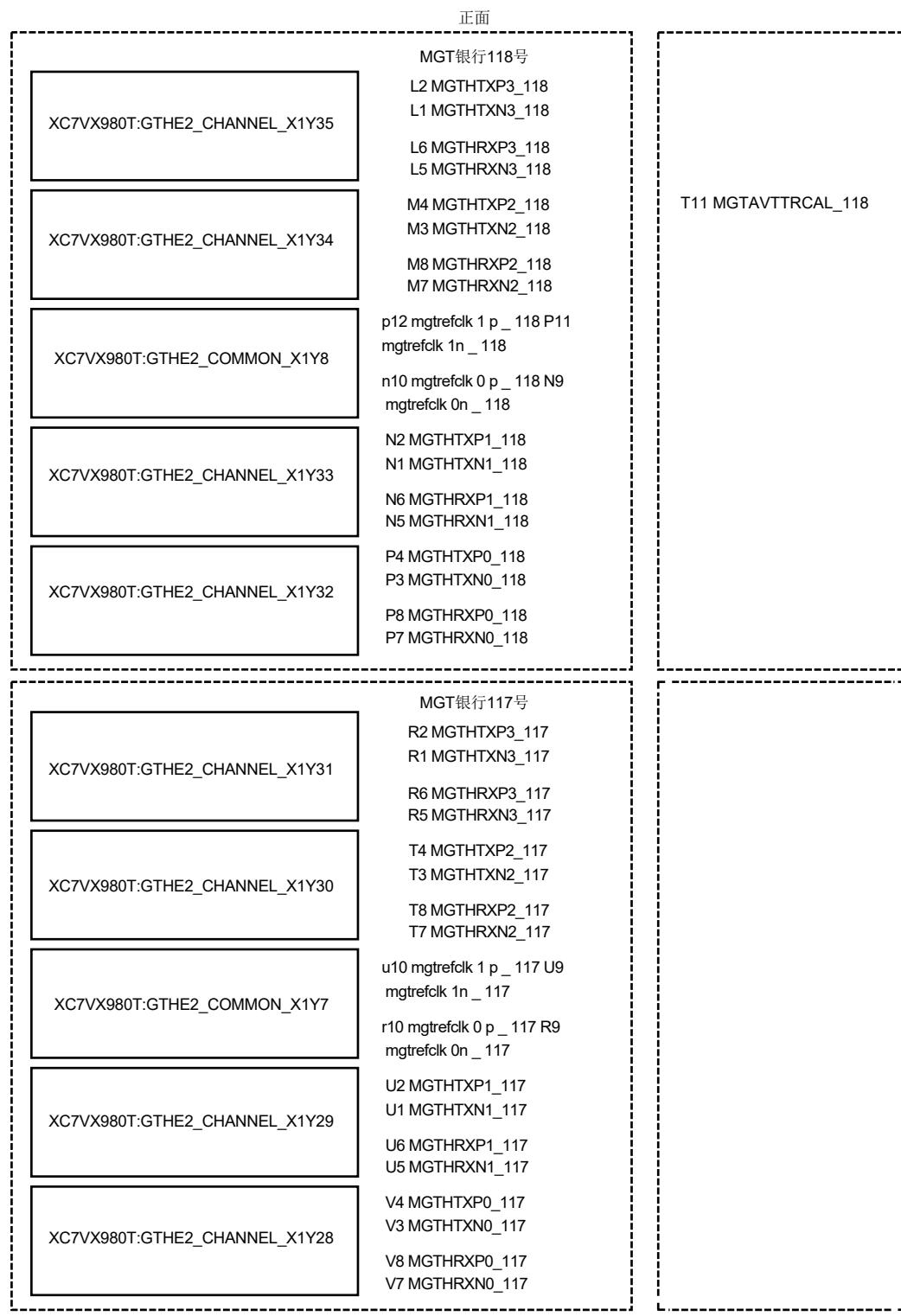


图A-83:FFG1928封装布局图(第4页, 共10页)



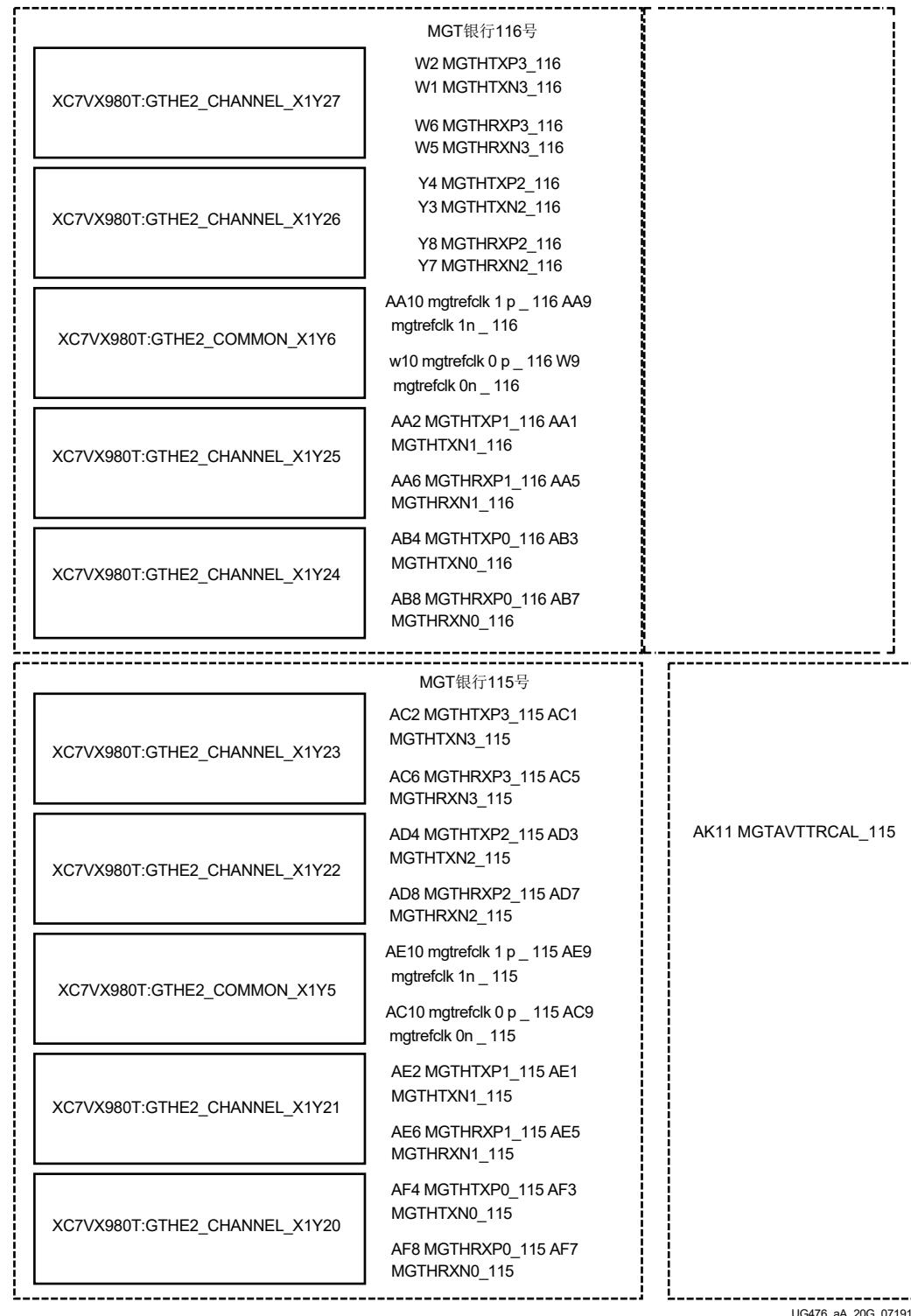
UG476\_aA\_20E\_071912

图A-84:FFG1928封装布局图(第5页, 共10页)



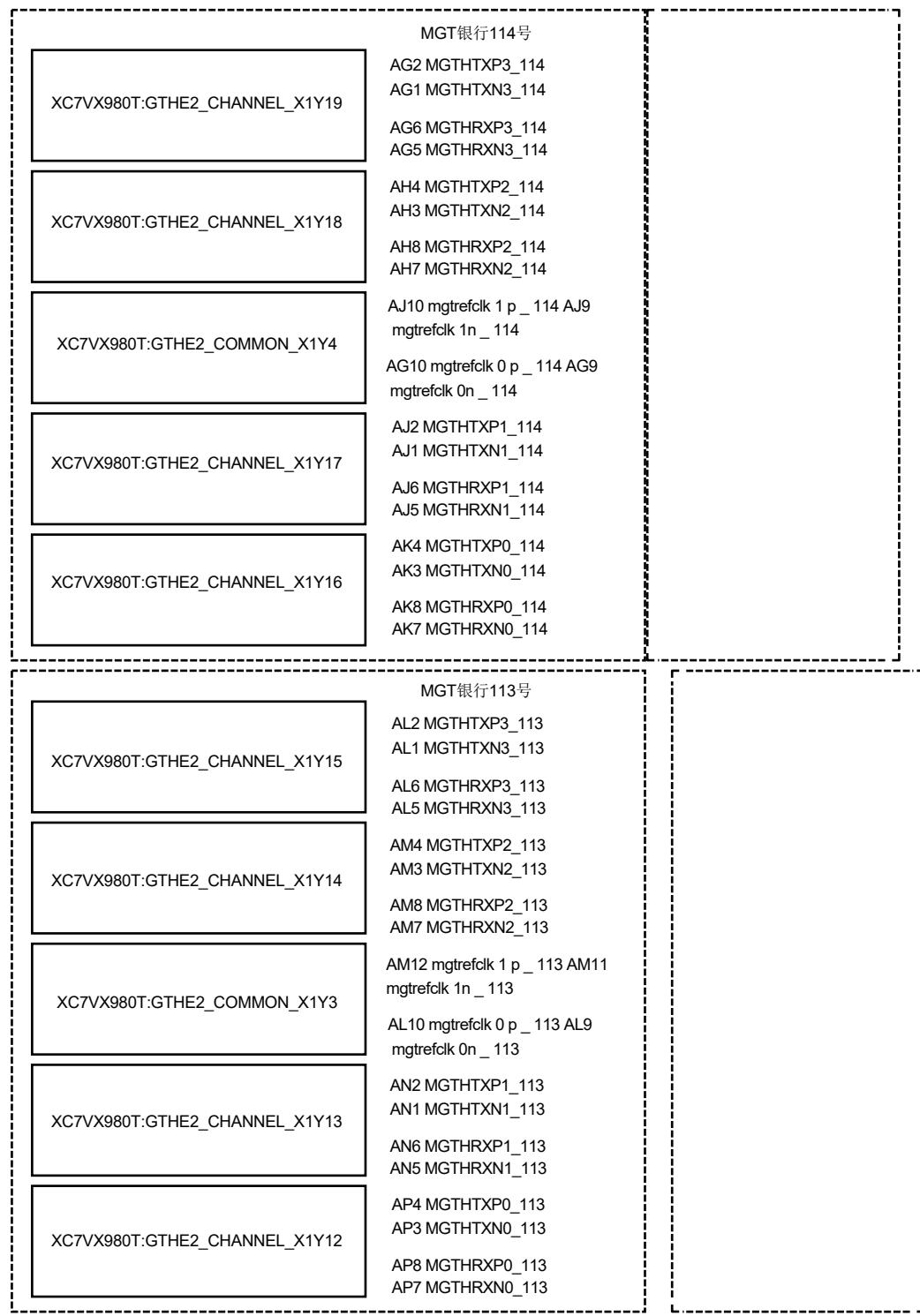
UG476\_aA\_20J\_071912

图A-85:FFG1928封装布局图(第6页, 共10页)



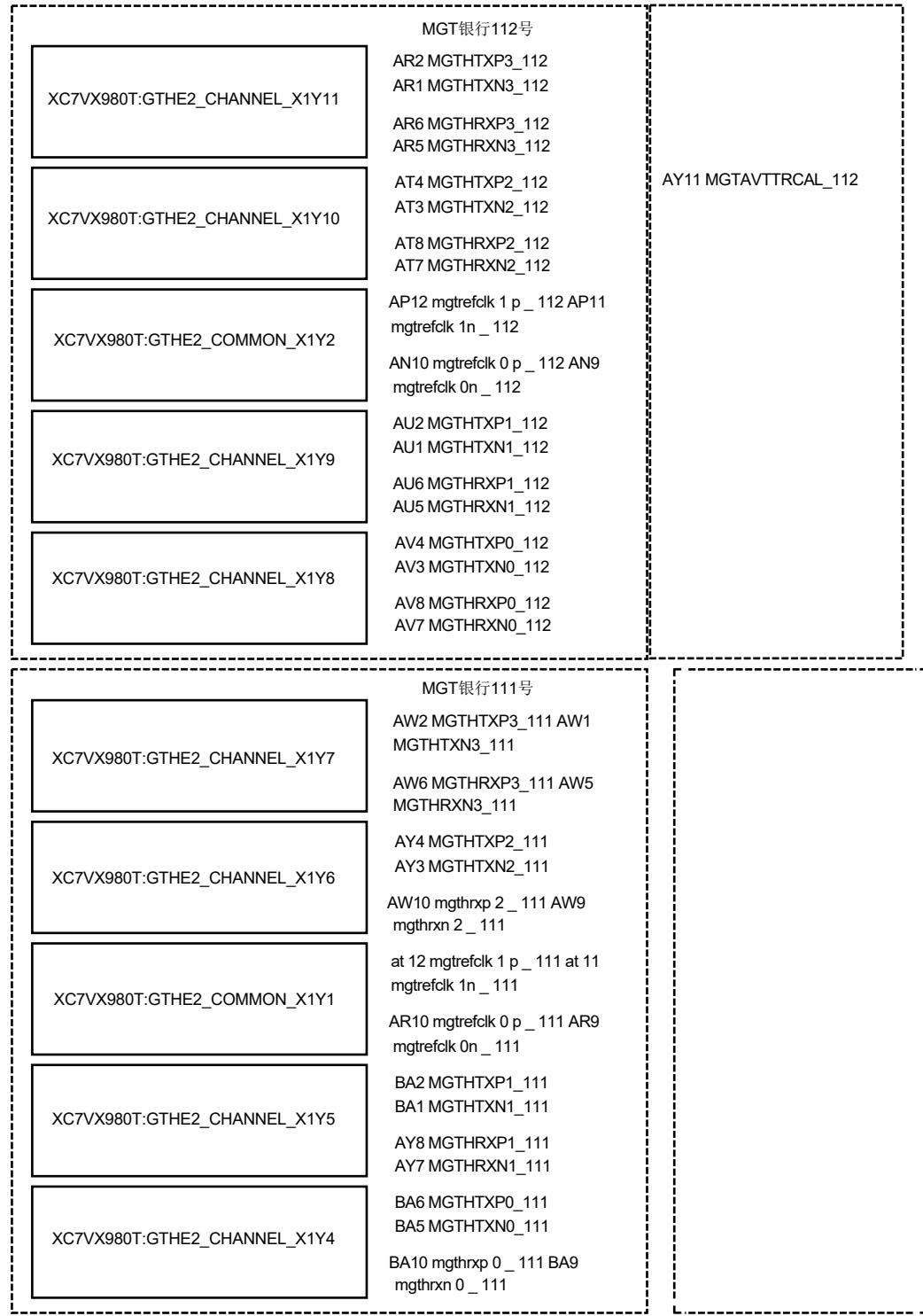
UG476\_aA\_20G\_071912

图A-86:FFG1928封装布局图(第7页, 共10页)



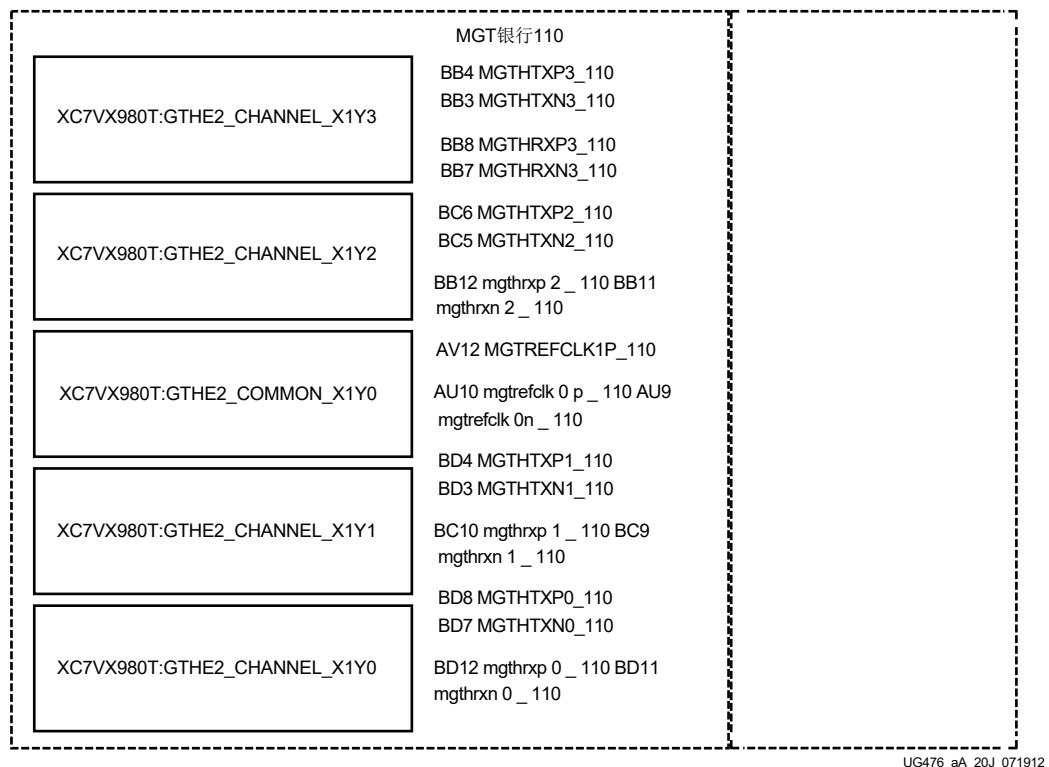
UG476\_aA\_20H\_071912

图A-87: FFG1928封装布局图(第8页, 共10页)



UG476\_aA\_20I\_071912

图A-88:FFG1928封装布局图(第9页, 共10页)

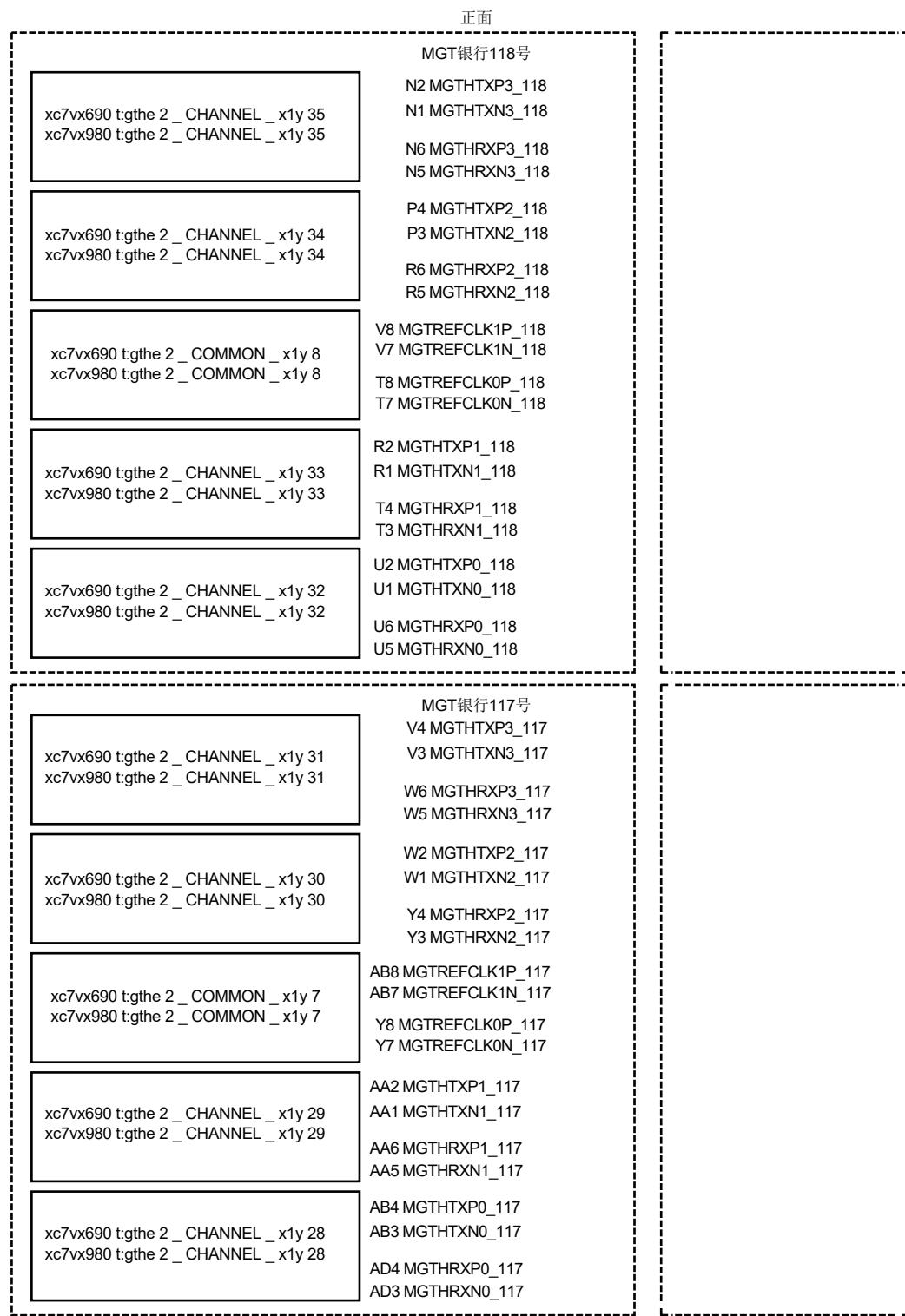


UG476\_aA\_20J\_071912

图A-89:FFG1928封装布局图(第10页, 共10页)

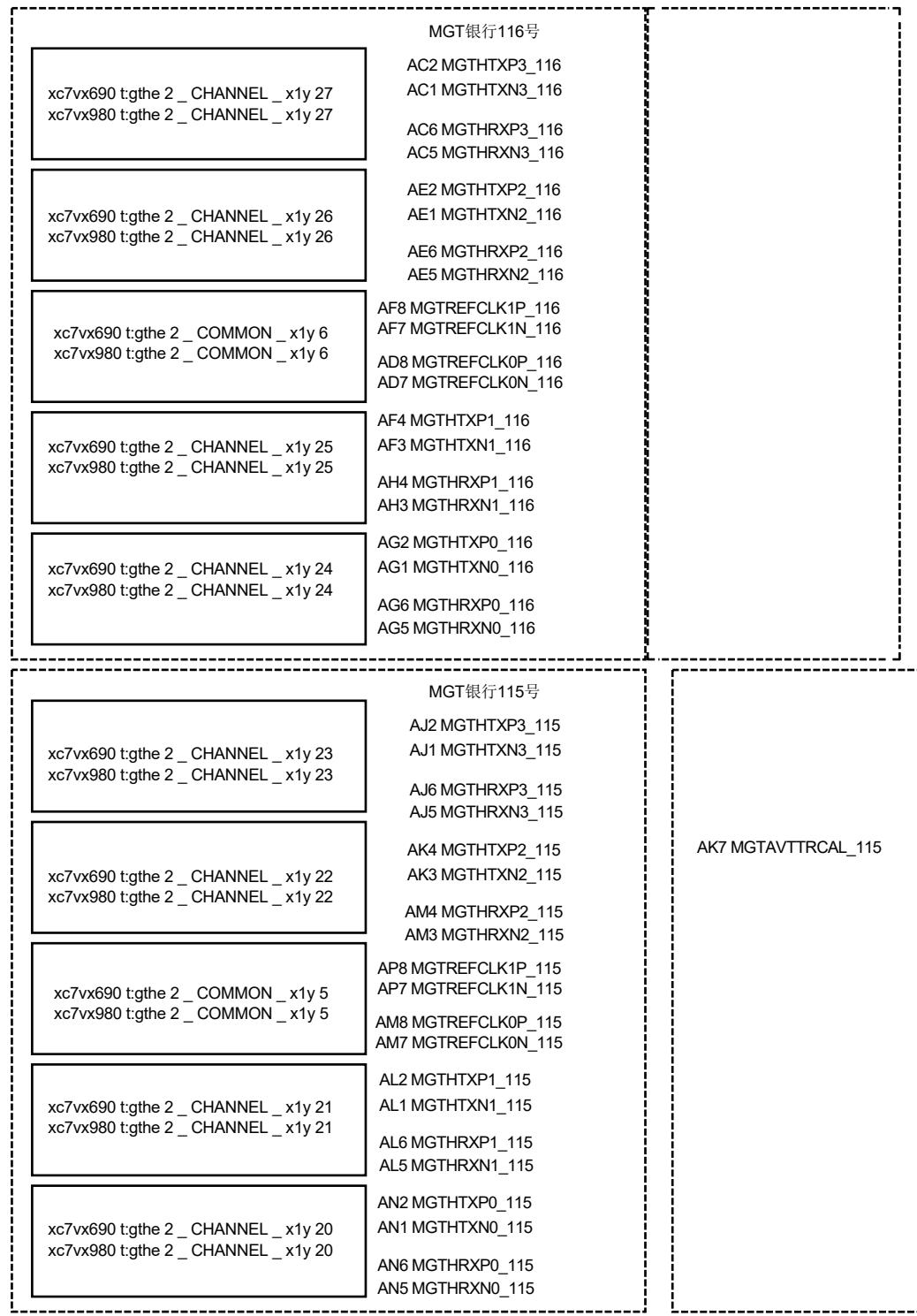
## FFG1930封装布局图

图A-90穿过图A-92显示FFG1930封装的放置图。



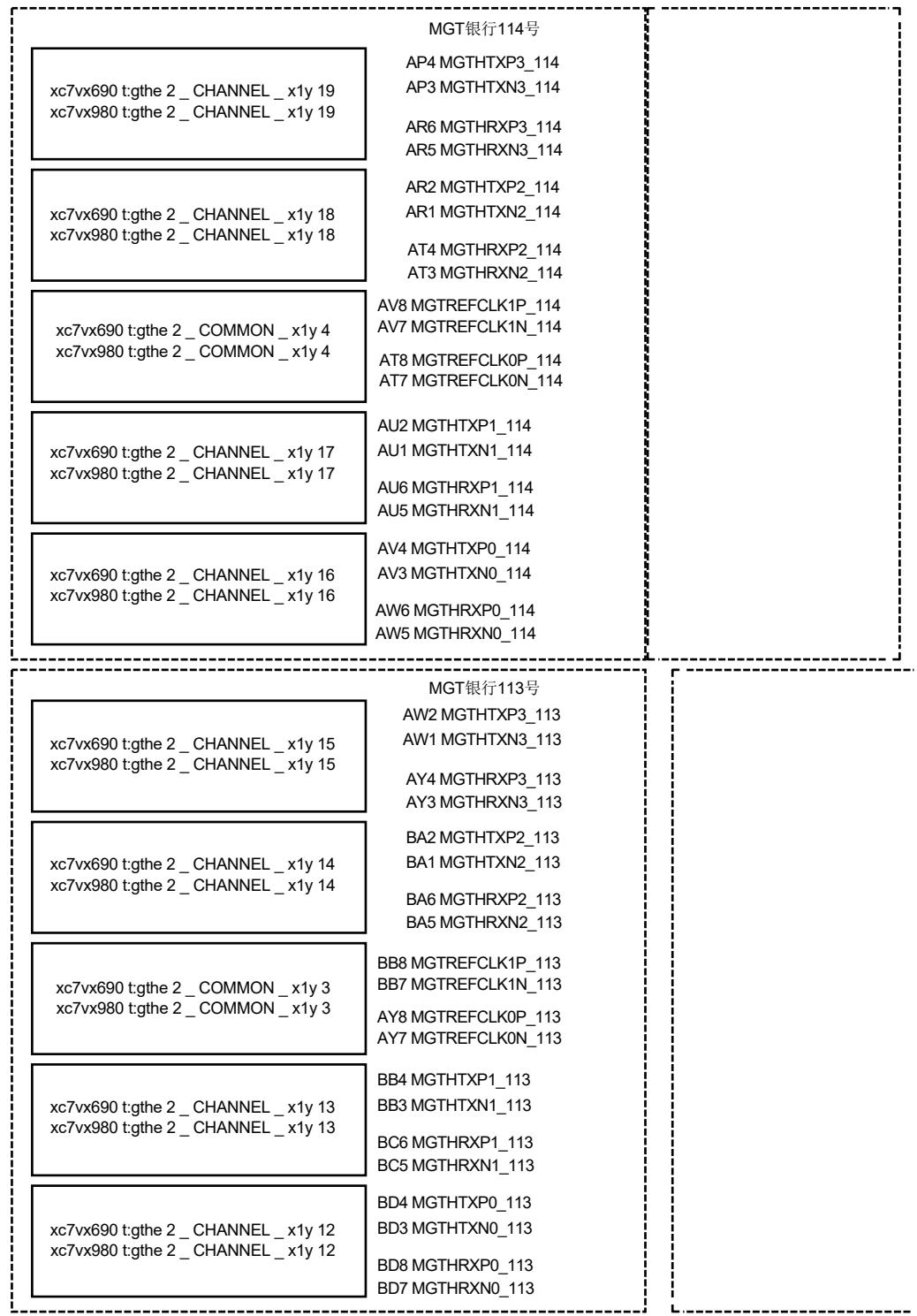
UG476\_aA\_21A\_071912

图A-90:FFG1930封装布局图(第1页, 共3页)



UG476\_aA\_21B\_071912

图A-91:FFG1930封装布局图(第2页, 共3页)

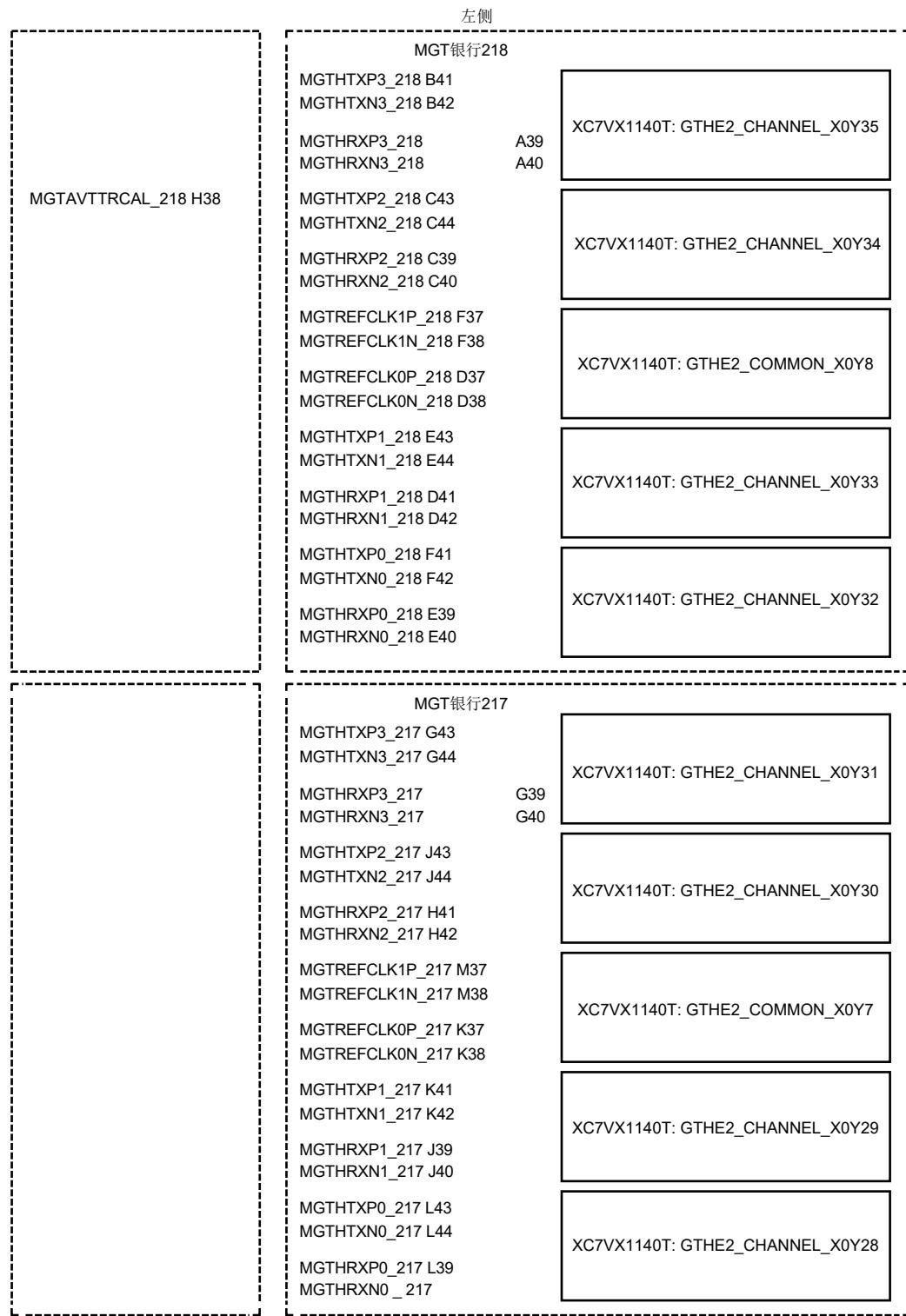


UG476\_aA\_21C\_071912

图A-92:FFG1930封装布局图(第3页, 共3页)

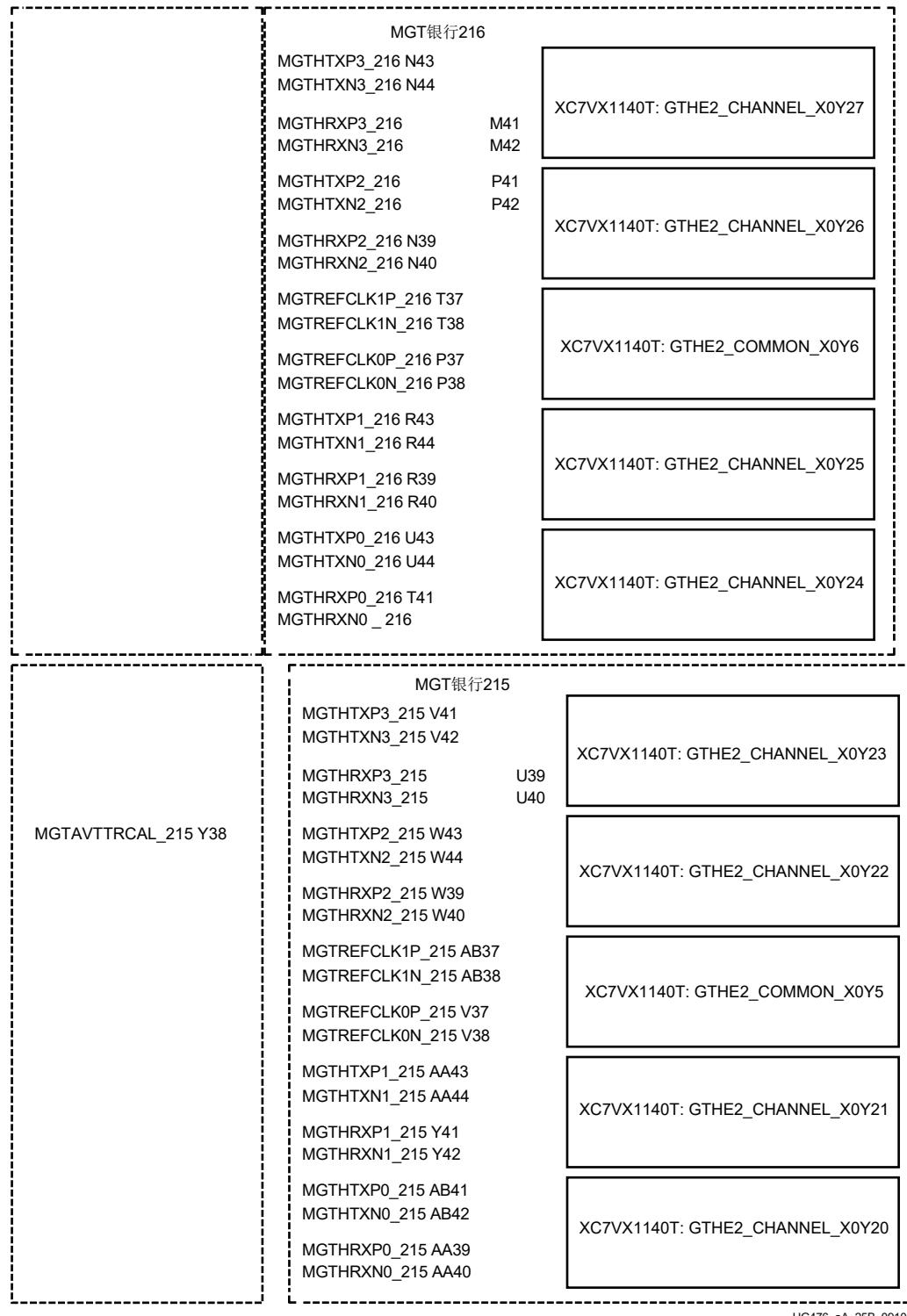
## FLG1926封装布局图

图A-93穿过图A-100显示FLG1926封装的布局图。



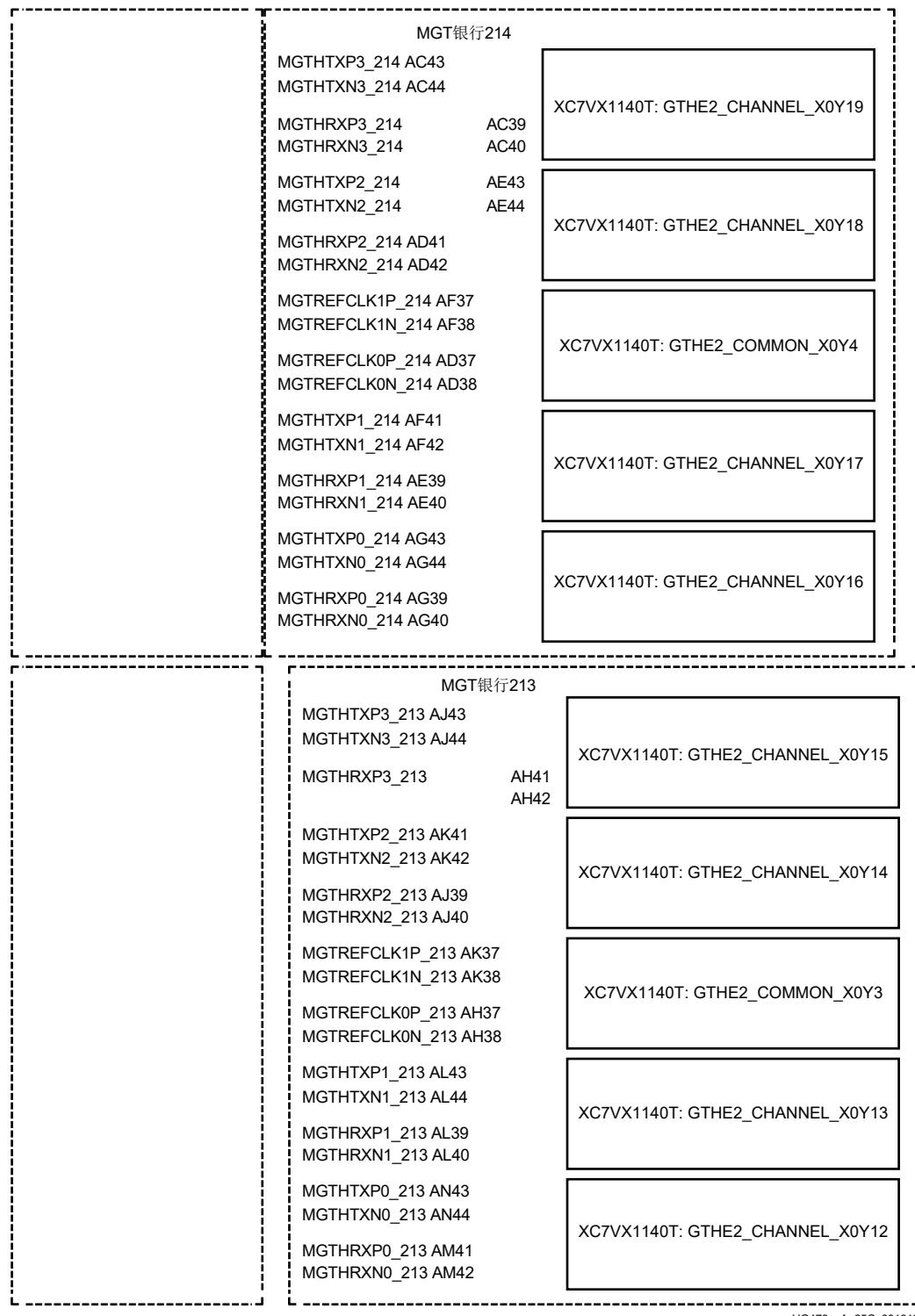
UG476\_aA\_25A\_091012

图A-93:FLG1926封装布局图(第1页, 共8页)

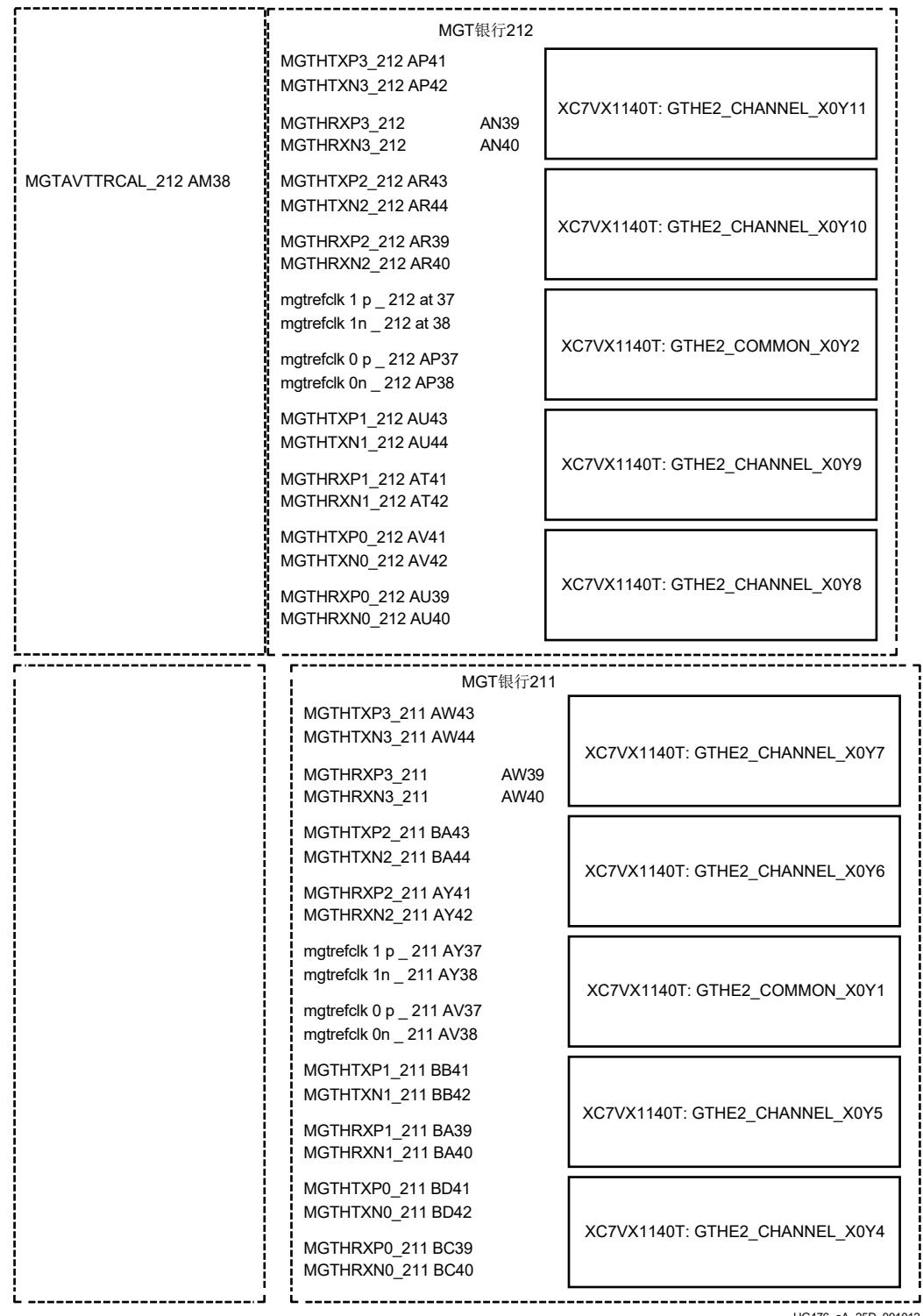


UG476\_aA\_25B\_091012

图A-94:FLG1926封装布局图(第2页, 共8页)

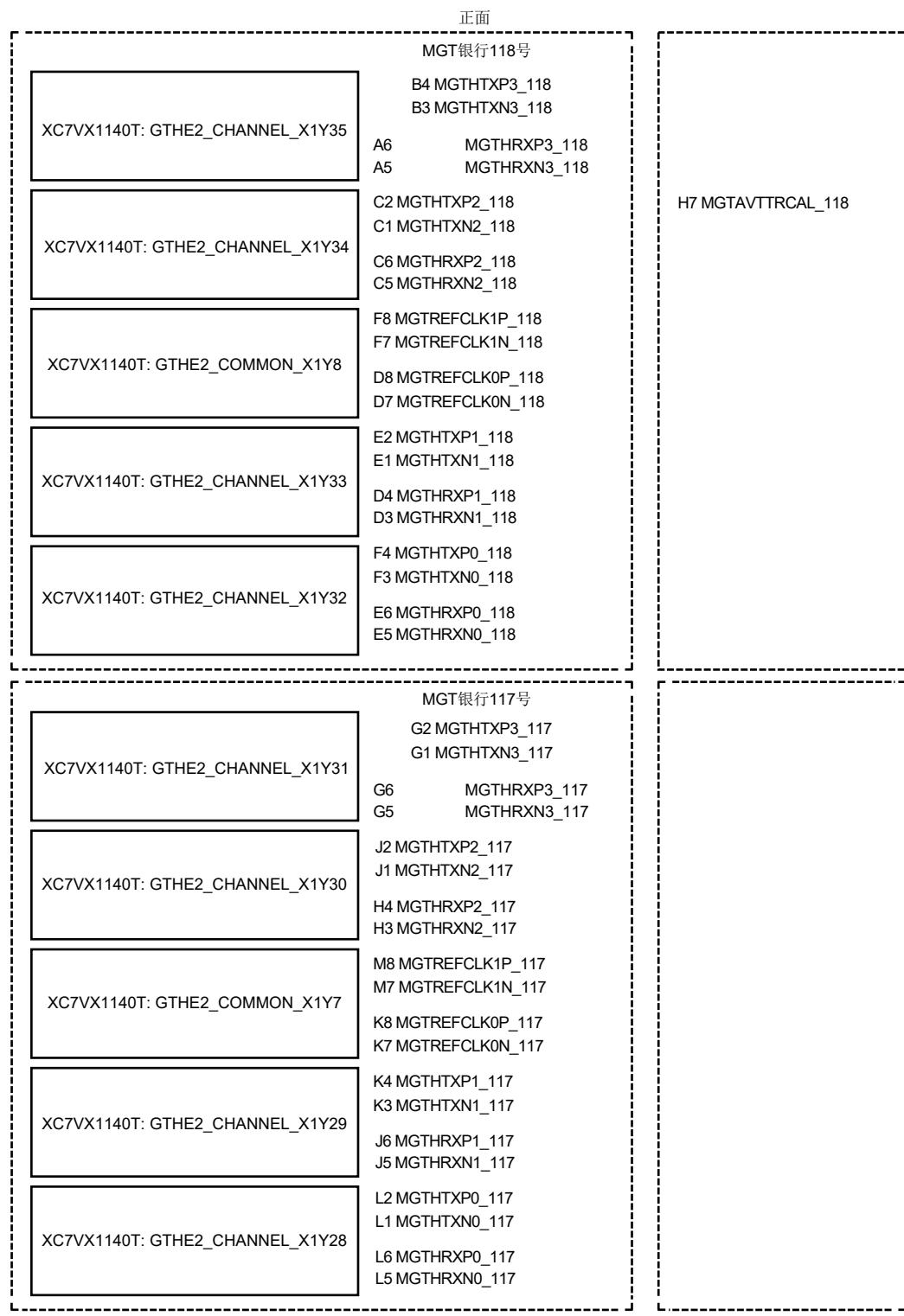


图A-95:FLG1926封装布局图(第3页, 共8页)



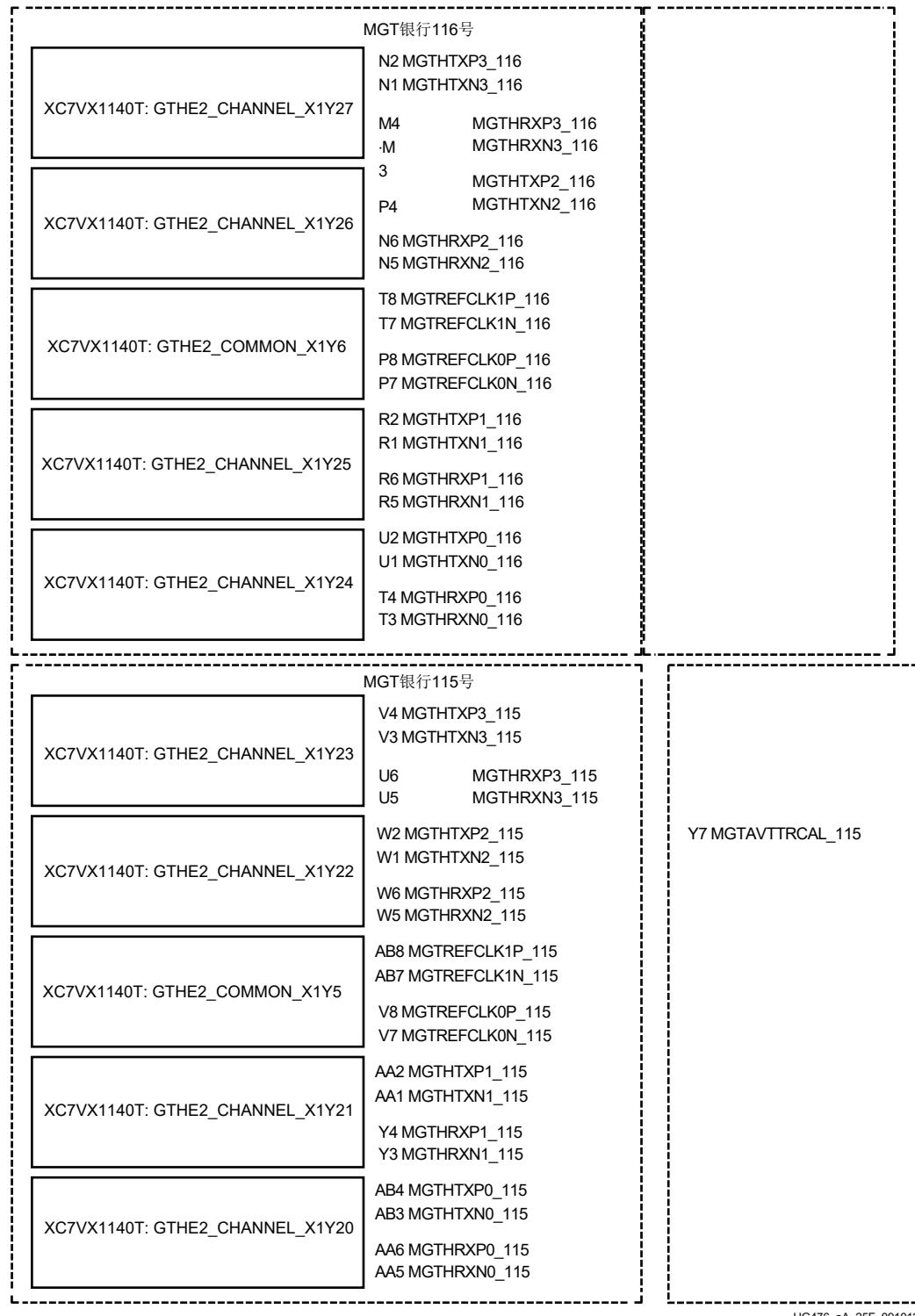
UG476\_aA\_25D\_091012

图A-96:FLG1926封装布局图(第4页, 共8页)



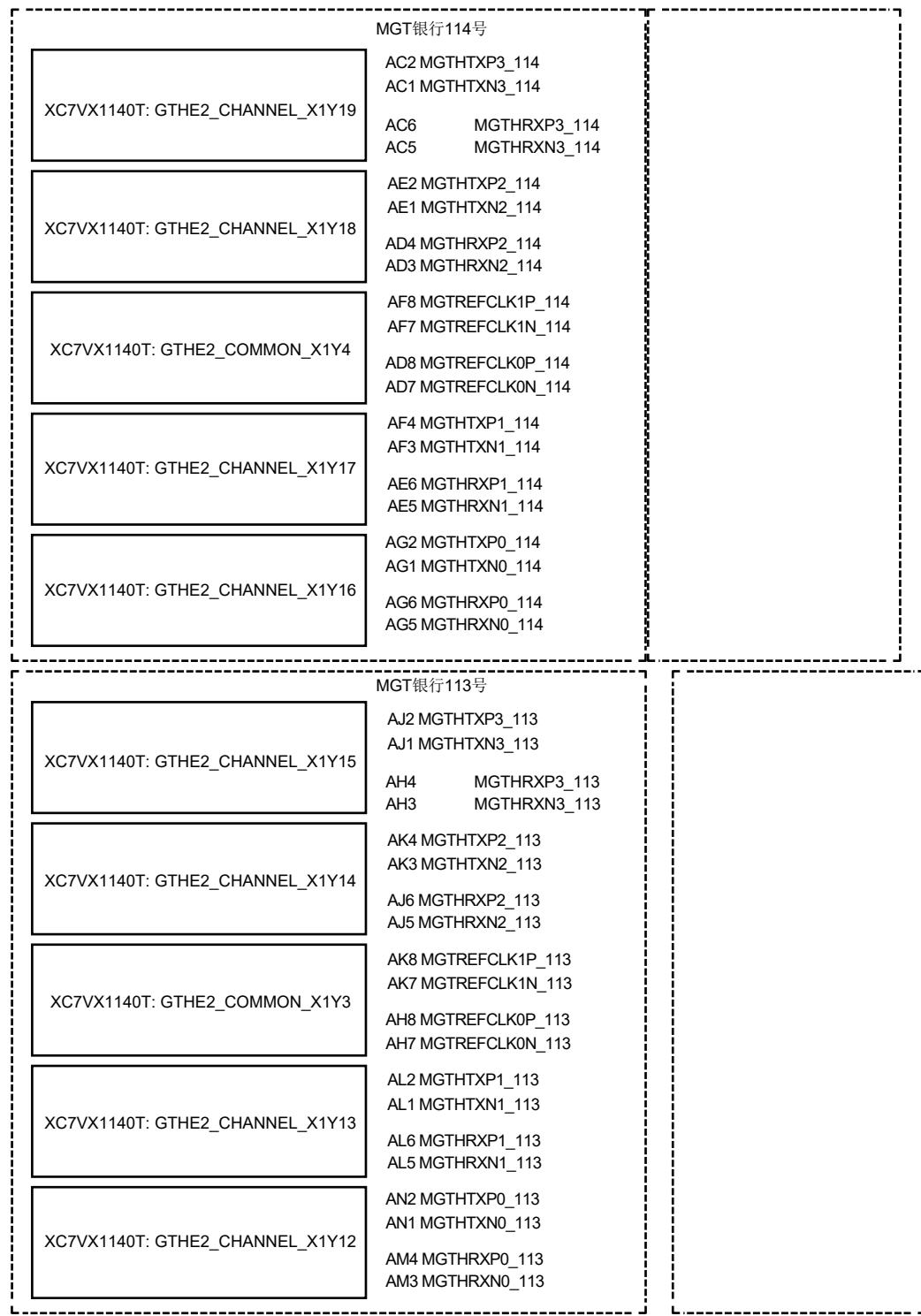
UG476\_aA\_25E\_091012

图A-97:FLG1926封装布局图(第5页, 共8页)



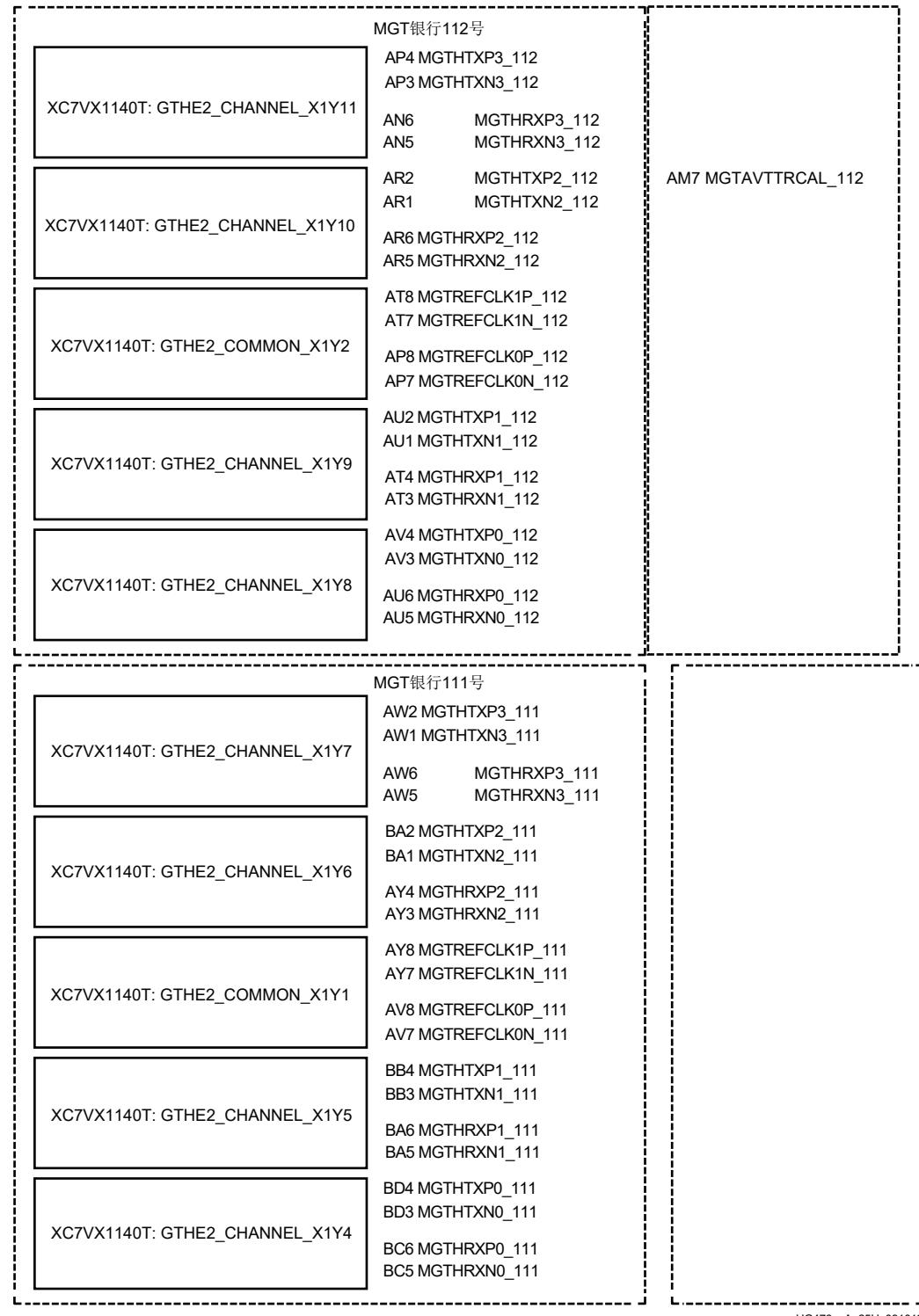
UG476\_aA\_25F\_091012

图A-98:FLG1926封装布局图(第6页, 共8页)



UG476\_aA\_25G\_091012

图A-99:FLG1926封装布局图(第7页, 共8页)

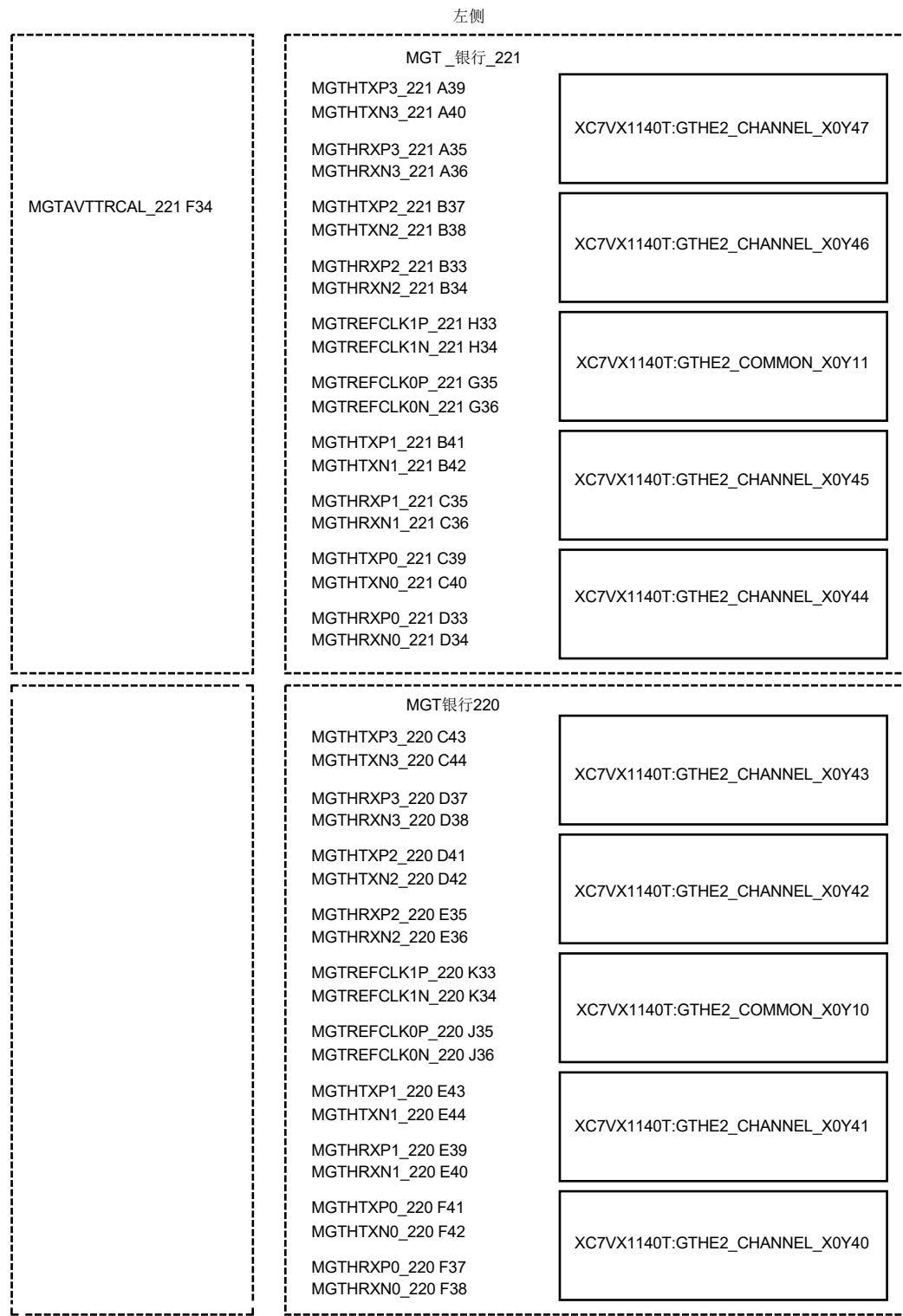


UG476\_aA\_25H\_091012

图A-100:FLG1926封装布局图(第8页, 共8页)

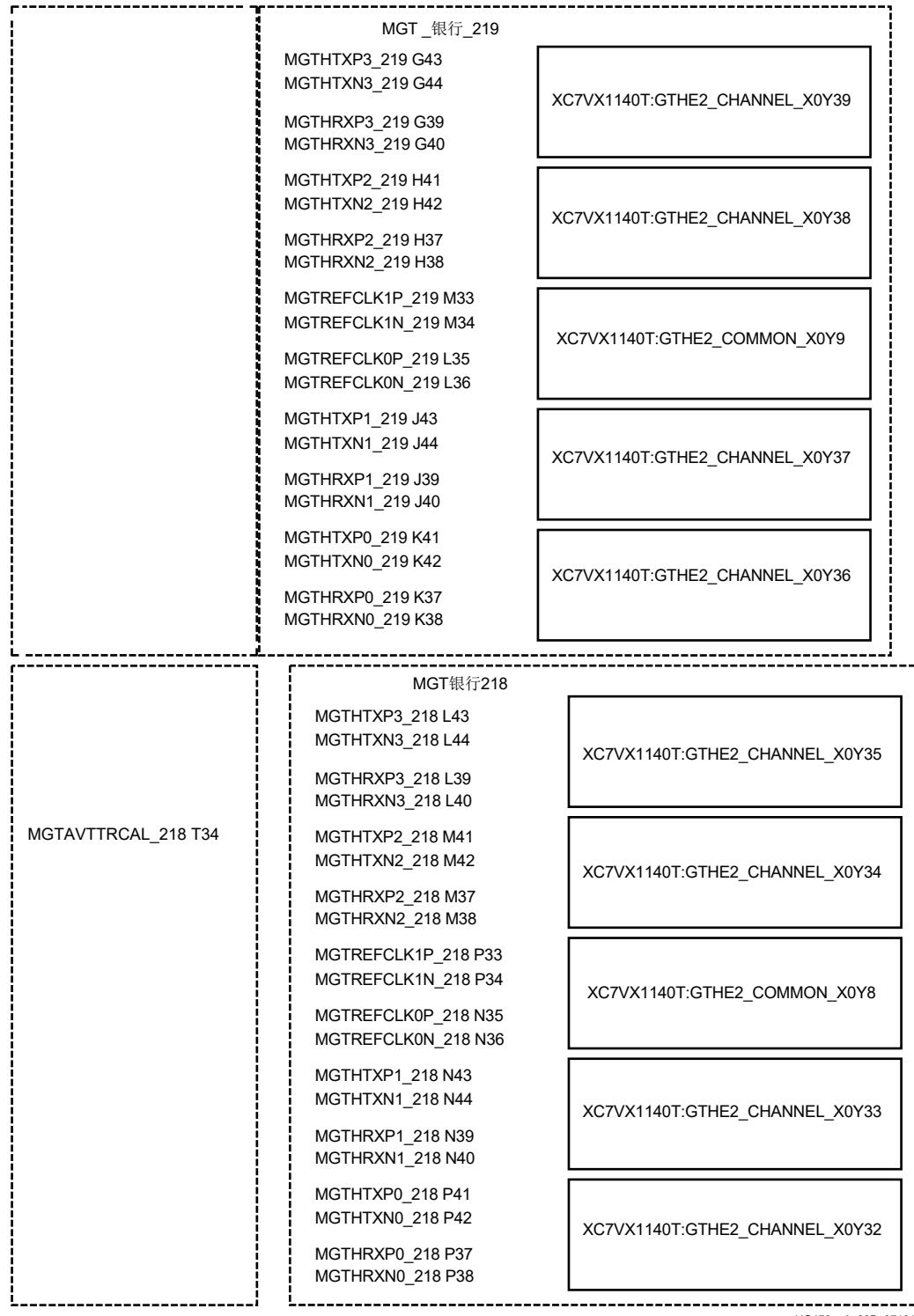
## FLG1928封装布局图

图A-101穿过图A-112显示FLG1928封装的布局图。

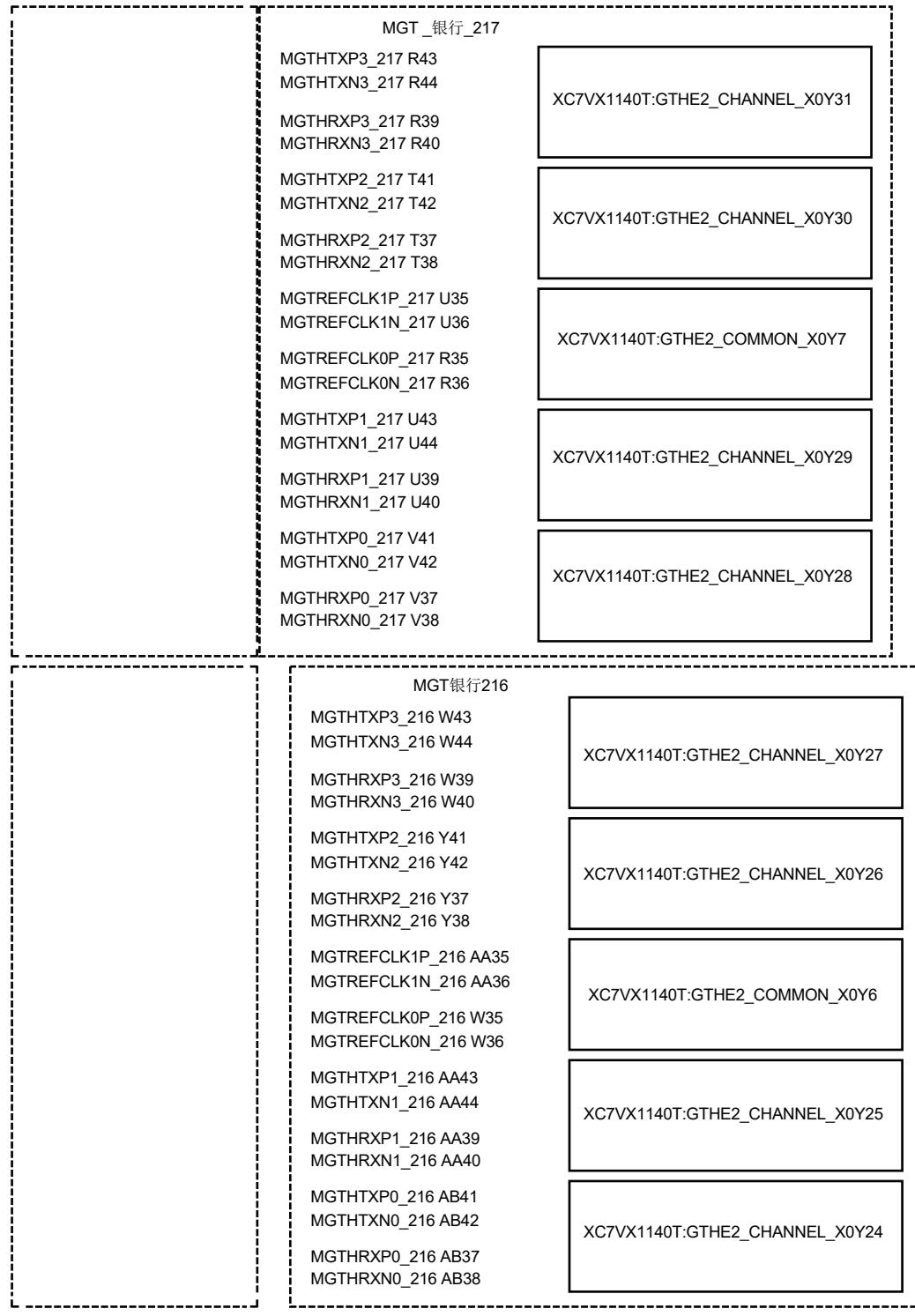


UG476\_aA\_22A\_071912

图A-101:FLG1928封装布局图(第1页, 共12页)

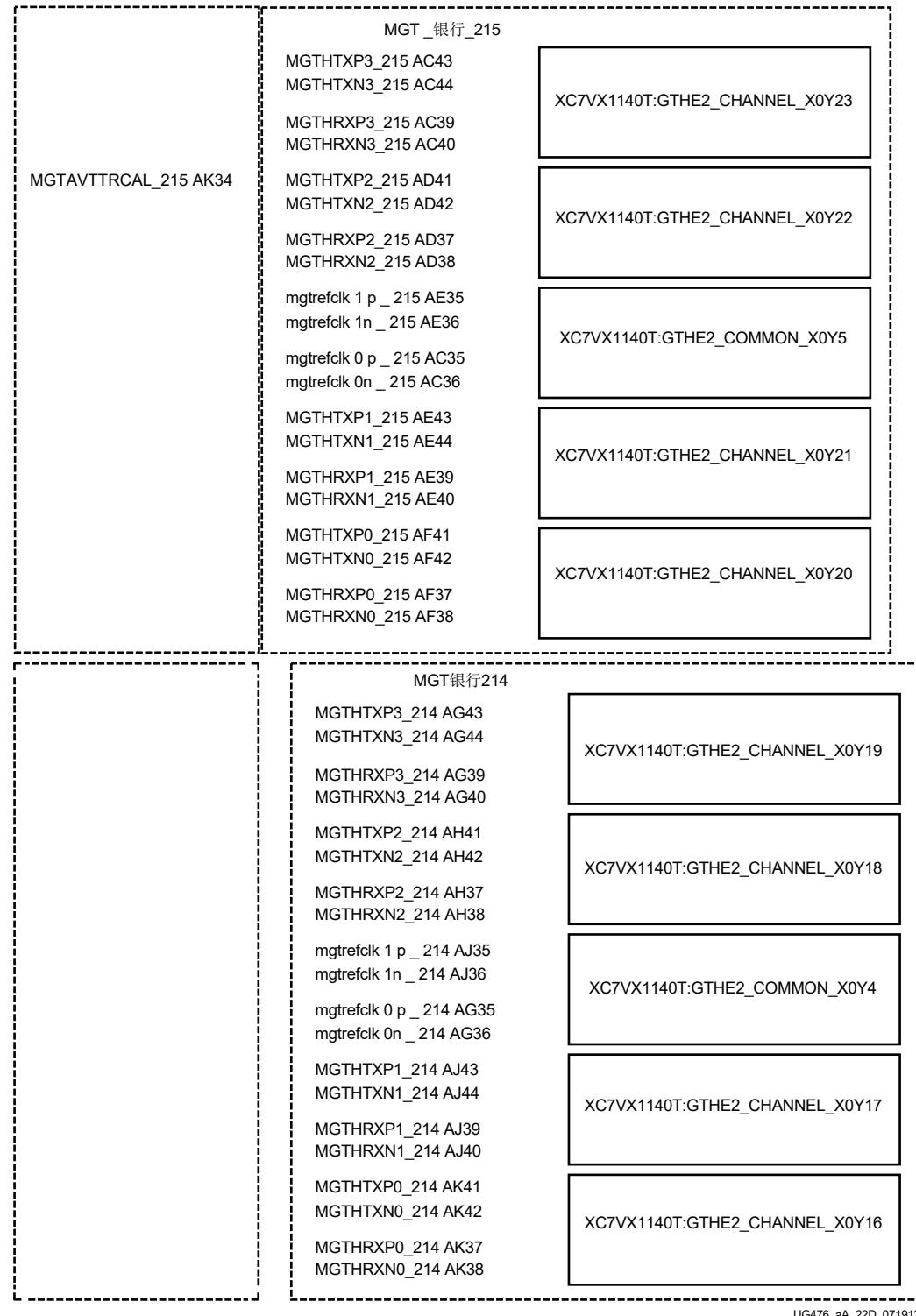


图A-102:FLG1928封装布局图(第2页, 共12页)



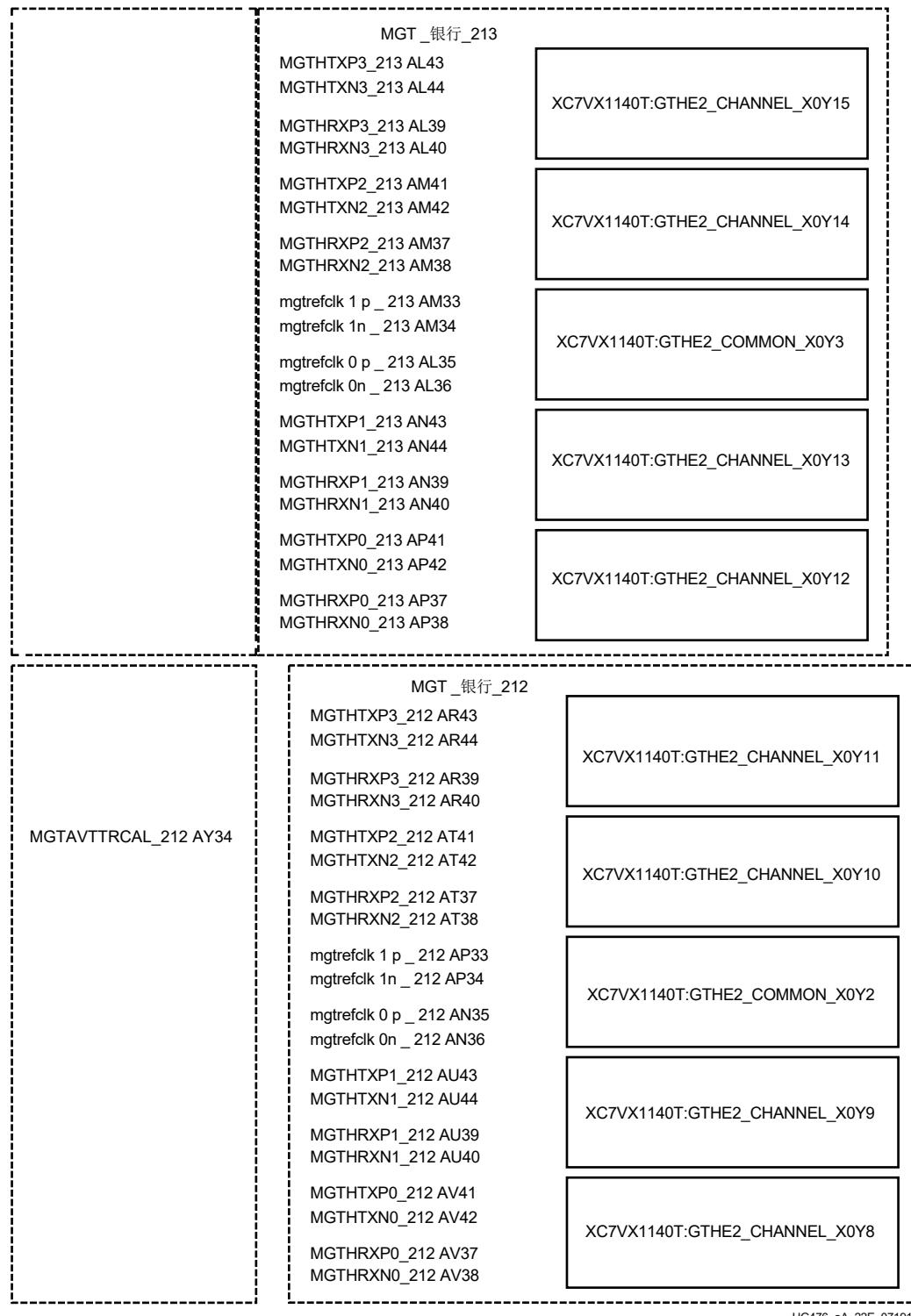
UG476\_aA\_22C\_071912

图A-103:FLG1928封装布局图(第3页, 共12页)



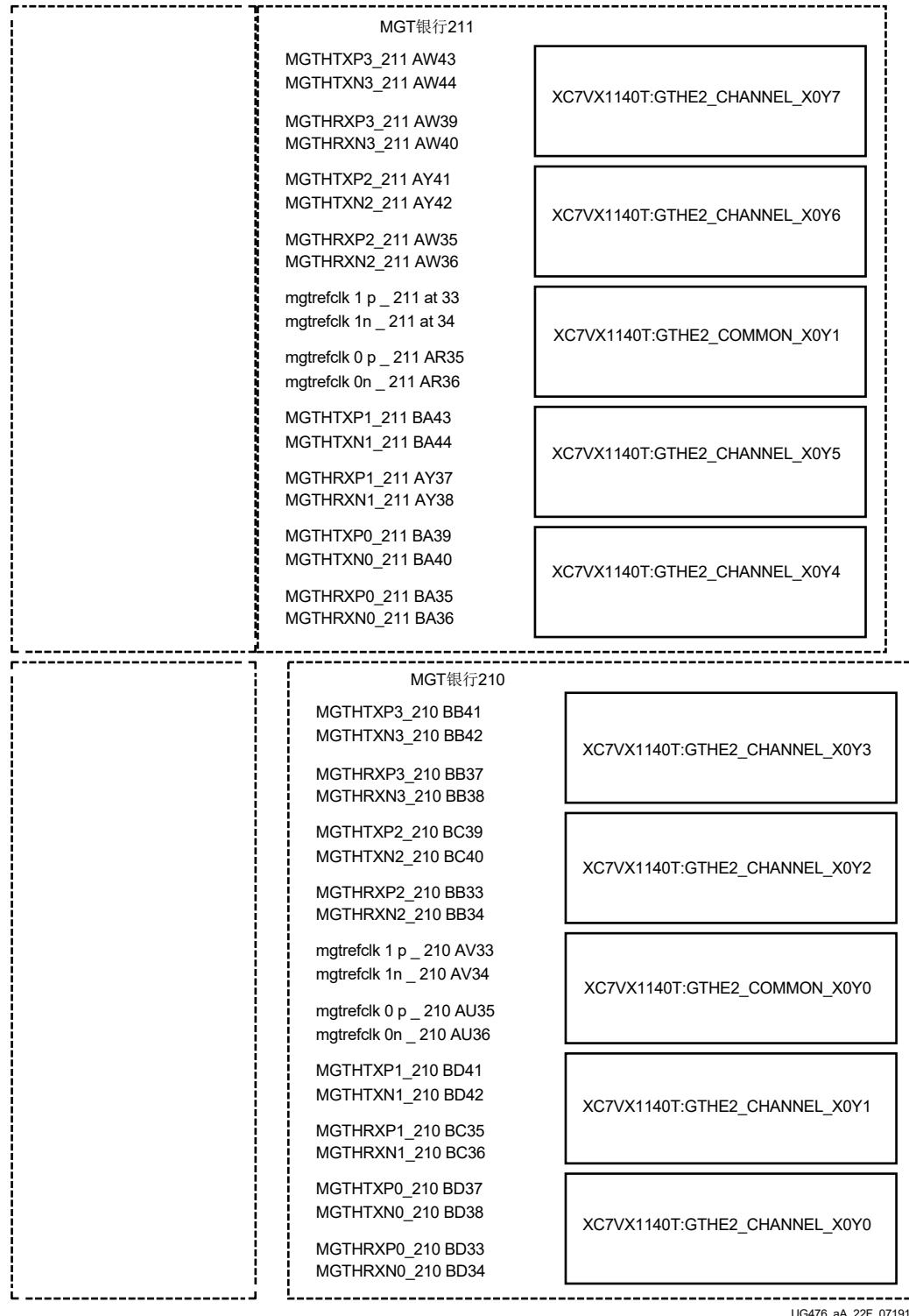
UG476\_aA\_22D\_071912

图A-104:FLG1928封装布局图(第4页, 共12页)



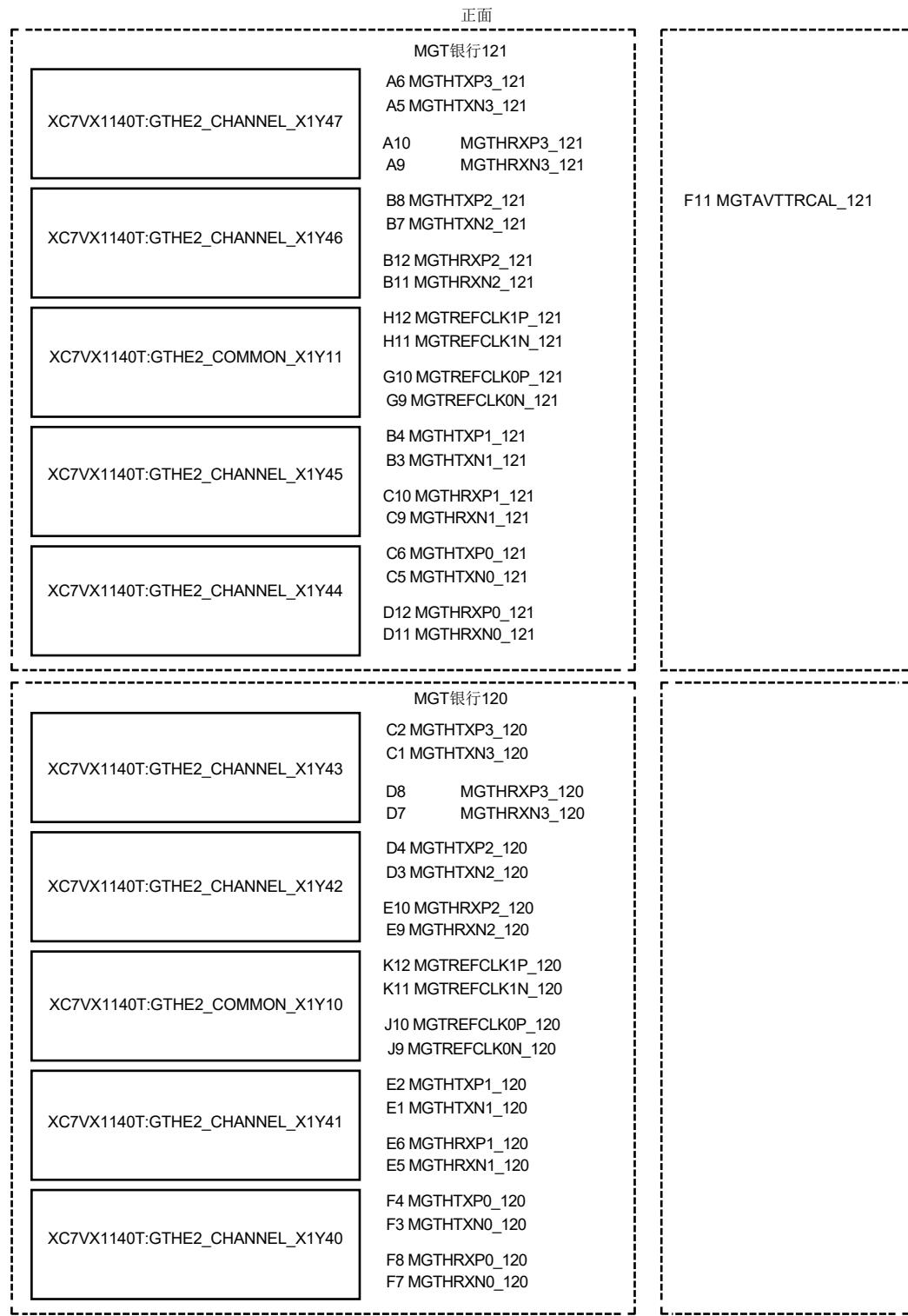
UG476\_aA\_22E\_071912

图A-105:FLG1928封装布局图(第5页, 共12页)



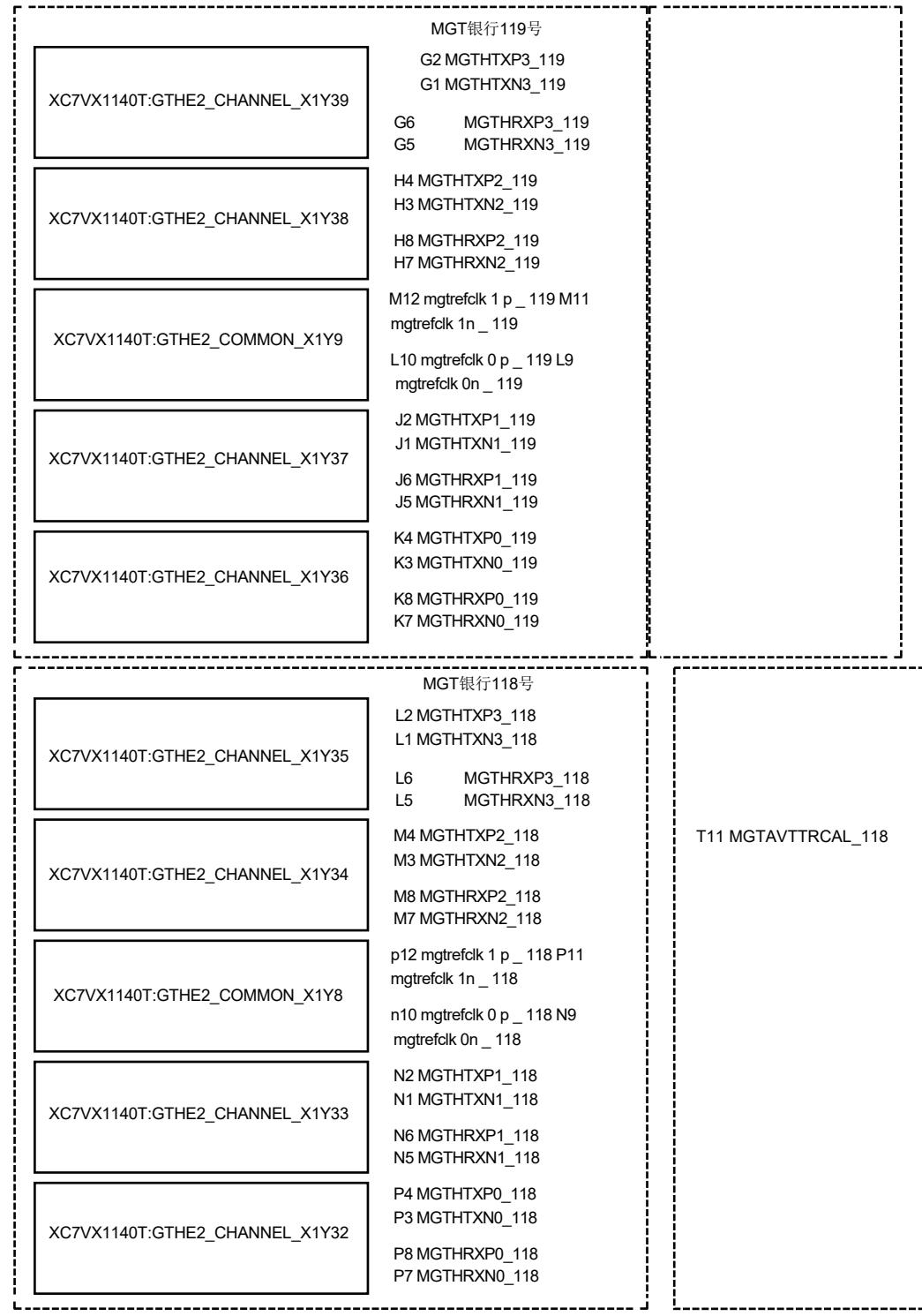
UG476\_aA\_22F\_071912

图A-106:FLG1928封装布局图(第6页, 共12页)



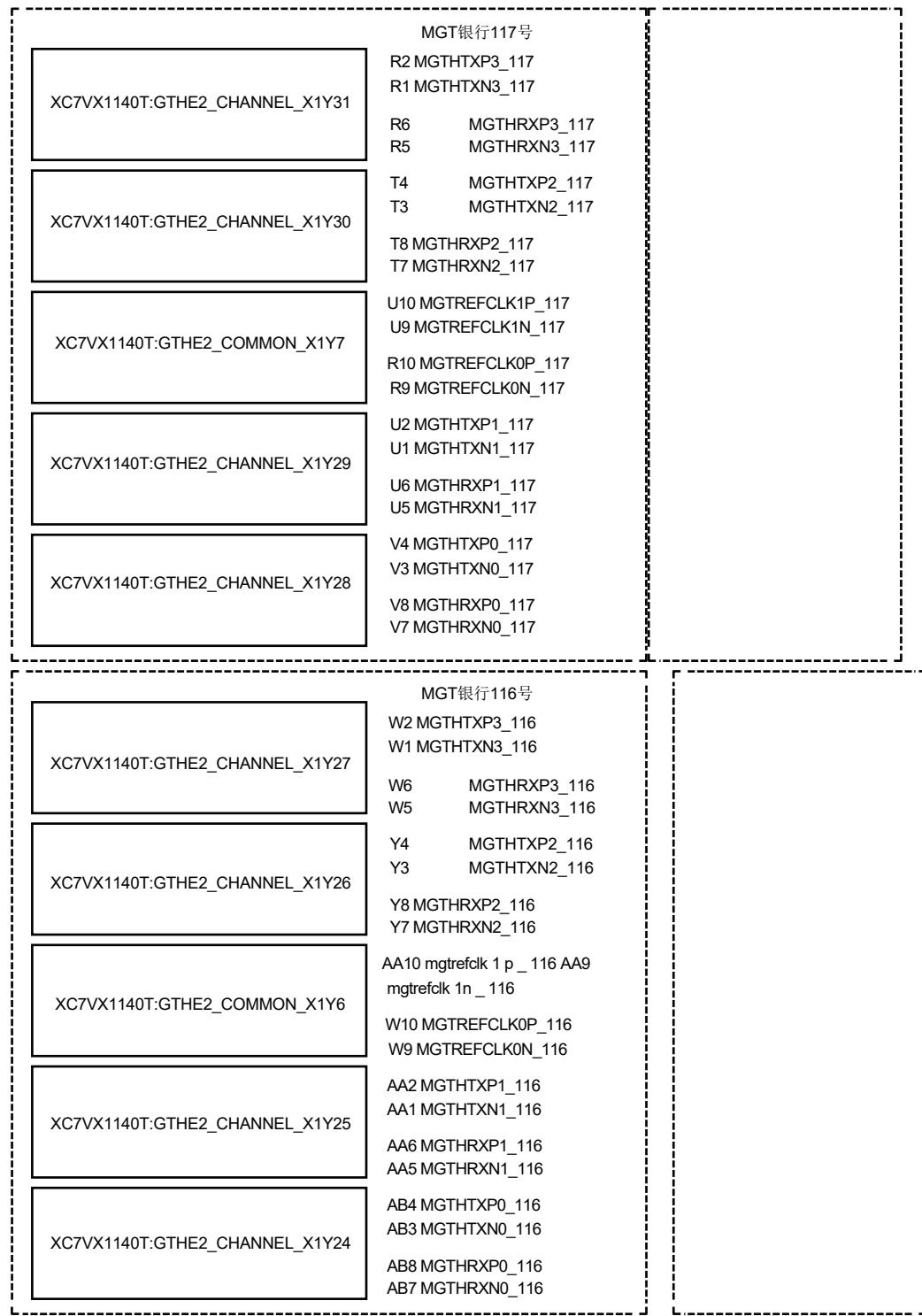
UG476\_aA\_22G\_071912

图A-107:FLG1928封装布局图(第7页, 共12页)



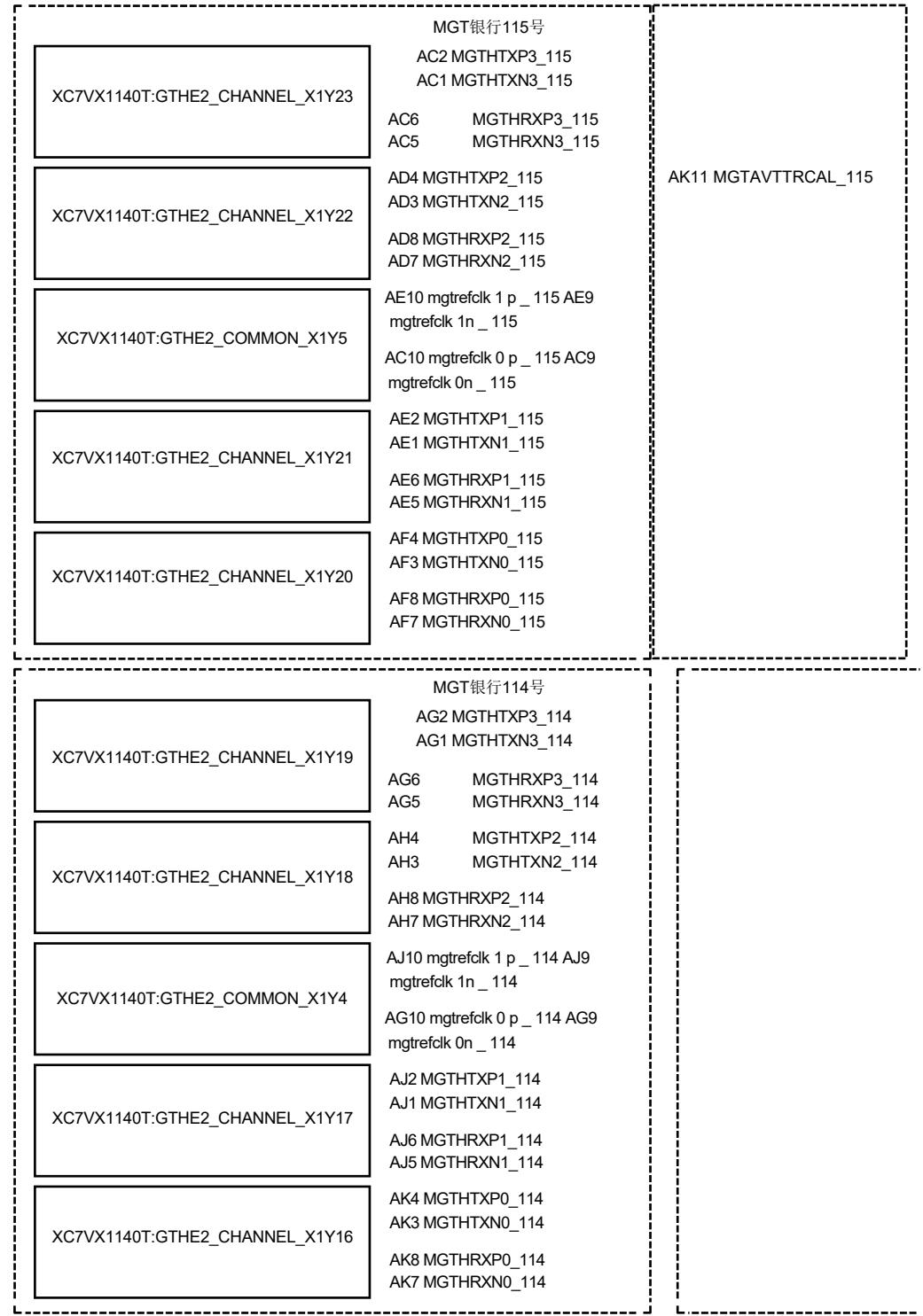
UG476\_aA\_22H\_071912

图A-108:FLG1928封装布局图(第8页, 共12页)



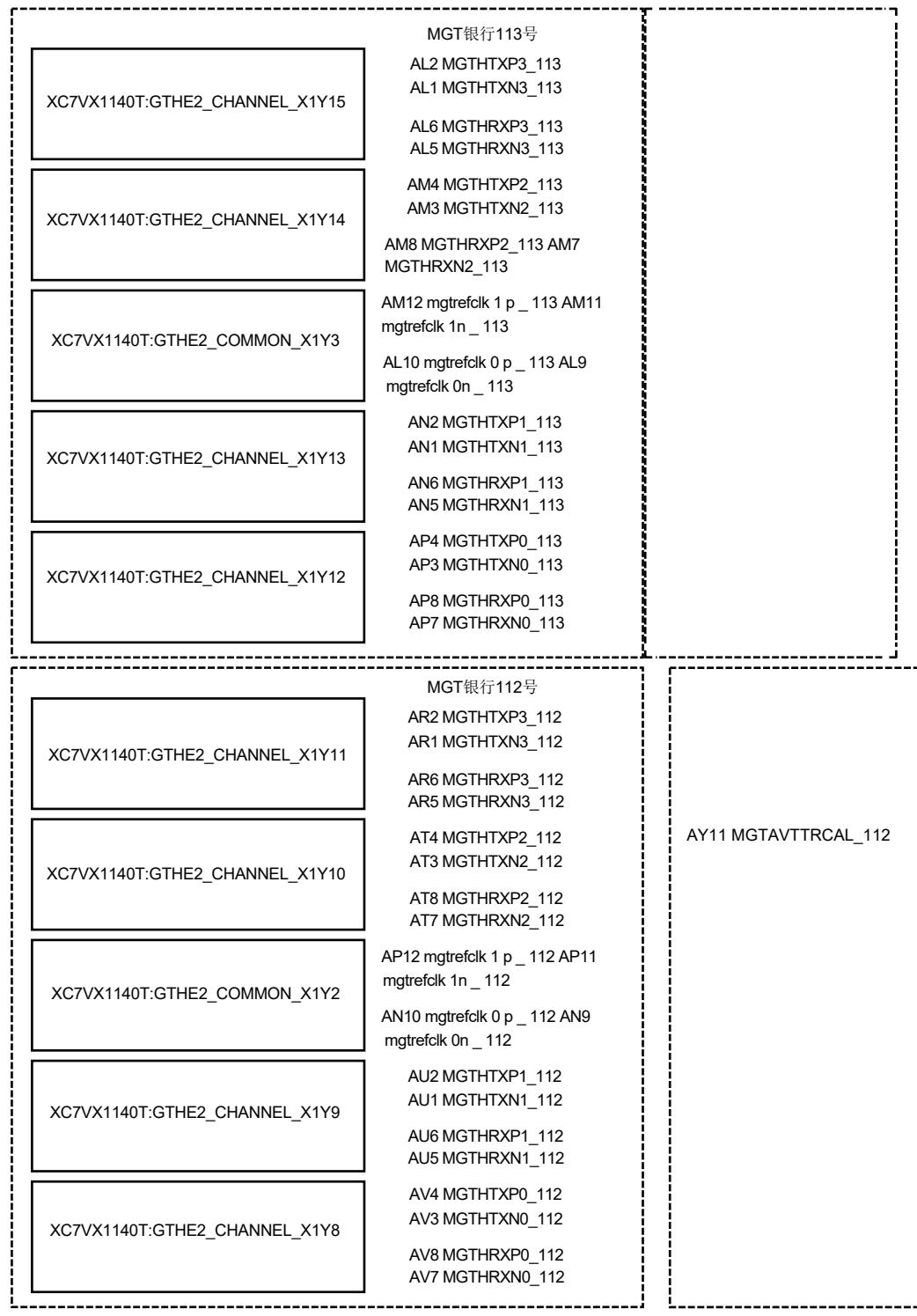
UG476\_aA\_22I\_071912

图A-109:FLG1928封装布局图(第9页, 共12页)



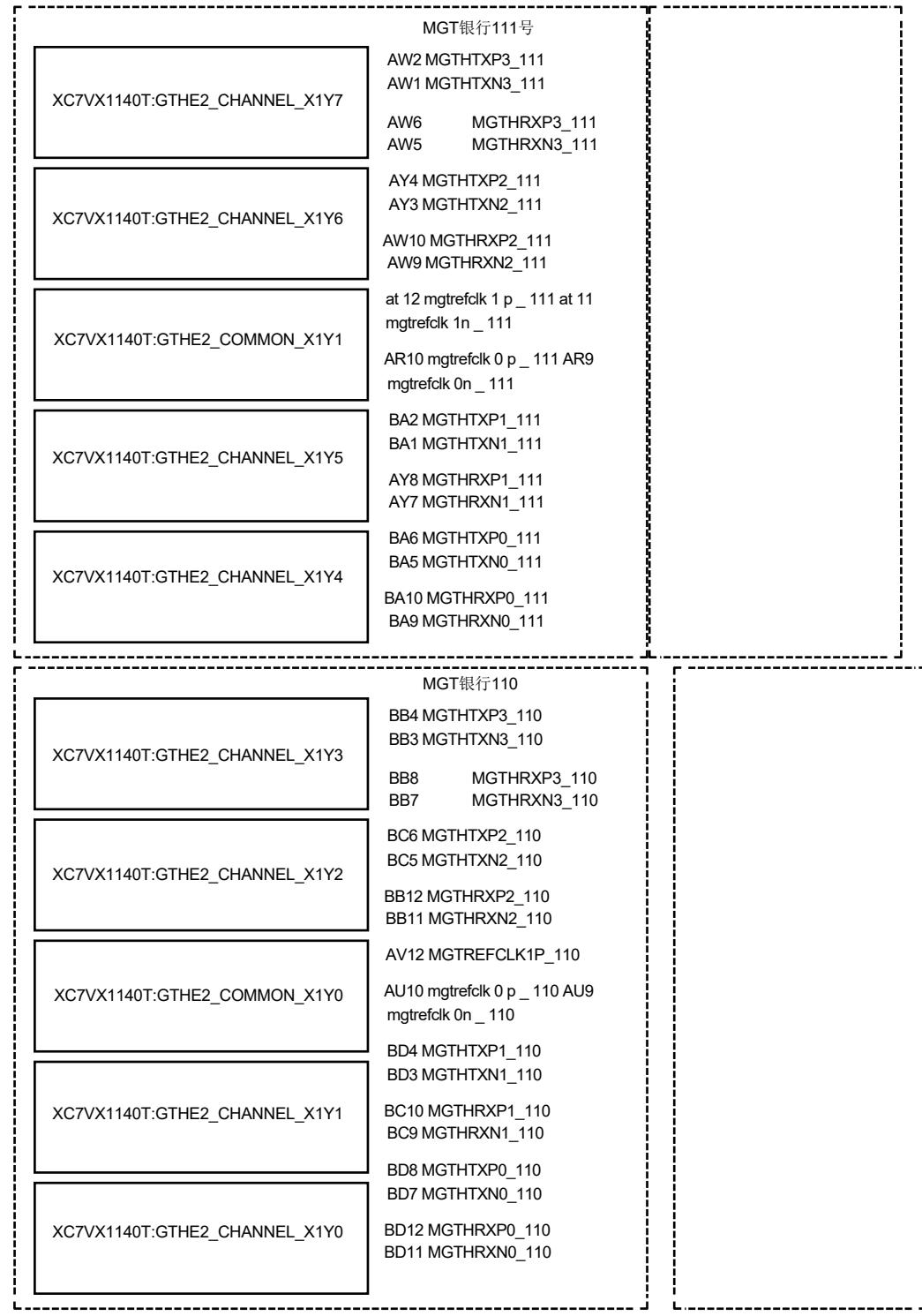
UG476\_aA\_22J\_071912

图A-110:FLG1928封装布局图(第10页, 共12页)



UG476\_aA\_22K\_071912

图A-111:FLG1928封装布局图(第11页, 共12页)

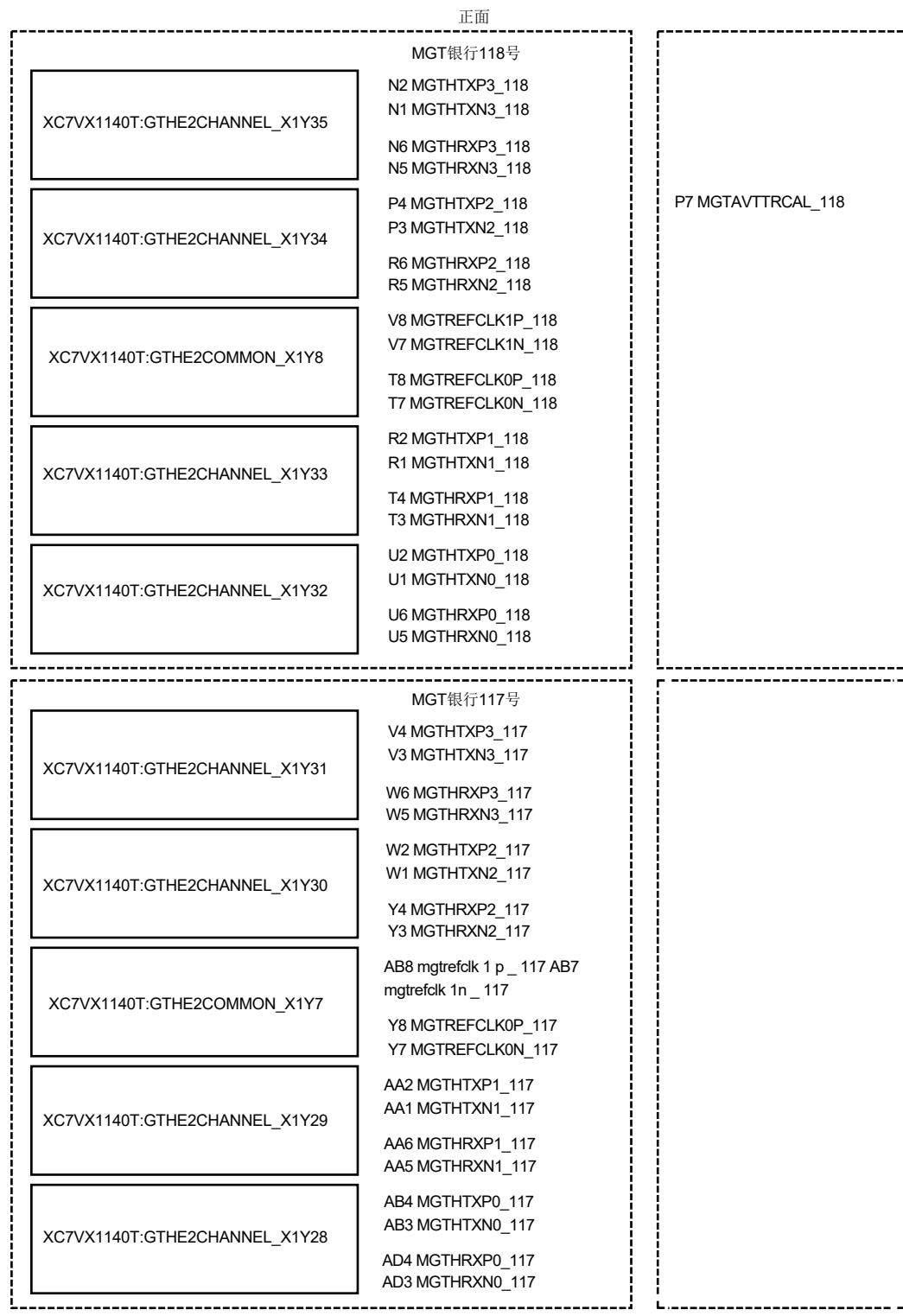


UG476\_aA\_22L\_071912

图A-112:FLG1928封装布局图(第12页, 共12页)

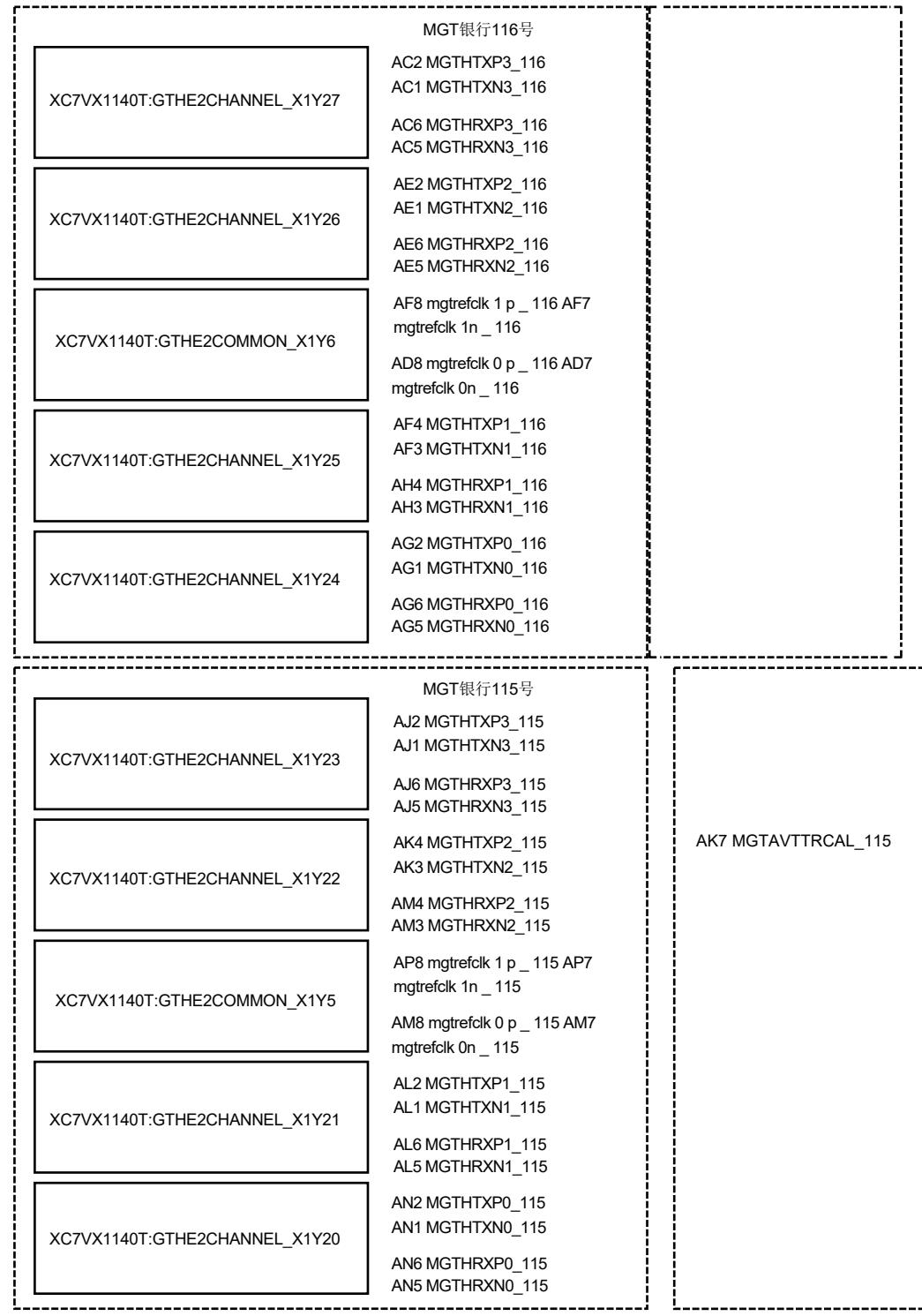
## FLG1930封装布局图

图A-113穿过图A-115显示FLG1930封装的布局图。



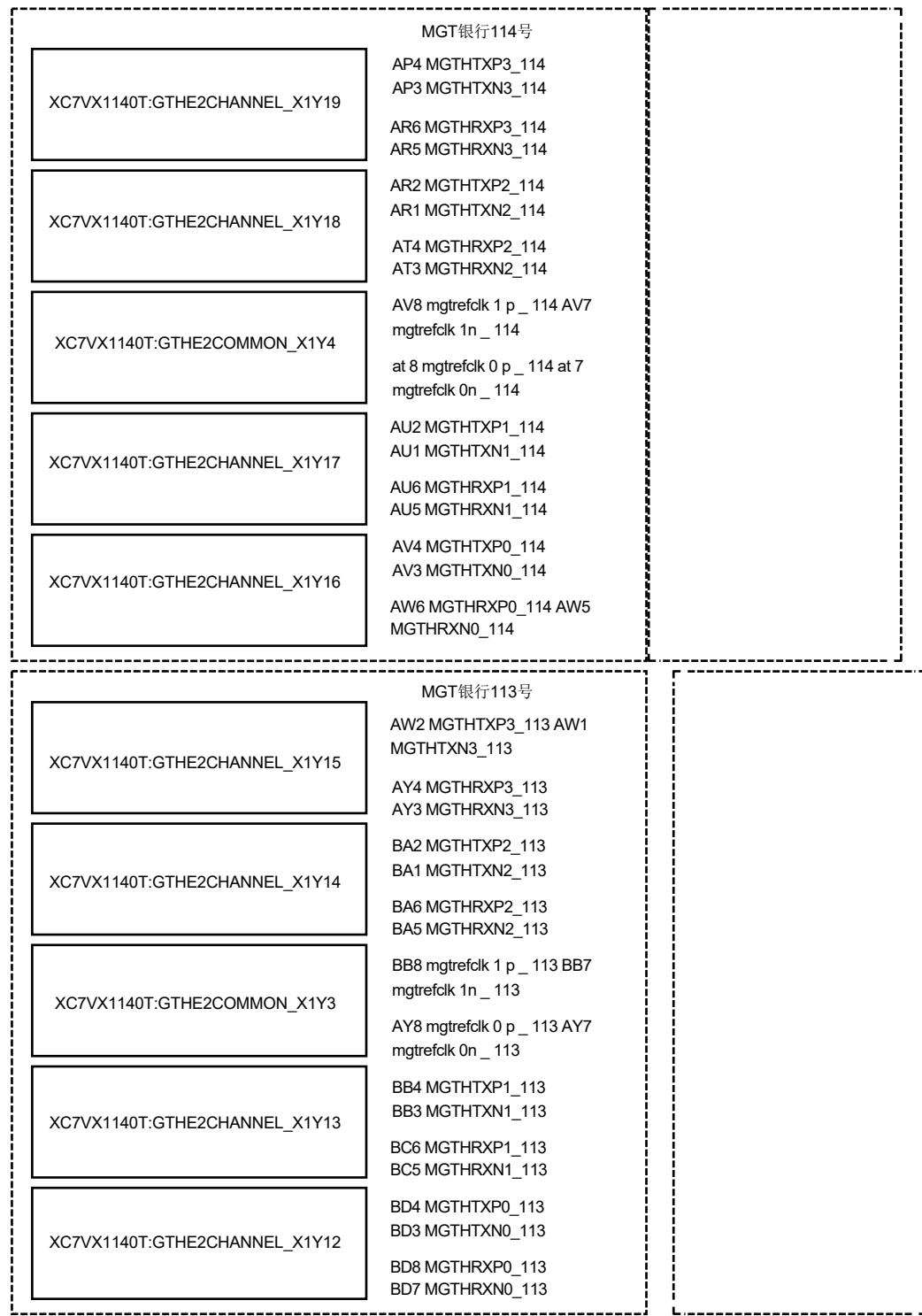
UG476\_aA\_23A\_071912

图A-113:FLG1930封装布局图(第1页, 共3页)



UG476\_aA\_23B\_071912

图A-114:FLG1930封装布局图(第2页, 共3页)



UG476\_aA\_23C\_071912

图A-115:FLG1930封装布局图(第3页, 共3页)



# 按设备排列的位置信息

**表B-1**定义了Kintex-7 FPGA器件封装组合和可用的GTX收发器组。关于收发器的位置，请参考**附录A，按封装排列的布局信息**。

**表B-1:Kintex-7 FPGA器件封装组合和GTX收发器组**

包裹	FBG484	FBG676	FBG900	FFG676	FFG900	FFG901	FFG1156
XC7K70T	MGT银行115号	MGT银行115号, MGT银行116号					
XC7K160T	MGT银行115号	MGT银行115号, MGT银行116号		MGT银行115号, MGT银行116号			
XC7K325T		MGT银行115号, MGT银行116号	MGT 银 行 115 , MGT 银 行 116 , MGT 银 行 117 , MGT银行118	MGT银行115号, MGT银行116号	MGT 银 行 115 , MGT 银 行 116 , MGT 银 行 117 , MGT银行118		
XC7K355T						MGT 银 行 112 , MGT 银 行 113 , MGT 银 行 114 , MGT 银 行 115 , MGT 银 行 116 , MGT银行117	
XC7K410T		MGT银行115号, MGT银行116号	MGT 银 行 115 , MGT 银 行 116 , MGT 银 行 117 , MGT银行118	MGT银行115号, MGT银行116号	MGT 银 行 115 , MGT 银 行 116 , MGT 银 行 117 , MGT银行118		
XC7K420T						MGT 银 行 111 , MGT 银 行 112 , MGT 银 行 113 , MGT 银 行 114 , MGT 银 行 115 , MGT 银 行 116 , MGT银行117	MGT 银 行 111 , MGT 银 行 112 , MGT 银 行 113 , MGT 银 行 114 , MGT 银 行 115 , MGT 银 行 116 , MGT银行118
XC7K480T						MGT 银 行 111 , MGT 银 行 112 , MGT 银 行 113 , MGT 银 行 114 , MGT 银 行 115 , MGT 银 行 116 , MGT银行117	MGT 银 行 111 , MGT 银 行 112 , MGT 银 行 113 , MGT 银 行 114 , MGT 银 行 115 , MGT 银 行 116 , MGT 银 行 117 , MGT银行118

表B-2定义了Virtex -7 FPGA器件封装组合和可用的GTX收发器组。关于收发器的位置，请参考[附录A，按封装排列的布局信息](#)。

**表B-2:Virtex-7 FPGA器件封装组合和GTX收发器组**

包裹	FFG1157	FFG1158	FFG1761	FFG1927	FFG1930	FLG1925	FHG1761
XC7V585T	MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118		MGT 银行 111 , MGT 银行 112 , MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119				
XC7V2000T						MGT 银行 112号 , MGT 银行 113号 , MGT 银行 114号 , MGT 银行 115号	MGT 银行 111 , MGT 银行 112 , MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119
XC7VX485T	MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118	MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217 , MGT 银行 218 , MGT 银行 219	MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 213 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217 , MGT 银行 218 , MGT 银行 219	MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118			

表B-3定义了Virtex-7 FPGA器件封装组合和可用的GTH收发器组。关于收发器的位置，请参考[附录A，按封装排列的布局信息](#)。

表B-3: Virtex-7 FPGA器件封装组合和GTH收发器组

包裹	FFG1157	FFG1158	FFG1761	FFG1926	FFG1927	FFG1928	FFG1930	FLG1926	FLG1928	FLG1930	
XC7VX330T	MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118		MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119								
XC7VX415T	MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118		MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217 , MGT 银行 218 , MGT 银行 219		MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217 , MGT 银行 218 , MGT 银行 219						
XC7VX550T		MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217 , MGT 银行 218 , MGT 银行 219			MGT 银行 110 , MGT 银行 111 , MGT 银行 112 , MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 210 , MGT 银行 211 , MGT 银行 212 , MGT 银行 213 , MGT 银行 214						

表B-3:Virtex-7 FPGA器件封装组合和GTH收发器组(续)

包裹	FFG1157	FFG1158	FFG1761	FFG1926	FFG1927	FFG1928	FFG1930	FLG1926	FLG1928	FLG1930			
XC7VX690T	MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118	MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217 , MGT 银行 218 , MGT 银行 219	MGT 银行 111 , MGT 银行 112 , MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 211 , MGT 银行 212 , MGT 银行 213 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217	MGT 银行 110 , MGT 银行 111 , MGT 银行 112 , MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 210 , MGT 银行 211 , MGT 银行 212 , MGT 银行 213 , MGT 银行 214			MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118						
XC7VX980T				MGT 银行 111 , MGT 银行 112 , MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 211 , MGT 银行 212 , MGT 银行 213 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217	MGT 银行 110 , MGT 银行 111 , MGT 银行 112 , MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 210 , MGT 银行 211 , MGT 银行 212 , MGT 银行 213 , MGT 银行 214 , MGT 银行 215	MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118							
XC7VX1140T								MGT 银行 111 , MGT 银行 112 , MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118 , MGT 银行 119 , MGT 银行 120 , MGT 银行 121 , MGT 银行 210 , MGT 银行 211 , MGT 银行 212 , MGT 银行 213 , MGT 银行 214 , MGT 银行 215 , MGT 银行 216 , MGT 银行 217	MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118	MGT 银行 113 , MGT 银行 114 , MGT 银行 115 , MGT 银行 116 , MGT 银行 117 , MGT 银行 118			

表B-4定义了Zynq -7000 SoC器件封装组合和可用的GTX收发器组。关于收发器的位置，请参考[UG585,Zynq-7000 SoC技术参考手册](#).

**表B-4:Zynq-7000 SoC器件封装组合和GTX收发器组**

包裹	FBG484	FBG676	FFG676	SBG485	FFG900	FFG1156
XC7Z030	MGT银行112号	MGT银行112号	MGT银行112号	MGT银行112号		
XC7Z035		MGT银行111， MGT银行112	MGT银行111， MGT银行112		MGT 银 行 109 , MGT 银 行 110 , MGT 银 行 111 , MGT银行112	
XC7Z045		MGT银行111， MGT银行112	MGT银行111， MGT银行112		MGT 银 行 109 , MGT 银 行 110 , MGT 银 行 111 , MGT银行112	
XC7Z100					MGT 银 行 109 , MGT 银 行 110 , MGT 银 行 111 , MGT银行112	MGT 银 行 109 , MGT 银 行 110 , MGT 银 行 111 , MGT银行112



# 8B/10B有效字符

8B/10B编码包括一组数据字符和K个字符。8位值编码为10位值，保持串行线路DC平衡。k字符是用字符指定的特殊数据字符。k字符用于特定的信息名称。[表C-1](#)显示有效的数据字符。[表C-2，第477页](#)显示有效的K字符。

**表C-1:有效数据字符**

数据字节名	位 HGF EDCBA	当前研发- abcdefghijkl	当前研发+ abcdefghijkl
D0.0	000 00000	100111 0100	011000 1011
D1.0	000 00001	011101 0100	100010 1011
D2.0	000 00010	101101 0100	010010 1011
D3.0	000 00011	110001 1011	110001 0100
D4.0	000 00100	110101 0100	001010 1011
D5.0	000 00101	101001 1011	101001 0100
D6.0	000 00110	011001 1011	011001 0100
D7.0	000 00111	111000 1011	000111 0100
D8.0	000 01000	111001 0100	000110 1011
D9.0	000 01001	100101 1011	100101 0100
10.0	000 01010	010101 1011	010101 0100
D11.0	000 01011	110100 1011	110100 0100
D12.0	000 01100	001101 1011	001101 0100
D13.0	000 01101	101100 1011	101100 0100
D14.0	000 01110	011100 1011	011100 0100
D15.0	000 01111	010111 0100	101000 1011
D16.0	000 10000	011011 0100	100100 1011
D17.0	000 10001	100011 1011	100011 0100
D18.0	000 10010	010011 1011	010011 0100
D19.0	000 10011	110010 1011	110010 0100
D20.0	000 10100	001011 1011	001011 0100

表C-1:有效数据字符(续)

数据字节名	位 HGF EDCBA	当前研发- abcdei fghj	当前研发+ abcdei fghj
D21.0	000 10101	101010 1011	101010 0100
D22.0	000 10110	011010 1011	011010 0100
D23.0	000 10111	111010 0100	000101 1011
D24.0	000 11000	110011 0100	001100 1011
D25.0	000 11001	100110 1011	100110 0100
D26.0	000 11010	010110 1011	010110 0100
D27.0	000 11011	110110 0100	001001 1011
D28.0	000 11100	001110 1011	001110 0100
D29.0	000 11101	101110 0100	010001 1011
D30.0	000 11110	011110 0100	100001 1011
D31.0	000 11111	101011 0100	010100 1011
D0.1	001 00000	100111 1001	011000 1001
D1.1	001 00001	011101 1001	100010 1001
D2.1	001 00010	101101 1001	010010 1001
D3.1	001 00011	110001 1001	110001 1001
D4.1	001 00100	110101 1001	001010 1001
D5.1	001 00101	101001 1001	101001 1001
D6.1	001 00110	011001 1001	011001 1001
D7.1	001 00111	111000 1001	000111 1001
D8.1	001 01000	111001 1001	000110 1001
D9.1	001 01001	100101 1001	100101 1001
D10.1	001 01010	010101 1001	010101 1001
D11.1	001 01011	110100 1001	110100 1001
D12.1	001 01100	001101 1001	001101 1001
D13.1	001 01101	101100 1001	101100 1001
D14.1	001 01110	011100 1001	011100 1001
D15.1	001 01111	010111 1001	101000 1001
D16.1	001 10000	011011 1001	100100 1001
D17.1	001 10001	100011 1001	100011 1001
D18.1	001 10010	010011 1001	010011 1001
D19.1	001 10011	110010 1001	110010 1001
D20.1	001 10100	001011 1001	001011 1001

表C-1:有效数据字符(续)

数据字节名	位 HGF EDCBA	当前研发- abcdei fghj	当前研发+ abcdei fghj
D21.1	001 10101	101010 1001	101010 1001
D22.1	001 10110	011010 1001	011010 1001
D23.1	001 10111	111010 1001	000101 1001
D24.1	001 11000	110011 1001	001100 1001
D25.1	001 11001	100110 1001	100110 1001
D26.1	001 11010	010110 1001	010110 1001
D27.1	001 11011	110110 1001	001001 1001
D28.1	001 11100	001110 1001	001110 1001
D29.1	001 11101	101110 1001	010001 1001
D30.1	001 11110	011110 1001	100001 1001
D31.1	001 11111	101011 1001	010100 1001
D0.2	010 00000	100111 0101	011000 0101
D1.2	010 00001	011101 0101	100010 0101
D2.2	010 00010	101101 0101	010010 0101
D3.2	010 00011	110001 0101	110001 0101
D4.2	010 00100	110101 0101	001010 0101
D5.2	010 00101	101001 0101	101001 0101
D6.2	010 00110	011001 0101	011001 0101
D7.2	010 00111	111000 0101	000111 0101
D8.2	010 01000	111001 0101	000110 0101
D9.2	010 01001	100101 0101	100101 0101
D10.2	010 01010	010101 0101	010101 0101
D11.2	010 01011	110100 0101	110100 0101
D12.2	010 01100	001101 0101	001101 0101
D13.2	010 01101	101100 0101	101100 0101
D14.2	010 01110	011100 0101	011100 0101
D15.2	010 01111	010111 0101	101000 0101
D16.2	010 10000	011011 0101	100100 0101
D17.2	010 10001	100011 0101	100011 0101
D18.2	010 10010	010011 0101	010011 0101
D19.2	010 10011	110010 0101	110010 0101
D20.2	010 10100	001011 0101	001011 0101

表C-1:有效数据字符(续)

数据字节名	位 HGF EDCBA	当前研发- abcdei fghj	当前研发+ abcdei fghj
D21.2	010 10101	101010 0101	101010 0101
D22.2	010 10110	011010 0101	011010 0101
D23.2	010 10111	111010 0101	000101 0101
D24.2	010 11000	110011 0101	001100 0101
D25.2	010 11001	100110 0101	100110 0101
D26.2	010 11010	010110 0101	010110 0101
D27.2	010 11011	110110 0101	001001 0101
D28.2	010 11100	001110 0101	001110 0101
D29.2	010 11101	101110 0101	010001 0101
D30.2	010 11110	011110 0101	100001 0101
D31.2	010 11111	101011 0101	010100 0101
D0.3	011 00000	100111 0011	011000 1100
D1.3	011 00001	011101 0011	100010 1100
D2.3	011 00010	101101 0011	010010 1100
D3.3	011 00011	110001 1100	110001 0011
D4.3	011 00100	110101 0011	001010 1100
D5.3	011 00101	101001 1100	101001 0011
D6.3	011 00110	011001 1100	011001 0011
D7.3	011 00111	111000 1100	000111 0011
D8.3	011 01000	111001 0011	000110 1100
D9.3	011 01001	100101 1100	100101 0011
D10.3	011 01010	010101 1100	010101 0011
D11.3	011 01011	110100 1100	110100 0011
D12.3	011 01100	001101 1100	001101 0011
D13.3	011 01101	101100 1100	101100 0011
D14.3	011 01110	011100 1100	011100 0011
D15.3	011 01111	010111 0011	101000 1100
D16.3	011 10000	011011 0011	100100 1100
D17.3	011 10001	100011 1100	100011 0011
D18.3	011 10010	010011 1100	010011 0011
D19.3	011 10011	110010 1100	110010 0011
D20.3	011 10100	001011 1100	001011 0011

表C-1:有效数据字符(续)

数据字节名	位 HGF EDCBA	当前研发- abcdefghijkl	当前研发+ abcdefghijkl
D21.3	011 10101	101010 1100	101010 0011
D22.3	011 10110	011010 1100	011010 0011
D23.3	011 10111	111010 0011	000101 1100
D24.3	011 11000	110011 0011	001100 1100
D25.3	011 11001	100110 1100	100110 0011
D26.3	011 11010	010110 1100	010110 0011
D27.3	011 11011	110110 0011	001001 1100
D28.3	011 11100	001110 1100	001110 0011
D29.3	011 11101	101110 0011	010001 1100
D30.3	011 11110	011110 0011	100001 1100
D31.3	011 11111	101011 0011	010100 1100
D0.4	100 00000	100111 0010	011000 1101
D1.4	100 00001	011101 0010	100010 1101
D2.4	100 00010	101101 0010	010010 1101
D3.4	100 00011	110001 1101	110001 0010
D4.4	100 00100	110101 0010	001010 1101
D5.4	100 00101	101001 1101	101001 0010
D6.4	100 00110	011001 1101	011001 0010
D7.4	100 00111	111000 1101	000111 0010
D8.4	100 01000	111001 0010	000110 1101
D9.4	100 01001	100101 1101	100101 0010
D10.4	100 01010	010101 1101	010101 0010
D11.4	100 01011	110100 1101	110100 0010
D12.4	100 01100	001101 1101	001101 0010
D13.4	100 01101	101100 1101	101100 0010
D14.4	100 01110	011100 1101	011100 0010
D15.4	100 01111	010111 0010	101000 1101
D16.4	100 10000	011011 0010	100100 1101
D17.4	100 10001	100011 1101	100011 0010
D18.4	100 10010	010011 1101	010011 0010
D19.4	100 10011	110010 1101	110010 0010
D20.4	100 10100	001011 1101	001011 0010

表C-1:有效数据字符(续)

数据字节名	位 HGF EDCBA	当前研发- abcdei fghj	当前研发+ abcdei fghj
D21.4	100 10101	101010 1101	101010 0010
D22.4	100 10110	011010 1101	011010 0010
D23.4	100 10111	111010 0010	000101 1101
D24.4	100 11000	110011 0010	001100 1101
D25.4	100 11001	100110 1101	100110 0010
D26.4	100 11010	010110 1101	010110 0010
D27.4	100 11011	110110 0010	001001 1101
D28.4	100 11100	001110 1101	001110 0010
D29.4	100 11101	101110 0010	010001 1101
D30.4	100 11110	011110 0010	100001 1101
D31.4	100 11111	101011 0010	010100 1101
D0.5	101 00000	100111 1010	011000 1010
D1.5	101 00001	011101 1010	100010 1010
D2.5	101 00010	101101 1010	010010 1010
D3.5	101 00011	110001 1010	110001 1010
D4.5	101 00100	110101 1010	001010 1010
D5.5	101 00101	101001 1010	101001 1010
D6.5	101 00110	011001 1010	011001 1010
D7.5	101 00111	111000 1010	000111 1010
D8.5	101 01000	111001 1010	000110 1010
D9.5	101 01001	100101 1010	100101 1010
D10.5	101 01010	010101 1010	010101 1010
D11.5	101 01011	110100 1010	110100 1010
D12.5	101 01100	001101 1010	001101 1010
D13.5	101 01101	101100 1010	101100 1010
D14.5	101 01110	011100 1010	011100 1010
D15.5	101 01111	010111 1010	101000 1010
D16.5	101 10000	011011 1010	100100 1010
D17.5	101 10001	100011 1010	100011 1010
D18.5	101 10010	010011 1010	010011 1010
D19.5	101 10011	110010 1010	110010 1010
D20.5	101 10100	001011 1010	001011 1010

表C-1:有效数据字符(续)

数据字节名	位 HGF EDCBA	当前研发- abcdei fghj	当前研发+ abcdei fghj
D21.5	101 10101	101010 1010	101010 1010
D22.5	101 10110	011010 1010	011010 1010
D23.5	101 10111	111010 1010	000101 1010
D24.5	101 11000	110011 1010	001100 1010
D25.5	101 11001	100110 1010	100110 1010
D26.5	101 11010	010110 1010	010110 1010
D27.5	101 11011	110110 1010	001001 1010
D28.5	101 11100	001110 1010	001110 1010
D29.5	101 11101	101110 1010	010001 1010
D30.5	101 11110	011110 1010	100001 1010
D31.5	101 11111	101011 1010	010100 1010
D0.6	110 00000	100111 0110	011000 0110
D1.6	110 00001	011101 0110	100010 0110
D2.6	110 00010	101101 0110	010010 0110
D3.6	110 00011	110001 0110	110001 0110
D4.6	110 00100	110101 0110	001010 0110
D5.6	110 00101	101001 0110	101001 0110
D6.6	110 00110	011001 0110	011001 0110
D7.6	110 00111	111000 0110	000111 0110
D8.6	110 01000	111001 0110	000110 0110
D9.6	110 01001	100101 0110	100101 0110
D10.6	110 01010	010101 0110	010101 0110
D11.6	110 01011	110100 0110	110100 0110
D12.6	110 01100	001101 0110	001101 0110
D13.6	110 01101	101100 0110	101100 0110
D14.6	110 01110	011100 0110	011100 0110
D15.6	110 01111	010111 0110	101000 0110
D16.6	110 10000	011011 0110	100100 0110
D17.6	110 10001	100011 0110	100011 0110
D18.6	110 10010	010011 0110	010011 0110
D19.6	110 10011	110010 0110	110010 0110
D20.6	110 10100	001011 0110	001011 0110

表C-1:有效数据字符(续)

数据字节名	位 HGF EDCBA	当前研发- abcdei fghj	当前研发+ abcdei fghj
D21.6	110 10101	101010 0110	101010 0110
D22.6	110 10110	011010 0110	011010 0110
D23.6	110 10111	111010 0110	000101 0110
D24.6	110 11000	110011 0110	001100 0110
D25.6	110 11001	100110 0110	100110 0110
D26.6	110 11010	010110 0110	010110 0110
D27.6	110 11011	110110 0110	001001 0110
D28.6	110 11100	001110 0110	001110 0110
D29.6	110 11101	101110 0110	010001 0110
D30.6	110 11110	011110 0110	100001 0110
D31.6	110 11111	101011 0110	010100 0110
D0.7	111 00000	100111 0001	011000 1110
D1.7	111 00001	011101 0001	100010 1110
D2.7	111 00010	101101 0001	010010 1110
D3.7	111 00011	110001 1110	110001 0001
D4.7	111 00100	110101 0001	001010 1110
D5.7	111 00101	101001 1110	101001 0001
D6.7	111 00110	011001 1110	011001 0001
D7.7	111 00111	111000 1110	000111 0001
D8.7	111 01000	111001 0001	000110 1110
D9.7	111 01001	100101 1110	100101 0001
D10.7	111 01010	010101 1110	010101 0001
D11.7	111 01011	110100 1110	110100 1000
D12.7	111 01100	001101 1110	001101 0001
D13.7	111 01101	101100 1110	101100 1000
D14.7	111 01110	011100 1110	011100 1000
D15.7	111 01111	010111 0001	101000 1110
D16.7	111 10000	011011 0001	100100 1110
D17.7	111 10001	100011 0111	100011 0001
D18.7	111 10010	010011 0111	010011 0001
D19.7	111 10011	110010 1110	110010 0001
D20.7	111 10100	001011 0111	001011 0001

表C-1:有效数据字符(续)

数据字节名	位 HGF EDCBA	当前研发- abcdei fghj	当前研发+ abcdei fghj
D21.7	111 10101	101010 1110	101010 0001
D22.7	111 10110	011010 1110	011010 0001
D23.7	111 10111	111010 0001	000101 1110
D24.7	111 11000	110011 0001	001100 1110
D25.7	111 11001	100110 1110	100110 0001
D26.7	111 11010	010110 1110	010110 0001
D27.7	111 11011	110110 0001	001001 1110
D28.7	111 11100	001110 1110	001110 0001
D29.7	111 11101	101110 0001	010001 1110
D30.7	111 11110	011110 0001	100001 1110
D31.7	111 11111	101011 0001	010100 1110

表C-2:有效控制K字符

特殊代号	位 HGF EDCBA	当前研发- abcdei fghj	当前研发+ abcdei fghj
K28.0	000 11100	001111 0100	110000 1011
K28.1	001 11100	001111 1001	110000 0110
K28.2	010 11100	001111 0101	110000 1010
K28.3	011 11100	001111 0011	110000 1100
K28.4	100 11100	001111 0010	110000 1101
K28.5	101 11100	001111 1010	110000 0101
K28.6	110 11100	001111 0110	110000 1001
K28.7 <sup>(1)</sup>	111 11100	001111 1000	110000 0111
K23.7	111 10111	111010 1000	000101 0111
K27.7	111 11011	110110 1000	001001 0111
K29.7	111 11101	101110 1000	010001 0111
K30.7	111 11110	011110 1000	100001 0111

**注意事项:**

1.仅用于测试和表征。



# GTX/GTH收发器的DRP地址图

表D-1列出了按地址排序的GTX2\_COMMON原语的DRP映射。

**注意:**不应修改保留位。未明确描述的属性由7系列FPGAs收发器向导自动设置。这些属性必须保留默认值，除非用例明确要求不同的值。

表D-1:GTX2\_COMMON原语的DRP映射

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划(distribution resource planning)编码
0030	15:0	读写	QPLL_INIT_CFG	15:0	0–65535	0–65535
0031	14:11	读写	QPLL_LPF	3:0	0–15	0–15
0031	7:0	读写	QPLL_INIT_CFG	23:16	0–255	0–255
0032	15:0	读写	QPLL_CFG	15:0	0–65535	0–65535
0033	15:11	读写	QPLL_REFCLK_DIV	4:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
0033	10:0	读写	QPLL_CFG	26:16	0–2047	0–2047
0034	15:0	读写	QPLL_LOCK_CFG	15:0	0–65535	0–65535
0035	15:10	读写	QPLL_COARSE_FREQ_OVRD	5:0	0–63	0–63
0035	9:0	读写	QPLL_CP	9:0	0–1023	0–1023
0036	15	读写	QPLL_DMONITOR_SEL	0	0–1	0–1

表D-1:GTX2\_COMMON原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划(distribution on resource planning)编码
0036	14	读写	QPLL_FBDIV_MONITOR_EN	0	0-1	0-1
0036	13	读写	QPLL_CP_MONITOR_EN	0	0-1	0-1
0036	11	读写	QPLL_COARSE_FREQ_OVRD_EN	0	0-1	0-1
0036	9:0	读写	QPLL_FBDIV	9:0	0-1023	0-1023
0037	6	读写	QPLL_FBDIV_RATIO	0	0-1	0-1
0037	5:2	读写	QPLL_CLKOUT_CFG	3:0	0-15	0-15
003E	15:0	读写	BIAS_CFG	15:0	0-65535	0-65535
003F	15:0	读写	BIAS_CFG	31:16	0-65535	0-65535
0040	15:0	读写	BIAS_CFG	47:32	0-65535	0-65535
0041	15:0	读写	BIAS_CFG	63:48	0-65535	0-65535
0043	15:0	读写	COMMON_CFG	15:0	0-65535	0-65535
0044	15:0	读写	COMMON_CFG	31:16	0-65535	0-65535

表D-2列出了按地址排序的GTX2\_CHANNEL原语的DRP映射。

**注意:**不应修改保留位。未明确描述的属性由7系列FPGAs收发器向导自动设置。这些属性必须保留默认值,除非用例明确要求不同的值。

表D-2:GTX2\_CHANNEL原语的DRP映射

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划(distribution on resource planning)编码
000	1	读写	UCODEER_CLR	0	0-1	0-1
00D	15	读写	RXDFELPMRESET_TIME	0	0-1	0-1
00D	14:10	读写	RXCDRPHRESET_TIME	4:0	0-31	0-31
00D	9:5	读写	RXCDRFREQRESET_TIME	4:0	0-31	0-31
00D	4:0	读写	RXBUFFRESET_TIME	4:0	0-31	0-31
00E	15:11	读写	RXPCSRESET_TIME	4:0	0-31	0-31
00E	10:6	读写	RXPMARESET_TIME	4:0	0-31	0-31
00E	5:0	读写	RXDFELPMRESET_TIME	6:1	0-63	0-63
00F	14:10	读写	RXISCANRESET_TIME	4:0	0-31	0-31
00F	9:5	读写	TXPCSRESET_TIME	4:0	0-31	0-31
00F	4:0	读写	TXPMARESET_TIME	4:0	0-31	0-31
011	14	读写	RX_INT_DATAWIDTH	0	0-1	0-1
					16	2

表D-2:GTX2_CHANNEL原语的DRP映射(续)	RX_数据_宽度	2:0	20	3
			32	4
			40	5
			64	6
			80	7



表D-2:GTX2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划 (distribution on resource planning) 编码
					1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
011	5:4	读写	RX_CM_SEL	1:0	0~3	0~3
011	3:1	读写	RX_CM_TRIM	2:0	0~7	0~7
011	0	读写	RXPRBS_ERR_LOOPBACK	0	0~1	0~1
012	15:12	读写	萨塔_突发_SEQ_伦	3:0	0~15	0~15
012	11:10	读写	OUTREFCLK_SEL_INV	1:0	0~3	0~3
012	9:7	读写	SATA_BURST_VAL	2:0	0~7	0~7

012	6:0	读写	RXOOB_CFG	6:0	0–127	0–127
013	14:9	读写	SAS_MIN_COM	5:0	1–63	1–63

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划 (distribution on resource planning) 编码
013	8:3	读写	SATA_MIN_BURST	5:0	1-61	1-61
013	2:0	读写	SATA_EIDLE_VAL	2:0	0-7	0-7
014	11:6	读写	SATA_MIN_WAKE	5:0	1-63	1-63
014	5:0	读写	SATA_MIN_INIT	5:0	1-63	1-63
015	12:6	读写	SAS_MAX_COM	6:0	1-127	1-127
015	5:0	读写	SATA_MAX_BURST	5:0	1-63	1-63
016	11:6	读写	SATA_MAX_WAKE	5:0	1-63	1-63
016	5:0	读写	SATA_MAX_INIT	5:0	1-63	1-63
018	7:0	读写	运输时间费率	7:0	0-255	0-255
019	12	读写	TX_预驱动模式	0	0-1	0-1
019	11:9	读写	TX_EIDLE_DEASSERT_DELAY	2:0	0-7	0-7
019	8:6	读写	TX_EIDLE_ASSERT_DELAY	2:0	0-7	0-7
019	5	读写	TX_环回_驱动_HIZ	0	错误的 真实的	0 1
019	4:0	读写	TX_驱动模式	4:0	直接的	0
					管	1
					管道3	2
01A	15:8	读写	PD_TRANS_TIME_TO_P2	7:0	0-255	0-255
01A	7:0	读写	PD_运输_时间_无_P2	7:0	0-255	0-255
01B	12:1	读写	从P2出发的运输时间	11:0	0-4095	0-4095
01B	0	读写	PCS_PCIE_EN	0	错误的	0
					真实的	1
01C	15	读写	TXBUF_RESET_ON_速率变化	0	错误的	0
					真实的	1
01C	14	读写	TXBUF_EN	0	错误的	0
					真实的	1
01C	5	读写	TXGEARBOX_EN	0	错误的	0
					真实的	1
01C	2:0	读写	变速箱_模式	2:0	0-7	0-7
01D	15:0	读写	RX_DFE_GAIN_CFG	15:0	0-65535	0-65535
01E	6:0	读写	RX_DFE_GAIN_CFG	22:16	0-127	0-127
01E	14	读写	RX_DFE_LPM_保持_期间_EIDLE	0	0-1	0-1
01F	11:0	读写	RX_DFE_H2_CFG	11:0	0-4095	0-4095
020	11:0	读写	RX_DFE_H3_CFG	11:0	0-4095	0-4095
021	10:0	读写	RX_DFE_H4_CFG	10:0	0-2047	0-2047

022	10:0	读写	RX_DFE_H5_CFG	10:0	0~2047	0~2047
023	12:0	读写	RX_DFE_KL_CFG	12:0	0~8191	0~8191
024	15	读写	RX_DFE_UT_CFG	0	0~1	0~1
<b>DRP地址(十六进制)</b>	<b>DRP位</b>	<b>读写</b>	<b>属性名</b>	<b>属性位</b>	<b>属性编码</b>	<b>分销资源计划(distribution on resource planning)编码</b>
025	15:0	读写	RX_DFE_UT_CFG	16:1	0~65535	0~65535
024	12:0	读写	RX_OS_CFG	12:0	0~8191	0~8191
026	15:0	读写	RX_DFE_VP_CFG	15:0	0~65535	0~65535
027	0	读写	RX_DFE_VP_CFG	16	0~1	0~1
028	12:0	读写	RX_DFE_XYD_CFG	12:0	0~8191	0~8191
029	15:0	读写	RX_DFE_LPM_CFG	15:0	0~65535	0~65535
02A	13:0	读写	RXLPM_HF_CFG	13:0	0~16383	0~16383
02B	13:0	读写	RXLPM_LF_CFG	13:0	0~16383	0~16383
02C	15:0	读写	ES_限定符	15:0	0~65535	0~65535
02D	15:0	读写	ES_限定符	31:16	0~65535	0~65535
02E	15:0	读写	ES_限定符	47:32	0~65535	0~65535
02F	15:0	读写	ES_限定符	63:48	0~65535	0~65535
030	15:0	读写	ES_限定符	79:64	0~65535	0~65535
031	15:0	读写	QUAL面具	15:0	0~65535	0~65535
032	15:0	读写	QUAL面具	31:16	0~65535	0~65535
033	15:0	读写	QUAL面具	47:32	0~65535	0~65535
034	15:0	读写	QUAL面具	63:48	0~65535	0~65535
035	15:0	读写	QUAL面具	79:64	0~65535	0~65535
036	15:0	读写	数据掩码	15:0	0~65535	0~65535
037	15:0	读写	数据掩码	31:16	0~65535	0~65535
038	15:0	读写	数据掩码	47:32	0~65535	0~65535
039	15:0	读写	数据掩码	63:48	0~65535	0~65535
03A	15:0	读写	数据掩码	79:64	0~65535	0~65535
03B	15:11	读写	ES_预标度	4:0	0~31	0~31
03B	8:0	读写	垂直偏移	8:0	0~511	0~511
03C	11:0	读写	水平偏移	11:0	0~4095	0~4095
03D	15	读写	RX_DISPERR_SEQ_MATCH	0	错误的	0
					真实的	1
03D	14	读写	DEC_PCOMMA_DETECT	0	错误的	0
					真实的	1
03D	13	读写	DEC_MCOMMA_DETECT	0	错误的	0
					真实的	1
03D	12	读写	仅十进制有效逗号	0	错误的	0
					真实的	1
03D	9	读写	ES_ERRDET_EN	0	错误的	0
					真实的	1

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

03D	8	读写	视觉扫描	0	错误的	0
					真实的	1
03D	5:0	读写	ES_控制	5:0	0–63	0–63
03E	9:0	读写	对齐逗号启用	9:0	0–1023	0–1023

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划(distribution on resource planning)编码
03F	9:0	读写	ALIGN_MCOMMA_VALUE	9:0	0~1023	0~1023
040	15:14	读写	RXSLIDE_MODE	1:0	离开	0
					汽车	1
					个人通讯业务	2
					(美)太平洋海运协会 (Pacific Maritime Association)	3
040	9:0	读写	ALIGN_PCOMMA_VALUE	9:0	0~1023	0~1023
041	15:13	读写	对齐逗号单词	2:0	1	1
					2	2
					4	4

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划 (distribution resource planning) 编码
041	12:8	读写	接收信号有效DLY	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
041	7	读写	对齐_PCOMMA_DET	0	错误的	0
					真实的	1
041	6	读写	ALIGN_MCOMMA_DET	0	错误的	0
					真实的	1
041	5	读写	显示_重新对齐_逗号	0	错误的	0
					真实的	1

041	4	读写	ALIGN_逗号_DOUBLE	0	错误的 真实的	0 1
-----	---	----	-----------------	---	------------	--------

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划(distribution on resource planning)编码
041	3:0	读写	RXSLIDE_AUTO_WAIT	3:0	0~15	0~15
044	14	读写	CLK_正确_使用	0	错误的	0
					真实的	1
044	13:10	读写	CLK科尔SEQ 1启用	3:0	0~15	0~15
044	9:0	读写	SEQ CLK科尔1 1	9:0	0~1023	0~1023
045	15:10	读写	COR_科尔_马克斯_拉特	5:0	3~60	3~60
045	9:0	读写	SEQ CLK科尔1 2	9:0	0~1023	0~1023
046	15:10	读写	CLK科尔分拉特	5:0	3~60	3~60
046	9:0	读写	SEQ CLK科尔1 3	9:0	0~1023	0~1023
047	14:10	读写	COR_科尔_重复_等待	4:0	0~31	0~31
047	9:0	读写	SEQ CLK科尔1 4	9:0	0~1023	0~1023
048	14	读写	SEQ CLK科尔2用途	0	错误的	0
					真实的	1
048	13:10	读写	CLK科尔SEQ 2启用	3:0	0~15	0~15
048	9:0	读写	SEQ CLK科尔_2_1	9:0	0~1023	0~1023
049	13	读写	CLK保持空闲	0	错误的	0
					真实的	1
049	12	读写	CLK优先	0	错误的	0
					真实的	1
049	11:10	读写	CLK科尔SEQ莱恩	1:0	1	0
					2	1
					3	2
					4	3
049	9:0	读写	SEQ CLK科尔2号	9:0	0~1023	0~1023
04A	9:0	读写	SEQ CLK科尔_2_3	9:0	0~1023	0~1023
04B	15	读写	RXGEARBOX_EN	0	错误的	0
					真实的	1
04B	9:0	读写	SEQ CLK科尔_2_4	9:0	0~1023	0~1023
04C	15:12	读写	陈_邦德_SEQ_1_使能	3:0	0~15	0~15
04C	9:0	读写	陈_邦德_SEQ_1_1	9:0	0~1023	0~1023
04D	15:14	读写	陈_邦德_SEQ_莱恩	1:0	1	0
					2	1
					3	2
					4	3
04D	9:0	读写	陈_邦德_SEQ_1_2	9:0	0~1023	0~1023
04E	15	读写	改变_焊接_保持_对齐	0	错误的	0

					真实的	1
04E	9:0	读写	陈_邦德_SEQ_1_3	9:0	0~1023	0~1023
DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划(distribution resource planning)编码
04F	9:0	读写	陈_邦德_SEQ_1_4	9:0	0~1023	0~1023
050	15:12	读写	CHAN_BOND_SEQ_2_启用	3:0	0~15	0~15
050	11	读写	陈_邦德_SEQ_2_使用	0	错误的 真实的	0 1
050	9:0	读写	陈_邦德_SEQ_2_1	9:0	0~1023	0~1023
051	15:12	读写	FTS_莱恩_纠偏_CFG	3:0	0~15	0~15
051	11	读写	FTS车道纠偏	0	错误的 真实的	0 1
051	9:0	读写	陈_邦德_SEQ_2_2	9:0	0~1023	0~1023
052	15:12	读写	FTS_纠偏_SEQ_启用	3:0	0~15	0~15
052	11	读写	CBCC_数据_来源_选择	0	编码 译解	0 1
052	9:0	读写	陈_邦德_SEQ_2_3	9:0	0~1023	0~1023
053	15:12	读写	改变_结合_最大_偏斜	3:0	1~14	1~14
053	9:0	读写	陈_邦德_SEQ_2_4	9:0	0~1023	0~1023
054	15:0	读写	RXDLY_TAP_CFG	15:0	0~65535	0~65535
055	15:0	读写	RXDLY_CFG	15:0	0~65535	0~65535
057	12:8	读写	RXPH_监控_选择	4:0	0~31	0~31
057	5:0	读写	接收DDI选择	5:0	0~63	0~63
059	7	读写	TX_XCLK_SEL	0	TXOUT TXUSR	0 1
059	6	读写	RX_XCLK_SEL	0	RXREC RXUSR	0 1
05B	15:0	读写	CPLL初始配置	15:0	0~65535	0~65535
05C	7:0	读写	CPLL初始配置	23:16	0~255	0~255
05C	15:8	读写	CPLL CFG	7:0	0~255	0~255
05D	15:0	读写	CPLL CFG	23:8	0~65535	0~65535
05E	15:14	读写	SATA_CPLL_CFG	1:0	VCO_3000MHZ VCO_1500MHZ VCO_750MHZ	0 1 2

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划 (distribution on resource planning) 编码
05E	12:8	读写	CPLL_参考时钟_分区	4:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
					4	0
					5	1
					1	16
					2	0
05E	6:0	读写	CPLL联邦调查局	6:0	3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
05F	15:0	读写	CPLL_洛克_CFG	15:0	0~65535	0~65535
060	15:0	读写	TXPHDLY_CFG	15:0	0~65535	0~65535
061	7:0	读写	TXPHDLY_CFG	23:16	0~255	0~255
062	15:0	读写	TXDLY_CFG	15:0	0~65535	0~65535
063	15:0	读写	TXDLY_TAP_CFG	15:0	0~65535	0~65535
064	15:0	读写	TXPH_CFG	15:0	0~65535	0~65535
065	12:8	读写	TXPH_监控_选择	4:0	0~31	0~31
066	11:0	读写	RX_BIAS_CFG	11:0	0~4095	0~4095
068	1	读写	TX_CLKMUX_PD	0	0~1	0~1
068	0	读写	RX_CLKMUX_PD	0	0~1	0~1
069	8	读写	学期_RCAL_OVRD	0	0~1	0~1
069	4:0	读写	期限_RCAL_CFG	4:0	0~31	0~31

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划 (distribution on resource planning) 编码
06A	4:0	读写	TX_CLK25_DIV	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
06B	15	读写	德克萨斯QPI状态	0	0-1	0-1
06B	4	读写	TX_INT_DATAWIDTH	0	0	0
					1	1

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划 (distribution on resource planning) 编码
06B	2:0	读写	TX_数据_宽度	2:0	16	2
					20	3
					32	4
					40	5
					64	6
					80	7
06F	15:0	读写	PCS	15:0	0~65535	0~65535
070	15:0	读写	PCS	31:16	0~65535	0~65535
071	15:0	读写	PCS	47:32	0~65535	0~65535
074	15:11	读写	RX_DFE_KL_CFG2	8:4	0~31	0~31
074	3:0	读写	RX_DFE_KL_CFG2	3:0	0~15	0~15
075	14:8	读写	TX_MARGIN_满1	6:0	0~127	0~127
075	6:0	读写	TX_MARGIN_满0	6:0	0~127	0~127
076	14:8	读写	TX_MARGIN_FULL_3	6:0	0~127	0~127
076	6:0	读写	发送毛利满2	6:0	0~127	0~127
077	14:8	读写	TX_MARGIN_LOW_0	6:0	0~127	0~127
077	6:0	读写	TX_MARGIN_FULL_4	6:0	0~127	0~127
078	14:8	读写	TX_MARGIN_LOW_2	6:0	0~127	0~127
078	6:0	读写	TX_MARGIN_LOW_1	6:0	0~127	0~127
079	14:8	读写	TX_MARGIN_LOW_4	6:0	0~127	0~127
079	6:0	读写	TX_MARGIN_LOW_3	6:0	0~127	0~127
07A	12:8	读写	TX_DEEMPH1	4:0	0~31	0~31
07A	4:0	读写	TX_DEEMPH0	4:0	0~31	0~31
07C	10:8	读写	TX_RXDETECT_REF	2:0	0~7	0~7
07C	3	读写	TX_主光标_选择	0	0~1	0~1
07C	1:0	读写	PMA_RSV3	1:0	0~3	0~3
07D	13:0	读写	TX_RXDETECT_CFG	13:0	0~16383	0~16383
07F	14:10	读写	RX_DFE_KL_CFG2	17:13	0~31	0~31
07F	3:0	读写	RX_DFE_KL_CFG2	12:9	0~15	0~15
082	15:0	读写	RSV2 PMA	15:0	0~65535	0~65535
083	15:7	读写	RX_DFE_KL_CFG2	26:18	0~511	0~511
086	15:0	读写	DMONITOR_CFG	15:0	0~65535	0~65535
087	7:0	读写	DMONITOR_CFG	23:16	0~255	0~255
					1	0
					2	1

088	6:4	读写	TXOUT_DIV	2:0	4	2
					8	3
					16	4
<b>DRP地址(十六进制)</b>	<b>DRP位</b>	<b>读写</b>	<b>属性名</b>	<b>属性位</b>	<b>属性编码</b>	<b>分销资源计划(distribution resource planning)编码</b>
088	2:0	读写	RXOUT_DIV	2:0	1 2 4 8 16	0 1 2 3 4
08C	7:3	读写	RX_DFE_KL_CFG2	31:27	0~31	0~31
091	15:0	读写	PMA_RSV4	15:0	0~65535	0~65535
092	15:0	读写	PMA_RSV4	31:16	0~65535	0~65535
097	15:0	读写	TST_RSV	15:0	0~65535	0~65535
098	15:0	读写	TST_RSV	31:16	0~65535	0~65535
099	15:0	读写	PMA_RSV	15:0	0~65535	0~65535
09A	15:0	读写	PMA_RSV	31:16	0~65535	0~65535
09B	5:0	读写	RX_缓冲区_CFG	5:0	0~63	0~63
09C	13:8	读写	RXBUF_THRESH_OVFLW	5:0	0~63	0~63
09C	5:0	读写	RXBUF_THRESH_UNDFLW	5:0	0~63	0~63
09D	15:12	读写	RXBUF_EIDLE_HI_CNT	3:0	0~15	0~15
09D	11:8	读写	RXBUF_EIDLE_LO_CNT	3:0	0~15	0~15
09D	7	读写	rx buf _ ADDR _模式	0	全部	0
					快的	1
09D	6	读写	RXBUF_RESET_ON_EIDLE	0	错误的	0
					真实的	1
09D	5	读写	RXBUF_复位_开_CB_改变	0	错误的	0
					真实的	1
09D	4	读写	RXBUF_RESET_ON_速率变化	0	错误的	0
					真实的	1
09D	3	读写	RXBUF_RESET_ON_COMMALIGN	0	错误的	0
					真实的	1
09D	2	读写	RXBUF_THRESH_OVRD	0	错误的	0
					真实的	1
09D	1	读写	RXBUF_EN	0	错误的	0
					真实的	1
09D	0	读写	RX_DEFER_RESET_BUF_EN	0	错误的	0
					真实的	1
09F	8:0	读写	TXDLY	8:0	0~511	0~511

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

0A0	8:0	读写	RXDLY	8:0	0~511	0~511
0A1	15:0	读写	RXPH_CFG	15:0	0~65535	0~65535
0A2	7:0	读写	RXPH_CFG	23:16	0~255	0~255
0A3	15:0	读写	RXPHDLY_CFG	15:0	0~65535	0~65535
0A4	7:0	读写	RXPHDLY_CFG	23:16	0~255	0~255
0A5	11:0	读写	RX_DEBUG_CFG	11:0	0~2047	0~2047

表D-2:GTX2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划(distribution on resource planning)编码
0A6	9:0	读写	埃斯PMA CFG	9:0	0-1023	0-1023
0A7	13	读写	RXCDR_PH_RESET_ON_EIDLE	0	0-1	0-1
0A7	12	读写	RXCDR_FR_RESET_ON_EIDLE	0	0-1	0-1
0A7	11	读写	RXCDR_HOLD_DURING_EIDLE	0	0-1	0-1
0A7	5:0	读写	RXCDR_LOCK_CFG	5:0	0-63	0-63
0A8	15:0	读写	RXCDR_CFG	15:0	0-65535	0-65535
0A9	15:0	读写	RXCDR_CFG	31:16	0-65535	0-65535
0AA	15:0	读写	RXCDR_CFG	47:32	0-65535	0-65535
0AB	15:0	读写	RXCDR_CFG	63:48	0-65535	0-65535
0AC	7:0	读写	RXCDR_CFG	71:64	0-255	0-255
14E	6:0	读写	逗号对齐延迟	6:0	0-127	0-127
15C	15:0	R	RX_PRBS_错误_计数	15:0	0-65535	0-65535

表D-3列出了按地址排序的GTH2\_COMMON原语的DRP映射。

**注意:**不应修改保留位。未明确描述的属性由7系列FPGAs收发器向导自动设置。这些属性必须保留默认值,除非用例明确要求不同的值。

表D-3:GTH2\_COMMON原语的DRP映射

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划(distribution on resource planning)编码
0030	15:0	读写	QPLL_INIT_CFG	15:0	0-65535	0-65535
0031	14:11	读写	QPLL_LPF	3:0	0-15	0-15
0031	7:0	读写	QPLL_INIT_CFG	23:16	0-255	0-255
0032	15:0	读写	QPLL_CFG	15:0	0-65535	0-65535
0033	15:11	读写	QPLL_REFCLK_DIV	4:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7

					12	13
					16	14
					20	15
0033	10:0	读写	QPLL_CFG	26:16	0–2047	0–2047



表D-3:GTH2\_COMMON原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	分销资源计划 (distribution on resource planning) 编码
0034	15:0	读写	QPLL_LOCK_CFG	15:0	0-65535	0-65535
0035	15:10	读写	QPLL_COARSE_FREQ_OVRD	5:0	0-63	0-63
0035	9:0	读写	QPLL_CP	9:0	0-1023	0-1023
0036	15	读写	QPLL_DMONITOR_SEL	0	0-1	0-1
0036	14	读写	QPLL_FBDIV_MONITOR_EN	0	0-1	0-1
0036	13	读写	QPLL_CP_MONITOR_EN	0	0-1	0-1
0036	11	读写	QPLL_COARSE_FREQ_OVRD_EN	0	0-1	0-1
0036	9:0	读写	QPLL_FBDIV	9:0	0-1023	0-1023
0037	6	读写	QPLL_FBDIV_RATIO	0	0-1	0-1
0037	5:2	读写	QPLL_CLKOUT_CFG	3:0	0-15	0-15
003D	15:0	读写	RSVD_ATTR1	15:0	0-65535	0-65535
003E	15:0	读写	BIAS_CFG	15:0	0-65535	0-65535
003F	15:0	读写	BIAS_CFG	31:16	0-65535	0-65535
0040	15:0	读写	BIAS_CFG	47:32	0-65535	0-65535
0041	15:0	读写	BIAS_CFG	63:48	0-65535	0-65535
0042	15:0	读写	RSVD attr 0	15:0	0-65535	0-65535
0043	15:0	读写	COMMON_CFG	15:0	0-65535	0-65535
0044	15:0	读写	COMMON_CFG	31:16	0-65535	0-65535
0047	14:13	读写	RCAL CFG	1:0	0-3	0-3
0047	12	读写	QPLL_RP_COMP	0	0-1	0-1
0047	11:10	读写	QPLL_VTRL_RESET	1:0	0-3	0-3

表D-4列出了按地址排序的GTH2\_CHANNEL原语的DRP映射。

**注意:**不应修改保留位。未明确描述的属性由7系列FPGAs收发器向导自动设置。这些属性必须保留默认值，除非用例明确要求不同的值。

表D-4:GTH2\_CHANNEL原语的DRP映射

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0000	15	读写	ACJTAG_RESET	0	0-1	0-1
0000	14	读写	ACJTAG_DEBUG_MODE	0	0-1	0-1
0000	13	读写	ACJTAG_MODE	0	0-1	0-1
0000	1	读写	UCODEER_CLR	0	0-1	0-1
000A	5	读写	A_RXOSCALRESET	0	0-1	0-1
000C	15:9	读写	RXDFELPMRESET_TIME	6:0	0-127	0-127

000D	14:10	读写	RXCDRPHRESET_TIME	4:0	0-31	0-31
------	-------	----	-------------------	-----	------	------

表D-3:GTH2\_COMMON(康福斯DRP映射)(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
000D	9:5	读写	RXCDFREQRESET_TIME	4:0	0~31	0~31
000D	4:0	读写	RXBUFFRESET_TIME	4:0	0~31	0~31
000E	15:11	读写	RXPCSRESET_TIME	4:0	0~31	0~31
000E	10:6	读写	RXPMARESET_TIME	4:0	0~31	0~31
000F	14:10	读写	RXISCANRESET_TIME	4:0	0~31	0~31
000F	9:5	读写	TXPCSRESET_TIME	4:0	0~31	0~31
000F	4:0	读写	TXPMARESET_TIME	4:0	0~31	0~31
0010	15	读写	RXSYNC_OVRD	0	0~1	0~1
0010	14	读写	TXSYNC_OVRD	0	0~1	0~1
0010	13	读写	TXSYNC_SKIP_DA	0	0~1	0~1
0010	12	读写	RXSYNC_SKIP_DA	0	0~1	0~1
0010	11	读写	TXSYNC_MULTILANE	0	0~1	0~1
0010	10	读写	RXSYNC_MULTILANE	0	0~1	0~1
0011	14	读写	RX_INT_DATAWIDTH	0	0~1	0~1
0011	13:11	读写	RX_数据_宽度	2:0	16	2
					20	3
					32	4
					40	5
					64	6
					80	7



表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0011	10:6	读写	RX_CLK25_DIV	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
0011	5:4	读写	RX_CM_SEL	1:0	0-3	0-3
0011	0	读写	RXPRBS_ERR_LOOPBACK	0	0-1	0-1
0012	15:12	读写	萨塔_突发_SEQ_伦	3:0	0-15	0-15
0012	11:10	读写	OUTREFCLK_SEL_INV	1:0	0-3	0-3
0012	9:7	读写	SATA_BURST_VAL	2:0	0-7	0-7
0012	6:0	读写	RXOOB_CFG	6:0	0-127	0-127
0013	14:9	读写	SAS_MIN_COM	5:0	1-63	1-63
0013	8:3	读写	SATA_MIN_BURST	5:0	1-61	1-61

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十 六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0013	2:0	读写	SATA_EIDLE_VAL	2:0	0~7	0~7
0014	11:6	读写	SATA_MIN_WAKE	5:0	1~63	1~63
0014	5:0	读写	SATA_MIN_INIT	5:0	1~63	1~63
0015	12:6	读写	SAS_MAX_COM	6:0	1~127	1~127
0015	5:0	读写	SATA_MAX_BURST	5:0	1~63	1~63
0016	11:6	读写	SATA_MAX_WAKE	5:0	1~63	1~63
0016	5:0	读写	SATA_MAX_INIT	5:0	1~63	1~63
0017	15:11	读写	RXOSCALRESET_TIMEOUT	4:0	0~31	0~31
0017	10:6	读写	RXOSCALRESET_TIME	4:0	0~31	0~31
0018	7:0	读写	运输时间费率	7:0	0~255	0~255
0019	11:9	读写	TX_EIDLE_DEASSERT_DELAY	2:0	0~7	0~7
0019	8:6	读写	TX_EIDLE_ASSERT_DELAY	2:0	0~7	0~7
0019	5	读写	TX_环回_驱动_HIZ	0	错误的	0
					真实的	1
0019	4:0	读写	TX_驱动模式	4:0	直接的	0
					管	1
					管道3	2
001A	15:8	读写	PD_TRANS_TIME_TO_P2	7:0	0~255	0~255
001A	7:0	读写	PD_运输_时间_无_P2	7:0	0~255	0~255
001B	12:1	读写	从P2出发的运输时间	11:0	0~4095	0~4095
001B	0	读写	PCS_PCIE_EN	0	错误的	0
					真实的	1
001C	15	读写	TXBUF_RESET_ON_速率_变化	0	错误的	0
					真实的	1
001C	14	读写	TXBUF_EN	0	错误的	0
					真实的	1
001C	5	读写	TXGEARBOX_EN	0	错误的	0
					真实的	1
001C	2:0	读写	变速箱_模式	2:0	0~7	0~7
001D	15:0	读写	RX_DFE_GAIN_CFG	15:0	0~65535	0~65535
001E	14	读写	RX_DFE_LPM_保持_期间_EIDLE	0	0~1	0~1
001E	6:0	读写	RX_DFE_GAIN_CFG	22:16	0~127	0~127
001F	11:0	读写	RX_DFE_H2_CFG	11:0	0~4095	0~4095
0020	11:0	读写	RX_DFE_H3_CFG	11:0	0~4095	0~4095
0021	10:0	读写	RX_DFE_H4_CFG	10:0	0~2047	0~2047
0022	10:0	读写	RX_DFE_H5_CFG	10:0	0~2047	0~2047
0024	15	读写	RX_DFE_UT_CFG	16	0~1	0~1
0024	12:0	读写	RX_OS_CFG	12:0	0~8191	0~8191
0025	15:0	读写	RX_DFE_UT_CFG	15:0	0~65535	0~65535

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0026	15:0	读写	RX_DFE_VP_CFG	15:0	0-65535	0-65535
0027	0	读写	RX_DFE_VP_CFG	16	0-1	0-1
0029	15:0	读写	RX_DFE_LPM_CFG	15:0	0-65535	0-65535
002A	15:14	读写	RXLPM_LF_CFG	17:16	0-3	0-3
002A	13:0	读写	RXLPM_HF_CFG	13:0	0-16383	0-16383
002B	15:0	读写	RXLPM_LF_CFG	15:0	0-65535	0-65535
002C	15:0	读写	ES_限定符	15:0	0-65535	0-65535
002D	15:0	读写	ES_限定符	31:16	0-65535	0-65535
002E	15:0	读写	ES_限定符	47:32	0-65535	0-65535
002F	15:0	读写	ES_限定符	63:48	0-65535	0-65535
0030	15:0	读写	ES_限定符	79:64	0-65535	0-65535
0031	15:0	读写	QUAL面具	15:0	0-65535	0-65535
0032	15:0	读写	QUAL面具	31:16	0-65535	0-65535
0033	15:0	读写	QUAL面具	47:32	0-65535	0-65535
0034	15:0	读写	QUAL面具	63:48	0-65535	0-65535
0035	15:0	读写	QUAL面具	79:64	0-65535	0-65535
0036	15:0	读写	数据掩码	15:0	0-65535	0-65535
0037	15:0	读写	数据掩码	31:16	0-65535	0-65535
0038	15:0	读写	数据掩码	47:32	0-65535	0-65535
0039	15:0	读写	数据掩码	63:48	0-65535	0-65535
003A	15:0	读写	数据掩码	79:64	0-65535	0-65535
003B	15:11	读写	ES_预标度	4:0	0-31	0-31
003B	8:0	读写	垂直偏移	8:0	0-511	0-511
003C	11:0	读写	水平偏移	11:0	0-4095	0-4095
003D	15	读写	RX_DISPERR_SEQ_MATCH	0	错误的	0
					真实的	1
003D	14	读写	DEC_PCOMMA_DETECT	0	错误的	0
					真实的	1
003D	13	读写	DEC_MCOMMA_DETECT	0	错误的	0
					真实的	1
003D	12	读写	仅十进制有效逗号	0	错误的	0
					真实的	1
003D	9	读写	ES_ERRDET_EN	0	错误的	0
					真实的	1
003D	8	读写	视觉扫描	0	错误的	0
					真实的	1
003D	5:0	读写	ES_控制	5:0	0-63	0-63
003E	9:0	读写	对齐逗号启用	9:0	0-1023	0-1023
003F	9:0	读写	ALIGN_MCOMMA_VALUE	9:0	0-1023	0-1023

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十 六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0040	15:14	读写	RXSLIDE_MODE	1:0	离开 汽车 个人通讯业务 (美)太平洋海运协会 (Pacific Maritime Association)	0 1 2 3
0040	9:0	读写	ALIGN_PCOMMA_VALUE	9:0	0~1023	0~1023
0041	15:13	读写	对齐逗号单词	2:0	1 2 4	1 2 4
0041	12:8	读写	接收信号有效DLY	4:0	1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27

表D-4:GTH2_CHANNEL原语的DRP映射(续)					29	28
					30	29
					31	30
					32	31
DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0041	7	读写	对齐_PCOMMA_DET	0	错误的 真实的	0 1
0041	6	读写	ALIGN_MCOMMA_DET	0	错误的 真实的	0 1
0041	5	读写	显示_重新对齐_逗号	0	错误的 真实的	0 1
0041	4	读写	ALIGN_逗号_DOUBLE	0	错误的 真实的	0 1
0041	3:0	读写	RXSLIDE_AUTO_WAIT	3:0	0~15	0~15
0044	14	读写	CLK_正确_使用	0	错误的 真实的	0 1
0044	13:10	读写	CLK科尔SEQ 1启用	3:0	0~15	0~15
0044	9:0	读写	SEQ CLK科尔1 1	9:0	0~1023	0~1023
0045	15:10	读写	COR_科尔_马克斯_拉特	5:0	3~60	3~60
0045	9:0	读写	SEQ CLK科尔1 2	9:0	0~1023	0~1023
0046	15:10	读写	CLK科尔分拉特	5:0	3~60	3~60
0046	9:0	读写	SEQ CLK科尔1 3	9:0	0~1023	0~1023
0047	14:10	读写	COR_科尔_重复_等待	4:0	0~31	0~31
0047	9:0	读写	SEQ CLK科尔1 4	9:0	0~1023	0~1023
0048	14	读写	SEQ CLK科尔2用途	0	错误的 真实的	0 1
0048	13:10	读写	CLK科尔SEQ 2启用	3:0	0~15	0~15
0048	9:0	读写	SEQ CLK科尔_2_1	9:0	0~1023	0~1023
0049	13	读写	CLK保持空闲	0	错误的 真实的	0 1
0049	12	读写	CLK优先	0	错误的 真实的	0 1
0049	11:10	读写	CLK科尔SEQ莱恩	1:0	1	0
					2	1
					3	2
					4	3
0049	9:0	读写	SEQ CLK科尔2号	9:0	0~1023	0~1023
004A	9:0	读写	SEQ CLK科尔_2_3	9:0	0~1023	0~1023
004B	15	读写	RXGEARBOX_EN	0	错误的 真实的	0 1
004B	9:0	读写	SEQ CLK科尔_2_4	9:0	0~1023	0~1023
004C	15:12	读写	陈_邦德_SEQ_1_使能	3:0	0~15	0~15
004C	9:0	读写	陈_邦德_SEQ_1_1	9:0	0~1023	0~1023

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
004D	15:14	读写	陈_邦德_SEQ_莱恩	1:0	1	0
					2	1
					3	2
					4	3
004D	9:0	读写	陈_邦德_SEQ_1_2	9:0	0~1023	0~1023
004E	15	读写	改变_焊接_保持_对齐	0	错误的	0
					真实的	1
004E	9:0	读写	陈_邦德_SEQ_1_3	9:0	0~1023	0~1023
004F	9:0	读写	陈_邦德_SEQ_1_4	9:0	0~1023	0~1023
0050	15:12	读写	CHAN_BOND_SEQ_2_启用	3:0	0~15	0~15
0050	11	读写	陈_邦德_SEQ_2_使用	0	错误的	0
					真实的	1
0050	9:0	读写	陈_邦德_SEQ_2_1	9:0	0~1023	0~1023
0051	15:12	读写	FTS_莱恩_纠偏_CFG	3:0	0~15	0~15
0051	11	读写	FTS车道纠偏	0	错误的	0
					真实的	1
0051	9:0	读写	陈_邦德_SEQ_2_2	9:0	0~1023	0~1023
0052	15:12	读写	FTS_纠偏_SEQ_启用	3:0	0~15	0~15
0052	11	读写	CBCC_数据_来源_选择	0	编码	0
					译解	1
0052	9:0	读写	陈_邦德_SEQ_2_3	9:0	0~1023	0~1023
0053	15:12	读写	改变_结合_最大_偏斜	3:0	1~14	1~14
0053	9:0	读写	陈_邦德_SEQ_2_4	9:0	0~1023	0~1023
0054	15:0	读写	RXDLY_TAP_CFG	15:0	0~65535	0~65535
0055	15:0	读写	RXDLY_CFG	15:0	0~65535	0~65535
0057	12:8	读写	RXPH_监控_选择	4:0	0~31	0~31
0057	5:0	读写	接收DDI选择	5:0	0~63	0~63
0059	7	读写	TX_XCLK_SEL	0	TXOUT	0
					TXUSR	1
0059	6	读写	RX_XCLK_SEL	0	RXREC	0
					RXUSR	1
005A	9	读写	TXOOB_CFG	0	0~1	0~1
005A	8	读写	环回_CFG	0	0~1	0~1
005B	15:0	读写	CPLL初始配置	15:0	0~65535	0~65535
005C	15:14	读写	RXPI_CFG3	1:0	0~3	0~3
005C	13:12	读写	RXPI_CFG0	1:0	0~3	0~3
005C	7:0	读写	CPLL初始配置	23:16	0~255	0~255
005D	14:13	读写	RXPI_CFG2	1:0	0~3	0~3
005D	12:11	读写	RXPI_CFG1	1:0	0~3	0~3

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
005D	10:8	读写	TXPI_CFG5	2:0	0~7	0~7
005D	7	读写	TXPI_CFG4	0	0~1	0~1
005D	6	读写	TXPI_CFG3	0	0~1	0~1
005D	5:4	读写	TXPI_CFG2	1:0	0~3	0~3
005D	3:2	读写	TXPI_CFG1	1:0	0~3	0~3
005D	1:0	读写	TXPI_CFG0	1:0	0~3	0~3
005E	15:14	读写	SATA_CPLL_CFG	1:0	VCO_3000M兆赫兹	0
					VCO_1500M兆赫兹	1
					VCO_750MHZ	2
005E	12:8	读写	CPLL_参考时钟_分区	4:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
				0	4	0
					5	1
005E	6:0	读写	CPLL联邦调查局	6:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
005F	15:0	读写	CPLL_洛克_CFG	15:0	0~65535	0~65535
0060	15:0	读写	TXPHDLY_CFG	15:0	0~65535	0~65535
0061	15	读写	RXPI_CFG5	0	0~1	0~1
0061	14	读写	RXPI_CFG4	0	0~1	0~1
0061	7:0	读写	TXPHDLY_CFG	23:16	0~255	0~255

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十 六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0062	15:0	读写	TXDLY_CFG	15:0	0-65535	0-65535
0063	15:0	读写	TXDLY_TAP_CFG	15:0	0-65535	0-65535
0064	15:0	读写	TXPH_CFG	15:0	0-65535	0-65535
0065	12:8	读写	TXPH_监控_选择	4:0	0-31	0-31
0065	2:0	读写	RXPI_CFG6	2:0	0-7	0-7
0066	15:0	读写	RX_BIAS_CFG	15:0	0-65535	0-65535
0067	7:0	读写	RX_BIAS_CFG	23:16	0-255	0-255
0068	3	读写	RXOOB_CLK_CFG	0	(美)太平洋海 运协会 (Pacific Maritime Association)	0
					构造	1
0068	1	读写	TX_CLKMUX_EN	0	0-1	0-1
0068	0	读写	RX_CLKMUX_EN	0	0-1	0-1
0069	14:0	读写	期限_RCAL_CFG	14:0	0-32767	0-32767
006A	15:13	读写	学期_RCAL_OVRD	2:0	0-7	0-7
006A	4:0	读写	TX_CLK25_DIV	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
006A	4:0	读写	TX_CLK25_DIV (续)	4:0	12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
006B	15	读写	德克萨斯QPI状态	0	0~1	0~1
006B	11:8	读写	PMA_RSV5	3:0	0~15	0~15
006B	4	读写	TX_INT_DATAWIDTH	0	0	0
					1	1
006B	2:0	读写	TX_数据_宽度	2:0	16	2
					20	3
					32	4
					40	5
					64	6
					80	7
006F	15:0	读写	PCS	15:0	0~65535	0~65535
0070	15:0	读写	PCS	31:16	0~65535	0~65535
0071	15:0	读写	PCS	47:32	0~65535	0~65535
0072	15:0	读写	RX_DFE_KL_CFG	15:0	0~65535	0~65535
0073	15:0	读写	RX_DFE_KL_CFG	31:16	0~65535	0~65535
0074	12:9	读写	RX_DFE_AGCF_CFG2	3:0	0~15	0~15
0074	8:6	读写	RX_DFE_AGCF_CFG1	2:0	0~7	0~7
0074	5:4	读写	RX_DFE_AGCF_CFG0	1:0	0~3	0~3
0074	0	读写	RX_DFE_KL_CFG	32	0~1	0~1

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十 六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0075	14:8	读写	TX_MARGIN_满1	6:0	0~127	0~127
0075	6:0	读写	TX_MARGIN_满_0	6:0	0~127	0~127
0076	14:8	读写	TX_MARGIN_FULL_3	6:0	0~127	0~127
0076	6:0	读写	发送毛利满2	6:0	0~127	0~127
0077	14:8	读写	TX_MARGIN_LOW_0	6:0	0~127	0~127
0077	6:0	读写	TX_MARGIN_FULL_4	6:0	0~127	0~127
0078	14:8	读写	TX_MARGIN_LOW_2	6:0	0~127	0~127
0078	6:0	读写	TX_MARGIN_LOW_1	6:0	0~127	0~127
0079	14:8	读写	TX_MARGIN_LOW_4	6:0	0~127	0~127
0079	6:0	读写	TX_MARGIN_LOW_3	6:0	0~127	0~127
007A	13:8	读写	TX_DEEMPH1	5:0	0~63	0~63
007A	5:0	读写	TX_DEEMPH0	5:0	0~63	0~63
007B	15:0	读写	TX_RXDETECT_PRECHARGE_TIME	15:0	0~65535	0~65535
007C	15	读写	TX_RXDETECT_PRECHARGE_TIME	16	0~1	0~1
007C	13:11	读写	RX_DFE_KL_LPM_KL_CFG1	2:0	0~7	0~7
007C	10:8	读写	TX_RXDETECT_REF	2:0	0~7	0~7
007C	7:4	读写	RX_DFE_KL_LPM_KL_CFG2	3:0	0~15	0~15
007C	3	读写	TX_主光标_选择	0	0~1	0~1
007C	1:0	读写	PMA_RSV3	1:0	0~3	0~3
007D	13:0	读写	TX_RXDETECT_CFG	13:0	0~16383	0~16383
007E	14:13	读写	RX_DFE_KL_LPM_KL_CFG0	1:0	0~3	0~3
007E	12:9	读写	RX_DFE_KL_LPM_KH_CFG2	3:0	0~15	0~15
007E	8:6	读写	RX_DFE_KL_LPM_KH_CFG1	2:0	0~7	0~7
007E	5:4	读写	RX_DFE_KL_LPM_KH_CFG0	1:0	0~3	0~3
007E	3:0	读写	RX_CM_TRIM	3:0	0~15	0~15
007F	15:0	读写	CPLL CFG	15:0	0~65535	0~65535
0080	13	读写	RX_DFELPM_KLKH_AGC_STUP_EN	0	0~1	0~1
0080	12:0	读写	CPLL CFG	28:16	0~8191	0~8191
0081	7	读写	RX_DFE_KL_LPM_KH_OVRDEN	0	0~1	0~1
0081	6	读写	LPM吉隆坡国际机场	0	0~1	0~1
0081	5	读写	RX_DFE_ACC_OVRDEN	0	0~1	0~1
0081	4	读写	RX_DFELPM_CFG1	0	0~1	0~1
0081	3:0	读写	RX_DFELPM_CFG0	3:0	0~15	0~15
0082	15:0	读写	RSV2 PMA	15:0	0~65535	0~65535
0083	15:0	读写	RSV2 PMA	31:16	0~65535	0~65535
0084	10	读写	重置_节能_禁用	0	0~1	0~1

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
0086	15:0	读写	DMONITOR_CFG	15:0	0~65535	0~65535
0087	7:0	读写	DMONITOR_CFG	23:16	0~255	0~255
0088	6:4	读写	TXOUT_DIV	2:0	1	0
					2	1
					4	2
					8	3
					16	4
0088	2:0	读写	RXOUT_DIV	2:0	1	0
					2	1
					4	2
					8	3
					16	4
0089	15:0	读写	CFOK_CFG	15:0	0~65535	0~65535
008A	15:0	读写	CFOK_CFG	31:16	0~65535	0~65535
008B	15:10	读写	CFOK_CFG3	5:0	0~63	0~63
008B	9:0	读写	CFOK_CFG	41:32	0~1023	0~1023
008C	10:0	读写	RX_DFE_H6_CFG	10:0	0~2047	0~2047
008D	10:0	读写	RX_DFE_H7_CFG	10:0	0~2047	0~2047
008E	15:0	读写	RX_DFE_ST_CFG	15:0	0~65535	0~65535
008F	15:0	读写	RX_DFE_ST_CFG	31:16	0~65535	0~65535
0090	15:0	读写	RX_DFE_ST_CFG	47:32	0~65535	0~65535
0091	15	读写	CLK阶段选择	0	0~1	0~1
0091	14	读写	使用_PCS_CLK_相位_选择	0	0~1	0~1
0091	11:6	读写	CFOK_CFG2	5:0	0~63	0~63
0091	5:0	读写	RX_DFE_ST_CFG	53:48	0~63	0~63
0092	15:0	读写	ADAPT_CFG0	15:0	0~65535	0~65535
0093	3:0	读写	ADAPT_CFG0	19:16	0~15	0~15
0094	14:0	读写	PMA_RSV4	14:0	0~32767	0~32767
0095	7:0	读写	TXPI_PPM_CFG	7:0	0~255	0~255
0096	5	读写	TXPI_灰色_选择	0	0~1	0~1
0096	4	读写	TXPI_INVSTROBE_SEL	0	0~1	0~1
0096	3	读写	TXPI_PPMCLK_SEL	0	TXUSRCLK	0
					TXUSRCLK2	1
0096	2:0	读写	TXPI_SYNFFREQ_PPM	2:0	1~7	1~7
0097	15:0	读写	TST_RSV	15:0	0~65535	0~65535
0098	15:0	读写	TST_RSV	31:16	0~65535	0~65535
0099	15:0	读写	PMA_RSV	15:0	0~65535	0~65535
009A	15:0	读写	PMA_RSV	31:16	0~65535	0~65535
009B	5:0	读写	RX_缓冲区_CFG	5:0	0~63	0~63
009C	13:8	读写	RXBUF_THRESH_OVFLW	5:0	0~63	0~63

表D-4:GTH2\_CHANNEL原语的DRP映射(续)

DRP地址(十 六进制)	DRP位	读写	属性名	属性位	属性编码	二进制编码
009C	5:0	读写	RXBUF_THRESH_UNDFLW	5:0	0~63	0~63
009D	15:12	读写	RXBUF_EIDLE_HI_CNT	3:0	0~15	0~15
009D	11:8	读写	RXBUF_EIDLE_LO_CNT	3:0	0~15	0~15
009D	7	读写	rx buf _ ADDR _ 模式	0	全部	0
					快的	1
009D	6	读写	RXBUF_RESET_ON_EIDLE	0	错误的	0
					真实的	1
009D	5	读写	RXBUF_复位_开_CB_改变	0	错误的	0
					真实的	1
009D	4	读写	RXBUF_RESET_ON_速率_变化	0	错误的	0
					真实的	1
009D	3	读写	RXBUF_RESET_ON_COMMALIGN	0	错误的	0
					真实的	1
009D	2	读写	RXBUF_THRESH_OVRD	0	错误的	0
					真实的	1
009D	1	读写	RXBUF_EN	0	错误的	0
					真实的	1
009D	0	读写	RX_DEFER_RESET_BUF_EN	0	错误的	0
					真实的	1
009F	8:0	读写	TXDLY	8:0	0~511	0~511
00A0	8:0	读写	RXDLY	8:0	0~511	0~511
00A1	15:0	读写	RXPH_CFG	15:0	0~65535	0~65535
00A2	7:0	读写	RXPH_CFG	23:16	0~255	0~255
00A3	15:0	读写	RXPHDLY_CFG	15:0	0~65535	0~65535
00A4	7:0	读写	RXPHDLY_CFG	23:16	0~255	0~255
00A5	13:0	读写	RX_DEBUG_CFG	13:0	0~16383	0~16383
00A6	9:0	读写	埃斯PMA CFG	9:0	0~1023	0~1023
00A7	13	读写	RXCDR_PH_RESET_ON_EIDLE	0	0~1	0~1
00A7	12	读写	RXCDR_FR_RESET_ON_EIDLE	0	0~1	0~1
00A7	11	读写	RXCDR_HOLD_DURING_EIDLE	0	0~1	0~1
00A7	5:0	读写	RXCDR_LOCK_CFG	5:0	0~63	0~63
00A8	15:0	读写	RXCDR_CFG	15:0	0~65535	0~65535
00A9	15:0	读写	RXCDR_CFG	31:16	0~65535	0~65535
00AA	15:0	读写	RXCDR_CFG	47:32	0~65535	0~65535
00AB	15:0	读写	RXCDR_CFG	63:48	0~65535	0~65535
00AC	15:0	读写	RXCDR_CFG	79:64	0~65535	0~65535
公元 00年	2:0	读写	RXCDR_CFG	82:80	0~7	0~7
0150	6:0	读写	逗号对齐延迟	6:0	0~127	0~127
015E	15:0	R	RX_PRBS_Error_Count	15:0	0~65535	0~65535