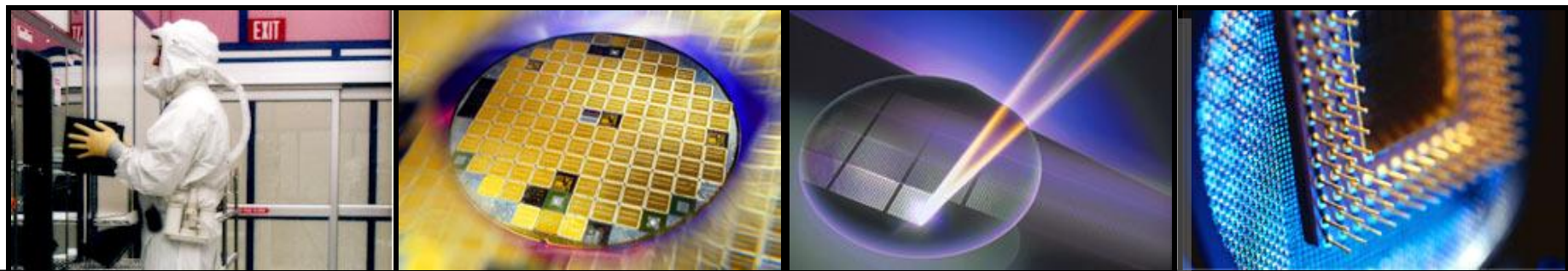




FPGA 时序优化设计和进阶



课程内容 (1)

- 专题1: FPGA系统设计和验证
 - FPGA标准设计流程
 - FPGA设计规范的内容
 - FPGA的验证方法
- 专题2: FPGA静态时序时序分析
 - 静态时序分析基本概念
 - 时钟参数满足的条件

课程内容 (2)

- 专题3: FPGA异步电路处理方法
 - 慢时钟信号进入快时钟域的处理方法
 - 快时钟信号进入慢时钟域的处理方法
 - 异步复位 (Reset) 路径处理方法
- 专题4: FPGA时序约束方法
 - FPGA时序约束目的
 - Xilinx FPGA时序约束方法
 - Altera FPGA时序约束方法

课程内容 (3)

- 专题5: FPGA时序优化方法

- FPGA中存在的时序问题
- 建立时间不满足的解决方法
- 保持时间不满足的解决方法
- 使用FPGA工具进行时序优化

- 专题6: FPGA复杂逻辑设计

- FPGA设计原则: 重定时, 流水线, 并行结构, 乒乓结构等
- FPGA复杂逻辑与算法实现基本结构: 数据通路与控制单元
- 有限状态机设计的流程和方法
- 实例分析

推荐书

- Verilog HDL高级数字设计
(Advanced Digital Design with the Verilog HDL)
Michael D. Ciletti著，张雅琦、李锵等译
电子工业出版社
- **Writing testbenches : functional verification of HDL models / Janick Bergeron Boston : Kluwer Academic**