

ΜΙΚΡΟΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΗ ΜΟΝΑΔΑ ΕΛΕΓΧΟΥ

3

Όνοματεπώνυμο : Παναγιώτης Αναγνωστόπουλος

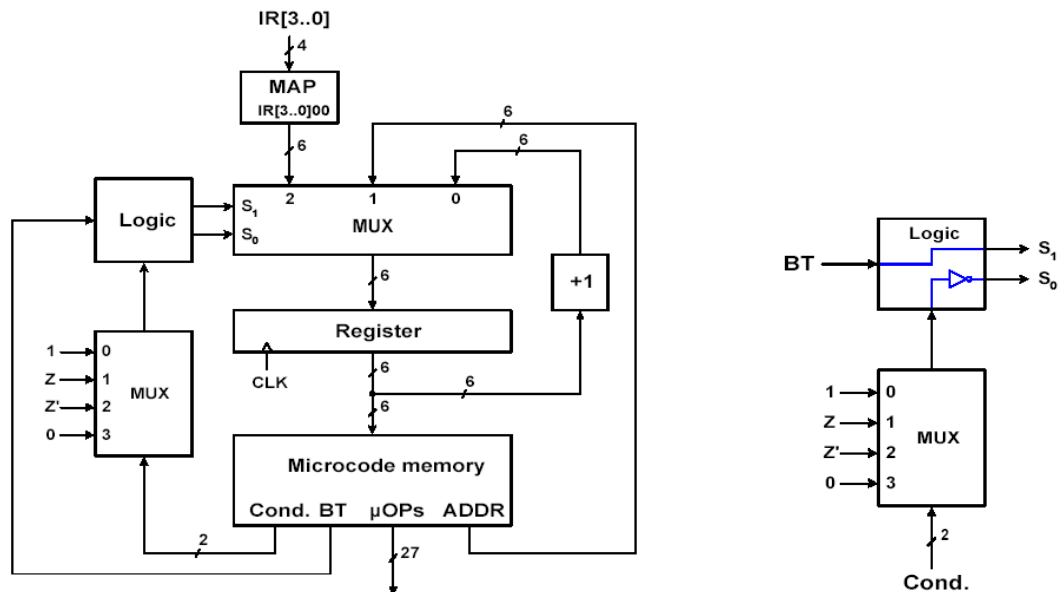
ΑΜ : 90930202100034

Ημερομηνία : 20/11/2025

Σκοπός

Με αφορμή την σχεδίαση και την εξομοίωση με διάφορους τρόπους, απλών ψηφιακών κυκλωμάτων θα κατακτηθεί το αντικείμενο της άσκησης αυτής που είναι η σχεδίαση της μονάδας ελέγχου, χρησιμοποιώντας την μικροπρογραμματιζόμενη (microprogrammed) λογική η οποία θα χρησιμοποιηθεί κατά την τελική σύνθεση της σχετικά απλής ΚΜΕ.

Η μονάδα ελέγχου είναι αυτή που παρέχει στην ΚΜΕ τα απαραίτητα σήματα ελέγχου για τη λειτουργία της. Η λογική σχεδίασής της θα είναι η μικροπρογραμματιζόμενη λογική (microprogrammed logic), η οποία θα υλοποιηθεί με έναν microsequencer (Σχήμα 1).



Σχήμα 1: Λογικό διάγραμμα Μονάδας Ελέγχου και λογική παραγωγής σημάτων ελέγχου S_0, S_1 .

Καταρχάς θα πρέπει να καθοριστεί η δομή μιας μικροεντολής (microinstruction) της ΚΜΕ. Μια μικροεντολή χωρίζεται σε τρία επιμέρους πεδία: SEL, μΟΡs και ADDR. Το πεδίο των μικροδιεργασιών (micro-operations) ή μΟΡs είναι εκείνο που περιέχει στην ουσία όλα τα σήματα ελέγχου που παρέχονται σε κάθε παλμό στην ΚΜΕ. Έτσι βάσει του διαγράμματος της εσωτερικής οργάνωσης της ΚΜΕ τα σήματα ελέγχου είναι τα ακόλουθα :

✓ Σήματα καταχώρησης	<i>ARLOAD,PCLOAD,DRLOAD,IRLOAD,TRLOAD,RLOAD,ACLOAD</i>
✓ Σήματα προσάυξης	<i>ARINC, PCINC</i>
✓ Σήματα ελέγχου της ALU	<i>ALUS 1, ALUS 2,...,ALUS 7</i>
✓ Σήματα που αφορούν τη μνήμη	<i>READ, WRITE</i>
✓ Σήματα ελέγχου των απομονωτών	<i>PCBUS, DRBUS, TRBUS, RBUS, ACBUS, MEMBUS, BUSMEM</i>

Τα σήματα αυτά μπορούν να ομαδοποιηθούν σε μία ψηφιολέξη, που θα αποτελεί το πεδίο των μικροδιεργασιών (μΟΡs) σε κάθε μικροεντολή. Στην πράξη όμως θα ακολουθηθεί μια διαφορετική προσέγγιση, όπου αντί των σημάτων ελέγχου της ALU (ALUS[1..7]) θα χρησιμοποιηθούν στο πεδίο των μικροδιεργασιών τα εξής οκτώ σήματα: ANDOP, OROP, XOROP, NOTOP, ACINC, ACZERO, PLUS και MINUS. Τα σήματα αυτά δεν αποτελούν απευθείας σήματα ελέγχου της ΚΜΕ, αλλά μέσω κάποιας λογικής παράγονται από αυτά τα επιθυμητά (σήματα). Κάθε ένα από αυτά αντιστοιχεί σε περισσότερες από μία μικροδιεργασίες.

Έτσι για παράδειγμα ενεργοποίηση του σήματος ADDOP, σημαίνει ότι λαμβάνει χώρα η διεργασία της πρόσθεσης (ADD) μεταξύ δύο αριθμών των 8-bits, η οποία για να υλοποιηθεί θα πρέπει να γίνουν κάποιες μικροδιεργασίες, μεταξύ των οποίων ενεργοποίηση των σημάτων ALUS 1 & 3 της ALU. Αντίστοιχα, η ενεργοποίηση του σήματος MINUS που αναφέρεται στην πράξη της αφαίρεσης, θα σημαίνει παράλληλα ενεργοποίηση των σημάτων ALUS 1, 2 & 4 μέσω κάποιας λογικής που θα παρεμβάλλεται μεταξύ της μονάδας ελέγχου και της ALU. Η ίδια λογική ισχύει και για τα υπόλοιπα σήματα που αντιστοιχούν σε διεργασίες που αφορούν την ALU και τον συσσωρευτή (AC). Έτσι τελικά το πεδίο των μΟΡs θα έχει εύρος 27-bits.

Θα πρέπει όμως να σημειωθεί ότι η επιλογή των παραπάνω οκτώ (8) σημάτων αντί των ALUS[1..7], δεν είναι η καλύτερη από πλευράς σχεδίασης, αλλά απλά επιλέχθηκε σαν μια διαφορετική προσέγγιση. Σε πιο πολύπλοκες όμως ΚΜΕ όπου τα σήματα ελέγχου θα είναι πολύ περισσότερα, η επιλογή έμμεσων κατά κάποιο τρόπο σημάτων ελέγχου (όπως τα ANDOP, OROP, ..κτλ), αποτρέπει το φαινόμενο το πεδίο των μικροδιεργασιών (μΟΡs) να είναι πολύ μεγάλου εύρους, ανάλογο του πλήθους των σημάτων ελέγχου.

Εκτός όμως από το πεδίο των μικροδιεργασιών, κάθε μικροεντολή περιλαμβάνει και τα πεδία SEL και ADDR, τα οποία χρησιμοποιούνται από τον microsequencer για τη λειτουργία του. Το πεδίο ADDR αποτελεί τη διεύθυνση της μνήμης μικροκώδικα της επόμενης μικροεντολής που θα εκτελεστεί. Για την ακρίβεια είναι μία από τις πιθανές διευθύνσεις της επόμενης μικροεντολής. Το τρίτο και τελευταίο πεδίο μιας μικροεντολής είναι το πεδίο SEL εύρους τριών (3) bits, τα οποία χρησιμοποιούνται σαν σήματα επιλογής διεύθυνσης της επόμενης μικροεντολής που θα εκτελεστεί.

				SEL			μOPs																										ADDR (dec)
State	ADDRESS	COND1	COND2	BT	ARRLOAD	ARRINC	PCLLOAD	PCLINC	DRLOAD	TRLOAD	IRLOAD	RLOAD	ACLOAD	ZLOAD	READ	WRITE	MEMBUS	BUSMEM	PBUS	DRBUS	TRBUS	RBUS	ACBUS	ANDOP	OROP	XOROP	NOTOP	ACINC	ACZERO	PLUS	MINUS		
FETCH 1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	2	
FETCH 2	2	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	3	
FETCH 3	3	0	0	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	X	
NOP 1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
LDAC 1	4	0	0	0	0	1	0	1	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	5	
LDAC 2	5	0	0	0	0	0	0	1	1	1	0	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	6	
LDAC 3	6	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	7	
LDAC 4	7	1	1	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	33	
LDAC 5	33	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	
STAC 1	8	0	0	0	0	1	0	1	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	9	
STAC 2	9	0	0	0	0	0	0	1	1	1	0	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	10	
STAC 3	10	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	11	
STAC 4	11	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	34	
STAC 5	34	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	
MVAC	12	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	
MOVR	16	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	
JUMP 1	20	0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	21	
JUMP 2	21	0	0	0	0	1	0	0	1	1	0	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	22	
JUMP 3	22	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	
JMPZ 1	24	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	41	
JMPZY 1	25	0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	26	
JMPZY 2	26	0	0	0	0	0	0	0	1	1	0	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	27	
JMPZY 3	27	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	
JMPZN 1	41	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	42	
JMPZN 2	42	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
JPNZ 1	28	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	45	
JPNZY 1	29	0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	30	
JPNZY 2	30	0	0	0	0	0	0	0	1	1	0	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	31	
JPNZY 3	31	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	
JPNZN 1	45	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	46	
JPNZN 2	46	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
ADD 1	32	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	1
SUB 1	36	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
INAC 1	40	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	
CLAC 1	44	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	
AND 1	48	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	1	
OR 1	52	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1	
XOR 1	56	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	
NOT 1	60	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	

Πίνακας 1: Το σύνολο των μικροεντολών για τη σχετικά απλή CPU

Για την υλοποίησή της Μονάδας Ελέγχου θα γραφεί κώδικας περιγραφής υλικού σε VHDL για κάθε υποκύκλωμα της ξεχωριστά, όπως φαίνεται από το σχήμα 1 και στη συνέχεια αυτά να χρησιμοποιηθούν σαν στοιχεία (components) για τη σύνθεση του τελικού κώδικα. Σημειώνεται ότι για το καταχωρητή παράλληλης φόρτωσης και για του πολυπλέκτες μπορούν να χρησιμοποιηθούν οι κώδικες περιγραφής που αναπτύχθηκαν στις προηγούμενες ασκήσεις.

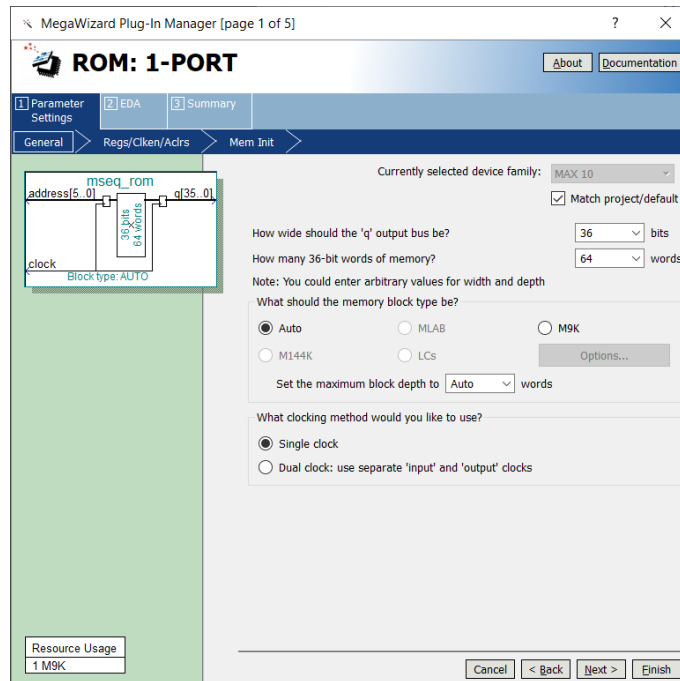

```

52 : 110000000001100000001001000000000001 ; -- OR1
56 : 110000000001100000001000100000000001 ; -- XOR1
60 : 110000000001100000000000010000000001 ; -- NOT1
END;

```

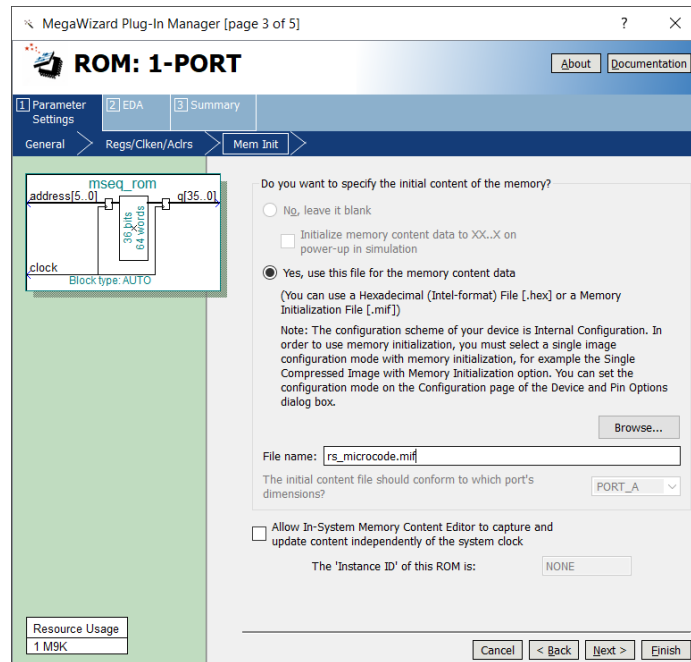
Πρόγραμμα 1: Περιεχόμενα μνήμης μικροκώδικα

Στη συνέχεια “καλέστε” τον MegaWizard Manager μέσω του IP Catalog (πάνω δεξιά περιοχή στο Quartus) αφού κάνετε διπλό click στην επιλογή Library|Basic Functions|On Chip Memory|ROM: 1-PORT και επιλέξετε στο παράθυρο που εμφανίζεται το όνομα (προτείνεται το mseq_rom.vhd), το path και το τύπο του αρχείου(VHDL) ξεκινάει η διαδικασία ορισμού των παραμέτρων της μνήμης:



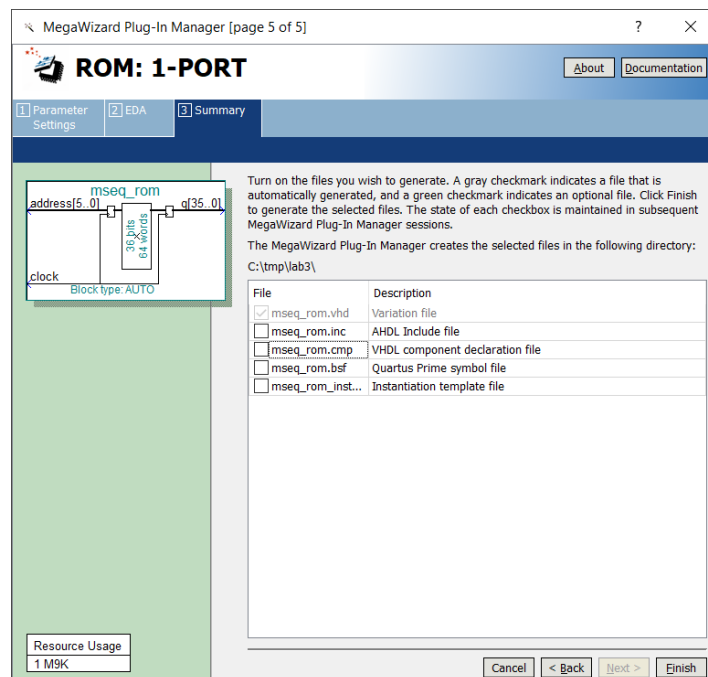
Εικόνα 1

Στο παράθυρο που εμφανίζεται εφαρμόζουμε τις ρυθμίσεις από την Εικόνα 1, πατάμε next και προσπερνάμε το επόμενο παράθυρο (page 2 of 5).



Εικόνα 2

Εφαρμόζουμε τις ρυθμίσεις από την Εικόνα 2, πατάμε next και προσπερνάμε το επόμενο παράθυρο (page 4 of 5).



Εικόνα 3

Τέλος καταλήγουμε στο τελευταίο παράθυρο (Εικόνα 3) στο οποίο επιλέγουμε την δημιουργία του αρχείου VHDL, το οποίο είναι και η default επιλογή, και πατάμε Finish για να ολοκληρωθεί. Κατά το τέλος της διαδικασίας το Quartus μας ρωτάει αν επιθυμούμε να προσθέσουμε το Quartus IP File στο

project. Εδώ επιλέγουμε όχι καθώς θα χρειαστούμε μόνο το αρχείο κώδικα της μνήμης το οποίο και θα προσθέσουμε αργότερα στο project.

Μονάδα Ελέγχου.

Έχοντας ολοκληρώσει τη συγγραφή του κώδικα για τα επιμέρους στοιχεία που συνθέτουν την μονάδα ελέγχου, με δεδομένο ότι έχουμε στη διάθεση μας τους κώδικες για τον καταχωρητή n-bits και του πολυπλέκτη 4 σε 1 από προηγούμενες ασκήσεις και αφού όλα συγκεντρωθούν σε μία βιβλιοθήκη, μπορεί πλέον να γραφεί το συνολικό πρόγραμμα περιγραφής της μονάδας ελέγχου. Σημειώνεται εδώ ότι δεδομένου ότι κύκλωμα παραγωγής των σημάτων ελέγχου S_1 και S_0 (σχήμα 1) είναι εξαιρετικά απλό δεν είναι απαραίτητη η συγγραφή ξεχωριστού στοιχείου για αυτό.

Γράψτε τον κώδικα για τη βιβλιοθήκη (package), με το όνομα mseqlib, η οποία θα περιέχει τα επιμέρους στοιχεία που συνθέτουν την μονάδα ελέγχου.

Γράψτε εδώ το πρόγραμμά σας:

```
library ieee;
```

```
use ieee.std_logic_1164.all;
```

```
package mseqlib is
```

```
    component regnbit
```

```
        generic (
```

```
            n : integer := 8
```

```
        );
```

```
    port(
```

```
        din  : in  std_logic_vector(n-1 downto 0);
```

```
        clk  : in  std_logic;
```

```
        rst  : in  std_logic;
```

```
        ld   : in  std_logic;
```

```
        inc  : in  std_logic;
```

```
        dout : out std_logic_vector(n-1 downto 0)
```

```
    );
```

```
end component;
```

```
    component mux4
```

```
        generic (
```

```
            n : integer := 8
```

```
        );
```

```
    port(
```

```
        d0 : in  std_logic_vector(n-1 downto 0);
```

```
        d1 : in  std_logic_vector(n-1 downto 0);
```

```
        d2 : in  std_logic_vector(n-1 downto 0);
```

```
        d3 : in  std_logic_vector(n-1 downto 0);
```

```
        sel : in  std_logic_vector(1 downto 0);
```

```
        y  : out std_logic_vector(n-1 downto 0)
```

```
    );
```

```
end component;
```

```
component mseq_rom
```

```
port{
```

```
    address : in std_logic_vector(5 downto 0);
```

```
    clock   : in std_logic;
```

```
    q       : out std_logic_vector(35 downto 0)
```

```
};
```

```
end component;
```

```
end mseqlib;
```

```
package body mseqlib is
```

```
end mseqlib;
```

Πρόγραμμα 2: βιβλιοθήκη στοιχείων για την μονάδα ελέγχου.

Με βάση το σκελετό που ακολουθεί (πρόγραμμα 3) γράψτε τον κώδικα περιγραφής για της μονάδας ελέγχου, δηλαδή του microsequencer, έτσι όπως διαμορφώνεται από τα επιμέρους στοιχεία και το σχήμα 1. Τα σήματα που θα δέχεται σαν είσοδο ο microsequencer εκτός των σημάτων clock και reset, θα είναι τα τέσσερα (4) λιγότερο σημαντικά bit του καταχωρητή εντολών (ir) και η τιμή του καταχωρητή σημαίας (z). Σαν έξοδοι λαμβάνονται τόσο το πεδίο των μικροδιεργασιών (μOPs) που περιέχει τα σήματα ελέγχου της CPU, όσο και το σήμα code που αντιστοιχεί στην κάθε μικροεντολή εύρους 36-bits. Ο λόγος που λαμβάνεται το σήμα code, είναι για να διακρίνεται πιο εύκολα στην εξομοίωση της CPU ποια μικροεντολή εκτελείται σε κάθε παλμό.

```
library ieee;
```

```
use ieee.std_logic_1164.all;
```

```
use ieee.std_logic_unsigned.all;
```

```
library lpm;
```

```
use lpm.lpm_components.all;
```

```
use work.mseqlib.all;
```

```
entity mseq is
```

```
port( ir       : in std_logic_vector(3 downto 0);
```

```
      clock, reset : in std_logic ;
```

```
      z          : in std_logic ;
```

```
      code       : out std_logic_vector(35 downto 0);
```

```
      mOPs       : out std_logic_vector(26 downto 0));
```

```
end mseq;
```

```
architecture arc of mseq is
```

```
end arc;
```

Γράψτε εδώ το πρόγραμμά σας:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
library lpm;
use lpm.lpm_components.all;
use work.mseqlib.all;

entity mseq is
    port(
        ir      : in std_logic_vector(3 downto 0);
        clock, reset : in std_logic;
        z        : in std_logic;
        code     : out std_logic_vector(35 downto 0);
        mOPs     : out std_logic_vector(26 downto 0)
    );
end mseq;

architecture arc of mseq is

    signal mpc      : std_logic_vector(5 downto 0);
    signal next_mpc : std_logic_vector(5 downto 0);

    signal code_int : std_logic_vector(35 downto 0);

    signal sel_field : std_logic_vector(2 downto 0);
    signal addr_field : std_logic_vector(5 downto 0);
    signal mops_int  : std_logic_vector(26 downto 0);

    signal pc_plus1 : std_logic_vector(5 downto 0);
```

```
signal ir_addr : std_logic_vector(5 downto 0);
```

```
signal sel_s : std_logic_vector(1 downto 0);
```

```
begin
```

```
u_mpc : regnbit
```

```
  generic map ( n => 6 )
```

```
  port map(
```

```
    din  => next_mpc,
```

```
    clk  => clock,
```

```
    rst  => reset,
```

```
    ld   => '1',
```

```
    inc  => '0',
```

```
    dout => mpc
```

```
  );
```

```
u_rom : mseq_rom
```

```
  port map(
```

```
    address => mpc,
```

```
    clock   => clock,
```

```
    q       => code_int
```

```
  );
```

```
code <= code_int;
```

```
-----  
sel_field <= code_int(35 downto 33);
```

```
mops_int  <= code_int(32 downto 6);
```

```
addr_field <= code_int(5  downto 0);
```

```
mOPs <= mops_int;
```

```
pc_plus1 <= mpc + "000001";
```

```
ir_addr <= "00" & ir;
```

```
process(sel_field, z)
```

```
begin
```

```
  case sel_field is
```

```
    when "000" =>
```

```
      sel_s <= "00";
```

```
    when "001" =>
```

```
      sel_s <= "01";
```

```
    when "010" =>
```

```
      if z = '1' then
```

```
        sel_s <= "01";
```

```
      else
```

```
        sel_s <= "00";
```

```
      end if;
```

```
    when others =>
```

```
      sel_s <= "10";
```

```
  end case;
```

```
end process;
```

```

u_mux : mux4

generic map ( n => 6 )

port map(

    d0 => pc_plus1,

    d1 => addr_field,

    d2 => ir_addr,

    d3 => (others => '0'),

    sel => sel_s,

    y  => next_mpc

);

end arc;

```

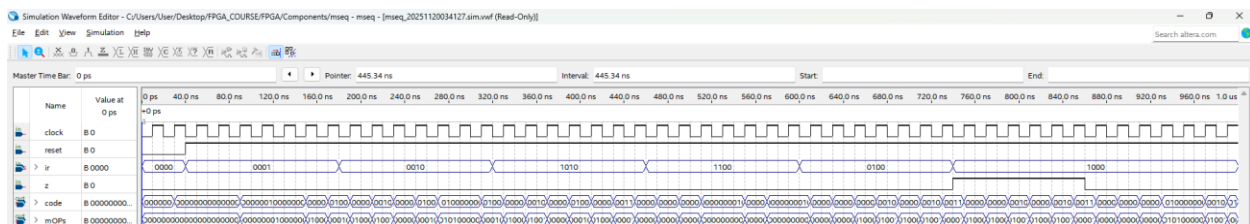
Πρόγραμμα 3: Αριθμητική & Λογική Μονάδα.

Εξομοίωση της Μονάδας Ελέγχου.

Το επόμενο στάδιο περιλαμβάνει την εξομοίωση της μονάδας ελέγχου με τον Waveform Editor με σκοπό τον έλεγχο της λειτουργίας της. Με οδηγό τις προηγούμενες ασκήσεις, δημιουργήστε ένα καινούργιο project και εξομοιώστε τη λειτουργία της μονάδας ελέγχου με τη βοήθεια του Waveform Editor για έξι (6) εντολές της KME, της επιλογής σας.

ΠΡΟΣΟΧΗ: Μέσω του μενού *Assignments/Device/Device and Pin Options..*/Configuration ρυθμίστε δώστε στο *Configuration mode* την τιμή *Single Uncompressed Image with Memory Initialization (256Kbits UFM)* για να μην έχετε προβλήματα – λάθη κατά το compilation του project.

Τοποθετήστε εδώ τις κυματομορφές σας:



Εικόνα 4: Κυματομορφές εξομοίωσης της μονάδας ελέγχου