

IPD-432: DISEÑO AVANZADO DE SISTEMAS DIGITALES, TAREA 2

Felipe Pinto G.
Departamento de Electrónica,
Universidad Técnica Federico Santa María,
Email: felipe.pinto.12@sansano.usm.cl

I. DISEÑO EN HDL

En la figura 1 se presenta el diagrama de alto nivel correspondiente al diseño implementado tomando en cuenta el flujo de las señales mas importantes entre cada modulo.

A. Consideraciones de diseño

Para la implementación del diseño se tienen las siguientes consideraciones extra:

- El modulo de UART se encuentra configurado para operar a 115200 baudios funcionando con un reloj de 125 MHZ.
- Se genera un bloque de Dual Port RAM con 4800 kb de memoria, esto tomando en cuenta que el máximo absoluto disponible es de 4868 kb. Además, se implementan palabras de 3 bytes para almacenar un pixel completo por cada ubicación.
- Se realiza un truncamiento a los bits de cada pixel en la salida, esto debido a que el puerto VGA de la FPGA Nexys 4 DDR es de bits por pixel, siendo 4 para cada color RGB.
- El filtro de dithering realiza esta operación para reducir la cantidad de bits por pixel desde 24 a 12, esto por el supuesto expresado en el punto anterior.
- Se implementa un filtro de dithering basado en "ordered dithering" utilizando una matriz de threshold de 8x8.
- El filtro de escala de grises genera un promedio entre el máximo y el mínimo valor RGB asociado a cada pixel. Esto se realiza con la intención de evitar realizar divisiones que no representen desplazamientos de bits.
- La salida del filtro para generar una imagen en escala de grises se replica en los tres puertos RGB con el mismo valor. Por este motivo el "color scrambler" no tiene efecto si este filtro se encuentra activo.

B. Warnings en Vivado

Al sintetizar e implementar el diseño propuesto en Vivado, la herramienta nos entrega un listado de alertas (warnings) sobre potenciales problemas con el diseño. A continuación se analiza aquellas que persisten aún en la versión final del diseño propuesto:

- *(General messages) Ignoring invalid widget type specified checkbox.Providing a default widget.* Esta alerta esta detectando ciertos elementos desfasados de la ip utilizada con respecto a la nueva versión de vivado, sin embargo,

puede ser ignorada ya que solo se refiere a cosas de formato

- *(Synthesis) Net BRAM_PORTB_din in module/entity top_module does not have driver.* Esta alerta puede ser ignorada, ya que se refiere a los puertos de la BRAM ip que no estan siendo utilizados (lo mismo se aplica para los warnings similares).
- *(Synthesis) Unused sequential element uart_inst/uart_rx_inst/busy_reg_reg was removed.* Al igual que para el caso anterior, el modulo UART implementado tiene puertos que representan indicadores de la conexión no utilizados en el diseño.
- *(Timing) Clock period '20.000' specified during out-of-context synthesis of instance 'dual_ram_i/blk_mem_gen_0' at clock pin 'clka' is different from the actual clock period '8.000', this can lead to different synthesis results.* Este warning se refiere a que el periodo de clock utilizado para sintetizar la ip es distinto al del proyecto en general. Con ciertas reservas puede ser ignorado, ya que no condujo a problemas durante la implementación.
- *(Synthesis) No constraint will be written out.* Al momento de la entrega de este documento, no tenemos claridad sobre qué significa ni por qué se genera esta alerta. Aparentemente, se encuentra presente a partir de la versión 2018.2 de Vivado, y tiene por objetivo informar que no hay restricciones de alto nivel para el diseño. De momento, creemos que es sencillamente un problema de la herramienta y no tiene efecto alguno en el diseño.
- *(Implementation, DRC, Pin Planning) Missing CFGBVS and CONFIG_VOLTAGE Design Properties.* Tal como dice la alerta, no se han configurado las propiedades del diseño correspondientes a Configuration Bank Voltage Select y Config Voltage. La solución es sencillamente configurar estas propiedades dentro del archivo de constraints. Se ha omitido solucionar esto, ya que en caso de error la tarjeta podría resultar dañada.

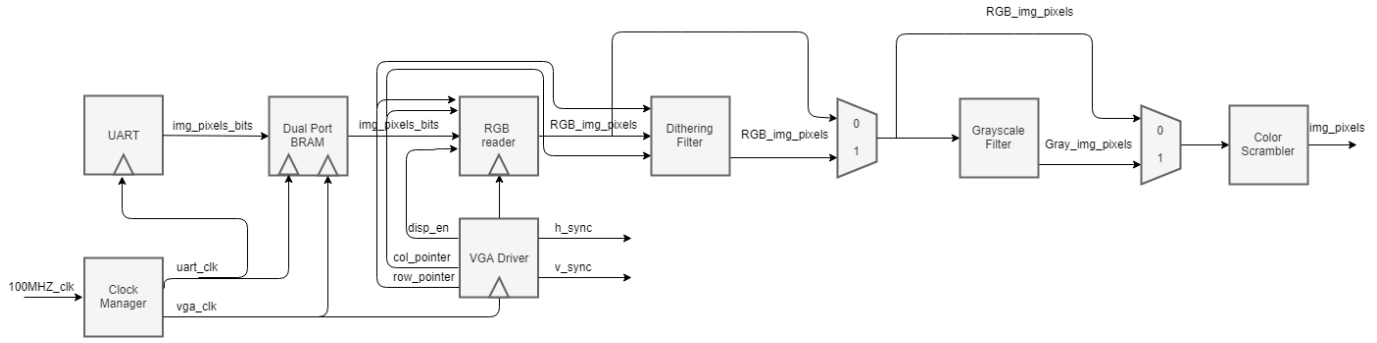


Fig. 1. Diagrama de bloques de alto nivel correspondiente al diseño propuesto.

C. Reporte utilización de recursos

Se presenta el reporte de utilización de recursos entregado por Vivado al implementar el diseño propuesto. Es importante mencionar también, que el archivo .bit generado por la herramienta tiene un tamaño de 3.825.895 bytes, esto es, cerca de 3.64[Mb].

TABLE I
SLICE LOGIC

Site Type	Used	Fixed	Avaiable	Util%
Slice LUTs	178	0	63400	0.52
LUT as Logic	178	0	63400	0.52
LUT as Memory	0	0	19000	0.00
Slice Registers	277	0	126800	0.25
Register as Flip Flop	277	0	126800	0.25
Register as Latch	0	0	126800	0.00
F7 Muxes	3	0	31700	< 0.01
F8 Muxes	0	0	15850	0.00

TABLE II
MEMORY

Site Type	Used	Fixed	Avaiable	Util%
Block RAM Tile	0	0	135	0.00
RAMB36/FIFO	0	0	135	0.00
RAMB18	0	0	270	0.00

TABLE III
DSP

Site Type	Used	Fixed	Avaiable	Util%
DSPs	0	0	240	0.00

TABLE IV
IO AND GT SPECIFIC

Site Type	Used	Fixed	Avaiable	Util%
Bonded IOB	24	0	210	15.71
Bonded IPADs	0	0	2	0.00
PHY_CONTROL	0	0	6	0.00
PHASER_REF	0	0	6	0.00
OUT_FIFO	0	0	24	0.00
IN_FIFO	0	0	24	0.00
IDELAYCTRL	0	0	6	0.00
IBUFDS	0	0	202	0.00
PHASER_OUT/PHASER_OUT_PHY	0	0	24	0.00
PHASER_IN/PHASER_OUT_PHY	0	0	24	0.00
IDELAYE2/IDELAYE2_FINEDELAY	0	0	300	0.00
ILOGIC	0	0	210	0.00
OLOGIC	0	0	210	0.00

TABLE V
CLOCKING

Site Type	Used	Fixed	Avaiable	Util%
BUFGCTRL	0	0	32	3.13
BUFIO	0	0	24	0.00
MMCM2_ADV	0	0	6	0.00
PLLE2_ADV	0	0	6	0.00
BUFMRCCE	0	0	12	0.00
BUFHCE	0	0	96	0.00
BUFR	0	0	24	0.00

TABLE VI
SPECIFIC FEATURE

Site Type	Used	Fixed	Avaiable	Util%
BSCANE2	0	0	4	0.00
CAPTUREE2	0	0	1	0.00
DNA_PORT	0	0	1	0.00
EFUSE_USR	0	0	1	0.00
FRAME_ECCE2	0	0	1	0.00
ICAPE2	0	0	2	0.00
PCIE_2_1	0	0	1	0.00
STARTUPE2	0	0	1	0.00
XADC	0	0	1	0.00

TABLE VII
PRIMITIVES

Ref Name	Used	Functional Category
FDRE	276	Flop & Latch
LUT6	58	LUT
LUT4	51	LUT
LUT5	47	LUT
CARRY4	39	CarryLogic
LUT2	23	LUT
LUT3	17	LUT
OBUF	14	IO
IBUF	10	IO
MUXF7	9	MUXFX
LUT1	4	LUT
FSDE	1	Flop & Latch

TABLE VIII
BLACK BOXES

Ref Name	Used
dual_ram_blk_mem_gen_0_0	1
clock_ip_clk_wiz_0_0	1