16 Settembre 2020 - Architetture dei Sistemi di Elaborazione

Name, Student IDsanchez....

Considerare la seguente architectura MIPS64:

- Integer ALU: 1 clock cycle
- FP arithmetic unit: pipelined 2 stages
- Data memory: 1 clock cycle
- FP divider unit: not pipelined unit that requires 8 clock cycles
- FP multiplier unit: pipelined 7 stages
- branch delay slot: 1 clock cycle, and the branch delay slot disabled
- forwarding enabled
- è possibile completare lo stage EXE di una istruzion in modo out-of-order.
- Facendo riferimento al frammento di codice riportato, si mostrino le tempistiche relative all'esecuzione ciascuna istruzione e si calcoli il numero totale di clock cycles necessari per eseguire completamente il programma:

```
for (i = 0; i < 100; i++) {
   v5[i] = ((v1[i]/v2[i]) + v3[i]);
   v6[i] = ((v3[i]/v4[i]) + v1[i]*v2[i]);
}</pre>
```

	J																											Clock
	.data																											cycles
V1:	.double "100 values"																											
V2:	.double "100 values"																											
V3:	.double "100 values"																											
V5:	.double "100 zeros"																											
V4:	.double "100 values"																											
V5:	.double "100 values"																											
V6:	.double "100 values"																											
	.text																											
main:	daddui r1,r0,0	F	D	Е	M	W																						5
	daddui r2,r0,100		F	D	Е	M	W																					1
loop:	l.d fl,vl(r1)			F	D	Е	M	W																				12
	1.d f2,v2(r1)				F	D	Е	M	W																			1
	div.d f5,f1,f2					F	D	S	/	/	/	/	/	/	/	/	M	W										9
	1.d f3,v3(r1)						F	S	D	Е	M	W																0

16 Settembre 2020 - Architetture dei Sistemi di Elaborazione

Name, Student IDsanchez....

add.d f5, f5,f3			F	D	S	S	S	S	S	S	+	+	M	W																				2
l.d f4, v4(r1)				F	S	S	S	S	S	S	D	Е	S	M	W																			1
div.d f6,f3,f4											F	D	S	S	/	/	/	/	/	/	/	/ 1	М	V										9
mul.d f1,f1,f2												F	S	S	D	*	*	*	*	*	*	*	S	иV	V									1
add.d f6,f6,f1															F	D	S	S	S	S	S	S	s -	+ -	+ N	1 V	V							2
s.d f5,v5(r1)																F	S	S	S	S	S	S	SI) I	ES	N	1 V	V						1
s.d f6,v6(r1)]	FI) S	I	E N	1 V	V					1
daddui r1,r1,8																								I	FS	I)]	EN	ΛV	V				1
daddi r2,r2,-1]	FI) I	E	И	V			1
bnez r2,loop]	7 9	SI)	E N	ΛV	V	2
halt]	F 1	N I	I I	I N	01
Total											-		6	5 +]	100	* 33	3																	3306

Considerando il programma precedente, lo si ottimizzi in modo da eliminare per quanto possibile gli stalli del programma usando le tecniche note come rescheduling e register renaming. Si calcoli il tempo di esecuzione del nuovo programma nella stessa architettura evidenziando il miglioramento ottenuto.

	.data											Clock cycles
V1:	.double "100 values"											
V2:	.double "100 values"											
V3:	.double "100 values"											
V5:	.double "100 zeros"											
V4:	.double "100 values"											
V5:	.double "100 values"											
V6:	.double "100 values"											
	.text											

16 Settembre 2020 - Architetture dei Sistemi di Elaborazione

Name, Student IDsanchez....

main:	daddui r1,r0,0	F	D	Е	M	W																														5
	daddui r2,r0,100		F	D	Е	M	W																													1
loop:	1.d f1,v1(r1)			F	D	Е	M	W																												12
	1.d f2,v2(r1)				F	D	Е	M	W																											1
	1.d f3,v3(r1)					F	D	Е	M	W																										0 → 1
	div.d f5,f1,f2						F	D	/	/	/	/	/	/	/	/	M	W																		9 → 8
	1.d f4, v4(r1)							F	D	Е	M	W																								$1 \rightarrow 0$
	mul.d f1,f1,f2								F	D	*	*	*	*	*	*	*	M	W																	1
	daddi r2,r2,-1									F	D	Е	M	W																						$1 \rightarrow 0$
	div.d f6,f3,f4										F	D	S	S	S	S	/	/	/	/	/	/	/	/	M	W										9 → 7
	add.d f5, f5,f3											F	S	S	S	S	D	+	+	M	W															$2 \rightarrow 0$
	s.d f5,v5(r1)																F	D	Е	S	M	W														$1 \rightarrow 0$
	add.d f6,f6,f1																	F	D	S	S	S	S	S	+	+	M	W								2
	s.d f6,v6(r1)																		F	S	S	S	S	S	D	Е	S	M	W							1
	daddui r1,r1,8																								F	D	S	Е	M	W						1
	bnez r2,loop																									F	S	D	Е	M	W					2 → 1
	halt																											F	N	N	N	N				01
	Total																			6 +	100	* 2	5													2506

$$SPEEDUP_{enhanced} = \frac{9+1+1+9+2+1+2}{1+8+7+1} = 1.47 & FRACTION_{enhanced} = \frac{100 \cdot (9+1+1+9+2+1+2)}{3306} = 0.76$$

$$SPEEDUP_{computation} = \frac{1}{\left(1 - FRACTION_{enhanced}\right) + \frac{FRACTION_{enhanced}}{SPEEDUP_{enhanced}}} = 1.32 & SPEEDUP_{observation} = \frac{3306}{2506} \approx 1.32 \implies \checkmark$$