

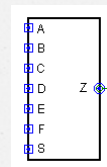
Análisis temporal de un bloque combinacional

Análisis temporal de un bloque combinacional

Definición:

*El análisis temporal de un bloque combinacional consiste en calcular el **retardo** desde **cada entrada** hasta cada **salida***

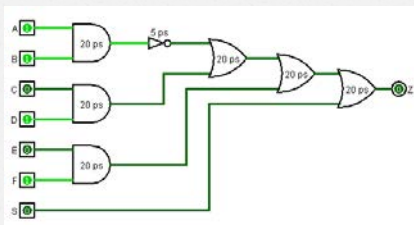
Ejemplo: analizar el siguiente bloque combinacional



Ejemplo

○ Necesitamos saber:

- Cómo está diseñado
- El retardo de cada puerta

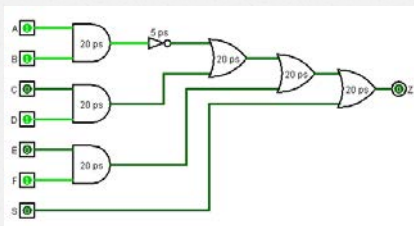


○ Cambio en una entrada provoca cambio en salida:

- A (1→0) provoca cambio en Z (0→1) 85 ps después
- B (1→0) provoca cambio en Z (0→1) 85 ps después
- C (0→1) provoca cambio en Z (0→1) 80 ps después
- E (0→1) provoca cambio en Z (0→1) 60 ps después
- S (0→1) provoca cambio en Z (0→1) 20 ps después
- D (1→0) y F (1→0) no provocan cambios en Z (con los valores actuales)

Ejemplo

○ Retardo de un camino
(ENT→SAL): suma de los
retardos de las puertas
que atraviesa



$d_{ENT \rightarrow SAL}$

$d_{A \rightarrow Z} = 85 \text{ ps}$ $d_{B \rightarrow Z} = 85 \text{ ps}$
 $d_{C \rightarrow Z} = 80 \text{ ps}$ $d_{D \rightarrow Z} = 80 \text{ ps}$
 $d_{E \rightarrow Z} = 60 \text{ ps}$ $d_{F \rightarrow Z} = 60 \text{ ps}$
 $d_{S \rightarrow Z} = 20 \text{ ps}$

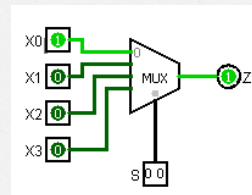
A	85
B	85
C	80
D	80
E	60
F	60
S	20

Ejemplo: MUX 4:1

◦ Cambios en entradas:

◦ $X_0 (1 \rightarrow 0)$ provoca $Z (1 \rightarrow 0)$

◦ $S_0 (0 \rightarrow 1)$ provoca $Z (1 \rightarrow 0)$

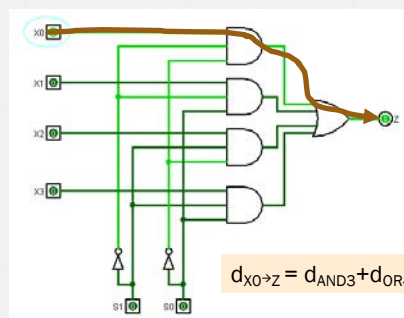


¿Cuánto tardan?

Midamos $d_{X_0 \rightarrow Z}$ y $d_{S_0 \rightarrow Z}$

Ejemplo: MUX 4:1

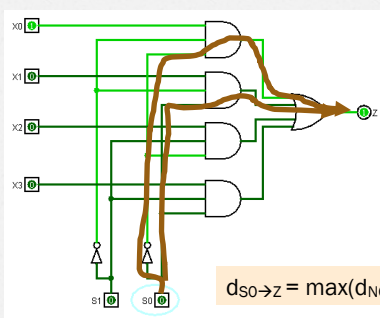
$$Z = X_0 * \overline{S_1} * \overline{S_0} + X_1 * \overline{S_1} * S_0 + X_2 * S_1 * \overline{S_0} + X_3 * S_1 * S_0$$



◦ El cambio en $X_0 (1 \rightarrow 0)$ debe atravesar AND3 y OR4 para llegar a $Z (1 \rightarrow 0)$

Ejemplo: MUX 4:1

$$Z = X_0 * \overline{S_1} * \overline{S_0} + X_1 * \overline{S_1} * S_0 + X_2 * S_1 * \overline{S_0} + X_3 * S_1 * S_0$$

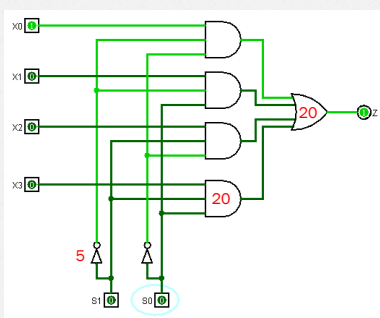


- El cambio en S_0 ($0 \rightarrow 1$)
¿cuánto tarda en llegar a Z ($1 \rightarrow 0$)?

$$d_{S_0 \rightarrow Z} = \max(d_{\text{NOT}} + d_{\text{AND3}} + d_{\text{OR4}}, d_{\text{AND3}} + d_{\text{OR4}})$$

Ejemplo: MUX 4:1

$$Z = X_0 * \overline{S_1} * \overline{S_0} + X_1 * \overline{S_1} * S_0 + X_2 * S_1 * \overline{S_0} + X_3 * S_1 * S_0$$



- Los caminos desde todas las X tienen el mismo retardo:
 $d_{X \rightarrow Z} = 40 \text{ ps}$
- Los caminos desde todas las S tienen el mismo retardo:
 $d_{S \rightarrow Z} = 45 \text{ ps}$

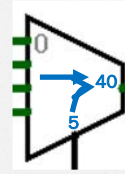
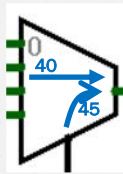
Representación de los retardos en el bloque combinacional

- Etiquetamos cada bloque combinacional con los retardos de sus caminos

Ejemplo MUX 4:1

$d_{x \rightarrow z} = 40 \text{ ps}$

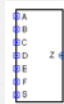
$d_{s \rightarrow z} = 45 \text{ ps}$



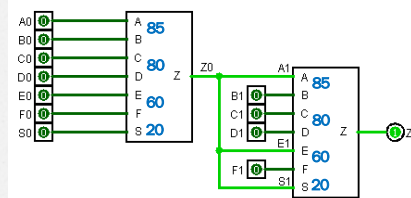
Análisis temporal de un circuito combinacional

Ejemplo

- Necesitamos saber:
 - el análisis temporal de cada bloque combinacional



$d_{A,B \rightarrow Z} = 85 \text{ ps}$
 $d_{C,D \rightarrow Z} = 80 \text{ ps}$
 $d_{E,F \rightarrow Z} = 60 \text{ ps}$
 $d_{S \rightarrow Z} = 20 \text{ ps}$



- Debemos calcular el retardo del camino más largo de cada entrada del circuito (A0, B0, C0, D0, E0, F0, S0, B1, C1, D1, F1) a cada salida del circuito (Z1)

Ejemplo: $d_{A0 \rightarrow Z1} = d_{A0 \rightarrow Z0} + \max(d_{A1 \rightarrow Z1}, d_{E1 \rightarrow Z1}, d_{S1 \rightarrow Z1})$
 $= 85 + \max(85, 60, 20) = 85 + 85 = 170 \text{ ps}$

$d_{B0 \rightarrow Z1} = \dots$

$d_{C0 \rightarrow Z1} = \dots$

Análisis temporal de un bloque secuencial

Análisis temporal de un bloque secuencial

Definición:

El análisis temporal de un bloque secuencial consiste en averiguar:

1.- el **retardo entre** que se realiza un **cambio en cada entrada** y cada **salida** toma el valor **correcto**

$d_{ENT \rightarrow SAL}$: retardo del camino combinacional $ENT \rightarrow SAL$

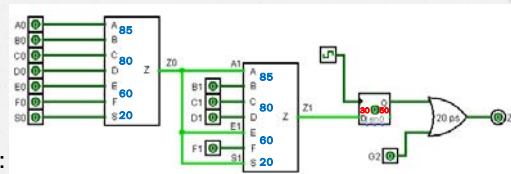
2.- el **retardo** desde que llega el **flanco de reloj** y cada **salida** toma el valor **correcto**

d_{SAL} : $d_{REG} + \text{retardo del camino combinacional } REG \rightarrow SAL$

3.- la **antelación mínima** con respecto al flanco de reloj con la que establecer el valor **de cada entrada**

$t_{setup_{ENT}}$: retardo del camino combinacional $ENT \rightarrow REG + t_{setup_{REG}}$

Ejemplo



Necesitamos saber:

El análisis temporal de cada **bloque combinacional**

El tiempo de **setup y delay** del REG (FFD en este caso)

$t_{setup_{FFD}} = 30 \text{ ps}$ $d_{FFD} = 50 \text{ ps}$

Caminos $ENT \rightarrow SAL$

G2 puede provocar cambio en Z2

$d_{G2 \rightarrow Z2} = 20 \text{ ps}$

Caminos $FFD \rightarrow SAL$

El flanco de reloj puede provocar que cambie Z2

$d_{Z2} = d_{FFD} + d_{OR} = 50 + 20 = 70 \text{ ps}$

Caminos $ENT \rightarrow FFD$

Cambio en A0 puede provocar cambio en entrada FFD

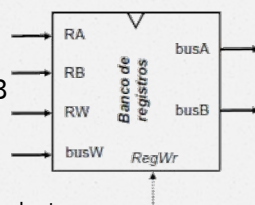
$t_{setup_{A0}} = d_{A0 \rightarrow Z1} + t_{setup_{FFD}} = 170 + 30 = 200 \text{ ps}$



$d_{A,B \rightarrow Z} = 85 \text{ ps}$
 $d_{C,D \rightarrow Z} = 80 \text{ ps}$
 $d_{E,F \rightarrow Z} = 60 \text{ ps}$
 $d_{S \rightarrow Z} = 20 \text{ ps}$

Análisis temporal del BR32

- ENT→SAL: RA→busA RB→busB
- REG→SAL: REG→busA REG→busB

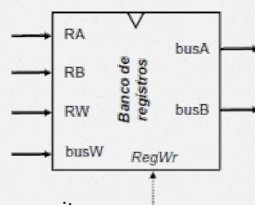


Son caminos que intervienen en el proceso de lectura

Camino	Retardo
RA ₁₋₀ →busA RA ₄₋₂ →busA	$d_{RA \rightarrow busA} = \max(d_{RA1-0 \rightarrow busA}, d_{RA4-2 \rightarrow busA})$ Como no sabemos qué bits cambian, nos quedamos con el peor caso para todos los bits del bus RA
REG→busA	$d_{busA} = d_{REG} + \dots$

Análisis temporal del BR32

- ENT→REG



Son caminos que intervienen en el proceso de escritura

Camino	Restricción temporal
RW→REG	$t_{setup_{RW}} = d_{RW \rightarrow REG} + t_{setup_{REG}}$
busW→REG	$t_{setup_{busW}} = d_{busW \rightarrow REG} + t_{setup_{REG}}$
RegWr→REG	$t_{setup_{RegWr}} = d_{RegWr \rightarrow REG} + t_{setup_{REG}}$

Análisis temporal de un circuito secuencial

En nuestro caso... de un procesador

Análisis temporal de un procesador

Definición:

El análisis temporal de un procesador consiste en identificar el **camino crítico** y su retardo.

El camino crítico es el **camino combinacional de mayor retardo**.

La inversa del retardo del camino crítico será la **frecuencia máxima** a la que se puede asegurar un funcionamiento correcto del procesador.

Ejemplo

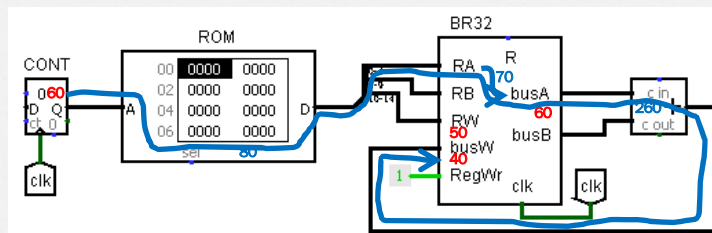
- Necesitamos el análisis temporal de todos los bloques combinacionales y secuenciales que utiliza

- Hay que medir el retardo de todos los caminos

↑ → salida SEC → bloques COMB → entrada SEC → ↑

camino1: CONT → ROM → RA → busA → + → busW → REG

$$d_{\text{camino1}} = d_{\text{CONT}} + d_{\text{ROM}} + d_{\text{RA} \rightarrow \text{busA}} + d_{\text{SUM}} + t_{\text{setup}_{\text{busW}}} = 60 + 80 + 70 + 260 + 40 = 510 \text{ ps}$$



d_{ROM}	= 80 ps
d_{SUM}	= 260 ps
$d_{\text{RA} \rightarrow \text{busA}}$	= 70 ps
d_{busA}	= 60 ps
$t_{\text{setup}_{\text{RW}}}$	= 50 ps
$t_{\text{setup}_{\text{busW}}}$	= 40 ps
d_{CONT}	= 60 ps

Ejemplo

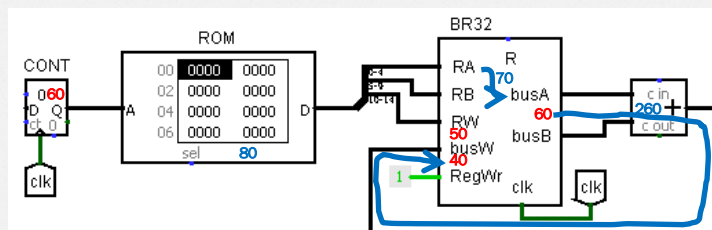
- Necesitamos el análisis temporal de todos los bloques combinacionales y secuenciales que utiliza

- Hay que medir el retardo de todos los caminos

↑ → salida SEC → bloques COMB → entrada SEC → ↑

camino2: REG → busA → + → busW → REG

$$d_{\text{camino2}} = d_{\text{busA}} + d_{\text{SUM}} + t_{\text{setup}_{\text{busW}}} = 60 + 260 + 40 = 360 \text{ ps}$$



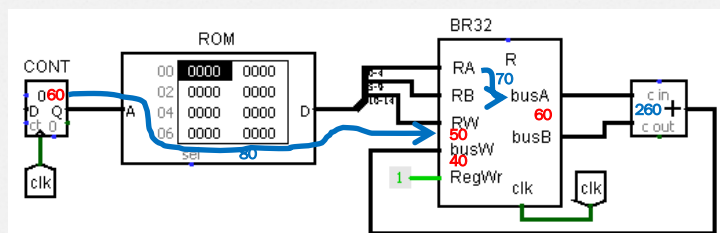
d_{ROM}	= 80 ps
d_{SUM}	= 260 ps
$d_{\text{RA} \rightarrow \text{busA}}$	= 70 ps
d_{busA}	= 60 ps
$t_{\text{setup}_{\text{RW}}}$	= 50 ps
$t_{\text{setup}_{\text{busW}}}$	= 40 ps
d_{CONT}	= 60 ps

Ejemplo

- Necesitamos el análisis temporal de todos los bloques combinacionales y secuenciales que utiliza
- Hay que medir el retardo de todos los caminos
 $\uparrow \rightarrow$ salida SEC \rightarrow bloques COMB \rightarrow entrada SEC $\rightarrow \uparrow$

camino3: CONT \rightarrow ROM \rightarrow RW \rightarrow REG

$$d_{\text{camino3}} = d_{\text{CONT}} + d_{\text{ROM}} + t_{\text{setupRW}} = 60 + 80 + 50 = 190 \text{ ps}$$



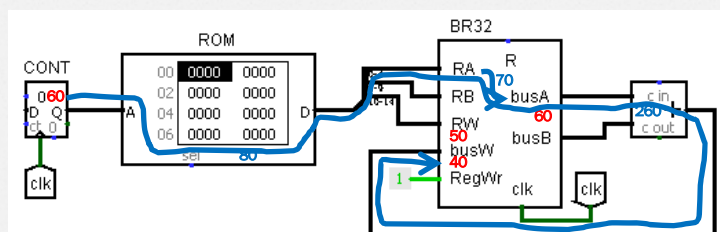
d_{ROM}	= 80 ps
d_{SUM}	= 260 ps
$d_{\text{RA} \rightarrow \text{busA}}$	= 70 ps
d_{busA}	= 60 ps
t_{setupRW}	= 50 ps
$t_{\text{setupbusW}}$	= 40 ps
d_{CONT}	= 60 ps

Ejemplo

- Camino crítico y frecuencia máxima:

camino1: CONT \rightarrow ROM \rightarrow RA \rightarrow busA \rightarrow + \rightarrow busW \rightarrow REG
 $d_{\text{camino1}} = 510 \text{ ps}$

$$T_{\text{CLK}} > 510 \text{ ps} \Rightarrow f_{\text{CLK}} < 1,96 \text{ GHz}$$



d_{ROM}	= 80 ps
d_{SUM}	= 260 ps
$d_{\text{RA} \rightarrow \text{busA}}$	= 70 ps
d_{busA}	= 60 ps
t_{setupRW}	= 50 ps
$t_{\text{setupbusW}}$	= 40 ps
d_{CONT}	= 60 ps