

Arquitectura y organización de computadores

Práctica 6



Alvaro fraidias y javier mengod

Contenido

[1.- Introducción. 1](#_Toc73447647)

[2.- Análisis y diseño del estudio de la memoria cache. 2](#_Toc73447648)

[2.1.- Análisis del simulador dineroIV. 2](#_Toc73447649)

[2.2 Diseño del estudio de la memoria caché. 3](#_Toc73447650)

[2.- Estudio de la influencia en el rendimiento de los diferentes parámetros de la memoria cache. 4](#_Toc73447651)

[2.1 Estudio de la influencia del tamaño en una memoria cache. 4](#_Toc73447652)

[2.1.1 Tablas y gráficas. 4](#_Toc73447653)

[2.1.2 Conclusiones de la influencia del tamaño de una memoria cache. 7](#_Toc73447654)

[2.2 Estudio de la influencia del tamaño de bloque en una memoria cache. 8](#_Toc73447655)

[2.2.2 Tablas y gráficas. 8](#_Toc73447656)

[2.2.2 Conclusiones. 11](#_Toc73447657)

[2.3 Estudio de la influencia de la asociatividad en las memorias cache. 12](#_Toc73447658)

[2.3.1 Datos y tablas. 12](#_Toc73447659)

[2.3.2 Conclusiones 14](#_Toc73447660)

[2.4 Estudio de la influencia de los algoritmos de remplazo en las memorias cache 14](#_Toc73447661)

[2.4.1 Tablas y gráficas 15](#_Toc73447662)

[2.4.2 Conclusiones 16](#_Toc73447663)

[2.5 Estudio de la influencia de los algoritmos de escritura en las memorias cache. 17](#_Toc73447664)

[3. Diseño de una memoria cache de 2300 KB. 17](#_Toc73447665)

ç

# 1.- Introducción.

En esta práctica se pide el desarrollo de un estudio en el que se medirán como influyen en el rendimiento de la memoria cache los diferentes parámetros que la conforman. Con motivo de facilitar el seguimiento de dicho estudio, añadiremos los gráficos y tablas que se consideren oportunas. Una vez finalizado el estudio, tendremos que presentar una propuesta de diseño de una memoria caché en la que el número de bits a utilizar serán de 2300 KB. Todos los comandos ejecutados (direccionados) a partir de los cuales hemos sacado la información, de la cual nos basaremos en este estudio, estarán en una carpeta en esta entrega. Así como el Excel en el que se agruparan los datos y las gráficas de dicho estudio.

# 2.- Análisis y diseño del estudio de la memoria cache.

## 2.1.- Análisis del simulador dineroIV.

En esta parte diseñaremos el estudio. En esta práctica se tiene que utilizar el simulador de memorias cache dineroIV, por lo que primero habrá que mirar cómo funciona el simulador y que medidas de rendimiento nos ofrece dicho simulador. Con el objetivo solamente de observar cómo funciona el simulador, utilizaremos el comando dado en la práctica ligeramente modificado (para que pueda acceder a los ficheros correctamente).

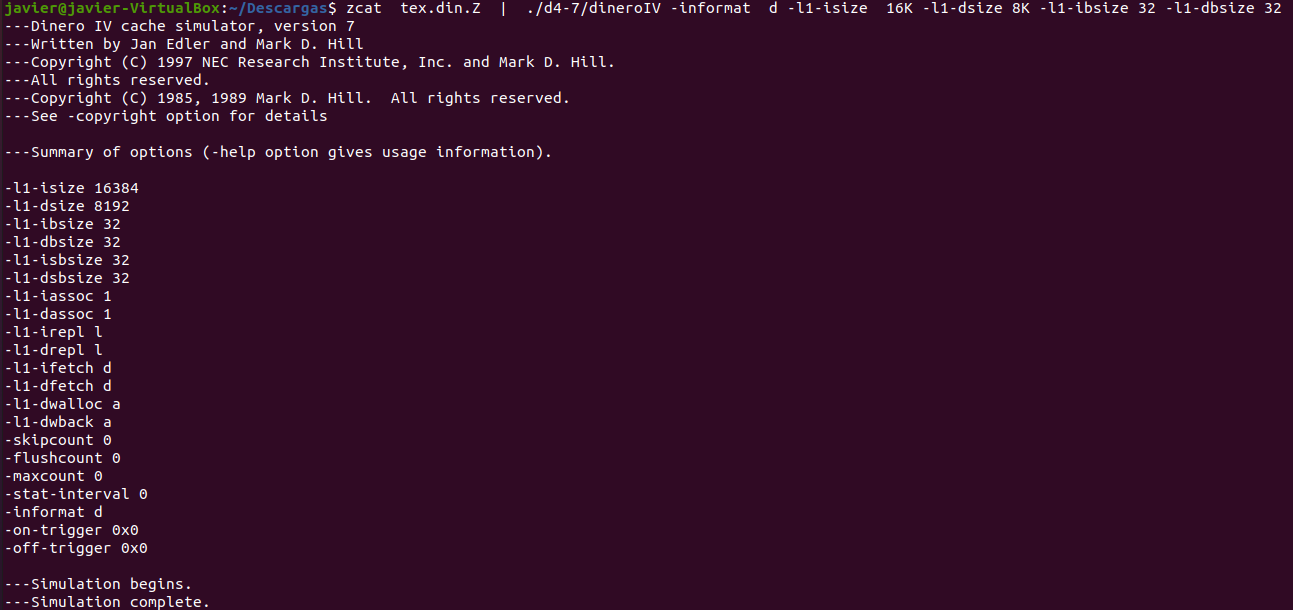


Ilustración 1.- Análisis del simulador dineroIV

En esta primera parte del resultado de dicho comando, podemos observar los parámetros de la memoria cache que utiliza el simulador al ejecutar el simulador con los parámetros que le hemos puesto.

Podemos observar que funciona bien rápidamente, si observamos los parámetros que hemos puesto en el simulador y los datos que nos muestra:

El tamaño de la cache de instrucciones muestra que es de 16 384 B (16 KB) y el de la cache de datos 8192 (8 KB).

El tamaño de bloque de la cache de instrucciones es 32 B y de la cache de datos es de 32 B.

Posteriormente a estos datos, podemos observar que el simulador toma varios parámetros por defecto, como puede ser el tamaño de subbloque (por defecto es el tamaño de bloque. Como no nos interesa en este estudio, nosotros no lo modificaremos), la asociatividad (por defecto es 1), la política de remplazo (por defecto es LRU), la política de recuperación (fetch policy, la cual por defecto es a demanda) y las políticas de escritura (allocate y back, las cuales por defecto están siempre activadas).

El resto de los parámetros servirán únicamente para poder modificar la lectura de las trazas, añadir información a la terminal no relevante y utilizar los triggers.

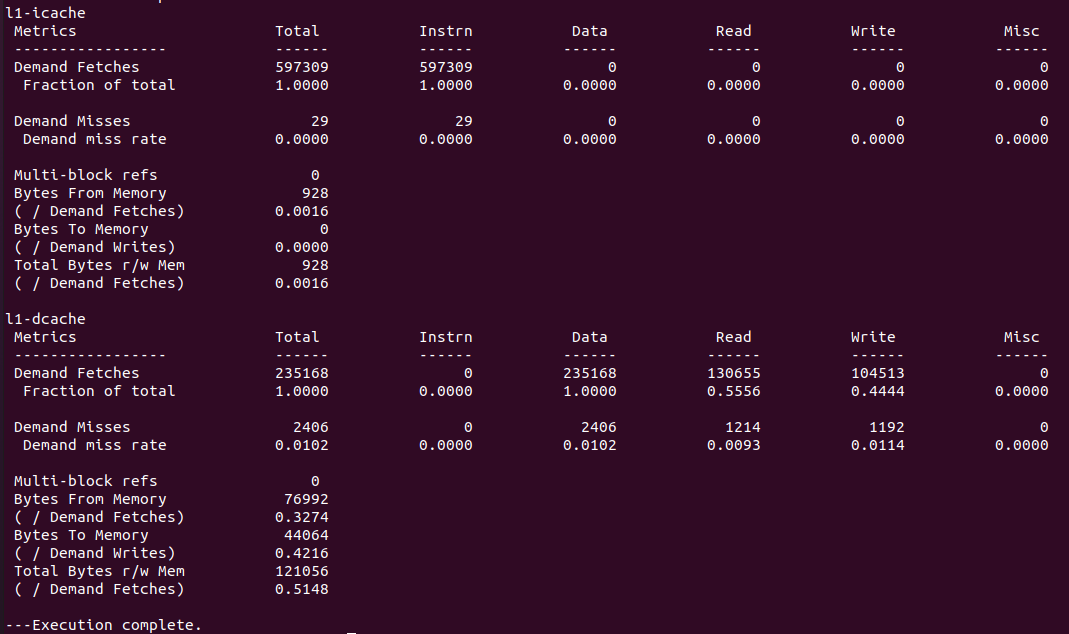


Ilustración 2.- Análisis del simulador dineroIV (II)

En esta parte del resultado de la ejecución del comando, el simulador dineroIV nos muestra varias cosas:

* el número de accesos totales, además de los accesos divididos por tipo y con sus respectivos porcentajes.
* el número de fallos totales, además de los fallos divididos por tipo de acceso, con sus respectivos porcentajes.
* Las referencias a los multibloques, así como los bytes dirigidos a memoria y direccionados por memoria (MODIFICAR PORQUE NO SE SI ES CORRECTO).

## 2.2 Diseño del estudio de la memoria caché.

Podemos observar que el simulador no ofrece ningún tipo de medida de rendimiento temporal. Por ello, utilizaremos exclusivamente la medida del porcentaje de fallos en el total de accesos como medida de rendimiento en nuestro estudio. La tasa de fallos no es una medida perfecta para poder afirmar que el rendimiento de una memoria cache es proporcional a dicha tasa, ya que no se tiene en cuenta el tiempo de penalización ni el tiempo de acierto que conlleva cada fallo.

Un ejemplo claro es cómo influye el tamaño de la memoria cache (teóricamente) en el rendimiento de una memoria cache. Podemos ver como cuando aumenta el tamaño de la memoria cache, la tasa de fallos se reduce, pero aumenta el tiempo de acierto, y en consecuencia el tiempo de penalización. Lo que implica que aumentar el tamaño no siempre es necesariamente mejor.

Los diferentes parámetros sobre los cuales se estudiará el rendimiento de la memoria cache serán:

* Tamaño.
* Tamaño de bloque.
* Asociatividad.
* Política de reemplazo.
* Política de escritura.

Para analizar la influencia de una variable concreta en el rendimiento de una memoria cache, utilizaremos el resto de las variables en el diseño estáticas. Es decir, antes de evaluar una variable concreta se decidirá los valores del resto de las variables. Quedará a nuestro criterio, elegir los valores con los que se relacionará cada variable.

Ya que el tamaño de la memoria cache y el tamaño de bloque son variables continuas, utilizaremos un rango decidido por nosotros entre el cual se realizará dicho estudio.

El tamaño los estudiaremos desde los 512 B hasta los 8 MB, siendo los valores intermedios las potencias de dos correspondientes.

El tamaño de bloque lo estudiaremos desde 4 B a 8 KB, siendo los valores intermedios las potencias de dos correspondientes.

En este estudio, no dividiremos la memoria cache en memoria de datos y de instrucciones. Obtendremos todos los resultados en caches unificadas.

# 2.- Estudio de la influencia en el rendimiento de los diferentes parámetros de la memoria cache.

## 2.1 Estudio de la influencia del tamaño en una memoria cache.

En el análisis de la influencia del tamaño en el rendimiento de una memoria cache utilizaremos un tamaño de bloque constante de 512 B, una asociatividad de 1 (predeterminada), una política de remplazo con el algoritmo LRU y las políticas de escritura predeterminadas.

### 2.1.1 Tablas y gráficas.

#### Traza cc1:

Los datos obtenidos con la traza cc1 son los siguientes:

|  |  |  |
| --- | --- | --- |
| Traza | Tamaño | Tasa de fallos |
| cc1 | 0,5 KB | 0,5199 |
| cc1 | 1 KB | 0,3342 |
| cc1 | 2 KB | 0,2232 |
| cc1 | 4 KB | 0,1376 |
| cc1 | 8 KB | 0,0962 |
| cc1 | 16 KB | 0,0549 |
| cc1 | 32 KB | 0,0311 |
| cc1 | 64 KB | 0,0191 |
| cc1 | 128 KB | 0,0078 |
| cc1 | 256 KB | 0,0049 |
| cc1 | 512 KB | 0,0042 |
| cc1 | 1 MB | 0,003468993 |
| cc1 | 2 MB | 0,003468993 |
| cc1 | 4 MB | 0,003468993 |
| cc1 | 8MB | 0,000881998 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración 3. Influencia en la tasa de fallos del tamaño de una memoria cache (cc1)

#### Traza text:

Los datos obtenidos en la traza text son los siguientes:

|  |  |
| --- | --- |
| 0,5 KB | 0,6098 |
| 1 KB | 0,555 |
| 2 KB | 0,1419 |
| 4 KB | 0,0954 |
| 8 KB | 0,0444 |
| 16 KB | 0,0186 |
| 32 KB | 0,0048 |
| 64 KB | 0,0023 |
| 128 KB | 0,02 |
| 256 KB | 0,0013 |
| 512 KB | 0,000105709 |
| 1 MB | 0,000105709 |
| 2 MB | 0,000105709 |
| 4 MB | 0,000105709 |
| 8MB | 0,000105709 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración 4.- Influencia en la tasa de fallos del tamaño de una memoria caché (tex).

#### Traza spice:

Los datos de la traza spice son los siguientes:

|  |  |
| --- | --- |
| 0,5 KB | 0,6098 |
| 1 KB | 0,555 |
| 2 KB | 0,1419 |
| 4 KB | 0,0954 |
| 8 KB | 0,0444 |
| 16 KB | 0,0186 |
| 32 KB | 0,0048 |
| 64 KB | 0,0023 |
| 128 KB | 0,00195561 |
| 256 KB | 0,001340578 |
| 512 KB | 0,000105709 |
| 1 MB | 0,000105709 |
| 2 MB | 0,000105709 |
| 4 MB | 0,000105709 |
| 8MB | 0,000105709 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración 5.-Influencia en la tasa de fallos del tamaño de una memoria caché (spice).

### 2.1.2 Conclusiones de la influencia del tamaño de una memoria cache.

Como podemos ver en cada gráfico anterior, podemos ver que la tasa de fallos de una memoria cache se reduce cuando aumenta el tamaño de dicha memoria. Para observar claramente esta conclusión, mostraremos la siguiente gráfica que agrupa las anteriores.

Ilustración 6.-Influencia en la tasa de fallos del tamaño de una memoria caché

Podemos observar que la tasa de fallos se reduce de manera exponencial en todas las trazas. Esto tiene su lógica, ya que al aumentar el tamaño de la memoria cache aumentarán el número de datos o instrucciones que caben en ella, haciendo más probable acertar con un dato o una instrucción (hit) por el principio de localidad temporal. También cabe resaltar que, al ser más datos, el tiempo de acierto será mayor. Como hemos dicho anteriormente, el simulador dineroIV no nos ofrece ningún tipo de rendimiento temporal, lo que nos impide medir como aumenta el tiempo de acierto.

## 2.2 Estudio de la influencia del tamaño de bloque en una memoria cache.

Para observar la influencia del tamaño de bloque en el rendimiento de una memoria cache, utilizaremos un tamaño de memoria de 2 MB, una asociatividad de 1, una política de remplazo con el algoritmo LRU y las políticas de escritura predeterminadas.

### 2.2.2 Tablas y gráficas.

Los resultados obtenidos del estudio son los siguientes.

#### Traza cc1

|  |  |  |
| --- | --- | --- |
| Traza | Tamaño de bloque | Tasa de fallos |
| cc1 | 4 B | 0,0418 |
| cc1 | 8 B | 0,0231 |
| cc1 | 16 B | 0,0136 |
| cc1 | 32 B | 0,0082 |
| cc1 | 64 B | 0,0055 |
| cc1 | 128 B | 0,0042 |
| cc1 | 256 B | 0,003456993 |
| cc1 | 512 B | 0,003468993 |
| cc1 | 1 KB | 0,003435993 |
| cc1 | 2 KB | 0,004201992 |
| cc1 | 4 KB | 0,005396989 |
| cc1 | 8 KB | 0,008173984 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración 7.-Influencia del tamaño de bloque en el rendimiento de las memorias cache (cc1)

#### Traza tex (A REVISAR)

|  |  |
| --- | --- |
| 4 B | 0,0116 |
| 8 B | 0,005827188 |
| 16 B | 0,002927408 |
| 32 B | 0,001473915 |
| 64 B | 0,000745967 |
| 128 B | 0,00037959 |
| 256 B | 0,000197002 |
| 512 B | 0,000105709 |
| 1 KB | 5,88605E-05 |
| 2 KB | 3,48358E-05 |
| 4 KB | 2,28235E-05 |
| 8 KB | 1,80185E-05 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración 8.-Influencia del tamaño de bloque en el rendimiento de las memorias cache (tex)

#### Traza spice

|  |  |
| --- | --- |
| 4 B | 0,0143 |
| 8 B | 0,0075 |
| 16 B | 0,0042 |
| 32 B | 0,0024 |
| 64 B | 0,0015 |
| 128 B | 0,001 |
| 256 B | 0,000595999 |
| 512 B | 0,000501999 |
| 1 KB | 0,000506999 |
| 2 KB | 0,000584999 |
| 4 KB | 0,002158998 |
| 8 KB | 0,013139987 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración 9.-Influencia del tamaño de bloque en el rendimiento de las memorias cache (spice)

### 2.2.2 Conclusiones.

Como podemos ver en cada gráfico anterior, podemos ver que la tasa de fallos de una memoria cache se reduce cuando aumenta el tamaño de dicha memoria hasta un punto en el que comienza a crecer la tasa de fallos. Para observar claramente esta conclusión, mostraremos la siguiente gráfica que agrupa las anteriores.

Ilustración .-Influencia en la tasa de fallos del tamaño de bloque de una memoria caché

Como observamos, en todas las trazas se reduce exponencialmente la tasa de fallos hasta un punto de inflexión en el que comienza a crecer exponencialmente. Este punto es el punto en el que la localidad espacia l se comienza a ver perjudicada ya que cada palabra adicional está más alejada de las palabras que ya se han referenciado. (Explicar Mejor) .

## 2.3 Estudio de la influencia de la asociatividad en las memorias cache.

Para estudiar como influye la asociatividad en el rendimiento observaremos una memoria cache de un tamaño de 512 B, de un tamaño de bloque de 64 B, con algoritmo de reemplazo de LRU, y políticas de escritura predeterminadas.

### 2.3.1 Datos y tablas.

#### Traza cc1.

|  |  |
| --- | --- |
| Asociatividad | Tasa de fallos |
| 1 | 0,016174968 |
| 2 | 0,007959984 |
| 4 | 0,006621987 |
| 8 | 0,006060988 |
| 16 | 0,005808988 |
| 32 | 0,005738989 |
| 64 | 0,005724989 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración .-Influencia de la asociatividad en el rendimiento de las memorias cache (cc1)

#### Traza tex

|  |  |
| --- | --- |
| 1 | 0,001231265 |
| 2 | 0,000748369 |
| 4 | 0,000745967 |
| 8 | 0,000745967 |
| 16 | 0,000745967 |
| 32 | 0,000745967 |
| 64 | 0,000745967 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración .-Influencia de la asociatividad en el rendimiento de las memorias cache (tex)

#### Traza spice

|  |  |
| --- | --- |
| 1 | 0,003000997 |
| 2 | 0,001558998 |
| 4 | 0,001348999 |
| 8 | 0,001268999 |
| 16 | 0,001226999 |
| 32 | 0,001227999 |
| 64 | 0,001216999 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración .-Influencia de la asociatividad en el rendimiento de las memorias cache (spice)

### 2.3.2 Conclusiones

Ilustración .-Influencia de la asociatividad en el rendimiento de las memorias cache

## 2.4 Estudio de la influencia de los algoritmos de remplazo en las memorias cache

Para estudiar cómo influye la asociatividad en el rendimiento observaremos una memoria cache de un tamaño de 64 KB, de un tamaño de bloque de 64, una asociatividad totalmente asociativa (64) y políticas de escritura predeterminadas.

## 2.4.1 Tablas y gráficas

#### Traza cc1

|  |  |
| --- | --- |
| LRU | 0,005724989 |
| FIFO | 0,006926986 |
| RANDOM | 0,007693985 |

La gráfica correspondiente a estos datos es la siguiente:

Ilustración .-Influencia de la asociatividad en el rendimiento de las memorias cache (cc1)

#### Traza tex

|  |  |
| --- | --- |
| LRU | 0,000745967 |
| FIFO | 0,000745967 |
| RANDOM | 0,000745967 |

Visto gráficamente:

Ilustración .-Influencia de la asociatividad en el rendimiento de las memorias cache (tex)

#### Traza spice

|  |  |
| --- | --- |
| LRU | 0,001216999 |
| FIFO | 0,001261999 |
| RANDOM | 0,001237999 |

La gráfica correspondiente a estos datos es la siguiente:

### 2.4.2 Conclusiones

Ilustración .-Influencia de los algoritmos de reemplazo en el rendimiento de las memorias cache

## 2.5 Estudio de la influencia de los algoritmos de escritura en las memorias cache.

# 3. Diseño de una memoria cache de 2300 KB.