

DEFINIZIONI

Friday, January 14, 2022

3:55 PM

A)

Un latch D è opaco

Per tutto il tempo in cui il segnale di sincronizzazione è uguale a 0

B)

Un flip-flop D può mantenere lo stato memorizzato

Fino al prossimo fronte di clock per il quale è sensibile

C)

Lo sfasamento di clock

Riduce il tempo a disposizione dei circuiti combinatori per produrre segnali stabili tra un fronte di clock e il successivo

Riduce il tempo di hold

Aumenta il sovraccarico di sequenziamento

D)

Indicare per quali ingressi un latch SR assume lo stato stabile $Q=0$

$$S=0, R=1$$

E)

Un flip-flop D resettabile in modo asincrono, senza ingresso di abilitazione, può mantenere lo stato memorizzato

Fino al prossimo fronte di clock per il quale è sensibile, purché il segnale di reset non sia asserted prima

F) Indicare per quali ingressi un latch SR assume lo stato stabile $Q = 1$
 $S = 1, R = 0$

G) Un latch D è trasparente

Per tutto il tempo in cui il segnale di sincronizzazione è uguale a 1

H) Un flip-flop con abilitazione può mantenere lo stato memorizzato
Indefinitamente

I) Il tempo di apertura

la somma dei tempi di hold e di setup

$$t_a = t_{hold} + t_{setup}$$

L) Un latch D può mantenere lo stato memorizzato

Per tutto il tempo in cui il segnale di sincronizzazione (clock) è basso