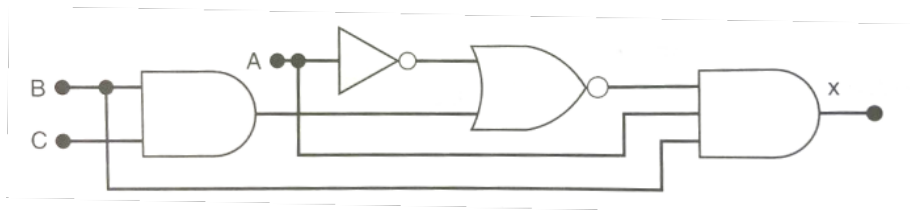


Álgebra Booleana - 2



: Versão para impressão.

Simplifique o circuito a seguir:



(desenhe o circuito simplificado)

Encontre a equação dos mapas de K. a seguir:

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	1	1	1
$\bar{A}B$	1	1	0	0
AB	0	0	0	1
$A\bar{B}$	0	0	1	1

(a)*

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	0	1	1
$\bar{A}B$	1	0	0	1
AB	0	0	0	0
$A\bar{B}$	1	0	1	1

(b)

	\bar{C}	C
$\bar{A}\bar{B}$	1	1
$\bar{A}B$	0	0
AB	1	0
$A\bar{B}$	1	X

(c)

(TOCCCI - pg. 178)

X representa: Tanto faz, pode assumir 1 ou 0. Você deve decidir o que for melhor para a simplificação.

Detector de moedas

Um detector de moedas em uma máquina de venda aceita *quarters*, *dimes* e *nickels* e ativa o sinal correspondente (Q,D,N) apenas com a moeda correta. É fisicamente impossível múltiplas moedas estarem presentes ao mesmo tempo. Um circuito digital utiliza os sinais Q,D e N como entradas e produz um número binário representando o valor da moeda, como mostrado no circuito a seguir.

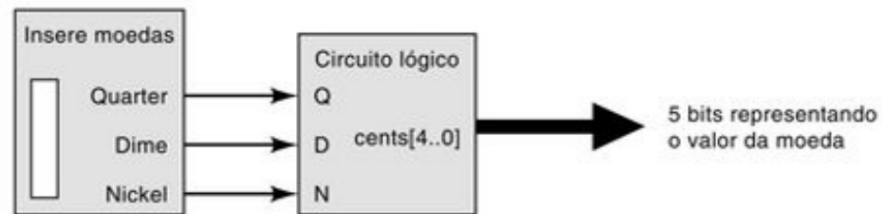
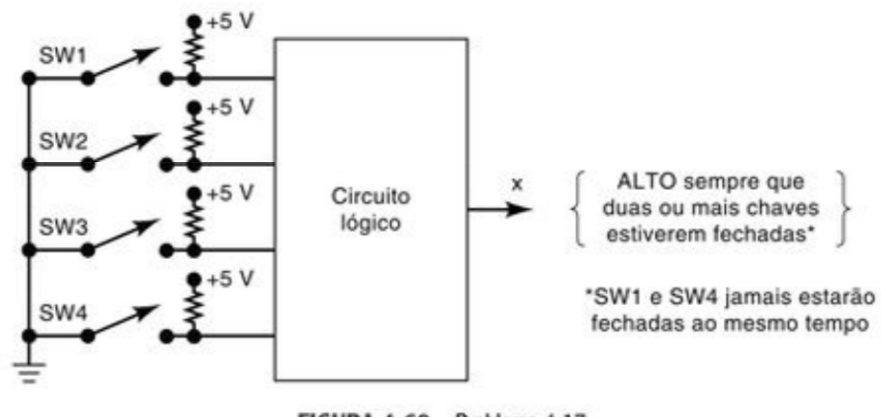


FIGURA 4.62 Um circuito detector de moedas para uma máquina de venda.

Impressora

A fig. a seguir mostra quatro chaves que fazem parte do circuito de controle em uma máquina copiadora. As chaves estão posicionadas ao longo da trajetória do papel dentro da máquina. Cada chave está no estado normal aberta e, quando o papel passa sobre a chave, ela é fechada. É impossível o fechamento simultâneo das chaves SW1 e SW2.

1. Projete um circuito lógico que gere em saída em nível ALTO sempre que duas ou mais chaves estiverem fechadas ao mesmo tempo. Utilize o mapa de Karnaugh.



(TOCCI - pg. 179)

SevenSeg

Encontre as equações que regem os segmentos 0 e 6 de um display de 7 segmentos.

3.3 Using the 7-segment Displays

The DE0-CV board has six 7-segment displays. These displays are paired to display numbers in various sizes. [Figure 3-9](#) shows the connection of seven segments (common anode) to pins on Cyclone V FPGA. The segment can be turned on or off by applying a low logic level or high logic level from the FPGA, respectively.

Each segment in a display is indexed from 0 to 6, with corresponding positions given in [Figure 3-9](#). [Table 3-5](#) shows the pin assignment of FPGA to the 7-segment displays.

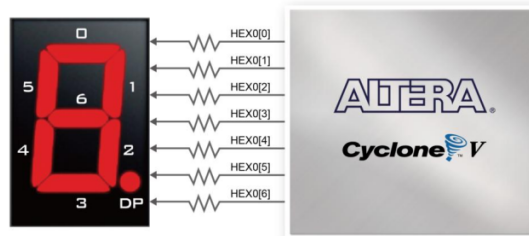


Figure 3-9 Connections between the 7-segment display HEX0 and the Cyclone V FPGA