

Tutorato Architettura degli Elaboratori Modulo 1

Lezione 4

Francesco Pelosin

28 Novembre 2018

1 Automa di Moore

Un'automa di Moore può essere definito come una quintupla $(S, \Sigma, G, \wedge, T)$ costituita da:

- un insieme finito di stati (S)
- un insieme finito chiamato alfabeto degli ingressi (Σ)
- un insieme finito chiamato alfabeto delle uscite (\wedge)
- una funzione `next_state`, $T : S \times \Sigma \rightarrow S$ che mappa uno stato ed un ingresso allo stato prossimo
- una funzione `output`, $G : S \rightarrow \wedge$ che mappa ciascun stato nell'alfabeto delle uscite

***N.B:** per ragioni dovute alla libreria grafica usata per rappresentare gli automi di Moore, gli stati contengono al loro interno sia l'etichetta che l'output. Ricordiamo che lo standard prevede che ogni stato venga marcato all'interno con il solo valore di output.*

1.1 Esercizi

1. Progettare un circuito sequenziale di Moore che, ricevuto in ingresso un segnale i , riconosca le sottosequenze di 2 bit aventi configurazione 00 e 11 e, in corrispondenza, produca in uscita un segnale o pari a 1. Per tutte le altre configurazioni delle sottosequenze di 2 bit in ingresso, o deve essere pari a 0. Le sottosequenze di 2 bit non si sovrappongono. Un esempio di input e output del circuito in cui le sottosequenze sono state divise in gruppi di 2 bit è il seguente:

- $i = 10\ 11\ 01\ 00\ 01\ 11\ 11$
- $o = 00\ 01\ 00\ 01\ 00\ 01\ 01$

Definire l'automa a stati finiti di Moore, ricavare le tabelle di verità e le forme SP minime.

2. Si progetti un circuito sequenziale che modella un semplice sistema di deposito merci. Il circuito riceve in ingresso un segnale i che indica, ad ogni ciclo di clock, il tipo di operazione richiesta. In particolare, $i = 1$ indica una richiesta di ingresso merce al deposito, mentre $i = 0$ indica una richiesta di uscita merce dal deposito. Si assumano i seguenti vincoli per il sistema:

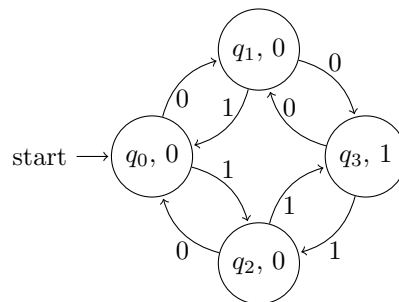
- entra ed esce dal deposito sempre una sola tipologia di merce
- una richiesta di ingresso è sempre relativa a 2 unità di merce
- una richiesta di uscita è sempre relativa a 3 unità di merce
- il deposito può ospitare fino a 6 unità di merce
- una richiesta di ingresso merce viene ignorata se il deposito in quel momento non ha sufficiente spazio per ospitare la merce
- una richiesta di uscita merce viene ignorata se il deposito in quel momento non ha merce sufficiente da far uscire

Il circuito deve fornire in uscita un segnale a tre bit o_2, o_1, o_0 che indica, ad ogni ciclo di clock, lo spazio disponibile in deposito (o_2 cifra più significativa). Si richiede di:

- disegnare l'automa a stati finiti che modella il sistema
- definire la codifica degli stati del sistema e scrivere le tabelle di verità per le funzioni **output** e **next_state**
- minimizzare le funzioni **output** e **next_state**

1.2 Soluzioni

1. Per prima cosa disegniamo l'automa a stati finiti che modella il sistema:



Dove:

- q_0 : codifica che l'automa non ha ancora riconosciuto la sequenza
- q_1 : codifica che l'automa ha letto il primo 0
- q_2 : codifica che l'automa ha letto il primo 1
- q_3 : codifica che l'automa ha riconosciuto la sequenza

Definiamo ora la codifica degli stati e le funzioni **output** e **next_state**:

<i>Stato</i>	s_1	s_0	s_1	s_0	o	s_1	s_0	i	s'_1	s'_0
						0	0	0	0	1
q_0	0	0	0	0	0	0	0	1	1	0
q_1	0	1	0	1	0	0	1	1	0	0
q_2	1	0	1	0	0	1	0	0	0	0
q_3	1	1	1	1	1	1	0	1	1	1
						1	1	0	0	1
						1	1	1	1	0

Per quanto riguarda la funzione di **output** banalmente questa equivale a: $o = s_1 \cdot s_0$. Minimizziamo ora le funzioni s_1 e s_0 :

		$s_1 s_0$			
		00	01	11	10
i	0	0	1	0	0
	1	1	0	1	1

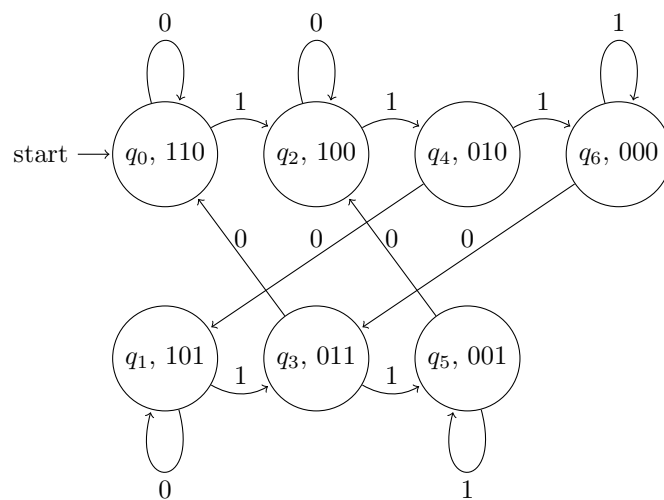
- $s'_1 = \sim i \cdot \sim s_1 \cdot s_0 + i \cdot \sim s_0 + s_1 \cdot i$

		$s_1 s_0$			
		00	01	11	10
i	0	1	1	1	0
	1	0	0	0	1

- $s'_0 = \sim i \cdot \sim s_1 + \sim i \cdot s_0 + i \cdot s_1 \cdot \sim s_0$

Si lascia agli studenti come esercizio il compito di disegnare i circuiti corrispondenti.

2. Per prima cosa disegniamo l'automa a stati finiti che modella il sistema:



Dove:

- q_0 : codifica il magazzino con 6 posti liberi
- q_1 : codifica il magazzino con 5 posti liberi
- q_2 : codifica il magazzino con 4 posti liberi
- q_3 : codifica il magazzino con 3 posti liberi
- q_4 : codifica il magazzino con 2 posti liberi
- q_5 : codifica il magazzino con 1 posti liberi
- q_6 : codifica il magazzino con 0 posti liberi

Definiamo ora la codifica degli stati:

<i>Stato</i>	s_2	s_1	s_0
q_0	0	0	0
q_1	0	0	1
q_2	0	1	0
q_3	0	1	1
q_4	1	0	0
q_5	1	0	1
q_6	1	1	0
—	1	1	1

Osserviamo che la combinazione $s_2 = 1, s_1 = 1, s_0 = 1$ non codifica nessun stato in quanto ne

dobbiamo codificare 7. Procediamo ora a definire le funzioni **output** e **next_state**:

s_2	s_1	s_0	o_2	o_1	o_0	s_2	s_1	s_0	i	s'_2	s'_1	s'_0
0	0	0	1	1	0	0	0	0	0	0	0	0
0	0	1	1	0	1	0	0	0	1	0	1	0
0	1	0	1	0	0	0	0	1	0	0	0	1
0	1	1	0	1	1	0	0	1	1	0	1	1
1	0	0	0	1	0	0	1	0	0	0	1	0
1	0	1	0	0	1	0	1	0	1	1	0	0
1	1	0	0	0	0	0	1	1	0	0	0	0
1	1	1	x	x	x	0	1	1	1	1	0	1
						1	0	0	0	0	0	1
						1	0	0	1	1	1	0
						1	0	1	0	0	1	0
						1	0	1	1	1	0	1
						1	1	0	0	0	1	1
						1	1	0	1	1	1	0
						1	1	1	0	x	x	x
						1	1	1	1	x	x	x

Minimizziamo ora le funzioni o_2 , o_1 e o_0 :

		$s_2 s_1$			
		00	01	11	10
s_0	0	1	1	0	0
	1	1	0	x=0	0

- $o_2 = \sim s_2 \cdot \sim s_0 + \sim s_2 \cdot s_1$

		$s_2 s_1$			
		00	01	11	10
s_0	0	1	0	0	1
	1	0	1	x=1	0

- $o_1 = \sim s_1 \cdot \sim s_0 + s_1 \cdot s_0$

		$s_2 s_1$			
		00	01	11	10
s_0	0	0	0	0	0
	1	1	1	x=1	1

- $o_0 = s_0$

Minimizziamo ora le funzioni s'_2 , s'_1 e s'_0 :

		$s_2 s_1$			
		00	01	11	10
$s_0 i$	00	0	0	0	0
	01	0	1	1	1
	11	0	1	x=1	1
	10	0	0	x=0	0

- $s'_2 = s_1 \cdot i + s_2 \cdot i$

		$s_2 s_1$			
		00	01	11	10
$s_0 i$	00	0	1	1	0
	01	1	0	1	1
	11	1	0	x=0	0
	10	0	0	x=1	1

- $s'_1 = s_1 \cdot \sim s_0 \cdot \sim i + s_2 \cdot \sim s_0 \cdot i + \sim s_2 \cdot s_1 \cdot i + s_2 \cdot s_0 \cdot \sim i$

		$s_2 s_1$			
		00	01	11	10
$s_0 i$	00	0	0	1	1
	01	0	0	0	0
	11	1	1	x=1	1
	10	1	0	x=0	0

- $s'_1 = s_2 \cdot \sim s_0 \cdot \sim i + s_0 \cdot i + \sim s_2 \cdot s_1 \cdot s_0$

Si lascia agli studenti come esercizio il compito di disegnare i circuiti corrispondenti.

2 Automa di Mealy

Un'automa di Mealy può essere definito come una quintupla $(S, \Sigma, G, \wedge, T)$ costituita da:

- un insieme finito di stati (S)
- un insieme finito chiamato alfabeto degli ingressi (Σ)
- un insieme finito chiamato alfabeto delle uscite (\wedge)
- una funzione **next_state**, $T : S \times \Sigma \rightarrow S$ che mappa uno stato ed un ingresso allo stato prossimo
- una funzione **output**, $G : S \times \Sigma \rightarrow \wedge$ che mappa ciascun stato nell'alfabeto delle uscite

2.1 Esercizi

1. Si vuole costruire un circuito sequenziale di Mealy che modella un sommatore binario bit a bit con riporto. Il circuito riceve in ingresso due segnali i_1 e i_2 e ad ogni passo deve:
 - calcolare la somma dei due bit in ingresso e del riporto relativo al passo precedente
 - propagare il riporto generato dalla somma al passo successivo

Il circuito fornisce in uscita due segnali:

- somma che rappresenta il risultato della somma calcolata ad ogni passo

- riporto che rappresenta il riporto generato ad ogni passo.

Ad esempio, supponendo che al tempo t_{i-1} il riporto generato sia 1, e che al tempo t_i gli ingressi siano $i_1 = 1$ e $i_2 = 0$ allora la somma calcolata al tempo t_i è pari a 0 e il riporto generato è pari a 1. Si richiede di:

- disegnare l'automa a stati finiti che modella il circuito
 - definire la codifica degli stati del circuito e scrivere le tabelle di verità per le funzioni **output** e **next_state**
 - minimizzare le funzioni **output** e **next_state**
2. Progettare un circuito sequenziale di Mealy con due ingressi i_1 , i_2 e una uscita o definita come segue:
- $o = 1$ se i_1 e i_2 coincidono negli ultimi tre cicli di clock
 - $o = 0$ altrimenti

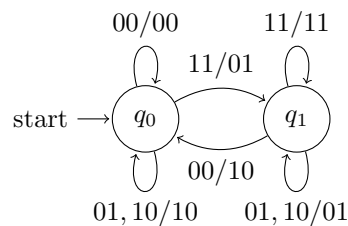
Per i primi due cicli di clock il circuito deve dare in uscita $o = 0$. Devono essere considerate eventuali sequenze sovrapposte. Ad esempio:

- $i_1 = 01011110100 \dots$
- $i_2 = 11010010101 \dots$
- $o = 00010000110 \dots$

Definire l'automa a stati finiti, ricavare le tabelle di verità e le forme SP minime. Disegnare infine il circuito risultante.

2.2 Soluzioni

1. Per prima cosa disegniamo l'automa a stati finiti che modella il sistema:



Essendo l'automa di Mealy, l'output viene inserito sugli archi uscenti da uno stato e non più all'interno dello stato. In particolare:

- q_0 : codifica lo stato con riporto uguale a 0
- q_1 : codifica lo stato con riporto uguale a 1

Definiamo ora la codifica degli stati e le funzioni output e next_state:

		s_0	i_1	i_2	S	R	s'_0
$\frac{Stato}{\begin{array}{c c} q_0 & 0 \\ q_1 & 1 \end{array}}$	s_0	0	0	0	0	0	0
		0	0	1	1	0	0
		0	1	0	1	0	0
		0	1	1	0	1	1
		1	0	0	1	0	0
		1	0	1	0	1	1
		1	1	0	0	1	1
		1	1	1	1	1	1

Minimizziamo ora le funzioni S , R e s'_0 :

		$i_1 i_0$			
		00	01	11	10
s_0	0	0	1	0	1
	1	1	0	1	0

- $S = \sim s_0 \cdot \sim i_1 \cdot i_0 + \sim s_0 \cdot i_1 \cdot \sim i_0 + s_0 \cdot \sim i_1 \cdot \sim i_0 + s_0 \cdot i_1 \cdot i_0$

		$i_1 i_0$			
		00	01	11	10
s_0	0	0	0	1	0
	1	0	1	1	1

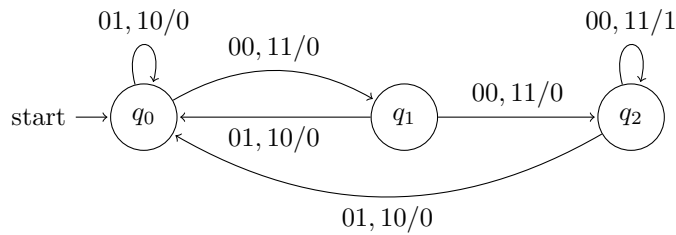
- $R = i_1 \cdot i_0 + s_0 \cdot i_0 + s_0 \cdot i_1$

		$i_1 i_0$			
		00	01	11	10
s_0	0	0	0	1	0
	1	0	1	1	1

- $s'_0 = i_1 \cdot i_0 + s_0 \cdot i_0 + s_0 \cdot i_1$

Si lascia agli studenti come esercizio il compito di disegnare i circuiti corrispondenti.

2. Per prima cosa disegniamo l'automa a stati finiti che modella il sistema:



Essendo l'automa di Mealy l'output viene inserito sugli archi uscenti da uno stato e non più all'interno dello stato. In particolare:

- q_0 : codifica lo stato iniziale in cui si ricevono i primi due input
- q_1 : codifica lo stato in cui al primo ciclo di clock i due input sono uguali
- q_2 : codifica lo stato in cui al secondo ciclo di clock i due input sono ancora uguali

Definiamo ora la codifica degli stati e le funzioni output e next_state:

Stato	s_1	s_0
q_0	0	0
q_1	0	1
q_2	1	0
—	1	1

s_1	s_0	i_1	i_0	o	s'_1	s'_0
0	0	0	0	0	0	1
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	1
0	1	0	0	0	1	0
0	1	0	1	0	0	0
0	1	1	0	0	0	0
0	1	1	1	0	1	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	1	0	0	0	0
1	0	1	1	1	1	0
1	1	0	0	x	x	x
1	1	0	1	x	x	x
1	1	1	0	x	x	x
1	1	1	1	x	x	x

Minimizziamo ora le funzioni o , s'_1 e s'_0 :

		$i_1 i_0$			
		00	01	11	10
$s_1 s_0$	00	0	0	0	0
	01	0	0	0	0
	11	x=1	x=0	x=1	x=0
	10	1	0	1	0

- $o = s_1 \cdot \sim i_1 \cdot \sim i_0 + s_1 \cdot i_1 \cdot i_0$

		$i_1 i_0$			
		00	01	11	10
$s_1 s_0$	00	0	0	0	0
	01	1	0	1	0
	11	x=1	x=0	x=1	x=0
	10	1	0	1	0

- $s'_1 = s_0 \cdot \sim i_1 \cdot \sim i_0 + s_0 \cdot i_1 \cdot i_0 + s_1 \cdot \sim i_1 \cdot \sim i_0 + s_1 \cdot i_1 \cdot i_0$

		$i_1 i_0$			
		00	01	11	10
$s_1 s_0$	00	1	0	1	0
	01	0	0	0	0
	11	x=0	x=0	x=0	x=0
	10	0	0	0	0

- $s'_0 = \sim s_1 \cdot \sim s_0 \cdot \sim i_1 \cdot \sim i_0 + \sim s_1 \cdot \sim s_0 \cdot i_1 \cdot i_0$

Si lascia agli studenti come esercizio il compito di disegnare i circuiti corrispondenti.