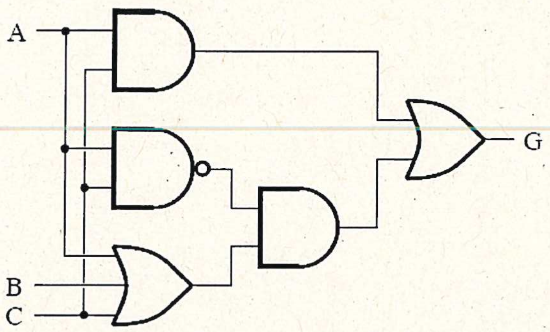
Prova Scritta di Elementi di Elettronica Digitale

31 gennaio 2020

NOME: .... COGNOME: ....

Numero di Matricola: ....

1	Minimizzare, con i teoremi dell'algebra di Boole, le seguenti funzioni logiche: $$y = (A + B + C \cdot D) \cdot (\overline{A} + B) \cdot (\overline{B} + C)$$ $$y = \overline{A + \overline{A}B + \overline{AB}} + \overline{A + \overline{B}}$$
2	Data la rete combinatoria in figura, • scrivere la funzione G (riportarne l'espressione sull'elaborato); • disegnare la corrispondente rete combinatoria minima che realizza la funzione G con sole porte NOR. 
3	Data in ingresso una parola a 4 bit, X=(x3 x2 x1 x0) in cui x3 è il bit più significativo e x0 il meno significativo, si realizzi una rete che generi in uscita il bit di parità pari, P, e il bit di parità dispari D, così definiti: ▪ P vale 1 se la parola in ingresso X contiene un numero dispari di bit al valore logico 1, mentre vale 0 in caso contrario. ▪ D vale 1 se la parola in ingresso X contiene un numero pari di bit al valore logico 1, mentre vale 0 in caso contrario. Si richiede di: a) scrivere la tabella della verità di P e D; b) determinare le espressioni SP minime di P e D mediante l'uso delle mappe di Karnaugh; c) ricavare e disegnare la rete combinatoria corrispondente facendo uso di sole porte XOR a due ingressi e NOT. (Facoltativo: Si modifichi la rete realizzata introducendo in uscita, a valle di P, un segnale di selezione EN in modo tale da avere un'unica uscita Z coincidente con il valore del bit di parità pari, P, se EN=0 oppure coincidente con il valore del bit di parità dispari D, se EN=1; in questo caso si utilizzino solo porte XOR.)
4	Si progetti una rete sequenziale sincrona caratterizzata da un unico segnale di ingresso (x) e da un unico segnale di uscita (z). L'uscita z assume il valore logico 1 se gli ultimi quattro bit consecutivi d'ingresso formano la sequenza campione 1100 (con sequenza di arrivo 1->1->0->0), dopodiché l'uscita rimane alta fintantoché i bit d'ingresso successivi ripropongono la sequenza campione: in caso contrario l'uscita vale 0. Si riporta un esempio di sequenza di ingresso e uscita (l'ultimo bit arrivato è quello più a dx): x: 0011000101100110100 z: 0000010000001111000 Si disegni il diagramma degli stati di una macchina di Mealy e si progetti la rete facendo uso di flip-flop sincroni di tipo D. Se ne disegni infine lo schema logico.
5	Si disegni lo schema circuitale di un Latch SR, e si descrivano le differenze principali tra un latch e un FF.

N.B.: Scrivere nome, cognome e numero di matricola con calligrafia comprensibile su tutti i fogli che verranno consegnati al docente. Anche l'ordine ha la sua importanza e verrà valutato, si prega di consegnare elaborati leggibili e ordinati.

Es. 1 (a)

$$y = (A+B+C\cdot D)\cdot(\bar{A}+B)\cdot(\bar{B}+C) =$$

$$= [B + (A + C\cdot D)\cdot\bar{A}]\cdot(\bar{B}+C) =$$

$$= [B + \cancelto{0}{A\bar{A}} + C\cdot D\cdot\bar{A}]\cdot(\bar{B}+C) =$$

$$= \cancelto{0}{B\bar{B}} + BC + \bar{A}\bar{B}CD + CD\bar{A}C =$$

$$= BC + \bar{A}\bar{B}CD + \bar{A}CD =$$

$$= BC + \bar{A}CD(\bar{B}+1) =$$

$$= BC + \bar{A}CD$$

Es. 1 (b)

$$Y = \overline{A + \bar{A}B + \overline{AB}} + \overline{A + \bar{B}} =$$

$$= \bar{A}\cdot(\overline{\bar{A}B})\cdot(\overline{\overline{AB}}) + \bar{A}\cdot\bar{\bar{B}} =$$

$$= \underbrace{\bar{A}\cdot(A+\bar{B})\cdot AB}_{=0} + \bar{A}\cdot B =$$

$$= \bar{A}B$$

Es. #2

$$G = \overline{AC} \cdot (A+B+C) + AC$$

$\rightarrow$ minimizzazione:

$$G = \overline{AC} \cdot (A+B+C) + AC =$$

$$= (\bar A + \bar C)(A+B+C) + AC =$$

$$= \cancelto{0}{\bar A A} + \bar A B + \bar A C + C\bar A + \bar C B + \cancelto{0}{\bar C C} + AC =$$

$$= \bar A B + \bar A C + A\bar C + B\bar C + AC =$$

me $(A(\bar C + C) = A)$

$$= \bar A B + \bar A C + \bar C B + A =$$

me $(\bar A C + A = A + C)$

$$= \bar A B + A + C + \bar C B =$$

me $(C + \bar C B = C + B)$

$$= \bar A B + A + B + C =$$

me $(A + \bar A B = A + B)$

$$= A + B + C$$

$\Rightarrow$ $G_{MIN} = A + B + C$ Realizzazione con porte NOR

$\Rightarrow$ $G_{MIN} = \overline{\overline{A+B+C}}$ $\Rightarrow$

Es. #3

x_3	x_2	x_1	x_0	P	D
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1

$D = \overline{P}$

$\boxed{P}$

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	0	1	0	1
10	1	0	1	0

$$P = \overline{x_3}\,\overline{x_2}\,\overline{x_1}\,x_0 + \overline{x_3}\,\overline{x_2}\,x_1\,\overline{x_0} + \overline{x_3}\,x_2\,\overline{x_1}\,\overline{x_0} + \overline{x_3}\,x_2\,x_1\,x_0 + x_3\,x_2\,\overline{x_1}\,x_0 + x_3\,x_2\,x_1\,\overline{x_0} + x_3\,\overline{x_2}\,\overline{x_1}\,\overline{x_0} + x_3\,\overline{x_2}\,x_1\,x_0$$

$\boxed{D}$

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	1	0	1	0
01	0	1	0	1
11	1	0	1	0
10	0	1	0	1

$D = \overline{P}$

Si minimizzi la funzione trovata:

$$P = \overline{x_3}\,\overline{x_2}\,(\overline{x_1}\,x_0 + x_1\overline{x_0}) + \overline{x_3}\,x_2\,(\overline{x_1}\,\overline{x_0} + x_1 x_0) +$$

$$+ x_3 x_2 (\overline{x_1}\,x_0 + x_1\overline{x_0}) + x_3\overline{x_2}\,(\overline{x_1}\,\overline{x_0} + x_1 x_0) =$$

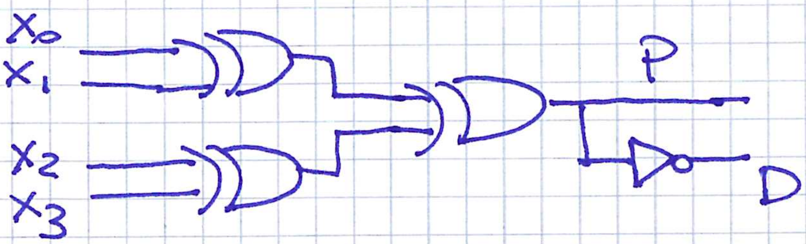
$$\left\{\begin{array}{lll} \text{ma} & \overline{x_1}\,x_0 + x_1\overline{x_0} = x_0 \oplus x_1 \\ \text{e} & \overline{x_1}\,\overline{x_0} + x_1 x_0 = \overline{x_0 \oplus x_1} \end{array}\right\}$$

$$\Rightarrow\quad P = (x_1 \oplus x_0)\left[\overline{x_3}\,\overline{x_2} + x_3 x_2\right] +$$

$$+ \overline{(x_1 \oplus x_0)}\left[\overline{x_3}\,x_2 + x_3\overline{x_2}\right] =$$

$$= (x_1 \oplus x_0)(\overline{x_2 \oplus x_3}) + \overline{(x_1 \oplus x_0)} \cdot (x_2 \oplus x_3) =$$

$$= (x_1 \oplus x_0) \oplus (x_2 \oplus x_3)$$



Facoltativo:

Poiché $D = \overline{P}$ si può costruire la seguente tabella della verità e ragionare con P

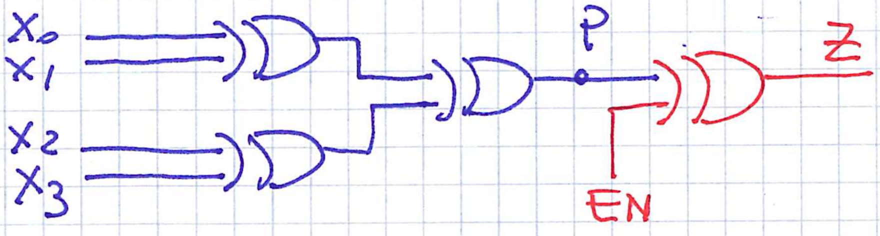
P	D	EN	Z
0	1	0	0
1	0	0	1
0	1	1	1
1	0	1	0

P \ EN	0	1
0	0	1
1	1	0

$\boxed{Z}$

$$Z = \overline{P}\,EN + P\,\overline{EN}$$
$$= P \oplus EN$$

Rimane quindi invariata la rete che genera P



che si modifica solo con l'aggiunta dello stadio sopra ricavato per ottenere Z (in rosso)

ES. #4 MACCHINA ALLA MEALY

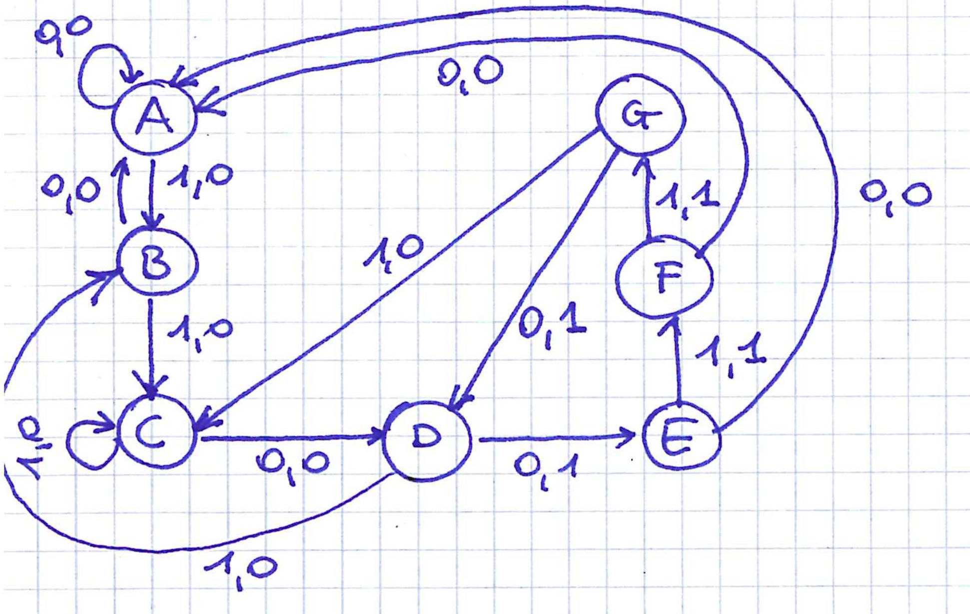


Tabelle degli stati:

	X=0	X=1
A	A,0	B,0
B	A,0	C,0
C	D,0	C,0
D	E,1	B,0
E	A,0	F,1
F	A,0	G,1
G	D,1	C,0

VERIFICO l'eventuale presenza di stati indistinguibili

	A	B	C	D	E	F
B	~~BC~~					
C	~~AD BC~~	~~AD~~				
D	X	X	X			
E	X	X	X	X		
F	X	X	X	X	~~FG~~	
G	X	X	X	~~ED BC~~	X	X

NON CI SONO STATI INDISTINGUIBILI

CODIFICO GLI STATI TROVATI → USO UNA CODIFICA A 3 BIT, $q_2 q_1 q_0$

	$q_2 q_1 q_0$	$x=0$	$x=1$
A)	000	000,0	001,0
B)	001	000,0	011,0
C)	011	010,0	011,0
D)	010	100,1	001,0
E)	100	000,0	101,1
F)	101	000,0	111,1
G)	111	010,1	011,0
H)	110	---,-	---,-

$q_2' q_1' q_0' , z$

Sintesi con FF-D

$\Rightarrow \quad q_i' = D_i$

$\boxed{q_2'}$

$q_2q_1 \backslash q_0x$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	–	–	0	0
10	0	1	1	0

$$q_2' = q_1 \bar{q}_0 \bar{x} + q_2 \bar{q}_1 x$$

$\boxed{q_1'}$

$q_2q_1 \backslash q_0x$	00	01	11	10
00	0	0	1	0
01	0	0	1	1
11	–	–	1	1
10	0	0	1	0

$$q_1' = q_0 x + q_1 q_0$$

$\boxed{q_0'}$

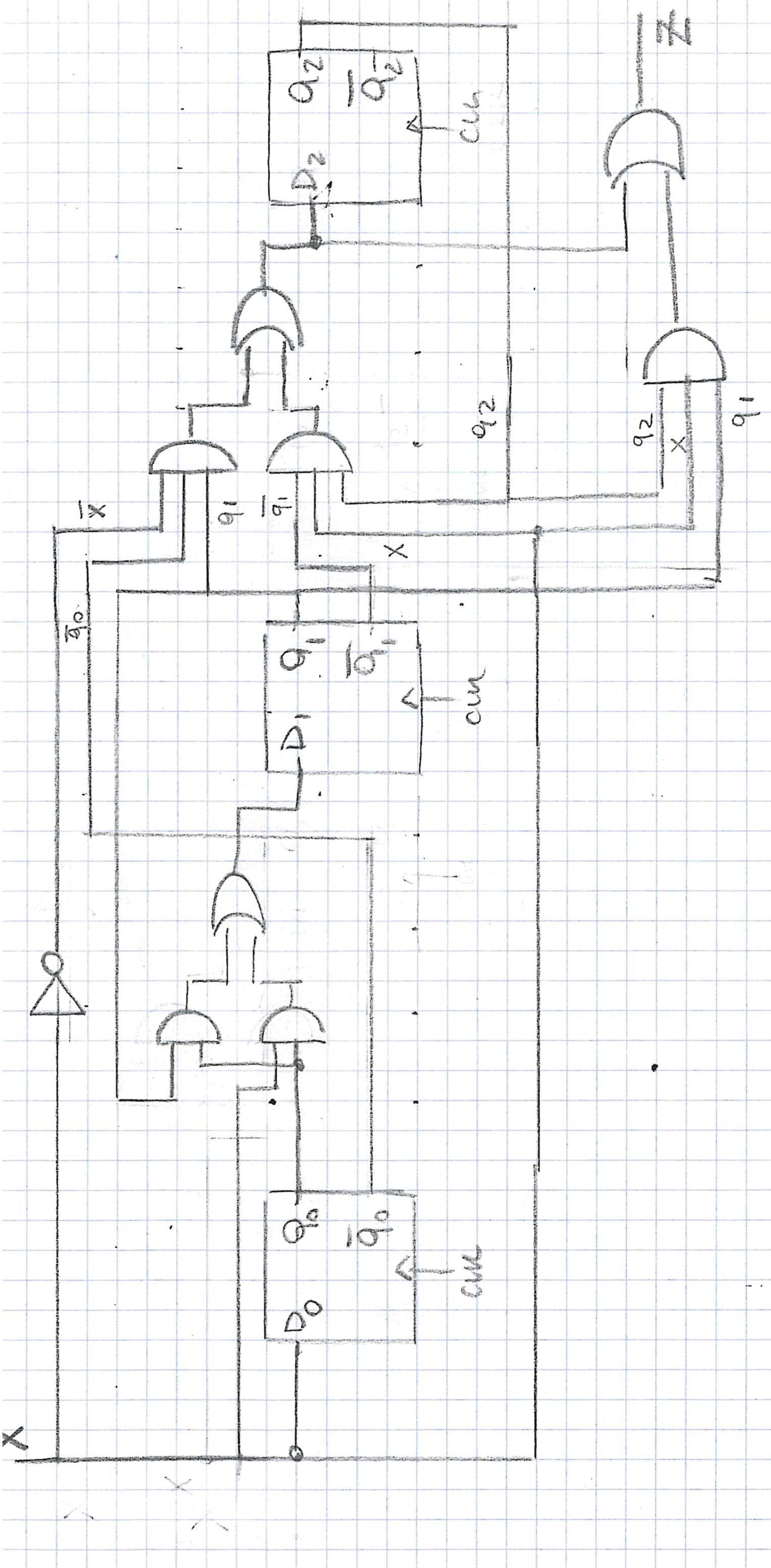
$q_2q_1 \backslash q_0x$	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	–	–	1	0
10	0	1	1	0

$$q_0' = x$$

$\boxed{z}$

$q_2q_1 \backslash q_0x$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	–	–	0	1
10	0	1	1	0

$$z = q_1 \bar{q}_0 \bar{x} + q_2 q_1 \bar{x} + q_2 \bar{q}_1 x$$


X
D_0
q_0
$\bar{q}_0$
D_1
q_1
$\bar{q}_1$
D_2
q_2
$\bar{q}_2$
clk
$\bar{x}$
Z