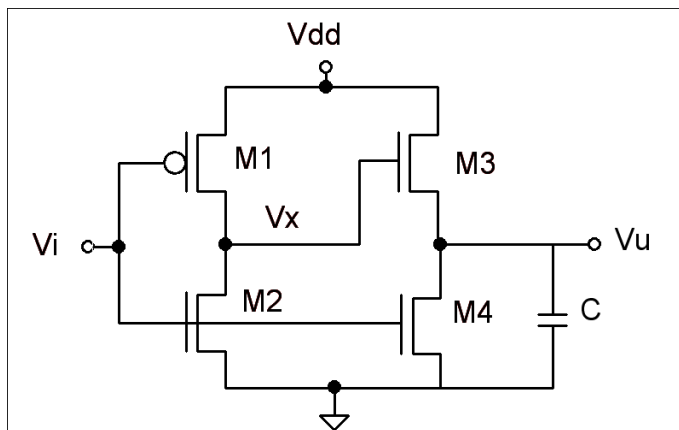


PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
15 GENNAIO 2009

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $|V_{T1}|=V_{T2}=V_{T4}$, V_{T3} , e dai coefficienti β_1 , β_2 , β_3 e β_4 .

Si dimensioni l'invertitore in ingresso (M1-M2) in modo tale che:

- La sua tensione di soglia logica $V_{LT_inverter}=V_i=V_x$ sia pari a $V_{dd}/2$;
- La potenza statica dissipata dall'invertitore in ingresso in corrispondenza di $V_{LT_inverter}=V_i=V_x$ sia pari a 1.6 mW.



Il segnale d'ingresso V_i , che pilota i transistori M1, M2, M4, abbia il seguente andamento:

$$t < 0: V_i = V_{dd}$$

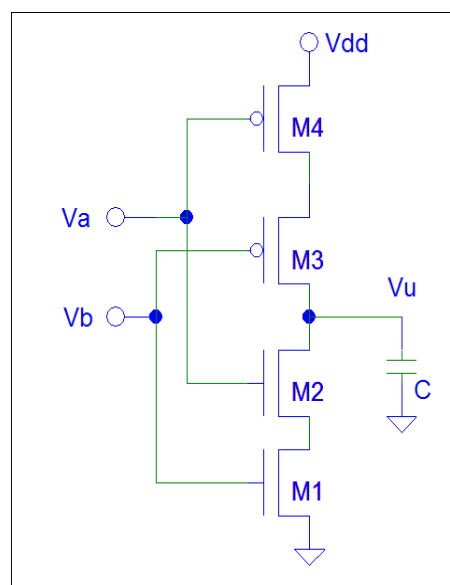
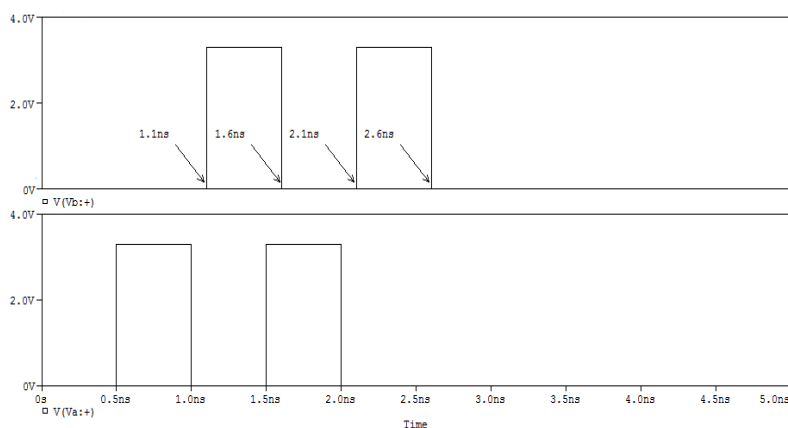
$$t > 0: V_i = 0$$

Si dimensioni il transistor M3 affinché il ritardo di propagazione t_{pLH} di V_u , definito come il tempo che il segnale d'uscita V_u impiega per compiere il 50% della transizione totale a partire dal valore iniziale, sia pari a 5 ns. A tale fine si ipotizzi una transizione istantanea della tensione V_x .

Si dimensioni infine il transistor M4 in modo tale che in corrispondenza della soglia logica del circuito $V_{LT}=V_i=V_u$ la corrente i_{12} sull'invertitore in ingresso (M1-M2) e quella i_{34} sui transistori M3-M4 siano tra loro uguali.

$$V_{dd} = 3.5 \text{ V}, |V_{T1}|=V_{T2}=V_{T4}=0.6 \text{ V}, V_{T3}=0.1 \text{ V}, C=1 \text{ pF}$$

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn} e V_{Tp} e dai coefficienti β_n e β_p . I segnali di ingresso V_a e V_b abbiano l'andamento mostrato in figura. Si determini l'andamento del segnale V_u , calcolandone in particolare il valore al termine di ciascun transistoro.



$$V_{dd} = 3.3 \text{ V}, V_{Tn} = -V_{Tp} = 0.4 \text{ V}, \beta_n = 1 \text{ mA/V}^2, \beta_p = 0.4 \text{ mA/V}^2, C=200 \text{ fF}$$

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).

Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).

Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

• Indicare su ciascun foglio nome, cognome, data e numero di matricola

• Non usare penne o matite rosse

L'elaborato deve essere contenuto in un unico foglio (4 facciate) protocollo

Compito del 15-01-2009 - Soluzione Esercizio #1

Calcolo dei coefficienti β_1 e β_2 .

<p>Alla soglia logica, per $v_i=v_x=v_{LT_inverter}=v_{dd}/2$, M1 ed M2 sono sat, e con $V_{T1} =V_{T2}$, si ha pure $\beta_1=\beta_2$.</p>	<p>$idp1sat=\beta_1/2*(v_{dd}/2- V_{T1})^2$ $P_{diss}=v_{dd}*idp1sat$ Risolvendo si ricava che $\beta_1=\beta_2=0.7 \text{ mA/V}^2$.</p>
--	--

Dimensionamento di M3.

- 1) $t < 0$, $v_i=V_{dd}$, allora M1 off, M2 on e lin con $v_x=0$ (poiché $id_{M2}=0$), M3 off, M4 on e lin (poiché $id_{M4}=0$, ma $v_i=v_{dd}$, allora $v_u=0 \text{ V}$).
- 2) Per $t=0+$ $v_i=0$ allora, M2 off, M4 off, M1 on, e supponendo istantanea la commutazione di v_x , $v_x(0+)=v_{dd}$. $v_u(0+)=v_u(0-)=0 \text{ V}$, allora M3 è on (sse $v_x-v_u > v_{T3}$, sse $v_{dd}-v_u > v_{T3}$, sse $v_u < 3.5-0.1 \text{ V}=3.4 \text{ V}$), e sat sse $v_x-v_u < v_{dd}-v_u+|V_{T1}|$ sse $0 < |V_{T1}|$, essendo $v_x=v_{dd}$. Quindi finché on M3 è saturo.
- 3) Per $t \rightarrow \infty$, $v_i=0$, quindi M1 on e lin, M2 e M4 off, M3 sulla soglia, con $v_u=3.4 \text{ V}$.

Il t_{pLH} è il tempo che il segnale d'uscita impiega per compiere il 50% della transizione totale : $v_u(0+)=0 \text{ V}$, $v_u(\infty)=(v_{dd}-v_{T3})=3.4$, quindi $\Delta v_u/2=1.7 \text{ V}$. Si noti che durante tutto il transitorio della v_u , M3 rimane sat.

<p>$idn3sat=\beta_3/2*(v_{dd}-v_u-v_{T3})^2$ $C*dv_u/dt=idn3sat$</p>	<p>$t_{pLH} = 5 \text{ ns} = \int_0^{(v_{dd}-v_{T3})/2} \frac{C}{idn3sat} dv_u$ Da cui si ricava che $\beta_3=0.12 \text{ mA/V}^2$</p>
---	---

Dimensionamento di M4.

Alla soglia logica del circuito, $v_i=v_u=v_{LT}$.

- i) $v_i=v_{LT}$ non può essere $> v_{dd}-|V_{T1}|$ perchè M1 sarebbe off, M2 on e lin con $v_x=0$, M4 on e lin e M3 off con $v_u=0$ che sarebbe diversa da v_{LT} ;
- ii) $v_i=v_{LT}$ non può essere $< v_{T2}$, poiché M2 e M4 sarebbero off, M1 on, $v_x=v_{dd}$ e M3 on sulla soglia con $v_u=v_{dd}-v_{T3}$ che è diverso da v_{LT} .
- iii) Quindi $v_i=v_{LT}$ sarà un valore compreso tra $V_{T2} < v_{LT} < v_{dd}-|V_{T1}|$.
Quindi M1 e M2 devono essere entrambi ON, allora $i_{12} \neq 0$ e così anche i_{34} che per hp è $i_{12}=i_{34}$: allora v_x dovrà avere un valore tale da accendere M3.

- Se M4 è on, M4 è per forza sat, poiché $v_i < v_u + V_{T4}$ è sempre verificata, essendo $v_i=v_u=v_{LT}$.
- M3 deve essere on, quindi deve essere $v_x-v_u > v_{T3}$, ovvero $v_x > v_{LT} + v_{T3}$; M3 sarà sat sse $v_x-v_u < v_{dd}-v_u+v_{T3}$, sse $v_x < v_{dd}+v_{T3}$, quindi sempre quando on.
- M2 sarà on, e sat quando $v_{LT} < v_x+v_{T2}$, sse $v_x > v_{LT}-v_{T2}$. Ma la condizione di accensione di M3 richiede che $v_x > v_{LT} + v_{T3} = v_{LT} + 0.1$, che soddisfa anche la condizione di saturazione di M2.

<p>M2 e M4 sono entrambi sat. $idn2sat=\beta_2/2*(v_{LT}-v_{T2})^2=i_{12}$ $idn4sat=\beta_4/2*(v_{LT}-v_{T4})^2=i_{34}$</p>	<p>ma essendo $i_{12}=i_{34}=idn4sat=idn2sat$ e $v_{T4}=v_{T2}$ deve essere $\beta_4=\beta_2=0.7 \text{ mA/V}^2$</p>
---	---

La rete di pull-up è costituita dalla serie dei pMOS M3 e M4 e si attiva quindi quando entrambi gli ingressi V_a e V_b sono al valore basso. La rete di pull-down, costituita dalla serie fra gli nMOS M1 e M2 si attiva quando entrambi gli ingressi sono al valore alto. Nel caso che uno degli ingressi sia alto e l'altro basso, sono interdette sia la rete di pull-up che la rete di pull-down e l'uscita si porta in condizioni di alta impedenza, mantenendo dinamicamente il valore precedente. L'andamento del segnale di uscita nella successione di intervalli di tempo è riportato nel seguito.

- 1) $t \in [0, 0.5 \text{ ns}]$: $V_a = 0, V_b = 0 \rightarrow$ pull-up attivo $\rightarrow V_u = V_{dd}$
- 2) $t \in [0.5 \text{ ns}, 1 \text{ ns}]$: $V_a = V_{dd}, V_b = 0 \rightarrow$ alta impedenza $\rightarrow V_u = V_{dd}$
- 3) $t \in [1 \text{ ns}, 1.1 \text{ ns}]$: $V_a = 0, V_b = 0 \rightarrow$ pull-up attivo $\rightarrow V_u = V_{dd}$
- 4) $t \in [1.1 \text{ ns}, 1.5 \text{ ns}]$: $V_a = 0, V_b = V_{dd} \rightarrow$ alta impedenza $\rightarrow V_u = V_{dd}$
- 5) $t \in [1.5 \text{ ns}, 1.6 \text{ ns}]$: $V_a = V_{dd}, V_b = V_{dd} \rightarrow$ pull-down attivo \rightarrow transitorio di discesa di V_u : il pull-down equivale a un transistore nMOS con $\beta_{eq} = \frac{\beta_n}{2}$, attraverso il quale si scarica il condensatore C. Per $V_{dd} \geq V_u \geq V_{dd} - V_T$ il transistore è saturo, e si ha:

$$\left. \begin{aligned} I_D &= \frac{\beta_{eq}(V_{dd} - V_T)^2}{2} \\ I_D &= -C \frac{dV_u}{dt} \end{aligned} \right\} \rightarrow dt = -\frac{2C}{\beta_{eq}(V_{dd} - V_T)^2} dV_u$$

Integrando:

$$\int_{1.5 \text{ ns}}^{t_{sat}} dt = - \int_{V_{dd}}^{V_{dd}-V_T} \frac{2C}{\beta_{eq}(V_{dd} - V_T)^2} dV_u \rightarrow t_{sat} = 1.5 \text{ ns} + \mathbf{38.05 \text{ ps}}$$

Successivamente, il transistore esce di saturazione ed entra in regione lineare. In questo caso si ha:

$$\left. \begin{aligned} I_D &= \beta_{eq} \left((V_{dd} - V_T)V_u - \frac{V_u^2}{2} \right) \\ I_D &= -C \frac{dV_u}{dt} \end{aligned} \right\} \rightarrow dt = -\frac{2C}{\beta_{eq}(2(V_{dd} - V_T) - V_u)V_u} dV_u$$

Integrando l'equazione in maniera abituale (scomposizione in fratte semplici) si ottiene:

$$\int_{t_{sat}}^t dt = - \int_{V_{dd}-V_T}^{V_u(t)} \frac{2C}{\beta_{eq}(2(V_{dd} - V_T) - V_u)V_u} dV_u \rightarrow t - t_{sat} = \frac{2C}{2\beta_{eq}(V_{dd} - V_T)} \ln \left(-\frac{V_u(t) - 2(V_{dd} - V_T)}{V_u(t)} \right)$$

Al termine dell'intervallo ($t = 1.6 \text{ ns}$) si ha quindi:

$$V_u(1.6 \text{ ns}) = \mathbf{2.26 \text{ V}}$$

- 6) $t \in [1.6 \text{ ns}, 2 \text{ ns}]$: $V_a = V_{dd}, V_b = 0 \rightarrow$ alta impedenza $\rightarrow V_u = 2.26 \text{ V}$
- 7) $t \in [2 \text{ ns}, 2.1 \text{ ns}]$: $V_a = 0, V_b = 0 \rightarrow$ pull-up attivo \rightarrow transitorio di salita di V_u : il pull-up equivale a un transistore pMOS con $\beta_{eq} = \frac{\beta_p}{2}$, attraverso il quale si carica il condensatore C. Poiché $V_u > |V_{Tp}| = 0.4 \text{ V}$, il transistore è in regione lineare durante tutto il transitorio. In maniera del tutto identica al caso precedente si calcola il transitorio in questo intervallo, al termine del quale si ha:

$$V_u(2.1 \text{ ns}) = \mathbf{2.48 \text{ V}}$$

- 8) $t \in [2.1 \text{ ns}, 2.6 \text{ ns}]$: $V_a = 0, V_b = V_{dd} \rightarrow$ alta impedenza $\rightarrow V_u = 2.48 \text{ V}$
- 9) $t > 2.6 \text{ ns}$: $V_a = 0, V_b = 0 \rightarrow$ pull-up attivo $\rightarrow V_u$ tende asintoticamente a V_{dd} .

