

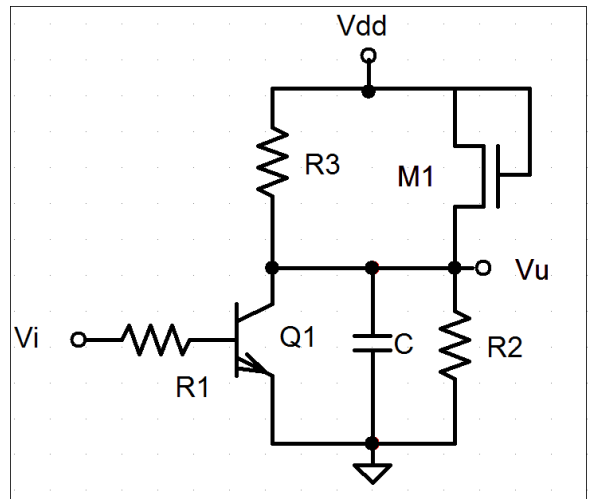
PROVA SCRITTA DI ELETTRONICA 1  
7 SETTEMBRE 2017

1) Nel circuito in figura, il transistor bipolare può essere descritto da un modello “a soglia”, con  $V_T = 0.75 \text{ V}$  e  $V_{CE,sat} = 0.2 \text{ V}$ , mentre il transistor MOS è caratterizzato dalla tensione di soglia  $V_{T1}$  e dal coefficiente  $\beta_1$ . Il segnale d'ingresso abbia il seguente andamento:

$$t < 0: V_i = 0$$

$$t > 0: V_i = V_{dd}$$

Si determini il ritardo di propagazione  $t_{p,HL}$  relativo al segnale d'uscita  $v_u$ , definito come il tempo necessario a compiere il 50% dell'escursione totale del segnale di uscita.

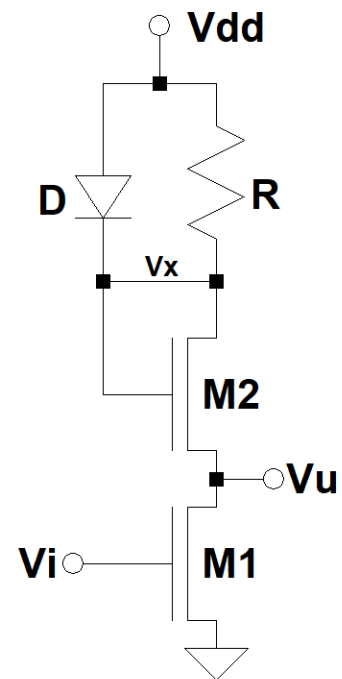


$$V_{dd} = 3.5 \text{ V}, V_{T1} = 0.5 \text{ V}, \beta_1 = 5 \text{ mA/V}^2, \beta_F = 100, R_1 = 500 \, \Omega, R_2 = 10 \text{ k}\Omega, R_3 = 1 \text{ k}\Omega, C = 10 \text{ nF}.$$

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia  $V_T$  e dai coefficienti  $\beta_1$  e  $\beta_2$ . Il diodo è descritto da un modello a soglia, con  $V_T = 0.75 \text{ V}$ .

Si determinino i valori “nominali”  $V_H$  e  $V_L$  della rete.

$$V_{dd} = 3.3 \text{ V}, V_T = 0.25 \text{ V}, \beta_1 = 1.8 \text{ mA/V}^2, \beta_2 = 0.6 \text{ mA/V}^2, R = 2 \text{ k}\Omega.$$



Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).

Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).

Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto in un unico foglio (4 facciate) protocollo

OSS. PRELIMINARI: Quando M1 è on è SAT. M1 on quando  $v_{dd}-v_u > v_{t1}$ , sse  $v_u < 3V$ .

1)  $t < 0$ ,  $v_i = 0$ , allora Q1 OFF. Si ipotizza anche M1 off (da verificare), sse  $v_u > 3V$ .

$V_u = v_{dd} * r_2 / (r_2 + r_3) = 3.182V$	Tale valore soddisfa l'ipotesi di spegnimento di M1. Quindi per $t < 0s$ , $v_u = 3.182V$
---	--

2) Per  $t \rightarrow \infty$ ,  $v_i = v_{dd}$ , quindi Q1 on e sat (sse  $v_u = v_{cesat}$  – da verificare) e M1 on e sat.

<u>Verifica ipotesi di saturazione di Q1.</u>	Da cui si ricava che:
Se Q1 sat, allora $v_u = v_{cesat}$	$i_{c1} = 0.011A$
$i_{b1} = i_{r1} = (v_{dd} - v_{\gamma}) / r_1$	Q1 è sat sse $\beta_F * i_{b1} > i_{c1}$
$i_{r3} = (v_{dd} - v_{cesat}) / r_3$	ma $\beta_F * i_{b1} = 0.55A$
$i_{r2} = v_{cesat} / r_2$	Allora l'Hp di saturazione di Q1 è verificata.
$i_{d1sat} = \beta_1 / 2 * (v_{dd} - v_{cesat} - v_{t1})^2$	Per $t \rightarrow \infty$ , $v_i = v_{dd}$ e $v_u = v_{cesat}$
Allora $i_{c1} = i_{r3} + i_{d1sat} - i_{r2}$	

Per  $t = 0+$   $v_i = v_{dd}$ , e  $v_u(0+) = v_u(0-) = 3.812V$ . Il  $t_{pHL}$  è il tempo che il segnale d'uscita  $v_u$  impiega per compiere il 50% della transizione totale, dove  $v_u(\text{iniziale}) = 3.812V$ ,  $v_u(t \rightarrow \infty) = v_{cesat} = 0.2V$ , allora  $v_u(\text{finale}) = 2.006V$

Si noti che durante tutto questo transitorio, Q1 rimane in AD, mentre M1 dapprima è off (per  $3V < v_u < 3.182V$ ), poi SAT (per  $2.006V < v_u < 3V$ ). Il transitorio va allora diviso in due tratti.

I) per $3V < v_u < 3.182V$ , Q1 AD, M1 OFF	II) $2.006V < v_u < 3V$ , Q1 AD, M1 SAT
$i_{r1} = (v_{dd} - v_{\gamma}) / r_1$	$i_{r1} = (v_{dd} - v_{\gamma}) / r_1$
$i_{r2} = v_u / r_2$	$i_{r2} = v_u / r_2$
$i_{r3} = (v_{dd} - v_u) / r_3$	$i_{r3} = (v_{dd} - v_u) / r_3$
$C dv_u / dt = i_{r3} - i_{r2} - i_{r1} * \beta_F$	$i_{d1sat} = \beta_1 / 2 * (v_{dd} - v_u - v_{t1})^2$
	$C dv_u / dt = i_{r3} + i_{d1sat} - i_{r2} - i_{r1} * \beta_F$
$t_{p,HL-1} = \int_{3.182}^3 \frac{C}{i_{r3} - i_{r2} - \beta_F * i_{r1}} dv_u$ $= 3.31ns$	$t_{p,HL-2} = \int_3^{2.006} \frac{C}{i_{r3} + i_{d1sat} - i_{r2} - \beta_F * i_{r1}} dv_u$ $= 18.11ns$
$t_{p,HL} = t_{p,HL-1} + t_{p,HL-2} = 21.42ns$	

## 7.9.2017 – Esercizio 2

Il circuito è un invertitore nMOS, con pull-up costituito da un transistor nMOS saturato ( $V_{GS2} = V_{DS2}$ ), in serie al parallelo fra resistore R e diodo D.

I valori cercati  $V_H$  e  $V_L$  possono essere ottenuti intersecando la caratteristica statica  $V_u(V_I)$  con la curva simmetrica rispetto alla diagonale del primo quadrante. Ovviamente, si ha

$$V_H = V_u(V_L)$$

$$V_L = V_u(V_H)$$

Nel caso di ingresso basso, ipotizzando (\*) che sia  $V_L < V_T$ , si ha:

$$V_i = V_L \rightarrow M_1 OFF \rightarrow I_{D1} = 0 \xrightarrow{I_{D1}=I_{D2}} I_{D2} = 0 \xrightarrow{I_{D2}=I_D+I_R} I_D + I_R = 0$$

La somma di  $I_D$  e  $I_R$  può annullarsi o perché entrambe nulle o perché uguali ed opposte. La seconda condizione è evidentemente assurda:

$$I_D > 0 \rightarrow V_D = V_Y > 0 \xrightarrow{V_R=V_D} V_R > 0 \xrightarrow{I_R=\frac{V_R}{R}} I_R > 0$$

quindi necessariamente

$$I_D = I_R = 0 \xrightarrow{I_R=\frac{V_R}{R}} V_R = 0 \rightarrow V_x = V_{dd} - V_R = V_{dd}$$

$M_2$ , se ON, è necessariamente saturo ( $V_{GS2} = V_{DS2}$ ). La corrente si annulla per:

$$I_{D2} = \frac{\beta_2}{2} (V_{dd} - V_u - V_T)^2 = 0 \rightarrow V_u = V_{dd} - V_T = V_H$$

Nel caso di ingresso alto, quindi, si ha :

$$V_i = V_H > V_T \rightarrow M_1 ON \rightarrow I_{D1} > 0 \xrightarrow{I_{D1}=I_{D2}} I_{D2} > 0 \xrightarrow{I_{D2}=I_D+I_R} I_D + I_R > 0$$

Ipotizzando D ON (\*\*) e  $M_1$  LIN (\*\*\*), con  $M_2$  necessariamente SAT, si ottiene:

$$V_D = V_Y \rightarrow V_x = V_{dd} - V_Y$$

e quindi:

$$\left. \begin{aligned} I_{D1} &= \beta_1 \left( (V_H - V_T)V_u - \frac{V_u^2}{2} \right) \\ I_{D2} &= \frac{\beta_2}{2} (V_x - V_u - V_T)^2 \end{aligned} \right\} \xrightarrow{I_{D1}=I_{D2}} V_u = \begin{cases} 0.184 V = V_L \\ 5.234 V \end{cases}$$

Il secondo valore non è compatibile con le ipotesi ( $V_{GS2} = V_x - V_u < 0 < V_T$ ), mentre il primo soddisfa tutte le ipotesi formulate:

$$V_L = 0.184V < V_T (*)$$

$$\left. \begin{aligned} I_{D1} &= \beta_1 \left( (V_H - V_T)V_L - \frac{V_L^2}{2} \right) = 895.7 \mu A = I_{D2} \\ I_R &= \frac{V_Y}{R} = 375 \mu A \end{aligned} \right\} \rightarrow I_D = I_{D2} - I_R = 520.7 \mu A > 0 (**)$$

$$\left. \begin{aligned} V_{GS1} &= V_H \\ V_{DS1} &= V_L \end{aligned} \right\} \rightarrow V_{GS1} > V_{DS1} + V_T (***)$$