PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A 4 LUGLIO 2006

1) Nel circuito in figura, il transistore bipolare può essere descritto da un modello "a soglia" con V_γ =0.75 V e $V_{CE,sat}$ =0.2 V, mentre il transistore MOS è caratterizzato dalla tensione di soglia V_{Tn} e dal coefficiente β_n . Si determini il margine d'immunità ai disturbi N_M della rete.

$$V_{cc}$$
 = 5 V, V_{Tn} = 0.55 V, β_n = 1 mA/V², β_F =100 , R_1 = 1 k Ω , R_2 = 2 k Ω , R_3 = 15 k Ω .

2) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia", con V_{γ} =0.75 V e $V_{CE,sat}$ =0.2 V. II segnale d'ingresso abbia il seguente andamento:

$$t<0: V_i = 0$$

 $t>0: V_i = V_i$

Si calcoli il tempo di propagazione $t_{\text{p,HL}}$ relativo al segnale di uscita V_{ii} .

$$V_{cc} = 5~V,~\beta_F = 100,~R_1 = 10~k\Omega,~R_2 = 5~k\Omega,~R_3 = 1~k\Omega,~C = 100~nF.$$

- 3) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=-V_{Tp}=V_{T}$ e dai coefficienti β_n e β_p . Si determino β_n e β_p in modo che:
 - associando il valore logico "1" ai valori di tensione alti e il valore logico "0" a quelli bassi, la funzione logica realizzata dal circuito sia

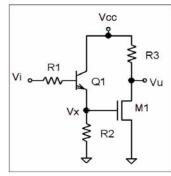
$$U=(a+b)d+c$$
;

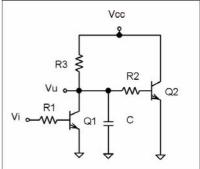
- il valore alto della tensione di uscita sia, in condizioni statiche di caso peggiore, pari a 3.2 V;
- la potenza statica dissipata dal circuito sia, in condizioni di caso peggiore, pari a 3mW.

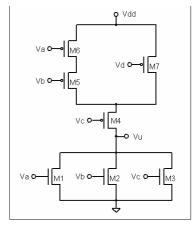
$$V_{dd} = 3.5 \text{ V}, V_T = 0.55 \text{ V}.$$

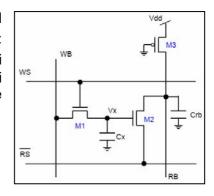
4) Il circuito in figura rappresenta una cella di memoria RAM dinamica. Le linee WS = \overline{RS} sono le abilitazioni in scrittura e lettura: la scrittura avviene per WS= \overline{RS} =V_{DD} e la lettura per WS= \overline{RS} =0 V. Si determinino i valori di V_x nella fase di scrittura e V_{RB} nella fase di lettura, in condizioni stazionarie, nel caso di valori (rispettivamente scritti o letti) sia alti che bassi.

$$V_{dd} = 3.3 \text{ V}, \ V_{Tn} = |V_{Tp}| = V_T = 0.7 \text{ V}, \ \beta_1 = \beta_2 = 600 \ \mu\text{A/V}^2, \ \beta_3 = 140 \ \mu\text{A/V}^2.$$









Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.

Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4

Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.

[•] Indicare su ciascun foglio nome, cognome, data e numero di matricola

[•] Non usare penne o matite rosse

[•] L'elaborato deve essere contenuto in un unico foglio (4 facciate) protocollo

Osservazione preliminari: il transistore Q1 quando ON è sempre in A.D.

Regione 1: Q1off, allora vx=0, allora M1 off, allora vu=vcc. Si rimane in regione 1 fintantochè Q1 non va on, ovvero per vi=vγ.

Regione 2: Q1 AD, con vx<vtn, quindi M1 ancora off. \rightarrow vu=vcc.

Osservo che la relazione ie= $(\beta f+1)$ ib dove ie=vx/r2 e ib= $(vi-(vx+v\gamma))/r1$ equivale a trovare una relazione tra vx e vi che vale sia quando il MOS è ON che OFF, ovvero che :

$$vx = (vi-v\gamma)/(1+r1/r2/(\beta f+1)) = -0.746+0.995 vi$$
 (eq.1)

Regione 3: Q1 AD e M1 on. M1 andrà on quando vx>vtn=0.55V, che sostituendo vx=0.55V nella eq.1, equivale a vi > 1.303 V.

M1 ON sse vx>vtn, e sarà sat sse vx<vu+vtn, mentre lin se vx>vu+vtn. Suppongo inizialmente M1 sat, ovvero vu>0.995 vi - 1.296. Cerco il punto a pendenza -1 nella regione 3.

vx=-0.746+0.995 vi (già dimostrata) Ma idM1sat=ir3

e d(idM1sat)/dvi= d(ir3)/dvi

ir3=(vcc-vu)/r3da cui si ricava che vu=4.966 V e,

vi = 1.37 V.

Tale coppia di valori soddisfa le HP fatte sulla Cerco i punti a dvu/dvi=-1

regione di funzionamento di M1 vu (=4.966 V)

> 0.995vi-1.296 (=0.067 V),

 $d(idM1sat)/dvi = \beta n/2*2*(vx-vtn)*0.995$

 $idM1sat = \beta n/2*(vx-vtn)^2$

d(ir3)/dvi=-1/r3*-1Quindi: V_{OHMIN}=4.966V, V_{ILMAX}= 1.37 V.

Regione 4: Q1 AD e M1 on e lin (M1 lin se vu<0.995vi-1.296. Cerco il secondo punto a pendenza -1.

vx=-0.746+0.995 vi (già dimostrata)	(vi=0.289 V,vu=-0.472 V) e (vi=2.182 V, vu=0.472 V).
ir3=(vcc-vu)/r3	
$idM1lin=\beta n*((vx-vtn)*vu-1/2*vu^2)$	Delle due soluzioni quella accettabile è la seconda, quindi:
Cerco i punti a dvu/dvi=-1	
•	V_{IHMIN} =2.182 V , e V_{OLMAX} =0.472 V.
d(idM1lin)/dvi =βn(vu*0.995-(vx-vtn)+vu) d(ir3)/dvi=-1/r3*-1	Tale coppia di valori soddisfa l'Hp su M1 lin, vu (=0.472) < 0.995vi-1.296 (=0.875 V),
Ma idM1lin=ir3	da cui si ricava che:
e d(idM1lin)/dvi= d(ir3)/dvi	NM _H =4.966 V-2.182 V= 2.784 V e
da cui si ricavano le seguenti coppie di valori	$NM_{\rm H}$ =1.37 V-0.472 V = 0.898 V = NM
(vi, vu):	14W11.37 ¥-0.772 ¥ - 0.070 ¥ -14W1

- Esercizio #2

Osservazione preliminare: Q2 quando on sempre in AD.

1)t<0, vi=0, suppongo Q1 off e Q2 on in AD. Q1 sarà off fintantoché vi <v_{\gamma}.

•	
ir3=(vcc-vu)/r3	Ma
ib2=(vu- vγ)/r2	ir3=ib2, da cui si ricava che vu= 4.292 V,
	quindi Q2 on .

2) Per t -> ∞, vi=vcc, quindi suppongo Q1 on e sat, allora Q2 off. Allora vu=vcesat. Verifico le Hp fatte.

vu=vcesat	ib1= 0.425 mA
vi=vcc	ic1 = 4.8mA
ib1=(vi-vγ)/r1	$ic1(=4.8mA) < \beta f*ib1(=42.5mA)$ è verificata,
ic1=(vcc-vu)/r3	quindi Q1 è sat.
, , ,	•

Il ritardo di propagazione è il tempo necessario al segnale d'uscita vu per compiere l'escursione $4.292\ V \rightarrow (4.292+0.2)/2\ V=2.246\ V$ con vi=vcc.

3) t=0+, vi=vcc, quindi Q1 on in AD e Q2 on in AD. La tensione ai capi del condensatore non cambia rispetto all'istante t=0-. Inizialmente Q1 sarà in AD e Q2 pure, poi Q2 andrà off per vu=vγ (ib2=0), e poi Q1 andrà sat. Durante la transizione vu:4.292 --→2.246 Q1 e Q2 saranno quindi entrambi in AD.

entramor in AD.	
vi=vcc	$tpHL = \int_{4.292}^{2.246} \frac{C}{ir3 - bf * ib1 - ib2} dvu$
ir3=(vcc-vu)/r3	
ib1=(vi-vγ)/r1	ovvero tpHL=4.959 μs.
$ib2=(vu-v\gamma)/r2$	
$ir3-\beta f*ib1-ib2 = C*dvu/dt$	

```
soluz es 3
vdd=3.5;
vt=0.55;
vux=3.2;
pd=0.003;
il circuito non è un FCMOS; nelle condizioni seguenti sono accesi
sia pull-up che pull-down:
c=d=0 a=1 b=1 (1)
c=d=0 a=0 b=1 (2)
c=d=0 a=1 b=0 (3)
La funzione logica richiesta prevede, in queste condizioni, uscita
alta. Quindi, sia per quanto riguarda la potenza statica dissipata
che la minima tensione di uscita alta, la condizione di caso
peggiore è la condizione che prevede il pull-down più efficiente,
cioè la (1), cui corrispondono 2 nMOS in parallelo accesi.
In queste condizioni, M1,M2,M4,M7 sono ON, M3,M5,M6 sono OFF, e
quindi:
\beta_{\text{eq,PD}} = 2\beta_{\text{n}}
\beta_{\rm eq} = \beta_{\rm p}/2
vgsn=vdd, vdsn=3.2 V, nMOS sat
vsgp=vdd, vsdp=0.3 V, pMOS lin
idn = \beta_{eq,pp}/2(vdd-vt)^2 = 8.7025 \beta_n
idp = \beta_{eq.PH} ((vdd-vt) (vdd-vux) - (vdd-vux) ^2/2) = 0.42 \beta_{p}
Imponendo il vincolo sulla potenza dissipata:
idn=pd/vdd
si ricava:
\beta_{n} = 98.5 \, \mu A/V^{2}
```

e quindi, imponendo idn=idp,

 $\beta_n = 2.04 \text{ mA/V}^2$

Fase di SCRITTURA: WS=RS=VDD

M1 on e M2 OFF $(V_{GS} < V_T)$

Caso WB=0 : in condizioni stazionarie $V_x = 0$

Caso WB= V_{DD} : M1 si comporta come un pass transistor pertanto $V_x = V_{DD} - V_T$

Fase di LETTURA: WS=RS=0

M1 OFF

Se $V_x = 0$ allora M2 OFF e $V_{RB} = V_{DD}$

Se $V_x = V_{DD} - V_T M2$ on e V_{RB} dipende dal dimensionamento di M3 e M2

Regione di funzionamento di M2 e M3:

M2: se Vds < Vgs-Vt= Vdd-Vt-Vt= 1.9 V => Vds= V_{RB} supponiamo M2 in LIN M3: Vsd = Vdd- V_{RB} > Vsg-Vt= Vdd-Vt=2.6 V => supponiamo M3 p.o

$$\beta 2 \left((\text{vold} - 2\text{ vt}) (0.5) - \frac{(0.5)^2}{2} \right) = \frac{\beta 3}{2} (\text{vold} - \text{vt})^2$$

al termine del transitorio V_{RB} =0.49 V

verifichiamo le ipotesi

M2: $Vds=V_{RB}=0.49 \ V< Vgs-Vt= Vdd-Vt-Vt= 1.9 \ V$ allora M2 è effettivamente in LIN

M3: : $Vsd = Vdd-V_{RB}=2,81 > Vsg-Vt= Vdd-Vt=2.6 V$ allora M3 effettivamente in P.O.