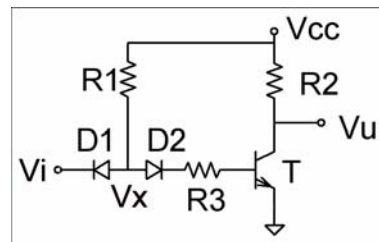


PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A  
16 GIUGNO 2005

1) Nel circuito in figura, il transistor e i diodi possono essere descritti da un modello "a soglia", con  $V_T = 0.75$  V e  $V_{CE,sat} = 0.2$  V. Si determini la caratteristica statica di trasferimento  $V_u(V_i)$ , per  $0 < V_i < V_{CC}$ , specificando, per ogni tratto, la regione di funzionamento dei componenti attivi.

$V_{CC} = 5$  V,  $\beta_F = 100$ ,  $R_1 = 4$  k $\Omega$ ,  $R_2 = 0.1$  k $\Omega$ ,  $R_3 = 1$  k $\Omega$ .



2)  $y, a, b, c, d$  siano variabili logiche rappresentate in logica positiva (facendo corrispondere al valore logico "1" una tensione "alta" e al valore "0" una tensione "bassa").

Si progetti un circuito FCMOS capace di realizzare la funzione logica:

$$y = a \cdot b \cdot (c + d)$$

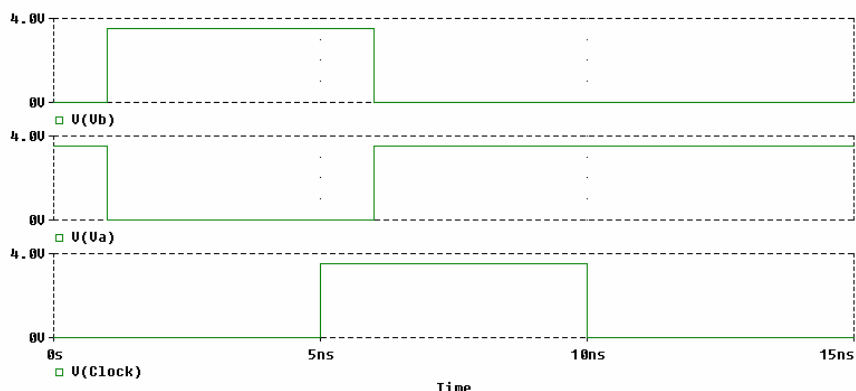
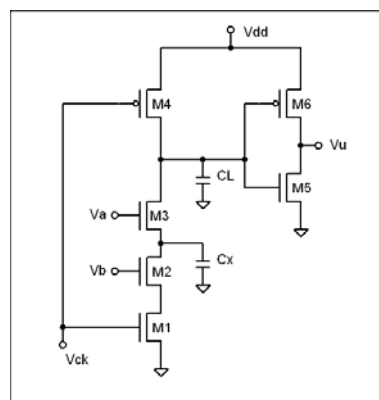
Tutti i transistori nMOS utilizzati siano caratterizzati dagli stessi parametri  $\beta_n$  e  $V_{Tn}$ ; tutti i transistori pMOS utilizzati siano caratterizzati dagli stessi parametri  $\beta_p$  e  $V_{Tp}$ , con  $V_{Tn} = -V_{Tp} = V_T$ . Si determinino i valori di  $\beta_n$  e  $\beta_p$  tali da rendere entrambi i tempi di propagazione  $t_{p,H,L}$  e  $t_{p,L,H}$ , ciascuno valutato nel proprio caso peggiore, pari a 150 ps. Si ipotizzi, a tale scopo, che la capacità vista dal nodo di uscita della rete sia pari a 10 fF.

$V_{dd} = 3.5$  V,  $V_T = 0.5$  V.

3) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia  $V_{Tn} = |V_{Tp}| = V_T$  e dai coefficienti  $\beta_1 = \beta_2 = \beta_3 = \beta_4 = \beta_n$  e  $\beta_5 = \beta_6 = \beta_p$ . Descrivere la funzione logica del circuito. Il segnale di Clock abbia frequenza di 100 MHz, mentre i segnali  $V_a$  e  $V_b$  abbiano l'andamento descritto nella figura sottostante.

Si determini il valore di  $V_u$  all'istante immediatamente precedente  $t = 10$  ns. A questo scopo, è lecito considerare, a questo punto, esaurito ogni transistoro.

$V_{dd} = 3.5$  V,  $V_T = 0.4$  V,  $C_L = 5$  fF,  $C_X = 3$  fF,  $\beta_n = 0.1$  mA/V<sup>2</sup>,  $\beta_p = 0.25$  mA/V<sup>2</sup>.



- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

16/6/05 - ES. 1

FONDAMENTI ELETTRONICA A

T OFF  $\leftrightarrow$  D2 OFF

- T, D2 OFF, D1 ON  $\rightarrow V_u = V_{CC} - R_2 I_C = V_{CC}$  } ①

$$\left. \begin{array}{l} V_x < 2V_\gamma \\ V_x = V_i + V_\gamma \end{array} \right\} \rightarrow V_i < V_\gamma$$

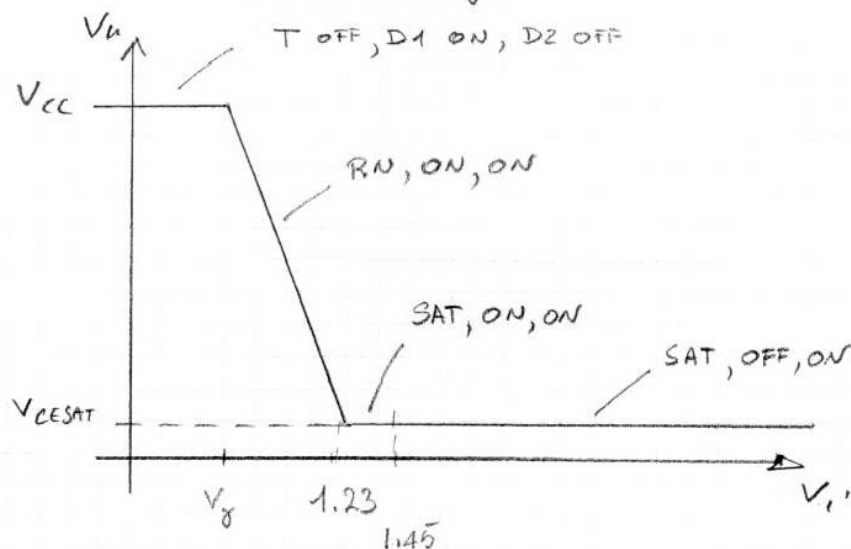
- TRN, D1, D2 ON

$$\left. \begin{array}{l} V_u = V_{CC} - R_2 I_C \\ I_C = \beta_F I_B \\ I_B = (V_x - 2V_\gamma) / R_3 \\ V_x = V_i + V_\gamma \end{array} \right\} \rightarrow V_u = -10 V_i + 12.5$$

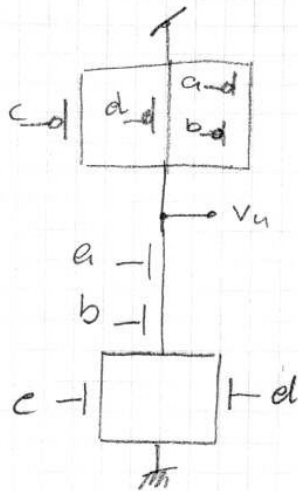
Vale fino a che TRN  $\rightarrow V_u > V_{CESAT} \rightarrow V_i < 1.23V$

$$\left. \begin{array}{l} \text{offusc D1 ON} \rightarrow I_{D1} > 0 \\ I_{D1} = I_{R1} - I_B \\ I_{R1} = (V_{CC} - V_x) / R_1 \\ V_x = V_i + V_\gamma \\ I_B = (V_x - 2V_\gamma) / R_3 \end{array} \right\} \rightarrow V_i < 1.45V$$

$\rightarrow$  T satur  
fine di  
D1 OFF

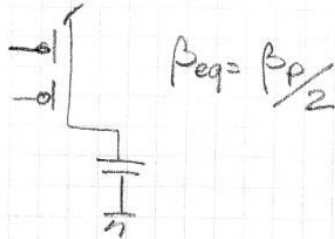


16/6/05 - Es. 2



Caso peggiore Pull-UP.

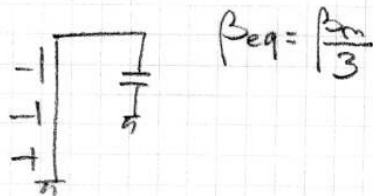
$$c = d = 1, a = b = 0$$



$$\beta_{eq} = \beta_p / 2$$

Caso peggiore Pull-DOWN:

$$a = b = c = 1, d = 0$$



$$\beta_{eq} = \frac{\beta_n}{3}$$

$$t_{pHL} = \frac{2C}{\beta_{eq}} \cdot \frac{1}{V_{DD} - V_T} \left[ \frac{V_T}{V_{DD} - V_T} + \frac{1}{2} \ln \left( 3 - \frac{4V_T}{V_{DD}} \right) \right] = 150 \cdot 10^{-12}$$

$$\rightarrow \beta_{eq} = 27.12 \mu A / V^2 \rightarrow \beta_n = 3\beta_{eq} = 81.37 \mu A / V^2$$

Analogamente:

$$t_{pLH} = \frac{2C}{\beta_{eq}} \dots = 150 \cdot 10^{-12} \rightarrow \beta_{eq} = 27.12 \mu A / V^2 \rightarrow \beta_p = 2\beta_{eq} = 54.25 \mu A / V^2$$

16/6/05 - Es. 3

- è una porta AND in logica DINAMO -

CLOCK = 0 ( $t < 5\text{ms}$ )

M4 ON, M1 OFF  $V_{CL} = V_{DD}$

CLOCK = 1 ( $t > 5\text{ms}$ )

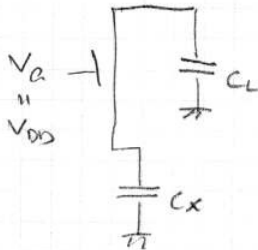
M4 OFF, M1 ON

Inizialmente:  $V_a \downarrow \rightarrow M3 \text{ OFF} \rightarrow V_{CL} = V_{DD}$  (alta impedenza)

$V_b \uparrow \rightarrow M2 \text{ ON} \rightarrow V_{CL} = 0$

poi:  $V_a \uparrow \rightarrow M3 \text{ ON}$   
 $V_b \downarrow \rightarrow M2 \text{ OFF}$  }  $\rightarrow$  RIDISTRIBUZIONE DI CARICA

a fine transitorio:



$$V_{CL}^+ = \frac{V_{CL}^-}{1 + \frac{C_L}{C_X + C_L}} = 2.187 \text{ V}$$

$V_u$  è l'uscita di un invertitore CMOS che ha in ingresso  $V_{CL}^+$ :

$V_{CL}^+ < V_{DD} - V_T \rightarrow M6 \text{ ON (HP: SAT)}$

$V_{CL}^+ > V_T \rightarrow M5 \text{ ON (HP: LIN)}$

$$I_{DS} = I_{D6} \rightarrow \beta_m \left[ (V_{CL}^+ - V_T) V_u - \frac{V_u^2}{2} \right] = \frac{\beta_p}{2} (V_{DD} - V_{CL}^+ - V_T)^2 \rightarrow$$

$$\rightarrow V_u = \begin{cases} 0.732 \text{ V} \\ 2.84 \text{ V (NO (V. SOTTO))} \end{cases}$$

Verifica:

M5 LIN:  $V_{GS5} > V_{DS5} + V_T \rightarrow 2.187 > 0.732 + 0.4 \text{ OK}$

M6 SAT:  $V_{SG6} < V_{SD6} + V_T \rightarrow 3.5 - 2.187 < 3.5 - 0.732 + 0.4 \text{ OK}$

M5 LIN:  $V_{GS5} > V_{DS5} + V_T \rightarrow 2.187 > 2.84 + 0.4 \text{ NO!}$