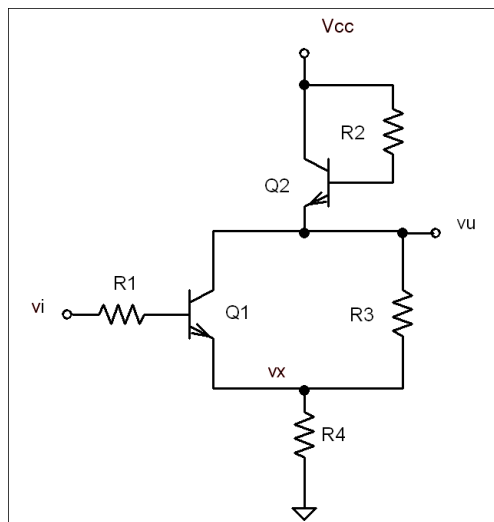


PROVA SCRITTA DI ELETTRONICA 1  
24 SETTEMBRE 2015

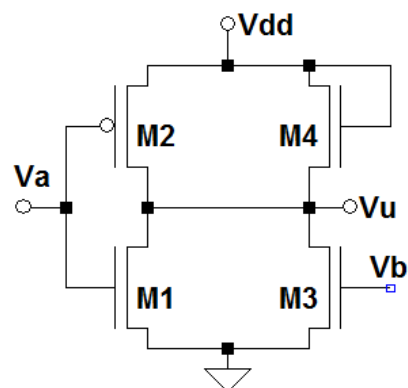
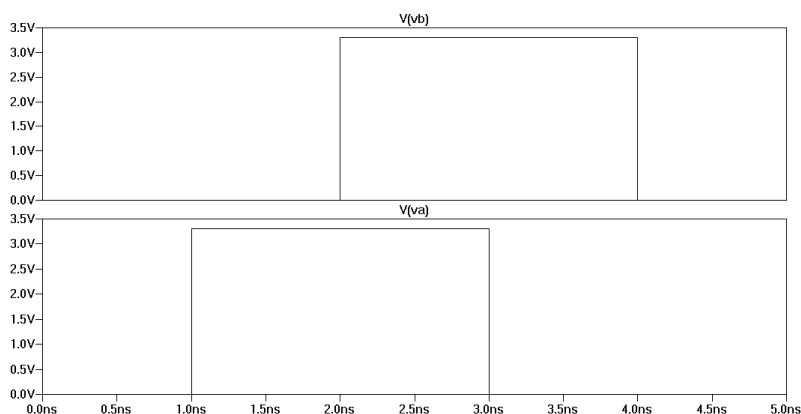
1) Nel circuito in figura, i transistori ed i diodi possono essere descritti da un modello “a soglia”, con  $V_\gamma=0.75$  V e  $V_{CE,sat}=0.2$  V. Si determini la caratteristica statica di trasferimento  $V_u(V_i)$ , per  $0 < V_i < V_{cc}$ , specificando, per ogni tratto, la regione di funzionamento dei componenti attivi.



$V_{cc} = 5$  V,  $\beta_F = 100$ ,  $R_1 = 100 \Omega$ ,  $R_2 = 15 \text{ k}\Omega$ ,  $R_3 = 5 \text{ k}\Omega$ ,  $R_4 = 100 \Omega$ .

2) Nel circuito in figura, i transistori MOS sono caratterizzati dai coefficienti  $\beta_i$  e dalla tensione di soglia  $V_{Tp} < 0$ , con  $V_{Tn} = |V_{Tp}| = V_T$ .

Le tensioni di ingresso  $V_a$  e  $V_b$  abbiano l'andamento periodico mostrato in figura.



Si determini il valore della potenza media dissipata dal circuito.

$V_{dd} = 3.3$  V,  $V_T = 0.35$  V,  $\beta_1 = 1.3 \text{ mA/V}^2$ ,  $\beta_2 = 0.8 \text{ mA/V}^2$ ,  $\beta_3 = 1 \text{ mA/V}^2$ ,  $\beta_4 = 0.4 \text{ mA/V}^2$ .

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).

Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).

Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto in un unico foglio (4 facciate) protocollo

## 24.9.2015 – Esercizio 1

Osservazioni preliminari: Q2 quando on è in AD.

**Regione 1:** Q1 Off, Q2 ON in AD.

$ib2 = (v_{cc} - v_u - v_{\gamma}) / r_2$ $ir3 = (v_u - v_x) / r_3$ $ir4 = v_x / r_4$ <p>Ma <math>(\beta_f + 1) \cdot ib2 = ir3</math> e <math>v_x = v_u \cdot r_4 / (r_3 + r_4)</math> (partitore resistivo)</p>	<p>Risolvendo si ricava che: <math>v_u = 4.13 \text{ V}</math> e <math>v_x = 0.081 \text{ V}</math>.</p> <p>Regione 1: per <math>v_i &lt; v_x + v_{\gamma} = 0.831 \text{ V}</math></p>
Regione 1: per $0 < v_i < 0.831 \text{ V}$	

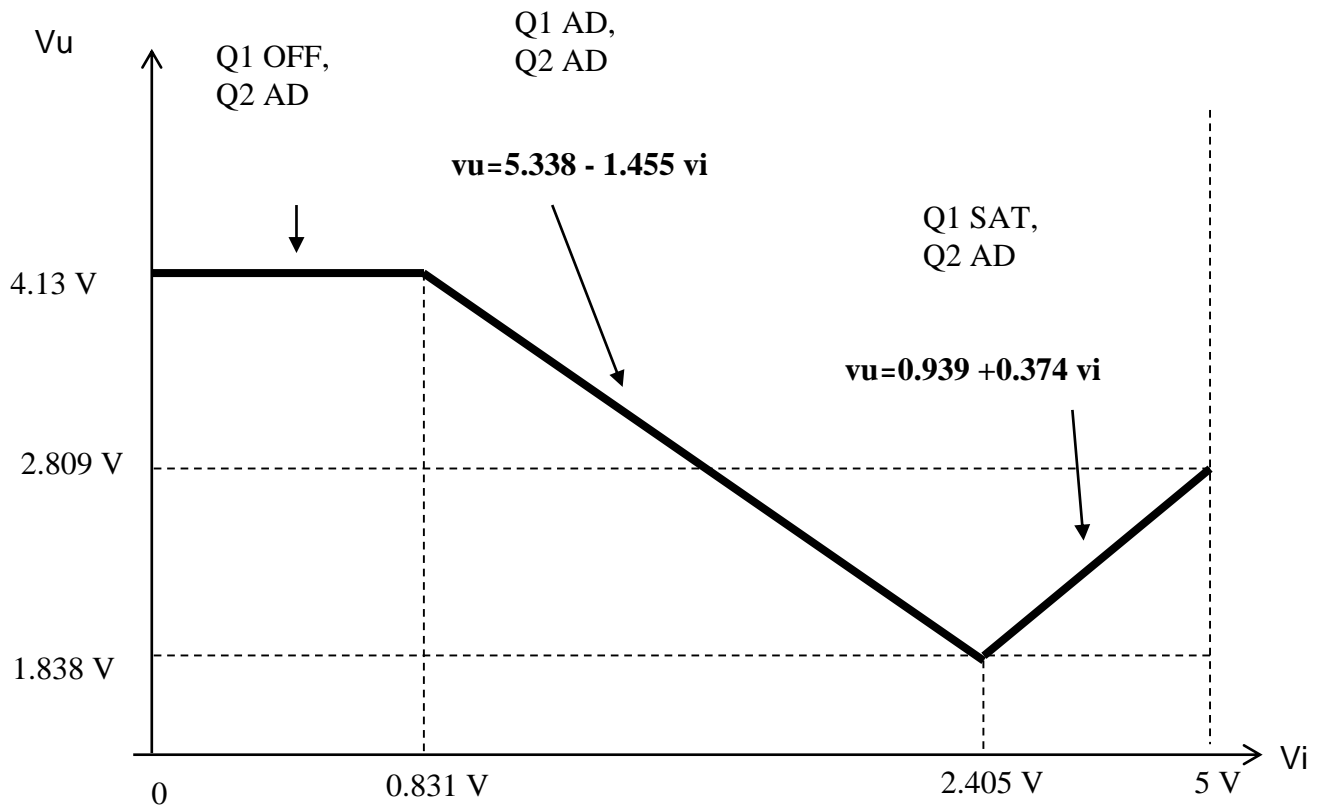
**Regione 2:** Q1 AD e Q2 AD.

$ib2 = (v_{cc} - v_u - v_{\gamma}) / r_2$ $ir3 = (v_u - v_x) / r_3$ $ir4 = v_x / r_4$ $ib1 = (v_i - v_x - v_{\gamma}) / r_1$ <p>Ma <math>(\beta_f + 1) \cdot ib2 = \beta_f \cdot ib1 + ir3</math> <math>(\beta_f + 1) \cdot ib1 + ir3 = ir4</math> Risolvendo si ricava che: <b><math>v_u = 5.338 - 1.455 v_i</math>,</b> <b><math>v_x = -0.741 + 0.989 v_i</math></b></p>	<p>Poiché <math>v_u</math> sta calando e <math>v_x</math> sta salendo, si rimane in questa regione fintantoché Q1 va SAT.</p> <p>1) Q1 va SAT sse <math>v_u - v_x = v_{cesat}</math> sse <math>v_i = 2.405 \text{ V}</math></p>
Regione 2: per $0.831 < v_i < 2.405 \text{ V}$	

**Regione 3:** Q1 sat e Q2 AD.

<p>In questa regione <math>v_u - v_x = v_{cesat}</math> quindi:</p> $ib2 = (v_{cc} - v_u - v_{\gamma}) / r_2$ $ir3 = v_{cesat} / r_3$ $ir4 = (v_u - v_{cesat}) / r_4$ $ib1 = (v_i - (v_u - v_{cesat}) - v_{\gamma}) / r_1$ <p>Ma <math>ir4 = (\beta_f + 1) \cdot ib2 + ib1</math></p>	<p>Risolvendo si ricava che: <b><math>v_u = 0.939 + 0.374 v_i</math></b></p>
Regione 3: $2.405 \text{ V} < v_i < V_{cc}$	

Di seguito si riporta la caratteristica statica di trasferimento.



## 24.9.2015 – Esercizio 2

Il circuito è costituito da un invertitore CMOS ( $M_1, M_2$ , con ingresso  $V_a$ ) e da un invertitore nMOS a carico saturato ( $M_3, M_4$ , con ingresso  $V_b$ ) connessi allo stesso nodo di uscita ( $V_u$ ). La rete di *pull-down* è quindi formata dal parallelo fra  $M_1$  e  $M_3$ , mentre la rete di *pull-up* è formata dal parallelo fra  $M_2$  e  $M_4$ . Il transistore  $M_4$ , se acceso, è necessariamente saturo.

All'interno del periodo  $T$  (4ns) è possibile identificare quattro distinte regioni di funzionamento, descritte nel seguito.

### 1) $0 < t < 1$ ns:

$$V_a = 0 \rightarrow \begin{cases} M_1 \text{ off} \\ M_2 \text{ on} \end{cases} \rightarrow V_u = V_{dd}$$

$$V_b = 0 \rightarrow M_3 \text{ off}$$

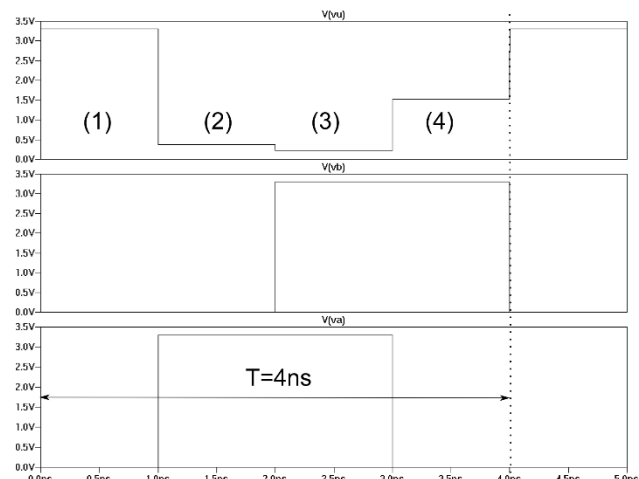
il pull-down è spento, mentre il transistore pMOS di pull-up ( $M_2$ ) è acceso, portando quindi l'uscita al valore alto (piena escursione). In questa situazione, il transistore  $M_4$  è spento ( $V_{GS4} = V_{dd} - V_{dd} = 0 < V_T$ ) e la corrente complessiva  $I_{dd} = I_{D2} + I_{D4} = I_{D1} + I_{D3} = 0$ .

### 2) $1$ ns $< t < 2$ ns :

$$V_a = V_{dd} \rightarrow \begin{cases} M_1 \text{ on} \\ M_2 \text{ off} \end{cases} \rightarrow$$

$$V_b = 0 \rightarrow M_3 \text{ off}$$

il pull-down è acceso ( $M_1$ ), mentre il transistore nMOS di pull-up ( $M_4$ ) è acceso: l'uscita si porta quindi a un valore intermedio, ricavabile dal bilancio delle correnti. Ipotizzando  $M_1$  in regione lineare, si ottiene:



$$\left. \begin{aligned} I_{D1} &= \beta_1 \left( (V_{dd} - V_T)V_u - \frac{V_u^2}{2} \right) \\ I_{D4} &= \frac{\beta_4}{2} (V_{dd} - V_u - V_T)^2 \end{aligned} \right\} \xrightarrow{I_{D1}=I_{D4}} V_u = 0.37 V, I_{dd} = 1.33 mA$$

Scartando una soluzione priva di significato fisico. La soluzione trovata soddisfa l'ipotesi di linearità ( $V_{GS1} = V_{dd} > V_{DS1} + V_T = 0.72V$ ).

### 3) $2 ns < t < 3 ns$ :

$$\begin{aligned} V_a &= V_{dd} \rightarrow \begin{cases} M_1 \text{ on} \\ M_2 \text{ off} \end{cases} \rightarrow \\ V_b &= V_{dd} \rightarrow M_3 \text{ on} \end{aligned}$$

il pull-down è acceso ( $M_1//M_3$ ), mentre il transistor nMOS di pull-up ( $M_4$ ) è acceso. La situazione è identica alla precedente, con il transistor equivalente di pull-down caratterizzato da  $\beta_{eq} = \beta_1 + \beta_3$ ; analogamente a prima, l'uscita si porta quindi a un valore intermedio, ricavabile dal bilancio delle correnti. Ipotizzando  $M_{eq}$  in regione lineare, si ottiene:

$$\left. \begin{aligned} I_{D1,3} &= \beta_{eq} \left( (V_{dd} - V_T)V_u - \frac{V_u^2}{2} \right) \\ I_{D4} &= \frac{\beta_4}{2} (V_{dd} - V_u - V_T)^2 \end{aligned} \right\} \xrightarrow{I_{D1,3}=I_{D4}} V_u = 0.23 V, I_{dd} = 1.48 mA$$

Scartando una soluzione priva di significato fisico. La soluzione trovata soddisfa l'ipotesi di linearità ( $V_{GS1,3} = V_{dd} > V_{DS1} + V_T = 0.47V$ ).

### 4) $3 ns < t < 4 ns$ :

$$\begin{aligned} V_a &= 0 \rightarrow \begin{cases} M_1 \text{ off} \\ M_2 \text{ on} \end{cases} \rightarrow \\ V_b &= V_{dd} \rightarrow M_3 \text{ on} \end{aligned}$$

il pull-down è acceso ( $M_3$ ), mentre pull-up risulta dal parallelo del pMOS  $M_2$  e dell'nMOS  $M_4$  è acceso. È possibile ancora ricavare il valore di uscita dal bilancio delle correnti. Ipotizzando  $M_2$  e  $M_3$  in regione lineare:

$$\left. \begin{aligned} I_{D3} &= \beta_3 \left( (V_{dd} - V_T)V_u - \frac{V_u^2}{2} \right) \\ I_{D2} &= \beta_2 \left( (V_{dd} - V_T)(V_{dd} - V_u) - \frac{(V_{dd} - V_u)^2}{2} \right) \\ I_{D4} &= \frac{\beta_4}{2} (V_{dd} - V_u - V_T)^2 \end{aligned} \right\} \xrightarrow{I_{D3}=I_{D2}+I_{D4}} V_u = 1.52 V, I_{dd} = 3.33 mA$$

che soddisfa entrambe le ipotesi di linearità.

La potenza media può quindi essere calcolata come:

$$\bar{P} = \frac{1}{T} \int_0^T V_{dd} * I_{dd} dt = \frac{V_{dd}}{T} \left( \int_0^{1ns} 0 dt + \int_{1ns}^{2ns} 1.33 \cdot 10^{-3} dt + \int_{2ns}^{3ns} 1.48 \cdot 10^{-3} dt + \int_{3ns}^{4ns} 3.33 \cdot 10^{-3} dt \right) = 5.07 mW$$