

$$I_{E1} + I_{E2} = I_o = I_s \left[\left(e^{\frac{V_{BE1}}{V_T}} - 1 \right) + \left(e^{\frac{V_{BE2}}{V_T}} - 1 \right) \right] = I_s \left(e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}} \right)$$

Siccome almeno uno dei due transistor è acceso, almeno un esponentiale è molto maggiore di 1 \Rightarrow si può trascurare il -1.

$$I_s = \frac{I_o}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} \Rightarrow V_u = V_{cc} - R_c I_o = \frac{e^{\frac{V_{BE1}}{V_T}} - 1}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}}$$

$$V_u = V_{cc} - R_c I_o \left\{ \frac{\frac{V_{BE1}}{V_T}}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} - \frac{1}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} \right\}$$

$$\text{da } V_i - V_{REF} = V_{BE1} - V_{BE2}$$

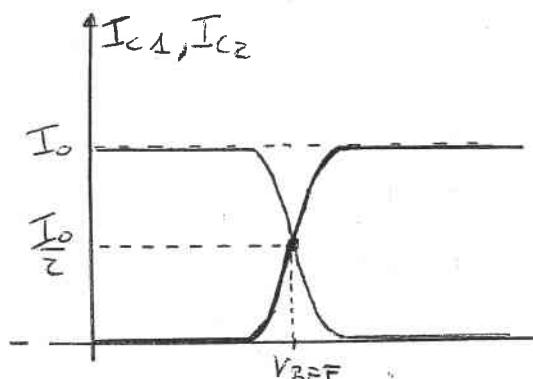
Siccome almeno un esponentiale è molto maggiore di 1, questo termine tende a 0

$$V_u = V_{cc} - R_c I_o \frac{1}{1 + e^{\frac{V_{REF} - V_i}{V_T}}} \Rightarrow I_{C1} = \frac{I_o}{1 + e^{\frac{V_{REF} - V_i}{V_T}}}$$

\hookrightarrow la caratteristica (di inverter) è determinata perché portare i due transistor in regione di Saturazione

$$I_{E1} + I_{E2} \approx I_{C1} + I_{C2} = I_o \Rightarrow I_{C2} = I_o - I_{C1}$$

\hookrightarrow il generatore di tensione I_s limita le due correnti I_{C1} ed I_{C2} \Rightarrow questo implica che per V_i maggiore di V_{REF} , I_{C1} sia costante \Rightarrow la ceduta di R_c è costante \Rightarrow l'uscita è costante senza che i due transistor entrino in saturazione



\hookrightarrow le due correnti, a causa del generatore di corrente, sono complementari.

per $V_i > V_{REF}$

$$I_{C1} \rightarrow I_o \Rightarrow V_u = V_{cc} - R_c I_o$$

$$I_{C2} \rightarrow 0$$

per $V_i = V_{REF}$

$$I_{C1} = \frac{I_o}{2} \Rightarrow V_u = V_{cc} - R_c \frac{I_o}{2}$$

$$I_{C2} = \frac{I_o}{2}$$

per $V_i < V_{REF}$

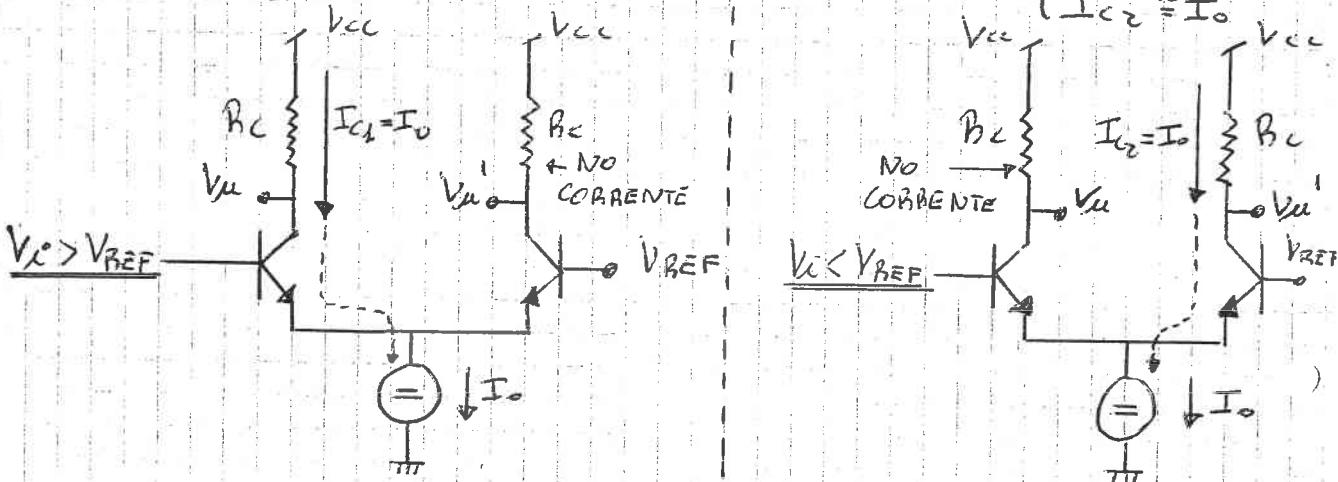
$$I_{C1} \rightarrow 0 \Rightarrow V_u = V_{cc}$$

$$\left. \begin{array}{l} V_{BEE1} = V_i - V_x \\ V_{BEE2} = V_{REF} - V_x \end{array} \right\} \text{se } V_i > V_{BEEF} \Rightarrow V_{BEE1} > V_{BEE2} \Rightarrow e^{\frac{V_{BEE1}}{V_T}} \gg e^{\frac{V_{BEE2}}{V_T}}$$

$$\Leftrightarrow I_{C1} \gg I_{C2} \Rightarrow \left\{ \begin{array}{l} I_{C1} \approx I_o \\ I_{C2} \approx 0 \end{array} \right.$$

$$\text{se } V_i < V_{BEEF} \Rightarrow V_{BEE1} < V_{BEE2} \Rightarrow e^{\frac{V_{BEE1}}{V_T}} \ll e^{\frac{V_{BEE2}}{V_T}}$$

$$\Leftrightarrow I_{C1} \ll I_{C2} \Rightarrow \left\{ \begin{array}{l} I_{C1} \approx 0 \\ I_{C2} \approx I_o \end{array} \right.$$



↳ le tensione V_u determina in quale regime far scorrere la corrente del generatore I_o .

↳ la corrente $I_{C1} = I_o$ e quindi $V_u = V_{CC} - R_C I_o \rightarrow$ valore basso

↳ la corrente $I_{C2} = 0$ e quindi $V_u' = V_{CC} \rightarrow$ valore alto

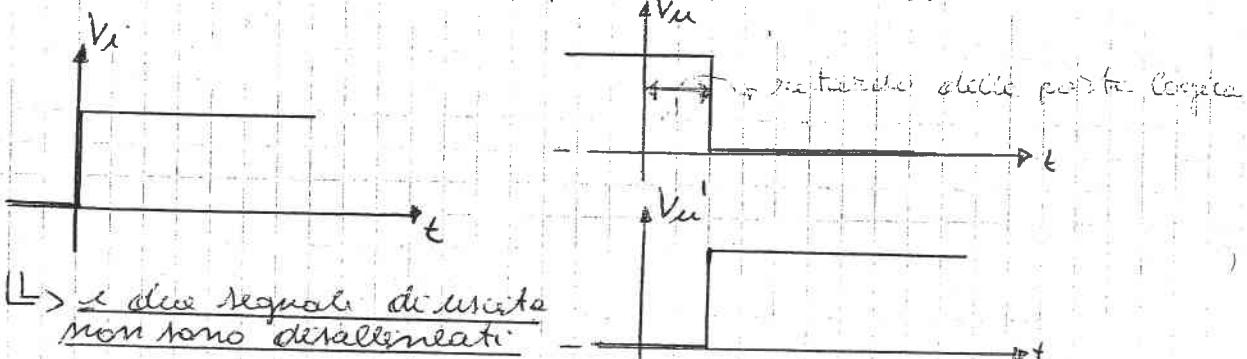
↳ la corrente $I_{C1} = 0$ e quindi $V_u = V_{CC} \rightarrow$ valore alto
↳ la corrente $I_{C2} = I_o$ e quindi $V_u' = V_{CC} - R_C I_o \rightarrow$ valore basso

↳ V_u' è il complementare di V_u : $V_i \rightarrow V_u = V_i$ $V_u = V_i$ $V_u' = V_i$

La funzione identità $V_u'(V_i)$ è utile per

(1) l'immunità ai disturbi: i due tratti a pesantezza nulla sopprimono il rumore

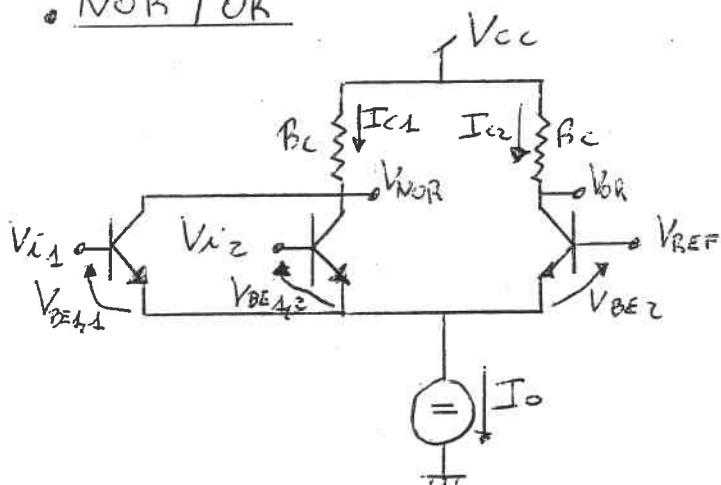
(2) avere due segnali complementari con lo stesso ritardo



↳ le due segnali di uscita non sono distallinati

FUNZIONI LOGICHE A PIÙ INGRESSI

• NOR / OR



V_{i1}	V_{i2}	V_{NOR}	V_{OR}
V_L	V_L	V_H	V_L
V_L	V_H	V_L	V_H
V_H	V_L	V_L	V_H
V_H	V_H	V_L	V_H

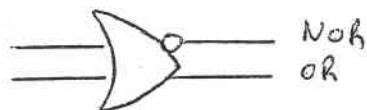
(con $V_L < V_{REF} & V_H > V_{REF}$)

• se $V_{i1} = V_{i2} < V_{REF}$

$$\hookrightarrow V_{BE2} > V_{BE1,1} \text{ e } V_{BE1,2}$$

$$\hookrightarrow I_{C2} = I_0 \text{ e } I_{C1} = 0$$

$$\hookrightarrow V_{NOR} = V_{CC} = V_H \text{ e } V_{OR} = V_{CC} - R_c I_0 = V_L$$



NOR
OR

• se almeno uno tra V_{i1} e $V_{i2} > V_{REF}$

$$\hookrightarrow V_{BE2} < V_{BE1,1} \text{ o } V_{BE1,2} \rightarrow I_{C2} = 0 \rightarrow V_{OR} = V_{CC} = V_H$$

$$\rightarrow I_{C1} = I_0 \rightarrow V_{NOR} = V_{CC} - R_c I_0 = V_L$$

STUDIO DEI VINCOLI DI PROGETTO

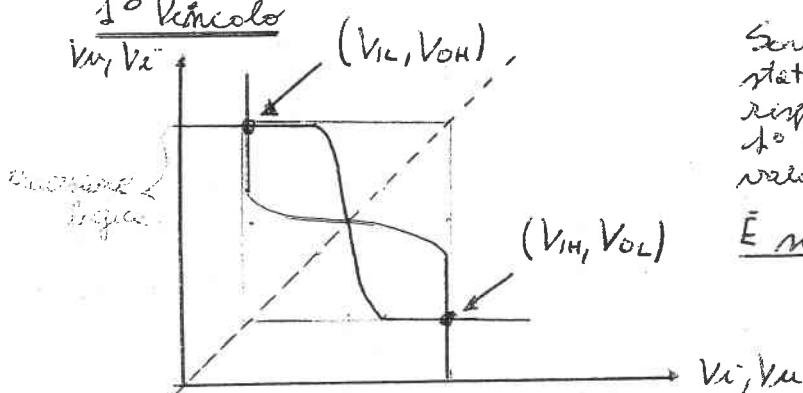
Bisogna impostare che i due transistor non siano mai saturi e che l'escursione logica sia massima (in modo da avere un buon margine di immunità ai disturbi) attraverso la scelta dei parametri liberi ed indipendenti.

V_{CC} (trela la caratteristica statica verticalmente \uparrow)

V_{REF} (trela la caratteristica statica orizzontalmente \rightarrow)

$R_c I_0$ (è l'escursione logica)

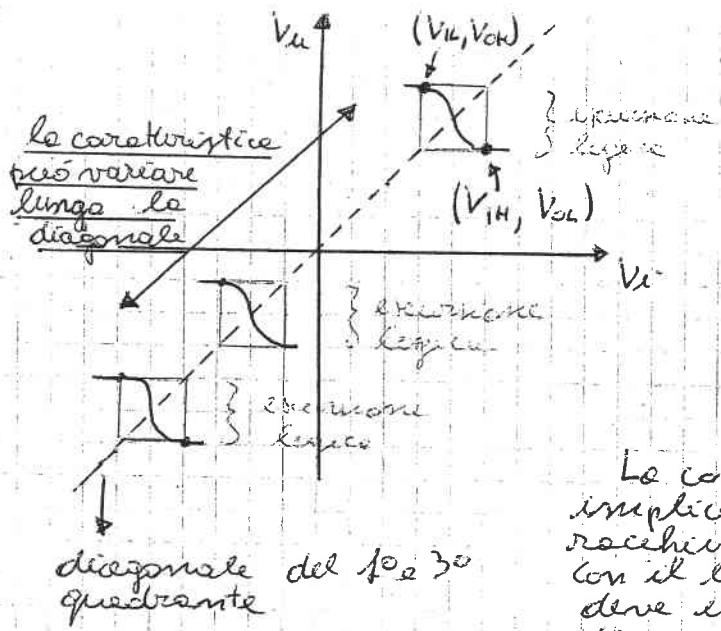
1° Vincolo



Sarebbe preferibile lo caratteristico statico con le stesse ribaltate rispetto la linea retta del 1° quadrante si troveranno i valori bassi ed alti (cioè V_L e V_H)

È necessario che

$$V_{IL} = V_{OL} \text{ e } V_{OH} = V_{IH}$$



$V_{OH} = V_{IH}$ e $V_{OL} = V_{IL}$ implica che i valori bassi o alti di uscite di una porta sono considerati come tali dall'ingresso di una porta logica identica riceutiva
 ↳ si possono connettere in cascata più porte logiche

La condizione $V_{OH} = V_{IH}$ e $V_{OL} = V_{IL}$ implica che il quadretto, che racchiude la caratteristica statica, con il lato pari all'esercitazione, deve essere progettato sulla diagonale del 1° e 3° quadrante

1° vincolo: il quadretto che racchiude la caratteristica può variare lungo le bisettrici del 1° e 3° quadrante

2° Vincolo

$V_{CE1} > V_{CESAT}$ (e $V_{CE2} > V_{CESAT}$ → condizione che si può trascurare in quanto, essendo il circuito fortemente simmetrico, è garantita da $V_{CE1} > V_{CESAT}$)
 $V_{CE1} = V_U - (V_i - V_{BE1})$

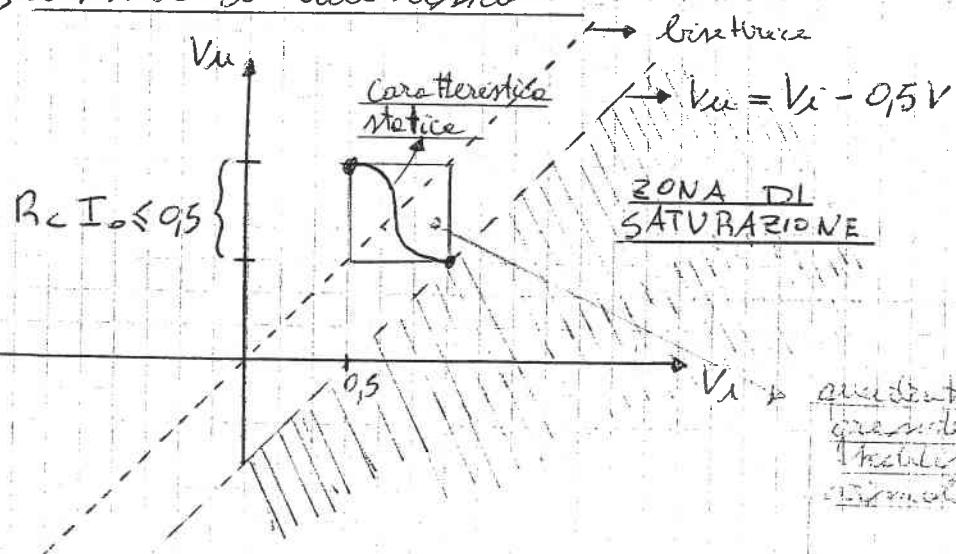
$V_{BE1} \approx V_T$ (non uguale perché per tracciare la caratteristica non si è usato il modello a soglio)

2° vincolo

$$V_U > V_i - V_f + V_{CESAT}$$

$$V_U > V_i - 0,5$$

↳ usando i due vincoli



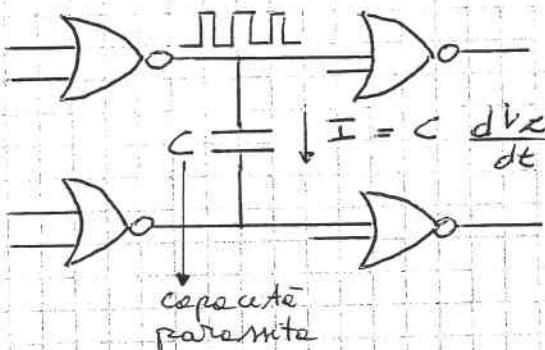
In questo modo l'escursione logica $\leq 0,5 \text{ V} \Rightarrow N_{HL} + N_{NH} \leq 95$
 $\Leftrightarrow N_M = \min \{N_{HL}, N_{NH}\} < 0,25$

La non saturazione \Rightarrow tempo di propagazione
 piccoli
 \Rightarrow ridotto N_M

Problema : fenomeno di CROSS TALK e INDUTTIVI

Le porte veloci (t_p piccolo) sono soggette ad un
 elevato rumore \Rightarrow serve un alto N_M

- Infatti dato una rete combinatoria realizzata da sole porte NOR in logica ECL



$$Z_C = \frac{1}{j \omega C}$$

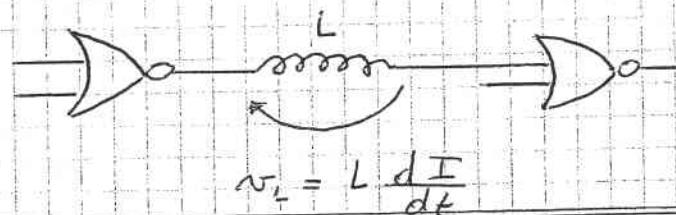
(impedenza delle capacità)

la corrente $I = C \frac{dV_C}{dt}$ è un disturbo del circuito che
 aumenta con l'aumentare delle velocità e quindi delle
 variazioni di V_C

Z_C diminuisce all'aumentare delle frequenze (velocità)
 provocando un cortocircuito e quindi un forte rumore
 nella rete combinatoria vicina.

\Leftrightarrow Fenomeno di CROSS TALK

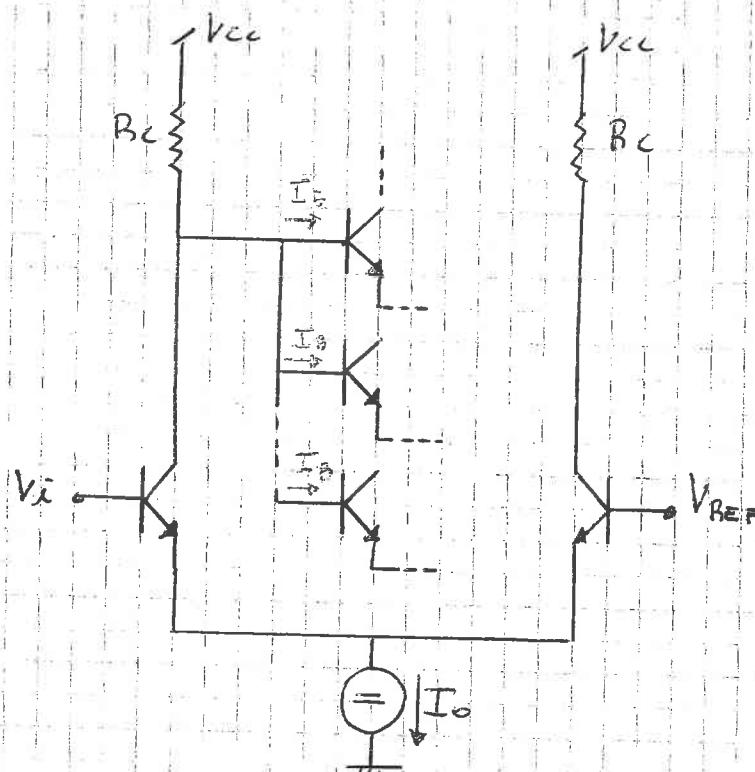
- Il filo che collega due porte logiche ha un'induttanza parassita L cui ceduta è proporzionale alle derivate delle correnti \Rightarrow il segnale si degrada (rumore)



Alle alte frequenze le interconnessioni
 introducono un forte rumore

Problema : FAN-OUT

Con fan-out > 1



Quando l'uscita è alta i transistor collegati ad essa si accendono \Rightarrow le correnti di base non sono nulle

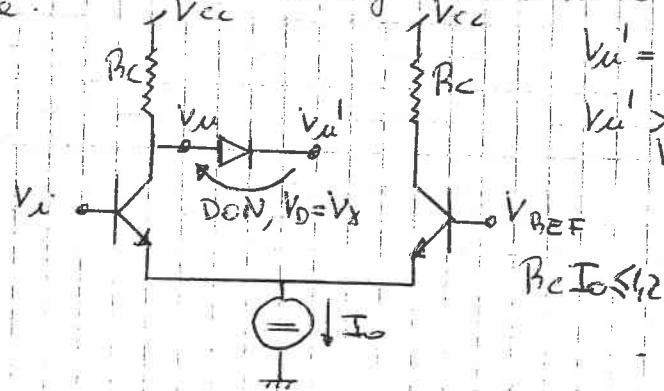
\hookrightarrow l'uscita alta è $V_{cc} - R_B \cdot n \cdot I_B < V_{cc}$
fan-out

\hookrightarrow diminuire $V_H \Rightarrow$ diminuire l'escursione logica
 \hookrightarrow diminuire N_H

\hookrightarrow per non annullare N_H (gli vicino a 0 con fan-out=0)
il fan-out deve essere molto piccolo

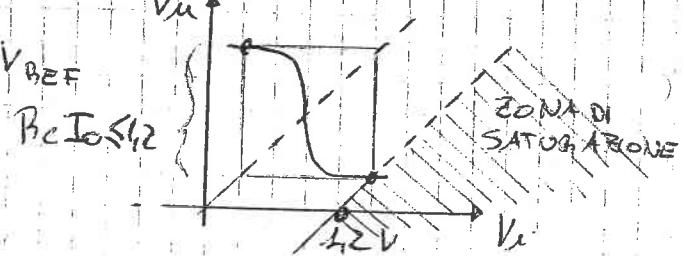
1^e Soluzione

Se usare un diodo collegato all'uscita per aumentare l'escursione logica.

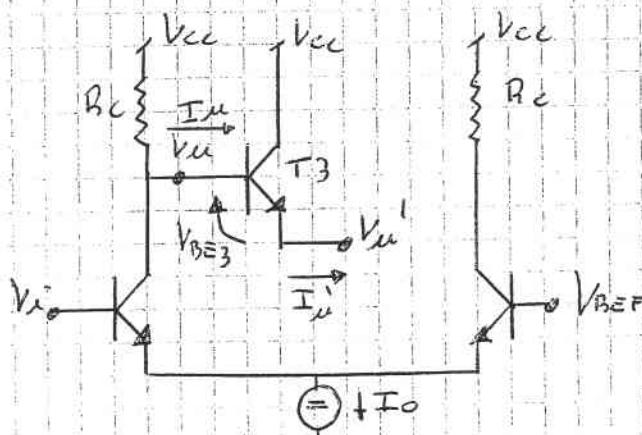


$$V_{H'} = V_H - V_x \quad e \text{ da } V_H > V_x - V_{CESAT}$$

$$V_{H'} > V_c - 2V_x + V_{CESAT} = V_i - 1,2$$



2^a Soluzione : STADIO DI BUFFER



① Siccome $V_{u'} > V_i - 2V_f + V_{cesAT}$ l'escursione logica massima ($R_e I_o = 1\Omega$) e, come nel diodo, aumenta il margine di immunità ai disturbi.

② T3 non è SAT perché per esserlo $V_{DC3} > 0$ ma $V_{C3} = V_{cc}$ e $V_{B3} < V_{cc}$ e quindi $V_{BC3} \leq 0$.

T3 è in RN (non c'è il problema dell'escita dalla saturazione)

$$I_{u'} = (\beta_F + 1) I_u \Rightarrow I_u = \frac{I_{u'}}{(\beta_F + 1)}$$

se m è il fan-out ed I_o la corrente estratta in ogni porta collegata all'uscita della porta da emularre

↳ l'uscita alta è $V_{cc} - R_c I_u = V_{cc} - R_c \frac{I_{u'}}{(\beta_F + 1)}$ ma

$$I_{u'} = m I_B \text{ quindi}$$

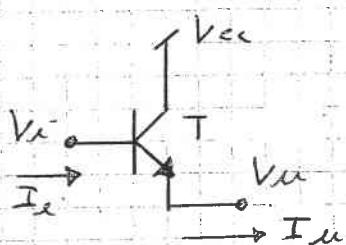
$$V_H = V_{cc} - R_c I_B = \frac{m}{(\beta_F + 1)} V_{cc}$$

degredo poco il valore alto.

↳ il fan-out massimo è aumentato di un fattore $(\beta_F + 1)$ rispetto alle porte senza transistor in uscita.

↳ aumenta il fan-out

STADIO DI BUFFER (o collettore comune)



T è in RN

$$V_{u'} = V_i - V_f \quad A_V = \frac{dV_{u'}}{dV_i} = 1$$

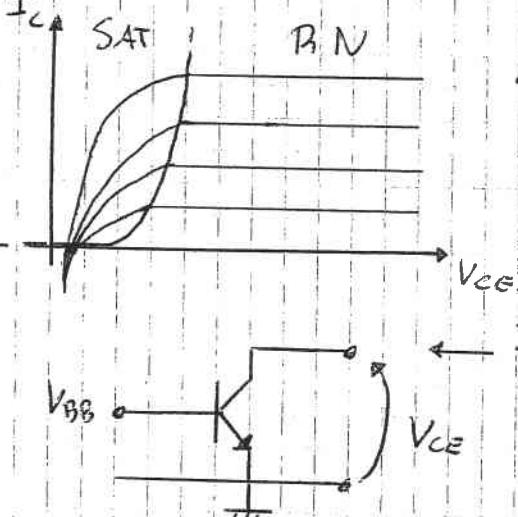
$$I_{u'} = (\beta_F + 1) I_i \quad A_I = \frac{dI_{u'}}{dI_i} = (\beta_F + 1)$$

($I_{u'} \gg I_i$; si parla di amplificatore di corrente)

STUDIO DEL GENERATORE DI CORRENTE

(GENERATORE A SPECCHIO DI CORRENTE)

↳ Si vede la caratteristica di uscita di un BJT



se $V_{CE} > V_{CESAT}$ allora la corrente I_C varia al variare della V_{BE}

↳ generatore di corrente controllato in tensione

$$I = I_C(V_{BE})$$

↳ non varia al variare di V_{CE} (se n'è nessuna l'effetto Early) se il transistor è in PN.

↳ Negliendo $V_{BB} = V_{BE} \Rightarrow$ si determina I_C .

Problemi

① Nelle realtà non si possono avere in un circuito più tensioni di alimentazione (V_{CC} , V_{REF} , V_{BB}) per tutte le migliaia di porte logiche di un circuito integrato

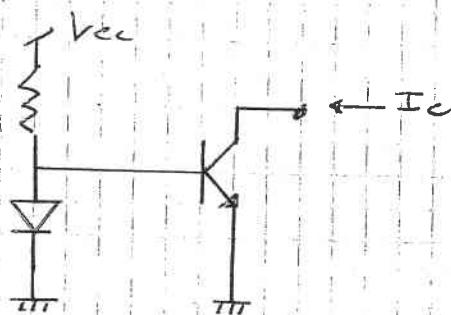
② Usando la tensione V_{BB} il circuito è molto sensibile al rumore in quanto un PN

$$I_C = I_S(e^{\frac{V_{BB}}{V_T}} - 1)$$

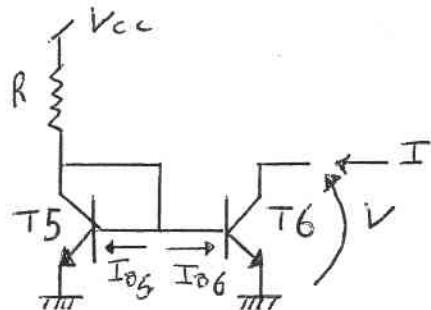
reverrà poco V_{BB} , e causa del rumore, la corrente I_C , che dovrebbe essere costante, varia molto.

1° Soluzione

Per polarizzare il circuito servirebbe $V_{BB} = V_T$ quando



2^a Soluzione : GENERATORE A SPECCHIO DI CORRENTE



se $T_5 \approx T_6 \approx R_N$

$$I_{C6} = I_S \left(e^{\frac{V_{BE1}}{R_N}} - 1 \right)$$

$$I_{C5} = I_S \cdot \left(e^{\frac{V_{BE5}}{R_N}} - 1 \right)$$

ma $V_{BE6} = V_{BE5}$ quindi

$$I_{C5} = I_{C6} = I$$

la corrente I_{C6} non dipende dalla tensione applicata alle basi di T_6 ma specchia la corrente I_{C5} .

$$\text{de } V_{CC} - R(I_{C5} + I_{B6} + I_{B5}) - V_{BE5} = 0$$

$$V_{BE5} = V_T ; \quad I_{B6} = I_{B5} \quad (\text{perché } V_{BE1} = V_{BE2})$$

$$I_{C6} = \beta_F I_{B6} \quad e \quad I_{C5} = \beta_F I_{B5}$$

$$V_{CC} - R \left\{ I + \frac{2I}{\beta_F} \right\} - V_T = 0 \quad V_{CC} - V_T = R I \left(1 + \frac{2}{\beta_F} \right)$$

$$I = \frac{V_{CC} - V_T}{R \left(1 + \frac{2}{\beta_F} \right)} \quad \text{ma } \beta_F \gg 1 \quad \text{quindi}$$

$$\boxed{I = \frac{V_{CC} - V_T}{R}}$$

modificando il valore di R varia la corrente I

↳ la dipendenza lineare, e non più esponenziale, rende stabile la corrente I e fronte di piccole variazioni delle resistenze R .

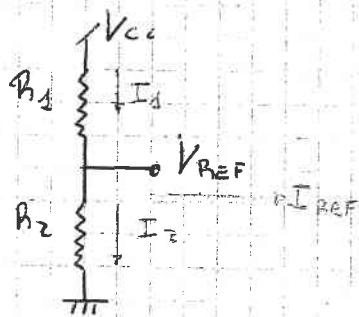
Considerazioni:

(1) Il modello è valido se $V > V_{CESAT}$, cioè se $T_6 \approx R_N$

(2) La corrente I specchia la corrente $I_R \Rightarrow$ per generare una corrente costante se ne crea un'altra speculare

↳ Aumenta le potenze statiche dissipate.

STUDIO DEL GENERATORE DI TENSIONE COSTANTE (V_{REF})



• A vuoto ($I_{REF} = 0$)

$$V_{CC} - R_1 I_1 = V_{REF}$$

$$V_{REF} = R_2 I_2 \Rightarrow I_2 = \frac{V_{REF}}{R_2}$$

$$I_1 = I_2$$

$$V_{CC} - \frac{R_1 V_{REF}}{R_2} = V_{BREF}$$

$$V_{BREF} = V_{CC} \cdot \frac{R_2}{R_1 + R_2}$$

• Con il carico ($I_{REF} > 0$)

$$I_1 = I_2 + I_{REF}$$

$$V_{CC} - R_1 I_1 = V_{BREF}$$

$$V_{BREF} = R_2 I_2$$

dove pilotare il transistor T2

$$V_{CC} - R_1 \left(\frac{V_{REF}}{R_2} + I_{REF} \right) = V_{BREF}$$

$$V_{BREF} = \frac{R_2}{R_1 + R_2} \left(V_{CC} - R_1 I_{REF} \right)$$

Se I_{REF} fosse costante la cedola $R_1 I_{REF}$ non darebbe
problemi in quanto V_{REF} è inferiore a V_{CC} e deve
essere costante.

$$I_{REF} = I_{B2}$$

le correnti di collettore
dei due transistor sono comprese tra 0 ed I_o

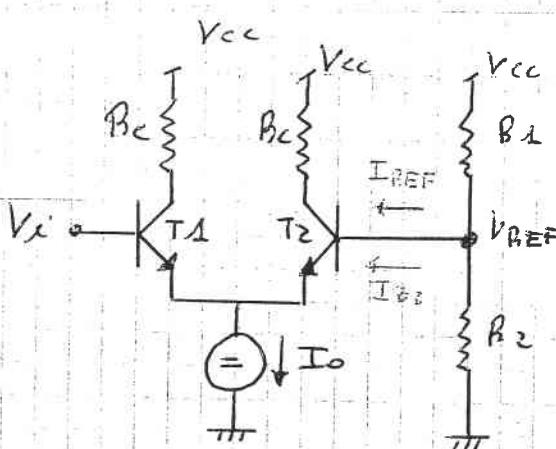
$$0 \leq I_{C2} \leq I_o$$

ricorda i due transistor sono in Regime Normale

$$0 \leq I_{B2} \leq \frac{I_o}{\beta_F}$$

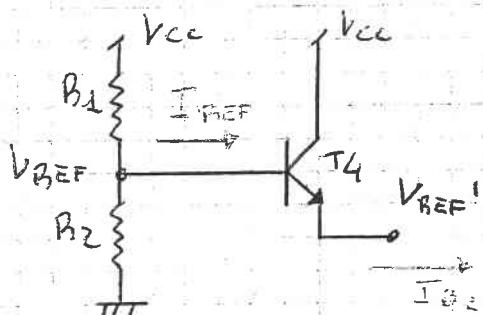
le corrente I_{B2} è
quindi I_{REF} è variabile

- ↳ Per poter usare il circuito serve che $I_1 \gg I_{REF}$
in modo da poter trascurare la corrente I_{REF}
- ↳ I_1 ed I_2 grande dissipano molte potenze statiche



1^a Soluzione

Per avere I_1 ed $I_2 \gg I_{REF}$, senza diminuire le resistenze R_1 ed R_2 ed aumentare notevolmente le correnti e le potenze dissipate, si diminuisce I_{REF} .



Siccome il transistor è in RN

$$I_{REF} = \frac{I_{B2}}{\beta_F + 1}$$

$$0 \leq I_{REF} \leq \frac{I_o}{\beta_F (\beta_F + 1)}$$

La corrente I_{B2} proviene dal collettore del transistor T4 e, in minima parte, dalla sua base $\Rightarrow I_{REF}$ è piccola e modifica poco il fan-out del partitore di tensione.

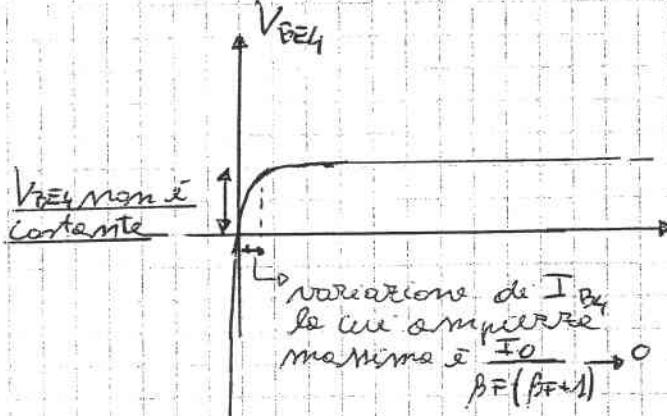
I_1 ed $I_2 \gg I_{REF}$ senza avere delle forti correnti sulle resistenze R_1 ed R_2 e quindi con una piccola potenza dissipata.

$$V_{REF}' = V_{REF} - V_{BE4}$$

\hookrightarrow stabile perché $I_{REF} \approx 0$

Siccome nella base del transistor T4 non c'è una resistenza non si usa il modello a raggi

$$I_{B4} = I_{BES} \left(e^{\frac{V_{BE4}}{V_T}} - 1 \right) \Rightarrow V_{BE4} = V_T \log \left(\frac{I_{B4}}{I_{BES}} + 1 \right)$$



$$I_{B4} = I_{REF} \text{ ma } 0 \leq I_{REF} \leq \frac{I_o}{\beta_F (\beta_F + 1)}$$

\hookrightarrow variazione di I_{B4}
la cui ampiezza
massima è $\frac{I_o}{\beta_F (\beta_F + 1)}$

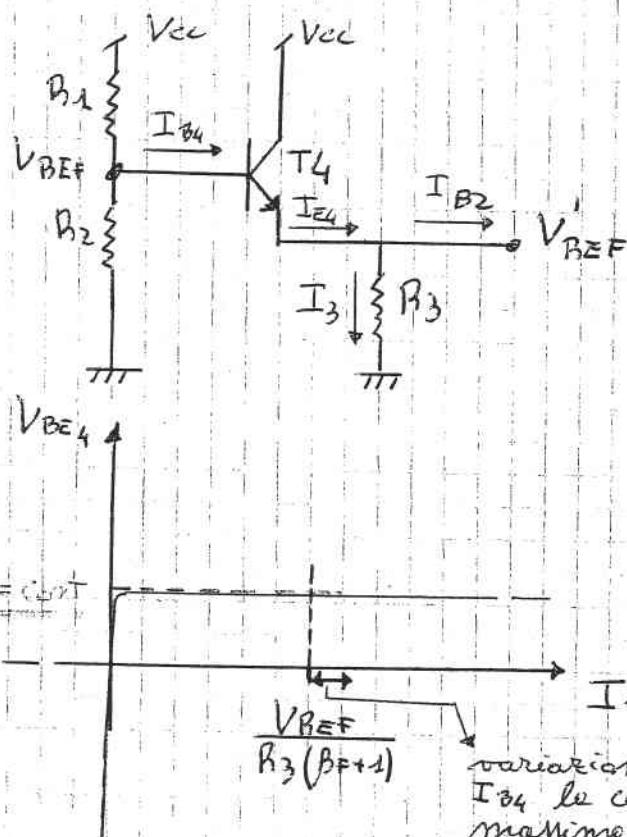
\hookrightarrow variaz. vicino
all'origine

V_{BE4} non è costante e fronte di I_{B4} piccola

\hookrightarrow Serve una corrente I_{B4} sufficientemente grande (per avere V_{BE4} costante) la cui variazione sia sufficientemente piccola (per non avere problemi con il partitore di tensione)

2^a Soluzione

Si aumenta la corrente con una resistenza costante



$$I_{B4} = \frac{I_{E4}}{(\beta_F + 1)}$$

$$I_{E4} = I_{BEF} + I_3$$

$$I_3 = \frac{V_{BEF}}{\beta_3}$$

$$I_{B4} = \frac{I_{B2}}{\beta_F + 1} + \frac{V_{REF}}{R_3 (\beta_F + 1)}$$

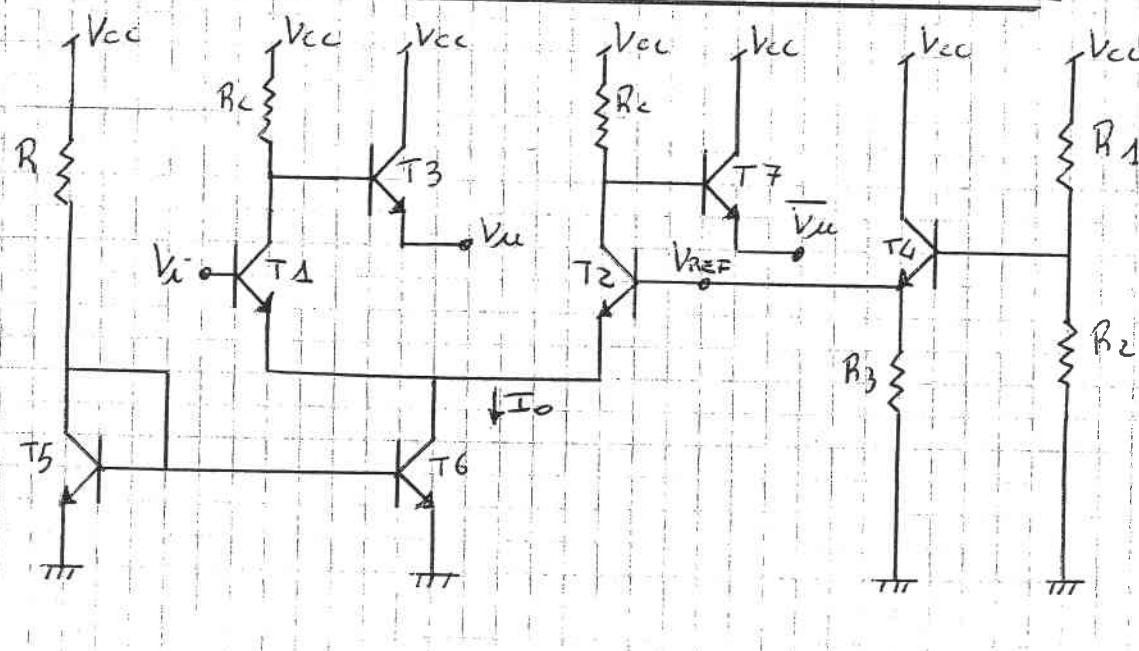
$$\rightarrow \bar{e} < \frac{I_o}{\beta_F (\beta_F + 1)}$$

valore fisico

$\frac{V_{REF}}{R_3 (\beta_F + 1)}$ variazione di
I_{B4} le cui ampiezze
massime è $\frac{I_o}{\beta_F (\beta_F + 1)} \rightarrow 0$

R₃ stabilizza la tensione V_{BE4}

SCHEMA DI UNA PORTA COMMERCIALE ECL



Le potenze dissipate sono elevate perché

- ① Il generatore di corrente doppia la corrente I_0 aumentando le potenze dissipate
- ② Il partitore di tensione deve avere le due correnti I_1 ed $I_2 \gg I_4 \Rightarrow$ potenze dissipate elevate
- ③ La resistenza R_3 deve essere tale da avere una corrente che stabilizzi $V_{BE4} \Rightarrow$ dissipazione di potenze.

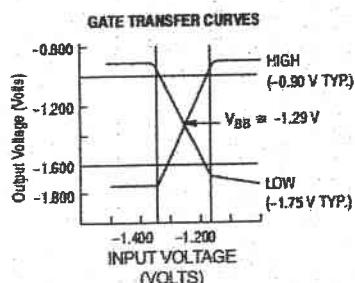
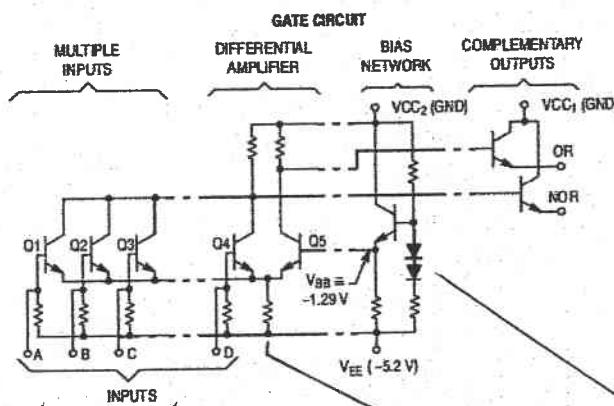
La porta è veloce perché

- ① I transistor non sono mai saturi.
 - ② Le correnti sono elevate e quindi $C \frac{dV}{dt}$ è elevato
 - ③ La porta logica contemporaneamente alle due uscite complementari \Rightarrow non serve un ulteriore invertitore.
- ↳ la logica ECL è stata utilizzata negli anni '80 nei super-calcolatori dove la velocità di elaborazione era più importante delle potenze dissipate

TND309

General Information for MECL 10H™ and MECL 10K™

TND309



GATE SYMBOL

le resistenze di ingresso servono a stabilizzare l'uscita delle porte logiche precedenti (come le resistenze R_3 del circuito studiato)

c'è la resistenza al porto del generatore e specchio di corrente

ci sono due diodi

Famiglie più veloci
in quanto usa il generatore a specchio di corrente

Table 1. General Characteristics

TND309

MECL FAMILY COMPARISONS

Famiglie che dimostrano di essere più lente delle logiche MECL 10H

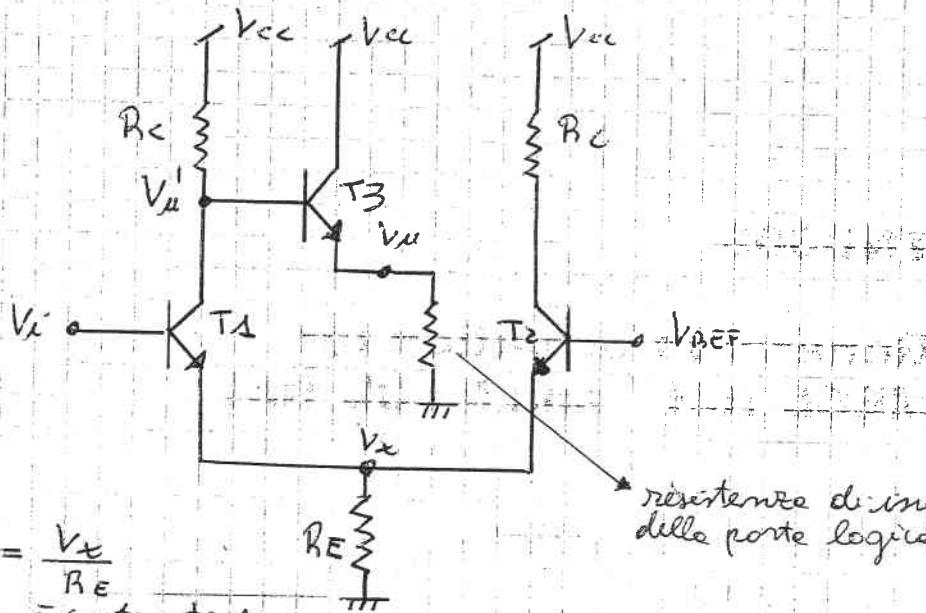
Feature	MECL 10H	MECL 10K	
		10,100 Series	10,200 Series
1. Gate Propagation Delay	1.0 ns	2.0 ns	1.5 ns
2. Output Edge Speed*	1.0 ns	3.5 ns	2.5 ns
3. Flip-Flop Toggle Speed	250 MHz min.	125 MHz min	200 MHz min
4. Gate Power	25 mW	25 mW	25 mW
5. Speed Power Product	25 pJ	50 pJ	37 pJ

*Output edge speed: MECL 10K/10H measured 20% to 80%.

Table 2. Operating Temperature Range

Ambient Temperature Range	MECL 10H	MECL 10K
0° to 75°C	MC10H100 Series	
-30°C to +85°C		MC10100 Series MC10200 Series

• Studio del circuito con le resistenze al porto del generatore di corrente



$$I_o = \frac{V_x}{R_e}$$

↳ è costante se
 V_{ce} è costante

resistenza di ingresso
delle porte logiche successive

• Quando T_2 è ON, $V_{BE2} = V_T$, $V_i < V_{REF} = \text{cost}$; $V_T = V_{REF} - V_T = \text{cost}$

V_T è costante $\Rightarrow I_o = \frac{V_T}{R_e}$ è costante.

• Quando T_2 è OFF, $V_{BE2} < V_T$; $V_i > V_{REF} = \text{cost}$ V_T non è cost.

↳ T_1 è RN

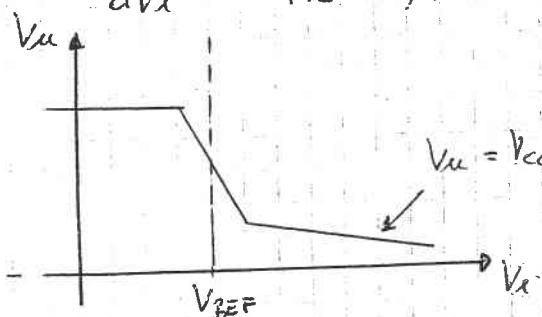
$$V_{uu} = V_{uu}' - V_T = V_{cc} - R_c (I_{C1} + I_{B3}) - V_T \approx V_{cc} - R_c I_{C1} - V_T$$

↳ è possibile grazie al buffer

$$I_{E1} = I_o = \frac{V_i - V_T}{R_e} \quad I_{C1} = \frac{\beta_F}{\beta_F + 1} I_{E1}$$

$$V_{uI} = V_{cc} - \frac{R_c}{R_E} \frac{\beta F}{\beta F + 1} (V_I - V_T) - V_T$$

$$A_V = \frac{dV_u}{dV_I} = - \frac{R_c}{R_E} \cdot \frac{\beta F}{\beta F + 1} \approx - \frac{R_c}{R_E}$$

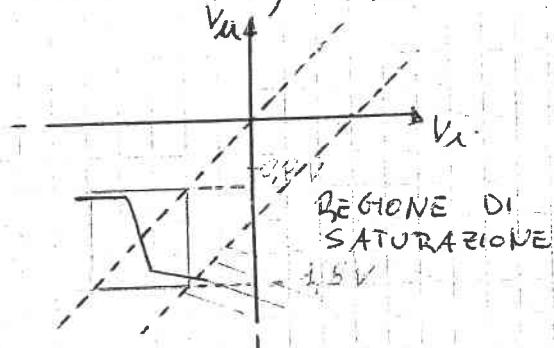


$$V_{uI} = V_{cc} - \frac{R_c}{R_E} \frac{\beta F}{\beta F + 1} (V_I - V_T) - V_T$$

→ come nella caratteristica del data-sheet

- Analisi dei valori delle tensioni delle caratteristiche del data-sheet

$$V_{cc} = 0V ; V_{GND} = -5,2V$$



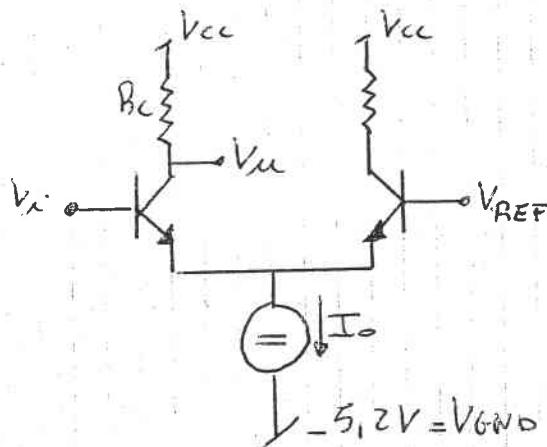
⇒ anche se le tensioni sono negative, non variano le differenze di potenziale, la porta logica si comporta come quella standard

$$\text{Valore Alto (V}_H\text{)} = -0,8V$$

$$\text{Valore Basso (V}_L\text{)} = -1,8V$$

V_{cc} è uguale a 0 perché il segnale di massa, molto distribuito nel circuito integrato, risente poco del rumore perché è fortemente legato a 0.

Dallo schema del circuito ECL



$$\begin{aligned} V_H &= -0,8V \rightarrow 3,6V \\ V_L &= -1,8V \rightarrow 0,2V \end{aligned}$$

$$V_{uI} = V_{cc} - R_c \frac{I_o}{V_{REF} - V_t} \frac{1}{1 + e^{-V_I}}$$

⇒ V_{uI} risente poco del rumore in quanto dipende solo dalla tensione $V_{cc} = 0$, l'unica tensione poco disturbata dall'esterno.

⇒ V_{GND} varia molto più di V_{cc} ma, se il generatore di corrente è ideale, non influenza sul circuito

Differenze tra condensatore e n-MOS

↳ Condensatore: le cariche si spostano sulla superficie (armature)

↳ n-MOS

- le cariche positive sono nel metallure

- le cariche negative sono in modo lo opposto a quelle positive ma hanno due contributi

↳ Componente superficiale di carica mobile

↳ componente distribuita nel volume dell'area delle zone rotolate, di carica doveva e non fissa.

Comportamento qualitativo n-MOS

Con $V_{GB} > 0$ si crea un canale conduttivo e l'apertura con il substrato grazie alle zone rotolate \Rightarrow la struttura è autoindotta

Con un campo E trasversale si crea uno strato di carica la cui densità dipende dalla polarizzazione applicata

le condutibilità dipende dalla polarizzazione applicata

In questo modo la resistenza

Con un campo E longitudinale (tra Draine e Sorgue) gli elettroni del canale si muovono \Rightarrow nasce una corrente

(Quando:

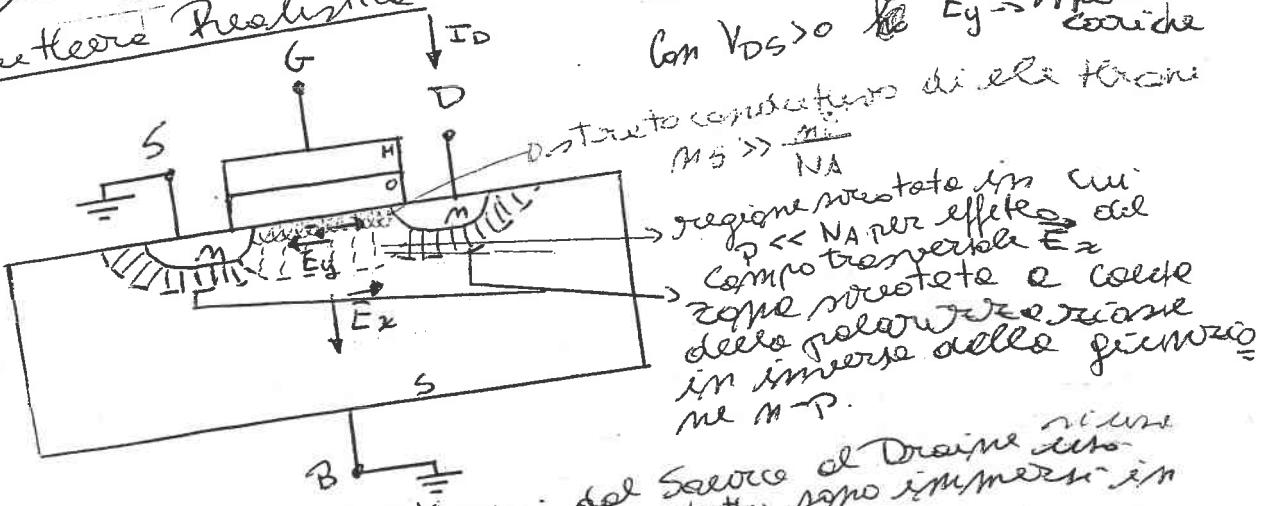
↳ Con V_{GB} si forma il canale conduttivo la cui resistenza dipende dalla tensione

↳ se $I_D = 0$ perché è la corrente che attraversa un isolante (in condizioni statiche)

le porte logiche possono avere un conduttore statico $I_{DSAT} = +\infty$

↳ Con V_{GS} si fa scorrere una corrente I_D

ide
 mi forma
 in VGB formiamo il canale conduttivo, la cui
 resistenza ci rende delle tensioni che attraverso
 la $I_G = 0$ perché è la corrente che (in condizioni statiche)
 un insolente
 L) le porte logiche possono avere in condizione
 statiche fan-out = +10
 → il canale conduttivo è isolato
 ri la nostra una corrente I_D
 con VDS falso portare a meno corrente nel canale
 truttore Prelistico
 $G \downarrow I_D$
 Con $V_{GB} > 0 \rightarrow E_x$
 Con $V_{DS} > 0 \rightarrow E_y \rightarrow$ moto di
 di elezio



Per raccogliere gli elettroni del Scarico di Dreine si usa
un buco di metallo dove i contatti sono immersi in
una zona di titanio.

Con $V_{DS} > 0 \Rightarrow I_D > 0$ $V_{GS} > 0$ ne mette $V_B = 0$ $V_S = 0$ quando B è a terra
quindi S è a terra

Per avere $V_{GS} > 0$ si mette $V_B = 0$
 Per avere $V_{GS} < 0$ si mette $V_S = 0$

Per avere $V_{GB} > 0$ si mette $V_B = 0$ quindi
 Per avere $V_{GS} > 0$ si mette $V_S = 0$ quindi
 - N costituita da B-D più alto di

- Per avere $V_{GS} > 0$ si mette $V_S = 0$ quindi per avere $V_{GS} > 0$ si mette $V_S = 0$
- Per avere $V_{GS} < 0$ si mette $V_S = 0$ quindi per avere $V_{GS} < 0$ si mette $V_S = 0$
- Quindi la giunzione P-N costituita da B-D ha la regione N sempre a potenziale più alto di quella P che le separa.

A diagram of a rectangular block with a dashed vertical line through its center. The left side is labeled 'B' and 'P'. The right side is labeled 'D'. The center is labeled 'm'.

con $V_D \geq V_B$ per ogni V_D
- maggiore spess.

con $V_D > V_B$
 L' diodo è sempre spento

 La giunzione P-N costituita da B-S è in equilibrio e perciò la corrente è nulla

La giurazione
corro e perciò
essa è nulla

- La giunzione $p-n$ c'è una rete, la corrente è nulla
- Il transistore MOSFET è completamente immerso nello sottosolo con $V_D = 0$ allora $I_D = 0$ come I_G

→ deve uscire due transistor MOSFET molto
per costruire un isolamento

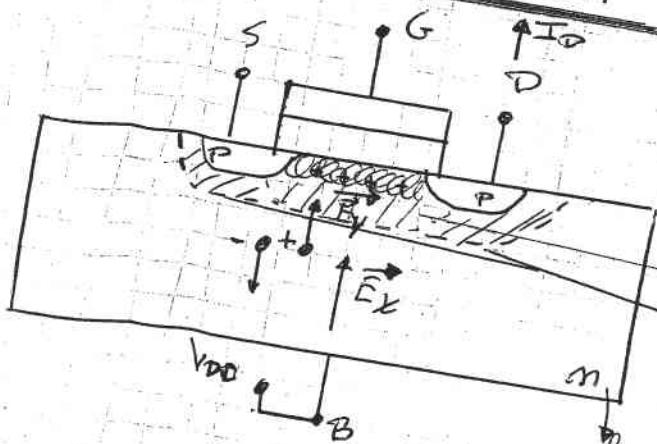
↳ Il circuito con MOSFET è estremamente p.
composto dei circuiti bipolari.

I transistor MOSFET non hanno bisogno
di corrente di ingresso → non c'è il problema e
perced

↳ I circuiti digitali sono basati sui MOSFE

Tra i transistor è il canale n perché il canale
conduttivo è dovuto dell'azione degli elettroni
portatori minoritari, cioè gli elettroni dei
mosfet.

P-MOSFET



con $V_{GB} < 0$ ho E_x verso
l'alto → accresce la
densità di elettroni ed allora
la regione sotto il canale

regione si sviluppa
regione parziale
inversa

alta concentrazione di
elettroni e debole di li-

→ si forma un canale di decursione, transistor di
tipo P.

→ ma quindi due "porte" di raccolta di tipo P.
→ con una $V_{GS} > 0 \Rightarrow E_x$ verso destra, le cariche
positive hanno lo stesso verso destro, la corrente
del drain

→ per realizzare l'isolamento tra il substrato
di tipo n con i due porti di tipo P tempo
 V_B e potenziale più alto → la regione di tipo P è
potenziale più alto → si crea una zona svuotata

↳ dispositivo a canale P è stato fatto.
→ I due transistori sono uguali simmetrici

per n-MOSFET

$$\begin{aligned} G_m &= g_{mn} \mu_m \\ g_p &= g_{mp} \mu_p \\ (\mu_m &= 2,3 \text{ volte } \mu_p) \end{aligned}$$

$\mu_m > \mu_p$ quindi

$$G_m > G_p$$

uno migliore gli n-
fevere si devono usare entro

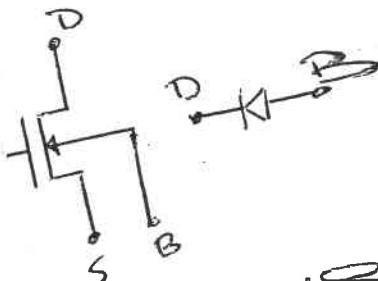
sono di un solo I_D = $E_T = P_T$
sempre e fette insieme
fette non si isolati
dispositivi (metà
in quanto il tra
spese di controllo
carico delle catene
da la classe.

SIMBOLI

FET

I_D

S
casil verso positivo delle correnti I_D

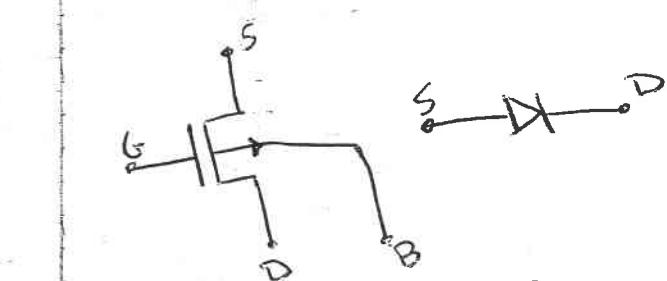
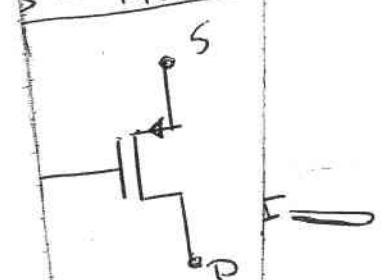


indica il verso
de generazione P_i

Il dispositivo
ha il drain
isolato.

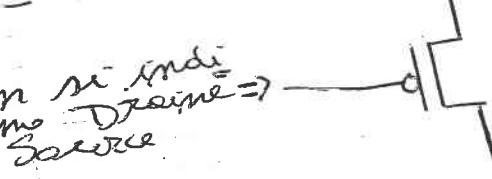
e Drain è o
staciale
oppure del Source

- MOSFE



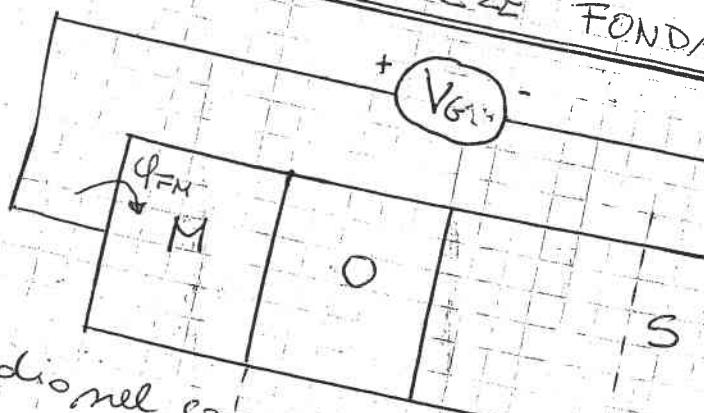
verso positivo del dito formato

quindi per aprire
il Source e lo isolatore il
potenziale quello a
+ dito.
Il Source e il potenziale
maggior del Drain

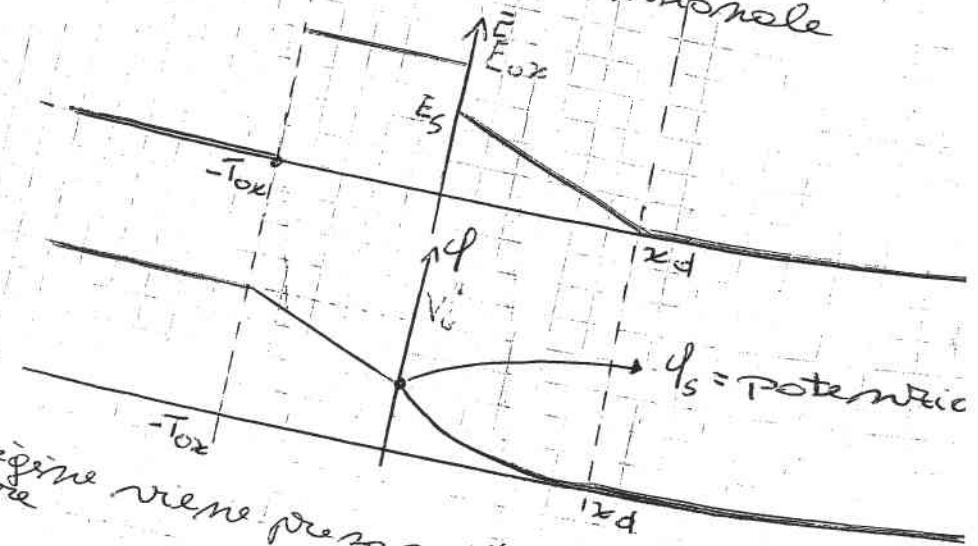


in si indi
l'uso Drain =>
Source

STUDIO GRANDEZZE FONDAMENTALI



Studio nel caso monodimensionale



L'origine viene presa nell'interfaccia e on
duttore

Si suppone che esista una regione superficiale
intorno dell'interfaccia (distante x_d) tale
che considerare indipendentemente dalla giunzione
(in cui il silicio drogato è della normale
regione non perturbata)

Per $x > x_d$ valutare le dimensioni e
vedere se la precedente considerazione è
corretta

$$P_{(0)} = N_A$$

$$m_{(0)} = \frac{m_i}{N_A}$$

valori riferiti a potenziale nullo

$q=0$ (per conservazione di
carica) è importante
che differenza dei
potenziali

$$E = -\frac{dq}{dx} = 0$$

Questo è una zona neutra $\Rightarrow \rho = 0$

\Rightarrow Giunzione tra un semiconduttore e un metallo

\hookrightarrow Esiste un potenziale di contatto

$\varphi_{MS} \Rightarrow$ differenza di potenziale di contatto tra il metallo e il semiconduttore

e Metallo

una regione a equipotenziale (se il metallo è ideale)

$$= \text{cost} = -\varphi_{MS} + V_G + \varphi_{FM} = -\varphi_{MS} + V_G \stackrel{!}{=} V_G$$

stesso di contatto tra il filo e il metallo che
metto in questo i due componenti sono sempre
ello stesso materiale

$$\stackrel{!}{=} -\frac{d\varphi}{dx} = 0$$

Per $-t_{ox} \leq x \leq 0$ cioè nel crudo

Strumentazione
metematica

$$\left\{ \begin{array}{l} p = q(N_D - N_A + P - n) \\ E = -\frac{d\varphi}{dx} \quad (\text{Equazione di Poisson}) \\ \frac{d(\epsilon E)}{dx} = p \end{array} \right.$$

IMP perché nelle
memorie
non è così.

H.P.: All'interno dell'ottica non c'è carica $Q_{ox} = 0$
 \hookrightarrow è ragionevole anche se durante il processo di fabbrica-
zione qualche ione di altro materiale ci può andare
e finire.

$$\hookrightarrow p = 0 \Rightarrow \frac{d(\epsilon E)}{dx} = 0 \quad \left\{ \epsilon \cdot \frac{dE}{dx} = 0 \Rightarrow E = \text{cost} = E_{ox} \right.$$

$$\epsilon = \epsilon_{ox} = 4,5 \epsilon_0$$

$$\bullet E_{ox} = -\frac{d\varphi}{dx} \Rightarrow \int_{-t_{ox}}^0 d\varphi = - \int_{-t_{ox}}^0 E_{ox} dx$$

$$\varphi(0) - \varphi(-t_{ox}) = -E_{ox}(0 + t_{ox})$$

$$\downarrow \quad \downarrow$$

$$\varphi_S$$

$$V_G$$

$$\bullet E_{ox} = -\frac{d\varphi}{dx} \Rightarrow \int_x^0 d\varphi = - \int_x^0 E_{ox} dx$$

$$E_{ox} = \frac{V_G - \varphi_S}{t_{ox}}$$

$$\frac{q(0) - q(x)}{ds} = -E_{ox}(0-x)$$

$$q(x) = q_s - E_{ox} \cdot x$$

Per $0 \leq x \leq x_d$ cioè nel Semiconduttore

$$J_n = q \mu_m n E + q D_m \frac{dn}{dx}$$

$$E = -\frac{dq}{dx} \quad D_m = \frac{kT}{q} \mu_m \Rightarrow \text{relazione di Einstein}$$

$$-q \mu_m \frac{dq}{dx} + q \frac{kT}{\mu_m} \frac{dn}{dx} = 0 \quad (\text{condizione di equilibrio})$$

$$\int_{x_{(0)}}^x dq = \int_{x_{(0)}}^x \frac{kT}{q} \cdot \frac{1}{n} dn \quad q(x) - q(x_{(0)}) = \frac{kT}{q} \ln \frac{n(x)}{n_{(0)}}$$

generico punto in cui $q=0$

$$n(x) = n_{(0)} e^{\frac{q}{kT}} \quad \leftrightarrow \quad p(x) = p_{(0)} e^{-\frac{q}{kT}}$$

se $q=0$ allora $p=p_A$

ma in questo intervallo

il crescere di q corrisponde un breve arco

$$q > 0 \Rightarrow P \ll P_0$$

$$n_s = n_{(0)} e^{\frac{q q_s}{kT}}$$

densità quando $q=q_s$ cioè $x=x_d$

nel intervallo $(0, x_d)$ $q < q_s$ quindi $n < n_s \approx N_A$ in quanto piccole variazioni di q provoca forte variazioni di n

Quindi $P = q(N_D - N_A + n) \rightarrow$ de dimostrare (2)
perché il silicio è troppo de eccetore.

n è molto minore di N_A

$\tau = -q \cdot N_A \rightarrow$ in questa regione quindi non ho carica e non ho elettroni

\hookrightarrow è la carica delle regioni neutre, corice fine di volume che crea l'isolamento

Dall'equazione di Poisson

$$\frac{d(\epsilon E)}{dx} = \rho = -q \cdot N_A$$

$$\int_{E(xd)=0}^{E(x)} dE = - \int_x^{xd} q \frac{N_A}{\epsilon_s} dx$$

$$+ E(x) = + \frac{q N_A}{\epsilon_s} (x_d - x)$$

* si può dedurre da
 $\frac{dE}{dx} = \frac{\rho}{\epsilon} \rightarrow$ costante negativa

E è una retta a rendenza negativa

Sappiamo che $E(x) = - \frac{d\varphi}{dx}$

$$- \frac{d\varphi}{dx} = \frac{q N_A}{\epsilon_s} (x_d - x)$$

$$\int_{\varphi(xd)=0}^{\varphi(x)} d\varphi = \int_x^{x_d} \frac{q N_A}{\epsilon_s} (x - x_d) dx$$

$$-\varphi(x) = q \frac{N_A}{\epsilon_s} \cdot \left\{ \frac{(x_d - x)^2}{2} - \frac{(x - x_d)^2}{2} \right\}$$

$$\varphi(x) = q \frac{N_A}{\epsilon_s} \cdot \frac{(x - x_d)^2}{2}$$

\Rightarrow Il campo elettrico è discontinuo ed esendo le derivate del potenziale si ha rendenza diversa in $\varphi(0^+)$ e in $\varphi(0^-)$.

Dimostrazione ① : x_d è sufficientemente piccolo.

$$\text{in } x=0 \quad \varphi(0) = \varphi_s = \frac{q N_A}{\epsilon_s} \frac{x_d^2}{2} \Rightarrow x_d = \sqrt{\frac{2 \epsilon_s q s}{q N_A}} = (0,1 \div 10) \mu m$$

② l'andamento è molto simile a quello di una $\propto -n$ (che dipende dalla $\sqrt{Pd \cdot applicato}$)

ϵ_s

$$d(\epsilon E) = -q N_A dx$$

Valore di $E(0^+)$

$$\frac{d(\epsilon E)}{dx} = \rho$$

$$\int_0^{0^+} d(\epsilon E) = \int_{0^-}^{0^+} \rho dx \approx 0$$

Hip: In un volume nullo la corice è nulla

\hookrightarrow non c'è corice intrapredata nell'interfaccia
 nelle pratiche c'è delle corice libere in quanto il silicio è un materiale cristallino, ma l'ossido è amorfico; quindi è impossibile che ogni atomo di silicio rileghi con quelle dell'ossido

$$\varphi(0^+) \cdot E(0^+) - \varphi(0^-) \cdot E(0^-) \approx 0$$

$$\varphi_s \quad E_{ox} \quad E_{ox}$$

$$E_s = E(0^+) = E_{ox} \cdot \frac{E_{ox}}{\epsilon_s} \rightarrow 415$$

$$E_s = E(0^+) = E_{ox} \cdot \frac{E_{ox}}{\epsilon_s} \rightarrow 148$$

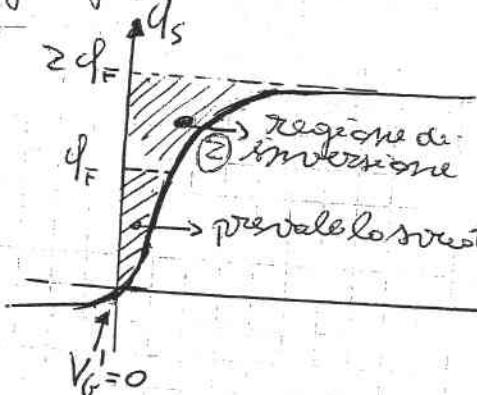
φ_s non è il potenziale applicato, ma ne è una frazione.

(2) $N_d \uparrow \Rightarrow x_d \downarrow$ perché basta un volume piccolo per avere una carica grande

- $N_d \downarrow \Rightarrow x_d \uparrow$ per avere le stesse cariche con un diode più piccolo serve un volume più grande

Quando si può affermare che le zone L_0, x_{d1} e sufficientemente piccole da conferire l'ipotesi fatta

Si può dimostrare che $\varphi_s(V_G)$ ha il seguente



→ al crescere di V_g φ_s tende a saturare

Quando $V_g = 0$ cioè $V_g = \varphi_{MS} \Rightarrow \varphi_s = 0$ } Condizione di
bende nulle

→ è importante notare che questa situazione si ha solo quando $V_g = \varphi_{MS}$ e non quando è uguale a 0.

→ $n_s = n_0 = n_x$; $p_s = p_0 = p_x \forall x$

→ si comporta come un conduttore isolato, non perturberà da nulla anche se $V_g = \varphi_{MS}$.

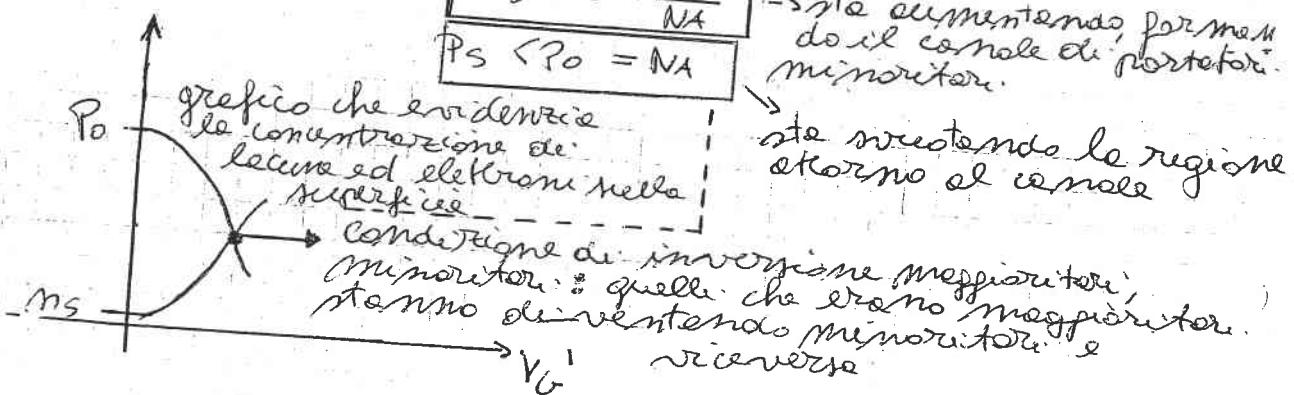
Quindi il potenziale intrinseco di contatto è sufficiente a perturbare le concentrazioni come accade nel diodo.

Quando $V_g > 0$

In questo caso

$$n_s > n_0 = \frac{m_i^2}{N_A}$$

$$p_s < p_0 = N_A$$



\Rightarrow Studio qual'è il potenziale φ_S tale per cui
 ① sulla superficie la concentrazione di elettroni è
 uguale a quella degli elettroni

$$\left. \begin{array}{l} m_S = m_0 \text{ e } \frac{q\varphi_S}{kT} \\ p_S = m_0 \text{ e } \frac{-q\varphi_S}{kT} \end{array} \right\} \text{cerco } \varphi_S^* \text{ : } m_S(\varphi_S^*) = p_S(\varphi_S^*)$$

$$\Downarrow m_0 \text{ e } \frac{q\varphi_S^*}{kT} = p_0 \text{ e } \frac{-q\varphi_S^*}{kT} \rightarrow e = \frac{N_A}{m_i^2}$$

$$\varphi_S^* = \frac{kT}{q} \ln \left(\frac{N_A}{m_i} \right) \quad \text{siccome } N_A > m_i \text{ per ipotesi allora}$$

$$\varphi_S^* > 0 \quad \boxed{\varphi_S^* = \frac{kT}{q} \ln \left(\frac{N_A}{m_i} \right) = \varphi_F \left(\frac{\text{Potenziale di}}{\text{Termi}} \right)}$$

① Regime di inversione: quando $0 < \varphi_S < \varphi_F$ prevale lo sestamento

② Regime di minoranza: quando $\varphi_S > \varphi_F$ c'è l'inversione minoritaria, maggioranza nelle superficie

Quando $\varphi_S = \varphi_F$ cioè quando $m_S = p_S$ (calcolo in 2 modi)

$$① m_S = m_0 \text{ e } \frac{q\varphi_F}{kT} = \frac{m_i^2}{N_A} e^{\frac{q\varphi_F}{kT}} = \frac{m_i^2}{N_A} e^{\frac{q\varphi_F}{kT} \ln \frac{N_A}{m_i}} = \frac{m_i^2}{N_A} \cdot \frac{N_A}{m_i} = m_i$$

$$② p_S \cdot m_S = m_i^2, p_S = m_S = m_i$$

In questa regione $p = q(N_D - N_A + P - n)$

$N_D \ll N_A$ per ipotesi;

$$\frac{m_i^2}{N_A} \leq m_S \leq m_i \text{ quindi } m_i \ll N_A$$

$m_i \ll p_S \ll N_A \rightarrow$ appena $V_G > 0$ $p \ll N_A$ perché cala

esponenzialmente quando $p = -qN_A$

\Rightarrow Zone invertate.

③ \Rightarrow Studio quando $\varphi_S > \varphi_F$

m_S euramente è p_S cala in questo caso non è superato
il punto di inversione

Il completo sestamento finisce quando m_S è confrontabile

con N_A . Dimostrazione ②

Bisogna studiare a quale potenziale ψ_S^* $n_S = N_A$

$$\psi_S^* : n_S(\psi_S^*) = N_A ; n_S = \frac{n_i^2}{e^{kT}} e^{\frac{q\psi_S^*}{kT}} = N_A$$

$$e^{\frac{q\psi_S^*}{kT}} = \frac{N_A}{n_i^2}$$

$$\psi_S^* = \frac{2kT}{q} \ln \frac{N_A}{n_i} = 2\varphi_F$$

In questo caso la densità载ice l'altre ed il suo influenzato dagli ioni accettori fissi e anche dagli elettroni mobili.

Quando $\psi_S^* = 2\varphi_F$ cioè quando $n_S = N_A$ si raggiunge una condizione di forte inversione

Quando $\psi_S > 2\varphi_F$ $n_S > N_A$

③

④

⑤

REGIONE DI ACCUMULAZIONE	REGIONE DI SVUOTAMENTO	φ_F (DEBOLE) INVERSIONE	$2\varphi_F$ (FORTE) INVERSIONE
$P_S > P_0 = N_A$ $n_S < n_0 = \frac{n_i^2}{N_A}$	$P_0 = N_A$ $n_S > n_0 = \frac{n_i^2}{N_A}$	$P_S <> P_0$ $n_S > n_0$ $n_S < n_i$ $P_S > n_S$	$P_S <> P_0$ $n_S > n_0$ $P_S < n_S < P_0$
$n_S < n_0 = \frac{n_i^2}{N_A}$ $n_0 = \frac{n_i^2}{N_A}$	$n_S > n_0 = \frac{n_i^2}{N_A}$ $n_0 = \frac{n_i^2}{N_A}$	$n_S > n_0$ $n_S < n_i$ $P_S < n_S < P_0$	$n_S = N_A$ $P_S = \frac{n_i^2}{N_A}$ $n_S > n_0$ $n_S > P_0 = N_A$
			ψ_S

L'curve $\psi_S(V_G)$ tende a ritornare per $\psi_S = 2\varphi_F$

In quanto la carica è dominata dagli elettroni liberi non più da quelli fissi.

③ Se $\psi_S < 0 \Rightarrow V_G < 0$

M	O	S

ψ

$-t_{ox}$

x_d

ψ_S
 V_G

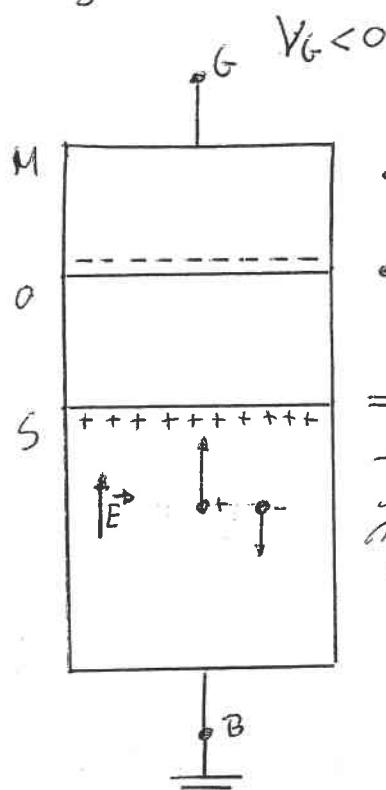
Condizione di
banda piatta

$n_S = n_0$
 $P_S = P_0$

Se aumenta q_S n_S aumenta e P_S diminuisce

Se diminuisce q_S n_S diminuisce e P_S aumenta

$$\hookrightarrow q_S < 0 \rightarrow n_S < n_0 \text{ e } P_S > P_0$$



- P_S aumenta infatti il campo \vec{E} porta le lacune nelle superficie
- n_S diminuisce perché \vec{E} allontana gli elettroni liberi
n'ore il canale n_S
 \Rightarrow Non si vede la regione neutra tra il canale di portatore megiori, tori e il substrato in quanto essendo pochi gli elettroni liberi non provoca un netto effetto quando si allontanano.

\hookrightarrow regione di accrescimento che si "contrappone" alla regione di movimento delle lacune

\Rightarrow Allora per l'uso digitale V_G deve sempre essere maggiore di 0.

\hookrightarrow Usato per alcune applicazioni analogiche

Studio capacità variabile del MOSFET.

\Rightarrow il Transistor può essere visto come un particolare condensatore

Il valore V_G' per cui $q_S = 2q_F$ si chiama V_T'

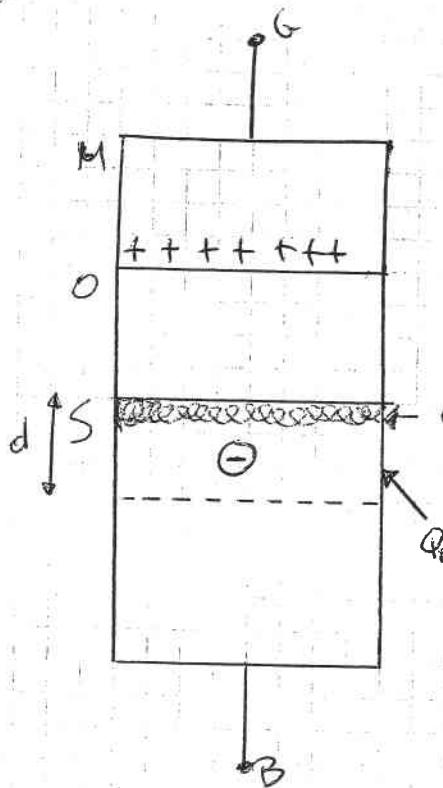
$$V_T' = V_G' = V_G - q_{MS} \Rightarrow V_T' + q_{MS} = V_T$$

V_T \Rightarrow valore del potenziale applicato dall'esterno per far sì che $q_S = 2q_F$ cioè è quel valore che porta il MOSFET allo forte inversione.

$$V_T = \text{Valore di soglia} \quad (\text{calcolo 5 facciate dopo})$$

significativa

Per $V_G > V_T$ non comportano variazione di q_S



- Condensatore con una faccia metallica e un'altra di semiconduttore
- Se la faccia metallica c'è una carica Q_M
 - Se la faccia semiconduttrice ha una serie di cariche
 - carica negativa associata ai portatori minoritari. Si muovono grazie all'inverso
 - carica fisica di ioni accettori. La loro profondità dipende dalla costante quadrata della tensione applicata

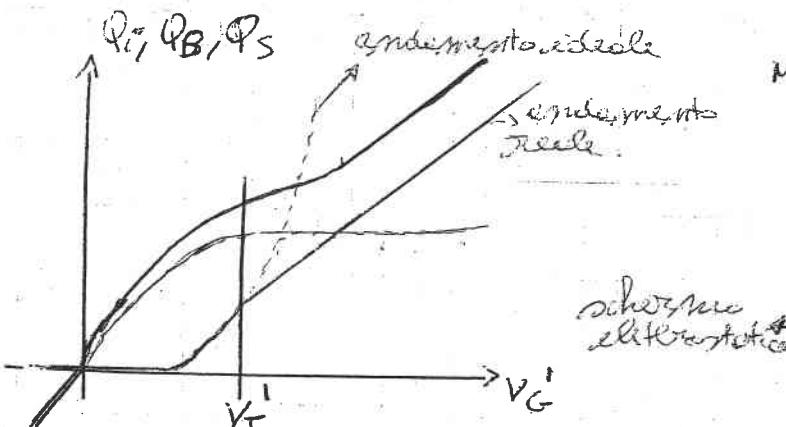
La carica totale è data dalla somma di $Q_i + Q_B$

\Rightarrow Siccome globalmente la struttura è neutra allora

$$Q_M = -(Q_i + Q_B)$$

$Q_S \rightarrow$ carica del semiconduttore.

Come accade in un condensatore.



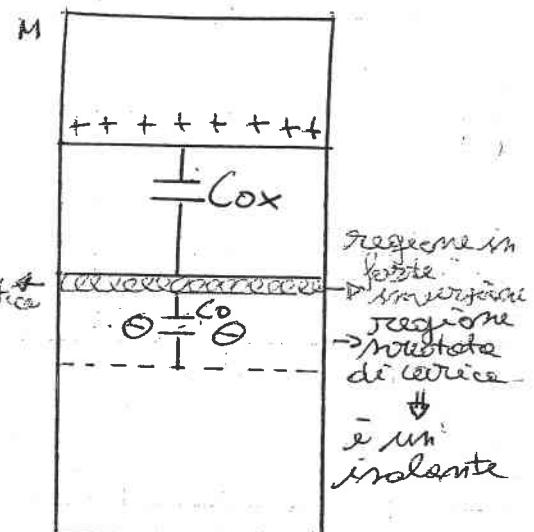
$$\bullet Q_i \propto n_s \propto \exp(q_s) \rightarrow q_s \propto V_G^2$$

Carica di inversione

$$\bullet Q_B \propto q N_A \cdot d \rightarrow d \propto \sqrt{\frac{2 \epsilon S q_s}{q N_A}}$$

profondità

\hookrightarrow ad un certo punto q_s resterà (quando $V_G = V_T$)



per $V_G > V_T$

Quando $V_G > V_T$ allora $Q_S \cong$ costante

- $Q_B \cong$ costante

• Q_i non cresce più linearmente perché la carica Q_S è prevalentemente quella superficiale e quindi il transistor si comporta come un condensatore e faccio piani paralleli e quindi vale che $Q_i = C \circ V_G$

↳ le cariche cresce linearmente

Spiegazioni andamenti di Q_B e Q_i

- Quando $V_G < V_T \Rightarrow$ non c'è il canale (debole inversione o svuotamento)

↳ ci sono due dielettrici: l'ottico in serie alle zone invertite che, come per il diodo, è una capacità non lineare.

Così \Rightarrow capacità dell'ottico

$C_D \Rightarrow$ capacità di svuotamento

↳ due condensatori in serie.

↳ la carica Q_B , inoltre, cresce sempre meno all'aumentare di V_G perché più aumenta V_G più bisogna allontanare i carri di regioni sempre più distanti dalla giunzione

- Quando $V_G \cong V_T$ cioè quando si è in forte inversione gli elettroni liberi sono dominanti rispetto agliioni fermi

↳ si crea il canale fortemente conduttivo (perché $n \cong$ alto)

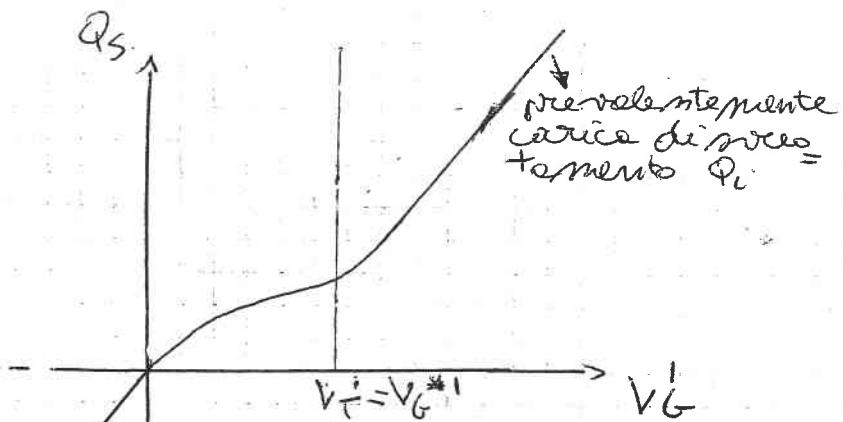
↳ si creano altri nodi elettrostatici che "intercepto" le linee di campo che aumentano all'aumentare di $V_G \Rightarrow Q_i \cong$ costante

↳ il transistor è diventato un condensatore ad armature parallele.

IMPORTANTE Con $V_G > V_T \Rightarrow$ si ha il canale di conduzione ISOLATO dello svuotamento

- per $V_G < 0 \rightarrow$ il transistor diventa un condensatore a facce parallele come se $V_G > V_T$

↳ l'unica differenza che per V_G positivo per la prima parte deve muovere la regione e dopo la carica di canale funziona come un condensatore, invece con V_G negativo non dovendo muovere niente inizialmente ad eccezione subito portato al massimo -> con poche tensioni si sposta la carica



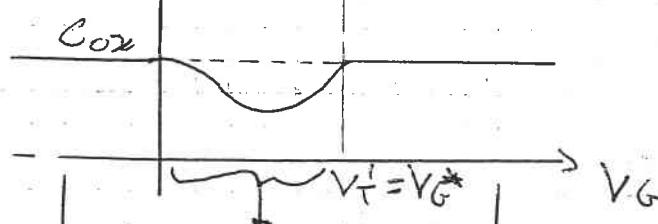
preferentemente carica Q_S , di esclusione

Per tracciare l'andamento della capacità equivalente si definisce $C = \frac{dQ_S}{dV_G}$ (capacità locale)

$$C_{ox} = \epsilon_0 \cdot \frac{s}{t_{ox}}$$

oppure

$$C_{ox\text{unit}} = \frac{\epsilon_0 \cdot s}{t_{ox}} \triangleq C_{ox}$$



la capacità tende a calare

Capacità per unità

è costante perché per $V_G < 0$ e $V_G > V_T$ il transistore si comporta come un normale condensatore ed ormettere a facce piene parallele.

↳ Il MOSFET NON È UN CONDENSATORE LINEARE

Esiste un intervallo in cui la capacità dipende dalla tensione applicata.

↳ utile per creare condensatori variabili in funzione delle tensioni applicate (utili in circuiti di risonanza e entusiasmante come diodi VARICAP).

↳ del punto di vista dinamico la capacità è responsabile di un ritardo

↳ da questo grafico delle capacità si può capire che il valore massimo è C_{ox} e nella fase di progetto occorre sempre considerare il caso peggiore di

funzionamento, considerate le capacità del transistor
uguale a C_{ox} . Così facendo i tempi di propagazione
calcolati saranno sempre maggiori o uguali a
quelle reali.

Calcolo di V_G^* cioè di V_T

V_G^* è importante perché per $V_G > V_G^*$ la carica Q_B
è costante e la carica Q_i cresce linearmente

$$\begin{cases} Q_i = C_{ox}(V_G^* - V_G) & \text{per } V_G > V_G^* \\ Q_i = 0 & \text{per } V_G < V_G^* \end{cases} \quad \begin{cases} \text{descrizione della} \\ \text{carica } Q_i \end{cases}$$

V_G^* è il valore per cui $q_s = 2\varphi_F$

$$Q_B > 0 \text{ e } Q_i \approx 0$$

↳ quasi costante

$$Q_B = -qN_A \cdot S \cdot x_d$$

↳ quando non ci sono altri contributi

$$x_d = \sqrt{\frac{2\varepsilon_s q_s}{qN_A}} \quad \text{quindi}$$

$$Q_B = -qN_A \cdot \sqrt{\frac{2\varepsilon_s 2\varphi_F}{qN_A}} = -\sqrt{qN_A \cdot 2\varepsilon_s \cdot 2\varphi_F}$$

Sapendo che in ogni caso all'equilibrio

$$Q_M = -Q_S = -(Q_B + Q_i) = -Q_B = \sqrt{qN_A \cdot 2\varepsilon_s \cdot 2\varphi_F}$$

Dal grafico del potenziale si noti che

$$Q_M = C_{ox} \cdot \Delta V = C_{ox} \cdot (V_G^{*1} - \varphi_S) = C_{ox} (V_G^{*1} - 2\varphi_F)$$

Quindi:

$$\begin{cases} C_{ox} (V_G^{*1} - 2\varphi_F) = \sqrt{2\varepsilon_s qN_A} \cdot \sqrt{2\varphi_F} \\ V_G^{*1} = V_G^* - \varphi_{MS} \end{cases}$$

$$V_G^* = 2\varphi_F + \frac{\sqrt{2\varepsilon_s qN_A}}{C_{ox}} \cdot \sqrt{2\varphi_F}$$

↳ tensione che bisogna applicare per raggiungere
la condizione di forte inversione al netto
della tensione di contatto φ_{MS} .

$$V_T = \varphi_{MS} + 2\varphi_F + \gamma \sqrt{2\varphi_F}$$

- V_T è il valore che bisogna applicare all'esterno attraverso il generatore V_G per raggiungere:
- la condizione di forte inversione
 - la condizione in cui il canale si è formato
 - la condizione per cui il transistor funziona come condensatore lineare

$V_T \Rightarrow$ Tensione di soglia

V_T è la somma di 3 componenti:

+ tensione di contatto metallo-semiconduttore (φ_{MS})
(per raggiungere per avere la condizione di
banda piatta)

+ tensione di inversione ($2\varphi_F$)

+ tensione di spostamento ($8\sqrt{2\varphi_F}$) per spostare
l'area circondata al canale

⇒ V_T che crea la condizione per creare il canale

V_T dipende dal drogaggio, quindi non è costante.

V_T varia da $10mV$ a $2-3V$ dependendo delle tecnologie di fabbricazione.

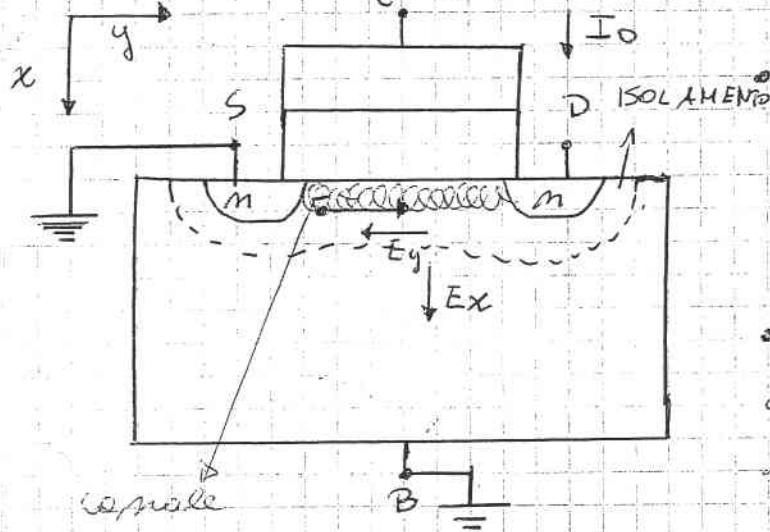
Bisogna determinare le caratteristiche della corrente

I_D quando il canale si è formato, cioè

quando la tensione applicata è superiore a quella di soglia

EQUAZIONI CARATTERISTICHE n-MOSFET

Ipotizzando di aver applicato una tensione superiore a quella di soglie bisogna calcolare come varia la corrente I_D in funzione di V_G e V_D .



• con $V_G > V_B$ (almeno

$V_G - V_B = V_I$) si forma il canale e I_D tende a crescere

• con $V_D > V_S$ nasce un campo elettrico $E_y < 0$ e quindi una corrente $I_D > 0$

⇒ Agiscono due fattori sulla corrente I_D :

→ se aumenta V_G aumenta lo spessore del canale quindi aumenta I_D

→ con $V_D - V_S$ determinano il trascimento delle cariche di canale, se $V_D - V_S$ aumenta allora I_D aumenta

$$V_G = V_{GB} = V_{GS} = V_G - V_S = V_G$$

↳ nelle equazioni uso V_{GS} e non V_{GB} perché il potenziale V_B è messo a zero e contatto con tutti gli altri V_B dei transistori n-MOSFET non ha una struttura autoisolata collegandolo e mettendo

Bisogna calcolare quindi $I_D(V_{GS}, V_{DS})$

$I_D > 0$ se il canale è formato cioè si è raggiunto la condizione di forte inversione.

↳ $\psi_s = 2\phi_F = \text{cost}$ $m_s \propto \exp(\psi_s) \Rightarrow m_s = \text{cost}$

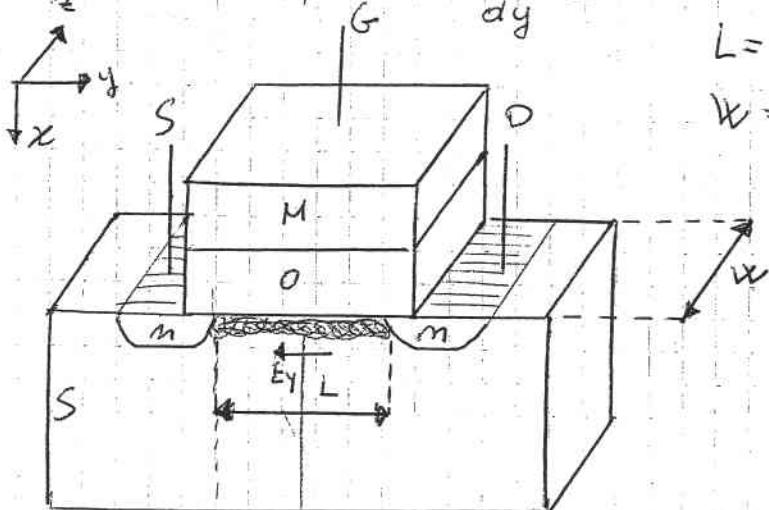
$$I_D = (J_m + J_p) \cdot S = J_m \cdot S = \left(q \mu_n m_s E_y + q D_m \cdot \frac{dm_s}{dy} \right) \cdot S$$

$J_p = 0$ perché nel canale non ci sono le cariche

$J_m = J_m y$ perché la corrente si sviluppa lungo la direzione y .

$$\frac{dm_s}{dy} = 0 \text{ perché } m_s \text{ è costante}$$

Hip: Transporto lungo il canale prevalentemente ohmico, cioè $\frac{dn_s}{dy} = 0$.



L = lunghezza del canale

W = profondità, larghezza del canale

$$I_D = q \mu_m \cdot n \cdot E_y \cdot S \quad E_y = - \frac{d\psi}{dy} \Rightarrow \int_0^L E_y dy = - \int_0^L d\psi$$

Hip: E_y costante $\Rightarrow E_y \cdot L = - V_{DS}$ $\Rightarrow E_y = - \frac{V_{DS}}{L}$

$$I_D = \int_S q \mu_m n E_y ds = \int_0^L q \mu_m n(x) \frac{E_y}{L} \cdot w \cdot dx$$

$$ds = w \cdot dx$$

$$= w \mu_m V_{DS} \int_0^{+\infty} -q n(x) dx \quad \rightarrow \text{anche se non conosci la distribuzione di } n(x) \text{ so che l'integrale è } Q_i$$

\hookrightarrow corrente di elettroni integrate lungo tutta la profondità cioè Q_i che è la corrente che trasporta carrente durante la conduzione di forte inversione

Hip: $n \cdot V_{DS} > V_T \Rightarrow Q_i = C_{ox} \cdot (V_{DS} - V_T)$

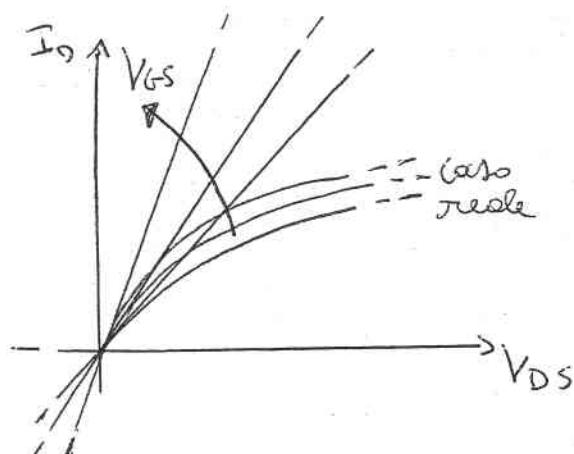
$$I_D = C_{ox} \mu_m \frac{w}{L} V_{DS} \cdot (V_{DS} - V_T) \quad \text{per } V_{DS} > V_T$$

\hookrightarrow sotto 3 ipotesi semplificative

1 - no corrente diffusiva

2 - E_y costante lungo il canale

3 - Q_i dipende solo delle coordinate x



per $V_{GS} > V_T$

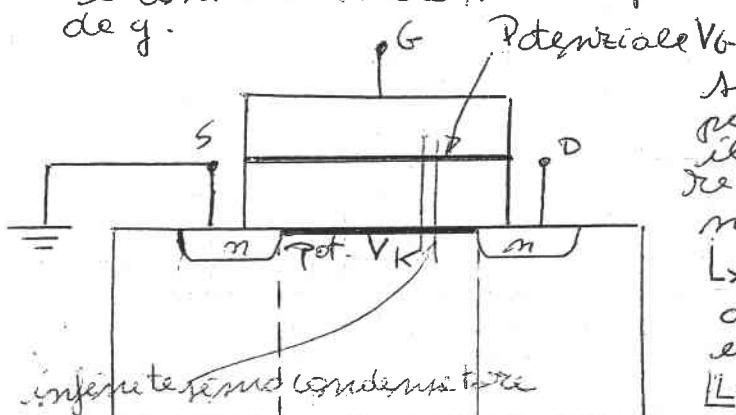
→ rete con coeff. angolare

$$C_{ox} \mu n \frac{W}{L} (V_{GS} - V_T)$$

↪ se cresce di V_{GS} aumenta il coefficiente angolare che è lo conduttanza. Quindi V_{GS} è il "velvolo" del canale n.

- caso reale è uguale al caso teorizzato solo per valori piccoli di V_{DS} .

→ Questo è causato dall'ipotesi semplificatrice di $E_y = \text{cost.}$ e considerando n dipendente da z e non anche da y .



Se come $V_{GS} > 0$ non si può più considerare costante il potenziale sul silicio conduttore come invece si può fare nel metallo.

↪ Infatti $V_{DS} > 0$ è la causa dello spostamento di elettroni da S a D.

↪ E_y non è costante

Lungo la direzione y il potenziale potenziale sta aumentando $V_K \rightarrow$ potenziale superficiale del silicio conduttore

\downarrow
 $V_G - V_K$ diminuisce

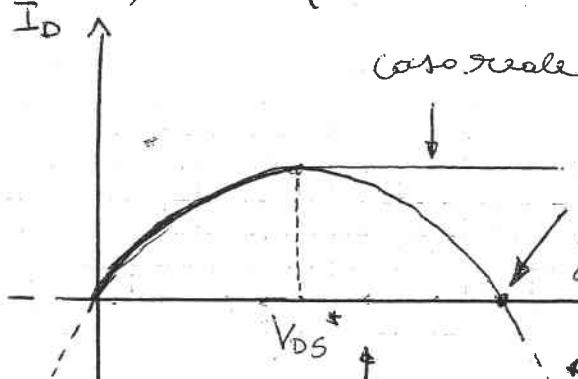
$$Q_M = C_{ox} (V_G - V_K) \text{ diminuisce}$$

$$Q_S = C_{ox} (V_G - V_T - V_K(y))$$

→ le cariche Q_i dipende delle coordinate y e diminuisce andando verso il drain.

Usando l'ipotesi che E_z ed E_y non dipendono l'una dell'altra e che i due campi abbiano un profilo graduale (cioè che ogni sezione infinitesima è indipendente l'una dall'altra) si può dimostrare che

$$I_D = C_0 \times \mu_n \frac{W}{L} \cdot \left\{ (V_{GS} - V_T) V_{DS} - \frac{1}{2} (V_{DS})^2 \right\}$$



Curve a V_{GS} costante

oltre questo punto a fronte di una tensione positiva si ottiene una corrente negativa \Rightarrow diventa un generatore.

le curve interpretano l'andamento sperimentale fino al punto di massimo. Oltre le corrente rimane costante.

\Rightarrow calcolo del valore V_{DS}^*

$$\frac{dI_D}{dV_{DS}} = C_0 \times \mu_n \frac{W}{L} \left[(V_{GS} - V_T) - V_{DS} \right] = 0$$

\downarrow

$$V_{DS}^* = V_{GS} - V_T$$

$$V_D - V_S = V_G - V_S - V_T \Rightarrow \underline{V_G - V_D = V_T} \quad] \text{Condizione di massimo}$$

V_K non è costante perché a crescere del V_{DS} cresce V_S e V_D .

Ma V_D è il valore di V_K dell'estremo del canale (al Drain).

V_G è il potenziale di gate che è costante.

Quindi dall'equazione trovata di $I_D (V_{GS}, V_{DS})$ è che tra il Gate e il Drain c'è la tensione minima V_T per formare il canale.

$$\text{de } Q_M = C_0 \times (V_G - V_K(g)) \text{ con } g=L$$

$$Q_M = C_0 \times (V_G - V_D)$$

$$\text{de } Q_i = C_0 \times (V_G - V_T - V_K(g)) \text{ con } g=L \text{ e } V_G - V_D = 0$$

$$Q_i = 0$$

Il canale è formato se si crescono degli infinitissimi condensatori di almeno una differenza di potenziale pari ad una tensione di soglia.

Il punto di massimo della corrente I_0 corrisponde alle situazioni in cui il canale si è completamente stretto all'estremità del drain.

Quindi quando la tensione applicata al drain equivale a meno di una soglia la tensione applicata al gate

↳ situazione di pinch-off, strettamento del canale

- Bisogna studiare il motivo per il quale dopo che $V_{GS} \rightarrow V_{GS} - VT$ la corrente I_0 rimane costante al valore massimo.

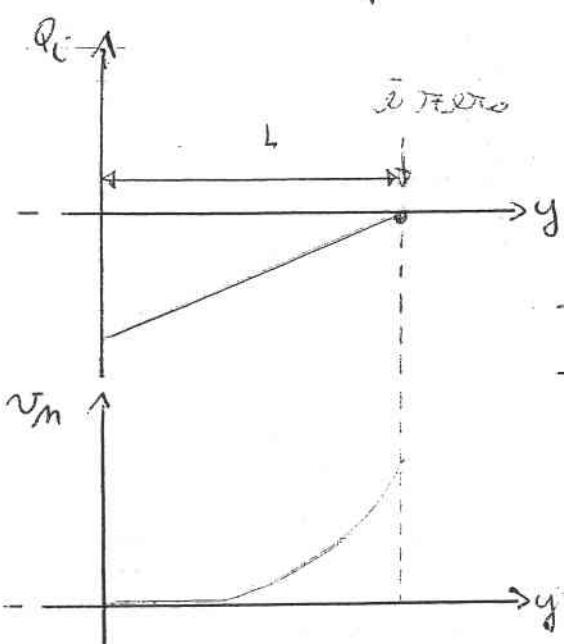
↳ siccome nel modello I_0 doveva valere bisogna individuare quali ipotesi sono valide in questa situazione?

- ① \Rightarrow non si può più considerare l'ipotesi di profilo graduale, cioè per ogni condensatore individuale non si può più applicare le teorie dei condensatori elementari

↳ non hanno più un comportamento indipendente degli altri

Il campo E_x ed E_y sono tra di loro dipendenti.

- ② \Rightarrow componente diffusiva non può essere trascurabile perché si passa da una regione finita ad una infinita prima ed il trasporto è puramente ohmico quando la concentrazione è uniforme.



$$I_0 = \frac{dQ_i}{dt}$$

La corrente per il principio di conservazione delle cariche deve essere costante.
Quindi dove
 $\rightarrow Q_i \uparrow$ la corrente \uparrow
 $\rightarrow Q_c \uparrow$ la corrente \uparrow
(Come succede in un simbuto dove nella regione più piccola l'acqua è più veloce).

↳ velocità della corica. Se $Q_i \rightarrow 0$ allora $v_m \rightarrow +\infty$

Da $v_m = -\mu_m E \Rightarrow$ aumenta $v_m \Rightarrow$ aumenta E

Aumentando il draine le teorie riguardo ai punti 1 e 2 non sono più valide

↳ no corrente puramente ohmico

↳ no modifica prediale di E , no le teorie del condensatore elementare mono-dimensional

⇒ In realtà

Il canale non si trova completamente.

Al crescere di V_{DS} , I_D cresce sempre più lentamente
causato da due elementi:

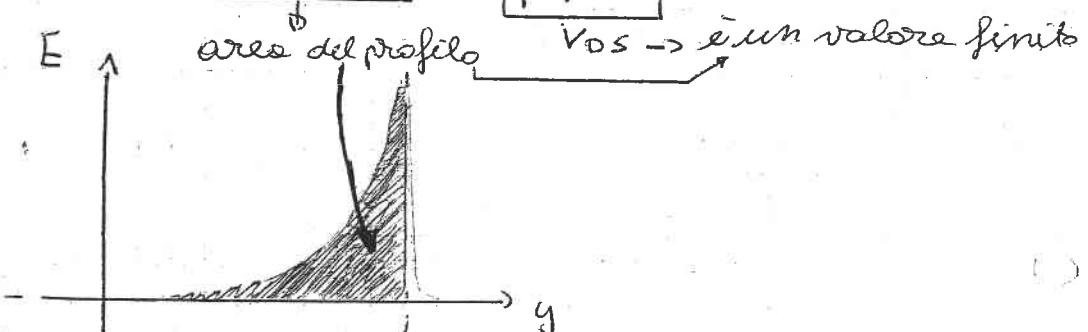
①- V_{DS} trascina la corrente lungo il canale (idealmente I_D dovrebbe aumentare in modo lineare).

②- V_{DS} ha il compito di diminuire la corrente nel canale (I_D cresce "meno" che linearmente)

Aumentando $V_{DS} = V_{GS} - V_T$ la corrente varia
il draine tende a 0.

↳ E tende all'infinito e poi subito a 0 in quanto il draine è una zona conduttrice.

$$E_y = - \frac{dy}{dx} \Rightarrow \int_0^L E_y dy = - \int_{q(0)}^{q(L)} dq$$



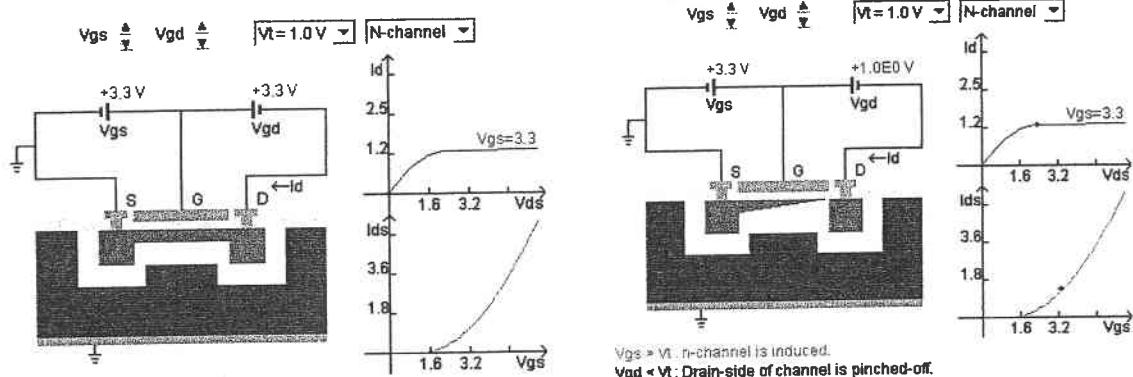
Sezione l'area del profilo è finita ed il campo elettrico nella regione troncata è infinito allora il canale troncato ha una dimensione infinitesima

Quando si raggiunge la situazione di pinch-off ci sono due tipi di rezione del canale:

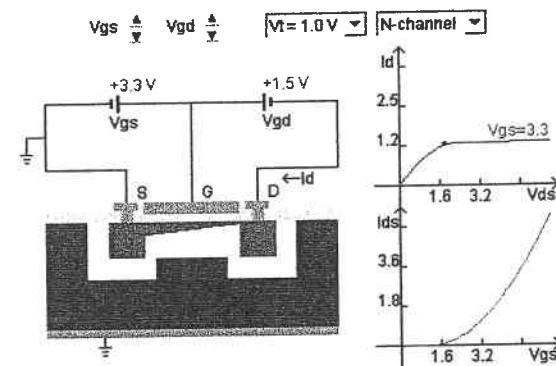
1- campo E infinito ma di lunghezza infinitesima

2- la sua struttura non può variare in quanto se il canale si restringe ulteriormente entra in regione dove $E = +\infty$ di lunghezza finita portando l'area del profilo = $+\infty$, cosa non possibile.

↳ la geometria del canale si "congela" perché ogni aumento di V_{DS} aumenta infinitesimalmente il canale troncato.



V_{gs} > V_t: n-channel is induced.
 V_{gd} > V_t: Drain-side of channel is continuous.
 Id varies with V_{ds}: Id = k [(V_{gs} - V_t)²V_{ds} - V_{ds}²V_{ds}/2]



V_{gs} > V_t: n-channel is induced.
 V_{gd} > V_t: Drain-side of channel is continuous.
 Id varies with V_{ds}: Id = k [(V_{gs} - V_t)²V_{ds} - V_{ds}²V_{ds}/2]
 The MOS Transistor acts as a Triode

6

7

$$I_D = \beta \left(V_{GS} - V_T \right)^2$$

$I_D = 0$

$V_{DS} = V_{GS} + V_D$

$\frac{V_{DS}}{2} = V_T$

$\frac{V_{DS}}{2} = V_{GS} - V_T$

$I_D = \beta \left(V_{GS} - V_T \right)^2 / 2$

$I_D = \beta \left(V_{GS} - V_T \right)^2 / 2 = I_D^0$

$I_D^0 = I_D$

$I_D^0 = I_D$

$V_{GS} = V_{DS} - V_T$

$V_{DS} = V_{GS} + V_T$

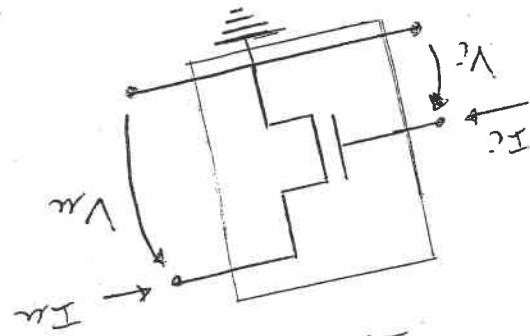
$\frac{V_{DS}}{2} = V_T$

$\frac{V_{DS}}{2} = V_{GS} - V_T$

$I_D^0 = \beta \left(V_{GS} - V_T \right)^2 / 2 = I_D^0$

$I_D^0 = I_D$

loop current in m. I_D^0 max



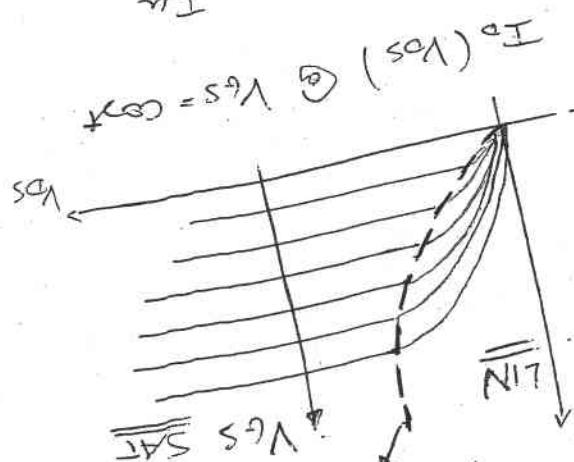
$$I_D = I_G$$

$$I_D = I_D^0$$

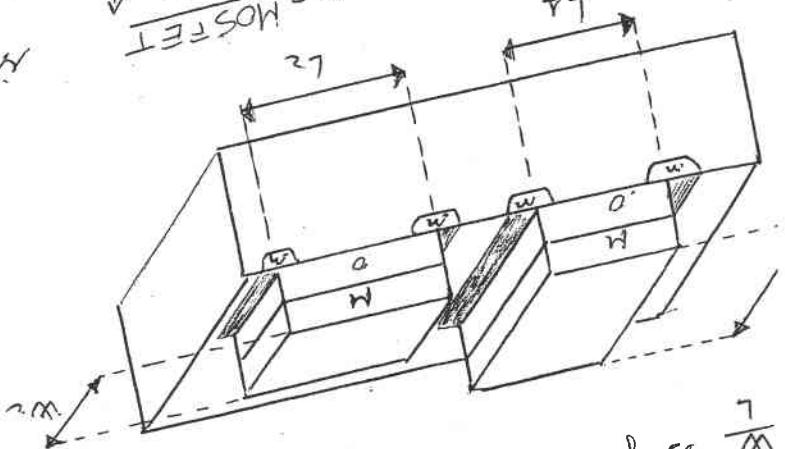
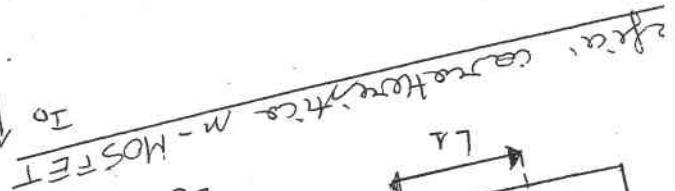
$$V_{GS} = V_{DS}$$

$$I_G = 0$$

$$I_D^0 = V_{DS} / \beta$$



loop current in m. I_D^0 max



out of drain and source terminals

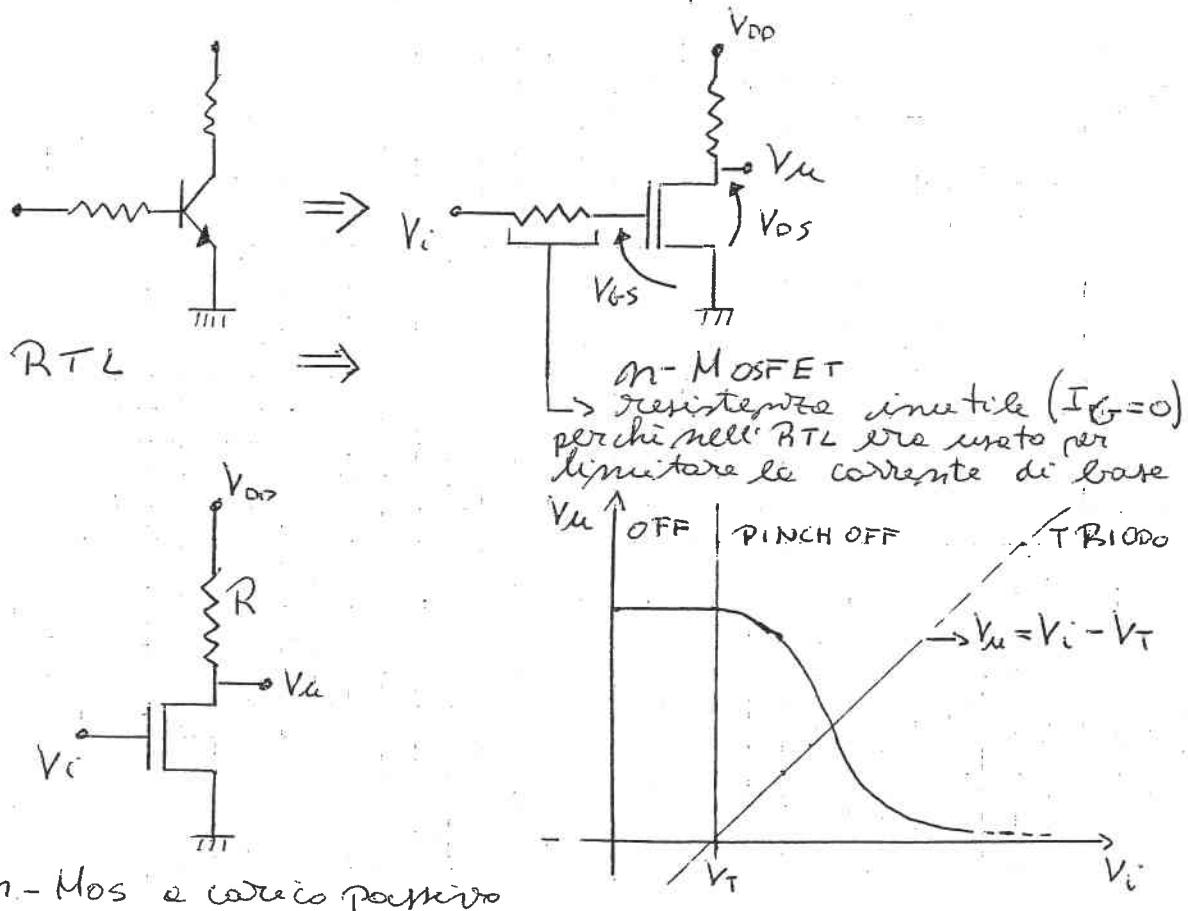
current flow out of drain terminal

INVERTITORE n-MOS a carico passivo

Siccome la caratteristica d'uscita del n-MOSFET è uguale a quella del BJT si possono fare gli stessi circuiti ma con corrente d'ingresso nulla.

→ Si risolvono i problemi legati al fan-out.

⇒ per costruire l'invertitore si prende la caratteristica d'uscita e si sovrappone con l'equazione di ohm.



n-Mos a carico passivo

M OFF

$$\begin{cases} V_{GS} < V_T \\ V_{GS} = V_i \end{cases} \Rightarrow V_i < V_T \Rightarrow I_D = 0$$

$$V_u = V_{DD} - R I_D \Rightarrow$$

$$\boxed{\begin{aligned} V_i &< V_T \\ V_u &= V_{DD} \end{aligned}}$$

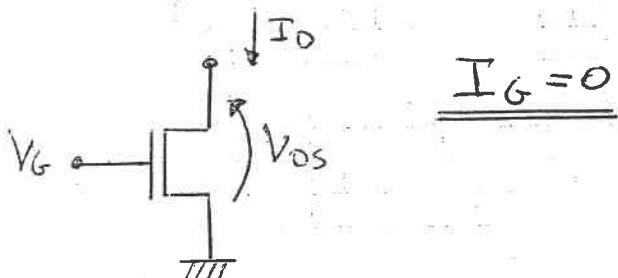
La differenza con il BJT è che \$V_f\$ è costante ma \$V_T\$ è variabile ed il fan-out = +∞ (stetico)

M SAT (PINCH OFF)

$$V_T < V_{GS} < V_{DS} + V_T \Rightarrow V_T < V_i < V_u + V_T$$

$$\begin{cases} V_u = V_{DD} - R I_D \\ I_D = \frac{\beta_m}{2} (V_{GS} - V_T)^2 \end{cases} \Rightarrow V_u = V_{DD} - R \frac{\beta_m}{2} (V_i - V_T)^2$$

MODELLO m-MOSFET



- Transistor OFF

$$V_{GS} < V_T \rightarrow Q_i = 0 \rightarrow I_D = 0 \quad (\text{non c'è il canale})$$

V_T serve per creare il canale e sostenere la tensione

sostanziale

- Regione LINEARE (TRIODE)

$$V_{GS} > V_T \quad V_{DS} < V_{GS} - V_T \quad I_D = C_{ox} \mu_n \frac{W}{L} \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

- Regione di SATURAZIONE (PINCH-OFF)

$$\begin{aligned} V_{DS} &> V_{GS} - V_T \quad \& V_{GS} > V_T \quad V_{DS\max} = V_{GS} - V_T \\ I_{D\max} &= C_{ox} \mu_n \frac{W}{L} \cdot \left\{ (V_{GS} - V_T) \cdot V_{DS\max} - \frac{V_{DS\max}^2}{2} \right\} \\ I_D &= C_{ox} \mu_n \frac{W}{L} \cdot \frac{(V_{GS} - V_T)^2}{2} \end{aligned}$$

Coefficiente β_m

$$\beta_m = C_{ox} \mu_n \frac{W}{L} \quad \text{dipende dalla tecnologia di fabbricazione}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

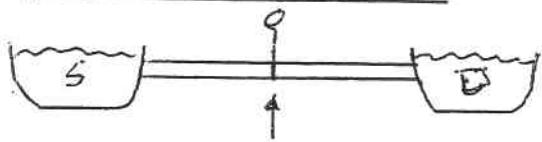
$\epsilon_{ox}, \mu_n \Rightarrow$ parametri fisici caratteristici del materiale (immodificabili)

$t_{ox} \Rightarrow$ è uguale per tutti (spessore dell'ottica)

$\frac{W}{L} \Rightarrow$ attraverso un processo fotolitografico si può variare

Esempio idraulico

①

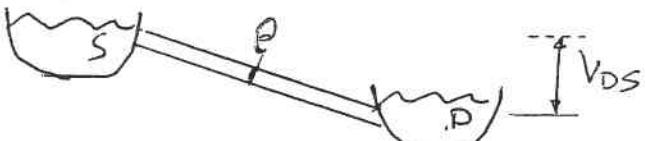


Due vasche piene di liquido, come due "vasche" di portatore.

Rebitineto \leftrightarrow come la tensione V_G .

Se il livello delle due vasche è uguale anche se il rebitineto è aperto ($V_{DS} = 0$ e $V_{GS} > 0$) allora non circola acqua.

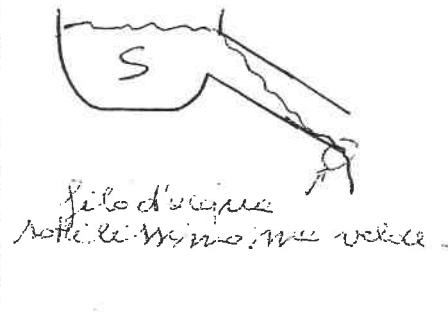
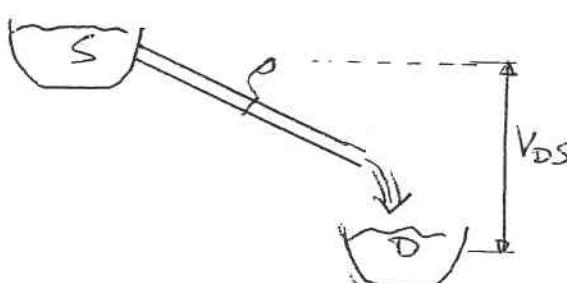
②



È importante per far passare l'acqua che le due vasche siano a livello diverso e che il rebitineto sia aperto.

③ Se si aumenta V_{DS} si arriva alla condizione in cui la vasca D è così sotto che non c'è un tubo continuo d'acqua che le connette ma c'è un salto d'acqua.

L'acqua raggiunge il punto più basso e più stretto alla fine del tubo.



Se la variazione d'umento V_{DS} la situazione non cambia \Rightarrow corrente costante durante lo struttamento (pinch-off) \Rightarrow il canale non varia e la corrente d'acqua di grande salto dov'è aperto del rebitineto, cioè dalla tensione di Gate.

L'errore dell'ipotesi è che nel punto ③ dell'esempio l'ipotesi affermava che l'acqua si blocca.

\hookrightarrow in questa situazione la corrente non è più ohmica ma diffusiva

M LIN (TRIODO)

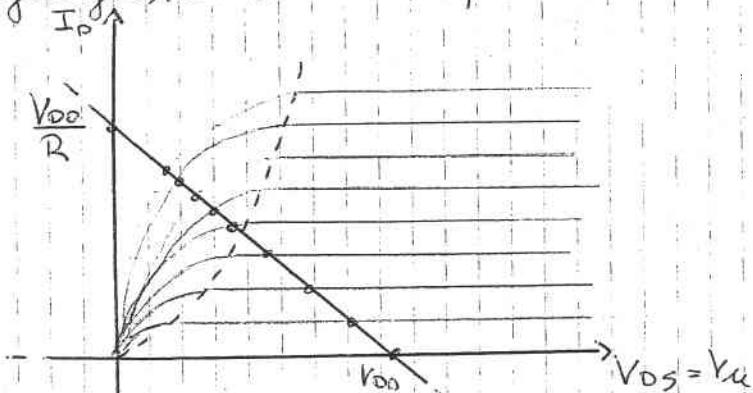
$$V_{GS} > V_{DS} + V_T \rightarrow V_i > V_u + V_T$$

$$V_u = V_{DD} - R I_D$$

$$I_D = \beta_m \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\}$$

$$I_D = \frac{V_{DD} - V_u}{R}$$

Eguagliando le due equazioni si trova la caratteristica



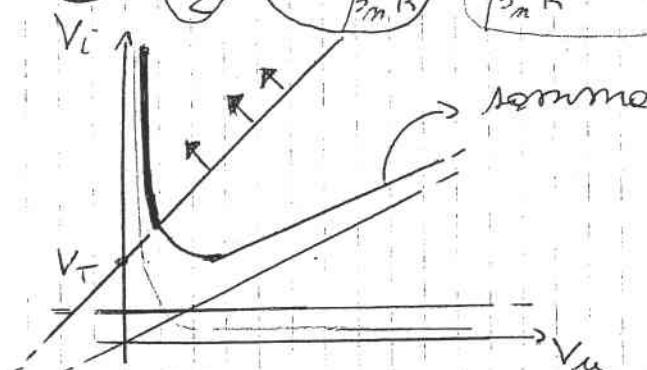
↳ In via analitica

$$V_u = V_{DD} - R \beta_m \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\}$$

$$\frac{V_{DD} - V_u}{R \beta_m V_u} = \frac{\beta_m R}{\beta_m R} \left\{ (V_i - V_T) - \frac{V_u}{2} \right\} \cdot \frac{V_u}{V_u}$$

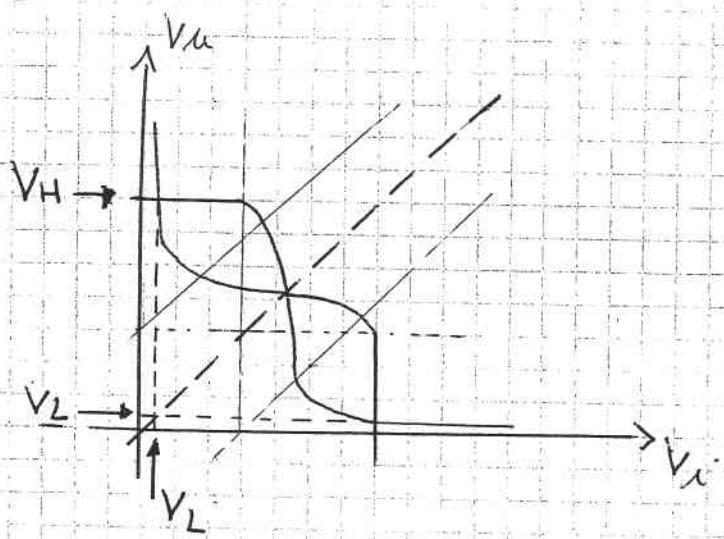
$$\frac{V_{DD}}{\beta_m R V_u} - \frac{1}{\beta_m R} = (V_i - V_T) - \frac{V_u}{2}$$

$$V_i = \frac{V_u}{2} + V_T - \frac{1}{\beta_m R} + \frac{V_{DD}}{\beta_m R} \cdot \frac{1}{V_u} \quad \text{vale per } V_i > V_u + V_T$$



↳ il valore dell'uscita tende asintoticamente a 0.

Per calcolare il valore V_L interseco le caratteristiche con la sua simmetrica

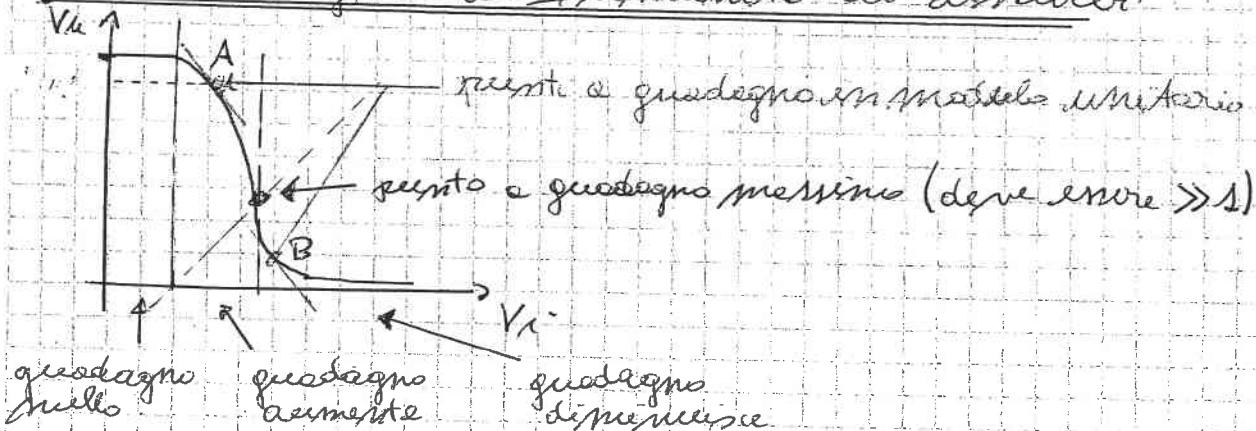


usando l'equazione

$$\begin{cases} V_H = V_{D0} - \beta_m R \left\{ (V_i - V_t) \cdot V_H - \frac{V_H^2}{2} \right\} \\ V_i = V_{D0} = V_H \end{cases}$$

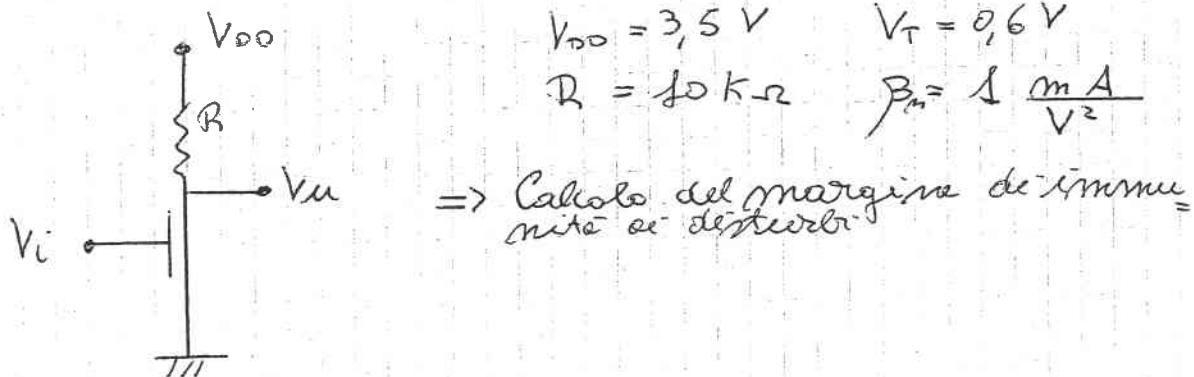
il valore $V_H (V_{D0}) = V_L$

Studio Margine di Immunità ai disturbi



Per avere un margine di immunità ai disturbi serve un tratto di caratteristica il cui guadagno in modello è maggiore di

A($V_{L MAX}, V_{H MIN}$) , B($V_{L MIN}, V_{H MAX}$)



Calcolo di A ($V_{IL\ MAX}$, $V_{OH\ MIN}$)

M SAT

$$V_u = V_{DD} - \frac{\beta_m R}{2} (V_i - V_T)^2 \Rightarrow \frac{dV_u}{dV_i} = -\frac{\beta_m R}{2} \cdot 2(V_i - V_T) = -1$$

$$\beta_m R (V_i - V_T) = 1 \Rightarrow V_i = V_T + \frac{1}{\beta_m R}$$

$$V_{IL\ MAX} = V_T + \frac{1}{\beta_m R}$$

$$V_{IL\ MAX} = 0,7 \text{ V}$$

$$V_{OH\ MIN} = V_u (V_{IL\ MAX}) = V_{DD} - \frac{\beta_m R}{2} \left(V_T + \frac{1}{\beta_m R} - V_T \right)^2 = \\ = V_{DD} - \frac{1}{2\beta_m R} = 3,45 \text{ V}$$

$$V_{OH\ MIN} = V_{DD} - \frac{1}{2\beta_m R}$$

Calcolo di B ($V_{IH\ MIN}$, $V_{OL\ MAX}$)

M LIN (TRIODO)

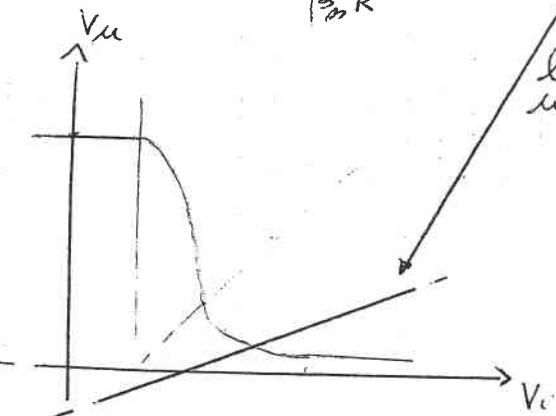
$$V_u = V_{DD} - \beta_m R \cdot \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\}$$

$$\frac{dV_u}{dV_i} = -\beta_m R \left\{ V_u + (V_i - V_T) \cdot \frac{dV_u}{dt} - \frac{V_u}{2} \cdot \frac{dV_u}{dV_i} \right\}$$

$$+1 = +\beta_m R (V_u - V_i + V_T + \frac{V_u}{2})$$

$$V_i = V_u + V_T + \frac{1}{\beta_m R}$$

$$V_i = 2V_u + V_T - \frac{1}{\beta_m R}$$



$$V_u = \frac{V_i - V_T + \frac{1}{\beta_m R}}{2}$$

lungo dei punti con derivate uguali a 0.

$$\left\{ \begin{array}{l} V_i = 2V_u + V_T - \frac{1}{\beta_m R} \\ V_u = V_{D0} - \beta_m R \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\} \end{array} \right. \Rightarrow V_u = V_{D0} - \beta_m R \left\{ \left(2V_u - \frac{1}{\beta_m R} \right) V_u - \frac{V_u^2}{2} \right\}$$

$$V_u = V_{D0} - \beta_m R \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\}$$

$$V_u = V_{D0} - \beta_m R \left(2V_u^2 - \frac{V_T}{\beta_m R} - \frac{V_u^2}{2} \right)$$

$$\frac{3}{2} V_u \beta_m R = V_{D0} \Rightarrow V_u = \sqrt{\frac{2 V_{D0}}{3 \beta_m R}} = 0,48 V = V_{OL MAX}$$

$$V_{OL MAX} = \sqrt{\frac{2 V_{D0}}{3 \beta_m R}}$$

$$\text{da } V_i = 2V_u + V_T - \frac{1}{\beta_m R} = 1,46 V = V_{IH MIN}$$

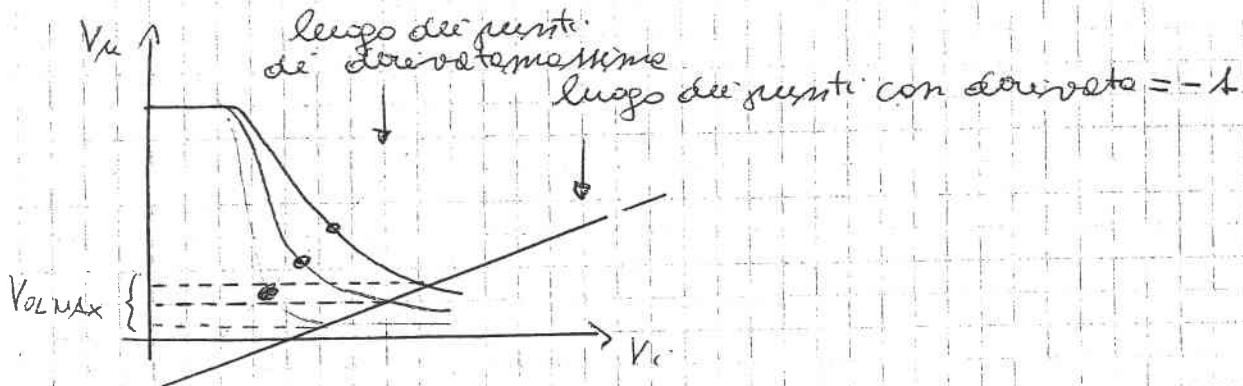
$$V_{IH MIN} = 2 \sqrt{\frac{2 V_{D0}}{3 \beta_m R}} + V_T - \frac{1}{\beta_m R}$$

$$N_{ML} = V_{IL MAX} - V_{OL MAX} = 0,22 V$$

$$N_{MH} = V_{OH MIN} - V_{IH MIN} = 1,99 V$$

$$N = 0,22 V$$

$\Rightarrow N$ può variare in funzione delle caratteristiche (V_T, β_m)



→ Se il punto in cui c'è la derivata massima corrisponde a V_{Umax} corrente e quindi diminuisce N_ML

⇒ Bisogna avere il punto a der. massima più basso possibile in modo da avere V_{Umax} piccola.

↳ serve $|Av|$ molto alto.

Il guadagno massimo è in regione SAT.

$$V_U = V_{DD} - \frac{\beta_m R}{2} (V_i - V_T)^2$$

$$Av = \frac{dV_U}{dV_i} = -\frac{\beta R}{2} \cdot f(V_i - V_T)$$

Quando per avere $|Av|$ molto alto nel punto a der. massima serve

$$|Av| \uparrow \Rightarrow \beta R \uparrow \Rightarrow \beta \uparrow \text{ e } R \uparrow$$

$$\boxed{Cox \cdot \mu_n \cdot \frac{W}{L}}$$

↳ definiti avranno le fabbricate

$\frac{W}{L}$ e R ⇒ definiti dal progettista.

⇒ Occorre studiare il processo di realizzazione di un circuito stampato per voler fare β_m e R .

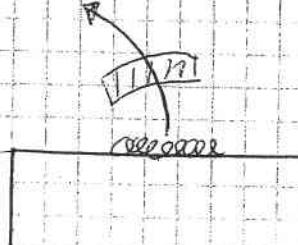
Processo della creazione del circuito stampato (n-Mos)

- ① Si accresce sulla fetta del silicio con dell'ossido (attraverso l'esposizione di vapore di ossigeno).
 - ② Con un etacco chimico si rimuove l'ossido:
→ processo fotolitografico,
viene de protetto nell'ossido uno strato fotosensibile (come le pellicole fotografiche) cioè che può cambiare di stato se esposto alla luce. (di nome fotoresist).
 - ③ → Si usa una maschera per proteggere quelli che si vuole realizzare (ad esempio con uno schermo specchio)
 - ④ → Si illumina il tetto. (luce ultravioletto)
luce ultrav.
-

- ⑤ Il fotoresist viene impresso dove non c'è la maschera
con un etacco chimico si rimuove la parte esposta alla luce
Quindi rimane il silicio de silicio e il fotoresist.
che è stato protetto dalla luce quindi non viene
etaccato dal regalo chimico.

- ⑥ Se usa cloruro che "mangi l'ossido" dove non
c'è il fotoresist e poi con un "bagno chimico" dopo il
fotoresist ⑤

→ in questo modo si costruisce il silicio e il gate



Con sovraccoperte chimiche analoghe si creano le regioni di Drain e di Source.

↳ con uno schermo proteggi le regioni che non devono essere alterate e innesta coriche n.

↳ quando si può definire dove e come fare i gate e le regioni di Drain e Source avendo apposite maschere con appositi procedimenti chimici.

⇒ Il progettista disegna in pianta superficiale il circuito.

↳ Si possono controllare i parametri w, L , ma non lo spessore dell'offerta,uguale per tutti; $\beta_m = \text{dipendente dal tipo di materiale}$.

$$\text{Per avere } |A_V| \uparrow \Rightarrow \beta_m \uparrow \xrightarrow[w \uparrow]{L \downarrow}$$

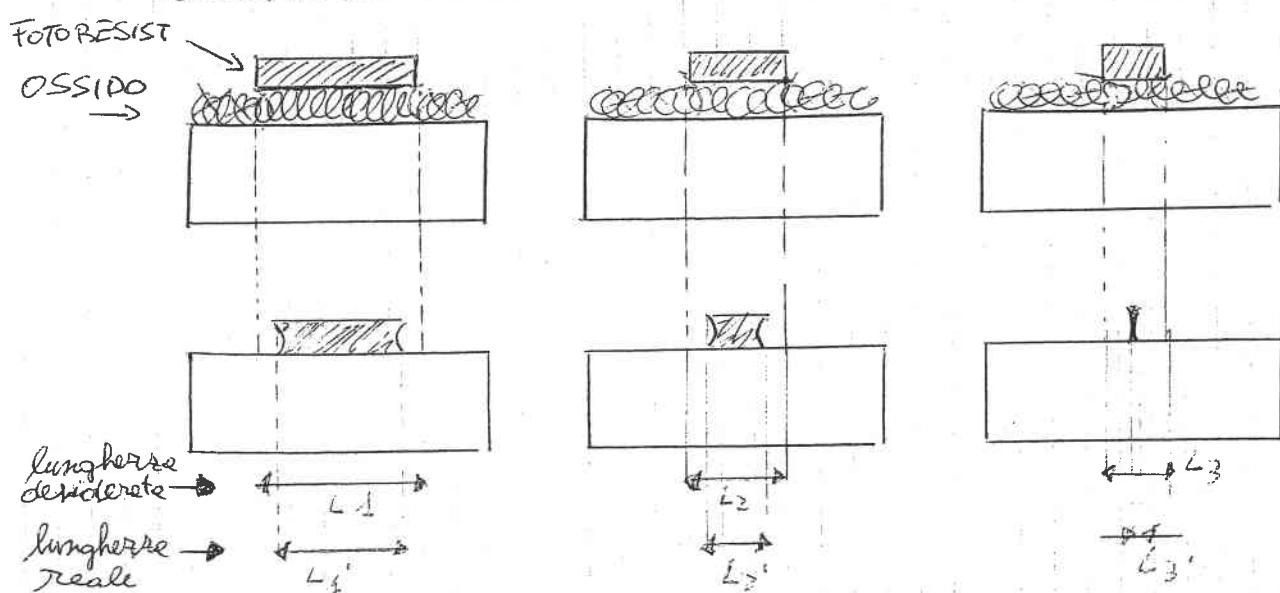
Non si può fare L troppo piccolo per motivi tecnologici:

↳ la fotolitografia che come limite la lunghezza d'onda della luce incidente quindi.

① la risoluzione del processo > lunghezza d'onda della luce incidente

cioè spiega l'utilizzo delle luci ultraviolette a basse lunghezze d'onda

↳ l'effetto chimico agisce in 3 dimensioni quindi diminuendo L



le dimensioni reali diventano sempre più piccole fino a tal punto da non poter più costruire un transistor.

② Esiste una lunghezza minima per cui non si può rendere

Quindi: $L = L_{MIN}$ (è importante per avere β più elevato possibile)

L è il parametro di riferimento per l'avanzamento tecnologico

Si parla di microelettronica perché L è dell'ordine del micron.

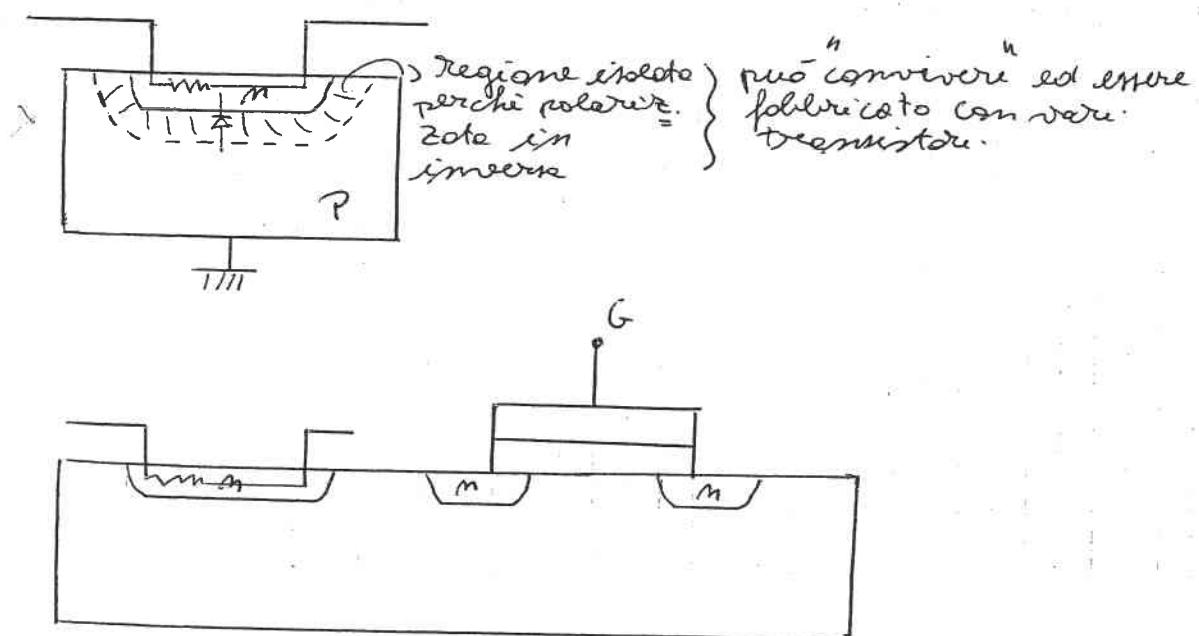
Nel processore intel $L = 65 \text{ nm}$ (ad elevata prestazione)

Tecnologie non troppo avanzate $L = 350 \text{ nm} = 0,35 \mu\text{m}$

$\beta_m^t \Rightarrow t_{ox} \downarrow \downarrow \quad t_{ox} \approx 1 \div 2 \text{ nm}$ (qualche atomo)

Quindi: el progettista progetta un

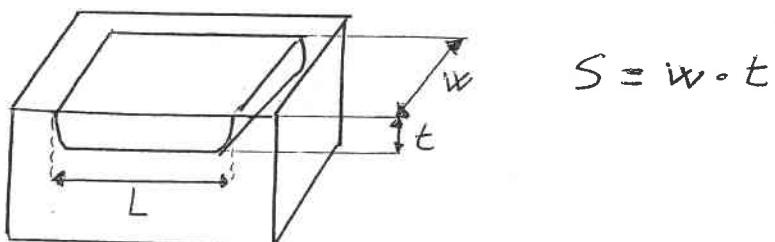
Reddizionamento di una Resistenza



Tutte le "breche" di tipo n vengono realizzate insieme
perciò N è uguale per tutte.

$$R = \rho \cdot \frac{l}{S} = \frac{1}{q \mu_n N_0} \cdot \frac{l}{S}$$

\hookrightarrow doppio più elevato perché sono le breche di recinto del canale.



$$R = \frac{1}{q \mu n N_o t} \cdot \frac{L}{W} \rightarrow \text{si fa verificare il rapporto.}$$

parte che dipende dal
processo di fabbricazione

$$R_{\text{SHEET}} = R_{\square} = \frac{1}{q \mu n N_o t} \Rightarrow \text{resistenza di strato o di quadro}$$

(caso quando } L = W \text{; cioè quando } R \text{ è di forma quadrata)

$$R^4 \Rightarrow L_R^4 \in W_R \downarrow ; R \downarrow \Rightarrow L_R \downarrow \in W_R \downarrow$$

BISOGNA CONSIDERARE W_{MIN}

Quando le due reti hanno caratteristiche complementari

Rete di PULL-DOWN

(n-Mos)

Canale lungo e corto

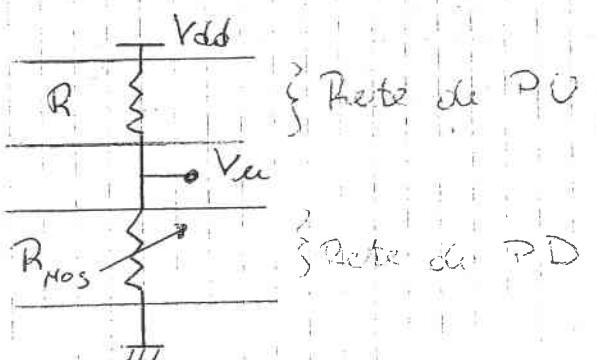
W⁺ e L₊

Rete di PULL-UP

(Resistenza)

W₊ e L₊

Invertitore visto come due resistenze



Quando Vu deve essere BASSA

PD è ON $\Rightarrow R_{\text{MOS}}$ Bassa così le cedute nel
 R è molto più grande delle cedute su R_{MOS}

Quando Vu deve essere ALTO

PD è OFF $\Rightarrow R_{\text{MOS}}$ è Alto così tutte le cedute sono nel
transistor e quindi non c'è ceduta nel R

\hookrightarrow Il pull-up è attivo sempre

Il problema è quando PD e PU sono ON entrambi.
Si devono "confrontare" due resistenze una prende sopra e una piccola sotto.

Quando PV e PD sono accesi serve un transistor largo e corto (R_{MOS} piccole) e una resistenza alta (W_t e L_t grandi)

→ Bisogna considerare W_{MIN} (concesso dalle tecnologie) per realizzare la R di pull-up.

⇒ Problema delle dimensioni: più i componenti sono piccoli più dense possono essere e consumo meno
per apparecchiature portatili.

In questo circuito W_M è grande e L_R è grande

$$W_{MOS} \gg W_R \quad e \quad L_R \gg L_M$$

Siccome alcune dimensioni sono vincolate dalla tecnologia, il rapporto che deve essere elevato tra W_M e L_R provoca un uso elevato delle dimensioni piane.

→ PISE N60 INV MOS con R V/R + commutazione

34 // - 17:03

→ Transistor MOS con $1/R = \frac{1}{\mu_n N_p} \cdot \frac{l}{s}$
Problema: del pull-up (Resistenza)

⇒ La resistenza ha un costo molto elevato in quanto N_p deve essere grande per costruire il Source e il Drain, come effetto.

$$R = \frac{1}{\mu_n N_p} \cdot \frac{l}{s} \quad \left\{ \begin{array}{l} \text{per un'elevata R} \\ \text{sarà } l \text{ grande} \end{array} \right.$$

→ è un fattore parassitivo

→ quindi il costo di una resistenza è dovuto dell'uso elevato delle dimensioni piane.

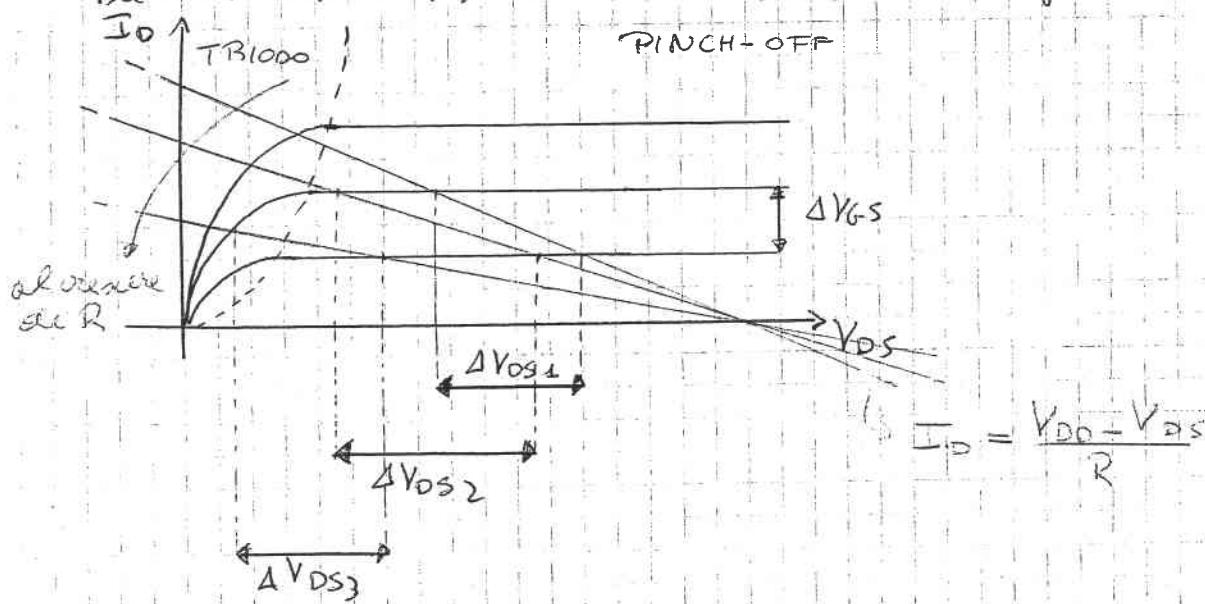
Il costo, quindi, non è dovuto della complessità ma dell'ingombro in quanto i resistori e i transistor vengono ricoltati contemporaneamente con gli stessi procedimenti ma meno spazio occupano reciprocamente, più funzioni si possono creare nello stesso circuito.

⇒ guadagno elevato $\Rightarrow N_L \uparrow \Rightarrow$ spazio elevato

(Nel bilancio dell'area occupata R per di più di n-MOS)

Soluzione del problema della resistenza

⇒ Al posto delle R ce deve essere un appalto con le stesse proprietà (per costruire una caratteristica V_{ds} identica) ma con un minore ingombro.



$$\Delta V_{DS2} > \Delta V_{DS1} \text{ ma } \Delta V_{DS3} < \Delta V_{DS2}$$

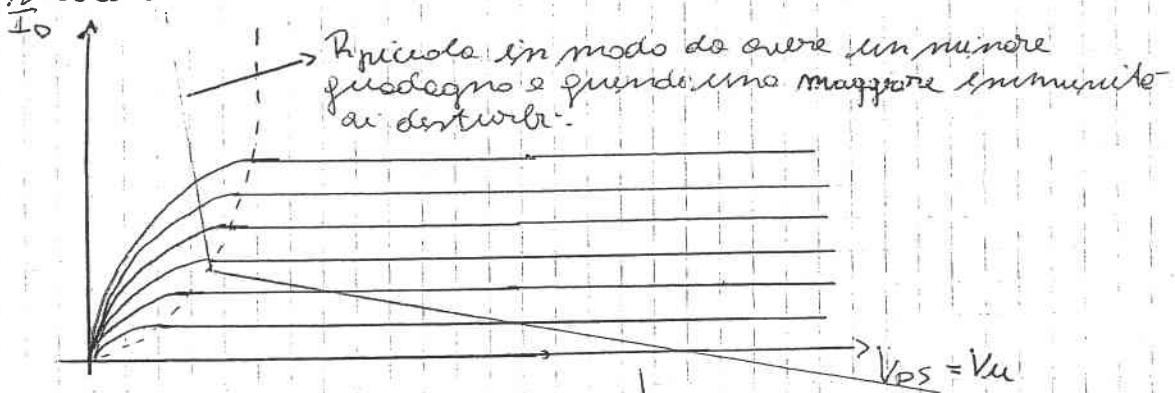
⇒ Al crescere di R la porzione di ΔV_{GS} ΔV_{DS} aumenta se rimane in regione di saturazione

↳ meno lo retta ID è indennata più alto e $|Av|$

- Quando entro nella regione TR1000 sarebbe meglio avere delle rette il più verticale possibile perché così ad ogni $\Delta V_{GS} - \Delta V_c$ l'uscita V_{DS} sarebbe costante.

Quindi conviene avere una rete di corso non lineare

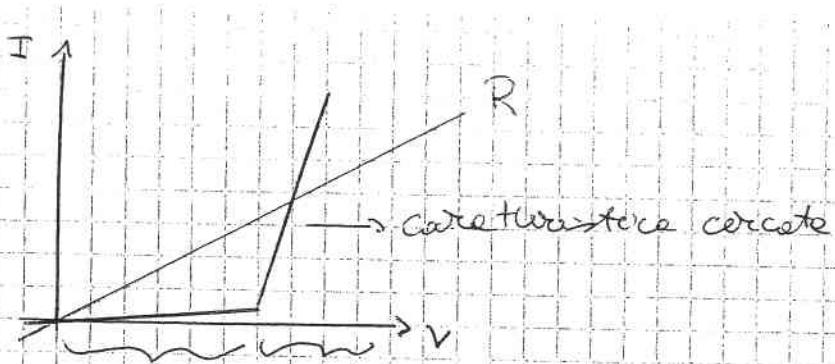
in modo che



Zone de pinch-off $\Leftarrow R$ grande per avere $|Av|$ elevato.

↳ Valori di uscite alte significano piccole variazioni sulla resistenza

Quindi per tensioni basse R elevato.
Per tensioni alte R piccole

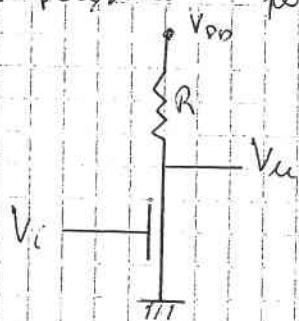


R alte R basse

alte tensioni
di diretto in questo
caso è più facile
le ridotte sulle
resistenze

baute tensione
di diretto in questo
caso è grande e
cadute nelle resistenze

- Quindi per minimizzare N devo avere βR_m casé



- Le reti di Pull-down (MOS) deve essere
→ piccole R quando è chiuso
→ grande R quando è aperto
- Le reti di Pull-up (R) deve essere
→ grande R quando è aperto
→ piccole R quando è chiuso

Quindi il transistor largo e alto, le resistenze
molto lungo e stretto.

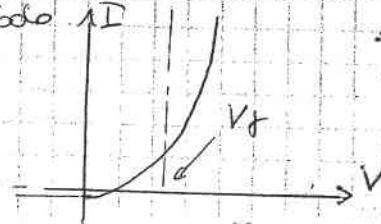
\Rightarrow R di corso deve essere
grande quando è
aperto il pull-down

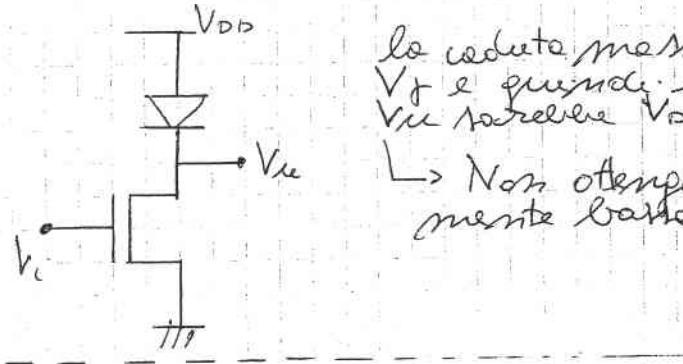
R può essere piccolo
quando è aperto il pull-
down

Partitore in cui la caduta
di pull-up molto più
grande di quella di
pull-down

La caratteristica cercata è circa simile a quella del
diodo D

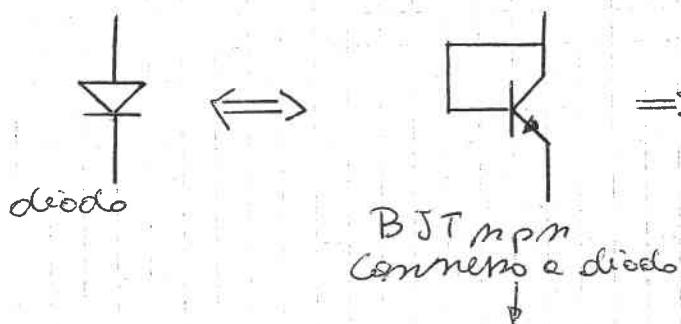
ma non è usato in quanto V_D è
praticamente costante e se
venisse usato: \rightarrow





Se vedete messo nel pull-up sarebbe V_f e quindi il valore più basso di V_o sarebbe $V_{DD} - V_f$.

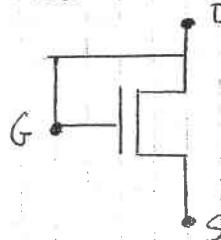
↳ Non otengo una tensione sufficiente perché bassa.



⇒ Siccome le caratteristiche del bipolar sono simili a quelle dell'n-MOS

ha i punti e i difetti del diodo.
Non è edotto.

Si può usare un n-MOS e connetterlo a "diodo".

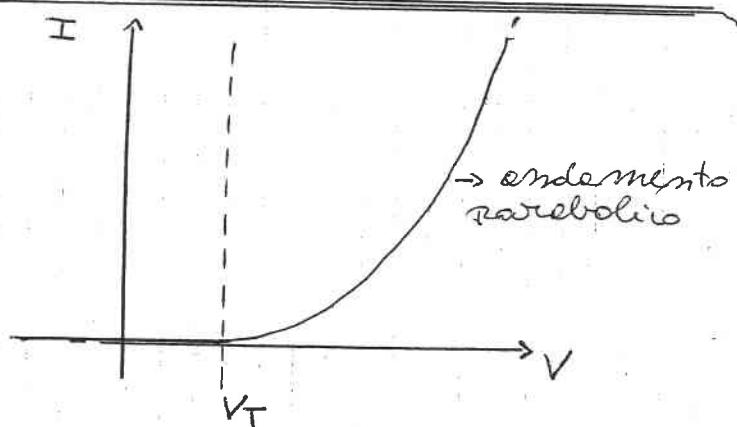
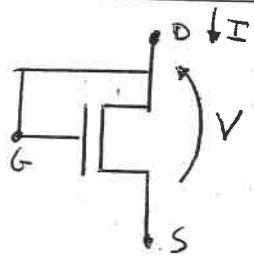


Osservazioni:

- ① La tensione di soglia è modificabile con la tecnologia
- ② Le caratteristiche non sono esponenziale ma quadratiche.

↳ Se puoi provare ad usare il MOS connetto a diodo come il polo di vero non binario ed ottenere le precedenti caratteristiche.

ANALISI BIPOLO N-MOS CONNESSO A DIODO



$$V_G = V_0$$

$$V_{GS} = V_{DS} = V$$

M_{OFF}

$$\left. \begin{array}{l} V_{GS} < V_T \\ V_{GS} = V \end{array} \right\} V < V_T \Rightarrow I = 0 \quad (R = +\infty)$$

M_{ON}

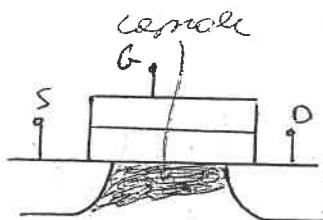
è SAT quando $\Rightarrow \left\{ \begin{array}{l} V_{GS} < V_{DS} + V_T \\ V_{GS} > V_T \end{array} \right. \Rightarrow \left\{ \begin{array}{l} V_T > 0 \\ V > V_T \end{array} \right.$

$V_T > 0$ sempre

Perché non è LIN?

Se fesse lineare il canale è formato da portati

Ma tra G e D c'è ^{dove trovare} almeno una tensione di soglia



\hookrightarrow altrimenti per $V_G > V_T$ ve in saturazione se $V_{GD} < V_T$

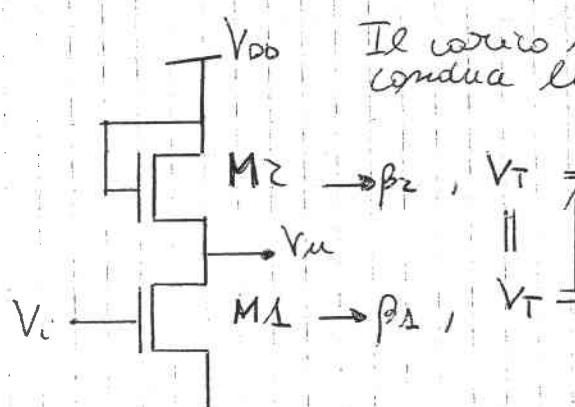
\Rightarrow cortocircuito G con D impone il MOS a lavorare SAT.

quindi $\left\{ \begin{array}{l} I_D = \frac{\beta_m}{2} (V_{GS} - V_T)^2 = \frac{\beta_m}{2} (V - V_T)^2 \\ \text{per } V > V_T \end{array} \right.$

\rightarrow a V basso la rete si comporta come R elevata

\rightarrow a V crescente R diminuisce.

INVERTITORE n-Mos A CARICO SATURATO

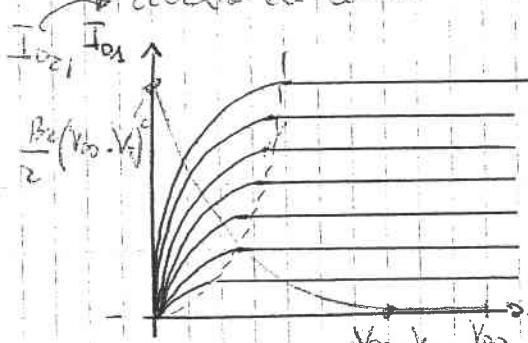


Il carico si chiama saturato perché se M_2 conduce lavora in saturazione

$$M_2 \rightarrow \beta_2, V_T \Rightarrow V_T = V_{GS2} + 2V_F + \gamma \sqrt{2qF}$$

$$q_F = \frac{kT}{q} \ln \left(\frac{N_A}{n_D} \right)$$

dipende dalle tecnologie, da come è fabbricato
↳ èuguale per tutti, in questo il progettista può varie
re solo W e L (parametro β)



Caratteristiche
di M_2 ad
varcare di
 $V_{GS2} = V_u$

ordinata delle
caratteristiche è
anche I_D

Per costruzione $I_{D1} = I_{S2} - I_{D2} \Rightarrow I_{D1} = I_{D2}$

Per M_2

$$V_{GS2} = V_{DS2} = V_{DD} - V_u$$

$$\underline{M_2 \text{ OFF}} \quad \left\{ V_{GS2} = V_{DD} - V_u < V_T \Rightarrow V_u > V_{DD} - V_T \right.$$

$$I_{D2} = 0$$

$$\underline{M_2 \text{ ON, SAT}} \quad I_D = \frac{\beta_2}{2} (V_{GS2} - V_T)^2 = \frac{\beta_2}{2} (V_{DD} - V_T - V_u)^2$$

$$V_{GS2} = V_{DD} - V_u$$

$$I_D (V_{DD} - V_T) = 0, \quad I_D (0) = \frac{\beta_2}{2} (V_{DD} - V_T)^2$$

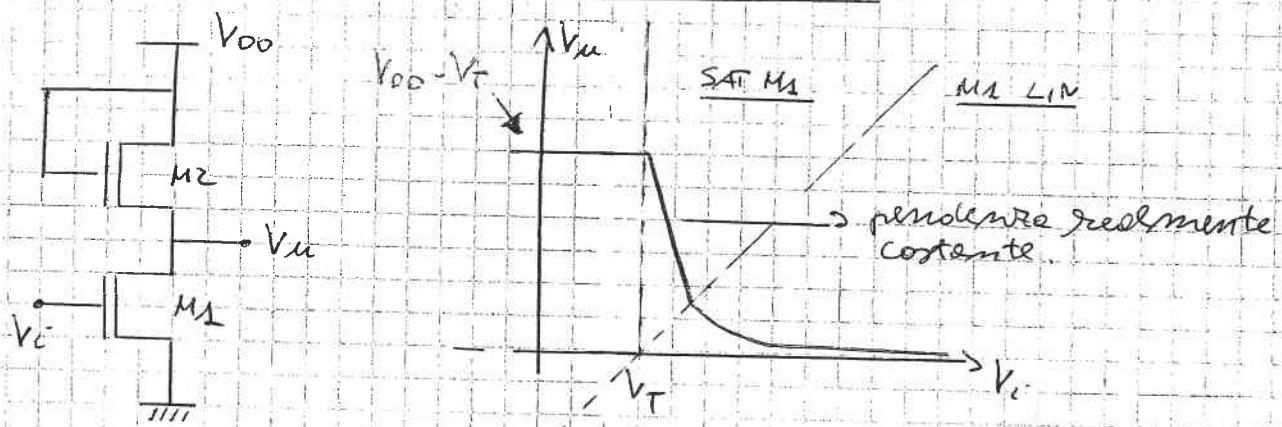
↳ Perpendendo le caratteristiche si può vedere che il circuito è un invertitore perché lo stesso andamento della Resistenza di carico ha lo stesso andamento della Resistenza.

\Rightarrow Differenze

① Bipolo non lineare (come quello creata)

② Il dispositivo è più piccolo.

Studio delle caratteristiche del circuito



M₁ OFF

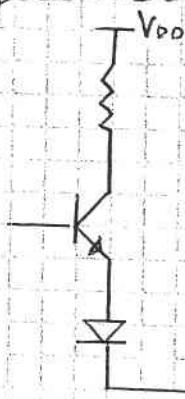
$$\begin{aligned} V_{GS1} &< V_T \\ V_{GS1} &= V_i \end{aligned} \quad \left\{ \begin{array}{l} V_i < V_T \\ \end{array} \right.$$

$$\begin{aligned} I_{D1} &= 0 \\ I_{D2} &= I_{D1} \end{aligned} \quad \left\{ \begin{array}{l} I_{D2} = 0 \\ \end{array} \right.$$

→ Verso meno c'è quando un transistor spento (NO PULL-DOWN)

→ Verso l'alimentazione c'è un transistor spento (NO PULL-UP)

(Questo è il problema identico delle reti di uscite per una logica TTL. (e totem-pole))

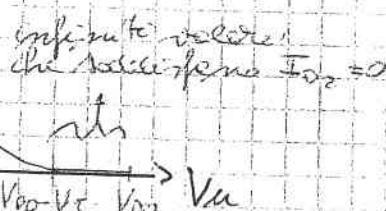


⇒ Il modello a
sopra dice che ci sono
infiniti valori di
tensione che
soddisfano la condizione } Problema risolto
di condizione }
corrente = 0.

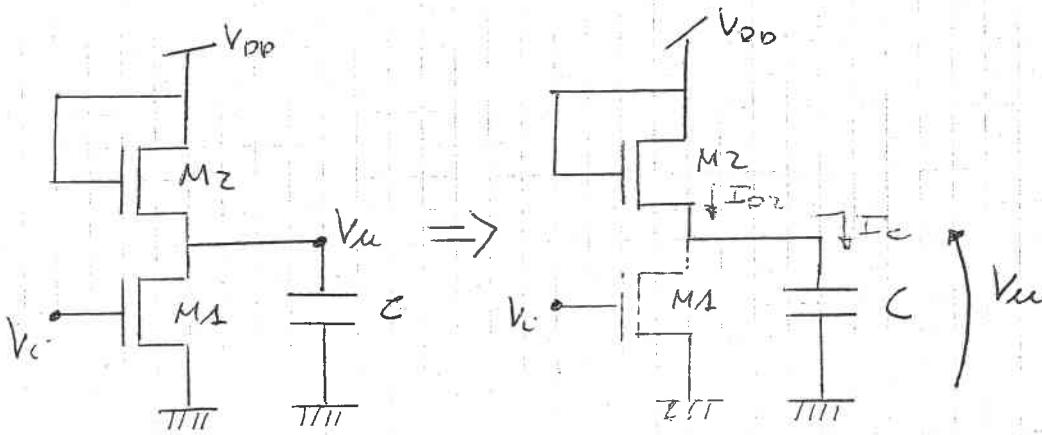
- ① V_{IO} fan-out to
- ② Considerare una
corrente finita.

→ Anche in questo caso ci possono essere infiniti
valori che soddisfano $I = 0$

$I_{D2} \uparrow$



- ① L'uso del fan-out to
è inutile perché $I_0 = 0$
- ② Considero una corrente
finita che c'è sempre.
In realtà se fan-out to
l'uscita va sul gate di
un transistor necessario
che a sua volta è un condensatore (struttura MOS).



se $V_C < V_T \Rightarrow M_1 \text{ OFF} \quad \text{PULL-UP OFF}$

se M_2 è ON, SAT - c'è un trasmettore di corrente perché PULL-UP è ON.

$$I_{D2} = C \frac{dV_{u}}{dt} = I_C$$

Durante il trasmettore di PULL-UP la V_u cresce perché il condensatore si carica.

$$V_u \uparrow \Rightarrow I_{D2} \uparrow \text{ e se } I_{D2} = 0 \Rightarrow V_u = \text{Cost.}$$

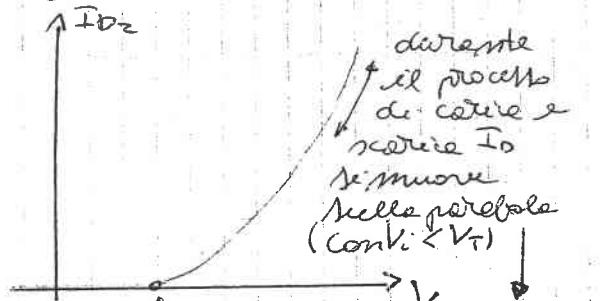
Siccome M_2 lavora solo in SAT quando è acceso

$$I_{D2} = \frac{\beta_2}{2} (V_{GS2} - V_T)^2 \text{ ma } I_{D2} = 0 \text{ se } V_{GS2} = V_T$$

$$V_{GS2} = V_{DD} - V_u \Rightarrow V_{DD} - V_u = V_T$$

$$\boxed{V_u = V_{DD} - V_T}$$

Infatti se \longrightarrow



durante il processo di carica si scava I_D
si muove nella parabola ($V_u < V_T$)

quando I_{D2} si annulla la tensione è costante e quindi non varia.

\Rightarrow Differenza. Con il carico rettificato la V_u è più bassa rispetto al circuito con carico passivo di V_T .

\swarrow Quindi la corrente è nulla quando la tensione si capi' di $V_{DD} = V_T$

\Rightarrow Aspetto negativo : $V_u = V_{DD}$ non è V_{DD} ma $V_{DD} - V_T$ provoca una diminuzione dell'escursione.

M₁ ON, SAT

$$\left. \begin{array}{l} V_{GS1} < V_{DS1} + V_T \\ V_{GS1} = V_i \\ V_{DS1} = V_u \end{array} \right\} \quad V_u > V_i - V_T \quad \begin{array}{l} (\text{Non cambia in questo} \\ \text{la rete di PD è uguale}) \end{array}$$

$$I_{D1} = \frac{\beta_1}{2} (V_i - V_T)^2 > 0 \quad \text{in quanto } V_i > V_T$$

$$I_{D2} > 0 \Rightarrow \underline{\text{M}_2 \text{ ON, SAT}}$$

$$I_{D1} = I_{D2} = \frac{\beta_2}{2} (V_{DD} - V_u - V_T)^2 = \frac{\beta_1}{2} (V_i - V_T)^2$$

Condizione sempre valida

$$\frac{\beta_1}{2} (V_i - V_T)^2 = \frac{\beta_2}{2} (V_{DD} - V_u - V_T)^2$$

Siccome $\left\{ \begin{array}{l} \text{M}_1 \text{ ON} \Rightarrow V_i > V_T \\ \text{M}_2 \text{ ON} \Rightarrow V_{DD} - V_u > V_T \\ V_{GS} > V_T \end{array} \right.$

possiamo trascurare le segni
meno elevati delle
radici quadrate.

$$\sqrt{\beta_1} (V_i - V_T) = \sqrt{\beta_2} (V_{DD} - V_u - V_T)$$

$$V_u = V_{DD} - V_T - \sqrt{\frac{\beta_1}{\beta_2}} (V_i - V_T)$$

\Rightarrow Retta a pendente negativa
dove $\frac{dV_u}{dV_i} = -\sqrt{\frac{\beta_1}{\beta_2}}$

$$V_u(V_T) = V_{DD} - V_T$$

M₁ ON, LIN $V_i > V_u - V_T$

$$I_{D1} = \beta_1 \left\{ (V_i - V_T) V_u - \frac{V_u^2}{2} \right\} > 0 \quad \text{allora} \quad \underline{\text{M}_2 \text{ ON, SAT}}$$

$$I_{D2} = \frac{\beta_2}{2} (V_{DD} - V_u - V_T)^2$$

$$\frac{\beta_2}{2} (V_{DD} - V_T - V_u)^2 = \frac{\beta_1}{2} \left\{ 2(V_i - V_T) - V_u \right\} V_u$$

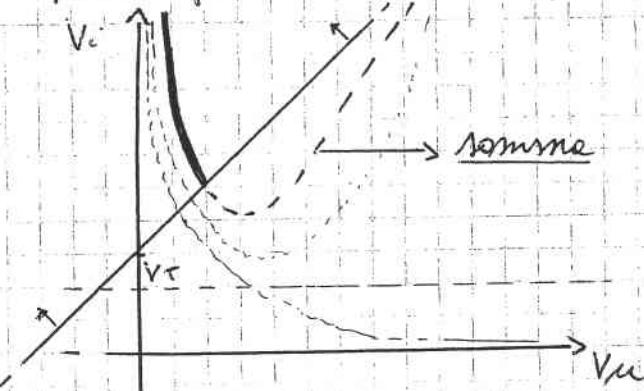
$$\frac{(V_{DD} - V_T)^2}{V_u} + \frac{V_u}{V_u} - \frac{2(V_{DD} - V_T) \cdot V_u}{V_u} = \frac{\beta_1}{\beta_2} \left\{ 2(V_i - V_T) - V_u \right\} \frac{V_u}{V_u}$$

$$2(V_i - V_T) - V_u = \frac{\beta_2}{\beta_1} \left\{ \frac{(V_{DD} - V_T)^2}{V_u} + V_u - 2(V_{DD} - V_T) \right\}$$

$$V_L = V_T + \frac{V_{DD}}{2} \left(1 + \frac{\beta_2}{\beta_1} \right) - \frac{\beta_2}{\beta_1} (V_{DD} - V_T) + 2 \frac{\beta_2}{\beta_1} \frac{(V_{DD} - V_T)^2}{V_{DD}}$$

costante termine lineare termine x perabolico

\Rightarrow Válido para $V_L > V_{DD} + V_T$ (de $V_{DD} > V_{DD} + V_T$ cioè $V_{DD} > V_T$)



- (grafico del bipolo di carico) - 32 ns
- (elettronica di I°.
- (grafico del invertitore 2) MOS e currenzi rettificati) - 29 ns

\Rightarrow Carenza di $V_L(V_{DD})$ rettilinea

c'è un tratto e pendenza lineare (importante per la tecnologia endopeice) \Rightarrow in questo tratto c'è un'amplificazione del segnale

\hookrightarrow c'è una buona fedeltà in quanto la caratteristica non è approssimata (come nei modelli con BJT) come si può vedere dal grafico delle due rette di Vout, in quanto da un modello quadratico si ottiene una caratteristica rettilinea.

\hookrightarrow questo si ha quando M_1 è SAT.

$$V_L = V_{DD} - V_T - \sqrt{\frac{\beta_1}{\beta_2}} (V_L - V_T)$$

$$A_V = \frac{dV_L}{dV_{DD}} = -\sqrt{\frac{\beta_1}{\beta_2}} = -\sqrt{\frac{\frac{C_{ox}}{L_1} \mu_n \frac{W_1}{L_1}}{\frac{C_{ox}}{L_2} \mu_n \frac{W_2}{L_2}}} = -\sqrt{\frac{W_1 \cdot L_2}{L_1 \cdot W_2}} =$$

$$= -\sqrt{\frac{W_1}{W_2} \cdot \frac{L_2}{L_1}} \Rightarrow \text{il guadagno non dipende dal processo di fabbricazione.}$$

Quindi per avere

$$A_V \uparrow \uparrow, \quad L_1 \rightarrow L_{1\min}, \quad L_2 \gg W_{2\min}$$

$$W_1 \gg L_{1\min}, \quad W_2 \rightarrow W_{2\min}$$

Quando il

- > transistor di PV ha un canale lungo e stretto)
- > transistor di PD ha un canale corto e largo

questo è ovvio perché il transistor, anche se più efficientemente perché non lineare, si deve comportare come una resistenza e quindi quando sono elettroni PV che PD la resistenza di PV deve essere molti maggiore di quella di PD.

↳ C'è un vincolo tra il rapporto dei fattori di forma.

=> i due invertitori stessi (e cioè raffino e elettrone returato) sono invertitori RATED che bisogna scegliere opportunamente i fattori di forma per avere prestazioni sufficienti.

INVERTITORI RATED: le prestazioni dipendono dai fattori di forma

Difetti del circuito

① Caratteristiche RATED: dipendo le prestazioni alle dimensioni: provare ad avere più prestazioni elevate con altre dimensioni (allungare / allargare PC / PD)

anche se questo circuito è più piccolo di quello precedente in quanto le dimensioni del transistor n-MOS sono più piccole di quelle di uno R.

② Non si può sfruttare tutta la tensione disponibile e questo è molto grave in quanto la tecnologia tende a sfruttare potenziali sempre più bassi per avere batterie più e maggior portabilità.

↳ Al tempo degli RTL $V_{HIT} = 5V = V_{CC}$

↳ Durante l'introduzione degli n-MOS $V_{HIT} = 3,5V = V_{DD}$

↳ La tendenza adesso è $V_{HIT} = 2,7 \approx 2,9V$ in quanto le dimensioni minime dei transistor supportano tensioni sempre più basse.

↓

Riducendo le dimensioni bisogna diminuire ΔV applicato in quanto

$$\left| \frac{\Delta V}{dist} \right| = |\vec{E}| \quad \text{e se dist} \uparrow \uparrow \text{e } \Delta V = \text{cost} \Rightarrow E \uparrow \uparrow$$

ed esendo il campo elettrico causa di fenomeni di rotture per effetto di scarica può provocare la rottura del transistor.

Quindi non utilizzare una parte dell'escursione dovuta

sempre più greve.

Ricerca di un miglioramento per risolvere il problema ②

Il problema nasce quando M₁ è OFF $\rightarrow I_{D1} = 0 = I_{D2}$

$$M_2 \text{ è SAT} \Rightarrow I_{D2} = \beta_2 \frac{(V_{GS} - V_T)^2}{2} \Rightarrow V_{th} = V_{DD} - V_T$$

Ma M₂ è SAT perché $V_{DD} - V_T$

$$\begin{cases} V_{GS2} < V_{DS2} + V_T \\ \text{ma } V_{GS2} = V_{DS2} \end{cases} \Rightarrow V_T > 0$$

• Se M₂ fae LIN

$$V_{GS2} > V_{DS2} + V_T > \frac{V_{DS}}{2} + V_T$$

$$I_{D2} = \beta_2 \left\{ (V_{GS2} - V_T)V_{DS2} - \frac{V_{DS2}^2}{2} \right\} = \beta_2 V_{DS} \left(V_{GS2} - V_T - \frac{V_{DS2}}{2} \right)$$

Ma se prendo che $I_{D2} = I_{D1} = 0$ per annullare I_D serve che $V_{DS} = 0$ in quanto $V_{GS2} - V_T - \frac{V_{DS2}}{2} > 0$

\Rightarrow In regione LIN per annullare $I_D \Rightarrow V_{DS} = 0$

\Rightarrow In regione SAT per annullare $I_D \Rightarrow V_{GS} = V_T$

se M₂ lavorasse in regione lineare $V_{DS} = 0 \Rightarrow V_{th} = V_{DD}$

Per lavorare in regione lineare occorre che $V_T < 0$.

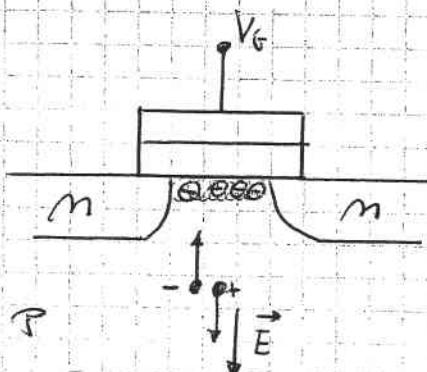
• V_T è la tensione da applicare al gate per applicare il canale

• Un transistore a V_T negativo è un transistore per cui a $V_T = 0$ il canale è formato \Rightarrow modifica tecnologica

m-Mos A SOGLIA NEGATIVA

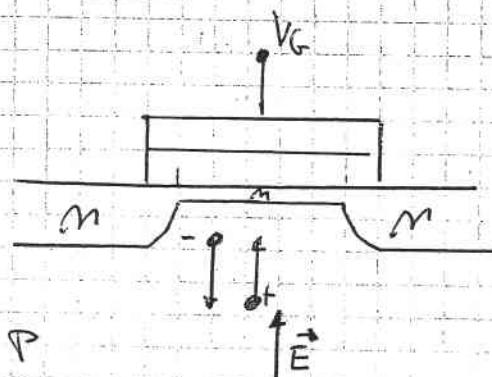
$V_T > 0$

ENHANCEMENT



$V_T < 0$

DEPLETION



Quando $V_G = V_T$ si forma il canale. Al crescere della tensione applicata aumenta la concentrazione superficiale di elettroni fino a che $n_{ss} = N_A$ cioè quando $V_G = V_D$.

Se rechiere una tensione negativa tale per cui il $V_G < 0$ si può passare corrente in quanto il canale è già formato. Per spegnere il canale serve una tensione negativa tale per cui il $V_G < V_T$. Il "prende" gli elettroni presenti nel canale preesistente e li allontana. Più è negativo il canale più alta deve essere la tensione per spegnere il transistore \Rightarrow più negativa deve essere la tensione di soglia.

V_T deve creare il canale

Canale costituito arricchendo le superficie di portatori minoranza raccolti nel substrato.

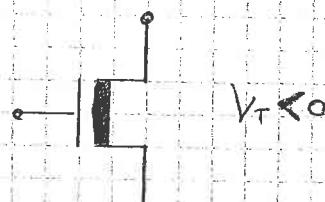
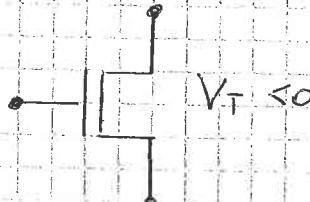
V_T spegne il canale già esistente

canale preesistente.

Transistori ed arricchimento

Transistori o sprecoamento

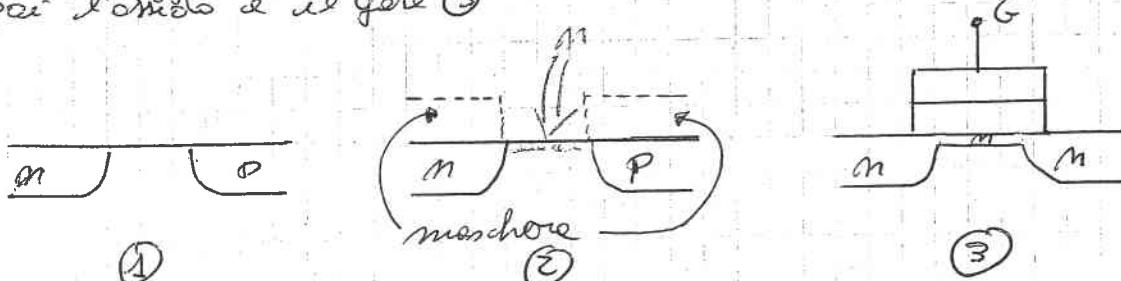
SIMBOLICA



\Rightarrow Il processo non può creare due transistori con soglie diverse, ma due transistori di due tipi diversi.

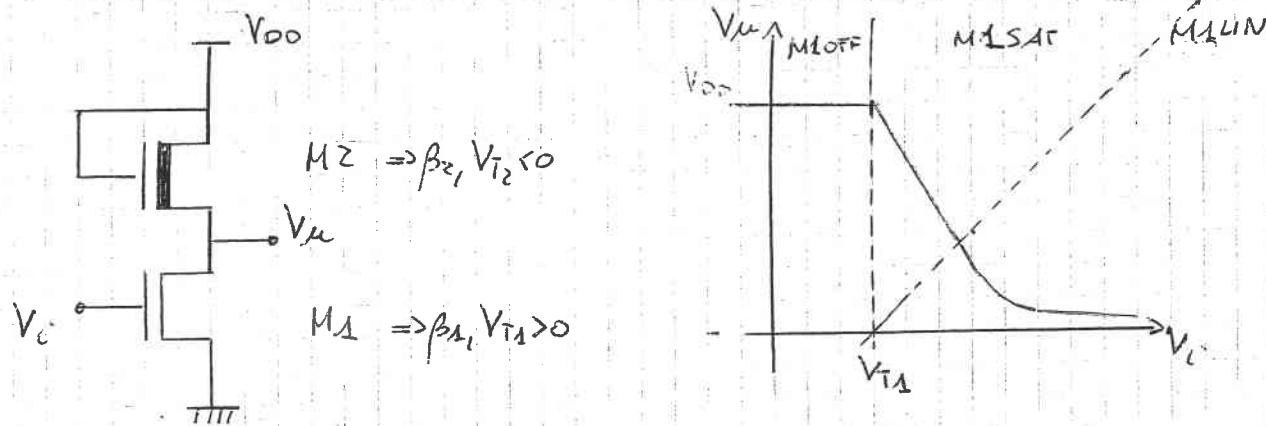
(circuito Invertitore con $V_T = -0,7V$)

Per costruire il transistor a sweetenamento uso gli stessi procedimenti per la costruzione di uno ad arricchimento.
L'unica differenza è che dopo aver creato le breche di S e D (1) si proteggono con un opportuna maschera e crea il canale (2) per l'arrivo di un gate (3).



\Rightarrow La tensione di soglia può variare solo poche volte per accettare con molti transistori, ma in genere rimane costante.

Invertitore n-MOS con carico n-MOS a sweetenamento



Indipendentemente dal fatto che $I_{DS1} = I_{D2}$

M₁ OFF

$$V_{GS1} = V_i < V_{T1}$$

$$I_{DS1} = 0 = I_{D2} \Rightarrow M_2 \text{ L.N.} \Rightarrow V_{DS2} = 0 \quad \left\{ \text{cioè } V_u = V_{DD} \right. \\ \left. V_{DS2} = V_{DD} - V_u \right\}$$

M₁ SAT

$$\left. \begin{array}{l} V_{GS1} < V_{DS1} + V_{T1} \\ V_i \quad V_u \end{array} \right\} V_u > V_i - V_{T1} \quad \text{rete di PD non è combinata}$$

$$I_{D1} = \frac{\beta_1}{2} (V_i - V_T)^2 > 0 \Rightarrow I_{D2} > 0 \quad \text{cioè } M_2 \text{ ON ma}$$

se M₂ è ON deve essere in regione lineare in quanto $V_{T2} < 0$.

$$\text{perché per essere L.N. } V_{GS2} > V_{DS2} + V_{T2} \Rightarrow V_{T2} < 0$$

$$I_{D2} = \beta_2 \left\{ \frac{(V_{DD} - V_u - V_{T2})(V_{DD} - V_u)}{V_{GS2}} - \frac{(V_{DD} - V_u)^2}{2} \right\}$$

$$I_{D1} = \frac{\beta_1}{2} (V_i - V_{T1})^2$$

$$\rightarrow \dots \rightarrow V_u = \frac{\pm \sqrt{\beta_1 (V_i - V_{T1})^2 + \beta_2 V_{T2}^2} + \sqrt{\beta_2 (V_{DD} - V_{T2})}}{\sqrt{\beta_2}}$$

$$V_u = V_{DD} - V_{T2} \neq \sqrt{V_{T2}^2 + \frac{\beta_1}{\beta_2} (V_i - V_{T1})^2}$$

Maggiore di V_{T2} e quindi finemente
bisogna cancellare la radice con segno + perché
prenderebbe una $V_u > V_{DD}$.

$$V_u(V_t) = V_{DD}$$

\rightarrow al crescere di V_i sotto la radice domine $\frac{\beta_1}{\beta_2} (V_i - V_t)^2$
quindi $V_u(V_t) \approx V_{DD} - V_{T2} - \sqrt{\frac{\beta_1}{\beta_2} (V_i - V_t)}$
qualitativamente l'andamento è rettilineo ("un piano")

MS LIN

Dalle simulazioni.

Vantaggi

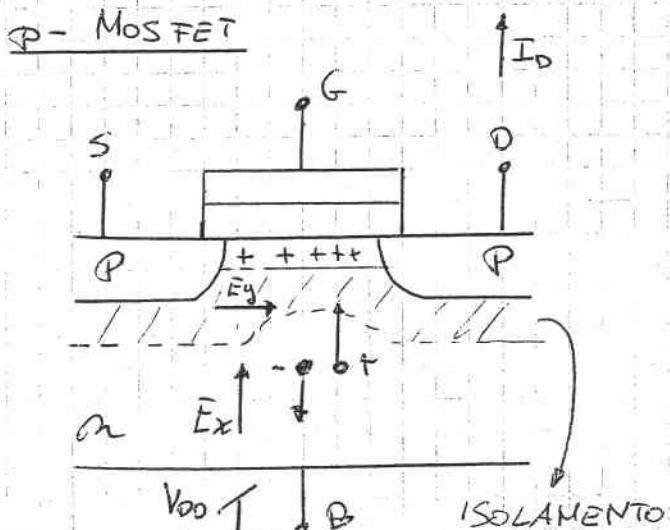
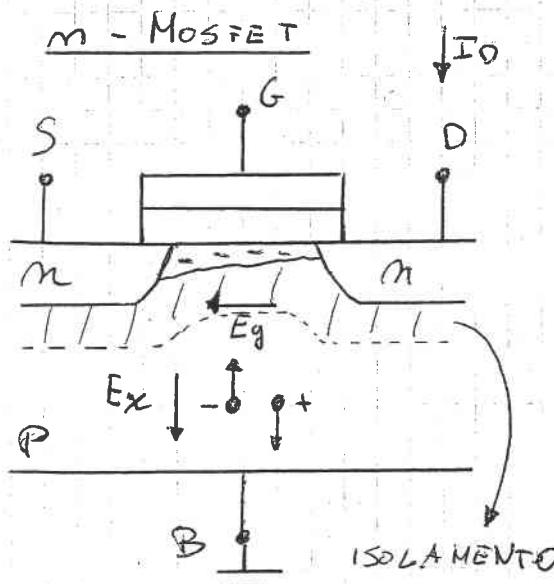
- C'è la massima escurzione

Svantaggi

- Dimetere tecnologico. Il circuito è più complicato in quanto bisogna creare il canale per avere $V_t < 0$.

\Rightarrow Si possono usare transistori e canale-p (transistori duali)

p-MOSFET (a canale p)



Il canale si forma ricoprendo i minoritari (elettroni) del substrato. Per ottenere carica positiva occorre applicare un potenziale negativo al gate.

- Substrato N_A (accettori) perché serve che i minoritari siano gli elettroni.
- Buche di tipo n per fare D e S.

↔ Substrato N_D (donatori) perché serve che i minoritari siano le lacune.

↔ Buche di tipo p per fare D e S.

$V_G > V_T$ per creare il canale.

Si crea un campo elettrico che ha l'effetto di portare i minoritari (elettroni) nella superficie e i maggioritari (le lacune, buche) verso l'interno creando una zona invertita.

$V_B = 0$ che garantisce il completo isolamento delle strutture.

V_T

Positive (n MOS ed anche n-MOS con estremo chimento)

Negative (n-MOS e questo)

Per creare un canale di portatore minoritari (lacune), deve essere E_x rivolto verso l'alto cioè $V_{GB} < 0$.

Quindi se $V_{GB} < V_T$ per creare il canale

$V_T < 0$ per un transistore ad avvicinamento

→ gli elettroni si allontanano muovendo la regione del canale.

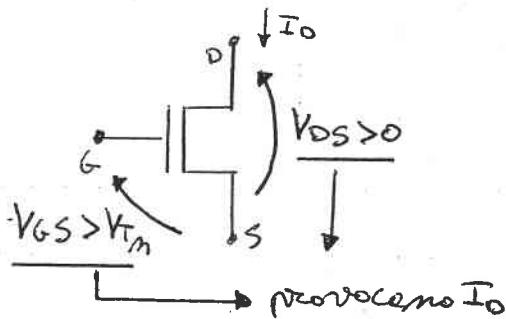
Quindi $V_B = V_{GS}$ per garantire uno pol. inverso alla giunzione e quindi per garantire una regione invertita cioè i due

m - MOSFET

Quando il canale è formato

con $V_{DS} > 0$ le cariche negative, i minoratori che costituiscono il canale, si spostano dal source verso il drain.

I_D entra nel drain



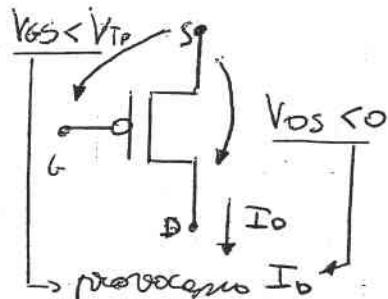
Dove S è a pot. più basso

P - MOSFET

Quando il canale è formato

Per far spostare le cariche, le cariche del Source verso il Drain, deve $V_{DS} < 0$ e quindi la corrente I_D

I_D esce dal drain

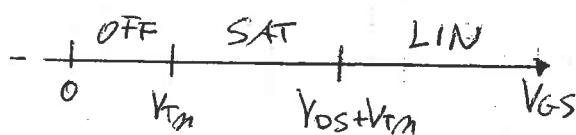


Dove S è a pot. più alto

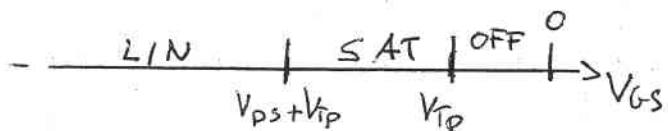
MODELLO TRANSISTOR

Per formare il canale

$$V_{GD} > V_{Th}$$



$$V_{GD} < V_{Tp}$$



Le espansione-contrazione
(e parte i segni)

n - MOS OFF

$$V_{GS} < V_{Th} \quad I_D = 0$$

n - MOS SAT

$$V_{Th} < V_{GS} < V_{DS} + V_{Th}$$

$$I_D = \frac{\beta_n}{2} (V_{GS} - V_{Th})^2$$

n - MOS LIN

$$V_{DS} > V_{DS} + V_{Th}$$

$$I_D = \beta_n \left\{ (V_{GS} - V_{Th}) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

p - MOS OFF

$$V_{GS} > V_{Tp} \quad I_D = 0$$

p - MOS SAT

$$V_{DS} + V_{Tp} < V_{GS} < V_{Tp}$$

$$I_D = \frac{\beta_p}{2} (V_{GS} - V_{Tp})^2$$

p - MOS LIN

$$V_{GS} < V_{DS} + V_{Tp}$$

$$I_D = \beta_p \left\{ (V_{GS} - V_{Tp}) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

Quando il transistor ad arricchimento e' accendito non sono messe insieme perché come per MOS ad arricchimento si hanno due V_T una positiva ed una negativa

n - MOSFET

$V_{TN} > 0$ per tr. ENHANCEMENT

$V_{TN} < 0$ per tr. DEPLETION

p - MOSFET

$V_{TP} < 0$ per tr. ENHANCEMENT

$V_{TP} > 0$ per tr. DEPLETION

↳ non si utilizza ↳

MODELLO p-MOSFET ad arricchimento

$$V_{DS} < 0 \rightarrow V_{DS} = -V_{SD} \Rightarrow V_{SD} > 0$$

$$V_{GS} < 0 \rightarrow V_G = -V_{SG} \Rightarrow V_{SG} > 0$$

$$V_{TP} < 0 \rightarrow V_{TP} = -|V_{TP}| \Rightarrow |V_{TP}| > 0$$

p-MOS OFF

$$V_{GS} > V_{TP} \rightarrow -V_{SG} > -|V_{TP}| \Rightarrow V_{SG} < |V_{TP}|$$

$$I_D = 0$$

p-MOS SAT

$$V_{GS} < V_{TP} \rightarrow -V_{SG} < -|V_{TP}| \Rightarrow$$

$$V_{DS} + V_{TP} < V_{GS} \rightarrow -V_{SG} > -V_{SD} - |V_{TP}| \Rightarrow$$

$$I_D = \frac{\beta_P}{2} (V_{GS} - V_{TP})^2$$

$$= \frac{\beta_P}{2} (-V_{GS} + (-V_{TP}))^2$$

$$\quad \downarrow \quad \quad \downarrow$$

$$V_{GS} \quad |V_{TP}|$$

$$V_{SG} > |V_{TP}|$$

$$V_{SG} < V_{SD} + |V_{TP}|$$

$$I_D = \frac{\beta_P}{2} (V_{SG} - |V_{TP}|)^2$$

p-MOS LIN

$$V_{GS} < V_{DS} + V_{TP} \rightarrow -V_{SG} < -V_{SD} - |V_{TP}| \Rightarrow$$

$$I_D = \beta_P \left\{ (V_{GS} - V_{TP})V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

$$= \beta_P \left\{ (-V_{GS} + V_{TP})(-V_{DS}) - \frac{(-V_{DS})^2}{2} \right\}$$

$$\quad \downarrow \quad \quad \quad \downarrow$$

$$V_{DS} \quad -|V_{TP}| \quad V_{DS}$$

$$V_{SD} > V_{SD} + |V_{TP}|$$

$$I_D = \beta_P \left\{ (V_{SG} - |V_{TP}|)(V_{SD} - \frac{V_{SD}^2}{2}) \right\}$$

OFF

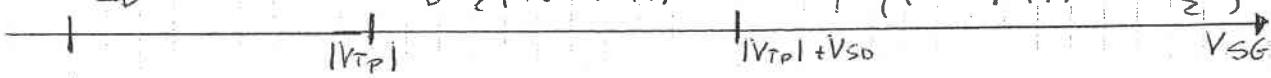
$$I_D = 0$$

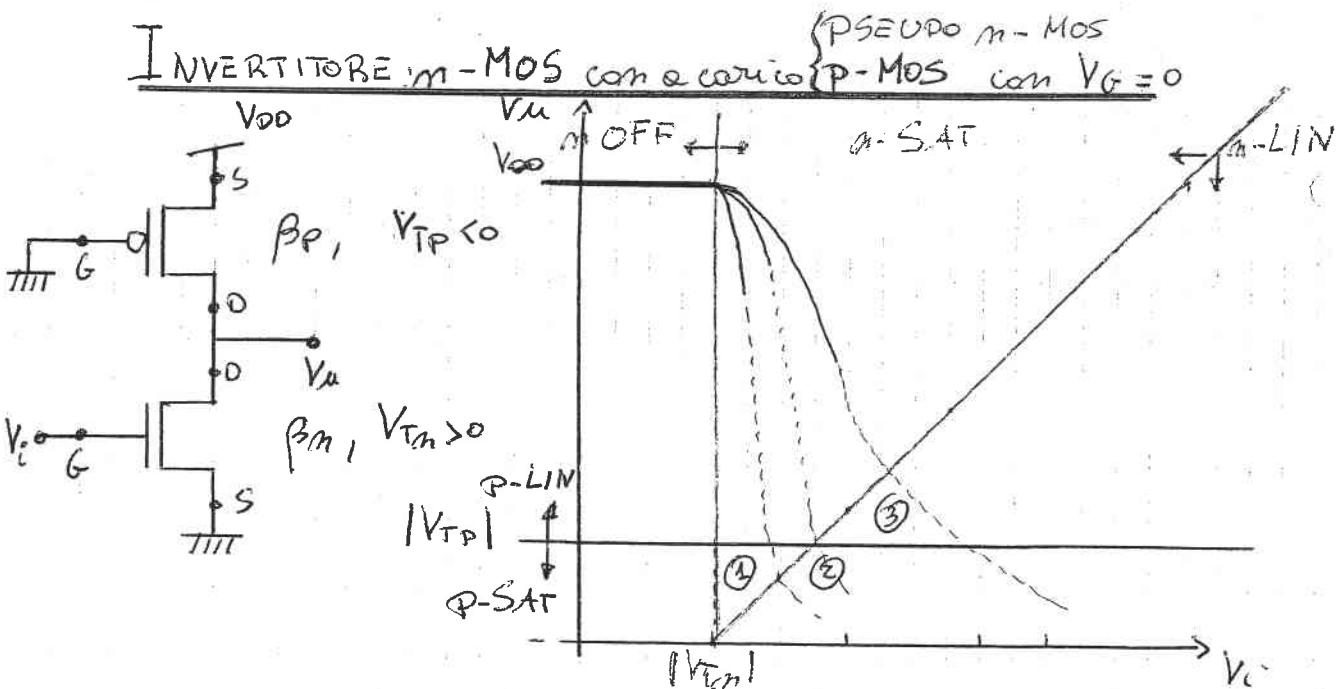
SAT

$$I_D = \frac{\beta_P}{2} (V_{SG} - |V_{TP}|)^2$$

LIN

$$I_D = \beta_P \left\{ (V_{SG} - |V_{TP}|)V_{SD} - \frac{V_{SD}^2}{2} \right\}$$





$V_G = 0$ in modo che V_{SG} è maggiore di $|V_{TP}|$

- $V_{GSn} = V_i^o$, $V_{DSn} = V_u$

m OFF

$$V_{GS} = V_i^o < V_{Thn}$$

m SAT

$$V_{Thn} < V_{GS} < V_{DS} + V_{Thn}$$

$$V_{Thn} < V_i^o < V_u + V_{Thn}$$

m LIN

$$V_{GS} > V_{DS} + V_{Thn}$$

$$V_i^o > V_u + V_{Thn}$$

- $V_{SGp} = V_{DD}$, $V_{SO_p} = V_{DD} - V_u$

p OFF

$$V_{SG} < |V_{TP}| \quad \left\{ \begin{array}{l} \\ \end{array} \right.$$

$$V_{SO} = V_{DD} < |V_{TP}| \quad \left\{ \begin{array}{l} \\ \end{array} \right.$$

p-SAT

~~$$|V_{TP}| < V_{SG} < V_{SO} + |V_{TP}|$$~~

SEMPRE

$$V_{DD} < V_{SO} - V_u + |V_{TP}|$$

$$V_u < |V_{TP}|$$

p LIN

$$V_{SG} > V_{SO} + |V_{TP}|$$

$$V_{DD} > V_{SO} - V_u + |V_{TP}|$$

$$V_u > |V_{TP}|$$

Calcolo delle caratteristiche ingresso-uscita

m OFF

$$I_{Dm} = I_{Op} = 0 \text{ se } V_{DD} > |V_{TP}|$$

(HP) P LIN $\Rightarrow I_{Op} = \beta_p \left\{ (V_{SGp} - |V_{TP}|) V_{SO_p} - \frac{V_{SO_p}^2}{2} \right\} = 0$

$\hookrightarrow V_{SGp} > V_{SO_p} + |V_{TP}| > \frac{V_{SO_p}}{2} + |V_{TP}|$

allora $I_{Op} = 0 \iff V_{SO_p} = 0$ ma $V_{SO_p} = V_{DD} - V_u = 0$ allora

$V_u = V_{DD}$ quindi $V_{SG} = V_{DD} > V_{SO} + |V_{TP}|$ OK HP

in SAT e pLIV

$$I_{on} = I_{op} \text{ da cui}$$

$$\frac{\beta_m}{2} (V_i - V_{Tm})^2 = \beta_p \left\{ (V_{DD} - |V_{TP}|)(V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right\}$$

↓ ↓ ↓
 V_{USm} V_{SOP} V_{SOP}

$$V_u = +|V_{TP}| + \sqrt{-\frac{1}{\beta_p} \left\{ \beta_m (V_i - V_{Tm})^2 - \beta_p (V_{DD}^2 - 2V_{DD} \cdot |V_{TP}| + |V_{TP}|^2) \right\}}$$

$$V_u = |V_{TP}| + \sqrt{(V_{DD} - |V_{TP}|)^2 - \frac{\beta_m}{\beta_p} (V_i - V_{Tm})^2}$$

$$V_u (V_{Tm}) = |V_{TP}| + \sqrt{(V_{DD} - |V_{TP}|)^2} = V_{DD}$$

per V_i che aumenta, V_u cala.

Per continuare le sognate cipre in che regione entro ($o1, o2, o3$) dove i due mos hanno caratteristiche diverse.

(grafico p -MOS / n -MOS insieme a ^{studi} caratteristiche) 38 - (-19 min)

Studio della struttura di isolamento

Per costruire sullo stesso substrato di silicio (chip) due transistori n -MOS e p -MOS bisogna isolare:

① n -MOS è formato da un substrato di tipo p (N_A)

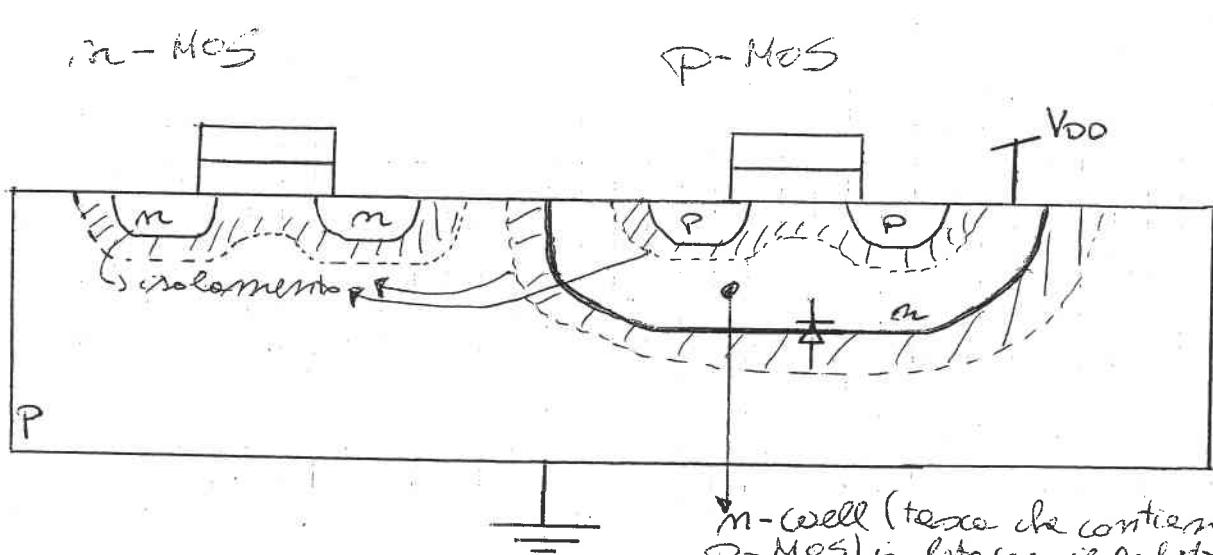
② p -MOS è formato da un substrato di tipo n (N_D)

Se usa il principio di compensazione cioè non si considera le specie di dopante ma le loro differenze.

① Partendo da un substrato di tipo p per creare la brecha di Drain e di Source di tipo n bisogna doparla di più di stome. No che N_A in modo da avere $N_D > N_A$. (procedimento per la creazione del n -MOS)

② Partendo da un substrato di tipo p (che non va bene per i p -MOS) si realizza una brecha sovrapposta con atomi $N_D > N_A$ facendole diventare una regione n . In questa regione si costruiscono due breche di tipo p (che sono il Drain e Source).

Si possono isolare i due transistori isolati.



n-well (tesce che contiene il p-MOS) isolato con il substrato P.

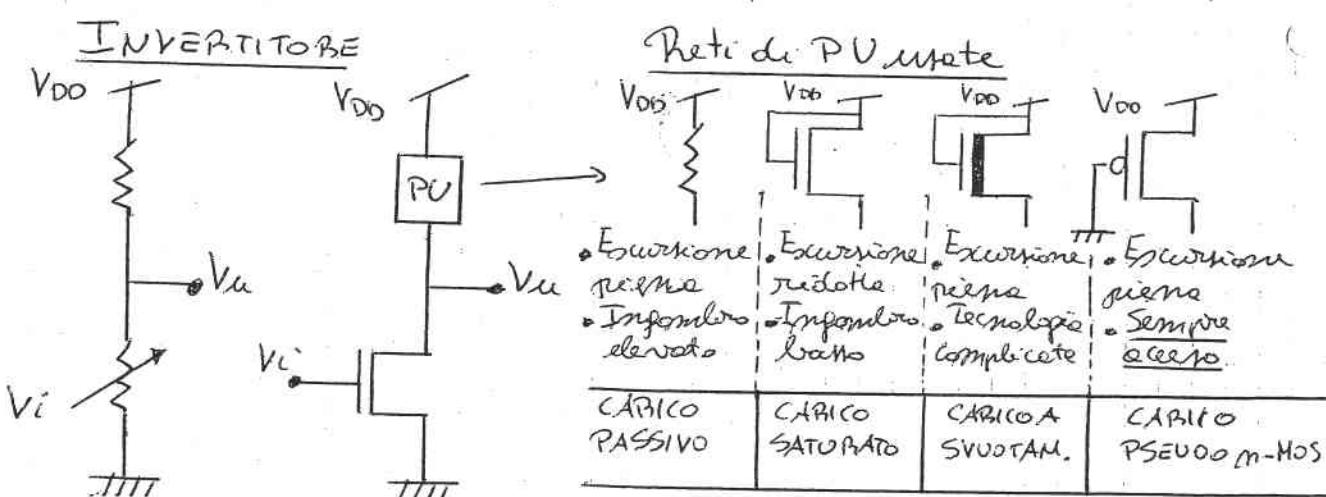
Dentro le "tesce" di tipo n si possono creare tanti transistori di tipo p-MOS isolati l'uno dall'altro e tutti isolati con il substrato P dove ci sono gli n-MOS.

→ Tecnologia Mos complementare (C-MOS)

L'invertitore costruito usa la tecnologia C-MOS (in quanto c'è un n-MOS e un p-MOS) ma non è un invertitore IC-MOS in quanto il funzionamento non è complementare.

Il p-MOS non funziona in modo complementare del n-MOS. In quanto il primo è sempre acceso, il secondo no.

→ La COMPLEMENTARIETÀ è tecnologica non funzionale.
Il cerchio è uno pseudo n-MOS in quanto il p-MOS è usato come rete di cerchio passivo.
Gli invertitori costruiti hanno avuto le reti di PD diverse.



Tutti i circuiti considerati hanno due defetti:

- se V_i è BASSA → PD OFF } V_{out} è ALTA, $I = 0$, $P_{dissipato} = 0$ (indip del rapporto)
- se V_i è ALTA → PD ON } V_{out} BASSA, $I > 0 \Rightarrow P_{dissipato} > 0$ (dip del rapporto)

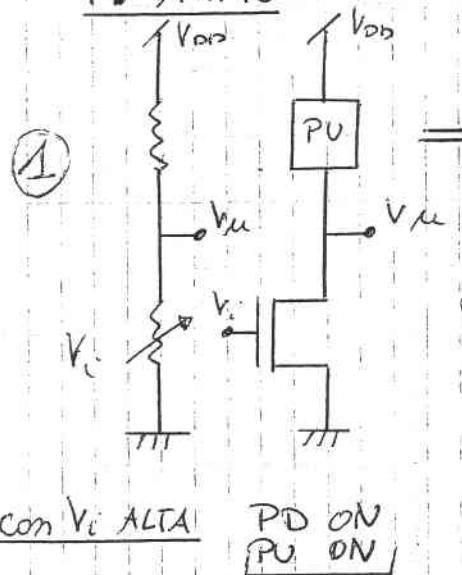
TECNOLOGIA C-MOS

I circuiti studiati sono circuiti:

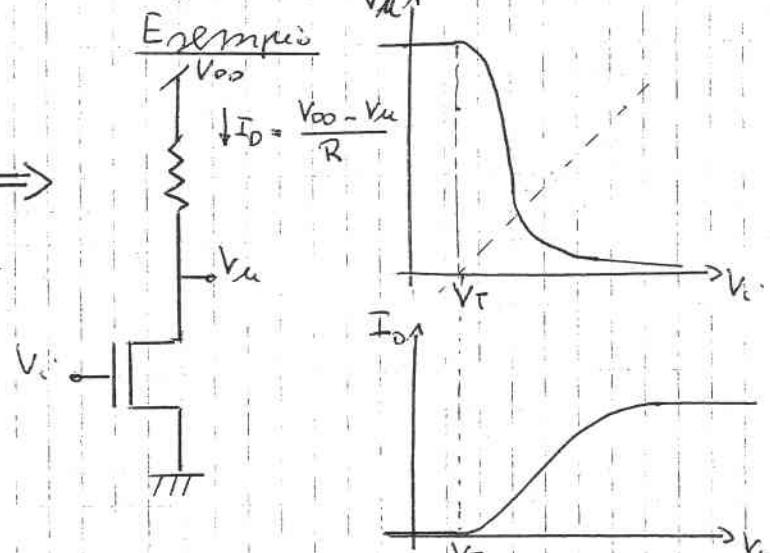
① RATED (caratteristiche migliore con un maggiore ingombro)

② che dissipano potenza quando PU e PD sono accesi.

PD ATTIVO



Exemples



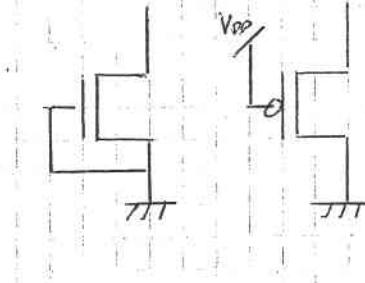
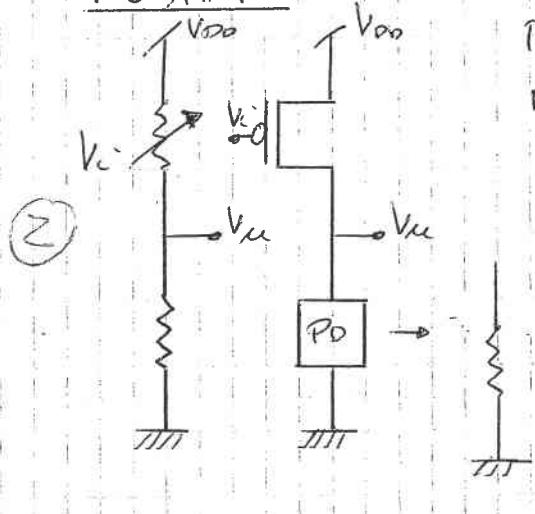
- per $V_i < V_t$ $V_d = V_{DD} \Rightarrow I_D = 0$
- per $V_i > V_t$ $V_d \downarrow t \Rightarrow I_D \uparrow t$

Influisce il rapporto
(per avere V_d basso serve
una grande dimensione)

Sarebbe che per $V_i = V_t$ $I > 0$ per
far cadere la tensione sul carico
di PU.
↳ potenza dissipata > 0.

La potenza dissipata è "inutile" in quanto non è utilizzata
ed una elaborazione del segnale.
Quindi se $V_i = V_t$ serve variazione nel tempo così serve
elevazione → c'è dissipazione di potenza.

PU ATTIVO



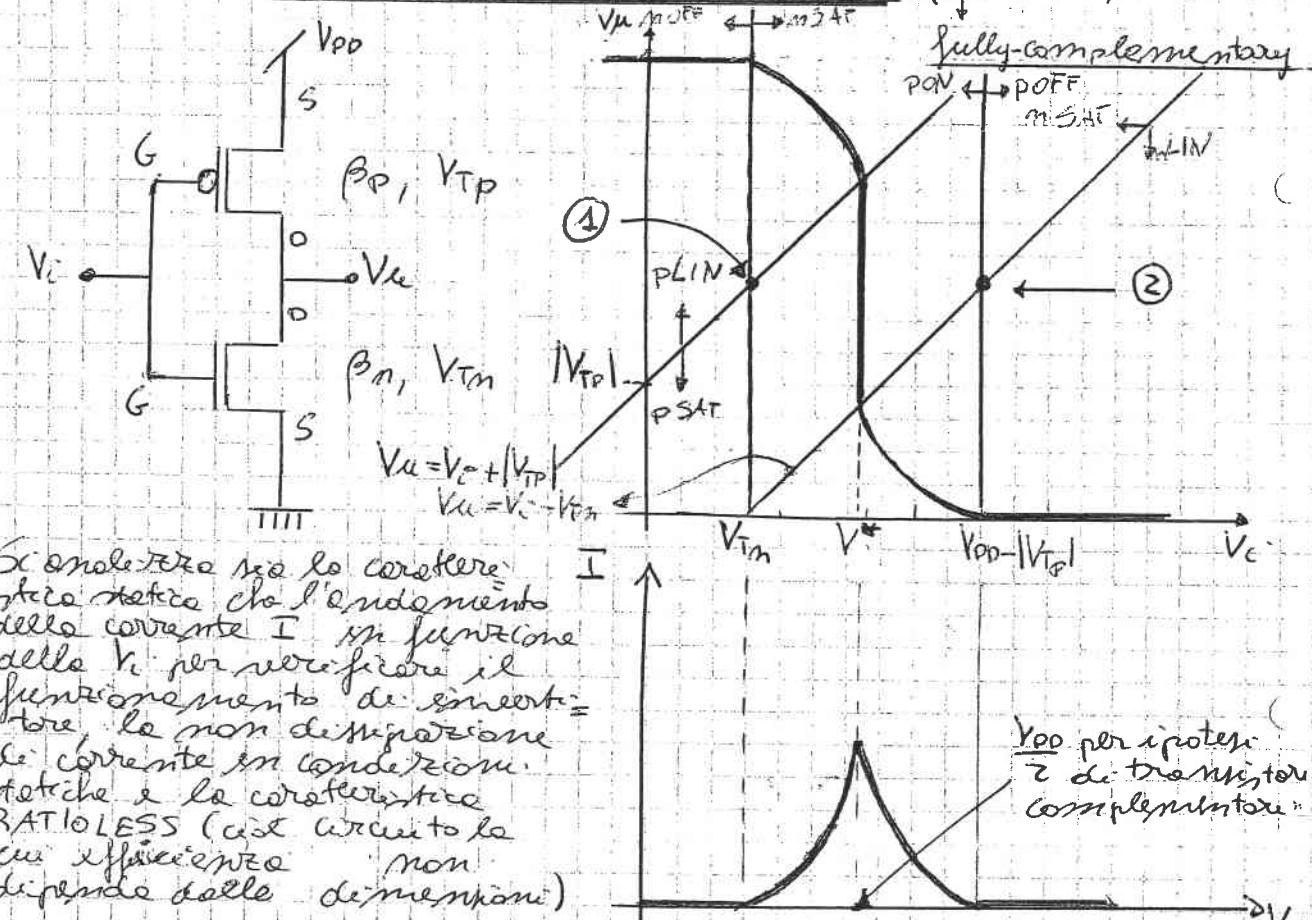
Quando la rete

① si comporta bene cioè non pone vincoli sulla dimensione del circuito e non consente potenza quando $V_i = V_L$ perché PU ATTIVO si SPEGNE

② si comporta in modo duale, cioè non ci sono vincoli sulla dimensione del circuito e non consente potenza quando $V_i = V_H$ perché PU ATTIVO si SPEGNE

La soluzione è utilizzare la parte "migliore" delle reti (le due componenti stesse pilotate entrambe dal segnale V_i)

INVERTITORE C-MOS (FC MOS)



Sceglierete sia lo zener che l'andamento della corrente I in funzione delle V_i per realizzare il funzionamento di invertitore, le non dissipazione di corrente in condizioni statiche e la caratteristica RATIOLESS (cioè circuito la cui efficienza non dipende dalle dimensioni).

\Rightarrow le tecnologie e le funzioni ~~non~~complementari per le reti di PU e PD

$$I_{Dm} = I_{DP} = I$$

$$\cdot V_{GSm} = V_i, \quad V_{OSm} = V_u$$

m OFF

$$V_{GSm} < V_{TN}$$

$$V_i < V_{TN}$$

m SAT

$$V_{OSm} < V_{OSm} + V_{TN}$$

$$V_i < V_u + V_{TN}$$

$$V_u > V_i - V_{TN}$$

m LIN

$$V_{GSm} > V_{OSm} + V_{TN}$$

$$V_i > V_u + V_{TN}$$

$$V_u > V_i - V_{TN}$$

$$V_{SGP} = V_{DD} - V_c ; \quad V_{SOP} = V_{DD} - V_u$$

P OFF

$$V_{SGP} < |V_{TP}|$$

$$V_{DD} - V_c < |V_{TP}|$$

$$V_c > V_{DD} - |V_{TP}|$$

$$\underline{H_p:} \quad V_{DD} - |V_{TP}| > V_m \\ \text{cioè} \\ \boxed{V_{DD} > V_m + |V_{TP}|}$$

P SAT

$$V_{SG} < V_{SO} + |V_{TP}|$$

$$V_{DD} - V_c < V_{DD} - V_u + |V_{TP}|$$

$$V_u < V_c + |V_{TP}|$$

P LIN

$$V_{SG} > V_{SO} + |V_{TP}|$$

$$V_{DD} - V_c > V_{DD} - V_u + |V_{TP}|$$

$$V_u > V_c + |V_{TP}|$$

In questo modo esiste la possibilità che entrambi i transistori siano accesi \Rightarrow è importante perché se così non fosse la rete sarebbe sempre "morta", incapace di comunicare in quanto le varie non si può spostare.

$$\boxed{H_p: \quad V_{DD} > V_{TM} + |V_{TP}|}$$

M OFF

$$I_{DM} = 0 , \quad I_{DM} = I_{DP} \Rightarrow I_{DP} = 0$$

$$\underline{H_p:} \quad \text{P LIN} \quad \text{ricorda } I_{DP} = 0 \Rightarrow V_{SD} = 0 \text{ ma } V_{SO} = V_{DD} - V_u \Rightarrow \\ \Rightarrow \boxed{V_u = V_{DD}}$$

(è come l'interdittore prende m -MOS in questo il p-MOS ha $V_G = 0$)

L'ipotesi è verificata se la caratteristica si trova nella regione in cui p-MOS è LINEARE.

$$\textcircled{1} = (V_m, \boxed{V_{TM} + |V_{TP}|}) \rightarrow \text{ricordato da } \begin{cases} V_u = V_c + |V_{TP}| \\ V_c = V_{TM} \end{cases}$$

Quando la condizione è verificata e l'escisse di $\textcircled{1}$ è al di sotto di V_{DD} , cioè che $V_{DD} > V_{TM} + |V_{TP}|$ (ipotesi precedente)

$\rightarrow \text{H}_p \text{ OK}$

\Rightarrow Il rapporto di forma non è rilevante (non sono state usate β_m e β_p) e la pot. dissipata è nulla.

P OFF

$I_{DP} = 0 \Rightarrow I_{DP} = 0$ Siccome m e p MOS non possono essere mai presenti simultaneamente, m MOS è off.

$$\underline{H_p:} \quad \text{m LIN} \rightarrow V_{DS} = 0 \rightarrow \boxed{V_u = 0}$$

Bisogna calcolare il punto $\textcircled{2}$

$$\textcircled{2} = (V_{DD} - |V_{TP}|, V_{DD} - |V_{TP}| - V_{TM}) \rightarrow \text{de } \begin{cases} V_{ce} = V_c - V_{TM} \\ V_c = V_{DD} - |V_{TP}| \end{cases}$$

La condizione di linearità è verificata se l'escursione di $\textcircled{2}$ è sempre alla retta $V_c = 0$. ($V_{DD} > V_{TM} + |V_{TP}|$ ipotesi precedente)

Ok Hp

\Rightarrow Questo è lo caratteristico di un buon invertitore:
 ① in questo ci sono due tratti con pendenza = 0
 (cioè per $V_c = V_L$ che per $V_c = V_H$) senza condizioni scille dimensione (non ci sono β_P e β_N)

② in questo la corrente per $V_c = V_L$ e per $V_c = V_H$, $I = 0$ cioè la corrente statica è 0, non c'è dissipazione di potenza.
 Questo è dovuto in quanto le reti di PD e PU non sono più accese insieme.

$$\text{per } V_c = V_L \rightarrow \begin{array}{ll} \text{PD OFF} & \text{per } V_c = V_H \rightarrow \text{PD ON} \\ \text{PU ON} & \text{PU OFF} \end{array}$$

③ Lo caratteristico restante ha rendenza massima > 1 perché è all'esterno di un rettangolo dove $h = V_{DD}$

$$\text{base} = V_{DD} - V_{TM} - |V_{TP}| \text{ e per l'ipotesi iniziale}$$

$\frac{h}{\text{base}} > 1$. Prendi: è pertanto un tratto con rendenza > 1 indipendentemente dalle forme.

Studio delle regioni centrali (nSAT e pSAT) dove ci dovrebbe essere la rendenza massima

nSAT, pSAT

$$I_{on} = \frac{\beta_N}{2} \cdot (V_{GSM} - V_{TM})^2 = \frac{\beta_N}{2} (V_c - V_{TM})^2$$

$$I_{off} = \frac{\beta_P}{2} \cdot (V_{GSP} - |V_{TP}|)^2 = \frac{\beta_P}{2} (V_{DD} - V_c - |V_{TP}|)^2$$

$$\frac{\beta_N}{2} (V_c - V_{TM})^2 = \frac{\beta_P}{2} (V_{DD} - V_c - |V_{TP}|)^2 \rightarrow \text{non c'è } V_{ce} \text{ e quindi la rete è } V_c = \text{cost. verticale}$$

\hookrightarrow Esiste un tratto a rendenza ∞ .

scissione $V_c > V_{TM}$ (perché nSAT) si considera solo il +

$$\sqrt{\beta_N} (V_c - V_{TM}) = \sqrt{\beta_P} (V_{DD} - V_c - |V_{TP}|)$$

$$V_c \left(\sqrt{\frac{\beta_N}{\beta_P}} + 1 \right) = V_{DD} - |V_{TP}| + V_{TM} \sqrt{\frac{\beta_N}{\beta_P}}$$

$$V_c = \frac{V_{DD} - |V_{TP}| + V_{TM} \sqrt{\frac{\beta_N}{\beta_P}}}{\left(1 + \sqrt{\frac{\beta_N}{\beta_P}} \right)}$$

$$\text{Ponendo } \Theta = \sqrt{\frac{\beta_m}{\beta_p}} \quad V_i = \frac{V_{DD} - |V_{TP}| + \Theta V_{IN}}{1 + \Theta}$$

La posizione e non la pendenza della retta V_i dipende dalle dimensioni.

$$\begin{cases} \Theta \rightarrow 0 \text{ cioè } \beta_p \gg \beta_m & V_i \rightarrow V_{DD} - |V_{TP}| \\ \Theta \rightarrow +\infty \text{ cioè } \beta_m \gg \beta_p & V_i \rightarrow V_{IN} \end{cases}$$

Siccome la caratteristica ideale di un invertitore è quella in cui il tempo ed il tempo di risposta siano simmetrici per avere margine simmetrico, poniamo la condizione di transistori complementari:

$$\left. \begin{array}{l} V_{IN} = |V_{TP}| \\ \beta_m = \beta_p \Rightarrow \Theta = 1 \end{array} \right\} V_i^* = \frac{V_{DD} - |V_{TP}| + V_{IN}}{1 + 1} = \frac{V_{DD}}{2}$$

Cioè con gli stessi parametri la caratteristica a pendente $\infty + \infty$ è sul punto medio.

- Quando si differenzia le due tecnologie, in cui bisognerà impostare delle condizioni nel rapporto tra le dimensioni per garantire l'esistenza di un margine di simmetria di circa 50%, nel C-MOS il margine di simmetria esiste sempre dipendendo dai valori β_m e β_p ed inoltre ci sono due tratti e quindi nulla.

\Rightarrow La funzionalità non è in dipendenza delle dimensioni



E un invertitore C-MOS RATIOLESS

Problema della condizione di complementarietà

$\beta_m = \beta_p$ non significa che i transistori siano uguali geometricamente.

$$\beta_m = Cox \mu_m \left(\frac{W}{L} \right)_m \quad \mu_m > \mu_p \text{ di } 2 \div 3 \text{ volte}$$

$$\beta_p = Cox \mu_p \left(\frac{W}{L} \right)_p$$

$$Cox = \frac{\epsilon_0 \epsilon_r}{t_{ox}} \quad (\text{uguale per entrambi})$$

$$\text{Quindi: } \beta_m = \beta_p \Rightarrow Cox \mu_m \left(\frac{W}{L} \right)_m = Cox \mu_p \left(\frac{W}{L} \right)_p$$

$$\frac{\left(\frac{W}{L} \right)_p}{\left(\frac{W}{L} \right)_m} = \frac{\mu_m}{\mu_p} \approx 2 \div 3 \Rightarrow \left(\frac{W}{L} \right)_p = 2 \div 3 \left(\frac{W}{L} \right)_m$$

Questa considerazione è importante perché per solo ci saranno condizioni praticamente sicure che non per le N che per i P MOS si raggiungeranno gli n-MOS perché più efficienti. (con $\mu_n > \mu_p$)

\Rightarrow Questo è un vincolo non funzionale ma utile per progettare circuiti con alto margine di insieme e di distretto.

Bisogna studiare gli effetti dei tratti per amplificare il margine di insieme e di distretto.

in SAT, PLIN

$$I_{Dm} = \frac{\beta_m}{2} (V_i - V_{Th})^2$$

$$I_{Dp} = \beta_p \left\{ (V_{DD} - V_i - |V_{TP}|)(V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right\}$$

Ponendo $I = I_{Dm} = I_{Dp}$ (la corrente cresce come un arco di parabola fissa) $\frac{\beta_m}{2} (V_i - V_{Th})^2 = \beta_p \left\{ (V_{DD} - V_i - |V_{TP}|)(V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right\}$

Calcolo del punto $(V_{IL MAX}, V_{OH MIN})$

Ponendo la complementarietà del transistore.

$$\begin{cases} \beta_m = \beta_p = \beta \\ V_{Th} = |V_{TP}| = V_T \end{cases}$$

$$\frac{\beta}{2} (V_i - V_T)^2 = \frac{\beta}{2} \left\{ (V_{DD} - V_T - V_i)(V_{DD} - V_u) - (V_{DD} - V_u)^2 \right\}$$

$$\frac{\beta}{2} (V_i - V_T) = \frac{\beta}{2} \left\{ -(V_{DD} - V_u) + (V_{DD} - V_T - V_i) \left(-\frac{dV_u}{dV_i} \right) \right\} - \frac{\beta}{2} (V_{DD} - V_u) \cdot \left(-\frac{dV_u}{dV_i} \right)$$

$$V_i - V_T = V_u - V_{DD} + V_{DD} - V_T - V_i - V_{DD} + V_u$$

$$2V_i = 2V_u - V_{DD}$$

$$V_u = V_i + \frac{V_{DD}}{2} \quad (\text{lungo il punto che soddisfa la condizione } \frac{dV_u}{dV_i} = -1)$$

Intersecando il lungo con la caratteristica si trova

$$V_{IL MAX} = \frac{3V_{DD} + 2V_T}{8}$$

$$V_{OH MIN} = \frac{7V_{DD} + 2V_T}{8}$$

n LIN, PSAT

$$I_{Dn} = \beta_n \left\{ (V_i - V_{Tn}) \cdot V_u - \frac{V_u^2}{2} \right\}$$

$$I_{DP} = \frac{\beta_p}{2} (V_{DD} - V_i - |V_{TP}|)^2$$

$$I = I_{Dn} = I_{DP} \quad (\text{area della parabola})$$

Ponendo la complementarietà del transistor

$$\cancel{\frac{\partial}{\partial V_u}} \left\{ (V_i - V_{Ti}) V_u - \frac{V_u^2}{2} \right\} = \frac{\beta_p}{2} (V_{DD} - V_i - V_T)^2$$

$$\cancel{2V_u + 2(V_i - V_T) \frac{dV_u}{dt}} - \cancel{2V_u \cdot \frac{dV_u}{dt}} = -2(V_{DD} - V_i - V_T)$$

$$V_u + V_T - V_i + V_u = -V_{DD} + V_i + V_T$$

$$2V_u = 2V_i - V_{DD} \Rightarrow V_u = V_i - \frac{V_{DD}}{2} \quad \begin{matrix} \text{(loop dei punti)} \\ \text{acc. } \frac{dV_u}{dV_i} = -1 \end{matrix}$$

Intersezione il loop con le caratteristiche si trova

(V_{IHMIN} , V_{OLMAX})

$$V_{IHMIN} = \frac{5V_{DD} - 2V_T}{8} \quad V_{OLMAX} = \frac{V_{DD} - 2V_T}{8}$$

Margine di immunità ai disturbi di un
invertitore C-MOS complementare

$$N_{ML} = V_{ILMAX} - V_{OLMAX} = \frac{V_{DD}}{4} + \frac{V_T}{2}$$

$$N_{MH} = V_{OHMIN} - V_{IHMIN} = \frac{V_{DD}}{4} + \frac{V_T}{2}$$

$$N_M = N_{ML} = N_{MH} = \frac{V_{DD}}{4} + \frac{V_T}{2}$$

(prefero 10 - 10 min)

Conclusioni:

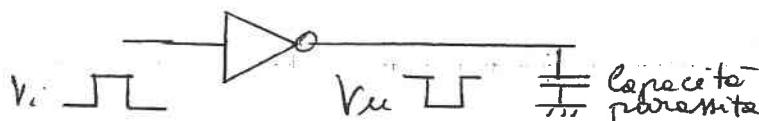
L'invertitore ha delle caratteristiche importanti:

① RATIOLESS cioè la sua funzionalità non dipende da un particolare rapporto di faktori di forme e quindi l'invertitore è molto piccolo (salvo i costi tecnologici e di velocità).

② In condizioni statiche non consuma potenza.

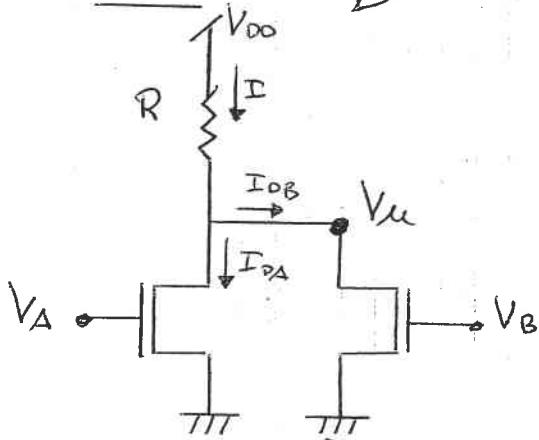
(utile per oggetti portatili che in gran parte non elaborano segnali).

Ma quando l'invertitore elabora dati cioè l'uscita dell'invertitore varia in funzione dell'ingresso, il circuito deve caricare - scaricare una capacità parallela, carica che muovendosi provoca dissipazione di potenza.



FUNZIONE A PIÙ INGRESSI (in MOS)

NOR



RATIOED

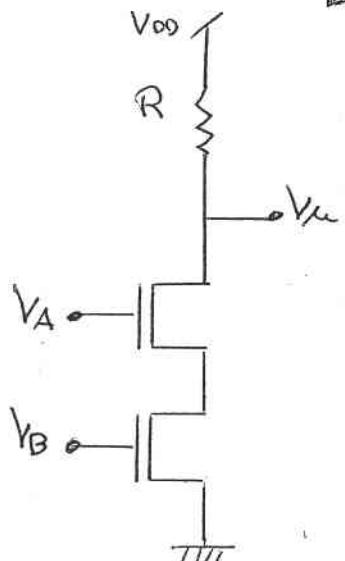
V_A	V_B	V_U
V_L	V_L	V_H
V_L	V_H	V_L
V_H	V_L	V_L
V_H	V_H	V_L

Si due n-MOS sono aperti quindi lo cedono sulle basi del successore e nulle ($I=0$) e quindi $V_U = V_H$

Si comporta come un invertitore

$I = I_{DA} + I_{DB}$ in quanto i due n-MOS sono accesi e le cedute scelte resistenza paralela $V_{ce} = V_L$

NAND



RATIOED

V_A	V_B	V_U
V_L	V_L	V_H
V_L	V_H	V_H
V_H	V_L	V_H
V_H	V_H	V_L

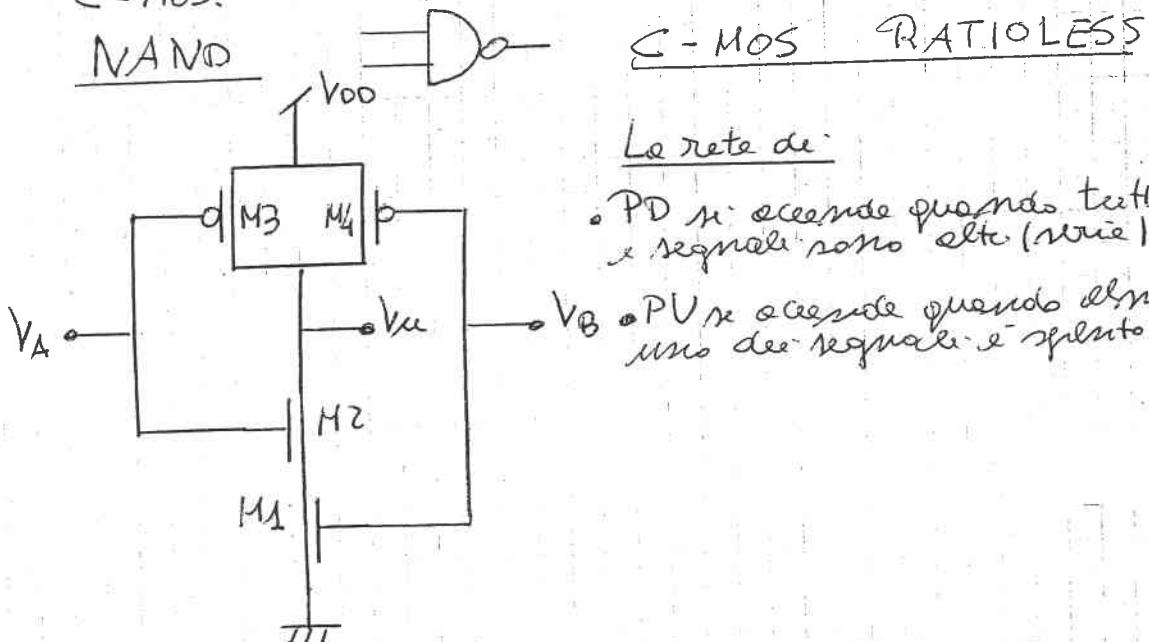
serie dei due interruttori aperti: $I=0$, $V_{ce} = V_H$

un interratore aperto e l'altro chiuso, $I=0$ e quindi $V_{ce} = V_H$

i due interruttori sono chiusi, $I>0$ e quindi $V_{ce} = V_L$

FUNZIONI A PIÙ INGRESSI C-MOS

Bisogna progettare un PD e un PU mutuamente esclusivo
in modo da mantenere le proprietà dell'invertitore
C-MOS.



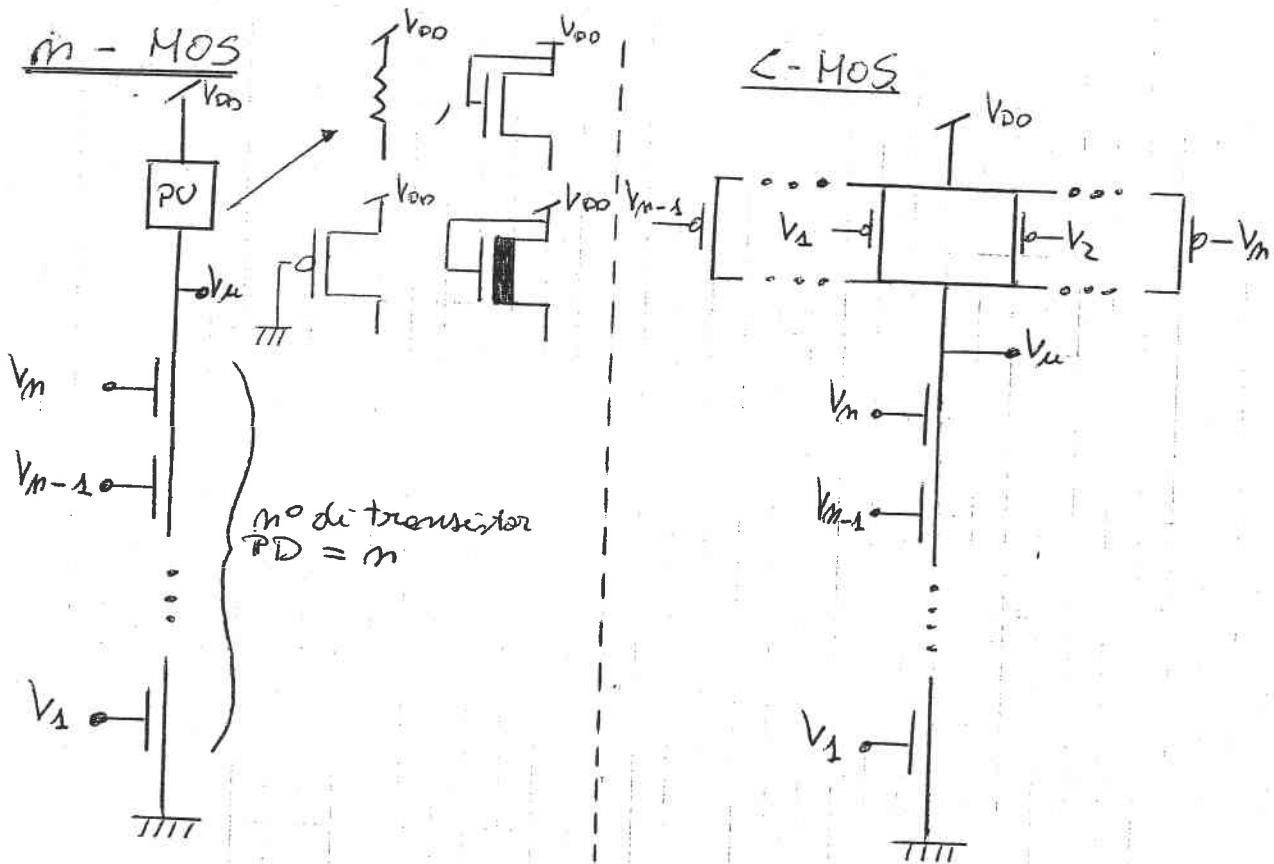
M1	M2	M3	M4	VA	VB	VU	PD	PU
OFF	OFF	(ON)	(ON)	V _L	V _L	V _H	OFF	(ON)
OFF	ON	(ON)	OFF	V _L	V _H	V _H	OFF	(ON)
ON	OFF	OFF	(ON)	V _H	V _L	V _H	OFF	(ON)
(ON)	(ON)	OFF	OFF	V _H	V _H	V _L	(ON)	OFF

Le reti di PD si accende quando entrambi i transistori sono accesi

Le reti di PU si accende quando uno dei transistori è acceso (quando almeno un segnale d'ingresso è basso)

- ↳ Le reti di PU e PD non sono mai elette entrambe.
Il dimensionamento delle due reti sono indipendenti e non c'è mai la corrente statica nel circuito
- ↳ Circuito che mantiene le caratteristiche di un invertitore C-MOS.

Confronto tra due tipi di circuiti (NAND) e ingressi



no di transistori totali

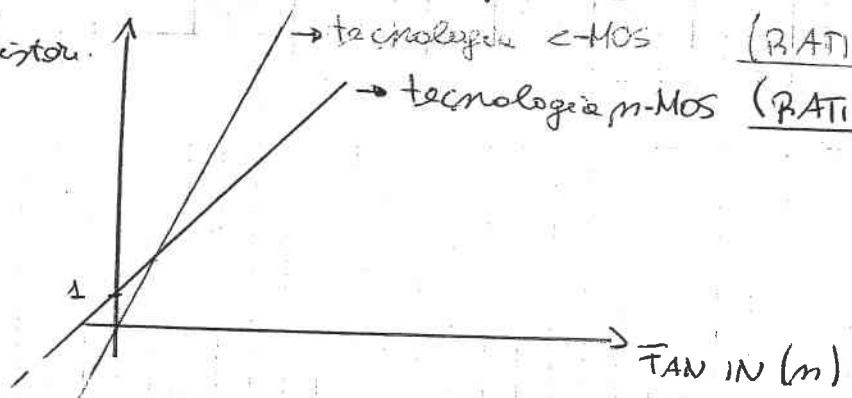
($m+1$)

$$FAN\ IN = m \text{ (no degli ingressi)}$$

no di transistori totali

($2m$)

\rightarrow tecnologie c-MOS (RATIOLESS)
 \rightarrow tecnologie n-Mos (RATIOED)



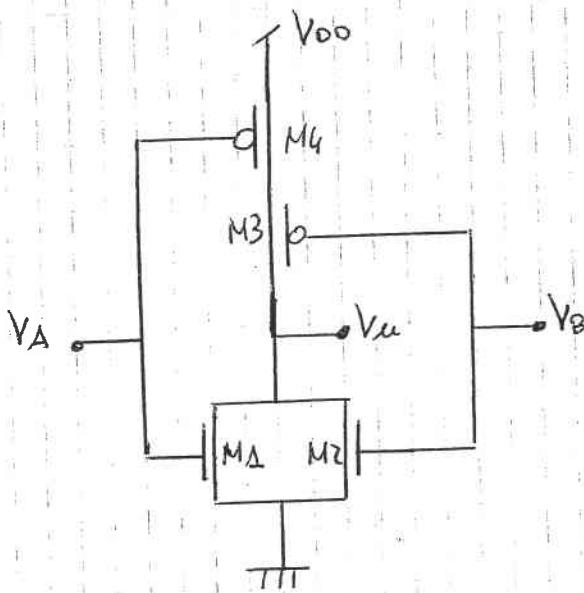
Bisogna però considerare che i transistor nelle tecnologie c-MOS sono molto più piccole rispetto alle altre tecnologie in quanto sono RATIOLESS.

Lmite numero elevato di transistori:

NOR

D_o

C-MOS RATIOLESS



- la rete di PD si deve accendere quando almeno uno degli ingressi è alto (parallelo)

- la rete di PU si deve accendere solo quando i due ingressi sono bassi (serie)

M ₁	M ₂	M ₃	M ₄	V _A	V _B	V _D	PD	PU
OFF	OFF	ON	ON	V _L	V _L	V _H	OFF	ON
OFF	ON	OFF	ON	V _L	V _H	V _L	ON	OFF
ON	OFF	ON	OFF	V _H	V _L	V _L	ON	OFF
ON	ON	OFF	OFF	V _H	V _H	V _L	ON	OFF

↓ ↓
la rete di PU è accesa
quando tutti i due ingressi sono bassi.
la rete di PD è accesa quando una delle due Transistori è acceso.

Le due reti sono mutuamente esclusive.

Per aumentare gli ingressi occorre mettere in

→ parallelo n transistori n-MOS e PD.

→ serie n transistori p-MOS e PU.

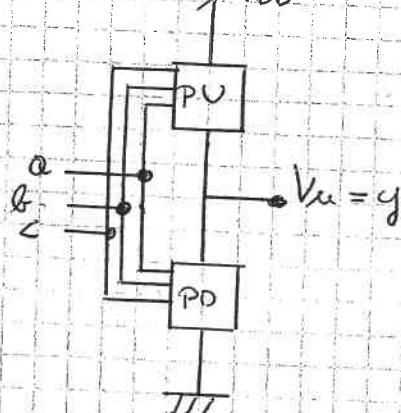
(con $n = \text{FAN IN}$)

Le porte NOR e NAND non sono equivalenti perché la mobilità n e p è diversa e quindi i p-MOS sono meno efficienti. E meglio mettere in parallelo p-MOS e in serie n-MOS.

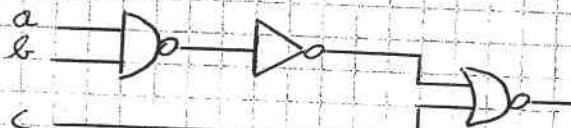
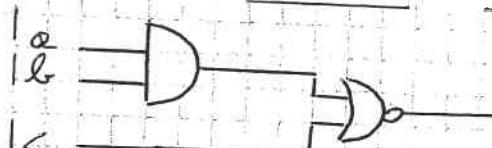
FUNZIONE ARBITRARIA

$$y = A \circ B + C$$

usando sempre il principio delle mutue esclusioni



C-MOS RATIOLESS



→ ogni componente si può realizzare
se in logica C-MOS.

4 transistor \times 1 NAND (2 ingressi)

2 transistor \times 1 NOT

4 transistor \times 1 NOR (2 ingressi)

10 transistor in totale

→ Bisogna restringere un circuito in cui

PV si accende } quando l'uscita della funzione è 1
PD si spegne }

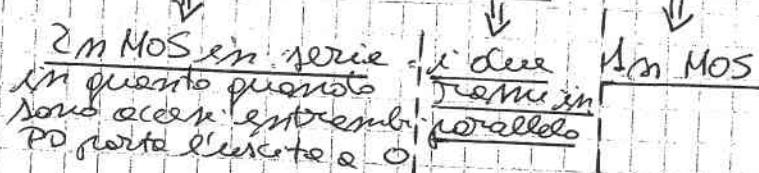
PV si spegne } quando la funzione prevede uscita 0.
PD si accende }

La rete di

- PD porta l'uscita $y = 0 \Rightarrow \bar{a} \bar{b} + c = 0 \Rightarrow \bar{a} \bar{b} + c = 1$
 $(\bar{a} \cdot \bar{b} = 1) \circ (c = 1) ; (\bar{a} = 1 \cdot \bar{b} = 1) \circ (c = 1)$

Quindi la rete di PD si deve accendere quando

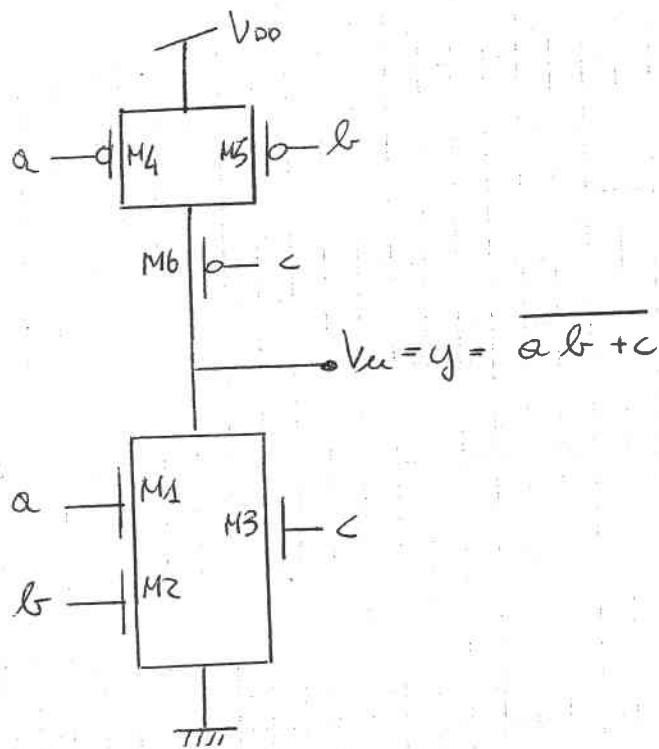
$$V_A = V_B = V_H \circ \text{quando } V_C = V_H \quad (\text{n-usato n MOS})$$



- PV porta l'uscita $y = 1 \Rightarrow \bar{a} \bar{b} + c = 1 \Rightarrow \bar{a} \bar{b} + c = 0$
 $(\bar{a} \cdot \bar{b} = 0) \circ (c = 0) ; (\bar{a} = 0 \circ \bar{b} = 0) \circ (c = 0)$

Quindi la rete di PV si deve accendere quando

$$V_A = V_B \circ V_B = V_L \quad (\text{2 p MOS in parallelo}) \text{ e } V_C = V_L \quad (\text{in serie})$$



Vengono usati 6 transistori

a	b	c	M1	M2	M3	M4	M5	M6	PD	PV	$y = \overline{ab} + c$	V_u
0	0	0	OFF	OFF	OFF	ON	ON	ON	OFF	ON	1	1
0	0	1	OFF	OFF	ON	ON	ON	OFF	ON	OFF	0	0
0	1	0	OFF	ON	OFF	ON	OFF	ON	OFF	ON	1	1
0	1	1	OFF	ON	ON	ON	OFF	OFF	ON	OFF	0	0
1	0	0	ON	OFF	OFF	ON	ON	OFF	ON	ON	1	1
1	0	1	ON	OFF	ON	OFF	ON	OFF	ON	OFF	0	0
1	1	0	ON	ON	OFF	OFF	OFF	ON	ON	OFF	0	0
1	1	1	ON	ON	ON	OFF	OFF	OFF	ON	OFF	0	0

PD e PV non sono mai accesi insieme: è ancora vera la caratteristica di RATIOLESS e di potenza rettifica nulla anche in funzione negata.

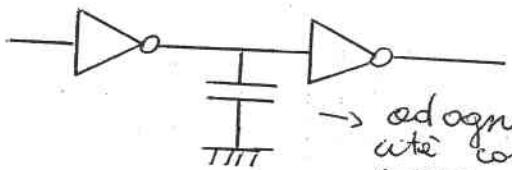
Regole per la creazione di una funzione logica negata

PRODOTTO LOGICO \Rightarrow SERIE PD e PARALLELO P-MOS PV

SOMMA LOGICA \Rightarrow PARALLELO PD e SERIE PV
P-MOS

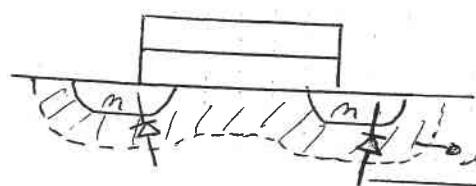
STUDIO CIRCUITO DINAMICO

Se si considera



→ ad ogni variazione di segnale la corrente continua e corrente di scorrimento corrispondentemente.
↳ Si dissipano energie.

- ↳ Potenza dinamica non è nulle perché altrimenti si arriverebbe all'attacco fisico che il movimento di corice forza ad energie dissipate nulle.
- ↳ Le potenze statiche sono nulle in prima approssimazione.



Infatti l'isolamento è dovuto delle polarizzazioni inverse della giunzione P-N che può essere considerata un diodo.

$$I_D = I_S \left(e^{\frac{V_{BD}}{V_T}} - 1 \right) = -I_S$$

statica, rispetto alle correnti inverse delle giunzioni di isolamento, è non nulla per le criticamente polarizzate.

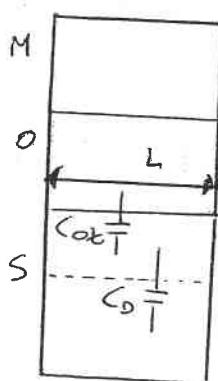
↳ per piccoli circuiti $P_{\text{statica}} = 0$.

⇒ questo è uno dei motivi per cui con le nuove tecnologie la potenza statica è un vero problema.

STUDIO DELLE CAPACITÀ PARASSITE DI UN TRANSISTOR

Per valutare il comportamento dinamico delle reti bisogna calcolare le componenti reattive (capacità parassita) associate ad un invertitore o ad un n-MOS.

Per un condensatore MOS

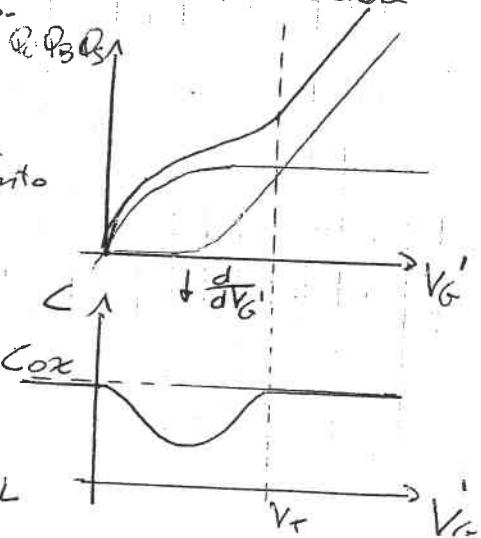


Q_C = carica di inversione
 Q_B = carica di spostamento

$Q_S = Q_C + Q_B$ (carica complessiva)

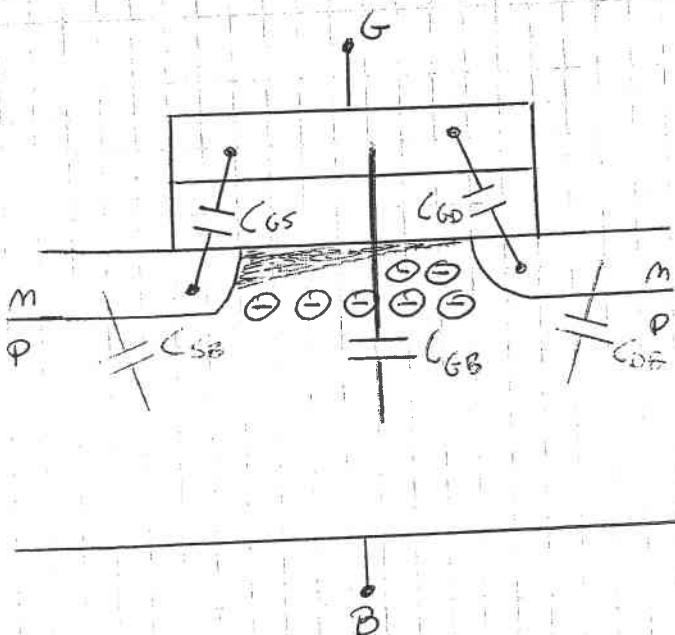
stima del carico parassita.

$$C_{ox} = \frac{\epsilon_0 \epsilon_r}{d_{ox}} \cdot W \cdot L$$



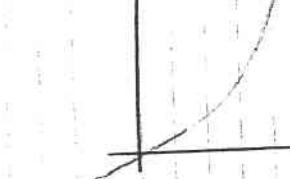
Quindi C_{GS} può considerare costante.

Ma il transistore è molto più complesso (4 terminali)



→ è una giunzione polarizzata in inverso e cui è associata una capacità di accoppiamento il cui andamento è come quello del diodo

C_{BD}



(andamento non lineare)

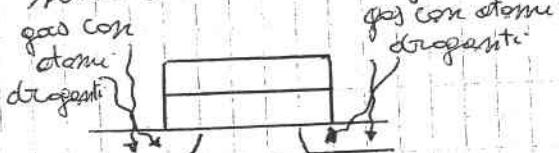
- C_{BS} è la capacità tra Gate e Bulk dovuta alle cariche superficiali di canale e alla carica dovuta allo strato sottostante.

C_{BS} è la serie tra C_{GS} e C_0 (capacità dello strato sottostante)

- C_{GS} e C_{GD} esistono perché c'è necessariamente una regione in cui le buche di Source e Drain si sovrappongono all'eletrodo di Gate. Essendo uno metallo, l'altro semiconduttore fortemente drogato con un numero di elettroni fornendo un condensatore legato quindi alla sovrapposizione.

Esiste la sovrapposizione perché:

- ① per un motivo tecnologico: nel processo di fabbricazione delle buche di Source e Drain (con metodi di mascheratura) attraverso un processo termico di diffusione gli atomi droganti si diffondono nelle rispettive regioni. Questo processo è però isotropo cioè gli atomi non formano buche precise ma si possono disporre anche sotto l'elio del Gate.

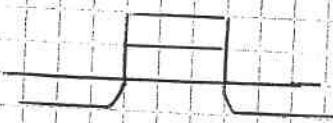


Un altro modo per creare le buche è "spruzzare" ioni droganti sulla superficie con un comune elettrospray ma anche in questo caso la dose può essere difetta del reticolato cristallino del silicio (penetrazione laterale).

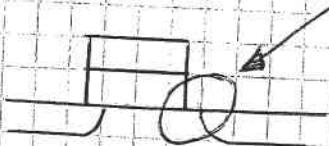
- ② Quindi la densità del canale è un po' più piccola di quella progettata ma questo è una condizione fondamentale per il funzionamento

Infatti se il progetto fosse quello di costruire le breche per permettere all'acqua di gettare questo portorebbe ad un'inevitabile errore e cioè davare errore di precisione che è uno in un processo di fabbricazione

Progetto senza tolleranze



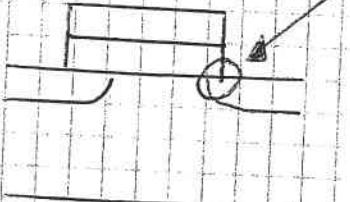
Realizzazione (non funzionante)



Progetto con tolleranze



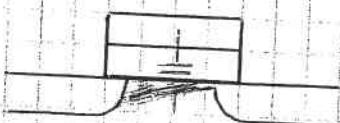
Realizzazione (funzionante)



Quando la sovrapposizione oltre ad essere inevitabile per problema di fabbricazione è utile per i problemi di accoppiamento delle strutture.

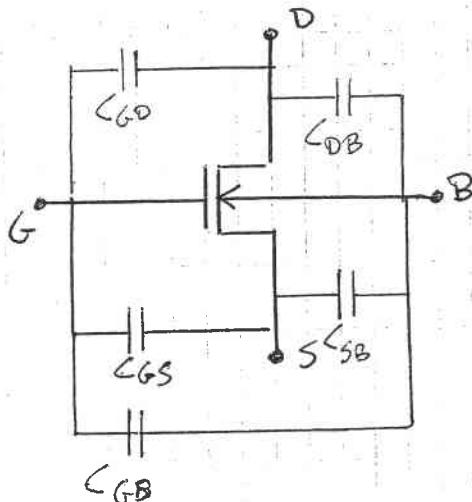
→ Quando il canale si forma le capacità Cox prevale il canale e i collegamenti con il drain e con il source. Quindi Cox & tra il gate e il canale che avendo connessioni ai suoi estremi tra drain e source si può affermare che Cox & tra il gate e il drain e source.

Se il canale non è uniforme ($V_{DS} > 0$) c'è più corrente al source che al drain e quando Cox non si ripete si ha un minor valore uniforme



$V_{DS} > 0$

→ Se puo' modellare il transistore n-MOS dinamico partendo quindi da quelle statiche e considerando tutte le capacità parassite studiate (come nel transistore bipolare dove c'erano delle capacità, una per giunzione)



Stime dei valori delle capacità

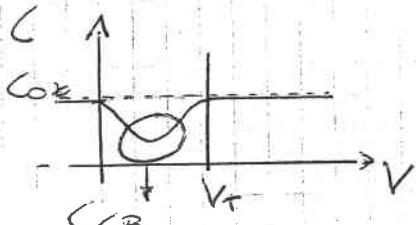
	OFF	LIN	SAT
C_{GB}	$\ll C_{ox} \approx 0$	≈ 0	$\gg 0$
C_{GS}	C_{ox}^{up}	$C_{ox}^{up} + C_{ox}/2$	$C_{ox}^{up} + C_{ox}/2$
C_{GD}	C_{ox}^{up}	$C_{ox}^{up} + C_{ox}/2$	$C_{ox}^{up} + C_{ox}/2$

- Il modello è molto complicato perché per ogni transistor bisognerebbe considerare 5 capacità parassite non lineari dependenti delle tensioni applicate.
- Nelle stime dei valori delle capacità non si considerano C_{DB} e C_{SB} perché sono le capacità di giunzione N-P, come quelle del diodo.

Bisogna stimare il valore delle capacità per poter fare delle considerazioni sulle dinamiche dei circuiti (le stime possono essere anche grossolane perché in esercizio).

m-MOS OFF

- C_{GB} è la capacità di sottostato che è minore di C_{ox} (uguale)



- C_{GS} e C_{GD} è solo la capacità di sovrapposizione (overlap). Per calcolarla bisogna calcolare la dimensione della regione di sovrapposizione e moltipicarla per la capacità C_{ox} superficiale.

m-MOS LIN

Il canale si è formato e le capacità del gate non è più connesse al substrato perché è formata del canale. Quindi $C_{GB} \approx 0$ cioè che la variazione non varia se varia la tensione nel substrato ma solo nella superficie.

Quindi C_{ox} è spartita tra Gate e Bulk.

Se il canale è completamente formato C_{ox} si egualerà a zero.

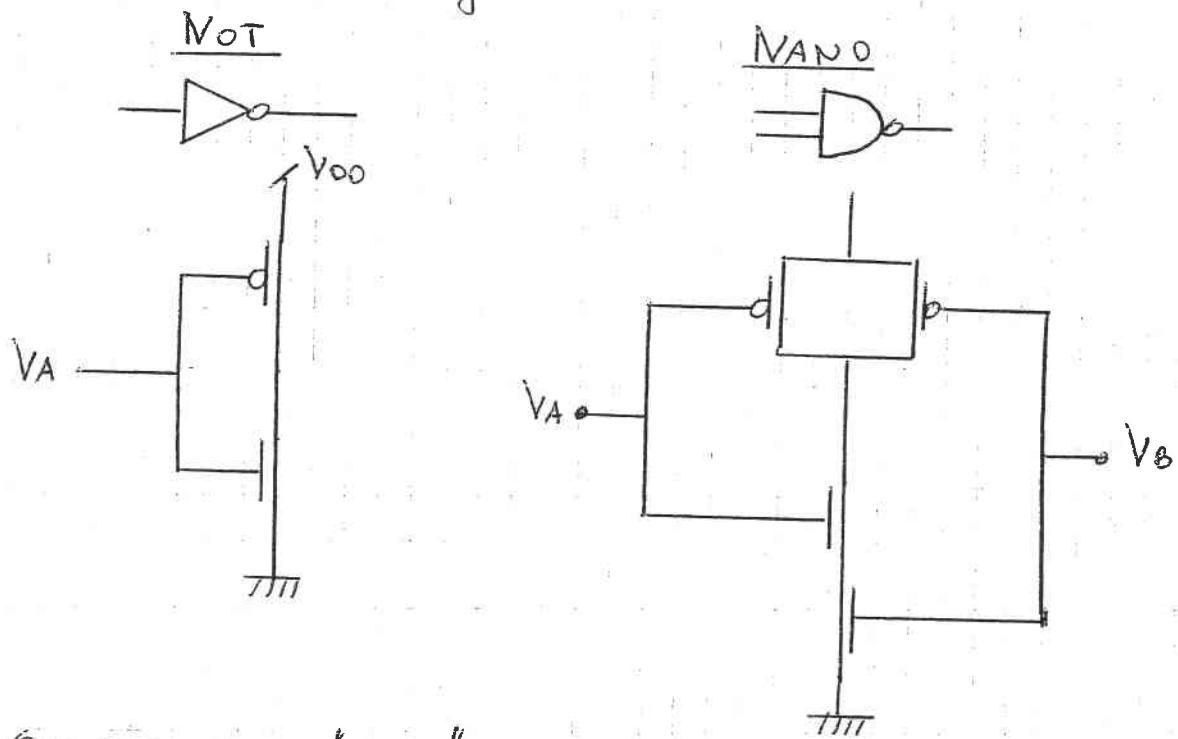
m-MOS SAT

Così $V_{DS} \uparrow$ la variazione della variazione in funzione della variazione di tensione è 0 per C_{GB} quindi $C_{GB} \approx 0$ e la curva del canale che forma uno zehnma elettronistico la curva è maggiore di Source che al Drain ($C_{GS} > C_{GD}$)

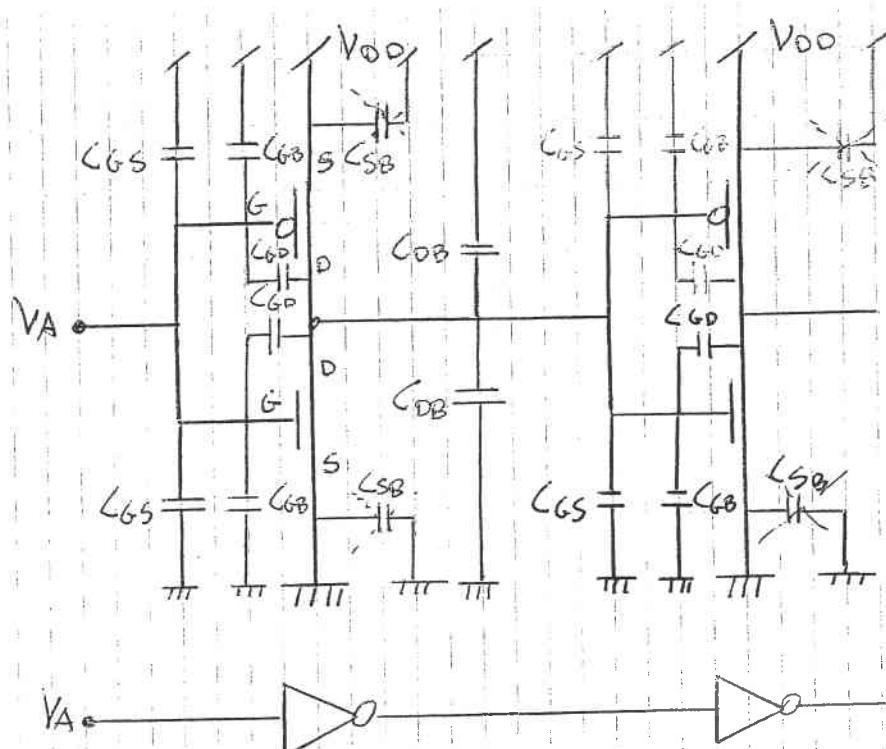
In qualsiasi condizione ogni capacità è inferiore di quella dell'oxide. ($C_{ox} \Rightarrow$ è una capacità superficiale)

- Quando il canale non è formato (n-MOS OFF)
 $C_{GS} > C_{altri}; C_{GS} < C_{ox}$
- Quando il canale è formato ($V_{GS} > V_{threshold}$) e $C_{GS}, C_{GD} < C_{ox}$ in questo C_{GS} e C_{GD} sono una frazione di C_{ox} .
 \Rightarrow Si studia il caso peggiore quindi ogni capacità viene studiata approssimata a C_{ox} .
- STUDIO DELLE CAPACITÀ PARASSITE DI UN CIRCUITO

Bisogna studiare le capacità di una catena di invertitori che è uguale alla capacità di ingresso di un'qualsiasi rete. Infatti l'ingresso di un NOT di un NANO è regolare.



Ogni ingresso "vede" un n-MOS e un p-MOS. Quindi studiare un invertitore è importante perché le considerazioni sono generali per tutti i circuiti.



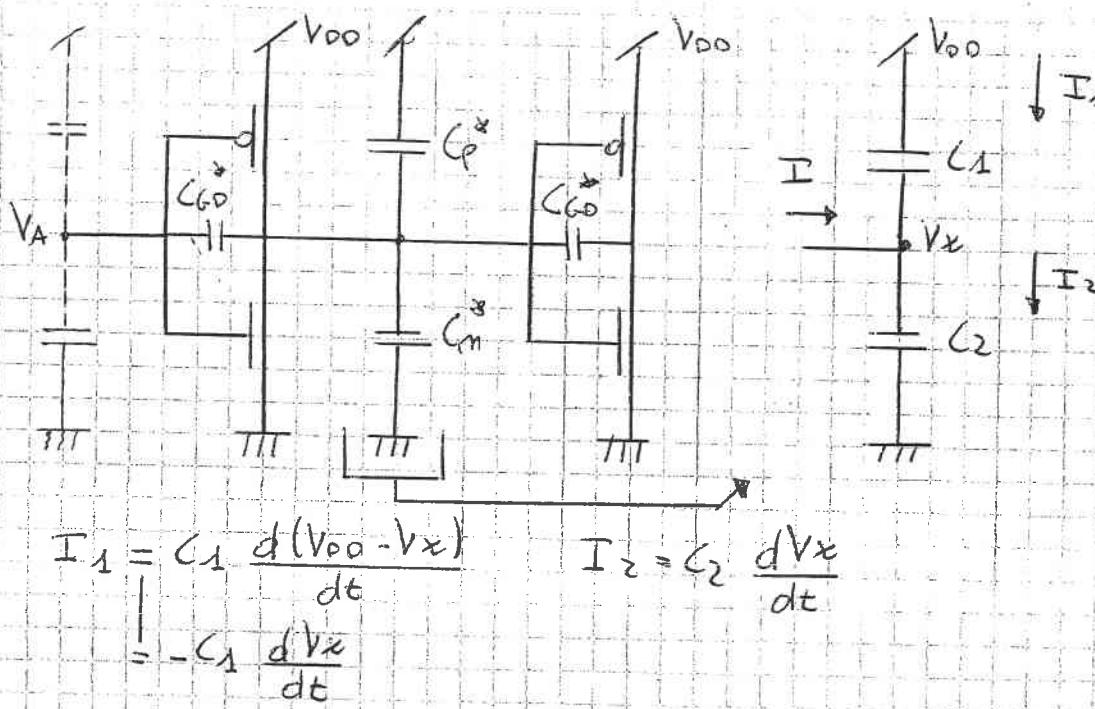
- Capacità per 2° m-MOS
- capacità del 2° p-MOS
- capacità per 1° m-MOS
- capacità per 1° p-MOS

Ogni transistor degli invertitori è descritto dal modello delle capacità appena introdotto (5 capacità parassite per ogni transistor).

Osservazioni:

- C_{SBm} è inutile perché i due terminali sono connessi a massa
- C_{SDm} è inutile perché i due terminali sono connessi a V_{DD}
- $(C_{DBm}, C_{GSm}, C_{GBm})$ sono in parallelo e sono equivalenti a una sola capacità $C_{DBm} + C_{GSm} + C_{GBm} = C_m$
- $(C_{DBp}, C_{GSp}, C_{GPp})$ sono in parallelo e sono equivalenti a una sola capacità $C_{DBp} + C_{GSp} + C_{GPp} = C_p$
- (C_{GDM}, C_{GDP}) sono in parallelo e sono equivalenti a una sola capacità $C_{GDM} + C_{GDP} = C_G$

Il circuito diventa =>



$$I = I_2 - I_1 = C_2 \frac{dV_x}{dt} + C_1 \frac{dV_x}{dt} = (C_1 + C_2) \frac{dV_x}{dt}$$

connessione con
il resto del circuito

$$\frac{V_x}{(C_1 + C_2)}$$

La rete equivalente è

Cioè i due condensatori (C_1 e C_2) sono in parallelo.

Quindi $C^{**} = C_m + C_p$

- C_{GD}^{**} è una capacità che sta tra il nodo d'ingresso e quello uscita. Studia caso generale e dell'effetto dell'impedenza

Bisogna vedere quale è la relazione tra I_{in} ed I_{out}

\Rightarrow Approssimazione del 1° ordine cioè si approssima il comportamento delle reti con un comportamento lineare.

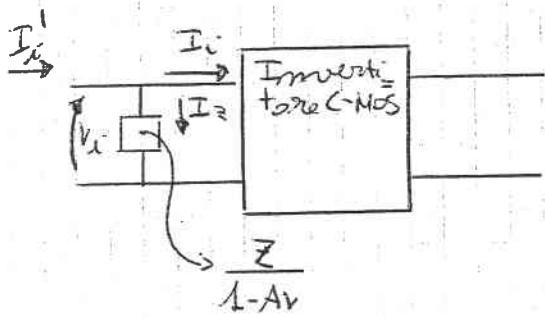
La rete si definisce $V_u = A_V \cdot V_i$

è vero per ogni punto dell'invertitore in quanto $A_V = \frac{dV_u}{dV_i}$

l'approssimazione è considerare ogni punto della rete iniziale con la sua tangente.

$$I_i' = I_i + I_z \quad \text{ma} \quad I_z = \frac{V_i - V_u}{z} = \frac{V_i - A_V V_i}{z}$$

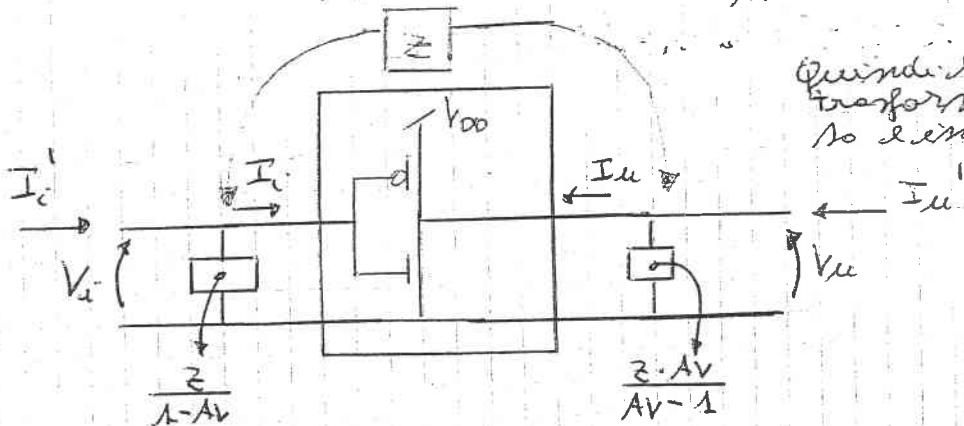
$$I_i' = I_i + V_i \frac{(1 - A_V)}{z} \Rightarrow I_i' = I_i + \frac{V_i}{A - A_V}$$



L'impedenza è vista all'ingresso

$$I_{u'} = I_u - I_z = I_u - \frac{V_i - V_u}{Z} = I_u - \frac{\frac{V_u}{Av} - V_u}{Z}$$

$$I_{u'} = I_u - \frac{V_u}{\frac{1}{Av} - 1} = I_u + \frac{V_u}{\frac{Av - 1}{Av}} = I_u + \frac{V_u}{\frac{Z \cdot Av}{Av - 1}}$$



Quindi l'impedenza si trasforma in una d'ingresso e in una d'uscita

se $Av \rightarrow 0$ allora $\left\{ \begin{array}{l} \frac{Z}{1-Av} \rightarrow Z \text{ (impedenza d'INGRESSO)} \\ \frac{Z \cdot Av}{Av - 1} \rightarrow 0 \text{ (impedenza d'USCITA)} \end{array} \right.$

se $Av \rightarrow +\infty$ allora $\left\{ \begin{array}{l} \frac{Z}{1-Av} \rightarrow 0 \text{ (impedenza d'INGRESSO)} \\ \frac{Z \cdot Av}{Av - 1} \rightarrow Z \text{ (impedenza d'USCITA)} \end{array} \right.$

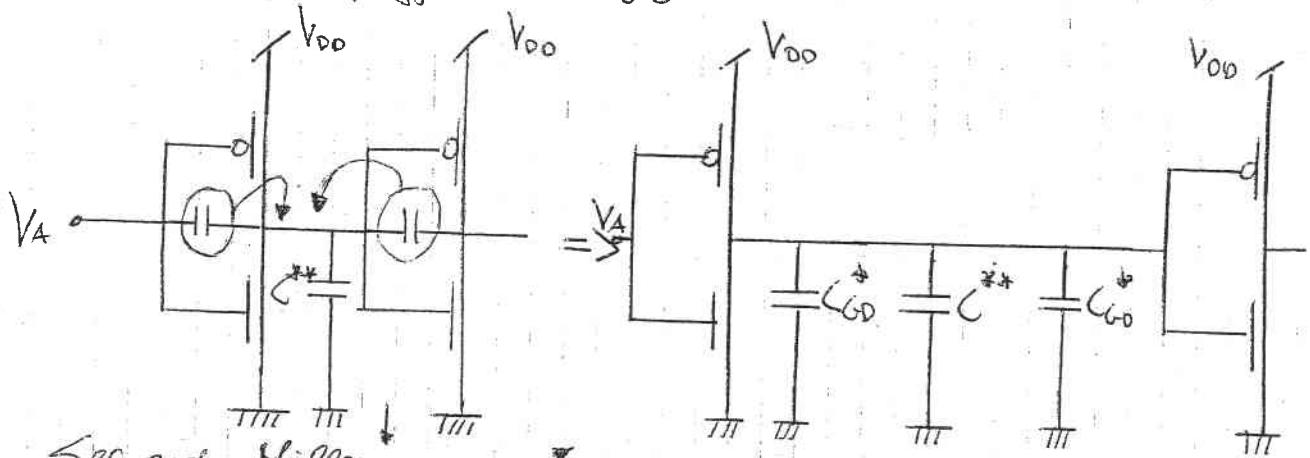
Quando per piccoli guadagni l'impedenza si vede solo nell'ingresso per grande solo nell'uscita.

Indetti Av prendendo dire $\frac{dV_u}{dt}$ grande e grande l'effetto dell'impedenza è forte sull'uscita.

Se Av è piccolo $\frac{dV_u}{dt}$ è piccolo l'impedenza d'uscita non conta rispetto a quelle d'ingresso.

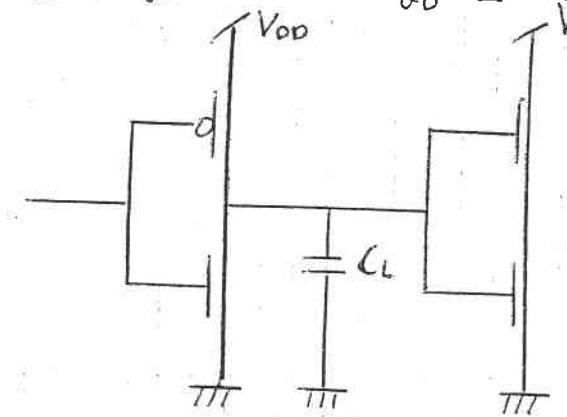
Questo è l'effetto Miller (dal teorema di equivalenza di Miller): la capacità a cavallo tra l'ingresso e l'uscita si può spaccare in due contributi equivalenti riportate all'ingresso e all'uscita.

La capacità peggiorante è C_{GD}^* . Quindi questo capacità può essere rimossa e portata all'ingresso e all'uscita con il valore peggiorante C_{GD}^{**} .



Secondo Miller

$$C_L = C_{GD}^* + C^{**} + C_{GD}^* \approx C_0 \cdot x \cdot W \cdot L \quad (\text{nella ipotesi che non tutti i transistor siano uguali})$$

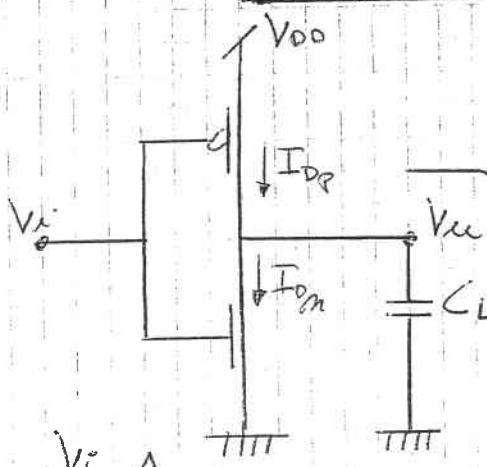


Siccome i due invertitori sono in cascata lo stato del 1° è opposto al secondo. Se uno dei due stadi è in una condizione in cui l'impedenza è sull'uscita quella necessaria ha l'impedenza in ingresso

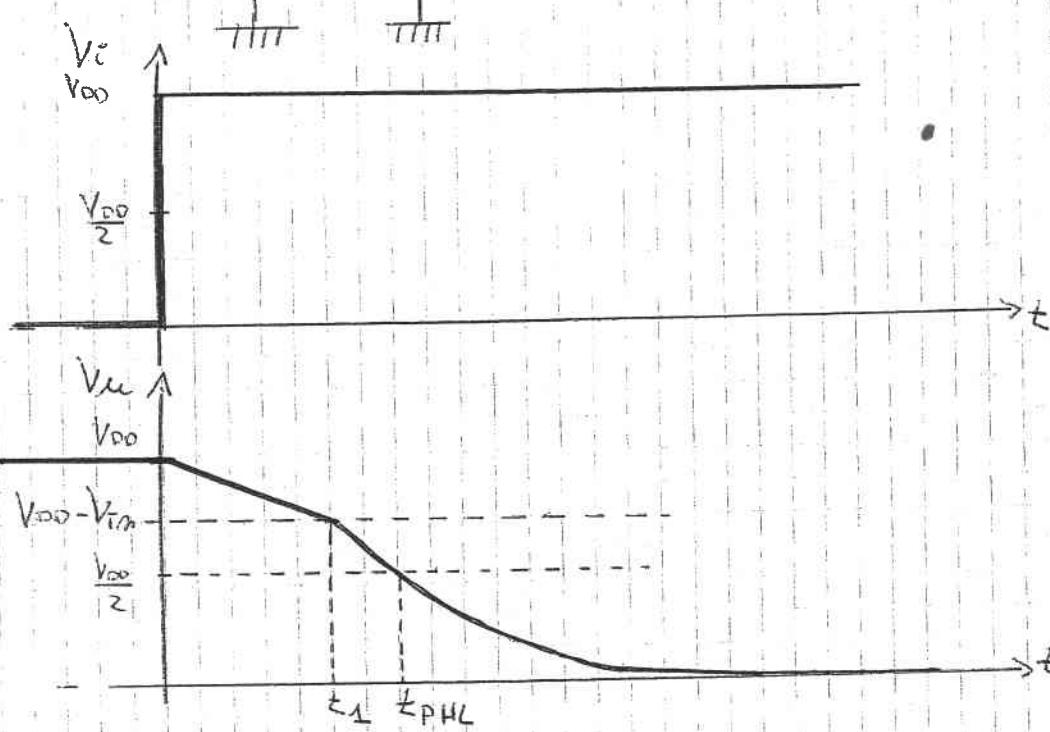
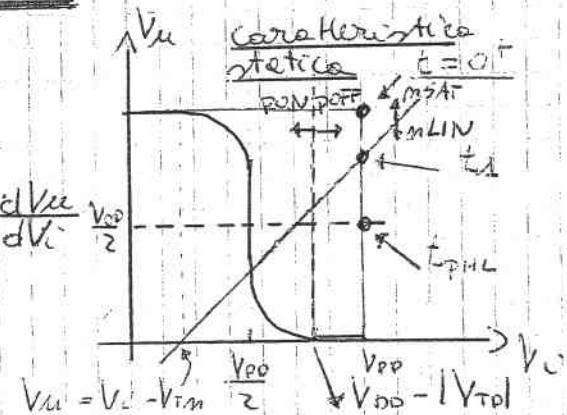
C_L è una sola capacità che è correttamente collegata a $W \cdot L$
 \Rightarrow Aumentare la dimensione di un transistore significa aumentare β e anche la capacità parallela.

RISPOSTA DINAMICA DEL CIRCUITO

CALCOLO DI t_{PHL}



$$I_C = C \cdot \frac{dV_U}{dV_I} \frac{V_{DD}}{2}$$



$t < 0$, $V_U = V_{DD}$, della caratteristica statica, $V_U = V_{DD}$

$t \rightarrow +\infty$, $V_U = 0$, della caratteristica statica $V_U = 0$

Per il calcolo di t_{PHL} bisogna calcolare il tempo che intercorre da quando V_U è a metà della sua excursione ($V_{DD}/2$) a quando V_U è a metà della sua excursione.

$$t = 0^+ \quad V_U = V_{DD} \quad V_U = V_C(0^+) = V_C(0^-) = V_{DD}$$

$$V_{SGP} = V_{DD} - V_U = 0 \Rightarrow pOFF$$

$$V_{GSm} = V_U = V_{DD} > V_T \Rightarrow mON$$

$$\text{H}_D: nSAT \quad V_{GSm} < V_{DSm} + V_{TM} \Rightarrow V_U < V_U + V_{TM} \Rightarrow V_U > V_{DD} - V_{TD}$$

$$mLIN \quad V_{GSm} > V_{DSm} + V_{TM} \Rightarrow V_U > V_U + V_{TM} \Rightarrow V_U < V_{DD} - V_{TM}$$

Il transitorio si compone di due tratti:

per $V_{DD} - V_{Th} < V_u < V_{DD}$ allora m-SAT }
 per $V_u < V_{DD} - V_{Th}$ allora m-LIN } P è sempre OFF

m-SAT, P OFF

$$I_{DP} = I_{Dm} + I_c$$

$$I_{Dm} + I_c = 0$$

$$I_{Dm} = -I_c$$

$$\begin{aligned} I_{Dm} &= \frac{\beta_m}{2} (V_{GS} - V_{Th})^2 = \frac{\beta_m}{2} (V_i - V_{Th})^2 \\ &= \frac{\beta_m}{2} (V_{DD} - V_{Th})^2 \end{aligned}$$

$$I_c = C_L \frac{dV_u}{dt}$$

per $0 < t < t_1$

$$\frac{\beta_m}{2} (V_{DD} - V_{Th})^2 = -C_L \frac{dV_u}{dt}$$

$$\int_0^t dt = \int_{V_{DD}}^{V_u(t)} \frac{2 C_L}{\beta_m (V_{DD} - V_{Th})^2} dV_u$$

$$t = -\frac{2 C_L}{\beta_m (V_{DD} - V_{Th})^2} \cdot (V_u(t) - V_{DD})$$

Siccome $V_u(t_1) = V_{DD} - V_{Th}$ allora

$$t_1 = \frac{2 C_L}{\beta_m (V_{DD} - V_{Th})^2} \cdot (V_{DD} - V_{Th} - V_{DD})$$

$$t_1 = \frac{2 C_L V_{Th}}{\beta_m (V_{DD} - V_{Th})^2}$$

$$t_1 = \frac{2 C_L V_{Th}}{\beta_m (V_{DD} - V_{Th})^2}$$

$$V_u(t) = V_{DD} - \frac{\beta_m (V_{DD} - V_{Th})^2}{2 C_L} \cdot t \quad (\text{retro})$$

Inoltre il condensatore si scarica linearmente nel tempo in quanto la corrente è costante.

per $t_1 < t < t_{PHL}$

$$t : t_1 \rightarrow t_{PHL}$$

$$V_u = V_{DD} - V_{Th} \rightarrow \frac{V_{DD}}{2}$$

m-LIN, P OFF

$$I_{DP} = I_{Dm} + I_c = 0$$

$$I_{Dm} = -I_c$$

$$I_{Dm} = \beta_m \left\{ (V_i - V_{Th}) V_u - \frac{V_u^2}{2} \right\}$$

$$I_c = C_L \frac{dV_u}{dt}$$

$$\beta_m \left\{ (V_{ce} - V_{TM}) V_{ce} - \frac{V_{ce}^2}{2} \right\} = -C_L \frac{d V_{ce}}{dt}$$

$$\int_{t_1}^{t_2} dt = \int \frac{\frac{V_{DD}}{2}}{\frac{\beta_m}{2} \left\{ z(V_{DD} - V_{TM}) V_{ce} - \frac{V_{ce}^2}{2} \right\}}$$

$$E_{PHL} - E_S = - \frac{C_L \cdot z}{\beta_m} \cdot \int_{V_{DD}-V_{TM}}^{\frac{V_{DD}}{2}} \frac{d V_{ce}}{V_{ce}(-V_{ce} + z(V_{DD}-V_{TM}))}$$

$$= \frac{2 C_L}{\beta_m} \cdot \int_{V_{DD}-V_{TM}}^{\frac{V_{DD}}{2}} \frac{d V_{ce}}{V_{ce} \{ V_{ce} - z(V_{DD}-V_{TM}) \}}$$

$$\int \frac{1}{V_{ce}(V_{ce}-\alpha)} d V_{ce} \quad \text{con } \alpha = z(V_{DD}-V_{TM})$$

$$\frac{1}{V_{ce}(V_{ce}-\alpha)} = \frac{A}{V_{ce}} + \frac{B}{V_{ce}-\alpha} = \frac{A(V_{ce}-\alpha) + BV_{ce}}{V_{ce}(V_{ce}-\alpha)} = \frac{V_{ce}(A+B) - \alpha A}{V_{ce}(V_{ce}-\alpha)}$$

$$\begin{cases} A+B=0 \\ -\alpha A=1 \end{cases} \Rightarrow \begin{cases} A=-\frac{1}{\alpha} \\ B=\frac{1}{\alpha} \end{cases}$$

$$= \left\{ \frac{1}{\alpha} \cdot \frac{1}{V_{ce}} + \frac{1}{\alpha} \cdot \frac{1}{V_{ce}-\alpha} \right\} d V_{ce} = -\frac{1}{\alpha} \ln |V_{ce}| + \frac{1}{\alpha} \ln |V_{ce}-\alpha| =$$

$$= \frac{1}{\alpha} \left[\ln |V_{ce}-\alpha| - \ln |V_{ce}| \right] = \frac{1}{\alpha} \ln \left| \frac{V_{ce}-\alpha}{V_{ce}} \right|$$

$$\boxed{\int \frac{1}{V_{ce}(V_{ce}-\alpha)} d V_{ce} = \frac{1}{\alpha} \ln \left| \frac{V_{ce}-\alpha}{V_{ce}} \right| + C}$$

$$E_{PHL} - t_1 = \frac{\frac{2 C_L}{\beta_m}}{z(V_{DD}-V_{TM})} \cdot \ln \left| \frac{V_{ce}-\alpha}{V_{ce}} \right| \Big| \frac{\frac{V_{DD}}{2}}{z}$$

$$= \frac{\frac{2 C_L}{\beta_m}}{z(V_{DD}-V_{TM})} \cdot \ln \left[\frac{\frac{V_{DD}}{2} - z(V_{DD}-V_{TM})}{\frac{V_{DD}}{2}} \right] \cdot \frac{\frac{V_{DD}-V_{TM}}{V_{DD}-V_{TM}-z(V_{DD}-V_{TM})}}{-1}$$

$$t_{PHL} - t_A = \frac{2C_L}{\beta_m} \cdot \ln \left| \frac{V_{DD} - 4V_{DD} + 4V_{TM}}{V_{DD}} \right| - 1$$

$$= \frac{2C_L}{\beta_m} \cdot \ln \left(\frac{3V_{DD} - 4V_{TM}}{V_{DD}} \right)$$

$$E_{PHL} = \frac{2C_L V_{TM}}{\beta_m (V_{DD} - V_{TM})^2} + \frac{2C_L}{\beta_m} \cdot \ln \left(\frac{3V_{DD} - 4V_{TM}}{V_{DD}} \right)$$

$$t_{PHL} = \frac{2C_L}{\beta_m (V_{DD} - V_{TM})} \cdot \left\{ \frac{V_{TM}}{V_{DD} - V_{TM}} + \frac{1}{2} \ln \left(3 - \frac{4V_{TM}}{V_{DD}} \right) \right\}$$

se $V_{DD} \gg V_{TM}$

$$t_{PHL} = \frac{2C_L}{\beta_m (V_{DD} - V_{TM})} \cdot \left\{ \frac{V_{TM}/V_{DD}}{1 - V_{TM}/V_{DD}} + \frac{1}{2} \ln \left(3 - \frac{4V_{TM}}{V_{DD}} \right) \right\}$$

piccolo
piccolo
staccabile

però è ovviamente un quanto
 $V_{DD} > V_{TM} + |V_{TP}|$ e se voле la complementarietà del transistore
 V_{DD} è almeno il doppio di V_{TM} .

$$t_{PHL} = \frac{2C_L}{\beta_m \cdot V_{DD}} \cdot \frac{1}{2} = \frac{C_L}{\beta_m \cdot V_{DD}} \quad (\text{usato per ragionamento qualitativo})$$

se $V_{DD} \gg V_{TM}$ $t_{PHL} \approx \frac{C_L}{\beta_m \cdot V_{DD}}$

- Per il t_{LH} il risultato è analogo cambiando V_{TM} con $|V_{TP}|$ e β_m con β_p

ANALISI DEL TEMPO DI PROPAGAZIONE

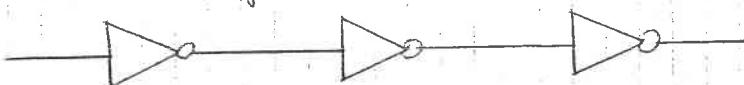
$$t_p \approx \frac{C_L}{\beta \cdot V_{DD}} \quad \text{Il ritardo dipende da:}$$

- ① C_L : se è alto occorre più tempo per caricare / scaricare.
- ② β : aumentando β aumenta la corrente che carica / scarica più velocemente le capacità.
- ③ V_{DD} : sembra strano e dovrebbe dipendere perché più è alto più carica bisogna spostare delle capacità. Ma la corrente dipende dal quadrato delle tensioni applicate e quindi il crescere delle V_{DD} fa il t_p crescere linearmente a causa dell'aumento di carica da spostare del condensatore ma diminuisce quadraticamente grazie all'aumento di corrente. Quindi $t_p \propto \frac{V_{DD}}{V_{DD}^2} \propto \frac{1}{V_{DD}}$.

Per progettare un circuito molto veloce bisogna avere t_p piccolo:

⇒ Aumentare troppo V_{DD} provoca un eccessivo aumento di corrente e quindi un elemento di potenza dimensione contenuta.

⇒ Nell'ipotesi che il circuito sia formato da una catena di invertitori uguali:



$$C_L = C_{ox} \cdot W \cdot L \quad \beta_m = C_{ox} \cdot \mu_n \frac{W}{L}$$

Sembra che per aumentare t_p basterebbe aumentare W in modo che β_m sia grande, ma

$$t_p \propto \frac{C_{ox} \cdot W \cdot L}{C_{ox} \mu_n} = \frac{L^2}{\mu_n}$$

⇒ Quindi nell'ipotesi che la capacità di carico sia data dalla capacità d'ingresso dello stesso seguente valentissimo precedente AUGMENTARE la LARGHEZZA dei transistor non modifica t_p in quanto aumentando W si aumenta la carica da spostare e la corrente di scarica delle stesse intensità.

⇒ L'idea essere grande il più piccolo possibile \Rightarrow fondamentale delle microelettroniche.

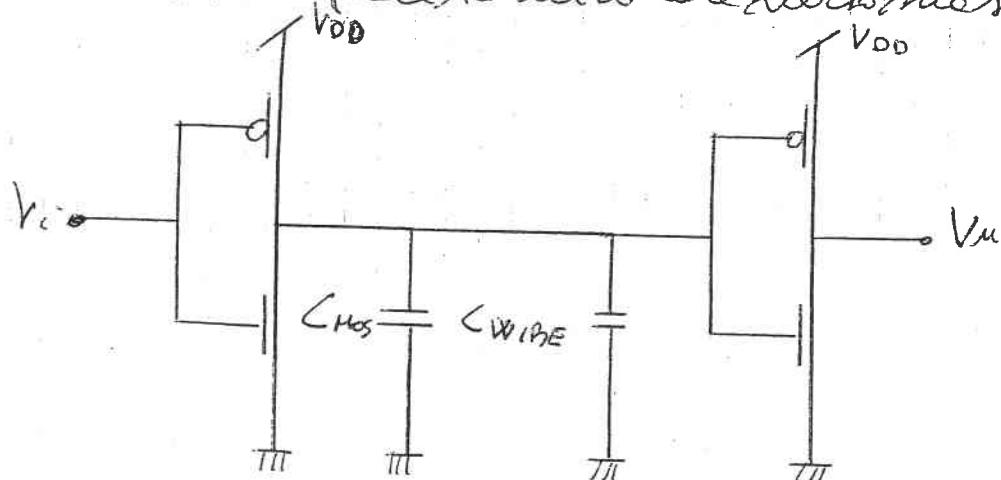
L'ideale → più transistor e quindi funzione più complessa
circuito più veloce
consumo elementi più piccoli

In una catena di dispositivi tutti uguali tra di loro aumentare le dimensioni garantisce un incremento delle velocità. L'unico modo per variare t_p è incrementare V_{DD} , provvidendo però l'elemento di potente dissipata.

Il compromesso è o

- ① avere un dispositivo a bassa velocità e basso potere dissipato (laptop MP3, portatile)
 - ② avere un dispositivo veloce con maggiore consumo (computer collegato alla rete).
- ↳ Questo è vero però se la capacità dipende solo dello stesso inversore.

Pero bisogna considerare un'ulteriore capacità, oltre a quelle del Mos: connettendo due invertitori con un filo si crea una capacità ulteriore verso massa.



C_{WIRE} è in parallelo con C_{MOS} che è la capacità complessiva dell'invertitore.

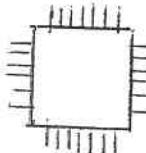
⇒ Se ci sono due invertitori sono realizzati nello stesso circuito integrato a breve distanza l'uno dall'altro (BREVE CONNESSIONE LOCALE) il filo può essere un perno di alluminio lungo quasi 1 μm separato dai metalli con un oppido spazio.
Presto: C_{WIRE} è trascurabile rispetto a C_{MOS} .

Interconnessione breve ⇒ $C_{WIRE} \ll C_{MOS}$

↳ i risultati ottenuti per t_p sono corretti.

Esempio: in un circuito integrato un'ulteriore capacità:

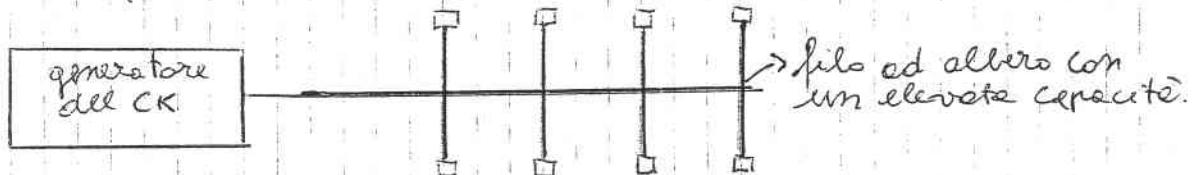
- ② Una catena di invertitori (o altre porte logiche) è finita e termina in generale ad un piedino di un circuito integrato.



→ i piedini sono mm di alluminio e non più μm. La capacità è quindi elevata.

Quindi non si può trascurare la capacità di interconnessione nel momento in cui ha dimensioni molto più elevate di quelli di un transistor.

- ⑥ Esistono interconnessioni nel chip che non sono locali come quelle per il segnale di clock



(il segnale di clock è utile per una rete sequenziale sincrona in quanto un suo evento abilita ogni elemento della rete sincrona e commette il suo stato)

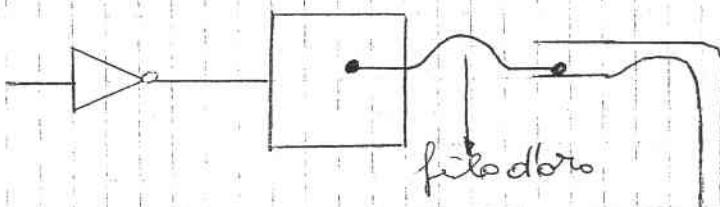
Il segnale di clock è distribuito a una moltitudine di elementi del circuito attraverso un "albero di clock".

↳ la capacità dei fili non è trascurabile e può significativamente in questo il segnale del clock deve raggiungere ogni singolo flip-flop del circuito.

Quando $C_{WIRE} \gg C_{MOS}$

• Studio di t_p considerando la connessione col piedino.

L'ultimo emettitore viene collegato col piedino attraverso una soldatrice che collega il substrato di riferimento con il piedino attraverso un solo filo d'oro.



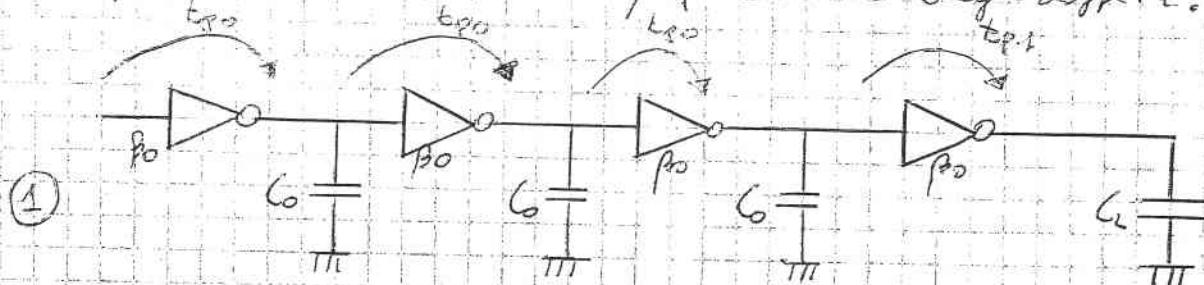
La soldatrice viene effettuata con meccaniche apposite di microsoldatura che però crea un collegamento molto più grande dei transistor C-MOS (circa 100 volte).

Quindi se il lato della soldatrice è 100 volte quello del transistor, la sua area è 10.000 volte più grande e perciò anche il ritardo è 10.000 volte più grande.

Dato le lunghezze estese dei transistori progettati in modo da avere buone prestazioni (cavendone le dimensioni), quando il segnale d'uscita proietta velocemente deve essere consegnato al piedino (per d'uscite) dove subisce una capacità 10.000 volte più grande e quindi ha un tempo 10.000 volte più grande.

- ① \Rightarrow Bisogna considerare un circuito in cui le montagne dipendente delle dimensioni dei dispositivi non è dominato dalla capacità esterna.

In questo caso aumentare β può dare degli effetti:



- Ogni inverter è correttamente dell'etapa β_0
- C_0 è la capacità dominante delle capacità d'ingresso dei transistori in quanto le interconnessioni sono brevi.
- C_L è la capacità di interconnessione con un piedino.

$$\beta_0 = C_{ox} \cdot \mu_n \cdot \frac{W}{L_{MIN}} \quad C_0 = C_{ox} \cdot W \cdot L_{MIN} \quad C_L \gg C_0$$

$$C_L = R \cdot C_0 \quad \text{con } R \gg 1 \quad R = 10^3 \text{ a } 10^4$$

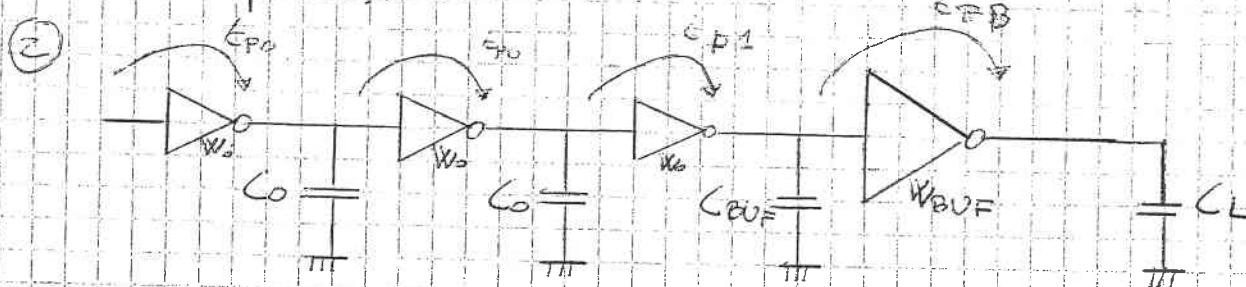
Conoscendo le varie capacità e i parametri β si può calcolare il tempo di propagazione

$$t_{B0} = \frac{C_0}{\beta_0 \cdot V_{DD}} \quad t_{P1} = \frac{C_L}{\beta_0 \cdot V_{DD}} = \frac{R \cdot C_0}{\beta_0 \cdot V_{DD}} = R \cdot t_{B0}$$

} Quando il tempo di propagazione attacca all'ultimo stadio è R meglio che di t_{B0} .

(2) \Rightarrow Se si aumenta β dell'ultimo stadio non si aumenta la capacità di carico in quanto non è il controllo delle geometrie dei transistori.

L'> Aumentando β si può accelerare il transistor t_{P1} . Ma con il costo di aumentare le capacità dello stadio precedente.



Bisogna realizzare il Buffer in modo da non sovrapportare le velocità delle rate precedente

$$W_{BUFFER} > W_0$$

Circuito di BUFFER. Modo per pilotare una capacità elevata

$$W_{BUF} = k_{W0} \quad (\text{con } k > 1)$$

$$C_{BUF} = C_0 \times W_{BUF} \cdot L_{MIN} = C_0 \times k_{W0} \cdot L_{MIN} = k_{C0}$$

(questo è detto perché costituendo un transistore K volte più grande si ottiene una C di ricezione d'ingresso K volte maggiore)

$$P_{BUF} = C_0 \times \mu_n \frac{W_{BUF}}{L_{MIN}} = C_0 \times \mu_n \frac{k_{W0}}{L_{MIN}} = k_{P0}$$

$$\frac{t_{PBUF}}{t_{P1}} = \frac{C_L}{P_{BUF} \cdot V_{DD}} = \frac{R \cdot C_0}{k_{P0} \cdot V_{DD}} = \frac{R \cdot t_{P0}}{K} \quad (\text{l'ultimo transistore è più veloce})$$

$$\frac{t_{P1}}{t_{PBUF}} = \frac{C_{BUF}}{P_0 \cdot V_{DD}} = \frac{k_{C0}}{P_0 \cdot V_{DD}} = \frac{k \cdot t_{P0}}{P_0} \quad (\text{il risultato è peggior perché il t_p aumenta K volte})$$

per $K \rightarrow 0$ $t_{P1} \rightarrow 0$ ma $t_{PBUF} \rightarrow +\infty$

per $K \rightarrow +\infty$ $t_{PBUF} \rightarrow 0$ ma $t_{P1} \rightarrow +\infty$

Bisogna trovare il K migliore (intermedio)

\hookrightarrow bisogna trovare il valore che minimizza la somma

$$t_{P1} + t_{PBUF} = \left(\left(\frac{1}{K} + \frac{R}{K} \right) t_{P0} \right)$$

il minimo della somma è dato dalla derivate posta uguale a 0.

$$\frac{d(t_{P1} + t_{PBUF})}{dK} = \left(1 - \frac{R}{K^2} \right) = 0$$

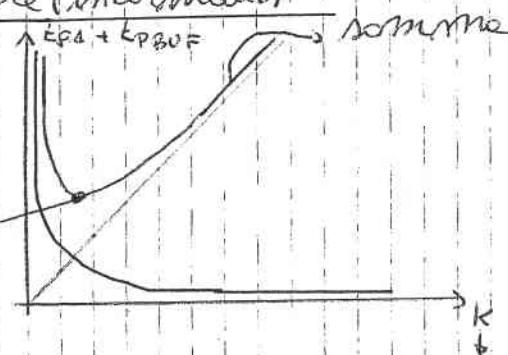
$$\text{quindi } K = \sqrt{R}$$

• Confronto circuito con e senza Breffler

$$\text{Con Breffler} \quad t_{P1} + t_{PBUF} = \left(\sqrt{R} + \frac{R}{\sqrt{R}} \right) t_{P0} = \frac{2\sqrt{R} \cdot t_{P0}}{R+1}$$

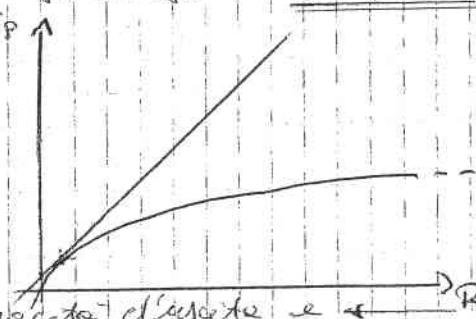
$$\text{Senza Breffler} \quad t_{P0} + t_{P1} = t_{P0} + R \cdot t_{P0} = (R+1) t_{P0}$$

tempo delle uscite due stesse.



reprende quanto il breffler è più grande di quelle precedenti

è il rapporto fra la capacità d'uscita e quelle interne $R = \frac{C_L}{C_0}$



Per $R = 10\ 000$

Senza bresser $t_{P \text{ ultimo due stadi}} = (R+1) t_{p0} = 10\ 001 t_{p0}$

Con bresser $t_{P \text{ ultimo due stadi}} = 2\sqrt{R} t_{p0} = 200 t_{p0}$

↳ è molto più veloce ma occorre molto più spazio
($\sqrt{R} = k$ volte a più cioè occorre k volte di più).

→ C_L si scarica più velocemente perché β è allora
la corrente è grande; si dice che più

$$t_{P \text{ BUF}} = \frac{R}{\sqrt{R}} t_{p0} = \sqrt{R} t_{p0}; \quad t_{p1} = k t_{p0} = \sqrt{R} t_{p0}$$

↳ queste le condizioni ottime sono quelle in cui
i due tempi sono uguali.

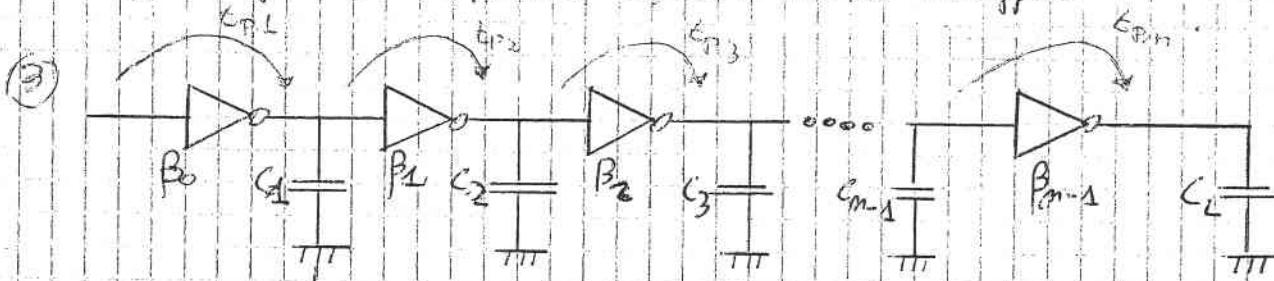
$$\left\{ \begin{array}{l} C_L = R C_0 \\ C_{BUF} = k C_0 \end{array} \right. \Rightarrow \frac{C_L}{C_{BUF}} = \frac{R}{k} = \sqrt{R} \Rightarrow \left\{ \begin{array}{l} C_L = \sqrt{R} C_{BUF} \\ k C_{BUF} = \sqrt{R} C_0 \end{array} \right.$$

$$\boxed{\frac{C_L}{C_{BUF}} = \frac{C_{BUF}}{C_0}}$$

⇒ Quando il valore ottimale della capacità di bresser
è quello medie proporzionale tra la capacità di
cavco esterno e quella interna.

⇒ Se come lo stesso precedente a quello di bresser deve
pilotare una capacità grande si può usare un ulteriore
bresser che pilota la capacità C_{BUF} .

③ Si può costruire una struttura distribuita di
bresser o più stadi, uno consente di n bresseri



Capacità d'ingresso dello stadio con β_1

$$\left. \begin{array}{l} C_0 < C_1 < C_2 \dots < C_{m-1} \\ \beta_0 < \beta_1 < \dots < \beta_{m-1} \end{array} \right\} \text{sono le capacità e i } \beta \text{ degli n bresser.}$$

Bisogna trovare:

- { ① il n° degli steli (n) } per avere una velocità massima
② le loro dimensioni

Per ogni corpo di concentrazione - capacità
per ottenere la migliore convezione, cioè i tempi uguali
tra loro

$$\frac{C_{i+1}}{C_i} = \frac{C_i}{C_{i-1}} \Rightarrow \frac{C_i}{C_{i-1}} = \frac{C_{i+1}}{C_i} = k, \quad \frac{\beta_i}{\beta_{i-1}} = \frac{\beta_{i+1}}{\beta_i} = K \text{ (da trovare)}$$

de

$$\left(\frac{C_L}{C_{BGF}} = \frac{C_{i+1}}{C_0} \right) \quad t_{p,i} = t_{p,i-1} = t_{p,i+1}$$

$$t_{p,1} = \frac{C_1}{\rho_0 V_{00}}, \quad \frac{C_1}{C_0} = K \quad (\text{con } i=0)$$

$$\Leftrightarrow t_{p,1} = \frac{k C_0}{\rho_0 V_{00}} = k t_{p,0} \rightarrow \text{tempo di propagazione interno.}$$

ma delle convezioni che la capacità C è media proporzionale
tra C_{i-1} e C_{i+1} i tempi sono teoricamente uguali perciò

$$t_{p,tot} = m \cdot k t_{p,0}$$

$$R = \frac{C_L}{C_0} = \underbrace{\frac{C_L}{C_{m-1}}}_{K} \cdot \underbrace{\frac{C_{m-1}}{C_{m-2}}}_{K} \cdot \dots \cdot \underbrace{\frac{C_2}{C_1}}_{K} \cdot \underbrace{\frac{C_1}{C_0}}_{K} = k^m$$

$$\ln R = m \ln k \quad m = \frac{\ln R}{\ln k} \quad \text{allora}$$

$$t_{p,tot} = \ln R \cdot \frac{K}{\ln k} \cdot t_{p,0}$$

$$\frac{d(t_{p,tot})}{dk} = \ln R \cdot \left(\frac{\ln k - 1}{\ln^2 k} \right) t_{p,0} = 0 \text{ quando } \ln k = 1$$

cioè $\boxed{k = e}$

$$t_{p,tot} = \ln R \cdot e \cdot t_{p,0}$$

$$m^{\circ} \text{ distante} = \ln R$$

$$\text{rapporto tra due capacità } \frac{C_i}{C_{i-1}} = e$$

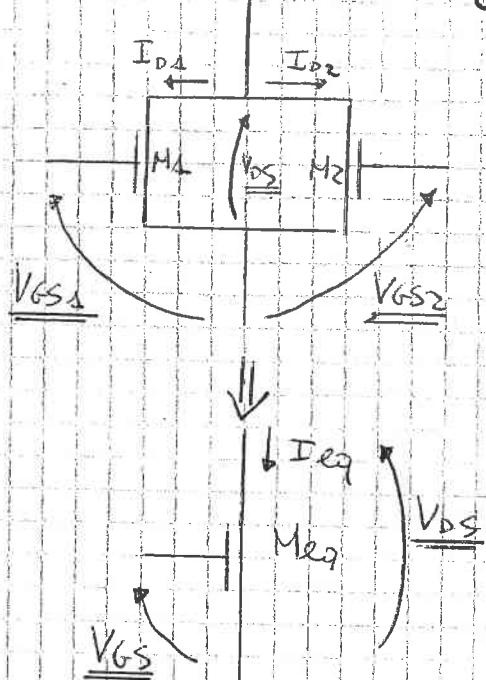
$$R = 10^{1000}$$

$$t_{p,tot, \text{ultimo-due steli}} = 10^{1001} t_{p,0}$$

$$t_{p,tot, \text{ultimo-due steli}} = 100 t_{p,0} \quad (k=100)$$

③ breffor multiplo $m \geq 9$, $C_{m-1} = e^m C_0 = 8103 C_0$, $t_{p,tot} = 25 t_{p,0}$

TRANSISTOR n MOS IN PARALLELO



$$\begin{cases} V_{DS1} = V_{DS2} = V_{DS} \\ V_{GS1} = V_{GS2} = V_{GS} \end{cases}$$

Essendo $V_{SS1} = V_{SS2}$ vuol dire che

$$\begin{cases} V_{G1} = V_{G2} \\ V_{T1} = V_{T2} = V_T \\ \beta_1 \neq \beta_2 \end{cases}$$

$$I_{eq} = I_{D1} + I_{D2}$$

Aprendo le stesse V_{GS} e V_{DS} i due nMOS le vediamo nelle stesse regole
se $M1, M2$ LIN

$$I_{D1} = \beta_1 \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

$$I_{D2} = \beta_2 \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

$$I_{eq} = I_{D1} + I_{D2} = (\beta_1 + \beta_2) \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

Se

$$\textcircled{1} \quad V_{DS1} = V_{DS2} = V_{DS}$$

$$\textcircled{2} \quad V_{G1} = V_{G2}$$

$$\textcircled{3} \quad V_{T1} = V_{T2} = V_T$$

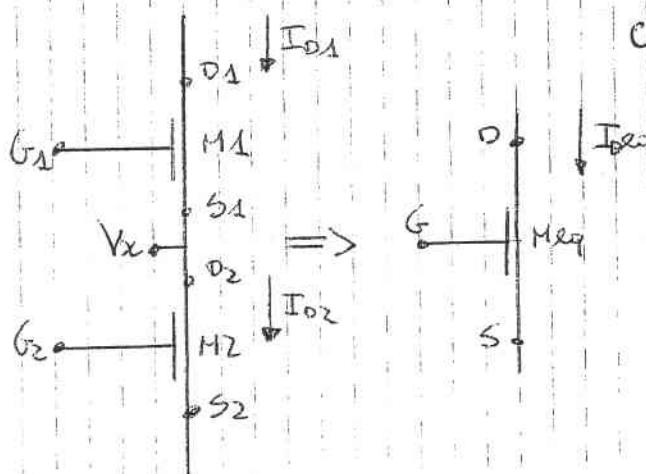
$$\Rightarrow \beta_{eq} = \beta_1 + \beta_2$$

$$\beta_{eq} = C_{ox} \mu_m \frac{W_{eq}}{L_{eq}} = \beta_1 + \beta_2 = C_{ox} \mu_m \frac{W_1 + W_2}{L}$$

$$W_{eq} = W_1 + W_2$$

$$L_{eq} = L_1 = L_2 = L_{MIN}$$

TRANSISTOR n MOS in SERIE



$$\text{Con } \begin{cases} I_{D1} = I_{D2} = I_{eq} \\ V_{G1} = V_{G2} = V_G \end{cases}$$

$$V_D = V_{D1}$$

$$V_S = V_{S2}$$

$$\text{Con } \frac{V_{T1}}{V_T} = \frac{V_{T2}}{V_T} = \frac{V_T}{2}$$

$$V_x = V_{S1} = V_{D2}$$

se M_1, M_2 LIN

$$\begin{aligned} I_{D_{eq}} &= \beta_{eq} \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\} = \beta \left\{ (V_G - V_S - V_T)(V_D - V_S) - \frac{(V_D - V_S)^2}{2} \right\} = \\ &= \beta_{eq} \left\{ (V_G - V_T) V_D - (V_G - V_T) V_S - V_D V_S + V_S^2 + \frac{V_D^2 + V_S^2 - 2V_D V_S}{2} \right\} = \\ &= \beta_{eq} \left\{ (V_G - V_T) V_D - \frac{V_D^2}{2} - (V_G - V_T) V_S + \frac{V_S^2}{2} \right\} \\ &= \beta_{eq} \left\{ \left[(V_G - V_T) V_D - \frac{V_D^2}{2} \right] - \left[(V_G - V_T) V_S - \frac{V_S^2}{2} \right] \right\} \end{aligned}$$

$$\delta(V_G, V_D)$$

$$\delta(V_G, V_S)$$

$$I_{D1} = \beta_1 \left\{ \delta(V_{G1}, V_{D1}) - \delta(V_{G1}, V_{S1}) \right\} = \beta_1 \left\{ \delta(V_G, V_D) - \delta(V_G, V_S) \right\}$$

$$I_{D2} = \beta_2 \left\{ \delta(V_{G2}, V_{D2}) - \delta(V_{G2}, V_{S2}) \right\} = \beta_2 \left\{ \delta(V_G, V_S) - \delta(V_G, V_D) \right\}$$

$$I_{D1} = I_{D2} = \beta_1 \left\{ \delta(V_G, V_D) - \delta(V_G, V_S) \right\} = \beta_2 \left\{ \delta(V_G, V_S) - \delta(V_G, V_D) \right\}$$

$$\delta(V_G, V_S) = \frac{\beta_1 \delta(V_G, V_D) + \beta_2 \delta(V_G, V_S)}{\beta_1 + \beta_2} \iff \delta(V_G, V_D)$$

$$I_{D_{eq}} = \beta_{eq} - \left\{ \delta(V_G - V_D) - \delta(V_G, V_S) \right\} = I_{D1} + \beta_1 \left\{ \delta(V_G, V_D) - \frac{\beta_1 \delta(V_G, V_D) + \beta_2 \delta(V_G, V_S)}{\beta_1 + \beta_2} \right\}$$

$$= \frac{\beta_1}{\beta_1 + \beta_2} \left\{ \beta_1 \delta(V_G, V_D) + \beta_2 \delta(V_G, V_D) - \beta_1 \delta(V_G, V_D) - \beta_2 \delta(V_G, V_S) \right\}$$

$$= \frac{\beta_1}{\beta_1 + \beta_2} \left\{ \delta(V_G, V_D) - \delta(V_G, V_S) \right\} = \beta_{eq} \left\{ \delta(V_G, V_D) - \delta(V_G, V_S) \right\} = I_{D_{eq}}$$

$$\beta_{eq} = \frac{\beta_1 \beta_2}{\beta_1 + \beta_2}$$

Se

- ① $I_{D1} = I_{D2} = I_{Deq}$
- ② $V_{G1} = V_{G2} = V_G$
- ③ $V_{T1} = V_{T2} = V_T$

$$\frac{1}{\beta_{eq}} = \frac{1}{\beta_1} + \frac{1}{\beta_2}$$

$$\Rightarrow \frac{1}{\beta_{eq}} = \frac{1}{\beta_1} + \frac{1}{\beta_2}$$

$$\frac{1}{\beta_{eq}} > \frac{1}{\beta_1} \text{ e } \frac{1}{\beta_{eq}} > \frac{1}{\beta_2} \Rightarrow \beta_{eq} < \beta_1 \text{ e } \beta_{eq} < \beta_2$$

β_{eq} diminuisce perché due transistori in serie aumentano la lunghezza del canale e quindi aumentano la resistenza e diminuiscono le correnti.

$$\beta_{eq} = \frac{1}{\frac{1}{C_{ox} \mu_n \frac{w_1}{2L_{MIN}}} + \frac{1}{C_{ox} \mu_n \frac{w_2}{2L_{MIN}}}} = C_{ox} \mu_n \cdot \frac{1}{\frac{1}{w_1} + \frac{1}{w_2}}$$

$$\text{Se } w_1 = w_2 = w \text{ e } L_1 + L_2$$

$$\beta_{eq} = \frac{1}{\frac{1}{C_{ox} \mu_n \frac{w}{L_1}} + \frac{1}{C_{ox} \mu_n \frac{w}{L_2}}} = C_{ox} \mu_n \cdot \frac{w}{L_1 + L_2}$$

PARALLELO

Il transistore equivalente ha la stessa lunghezza e la somma delle aree alle somme delle lunghezze dei transistori.

$$\beta_{eq} = \sum_{i=1}^m \beta_i$$

$$\beta_{eq} > \beta_i \forall i$$

SERIE

Il transistore equivalente ha la lunghezza pari alla somma delle lunghezze dei transistori con stessa larghezza.

$$\frac{1}{\beta_{eq}} = \sum_{i=1}^m \frac{1}{\beta_i}$$

$$\beta_{eq} < \beta_i \forall i$$

Se i due transistori sono uguali.

$$\beta_{eq} = 2\beta$$

$$\beta_{eq} = \frac{\beta^2}{2\beta} = \frac{\beta}{2}$$

Parallelo

Serie

Per i transistori uguali

$$\beta_{eq} = m \beta$$

$$\beta_{eq} = \frac{\beta}{m}$$

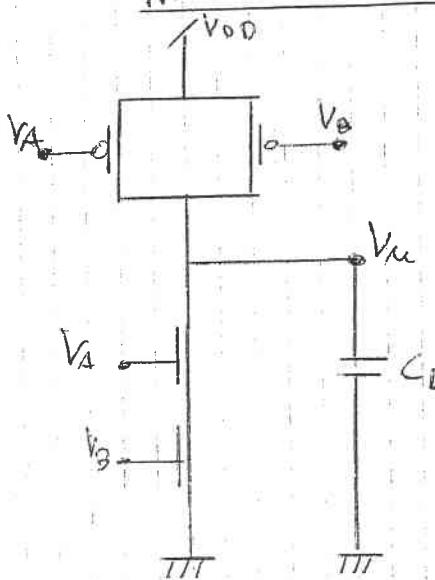
Queste regole sono importanti perché per circuiti di potere
la tensione d'ingresso è 0 o V_{DD} .
Se è 0 il transistor è spento e non si considera.
Se è V_{DD} si applicano le regole serie / parallelo.

→ Questo è utile perché essendo le reti di PV e PD formate
da transistori connessi in serie o in parallelo si possono
estendere le formule trovate per l'invertitore anche per
funzioni complicate modificando opportunamente il β_{eq} .

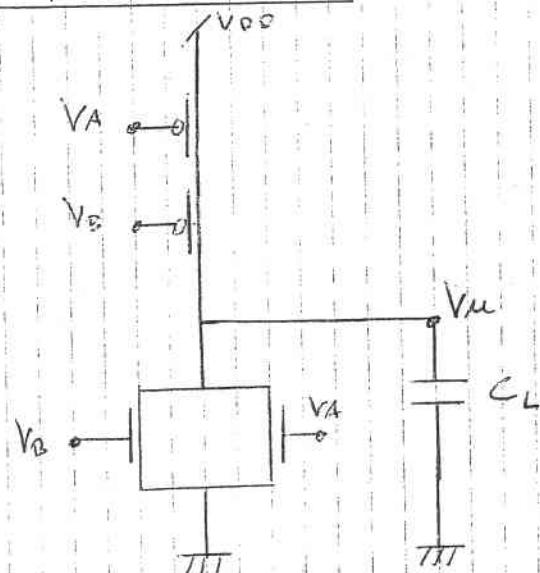
CALCOLO DEL TEMPO DI PROPAGAZIONE

$$t_p \approx \frac{C}{\beta V_{DD}}$$

NAND 2 INGRESSI

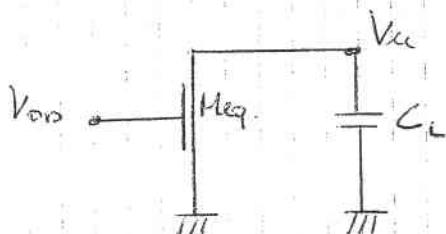


NOR 2 INGRESSI

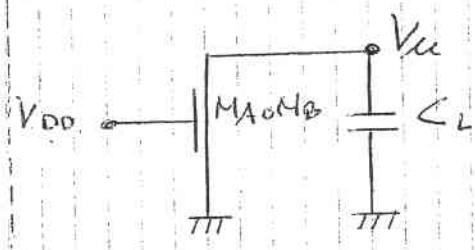


Per il tempo di discese i due
transistor devono essere accesi
entrambi.

Si studia lo scorrere delle
capacità nelle wave dei
due transistori di PD



Per il tempo di salita bisogna
considerare solo uno dei due
n-MOS accesi per il tempo
di salita peggiore



NAND

Per il tempo di salita ci sono due configurazioni possibili che variano:

- ① è acceso uno dei transistori p-MOS
- ② sono accesi tutti e due i transistori p-MOS.

Se si considera il caso peggiore, cioè il tempo più alto, bisogna considerare il caso ① in quanto il β è il più piccolo e quindi anche la corrente di corso.

$$\beta_m = \beta_p = \beta$$

$$t_{PHLWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

Ma nel caso peggiore i due n-MOS sono in NOR

$$\beta_{eq} = \frac{\beta}{2}$$

$$t_{PHLWC} = \frac{C_L}{\frac{\beta}{2} \cdot V_{DD}}$$

$$t_{PLHWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

Ma nel caso peggiore i due p-MOS uno è acceso e l'altro spento

$$\beta_{eq} = \beta$$

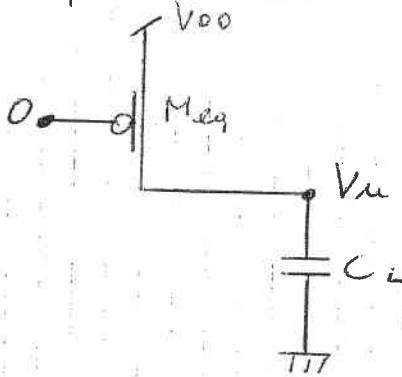
$$t_{PLHWC} = \frac{C_L}{\beta V_{DD}}$$

Ma se $\beta_m = \beta_p$ i due transistori p-e-n MOS non sono uguali. I loro β sono diversi perché hanno diverse mobilità. Il transistore p-MOS è 2-3 volte più grande degli n-MOS se $\beta_m = \beta_p$.

Se invece i due transistori sono uguali $\beta_m \approx 3\beta_p$ per il NAND il tempo di salita è minore e per il NOR il $t_{PHLWC} < t_{PLHWC}$. E meglio il parallelo con β_p perché piccolo e le NOR con β_m perché prende per corso i due tempi simili.

NOR

Per il tempo di salita si considerano due p-MOS accesi.



$$\beta_m = \beta_p = \beta$$

$$t_{PHLWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

ma nel caso peggiore è acceso 1 solo n-MOS

$$\beta_{eq} = \beta$$

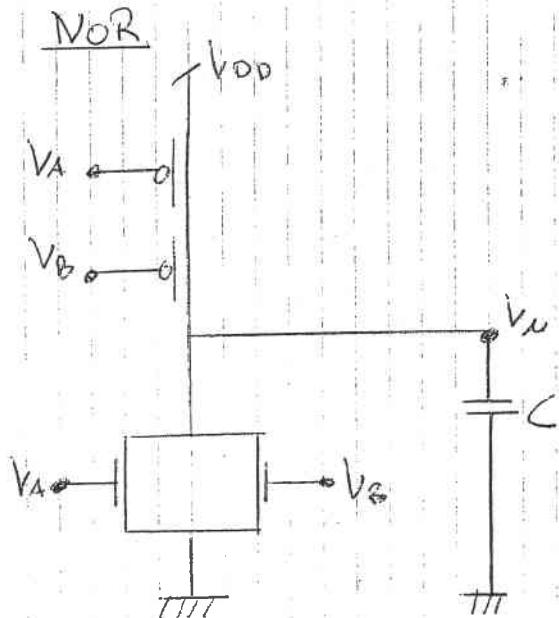
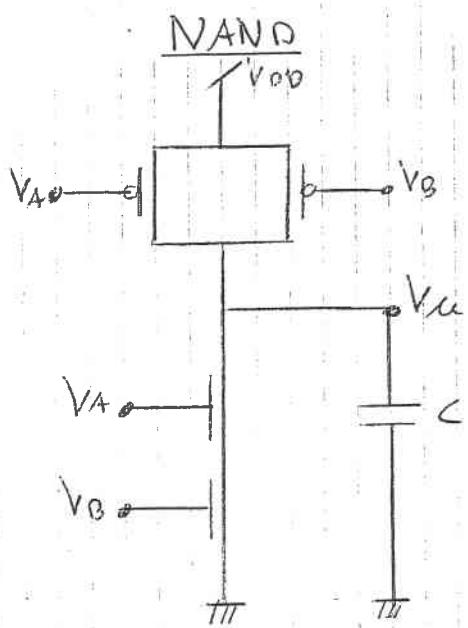
$$t_{PHLWC} = \frac{C_L}{\beta V_{DD}}$$

$$t_{PLHWC} = \frac{C_L}{\beta_{eq} V_{DD}}$$

ma i due p-MOS devono essere accesi per corso.

$$\beta_{eq} = \frac{\beta}{2}$$

$$t_{PLHWC} = \frac{C_L}{\frac{\beta}{2} V_{DD}}$$



Se i due transistor
hanno uguali dimensioni

$$\beta_M = 3\beta_P$$

$$t_{PHLWC} = \frac{C_L}{\beta_{eq} \cdot V_{DD}}$$

$$\beta_{eq} = \frac{(3\beta_P)^2}{6\beta_P} = \frac{3}{2}\beta_P$$

$$t_{PHLWC} = \frac{2}{3} \cdot \frac{C_L}{\beta_P \cdot V_{DD}}$$

$$t_{PLHWC} = \frac{C_L}{\beta_{eq} \cdot V_{DD}}$$

$$\beta_{eq} = \beta_P$$

$$t_{PLHWC} = \frac{C_L}{\beta_P \cdot V_{DD}}$$

$$t_{PHLWC} = \frac{C_L}{\beta_{eq} \cdot V_{DD}}$$

$$\beta_{eq} = 3\beta_P$$

$$t_{PHLWC} = \frac{1}{3} \frac{C_L}{\beta_P \cdot V_{DD}}$$

$$t_{PLHWC} = \frac{C_L}{\beta_{eq} \cdot V_{DD}}$$

$$\beta_{eq} = \frac{\beta_P}{2}$$

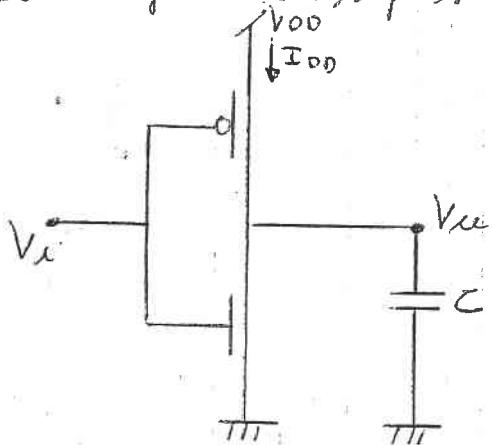
$$t_{PLHWC} = \frac{2}{3} \frac{C_L}{\beta_P \cdot V_{DD}}$$

Quando le 2 PD di n-MOS sono in serie e le 2 PU i p-MOS sono in parallelo si ottengono t_{PLHWC} e t_{PHLWC} piccole e simili.

POTENZA C-MOS IN REGIME DINAMICO

La potenza statica è praticamente nulla.

Per studiare la potenza dinamica si considera un inverter con una capacità collegata all'uscita e con un segnale d'ingresso variabile nel tempo.



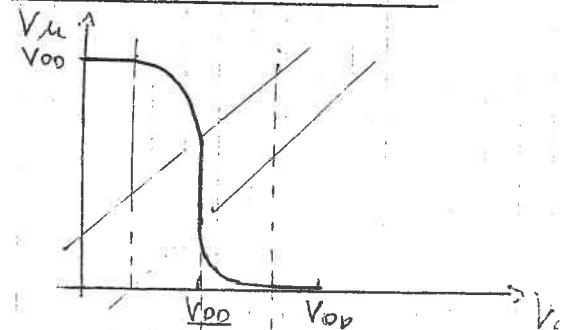
$$P = V_{DD} \cdot I_{DD}$$

$$I_{DD} = I_{DP} = I_{DN} + I_C$$

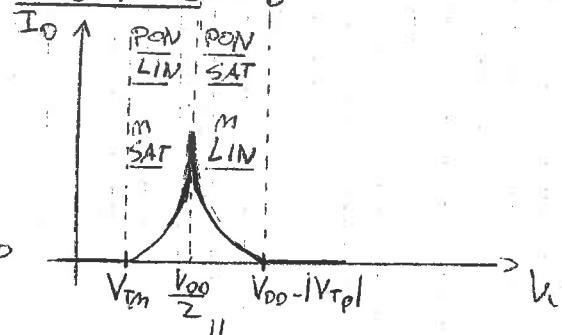
$$I_{DD} > 0 \text{ se } \rightarrow I_{DN}, I_{DP} > 0 \text{ cioè } P_{MON}$$

$$\rightarrow I_C, I_{DP} > 0 \text{ cioè } C \frac{dV_{out}}{dt} > 0 \\ \text{quando } V_{out} \uparrow$$

Caratteristica statica



Corrente I_D



è la corrente statica dell'invertitore (quindi $I_C = 0$)

↳ Ci sono quindi 2 componenti di consumo di potenza legate ad un meccanismo dinamico:

- ① le corrente I_D dovuta alla transizione di V_{DD} da 0 a V_{DD} che genera una potenza di circuito (P_{CC}) chiamata così perché la corrente fluisce quando il MOS è acceso provocando un circuito tra l'alimentazione e la massa. (questa potenza è legata indipendentemente dalla presenza del condensatore)
- ② anche se il MOS è OFF il circuito può richiedere corrente al generatore per caricare il condensatore che genera una potenza P_L (il carico (P_L) attivato dal circuito ($P_L = CARICO$)).

$$P_{DISSIPATA} \Rightarrow P_D = P_{CC} + P_L$$

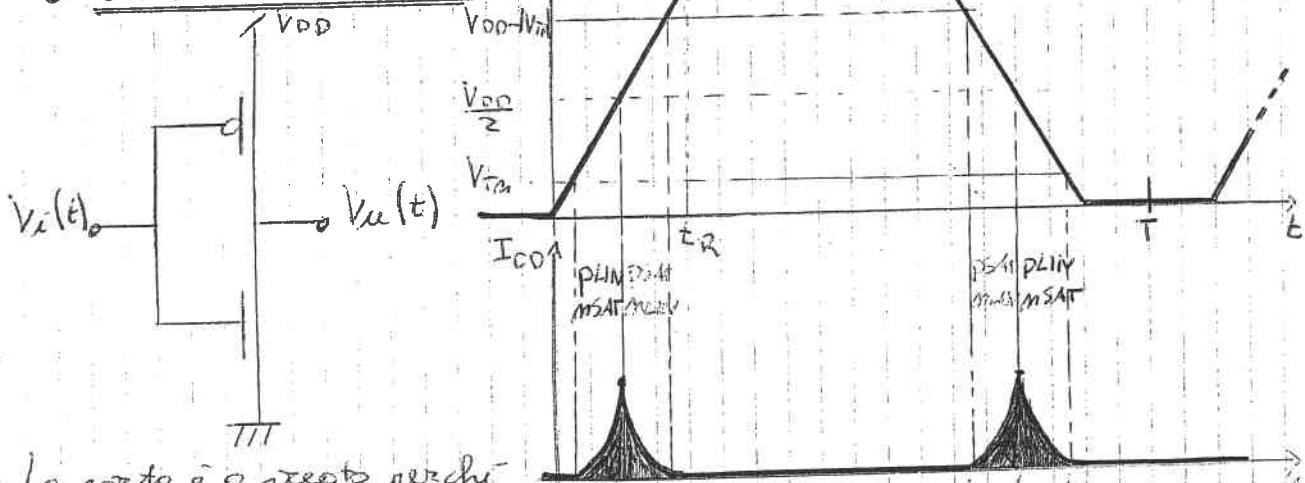
- Ipotizzando che P_{CC} e P_L siano indipendenti si possono calcolare separatamente (del teorema del principio delle sovrapposizioni degli effetti)
- Essendo P_D una potenza dinamica, associata ad una variazione, bisogna calcolare la potenza media (utile per sapere le durate e il consumo di batterie)

$$\overline{P}_D = \frac{1}{T} \cdot \int_0^T P_D dt = \frac{1}{T} \int_T (P_{CC} + P_L) dt = \frac{1}{T} \int_T P_{CC} dt + \frac{1}{T} \int_T P_L dt$$

$$\overline{P}_D = \overline{P}_{CC} + \overline{P}_L$$

V_x è il segnale di ingresso è periodico

• Calcolo di \overline{P}_{CC}



• La porta è a rete perché non si deve considerare le t_1, t_2, t_3 se faccio per calcolare P_{CC}

• La caratteristica statica può essere estesa in questo regime dinamico perché in entrambi i casi $I_{ON} = I_{DD}$ e gli effetti reattivi (capacità) non vengono considerati.

$$P_{CC} = \frac{1}{T} \int_0^T (V_{DD} - I_{DD}) dt \text{ dove } I_{DD} = I_{PP} = I_{DP}$$

Quando $I_{DD} > 0$ per $V_{in} < V_x < V_{DD} - |V_{TP}|$

La P_{CC} è tanto più grande tanto più si rimane in questo intervallo di tensione. La differenza lo fa solo il segnale d'ingresso e quando non si può considerare il segnale V_x che varia istantaneamente perché in questo modo nel tempo non c'è $I_{DD} > 0$ e quindi $P_{CC} = 0$.

→ V_x deve crescere nel tempo (per semplicità lineare)

per $V_x \leq V_{GSN} < V_{TM}$

in OFF $\Rightarrow I_{ON} = 0 \Rightarrow I_{DD} = 0$

per $V_{DD} - V_x = V_{SGP} < |V_{TP}|$ cioè $V_x > V_{DD} - |V_{TP}|$

P OFF $\Rightarrow I_{PP} = 0 \Rightarrow I_{DD} = 0$

H_D : Rete complementare

$$\beta_m = \beta_P = \beta \quad ; \quad V_{Tm} = V_{TP} = V_T$$

\hookrightarrow la sorgente logica = $\frac{V_{DD}}{2}$

$$\begin{aligned} P_{CC} &= \frac{1}{T} \cdot \int_{t_1}^{t_2} V_{DD} \cdot I_{DD}(t) dt = \frac{V_{DD}}{T} \cdot \int_{t_1}^{t_2} I_{DD}(t) dt = \\ &= \frac{V_{DD}}{T} \cdot \left\{ \int_{t_1}^{t_2} I_{DMSAT}(t) dt + \int_{t_2}^{t_3} I_{DPSAT}(t) dt + \int_{t_3}^{t_4} I_{DPSAT}(t) dt + \right. \\ &\quad \left. + \int_{t_4}^{t_5} I_{DMSAT}(t) dt \right\} = (*) \end{aligned}$$

$$I_{DMSAT}(t) = \frac{\beta}{2} (V_c(t) - V_T)^2, \quad I_{DPSAT} = \frac{\beta}{2} (V_{DD} - V_c(t) - V_T)^2$$

\Rightarrow Bisogna ricevere $V_c(t)$, che per H_D è una funzione lineare nel tempo.

$t_R \Rightarrow$ tempo di salita nel circuito.

$t_F \Rightarrow$ tempo di discesa nel circuito

H_D : Se la rete è formata da emettore complementare allora $t_R = t_F$.

\hookrightarrow Il circuito è simmetrico e quindi:

① gli intervalli in cui n-MOS è sotto $[t_1, t_2], [t_3, t_4]$ sono uguali e di conseguenza anche gli integrali.

② essendo inoltre per H_D transistor complementari allora le due aree tra $[t_1, t_2]$ e tra $[t_3, t_4]$ sono uguali.

③ gli intervalli in cui p-MOS è sotto $[t_2, t_3] e [t_4, t_5]$ sono uguali e di conseguenza anche gli integrali.

$$\overline{P_{CC}} = \frac{4V_{DD}}{T} \cdot \int_{t_1}^{t_2} I_{DMSAT}(t) dt$$

\hookrightarrow questo vale SOLO se valgono tutte le ipotesi precedenti; perché altrimenti bisognerebbe usare l'equazione precedente (*)

• Calcolo di $V_c(t)$

$$\frac{t - 0}{t_R - 0} = \frac{V_c(t) - 0}{V_{DD} - 0} \Rightarrow V_c(t) = \frac{V_{DD}}{t_R} \cdot t$$

$$\overline{P_{cc}} = \frac{4V_{DD}}{\tau} \cdot \frac{B}{2} \int_{t_1}^{t_2} \left(\frac{t}{\tau_R} V_{DD} - V_T \right)^2 dt$$

$$t_1: V_{th}(t_1) = V_T \Rightarrow \frac{V_{DD}}{\tau_R} \cdot t_1 = V_T \Rightarrow t_1 = \frac{V_T}{V_{DD}} \cdot \tau_R$$

$$t_2: V_{th}(t_2) = \frac{V_{DD}}{2} \Rightarrow \frac{V_{DD}}{\tau_R} \cdot t_2 = \frac{V_{DD}}{2} \Rightarrow t_2 = \frac{\tau_R}{2}$$

$$\overline{P_{cc}} = \frac{2V_{DD}B}{\tau} \cdot \int_{\frac{V_T\tau_R}{V_{DD}}}^{\frac{\tau_R}{2}} \left(\frac{V_{DD}}{\tau_R} t - V_T \right)^2 dt$$

$$= \frac{2}{3} \frac{V_{DD}B}{\tau} \cdot \frac{\tau_R}{V_{DD}} \left| \left(\frac{V_{DD}}{\tau_R} t - V_T \right)^3 \right|_{\frac{V_T\tau_R}{V_{DD}}}^{\frac{\tau_R}{2}} = \frac{V_T\tau_R}{V_{DD}}$$

$$= \frac{2B}{3} \frac{\tau_R}{\tau} = \left\{ \left(\frac{V_{DD}}{\tau_R} \cdot \frac{\tau_R}{2} - V_T \right)^3 - \left(\frac{V_{DD}}{\tau_R} \cdot \frac{V_T\tau_R}{V_{DD}} - V_T \right)^3 \right\}$$

$$= \frac{2B}{3} \frac{\tau_R}{\tau} \cdot \frac{V_{DD}^3}{8} \left(1 - \frac{2V_T}{V_{DD}} \right)^3$$

$$\text{se } V_{DD} \gg V_T \Rightarrow \frac{2V_T}{V_{DD}} \ll 1$$

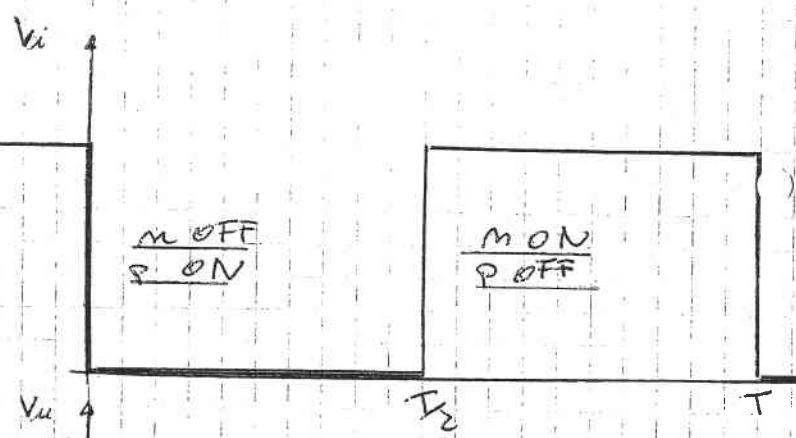
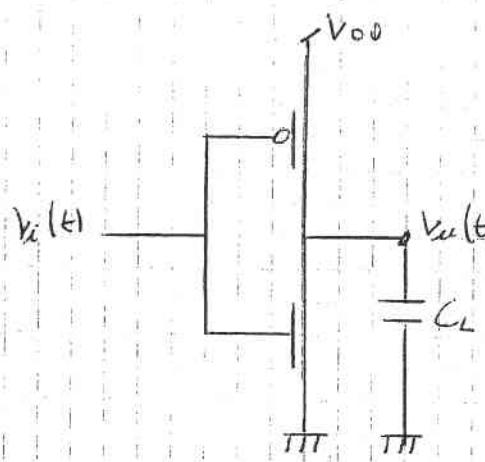
$$\text{se } V_{DD} \gg V_T$$

$$\overline{P_{cc}} \approx \frac{1}{12} B \frac{\tau_R}{\tau} \cdot V_{DD}^3$$

questo è solo $\overline{P_{cc}}$ e non $\overline{P_o}$ e inoltre sono state utilizzate numerose ipotesi di simmetria

Qualitativamente $\overline{P_{cc}} \propto V_{DD}^3$ e quindi per aumentare la velocità e quindi diminuire $t_p \approx \frac{C_L}{B V_{DD}}$ si può aumentare V_{DD} e questo da un aumento notevole di $\overline{P_{cc}}$

Calcolo di \bar{P}_c



Bisogna considerare come $V_i(t)$ tale che non si degrada dello P_{ac} .

↳ per fare ciò serve che

$$V_i < V_m \text{ o } V_i > V_{DD} - V_{DS(on)}$$

↳ in questo modo $\bar{P}_{ac} = 0$

$V_i(t)$ ha quindi un tempo di salita inferiore

$$\bar{P}_{ac} = \bar{P}_c + \bar{P}_m + \bar{P}_p$$

↳ le potenze medie erogate dal generatore vengono dissipate o dalla capacità o dal m-MOS o dal p-MOS

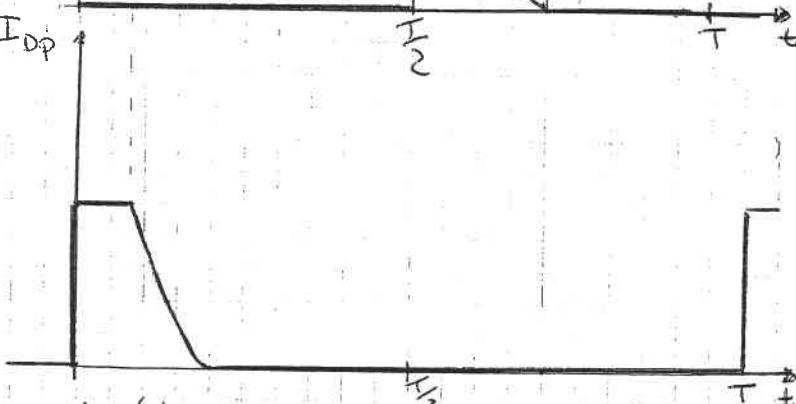
$$\bar{P}_c = \frac{1}{T} \int_0^T P_{ac} dt$$

① Calcolo di \bar{P}_c

$$\bar{P}_c = \frac{1}{T} \int_0^T V_{ac}(t) I_{ac}(t) dt =$$

$$= \frac{1}{T} \int_0^T V_{ac}(t) C_L \frac{dV_{ac}(t)}{dt} dt = \frac{C_L}{T} \int_0^T V_{ac} dV_{ac} =$$

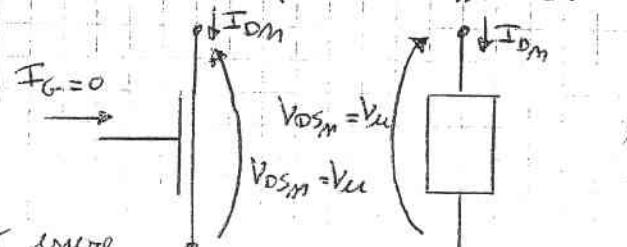
$V_{ac}(t) = 0$
 $V_{ac} dV_{ac} = 0$ → l'energia scambiata
 $V_{ac}(0) = 0$ del condensatore nell'arco
di un periodo è nulla.



② Calcolo di \bar{P}_m e \bar{P}_p

$$\bar{P}_m = \frac{1}{T} \int_0^T V_{DS(on)} I_{DS(on)} dt$$

↳ questo vale perché m-MOS può essere considerato come un bipolo in quanto è un tripolo con $I_{o-} = 0$.



$$\overline{P}_m = \frac{1}{T} \int_0^T V_{DSm} \cdot I_{Dm} dt = \frac{1}{T} \left\{ \int_0^{\frac{T}{2}} V_{DSm} \frac{I_{Dm}}{V_L} dt + \int_{\frac{T}{2}}^T V_{DSm} \cdot I_{Dm} dt \right\}$$

$$\overline{P}_p = \frac{1}{T} \int_0^T V_{SOP} \cdot I_{Op} dt = \frac{1}{T} \left\{ \int_0^{\frac{T}{2}} V_{SOP} \cdot I_{Op} dt + \int_{\frac{T}{2}}^T V_{SOP} \frac{I_{Op}}{V_L} dt \right\}$$

per $[0, \frac{T}{2}]$ $V_L = 0$ quindi $\begin{cases} I_{Dm} = 0 \\ I_{Op} > 0 \end{cases}$, $I_{Op} = 0$ quando $V_L = V_{DD}$
per $[\frac{T}{2}, T]$ $V_L = V_{DD}$ quindi $\begin{cases} I_{Dm} > 0 \\ I_{Op} = 0 \end{cases}$

La corrente è costante per il primo tratto perché i transistori sono setacciati e V_L è retta e la sua derivata è costante.

per $0 \leq t \leq \frac{T}{2}$ mOFF, pON

per $\frac{T}{2} \leq t \leq T$ mON, pOFF

$$V_L = 0 \quad V_{DD} = 0 \rightarrow V_{DD}$$

$$I_{Op} = I_{Dm} + I_C = I_C = C_L \frac{dV_L}{dt}$$

$$V_{SOP} = V_{DD} - V_L$$

$$\overline{P}_p = \frac{1}{T} \int_0^{\frac{T}{2}} (V_{DD} - V_L) \left(C_L \frac{dV_L}{dt} \right) dt$$

$$V_L(\frac{T}{2}) = V_{DD}$$

$$= \frac{1}{T} \cdot C_L \int (V_{DD} - V_L) dV_L$$

$$V_L(0) = 0$$

$$= - \frac{C_L}{2T} \left\{ (V_{DD} - V_{DD})^2 - V_{DD}^2 \right\} =$$

$$\overline{P}_p = \frac{C_L}{2T} \cdot V_{DD}^2$$

$$\overline{P}_L = \overline{P}_C + \overline{P}_{on} + \overline{P}_p = \frac{V_{DD}^2 \cdot C_L}{T} = V_{DD}^2 \cdot C_L \cdot f$$

$$\boxed{\overline{P}_{L_{low}} = V_{DD}^2 \cdot C_L \cdot f}$$



è legata alla carica del condensatore d'usata e non dalla struttura (β, V_T) del p-MOS e del n-MOS.
Non si è considerato lo stato e la dimensione reale del p che del n-MOS. La relazione è valida con una qualche rettezza di P_U o P_D .

Nell'ipotesi che il tempo sia sufficiente ampio da consentire che il transitorio termini la potenza dissipata è indipendente dal tipo di rete di PU e PD.

P_L dipende da

- ① C_L in quanto la potenza dissipata serve a caricare e scaricare il condensatore. Più grande è il condensatore maggiore è l'energia che deve essere immagazzinata e più veloce è il rilasciare del condensatore e quindi è maggiore la dissipazione.
 - ② V_{DD} in quanto il condensatore si carica a V_{DD} attraverso una corrente che dipende da V_{DD} . Maggiore è V_{DD} maggiore è la corrente che l'elaborazione.
 - ③ Dalle frequenze in quanto più è alta la frequenza e più volte bisogna caricare e scaricare la capacità.
- ⇒ le frequenze del segnale d'ingresso si determinano dal tempo del transitorio: la frequenza deve essere tale da permettere che il transitorio termine. Ma aumentando V_{DD} si rende più veloce l'elaborazione, cioè il tempo di propagazione diminuisce e quindi si può aumentare la frequenza.

$$V_{DD} \uparrow \uparrow, t_p \downarrow, f \uparrow \text{ quindi}$$

$$f \propto V_{DD} \text{ e quindi}$$

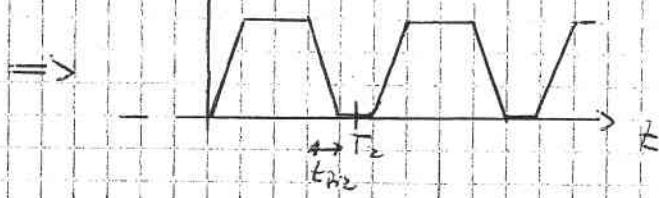
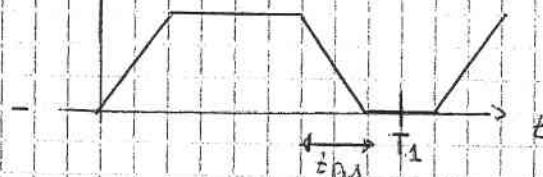
$$\bar{P}_L \propto V_{DD}^3$$

Considerazione sulla potenza dissipata

$$\bar{P}_{CC} \approx \frac{1}{12} \beta \left(\frac{2R}{T} \right) V_{DD}^3 \propto V_{DD}^3; \bar{P}_L \propto V_{DD}^3$$

Se aumenta la frequenza T diminuisce ma deve diminuire anch'esso per avere lo stesso segnale. Quindi al crescere di V_{DD} cresce la frequenza ma questo rapporto tende a essere inviolabile.

$$V_{DD}$$



$$T_1 > T_2, t_{RI1} > t_{RI2} \text{ ma } \frac{t_{RI1}}{T_1} \approx \frac{t_{RI2}}{T_2} = \text{cost.}$$

⇒ La tensione di alimentazione sta calando con l'aumento delle frequenze, la frequenza aumenta sia perché è un modo di calcolo e quindi t_p è più piccolo sia grazie all'aumento della densità di trascrittori che permette di costruire architetture sempre più efficienti che diminuiscono drasticamente i tempi (parallelo e pipelined). Ricordi $\bar{P}_CC = \text{cost.}$ e \bar{P}_L aumenta $\bar{P}_D \geq \bar{P}_L$.