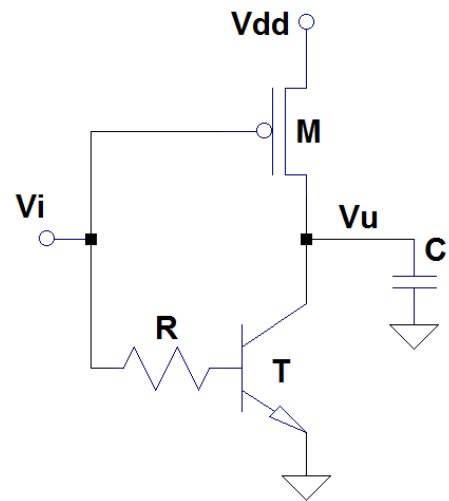


PROVA SCRITTA DI ELETTRONICA 1
22 GIUGNO 2017

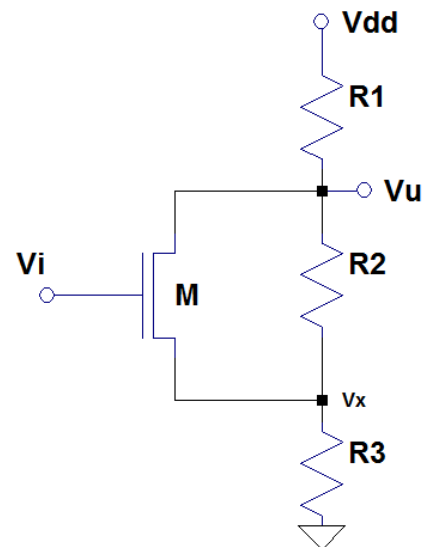
- 1) Nel circuito in figura, il transistor bipolare è descritto da un modello a soglia, con $V_T = 0.75 \text{ V}$ e $V_{CEsat} = 0.2 \text{ V}$. Si determini il valore che la resistenza R deve assumere affinché il tempo di propagazione $t_{p,HL}$ sia pari a 1 ns .

$V_{dd} = 3.5 \text{ V}$, $\beta_F = 100$, $\beta_p = 500 \frac{\mu\text{A}}{\text{V}^2}$, $V_{Tp} = -0.4 \text{ V}$, $C = 20 \text{ pF}$.



- 2) Si determini il valore della tensione di soglia logica V_{TL} del circuito in figura.

$V_{dd} = 3.5 \text{ V}$, $\beta_n = 3 \frac{\text{mA}}{\text{V}^2}$, $V_{Tn} = 0.35 \text{ V}$,
 $R_1 = 2.5 \text{ k}\Omega$, $R_2 = 22 \text{ k}\Omega$, $R_3 = 50 \Omega$.



Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).

Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).

Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Il tempo di propagazione $t_{p,HL}$ corrisponde al tempo necessario per compiere il 50% della transizione di discesa del segnale di uscita. Occorre quindi dapprima determinare i limiti dell'escursione. Il transistor bipolare è OFF per $V_i < V_\gamma$: in questa condizione (statica) si ha

$$I_C = 0 = I_{Dp}$$

Ipotizzando (*) che il pMOS operi in regione lineare, si ha necessariamente:

$$I_{Dp} = 0 \xrightarrow{LIN} V_{SDp} = 0 \xrightarrow{V_{SDp}=V_{dd}-V_u} V_u = V_{dd}$$

Se invece $V_i = V_{dd}$, il pMOS è OFF ($V_{SGp} = 0 < |V_{Tp}|$) e si ha di nuovo

$$I_{Dp} = I_C = 0$$

In questa condizione, il transistor bipolare è ON ($V_i > V_\gamma$), e necessariamente (indipendentemente dal valore incognito di R) in saturazione:

$$I_B = \frac{(V_i - V_\gamma)}{R} > 0 \rightarrow I_C < \beta_F I_B \rightarrow V_{CE} = V_{CE,sat} = V_u$$

Si ha quindi:

$$\begin{aligned} V_H &= V_{dd} \\ V_L &= V_{CE,sat} \end{aligned}$$

che soddisfano le ipotesi (*).

Il transitorio di discesa di V_u (per $V_i = V_H = V_{dd}$) si svolge quindi fra tali valori, ad opera della rete di pull-down costituita dal transistor bipolare, mentre il pMOS di pull-up è OFF. Il tratto di interesse per il calcolo di $t_{p,HL}$ termina al 50% della escursione. Il valore finale è quindi:

$$V_{u,50\%} = \frac{V_H + V_L}{2} = 1.85 V$$

In questo intervallo, il transistor bipolare lavora in regione normale ($V_{CE} = V_u > V_{CE,sat}$). Si ha quindi:

$$\left. \begin{aligned} I_C &= \beta_F I_B = \frac{\beta_F (V_{dd} - V_\gamma)}{R} \\ I_C &= -C \frac{dV_u}{dt} \end{aligned} \right\} \rightarrow dt = \frac{-RC}{\beta_F (V_{dd} - V_\gamma)} dV_u$$

Integrando, si ottiene:

$$\int_0^{t_{p,HL}} dt = \int_{V_{dd}}^{V_{u,50\%}} \frac{-RC}{\beta_F (V_{dd} - V_\gamma)} dV_u$$

da cui:

$$\left. \begin{aligned} t_{p,HL} &= \frac{-RC}{\beta_F (V_{dd} - V_\gamma)} (V_{u,50\%} - V_{dd}) = 1.2 \cdot 10^{13} R \\ t_{p,HL} &= 10^{-9} \end{aligned} \right\} \rightarrow R = 8.33 k\Omega$$

È possibile determinare inizialmente le regioni di funzionamento del transistor MOS:

M OFF:

$$I_D = 0 \rightarrow I_{R1} = I_{R2} = I_{R3} = \frac{V_{dd}}{R_1 + R_2 + R_3} = 134.4 \mu A \rightarrow V_x = R_3 I_{R3} = 6.72 mV \left. \begin{array}{l} V_{GS} = V_i - V_x < V_T \end{array} \right\} \rightarrow V_i < 0.35672 V (*)$$

M SAT:

$$\left. \begin{array}{l} V_{GS} < V_{DS} + V_T \\ V_{GS} = V_i - V_x \\ V_{DS} = V_u - V_x \end{array} \right\} \rightarrow V_u > V_i - V_T$$

M LIN:

$$V_u < V_i - V_T$$

La condizione di soglia logica si riferisce alla situazione in cui $V_u = V_i = V_{TL}$, cioè alla intersezione della caratteristica $V_u(V_i)$ con la diagonale del primo quadrante. La condizione di linearità non può quindi essere soddisfatta e, se ON, il transistor è saturo. Sotto questa ipotesi (*), si ottiene:

$$\left. \begin{array}{l} I_{R1} = I_{R3} \rightarrow \frac{V_{dd} - V_{TL}}{R_1} = \frac{V_x}{R_3} \rightarrow V_x = \frac{R_3 (V_{dd} - V_{TL})}{R_1} \\ I_D = \frac{\beta_n}{2} (V_i - V_x - V_T)^2 = \frac{\beta_n}{2} (V_{TL} - V_x - V_T)^2 \\ I_{R2} = \frac{V_u - V_x}{R_1} = \frac{V_{TL} - V_x}{R_1} \\ I_{R1} = I_D + I_{R2} \end{array} \right\} \rightarrow V_{TL} = \begin{cases} 1.132 V (> 0.35672 V, \text{accettabile} (*)) \\ -0.602 V (< 0.35672 V, \text{non accettabile} (*)) \end{cases}$$