

PASS - TRANSISTOR

Per realizzare un circuito si può usare le tecnologie

m-Mos \rightarrow (m+1) transistor

RATIOED (dimensioni elevate)

C-Mos \rightarrow (2m) transistor

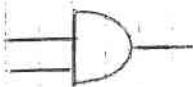
RATIOLESS (maggiore complessità ma non impedisce ingombrio)

$$F_{in} \cdot m = n$$

C-Mos { RATIOLESS
↓ valore perché essendo i transistori piccoli bisogna avere capacità piccole.
usata nella gran totalità dei circuiti.

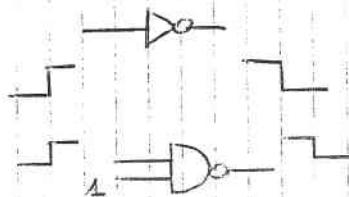
Esistono altri tipi di logica, altri stile di progettazione che riservano soluzioni complesse alle C-MOS.

Per una porta logica AND

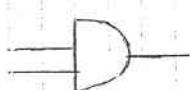


\Rightarrow la logica C-MOS è invertente, cioè una transizione positiva dell'ingresso può dar luogo ad una transizione negativa in uscita.

AND è una porta logica non invertente
cioè una transizione positiva all'ingresso può dar luogo ad una transizione positiva in uscita



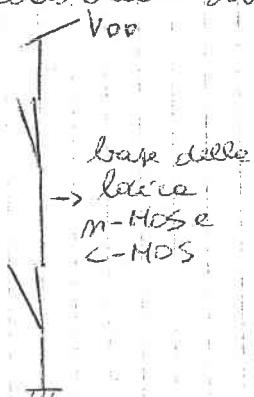
\hookrightarrow per realizzare un AND in logica C-MOS



4 transistor + 2 transistor = 6 transistori.

Quando la logica C-MOS per creare porte elementari può avere soluzioni complesse.

* Per realizzare una porta AND si può usare un multiplexer:

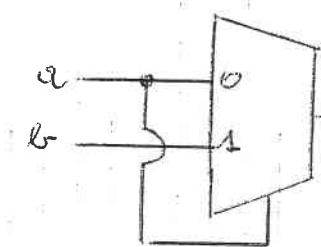


a	b	y
0	0	0
0	1	0
1	0	0
1	1	1

se $a=0$ allora $y=b$
se $a=1$ allora $y=0$

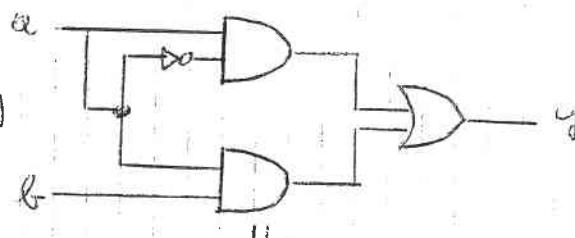
con un multiplexer.

AND con un multiplexer

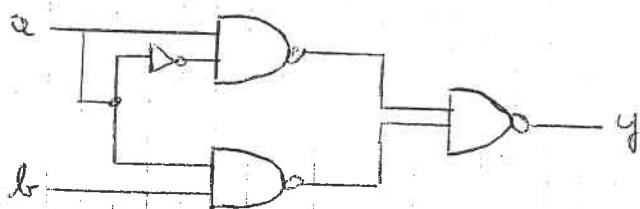


$$\text{se } c=0 \quad y=a$$

$$\text{se } c=1 \quad y=b$$



per la logica C-MOS



3 NAND e 2 ingressi + 2 transistor

+
1 NOT

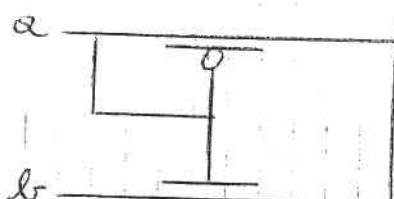
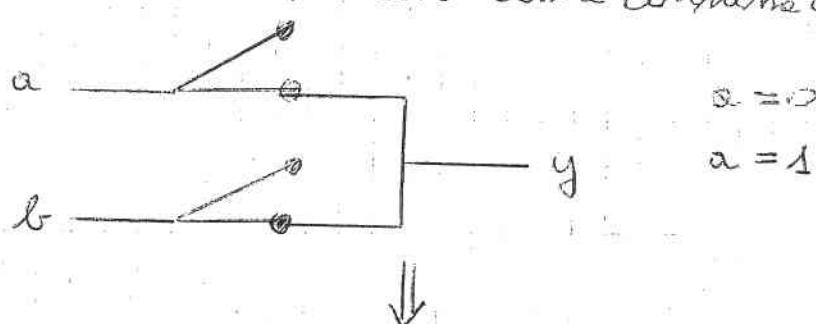
2 transistor

Porto AND con multiplexer 14 transistor
in logica C-MOS

AND con gli interruttori (PASS TRANSISTOR)

se $a=0$ l'uscita deve essere connessa con l'ingresso a

se $a=1$ l'uscita deve essere connessa con l'ingresso b.



- con $a=0$ pMOS è acceso e y è collegato come:

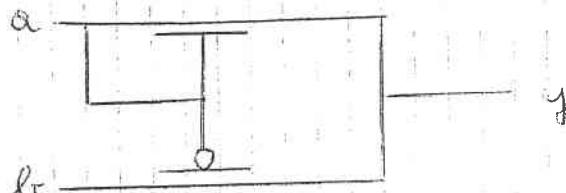
- con $a=1$ nMOS è acceso e y è collegato con b.

2 transistori

OR con gli interruttori: (PASS TRANSISTOR)

a	b	y
0	0	0
0	1	1
1	0	1
1	1	1

$$\text{se } a = 0 \Rightarrow y = b \\ \text{se } a = 1 \Rightarrow y = a$$



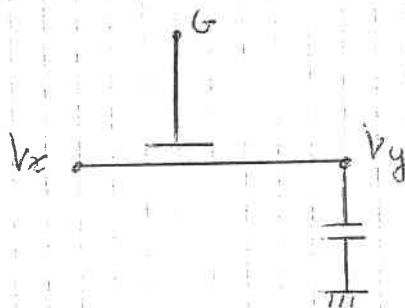
2 transistori.

Questo è lo schema di vecchi circuiti adattati a elettronica (tele) e si può applicare ai MOS perché sono transistori simmetrici. Infatti per caricare e scaricare la capacità d'esita servono le correnti che sono "riappese" in due versi quando serve un dispositivo bidirezionale (quindi non si può fare col bipolare).

→ Prima si utilizza la configurazione a Source comune dove il segnale entra nel Gate ed esce nel Drain.

→ Adesso si utilizza la configurazione a Gate comune dove il segnale entra nel Drain ed esce dal Source (Configurazione a PASS TRANSISTOR).

Studio del pass-transistor a canale n



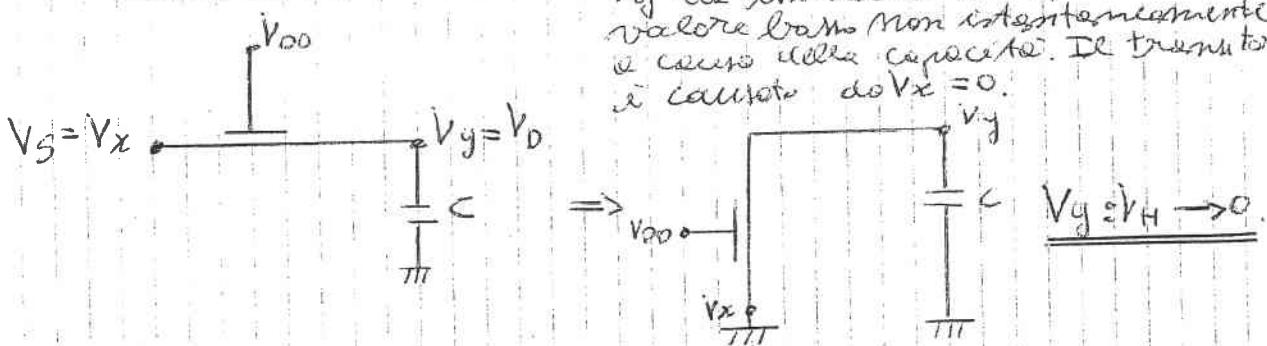
Il Gate è acceso con $V_g = V_{DD}$

Il Drain e il Source non sono specificati in quanto il Drain è la parte di canale con potenzialità maggiore (dipende dall'ingresso).

Ci sono due casi:

• $V_x < V_{DD} \rightarrow 0$ (interdizione)

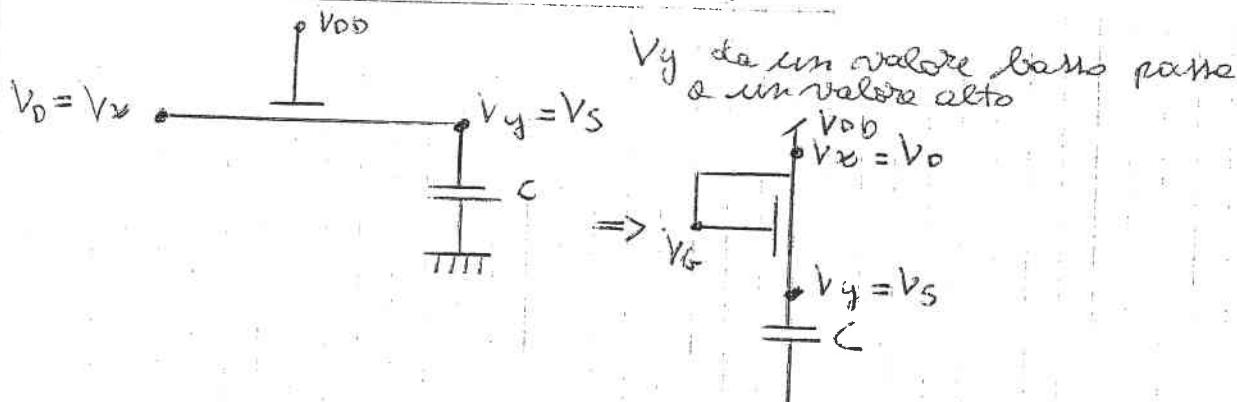
V_g è un valore alto posso essere un valore basso non estremamente a causa delle capacità. Il transistor è carico da $V_x = 0$.



Quando V_g (con un tempo t_{RHS}) si porta a 0.

In questo istante $V_x = 0$, $V_g > 0$ quando $V_g > V_x$ da cui $V_g = V_{DD}$ e $V_x = V_s$

- $V_T > 0 \rightarrow V_{DD}$ (Intervallamento)



V_y è 0 passando V_H ; V_S è sempre, durante il transitorio, passando V_{DD} .

$\Leftrightarrow V_y \leq V_T$ quando $V_y = V_S$ e $V_S = V_D$

$$V_{GS} = V_{DS}$$

$V_T > 0$ (n -MOS ed arricchimento)

(dove essendo perche altrimenti non si raggiungerebbe mai)

} n -MOS SAT

n -MOS è connesso a doppio \Rightarrow la corrente di carico è uguale alla corrente di saturazione.
Il transitorio termina quando $I_D = 0$ cioè quando $V_{GS} = V_{DS} = V_{TM}$

Considerazioni:

Il dispositivo è simmetrico qualitativamente ma non quantitativamente infatti:

- funzione bene come rete di PD (la capacità risponde completamente)
 - non funziona bene come rete di PV (la capacità non si carica completamente)
- Piuttosto il PASS TRANSISTOR è come un:

• trasfornatore correttamente un valore basso

• non trasfornatore correttamente un valore alto

0 "FORTE"

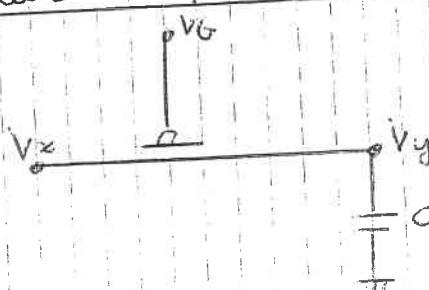
1 "DEBOLE"

Difetti: tenendo $V_G \approx V_L$ allora il fuodagno ≈ 0 da cui

• per valori bassi il margine di ampiezza di disturbo è in quanto l'estate massima del dispositivo che si può cancellare è nulla.

• per valori alti il margine di ampiezza di disturbo è in quanto un segnale V_G (nel punto di V_{DD}) che diminuisce di una soglia V_{TM} (cioè con reversione).

Studio del passo transistor e canale p

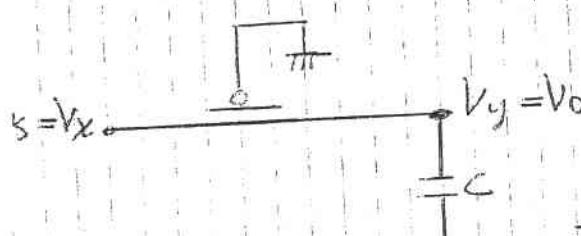


Il p-MOS è acceso se $V_G = 0$

Il Sourcing e il Draining non sono identificati

$$V_S \geq V_D$$

$V_x < 0 \rightarrow V_{G0}$ (sistema inverso)

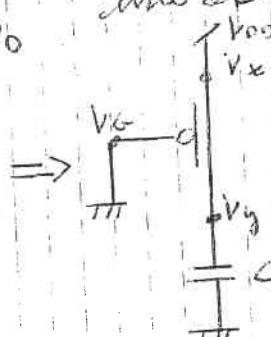


V_y parte da un valore basso ad un alto

$$V_x \geq V_y \text{ quando} \\ V_S = V_x \text{ e } V_0 = V_y$$

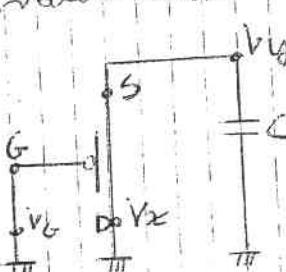
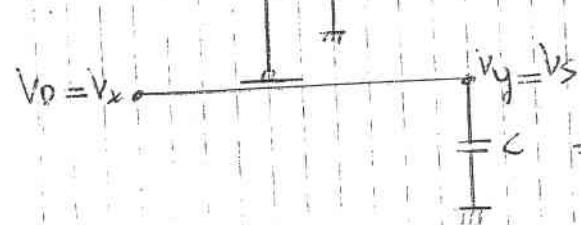
Il transistor è quello di corrente attraverso un p-MOS.

$V_y : V_L \rightarrow V_{D0}$
(arriva la piena espressione).



$V_x : V_{D0} \rightarrow 0$ (sistema normale)

V_y parte da un valore alto ad un basso



$$V_x \leq V_y \text{ quando} \\ V_S = V_y \text{ e } V_0 = V_x$$

Il transistor è di sorgente del condensatore attraverso un p-MOS.

$$\left. \begin{array}{l} V_{SG} = V_{S0} \\ (\text{il transistor è ad} \\ \text{circondamento}) \end{array} \right\} V_{SG} < V_{SD} + |V_{tp}| \text{ è sempre vero che}$$

P-MOS è SAT

Il condensatore si spegne fino a che $I_C = 0$.

$$I_O = -I_C \quad I_O = \frac{P_D}{2} (V_y + |V_{tp}|) = -\frac{dV_y}{dt} \quad \text{Questo}$$

$$V_y = |V_{tp}|, \frac{dV_y}{dt} = 0 \text{ quando } V_y = \text{cost} = |V_{tp}|$$

$$V_{y_{MIN}} = |V_{tp}|$$

Considerazioni

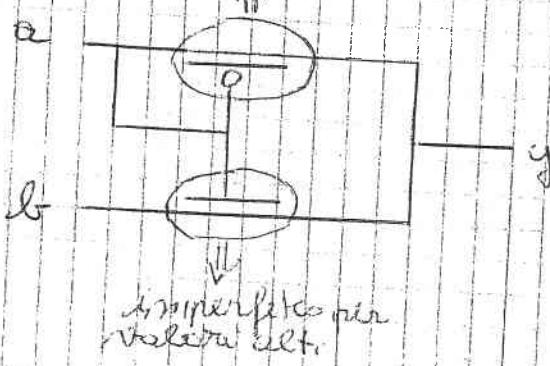
Le caratteristiche del p-MDS sono simili a quelle del m-MDS

- Green PU
 - no PD

1 "FORTE"
0 "DEBOLE"

Peninsular

AND imperfections
water break

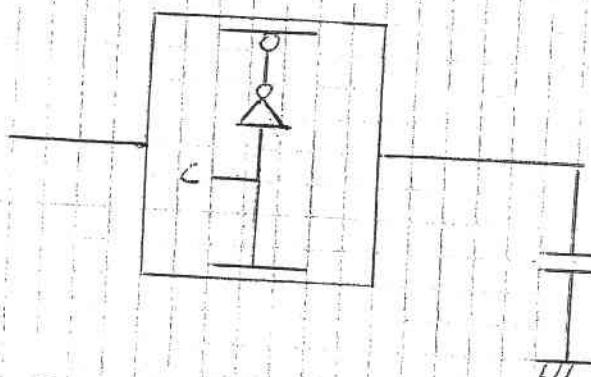


L'ensemble des étoiles modélisées de cette analyse

La maggior completezza provoca
problemi di maneggi e
imprevedibilità del destituto
(il segnale può essere degenerato).

Per risolvere il problema si possono usare entrambi

TRANSMISSION GATE



Pilotando con il segnale complementare se preciso il PASS TRANSISTOR a catodo per i valori bassi e il PASS TRANSISTOR a catodo P per i valori alti.

- Per trasferire un valore alto (caricare le capacità d'uscita) n-MOS si spiega quando la tensione d'uscita è $V_{DD} - V_{THN}$, ma il p-MOS continua il transistore portando le capacità a V_{DD}
- Per trasferire un valore alto.

- Per trasformare un volante basso (scarsa delle capacità discrete) il P-MOS si spinge verso la tensione d'escita e l' V_T del n-MOS consente il transito perendo le capacità a 0.

En que modo se obtiene: { 1 "FORTE"
2 "FORTE"

L'interruttore (transmission gate) è composto da:
 1 + 2 transistor per l'invertitore
 2 + 1 transistor per il PASS TRANSISTOR

4 transistor per il TRANSMISSION GATE.

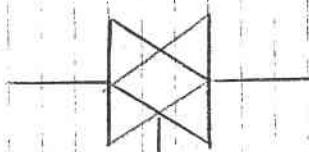
Nella logica DUAL-RAIL si hanno sempre i segnali complementari (come ECL)

⇒ In questa logica C e \bar{C} sono più presenti e quindi si può risparmiare l'invertitore (2 transistor).

⇒ È un'interconnessione ideale (completa bidirezionalità)

⇒ Margine di inservizio si avvicina a 0.

SIMBOLO



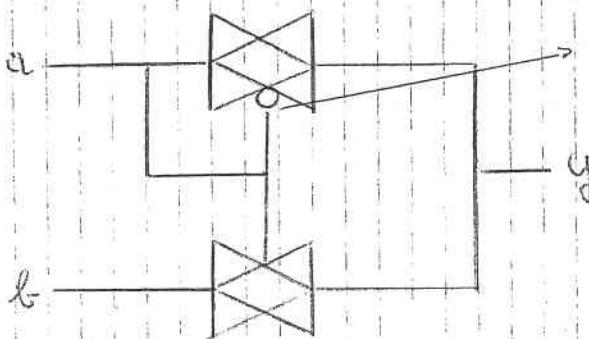
• rappresenta la piena bidirezionalità del circuito.
 (due frecce intersecate)

→ segnale di controllo che accende entrambi i transistori.

↪ s'intende:

- un invertitore interno
- la disponibilità di segnali con le loro forme complementari.

AND con TRANSMISSION GATE



• l'ingresso c negativo nella logica DUAL RAIL non corrisponde ad un vero invertitore.
 Se non si usa la logica DUAL RAIL basta modificare l'invertitore all'interno del transmission gate.

↓
 4 transistor + 2 transistor invertitori (se non si usa logica DUAL RAIL)

Queste logiche sono comuni per circuiti più complessi:

• un multiplexer a 4 ingressi

Logica CMOS (4NAND + 2 ingressi e 4 uscite \Rightarrow 24 transistor)

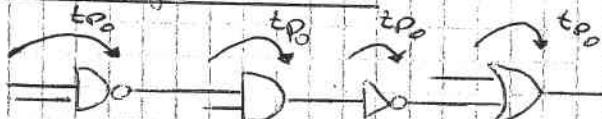
TRANSMISSION GATE (4 TRANSMISSION GATE \Rightarrow 16 tr. + 8 invertitori)
 in parallelo.

STUDIO DINAMICO

PASS TRANSISTOR

Del punto di vista statico il transmission gate ha le vantaggio di essere più semplice e meno costoso delle logiche C-MOS.

=> Nelle logiche C-MOS



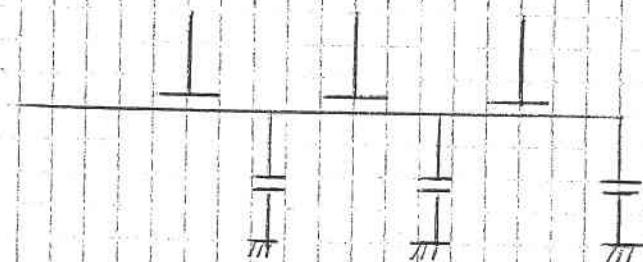
In un circuito di n stati il tempo di propagazione è

$$t_{\text{prop}} = m t_p \quad (\text{andamento lineare})$$

=> Transmission gate (per semplicità si studierà i pass transistor)

(oggetto non invertente)

Caso elementare



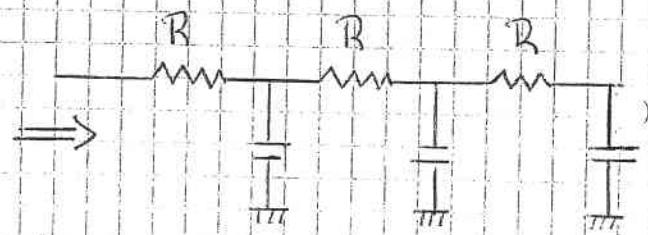
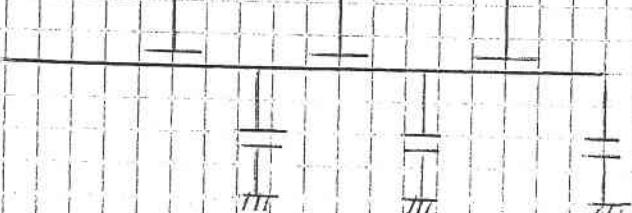
Il tempo di propagazione di un pass transistor è uguale al doppio di quello di un inverter perché la corrente d'ingresso controlla una Drain o nel Source ma non può regolare il gate.

Le correnti d'uscita che percorre del fan-out e quindi non si può staccare in uno stesso istante e perciò moltiplicare il t_p trovato per il modo stacchi.

=> Bisogna stabilire l'impedenza del circuito.

L'analisi è complessa perché è formata da componenti non lineari per cui l'approssimazione deve essere

ON ON ON



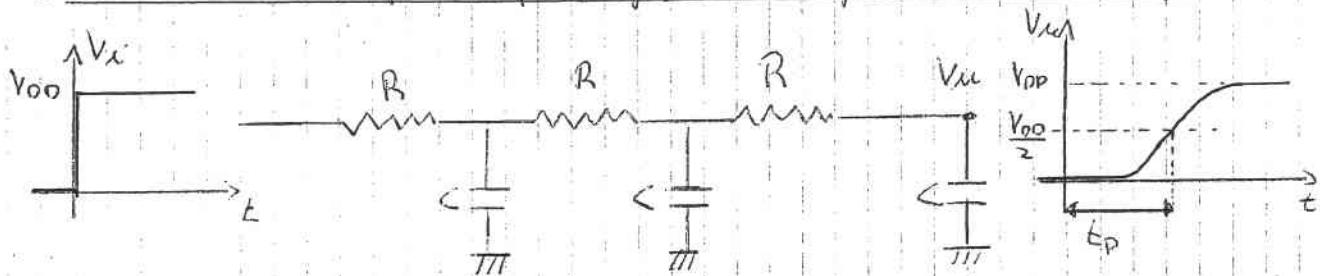
tutte e tre porte sono formate. La rete R equivalente viene considerata costante

Si può stimare il tempo di propagazione e uscita con uno solo circuito di carico su uscite di un inverter e poi moltiplicarlo per il modo stacchi per ottenere il tempo totale di propagazione in questo modo la corrente d'ingresso di uno stadio è nulla

L'errore è che R del canale non è costante ma varia e
secondo delle tensioni applicate.
Lo studio è quindi solo qualitativo utile solo a capire il
princípio di funzionamento.

- Hip: ① transistor nMOS considerato delle resistenze
- ② le resistenze hanno lo stesso valore.
- ③ le capacità (date dalla somma di tutte le capacità
parametri del n-MOS) sono tutte uguali tra loro.

• Calcolo del tempo di propagazione in funzione di n° degli stadi



Analisi con 1 perr transistor

$$\begin{aligned}
 & I_R = \frac{V_D - V_u}{R}, \quad I_R = \frac{V_A - V_u}{R}, \quad I_C = C \frac{dV_u}{dt} \\
 & \frac{V_D - V_u}{R} = C \frac{dV_u}{dt} \\
 & V_{DD} = V_A = V_u + R C \frac{dV_u}{dt} \quad * \\
 & V_u(t) = V_{DD} \left(1 - e^{-\frac{t}{RC}} \right) \\
 & V_u(t_p) = \frac{V_{DD}}{2} = V_{DD} \left(1 - e^{-\frac{t_p}{RC}} \right) \Rightarrow \frac{1}{2} = 1 - e^{-\frac{t_p}{RC}} \\
 & e^{-\frac{t_p}{RC}} = \frac{1}{2} \Rightarrow t_p = RC \ln 2
 \end{aligned}$$

Analisi con 2 perr transistori

$$\begin{aligned}
 & I_{R2} = I_{C2} + I_{R4} \\
 & I_{R2} = \frac{V_2 - V_A}{R} \\
 & I_{C2} = C \frac{dV_A}{dt} \\
 & I_{R4} = I_{C4} = C \frac{dV_u}{dt} \\
 & \frac{V_2 - V_A}{R} = C \left(\frac{dV_A}{dt} + \frac{dV_u}{dt} \right) \quad \text{da cui}
 \end{aligned}$$

$$V_2 = V_u + BC \left(\frac{dV_1}{dt} + \frac{dV_u}{dt} \right) \quad \text{ma} \quad V_1 = V_u + RC \frac{dV_u}{dt} \quad * \\ \downarrow \\ (\text{del circuito di prima in quanto la seconda meglio è uguale})$$

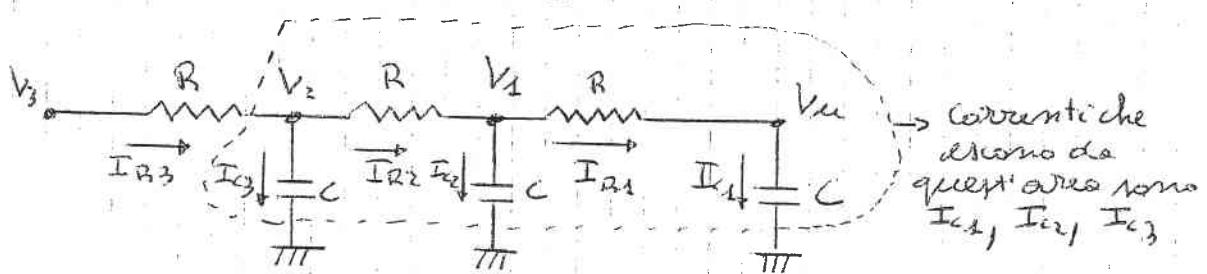
$$\begin{aligned} V_2 &= V_u + BC \frac{dV_u}{dt} + BC \left\{ \frac{d}{dt} \left(V_u + RC \frac{dV_u}{dt} \right) + \frac{dV_u}{dt} \right\} \\ &= V_u + BC \frac{dV_u}{dt} + BC \left\{ \frac{dV_u}{dt} + RC \frac{d^2V_u}{dt^2} + \frac{dV_u}{dt} \right\} \end{aligned}$$

\downarrow
è uguale a 0 perché l'approssimazione è lineare e la durevole seconda è 0.

$$V_{DD} = V_2 = V_u + 3BC \frac{dV_u}{dt} \quad \text{da cui} \quad V_u(t) = V_{DD} \left(1 - e^{-\frac{t}{3RC}} \right)$$

$$t_p = 3RC \ln(2)$$

Analisi con 3 pnp transistor



$$I_{B3} = I_{C1} + I_{C2} + I_{C3} = C \left(\frac{dV_2}{dt} + \frac{dV_1}{dt} + \frac{dV_u}{dt} \right) = \frac{V_3 - V_2}{R}$$

$$V_3 = V_{21} + RC \left(\frac{dV_2}{dt} + \frac{dV_1}{dt} + \frac{dV_u}{dt} \right)$$

$$V_3 = V_u + 3RC \frac{dV_u}{dt} + BC \left\{ \frac{d}{dt} \left(V_u + 3RC \frac{dV_u}{dt} \right) + \frac{d}{dt} \left(V_u + RC \frac{dV_u}{dt} \right) + \frac{dV_u}{dt} \right\}$$

$$V_3 = V_u + 3RC \frac{dV_u}{dt} + BC \left\{ 4RC \frac{d^2V_u}{dt^2} + 3 \frac{dV_u}{dt} \right\}$$

\downarrow
uguale a 0.

$$V_{DD} = V_3 = V_u + 6RC \frac{dV_u}{dt} \quad \text{da cui} \quad V_u(t) = V_{DD} \left(1 - e^{-\frac{t}{6RC}} \right)$$

$$t_p = 6RC \ln(2).$$

Quando

n° di stadi
(n)

1

t_p

$$R C \ln(2)$$

$$\rightarrow 1 + R C \ln(2)$$

2

$$3 R C \ln(2)$$

$$\rightarrow (1+2) R C \ln(2)$$

3

$$6 R C \ln(2)$$

$$\rightarrow (1+2+3) R C \ln(2)$$

4

$$10 R C \ln(2)$$

$$\rightarrow (1+2+3+4) R C \ln(2)$$

m

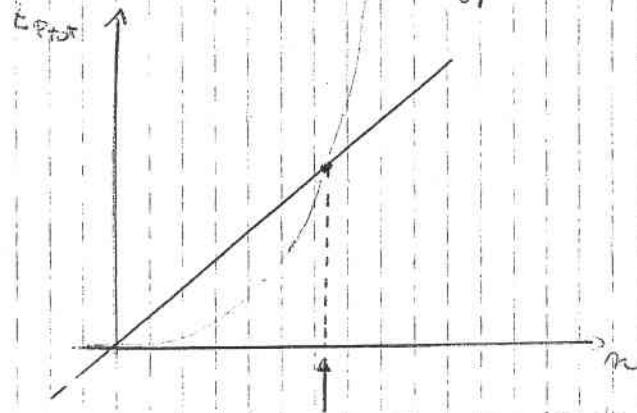
$$\frac{n(n+1)}{2} R C \ln(2)$$

PASS TRANSISTOR

$$\text{se } t_{p0} \equiv R C \ln(2)$$

$$t_{p\text{tot}} = \frac{n(n+1)}{2} t_{p0}$$

legge parabolica



C-MOS

$$t_{p\text{tot}} = n t_{p0}$$

legge lineare

valore critico al di sopra del quale il $t_{p\text{tot}}$ del pass transistor cresce molto più velocemente del $t_{p\text{tot}}$ delle logiche C-MOS.

Conclusioni

Le logiche a PASS TRANSISTOR sono semplici (con pochi transistori) ma hanno 3 difetti:

- ① il margine di esaminante si discolla e neollo (non ripetere il segnale)
- ② non sono invertenti (quindi non è una logica completa)
- ③ il $t_{p\text{tot}}$ cresce secondo un andamento quadratico (legge di Elmore).

Arbitro di applicazione: la logica pass transistor non è usata per costruire un intero microprocessore ma è utile per costruire dei sotto circuiti in un apposito circuito (come nei circuiti sommatori).

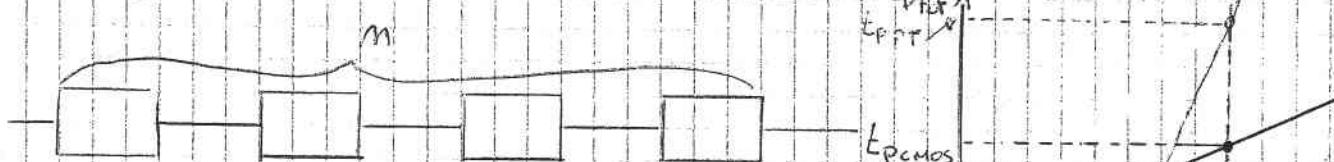
Approccio elerdo

Un circuito è elerdo quando è formato da più tipi di famiglie logiche a Peresempio:

non possono intercambiare dei circuiti C-MOS con altri di una maggiore completezza e di un alto margine di immunità ai disturbi con dei circuiti PASS TRANSISTOR.

Esempio:

- Il circuito è formato da m elementi che svolgono una determinata funzione logica costruibile sia con PASS TRANSISTOR che con C-MOS.

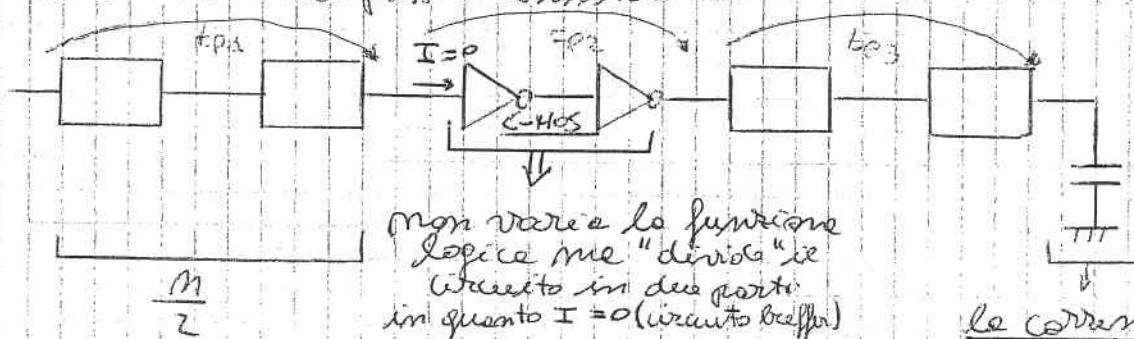


Dal grafico si vede che contiene la logica C-MOS.

$$\text{Le regole di Elmor } \left(\frac{1}{2} (m+1) t_{\text{PP}} = t_{\text{Ptot}} \right)$$

è dovuta alla corrente che attraversa tutti gli stadi per caricare le varie capacità ma che non avviene nei C-MOS.

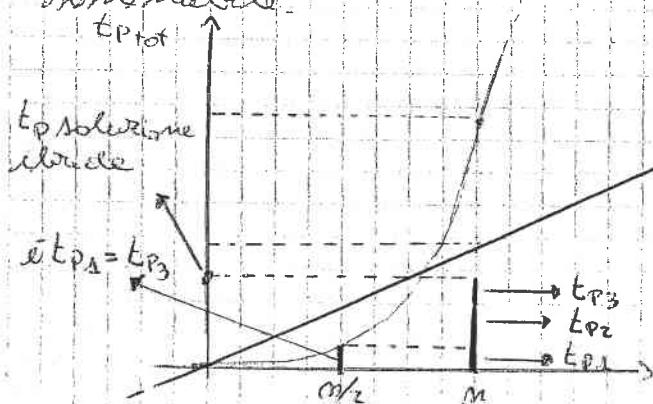
Se nel circuito si dispone una coppia di invertitori C-MOS la funzione logica non varrà mai perché l'effetto di disaccoppiare le correnti dei pass-transistor.



non varrà la funzione logica ma "diverà" il circuito in due parti in quanto $I = 0$ (ciruito biffo)

$$\text{Quindi } t_{\text{Ptot}} = t_{\text{P1}} + t_{\text{P2}} + t_{\text{P3}}$$

In questo i 3 circuiti sono isolati e quindi il tempo di propagazione è sommabile.



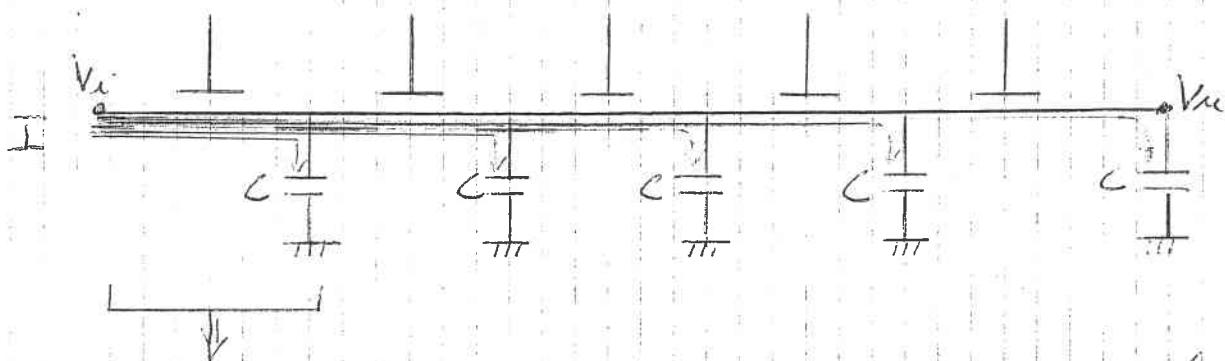
Le correnti che carico questo condensatore arrivano solo dalla 2° parte del circuito!

→ La soluzione elerdo
consiste nel utilizzare un solo C-MOS (come in questo esempio) dove il circuito iniziale è stato diviso in due da una coppia di invertitori C-MOS.

→ imprendendo circuiti C-MOS si possono realizzare anche funzioni invertenti

Considerazioni:

La rete di più transistori ha un ritardo che cresce quadraticamente con il n° degli stadi perché per ogni stadio in più si aggiunge una resistenza in serie e una capacità provocando un'ulteriore aumento del tempo totale di preparazione in quanto la corrente deve caricare un'ulteriore circuito (resistenza - capacità).



la corrente che circola su questo \Rightarrow perciò si avvicina alla soglia (V_i) più le correnti sono maggiori e quindi se gli nMOS sono uguali lo è anche la ceduta di tensione

le dimensioni sono calate \Leftarrow per avere una resistenza più bassa e quindi una corrente più grande.

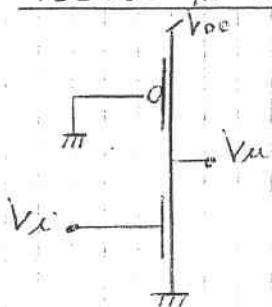
se poi "scalare" le dimensioni, dimostra matematicamente le tesi

a dispetto delle dimensioni si può migliorare il t_{tot} .

\hookrightarrow in questo modo l'andamento di t_{tot} è quasi lineare

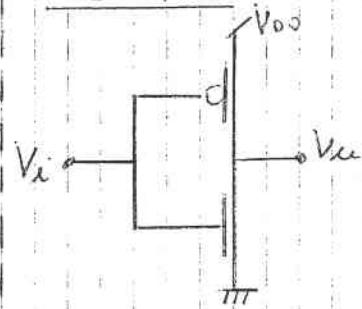
CONFRONTO

PSEUDO n-MOS



- $P_{\text{STAT}} > 0$
- RATIONELESS
- $n_{\text{MOS}} = \text{FAN IN} + 1$
- dimensione nMOS alte
- $C_{\text{eq}} \Rightarrow$ è la capacità d'ingresso minima
- $C_{\text{IN}} \Rightarrow 1 \text{ Mos}$
- t_{tot} è alto perché C_{IN} è grande

FC - MOS



- $P_{\text{STAT}} = 0$
- RATIONELESS
- $n_{\text{MOS}} = 2 \times \text{FAN IN}$
- dimensione nMOS basse
- $C_{\text{eq}} \Rightarrow$ è la capacità d'ingresso della coppia
- $C_{\text{IN}} \Rightarrow 2 \text{ Mos}$

RETI SINCRONE

Lógica dinamica PE

Bisogna progettare una rete.

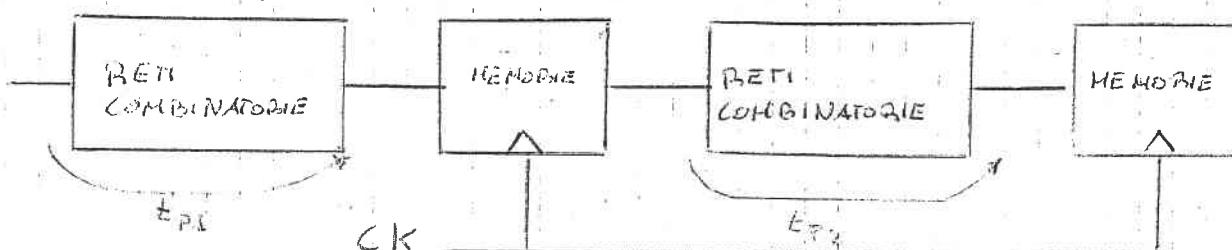
RATIONLESS è la rete di PD e PV non sono mai escese contemporaneamente ($P_{SAT} = 0$)

M₀ MOS \cong FAN IN

Capacità d'ingresso \Rightarrow solo per 1 Mos.

\Rightarrow reti sequenziali sincrone e ogni segnale viene acquisito dello stato successivo solo in corrispondenza di un determinato evento di abilitazione (segnale di clock).

Modello reti sequenziali sincrone



Questo schizzo viene largamente usato per le reti sequenziali che sono principalmente sincrone perché quelle assincrone sono difficili da progettare e causa del ritardo (problemi di corsa dritta e di alle).

Il segnale di clock ha un andamento periodico



A seconda di come è progettata la rete di memoria (flip-flop) l'abilitazione può essere o il valore alto o il valore basso o più frequentemente, il fronte di discesa / salita del clock.

I flip-flop egli è triggered commutano sul fronte di discesa del CK (fronte negativo)



Il periodo del segnale di clock (TCK) è il tempo che intercorre tra due istanti di cambiamento successivi. Deve essere dimensionato in modo che i tempi di progettazione di tutta la rete (combinatoria) siano inferiori al periodo del clock. $T_{CK} \gg \max\{t_{P1}, \dots, t_{Pn}\}$

In questo modo ogni rete combinatoria ha lo tempo necessario per elettrizzare le reti prese che vengono lette dalle memorie in modo da non avere eventuali errori.

→ il valore della rete sequenziale è importante solo negli istanti di campionamento (momento in cui la rete necessaria acquisisce i dati.)

↳ la funzione delle reti combinatorie viene calcolata solo negli istanti in cui il clock permette la lettura.

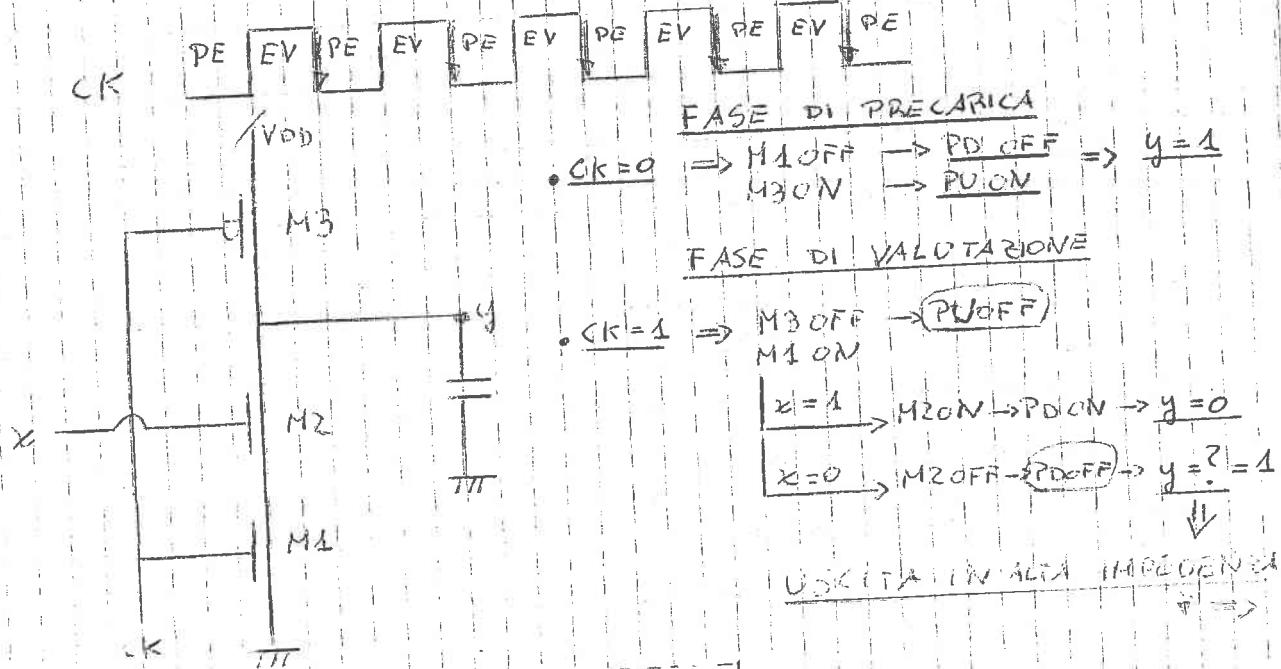
Quindi non è importante se il valore dell'unità di ogni rete combinatoria si modifica nell'istante in cui viene acquisita dalla rete sequenziale necessaria.

↳ nei circuiti CMOS il PD e PV lavorano contemporaneamente in modo che entrambi siano messi a zero.

↳ circuito RATIBLESS

→ siccome durante la T_{CK} il circuito sequenziale non riceve dati, le reti di PV e PD possono lavorare in tempi differenti.

INVERTITORE IN LOGICA PE

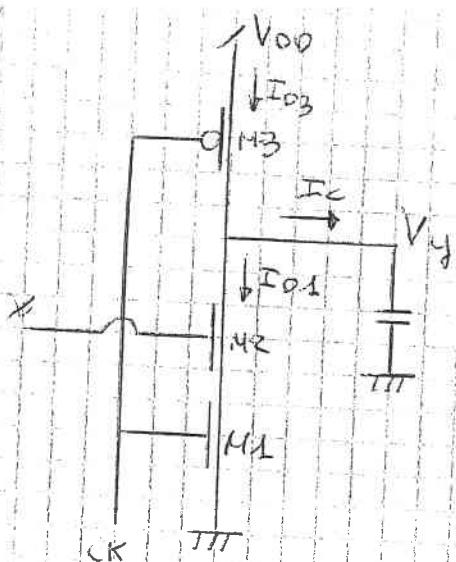


Nella fase di precarica l'uscita ha sempre il valore alto. In queste fasi il circuito non sta elaborando dati. (y_{out} è una funzione di t).

↳ questo però non è deludente in quanto si sta lavorando con $CK = 0$ e il valore deve essere rilevante nell'istante in cui $CK: 1 \rightarrow 0$.

$$P_D \text{ OFF}, P_U \text{ ON}, P_{STAT} = 0$$

Nella fase di valutazione
PV OFF e quindi $P_{STAT} = 0$.



$$I_C = I_{D3} + I_{D2}$$

$$I_{D3} = I_{D2} = 0$$

PV OFF
PD OFF

$$I_C = C \frac{dV_Y}{dt} = 0 \text{ allora } V_Y = \text{cost}$$

al valore precedente di $V_Y = V_H$ (prima era nella fase di precarica).

↳ il condensatore è una memoria in quanto mantiene il valore della tensione quando è isolato.

VISITA IN ALTA IMPEDENZA

Nella fase di precarica lavora PV.

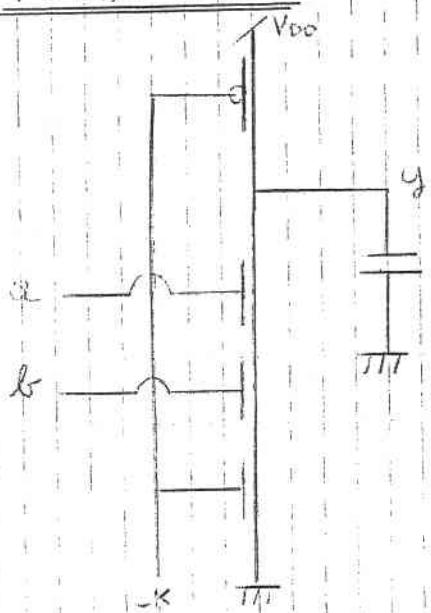
Nella fase di valutazione lavora PD: se si accende V_Y salendo a V_H e V_L , se si spegne V_Y rimane V_H (alta impedenza).

- $CK = 0 \rightarrow y = 1 \rightarrow$ FASE DI PRECARICA (PRECHARGING)
- $CK = 1 \rightarrow y = \bar{x} \rightarrow$ FASE DI VALUTAZIONE (EVALUATION)

- Il circuito è BATIOMLESS in quanto PV e PD lavorano momentaneamente e quindi $I_D = 0$, $P_{STAT} = 0$.
- Cronaca d'impresa è quella di un solo MOS (non due come nei C-MOS).
- I transistori possono avere prestazioni quasi C-MOS (il controllo del PSD può essere in MOS).
- ↳ Le capacità di questo circuito è la metà di quelli C-MOS.
- ↳ Il t_p è la metà rispetto ai C-MOS.
- no MOS = TAN IN + 2 (per il clock).

La logica si chiama DINAMICA perché PV e PD lavorano in tempi separati.

PORTA NANO

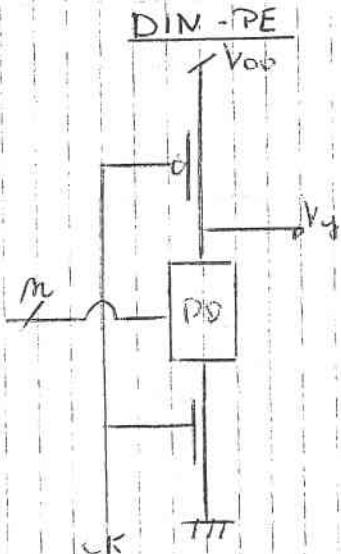
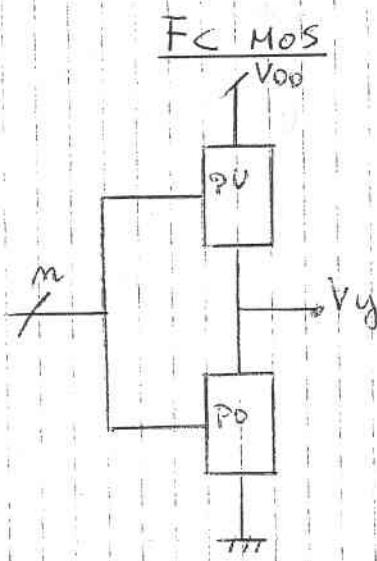
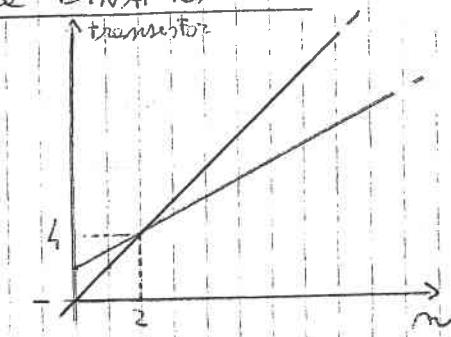


- $C_K = 0 \quad , \quad y = 1$
- $C_K = 1 \Rightarrow \text{FASE DI VALUTAZIONE}$

$a = b = 1$ allora $PD \text{ ON} \Rightarrow y = 0$
altrimenti $PD \text{ OFF} \Rightarrow A \in \Rightarrow y = 1$

Confronto FC MOS e logica DIN-PE

FAN-IN N	<u>FC MOSI</u>	<u>DIN-PE</u>
1	2 trans	3 trans
2	4 trans	4 trans
3	6 trans	5 trans
\vdots	\vdots	\vdots
n	$2n$ trans	$(n+2)$ trans



La rete di PD è uguale

La logica PE è adatta per un elevato numero di ingressi

Valutazione dei LIMITI delle logiche DINAMICA PE

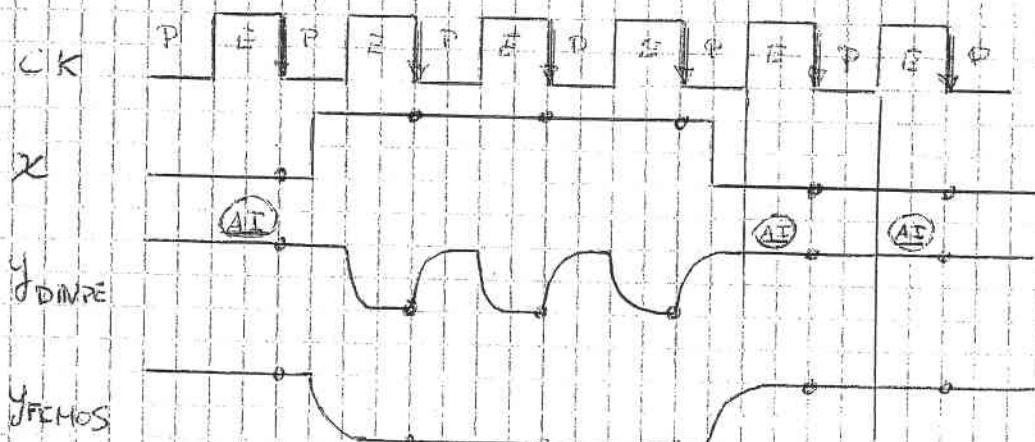
- ① Il circuito è formato da un ulteriore segnale (clock)

→ aumenta l'impattito a causa del nuovo falso (anche se il clock è già distribuito lungo il circuito e quindi l'arrivo del nuovo segnale può non essere un problema)

- ② Studio delle potenze dissipate

Le potenze statiche = 0

⇒ studio delle potenze dinamiche (legate alla commutazione) attraverso il confronto delle risposte ad un segnale x di un invertitore FC-MOS e a logica DINAMICA PE



(A1) ⇒ Alta impedenza: in fase di valutazione (dove il PV OFF) la capacità è isolata in quanto anche PD OFF. a causa di $Vx = 0$, la capacità "recorda" il valore precedente.

Quando il clock abilita lo stato successivo della lettura ($\frac{y}{y_{DINPE}} = \frac{x}{x}$)

→ nelle logiche DINAMICA PE la relazione esistente $y = x$ non è più rispettata.

La $y_{DINPE} = y_{FC_MOS}$ negli eventi di sincronismo ma

- FC-MOS commuta l'uscita 2 volte (1 carica, 1 scarica)

- DINPE commuta l'uscita 6 volte (3 cariche, 3 scariche)

Quindi: Pot dinamica DINPE \gg Pot dinamica FC-MOS in quanto le Pot dinamica dipende dal n° di commutazioni.

Se $Vx = VH$ allora (la logica DINPE commuta sempre)

la logica FC-MOS non commuta mai.

Quando $P_{\text{totale}} = 0$ le vere perdite di potere sono:

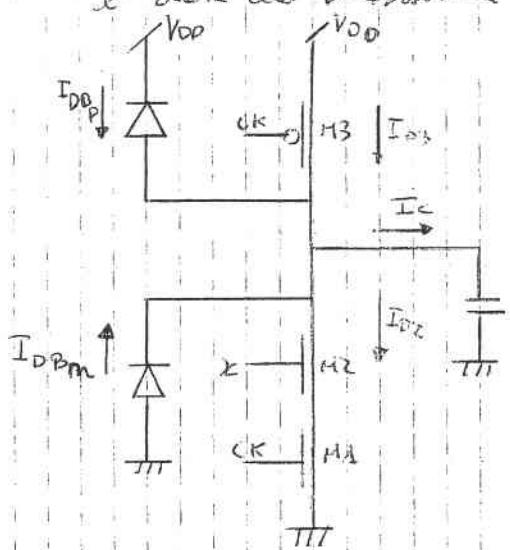
Ma può capitare che se $\omega = \text{cost} = V_H$ $P_{\text{totale}} \gg 0$ e causa delle commutazioni del segnale di clock.

P_{totale} è una potenza dissipata perché è causata dal C_L ma è ritenuta stabile perché si dà una potenza anche quando $V_C = \text{cost} = V_H$.

(Maggiora velocità \Rightarrow maggiore consumo)

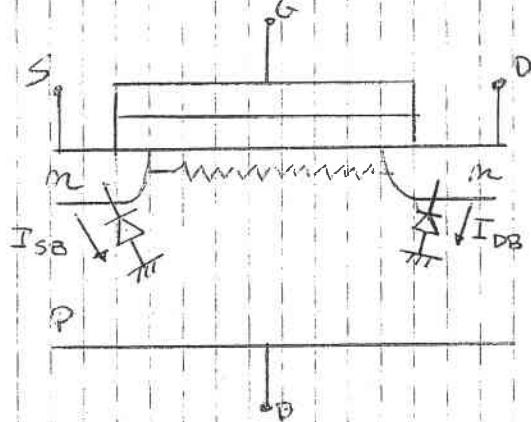
③ Problema della condizione di alte impedenze.

\hookrightarrow In queste condizioni il condensatore si "ricorda" il valore della stato precedente permettendo di alternare le fasi di precorso con le fasi di valutazione. Il valore delle capacità è piccolo, in quanto è dato da trasistore di dimensioni ridotte.



In alte impedenze M2 ed M3 sono OFF

Il transistor n-MOS



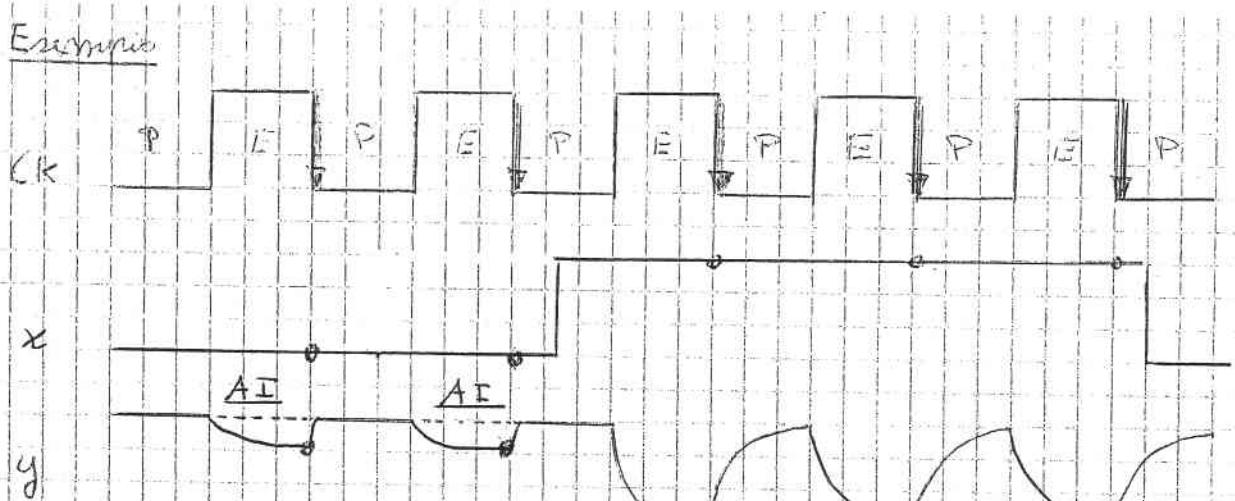
- Quando I_S del transistore è 0 allora la corrente delle giunzio-
- ne polarizzate in inversa è significativa (anche se è estremamente piccola) ed è paragonabile alle capacità che è dell'ordine di 10^{-5} .
- Quando n-MOS è OFF cioè dire che il canale ha una resistenza elevatissima ma quando in alte impedenze la corrente I_S infinitesima divenuta significativa (corrente di sottrazione).

\rightarrow In questo stadio tra il Drain e il Source c'è una giunzione n-p-n provocando anche un minimo effetto di transistor.

$$I_C = I_{D2} - I_{D3} - I_{DDB} + I_{DBm} \neq 0 \quad (I_{DDB} = I_{DDB} = -I_S)$$

\hookrightarrow Il condensatore in alte impedenze si ricorda in quanto si tratta di giunzioni polarizzate in inverso. Quindi l'informazione ricevuta durante la fase di precorso non viene mantenuta per un tempo indefinito.

Esempio



Quando

- Nelle logiche FC MOS

$$T_{CK} \gg t_{max} + t_p$$

$$\delta_{CK} \ll \delta_{max}$$

$$T_{CK} \gg t_{max} + t_p$$

$$T_{CK} \ll T_{MAX\ PERDITA}$$

- Nelle logiche DTMOS

$$\delta_{min} = \frac{\delta_{PERDITA} < \delta_{CK} + \delta_{max}}{2}$$

Quando non si può spegnere il clock quando il circuito non viene utilizzato.

↪ non può essere in Standby

Maggiore è la capacità e migliore è t_{max} e quindi $\delta_{max} \downarrow$

Maggiori sono le capacità e minori i $T_{MAX\ PERDITA}$ e quindi $\delta_{min} \uparrow$

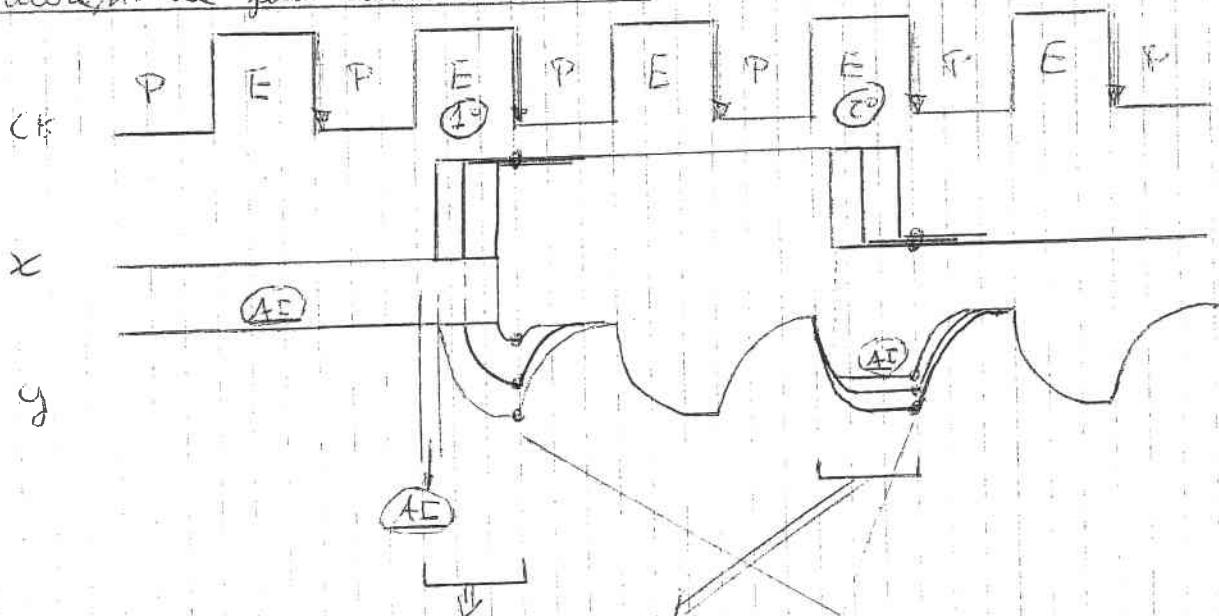
Per il t_{max} , le carica e scarica della capacità e obbligo di corrente molto più elevate ($1 \mu A$) che quelle che permettono la capacità in idle (1 pA) e quindi $T_{max\ perdita} \gg t_{max}$

$$t_{max} \approx 1ms \quad \text{allora} \quad \delta_{max} = 16\ Hz$$

$$t_{idle} \approx 1ms \quad \text{allora} \quad \delta_{min} = 1\ kHz$$

\Downarrow
TCK deve avere
perdita di non
consentire un'
elevata variazione
della capacità
isolata e perfettamente

④ Problemi quando il segnale d'ingresso commuta durante le fasi di valutazione (E)



Nell'intento in cui è commutata il valore dell'uscita è differente.
(corre critica)

↳ l'uscita dipende dalla distinzione tra la commutazione del segnale d'ingresso e il limite del clock (problema per intrete combinatorio)

Nel funzionamento

all'inizio l'uscita in uscita perché $x = 1$. Questo a parte a 0 il circuito va in alto impedendo e mantenendo il valore precedente (già diminuito).

durante la fase di valutazione il segnale può sollecitare (PV OFF)

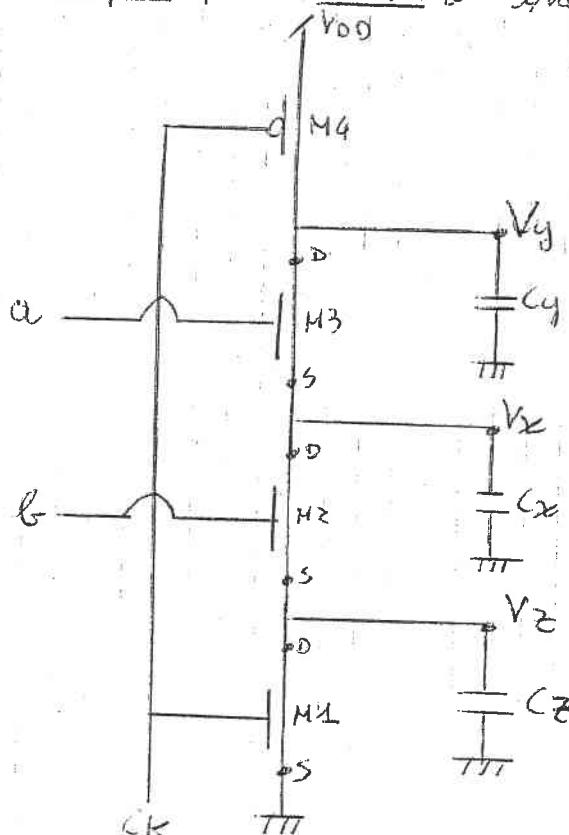
→ Nel primo caso quando $x = 0$ il circuito è un AI e mantiene il valore precedente ma quando $x = 1$ si accende il PD portando il circuito al valore zero fino a che non finisce la fase di valutazione.

→ Nel secondo caso quando $x = 1$ il circuito ha il PD ON e accia e' unita fino a che $x = 0$ portando il circuito in AI mantenendone il tensore corrente.

⇒ La rete funziona solo se il segnale d'ingresso non cambia durante la fase di valutazione.

5) Problema quando un segnale comune te durante la fase di valutazione provoca variazione dell'uscita indesiderata.

Esempio porta NAND a 2 ingressi in logica DINAMICA PE



$$a: 0 \rightarrow 0 \rightarrow 1$$

$$b: 1 \rightarrow 0 \rightarrow 0$$

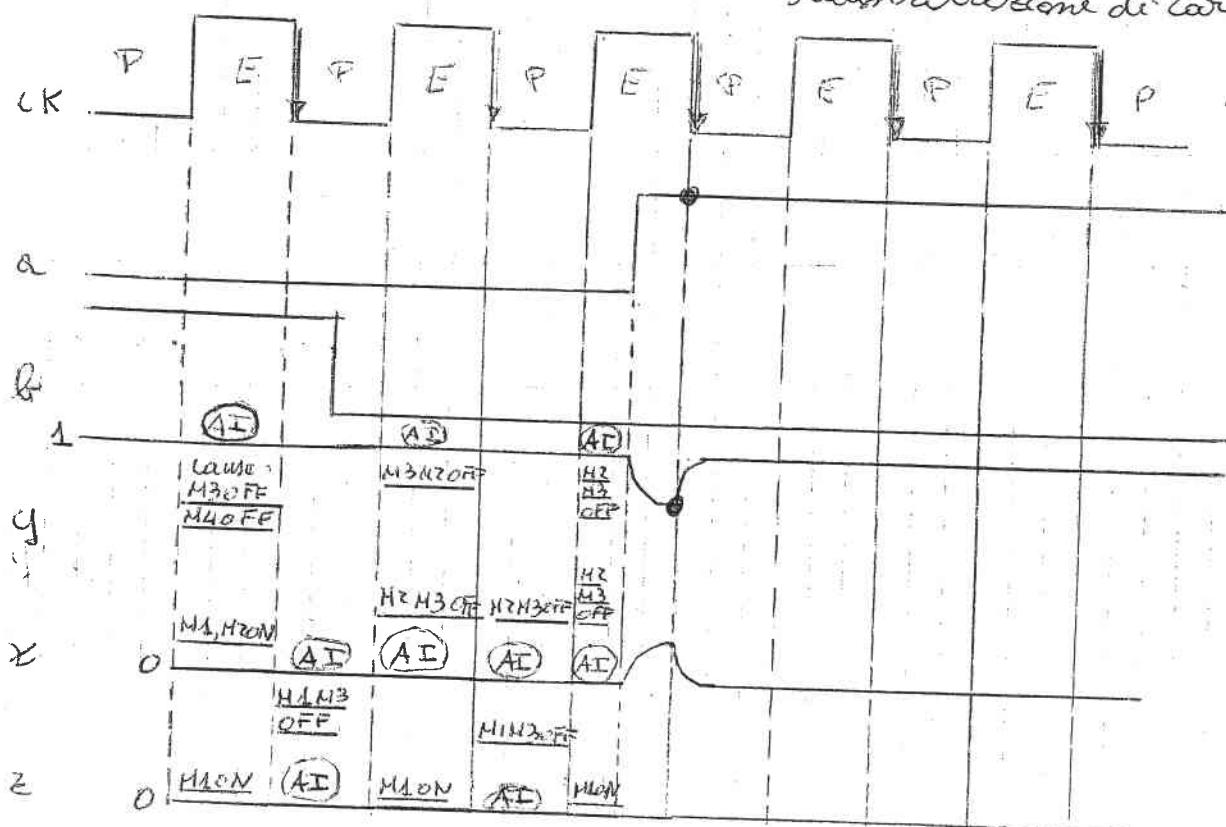
$$y: 1 \rightarrow 1 \rightarrow 1$$

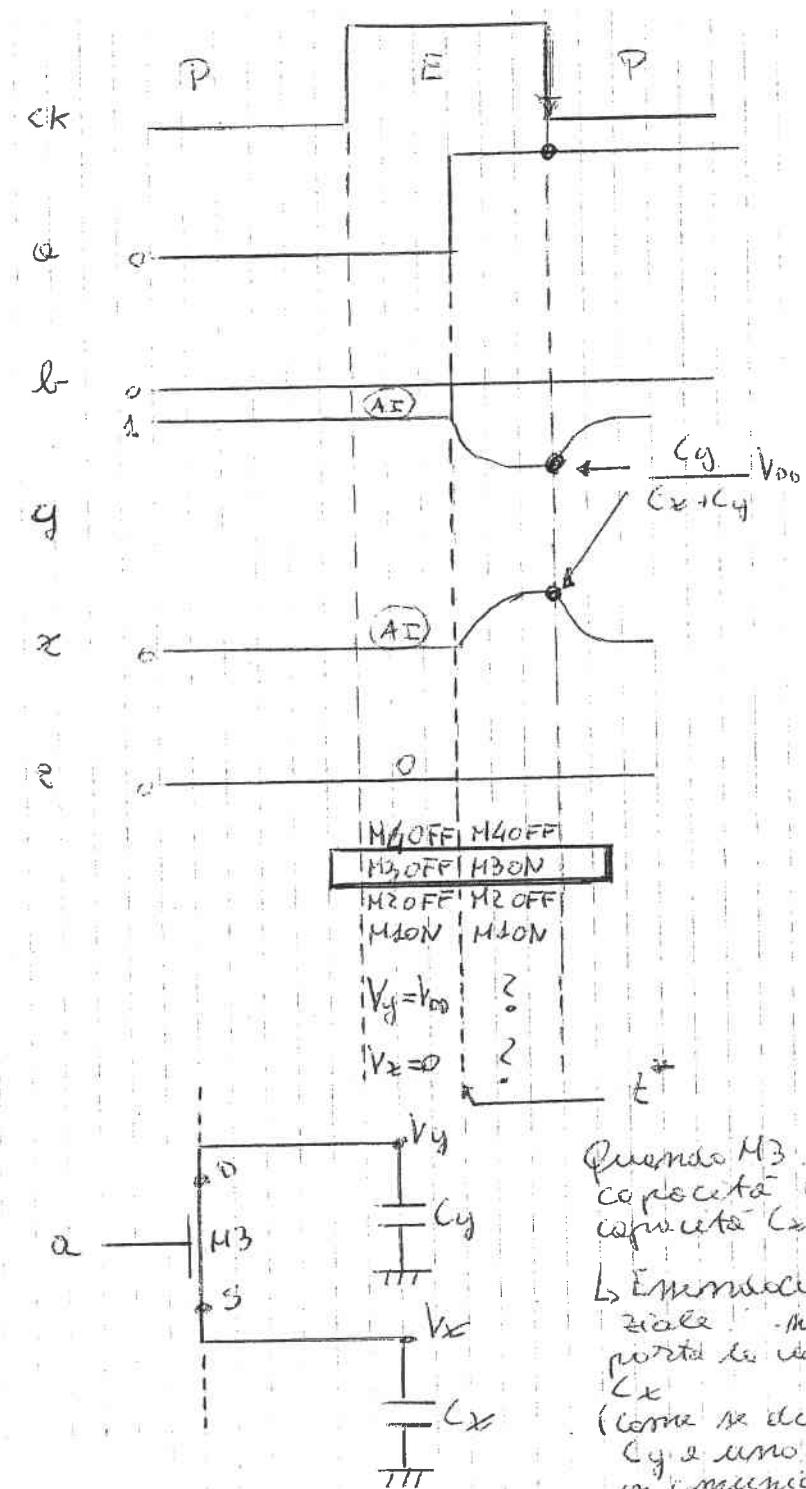
Le transizioni sono
immagine in quanto
l'uscita deve rimanere a 1.

(x è il parallelo tra $C_{S3} \cdot C_{D3}$)

(z è il parallelo tra $C_{S2} \cdot C_{D2}$)

• → errore per effetto delle
redistribuzione di carica





Quando M3 se acende colige la
copeceta y careca o Voo Corle
copreta la careca o o.

↳ Esistono due differenze da evidenziare: - nella linea corrente che porta la variazione Δy sul cardanometro
↳ (come se due rotoli sono pieni d'acqua
e uno vuoto (e fanno mettere
in comunicazione le due tubazioni))

Esempio $V_y > V_x$ allora $V_y = V_0$ e $V_x = V_{S_0}$

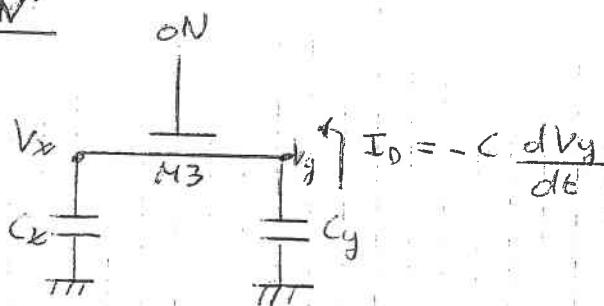
per $L < L^*$ M3 OFF

$$V_{y^-} = V_{yy}$$

$$\Rightarrow \frac{Q_y}{Q_x} = \frac{C_y \cdot V_y}{C_x \cdot V_x} = 0$$

per $t > t^*$ (con l'ipotesi che il transistore sia terminato)

M3 ON



Il transistore termina quando $\frac{dV_y}{dt} = 0$ cioè quando $I_D = 0$.
Lo corrente si annulla (se M3 è L1N)

$$I_D = 0 \Rightarrow V_{DS} = 0 \quad \text{cioè} \quad V_{x^+} = V_y + \quad \begin{array}{l} \text{(questo è il meccanismo di redistribuzione} \\ \text{di carica)} \end{array}$$

\rightarrow Viene sottratta dalla corrente di C_y e portata in (x è l'effetto di terreno) quando $V_{DS} = 0$ (quando il livello degli scariche è lo stesso)

$$Q_y^+ = C_y \cdot V_y^+$$

$$Q_x^+ = C_x \cdot V_{x^+} = C_x \cdot V_y^+$$

$$Q_x^- + Q_y^- = Q_x^+ + Q_y^+ \quad \begin{array}{l} \text{(comparazione)} \\ \text{(della corrente)} \end{array}$$

$$V_{x^+} = V_y^-$$

$$C_y V_{DD} = V_y^+ (C_x + C_y)$$

$$V_y^+ = V_{DD} - \frac{C_y}{C_x + C_y} V_{DD}$$

Per avere M3 L1N

$$V_G - V_S > V_0 - V_S + V_T$$

$$V_{DD} > V_y^+ + V_{TM} \quad \begin{array}{l} \text{(dipende dai valori delle capacità)} \end{array}$$

Se così non fosse M3 sarebbe SAT e V_y^+ sarebbe minore di V_{DD} ma maggiore di $V_{DD} - V_{TM}$.

\hookrightarrow FENOMENO DI CHARGE - SHARING (redistribuzione di carica)

Può capitare che per alcune tipi di circuiti (tanti transistori in parallelo) $C_x \gg C_y$ provocando un abbassamento eccessivo di V_y (può essere necessario per un valore basso)

Quando può capitare che

(4) l'uscita non commuta anche se doveva

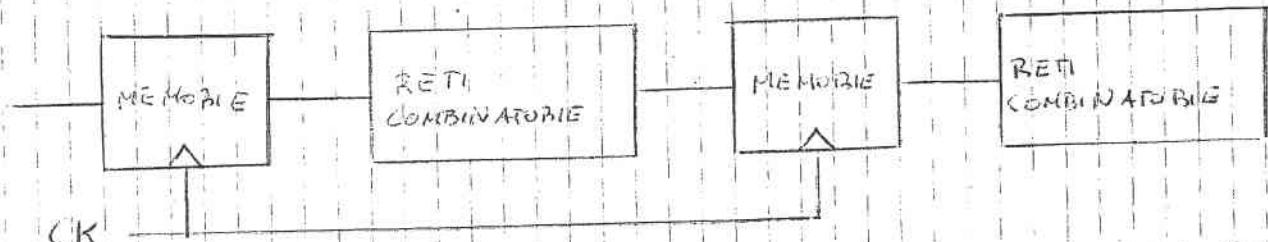
(5) l'uscita commut... anche se doveva rimanere costante.

\Rightarrow Il segnale d'impresa non può variare durante la fase di elaborazione.

6) Problema del ritardo della rete combinatoria

La considerazione da rispettare è che il segnale comincia a fluire le fasi di prelavaggio e il resto (escluso l'ingresso di una memoria rete), deve essere stabile all'inizio delle fasi di valutazione dello stesso dispositivo.

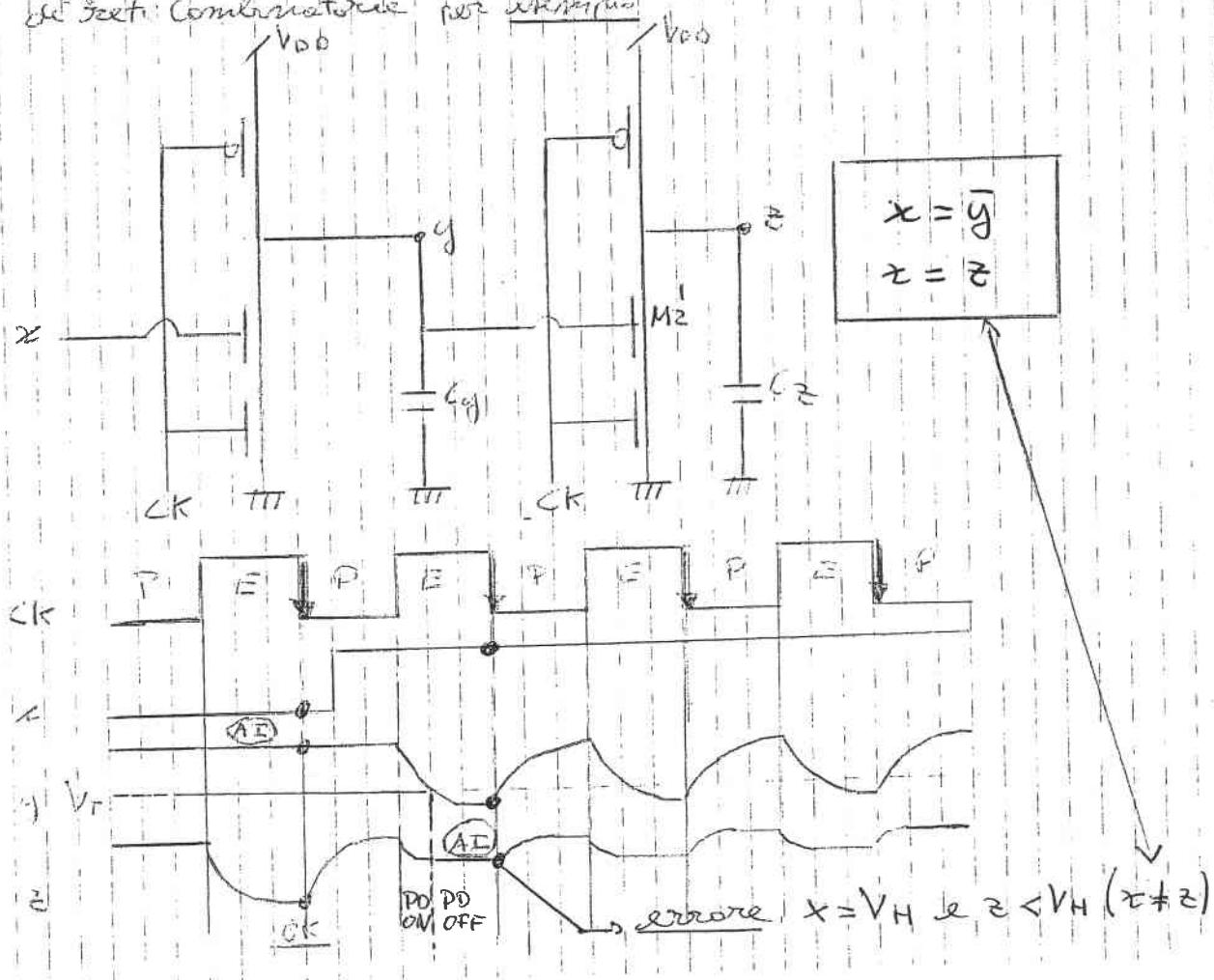
Basandosi sulla schema di una rete sequenziale sincrona



Il segnale d'ingresso del primo stadio di una logica DIN PE avverte dei flop flop della rete sequenziale sincrona che eseguiranno il valore corrente il campionamento del CK. Questo immediatamente dopo il passo di campionamento il segnale avverte dell'ingresso della logica DIN PE, il cui valore le fasi di prelavaggio.

↳ Il principio per non avere errori è riapplicato.

Il problema è che nella rete combinatoria si trova più stadi di reti combinatorie per risparmi.



L'angolo è rispettato nel momento per cui il commutatore d'onda fa parte di un circuito (in quanto se l'uscita di C_2 flip-flop).

Nella seconda fase di valutazione il segnale è che in ingresso il segnale di controllo calibra lentamente e C_2 delle componenti C_2 .

→ Nell'intervallo di tempo in cui $V_y > V_m M_2'$ è ON ed entro la fine di valutazione anche M_2' è ON quando PD è ON $\Rightarrow V_z$ cala.

Quando M_2' è OFF la rete di PD si spegne ma le reti di PV e Mentre è quando il 20 ns che ha un altro aspetto "conservando" un valore che si inforza di V_{DD} .

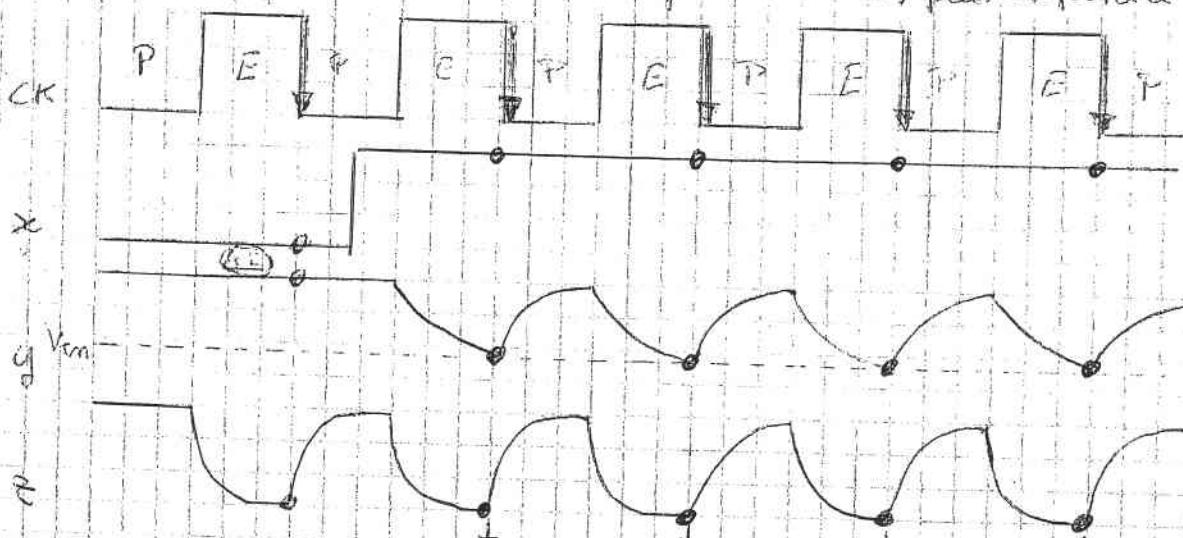
Non si possono connettere in cascata due circuiti DIN-PF, perché l'uscita del primo stadio varia durante le fasi di valutazione del secondo stadio.

Per avere V_z alto bisognerebbe che

- V_y vari istantaneamente o in un periodo differente
- Il circuito quando è in AT ricorda di portare il valore non corretto V_z quello volgendo.

Selettore è di separare il ritardo dello V_y con il momento in cui V_y viene valutato dalla stadio ricezione.

• Se $C_2 > C_1$ (è dovuto da un fan-out > 1) può capitare che



Siccome $C_2 > C_1$ V_y cala così lentamente che durante la fase di valutazione del secondo stadio è sempre migliore di V_m lasciando sempre accesso sul PD e provocando un errore in quanto $x \neq z$.

Considerazioni

- ① In fase di valutazione ogni porta può anticipare le sue sole transizioni (stato successivo la cui variazione è descritta) che sono irreversibili.
- ② Il valore definitivo durante la fase di valutazione non può essere raggiunto istantaneamente e causa delle sezioni di carico.

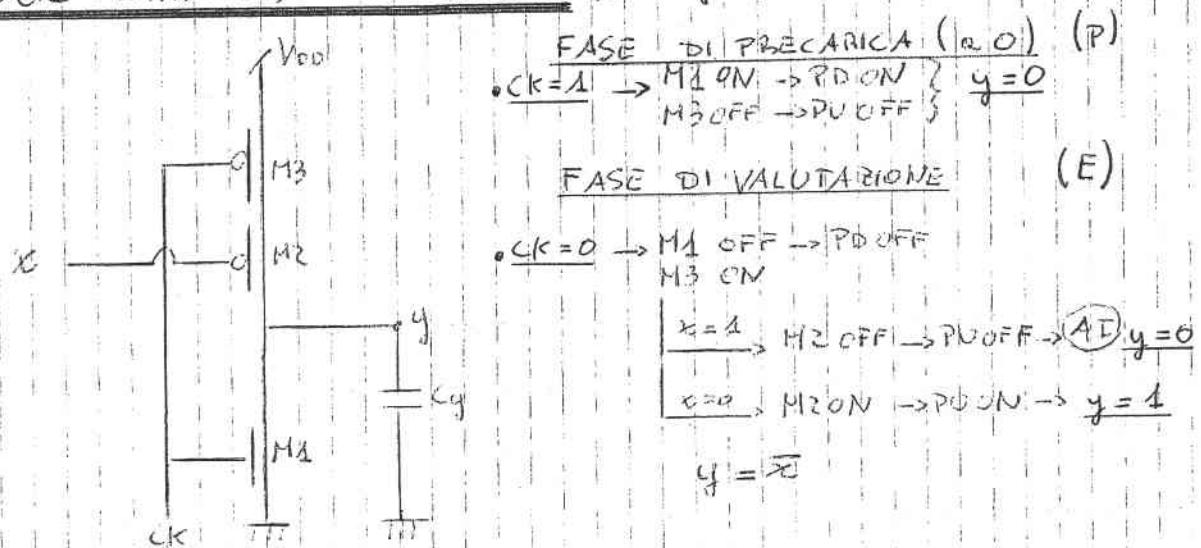
⇒ Il tempo di ritardo provoca una persistenza del valore di precedenza che costituisce un trampolino irreversibile nel circuito successivo

(il circuito è sensibile al valore alto in quanto se $V_m = V_H$, V_{in} contiene a cominciare dall'arrivo di un fronte irreversibile, precede perché è rimasta al suo livello o anche con trasistori portanti di loro).

Il problema si pone che il valore di precedenza che viene mantenuto e causa del ritardo è il valore a cui è sensibile la porta successiva.

↳ La porta successiva deve effettuare da uno stesso sensibile al valore di precedenza (valore alto V_{dd}).

Porta DINAMICA PE duale (di tipo p)



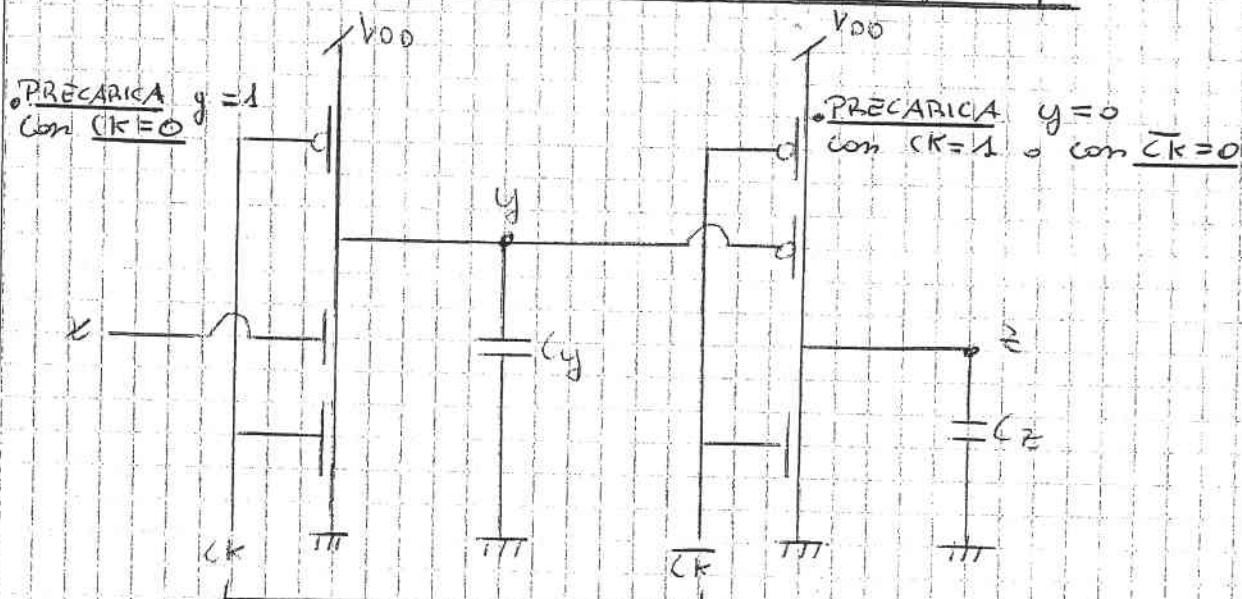
- ① La funzione logica è identica a quella precedente, ma:
- ② le fasi di precarica e valutazione sono invertite.

- ③ le caratteristiche sono uguali (ma i pregi che difini) ma il circuito è complementare.

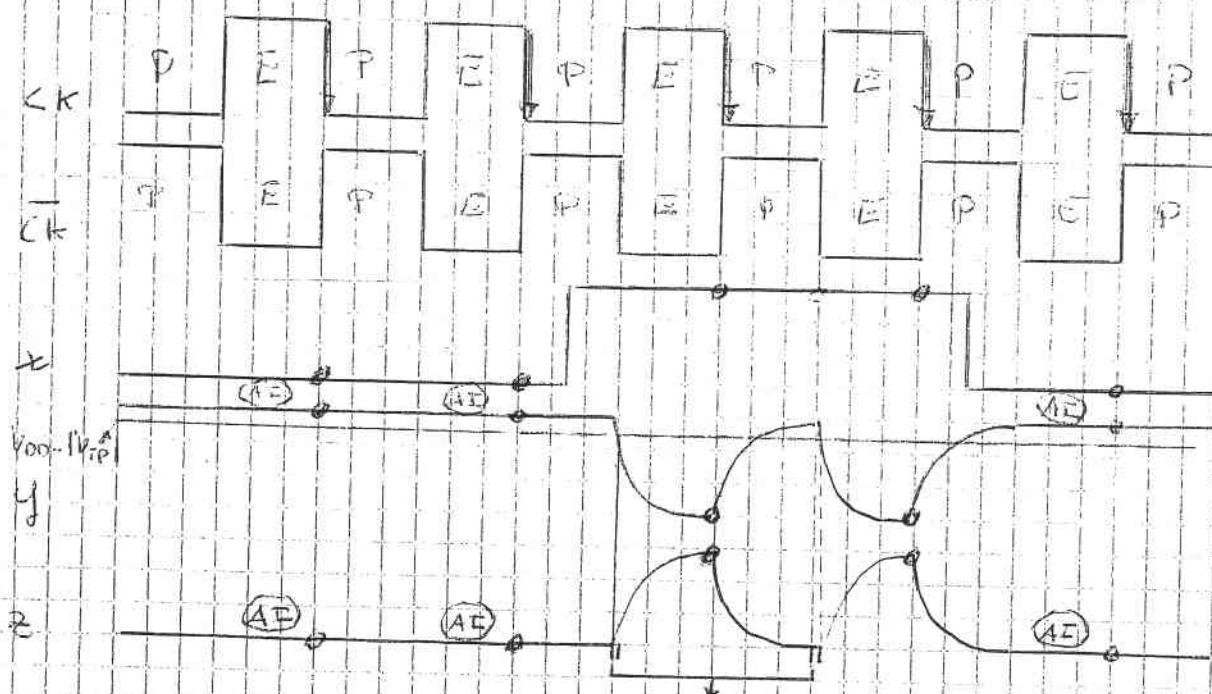
il circuito è sensibile al valore basso in quanto se $V_m = V_L$, V_{in} contiene a cominciare dall'arrivo di un fronte irreversibile, precede perché è rimasta al suo livello o anche con trasistori portanti di loro.

- La prima parte (con ingresso logico m-NOS) precarica al valore alto ed è sensibile al valore alto.
- La seconda parte (con ingresso logico p-NOS) precarica il valore basso ed è sensibile al valore basso (cioè se il segnale è alto la seconda stessa compie un transitorio di carica irreversibile).

1^a SOLUZIONE Logica Dinamica PE di tipo m/p

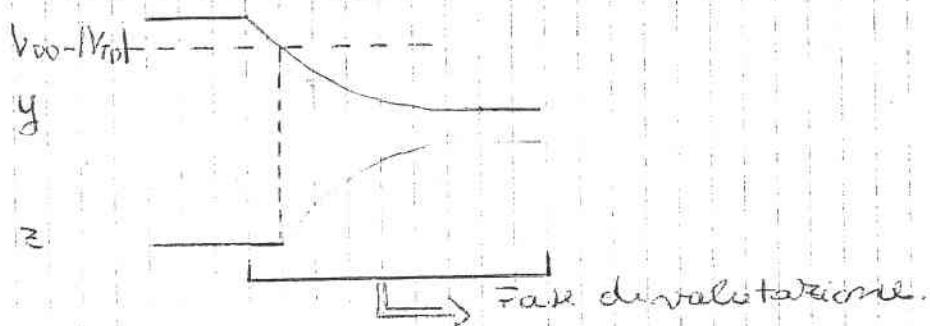


In questo modo si ottiene
che in lavorano contemporaneamente
in fase di precarica e di valutazione



per $V_{DD} - 1V < V_y \leq V_{DD}$ il 2° decreta
che A_2 è prima mos commutata

Quando $V_{Y_{in}}$ varia e commutare devono le fasi di valutazione dal valore alto al valore basso, il contrario della logica DIN PE solo di tipo n, per un primo istante (cioè fino a che la tensione V_{DD} non risale al suo livello $[V_{DD}]$) il secondo stadio non commuta. Poi il secondo stadio emette il corretto trasmittendo di corrente portandolo a V_{DD} .

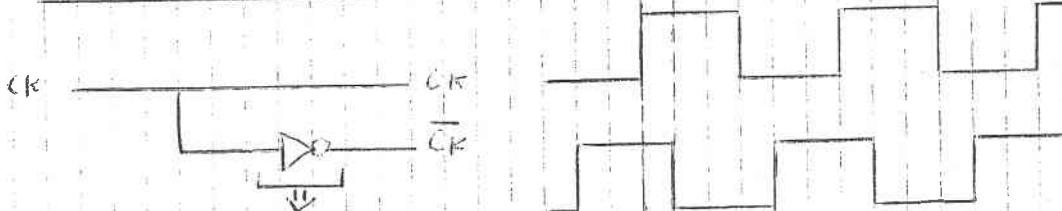


=> I valori sono corretti (•)

PROBLEMI

- ① Il segnale C_k e \bar{C}_k nelle reti di non sono mai perfettamente complementari (i due segnali del pieno non sono spazio)

Se si è invece usato con un invertitore allora

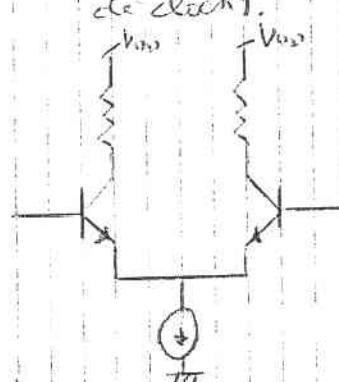


ha un ritardo
(tempo di propagazione)

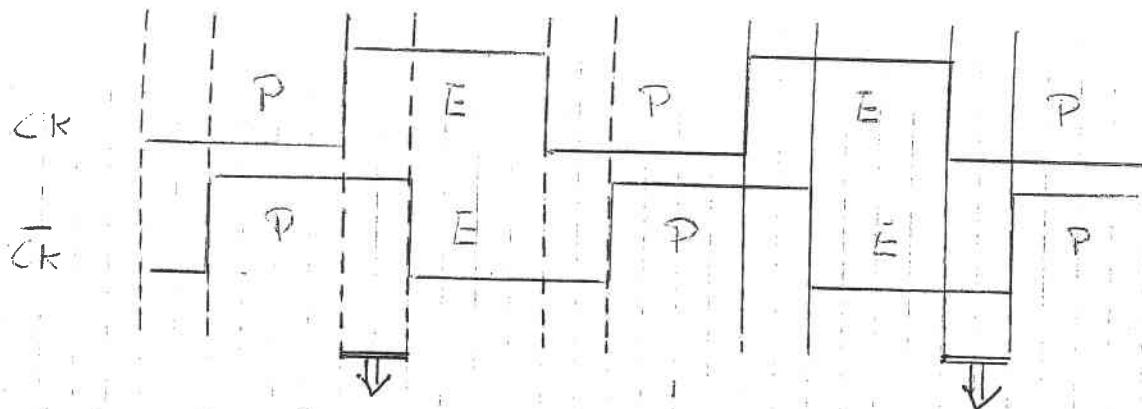
(dall'arrivo del fronte
di clock).

Con una logica ECL

è ad alta precisione ma
per essere perfettamente allineati
i due trasmittori devono essere
perfettamente identici (realistico
ma non impossibile a causa
delle tolleranze di fabbricazione)



=> Bisogna cancellare l'effetto del clock skew



lo stadio P è in fase di Prearriate
lo stadio E è in fase di valutazione

lo stadio P ha un impatto
lo stadio P che è in prearriate e
che non può modificare lo
stadio in valutazione, in quanto
aveva un'altra impedenza

lo stadio P è in fase di valutazione
lo stadio E è in fase di prearriate

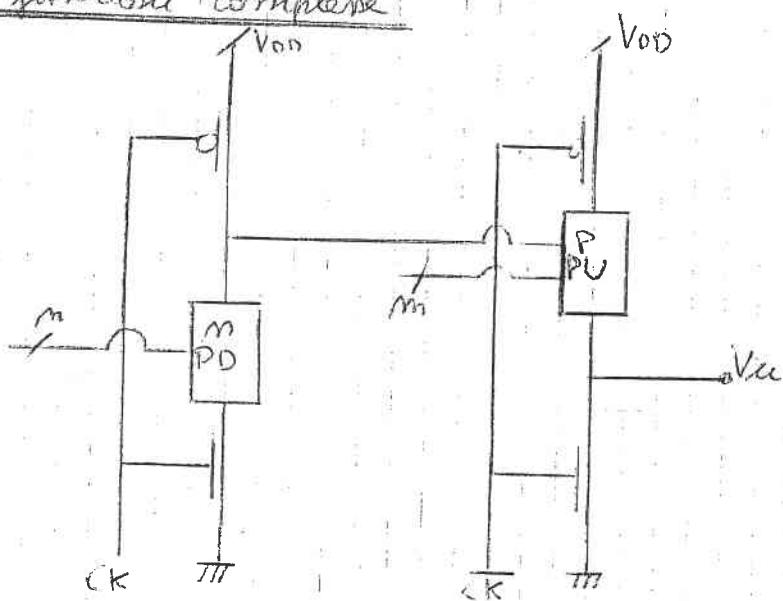
lo stadio P ha un impatto
lo stadio P che è in prearriate e
Vdd che non può modificare lo
stadio P in valutazione in
quanto aveva un'altra impedenza.

\Rightarrow C'è solo un ritardo della rete

La commutazione avviene quando sia il primo segnale che
comunque sia quando il clock obbliga a commutare.

Sincronismo - 53. min 49

Per funzione complessa



② I transistori n-MOS sono più efficienti dei p-MOS ($\beta_n < \beta_p$)
per avere le stesse prestazioni i p-MOS devono essere
2 o 3 volte più grandi dei n-MOS.

Anche se si è risolto il problema della connessione in
cocktail ci sono delle differenze nelle prestazioni dei due
invertitori.

Siccome n hanno le logiche DINAMICHE PÉ per avere un
minore ingombro i p-MOS limitano questo aspetto.

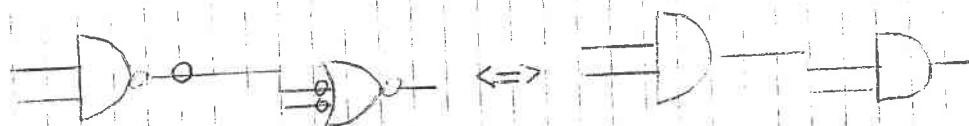
2^a SOLUZIONE LOGICA DINAMICA DI TIPO DOMINO

Bisogna rendere i due problemi di seguito:

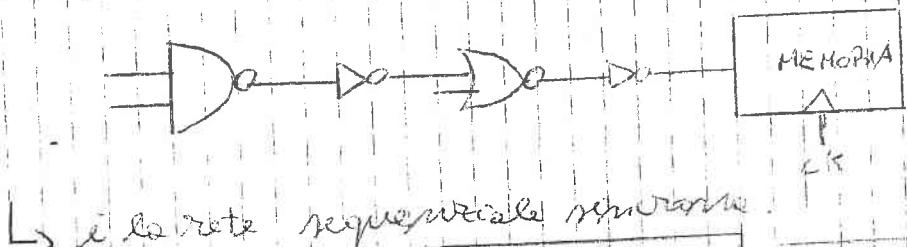
(1) una linea un po' per il segnale CK

(2) l'utilizzo di transistori P-MOS che ricevono la logica invertita deve essere risata per portare a TAN IN elevata, per avere prestazioni elevate come gli MOSFET, essendo l'elemento 3 volte più grande che quest'ultimo.

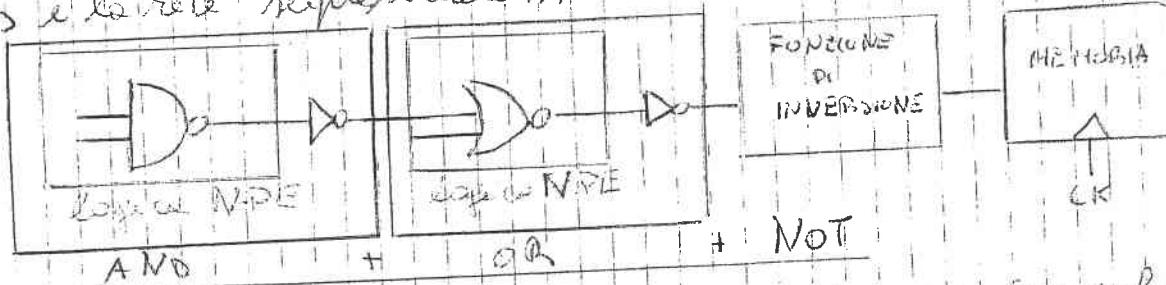
Una rete logica si forma da due porte di portate.



Una porta NAND in cascata con un NOT davanti un AND.
Una porta NOR in cascata con un NOT davanti un OR.



→ è la rete sequenziale memorante.



Queste sono le opportunità sintesi logica se si può usare fino
a un circuito in modo da avere reti AND, OR e NOT.

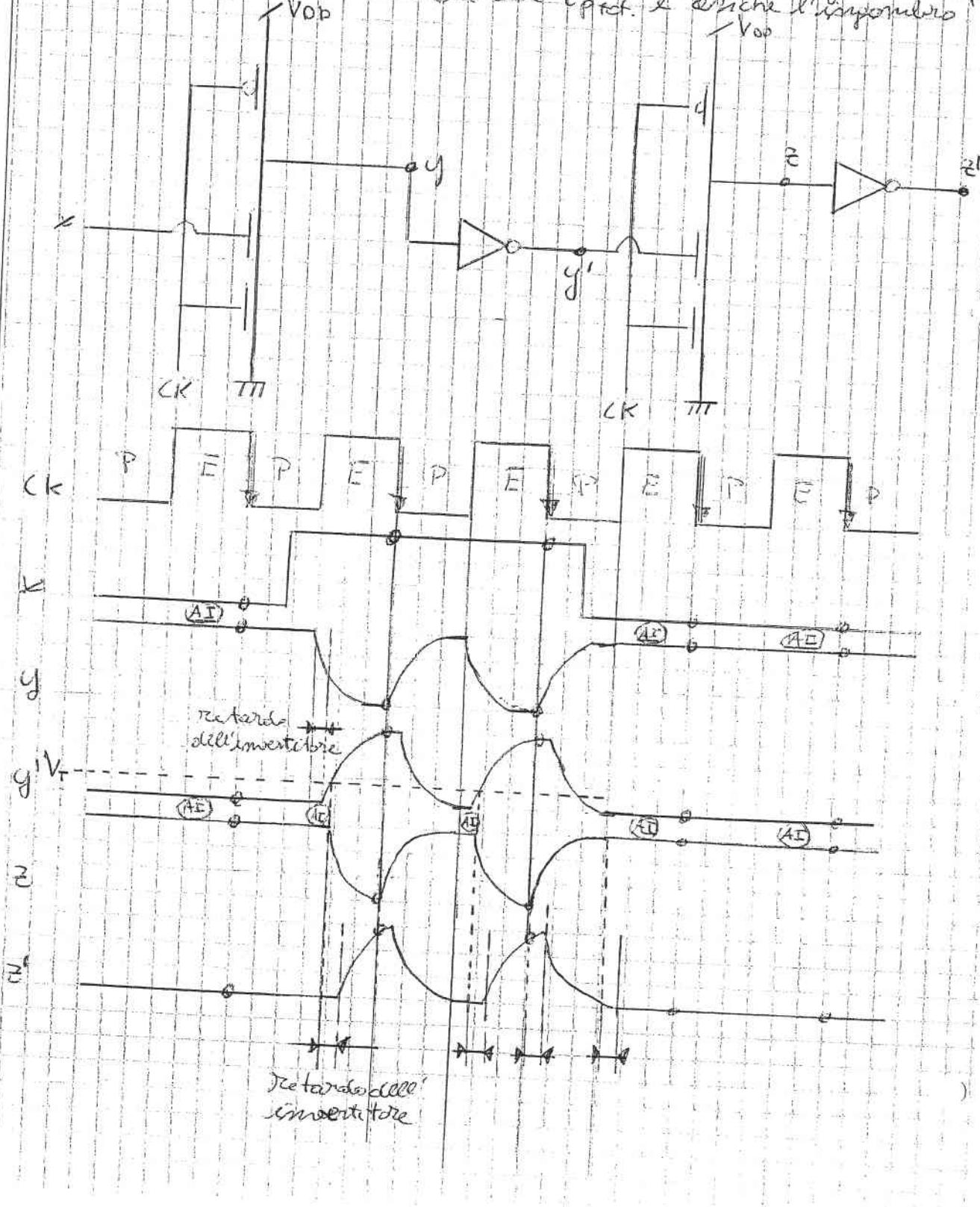
→ Se può realizzare il circuito così deve invertire
DINAMICO n-PE collegato ad un invertitore.

→ Nel circuito dinamico si possono costruire
funzioni specifiche e opportunamente
mettere la rete di PD degli invertitori DINAMICO
n-PE.

→ al tempo di propagazione deve considerare
l'aggiunta di un invertitore anche se, oggi esiste
gli invertitori n-PE di tipo P, si può costruire
il t_{pd}.

Studio del nuovo circuito

- ① ha 1 solo segnale di clock
- ② usa logica SOLO DINAMICA m-TE
- ③ ha uno stadio in rettifica non avvolto che permette di minimizzare il t_{prop.} e anche l'isoponibile

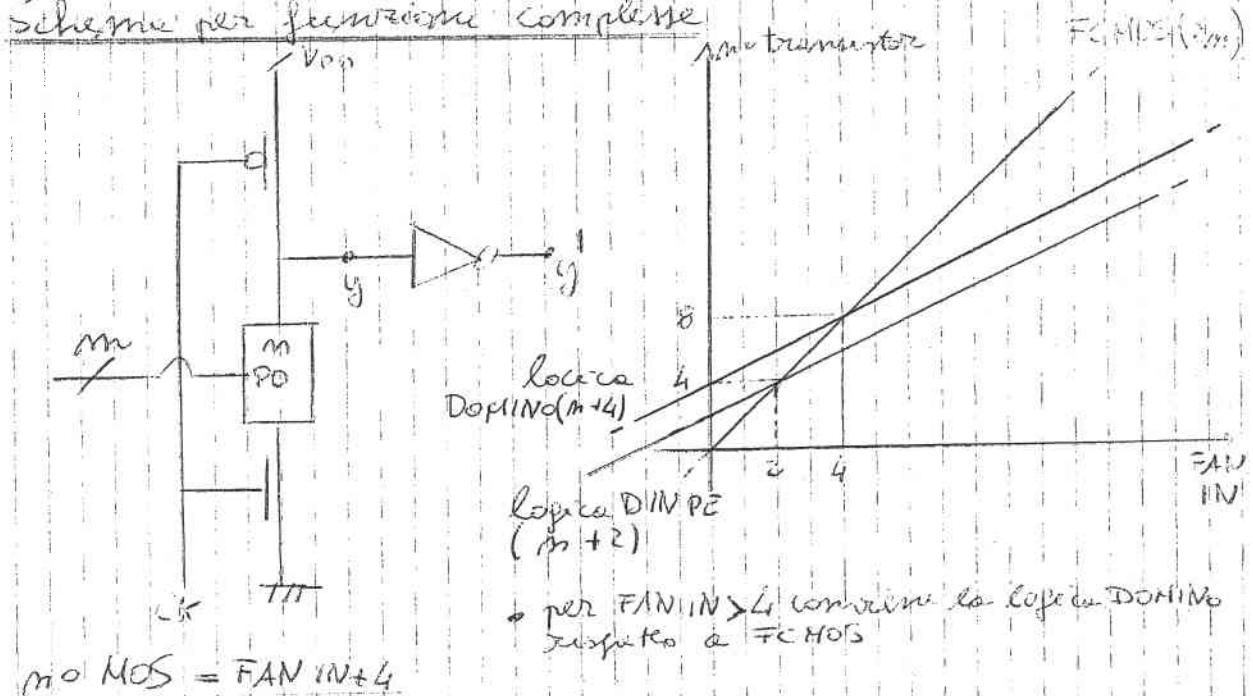


La prima porta provoca un variazione di valore che può essere invertito oppure il suo valore non rovescia il valore nelle successive porte essendo sensibile a valore alti.

Le due porte commutano insieme occupandone il tutto mentre non avendo più funzionamento.

\Rightarrow Logica di tipo domino perché la seconda porta commuta solo se la prima lo ha comunitato. La prima (come la terza del domino) dove la tensione basse si è calcolata quale precedente).

Schemi per funzione completa



La logica domino ha $C_{IN} < C_{IN}$ dell' F_{CMOS} perché gli ingressi vengono rispettivamente sul 1° gate il primo e sul 2° gate il secondo.

Anche se per una porta bisogna attivare entrambi i gate della logica DOMINO il $t_{PTOT} < t_{PTOT}$ della logica F_{CMOS} .

\Rightarrow Attualmente sono le logiche che in funzione della loro realizzazione danno hanno una maggiore velocità.

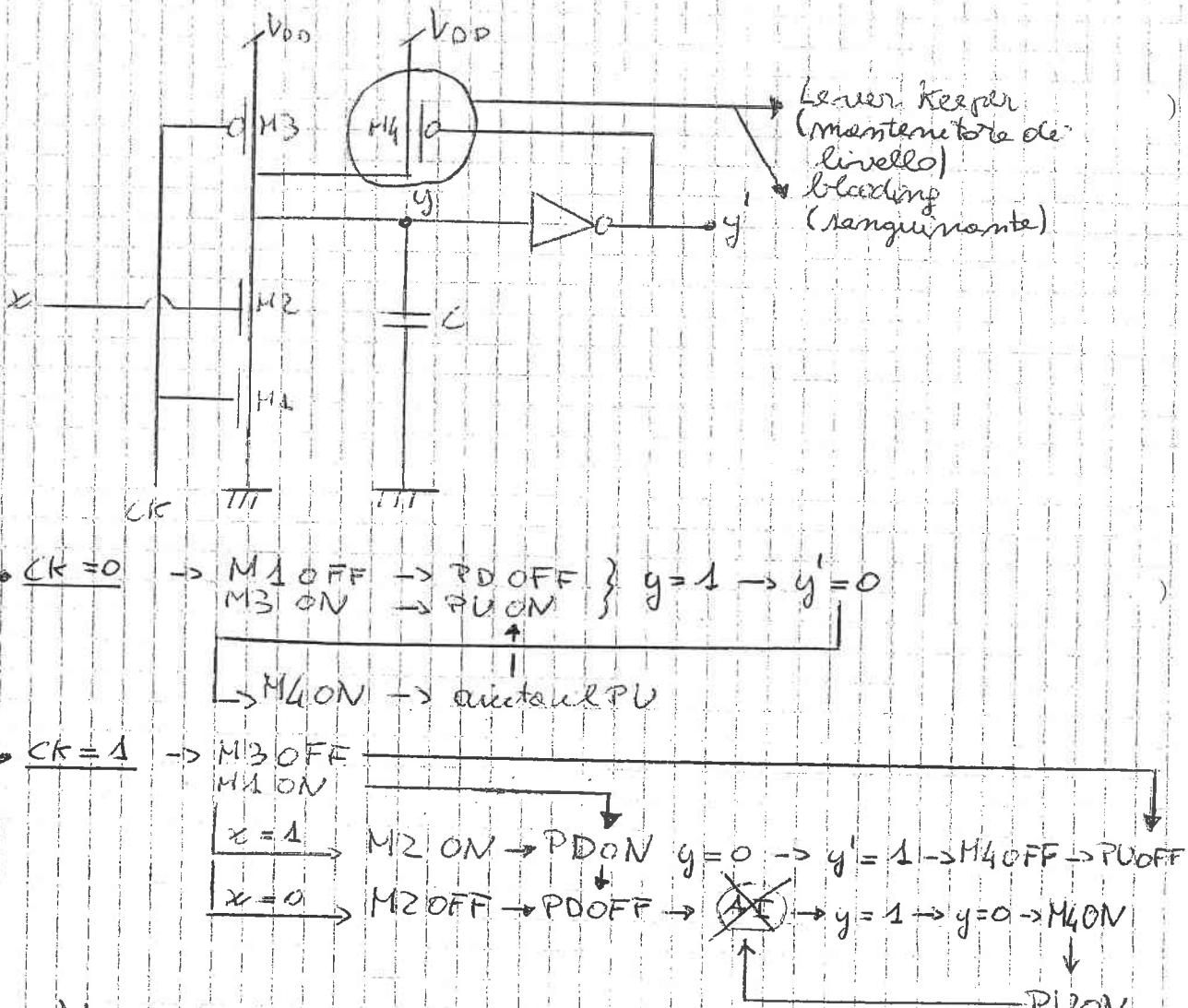
\hookrightarrow Con una piccola modifica questa logica può avere anche la funzione di stabilizzatore, al contrario della logica DINAMICA PE.

Il problema di questa logica è che le capacità terminali sovraccaricate quando il loro valore è un alto impedenza cioè per P_D che P_C sono spese.

\hookrightarrow in questa situazione l'uscita y' è bassa.

Nel caso di un parallelo di n MOS con altri transistor aperto con un ingresso y' questo si è bloccato (cioè quando il suo valore dà un alto impedenza) scattando il transistor che mantiene alto il potenziale delle capacità.

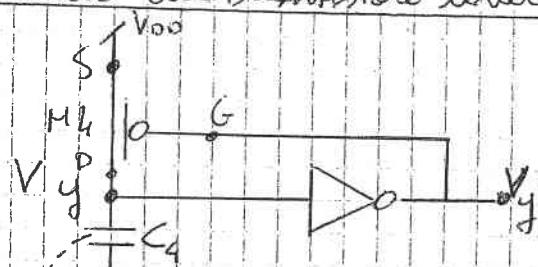
LOGICA DOMINO QUASI STATICA



\Rightarrow Non c'è l'alta impedenza \Rightarrow Si, STAND BY

M_4 è un transistore estremamente piccolo.

Studio del transistore lever keeper



In condizione nominale $V_y = V_{DD}$ e
 $V_y = 0$

$$V_{SG4} = V_{DD}, V_{SD4} = 0$$

$$V_{SG4} > V_{SD4} + |V_{th}| \Rightarrow M_4 L/N$$

Siccome $V_{SD4} = 0$ allora $I_{D4} = 0$.

Corrente di percolata, diminuisce la corrente
diminuisce la tensione ($\Phi_4 = V_y - V_{D4}$)

$\Rightarrow V_{SD} > 0$ che scarica una corrente che carica lo zeppeletto

Il transistor può essere piccolo perché le correnti necessarie per tenere lo zeppeletto a V_{DD} sono piccole.

\Rightarrow questo è una rete mutuamente esclusiva della zeta del PD.

Considerazioni

Il circuito puo' risolvere il problema del CHARGE SHARING che era dovuto delle non presenze di una rete di PV.

Il PV aggiuntivo e' acceso solo quando V_y e' bassa cioè

$V_y = V_{DD} \Rightarrow$ la rete e' complementare a quella di PD.

↳ Si mantengono quindi le proprietà di:

- RATIONLESS

- Potstat = 0

Inoltre si aggiunge le proprietà che questa rete puo' stare in STANDBY.

Difetti

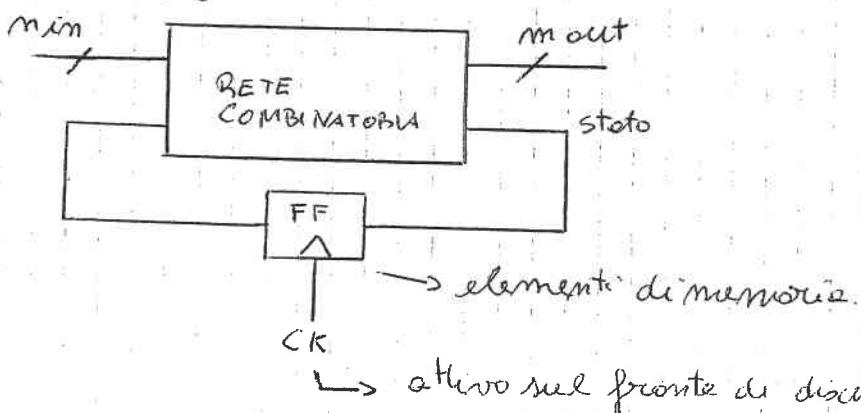
Durante il transitorio puo' capitare che M₁, M₂, M₃ siano accesi per l'effetto del ritardo dell'invertitore.

Ma seendo M₄ molto piccolo il fenomeno puo' essere trascurabile.

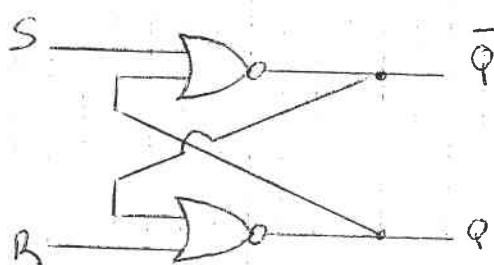
Anche se il circuito e' RATIONLESS i transistor M₁, M₂, M₃ non sono di dimensione piccole come M₄ in quanto le loro dimensioni influiscono nelle velocita' del circuito ($L \neq \infty$, $W \neq \infty$ e minime).

PROGETTO DI RETI SEQUENZIALI

Una rete sequenziale è una rete combinatoria con i segnali in retroazione

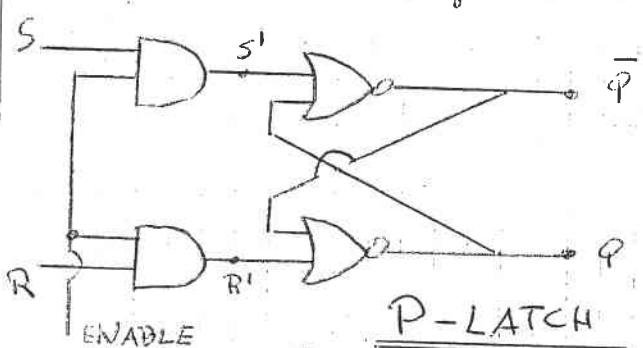


Usando una rete combinatoria in retroazione si può ottenere un P-latch



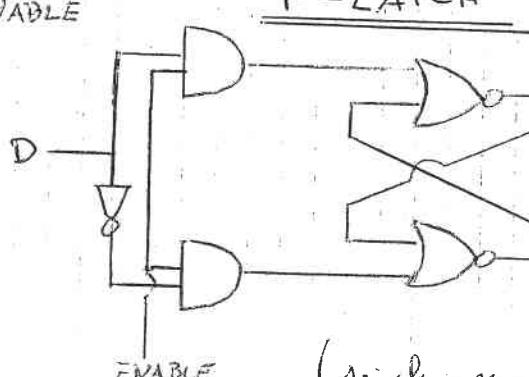
S	R	Q	\bar{Q}	CONDIZIONE DI
0	0	Q	\bar{Q}	HOLD
0	1	0	1	RESET
1	0	1	0	SET
1	1	0	0	PROIBITA

→ è inefficiente. Bisogna intercalare un segnale di abilitazione.



se ENABLE = 0 (CONDIZIONE DI HOLD)
se ENABLE = 1 (ALTRÉ CONDIZIONI)

Latch con segnale di abilitazione

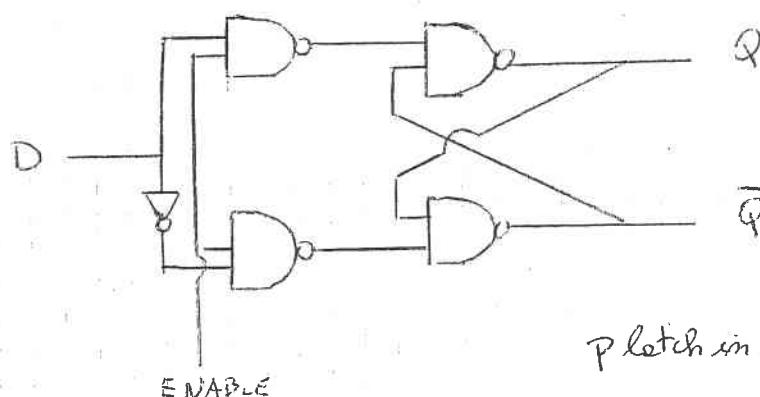
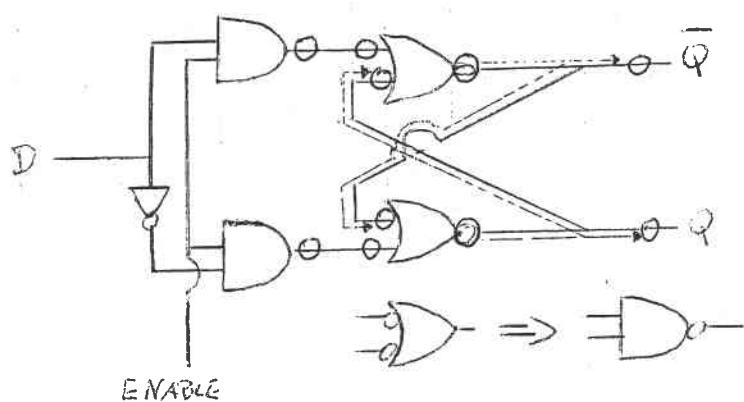


→ solo quando ENABLE = 0 l'output è 1
solo se non è abilitata
l'intera struttura

D	Q	\bar{Q}
0	0	1
1	1	0

(si chiama P-latch perché è sensibile al valore positivo del segnale di clock)

Si può modificare la logica per avere porte logiche invertenti



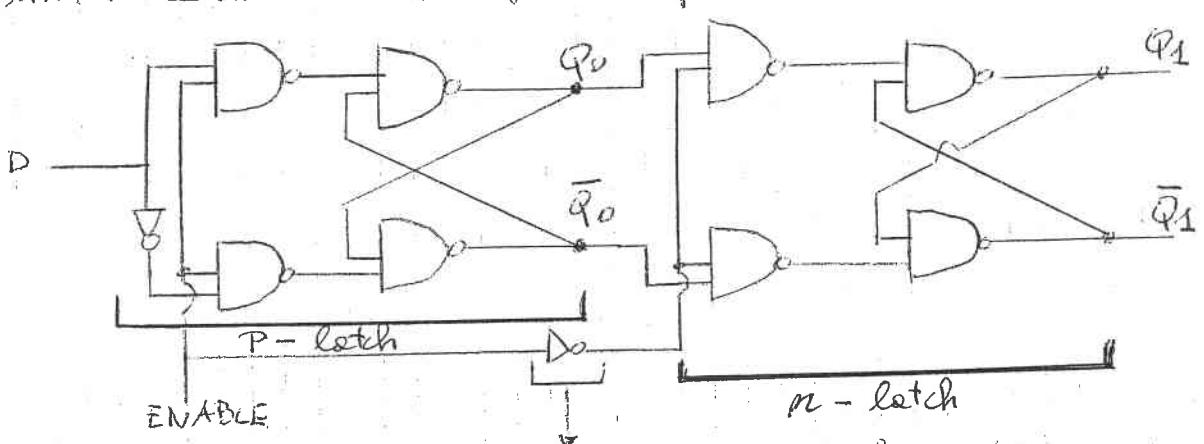
4 NAND e 2 inversori
4x4 transistori in logica CMOS
+
1 NOT = 2 transistori in logica CMOS

p-latch in logica CMOS \Rightarrow 18 transistori.

FLIP-FLOP ATTIVO SUL FRONTE DI DISCESA DEL CLOCK

Si usano strutture di tipo master-slave

\hookrightarrow un p-latch (attivo sul fronte positivo del clock) in associazione con un m-latch (attivo sul fronte negativo del clock)

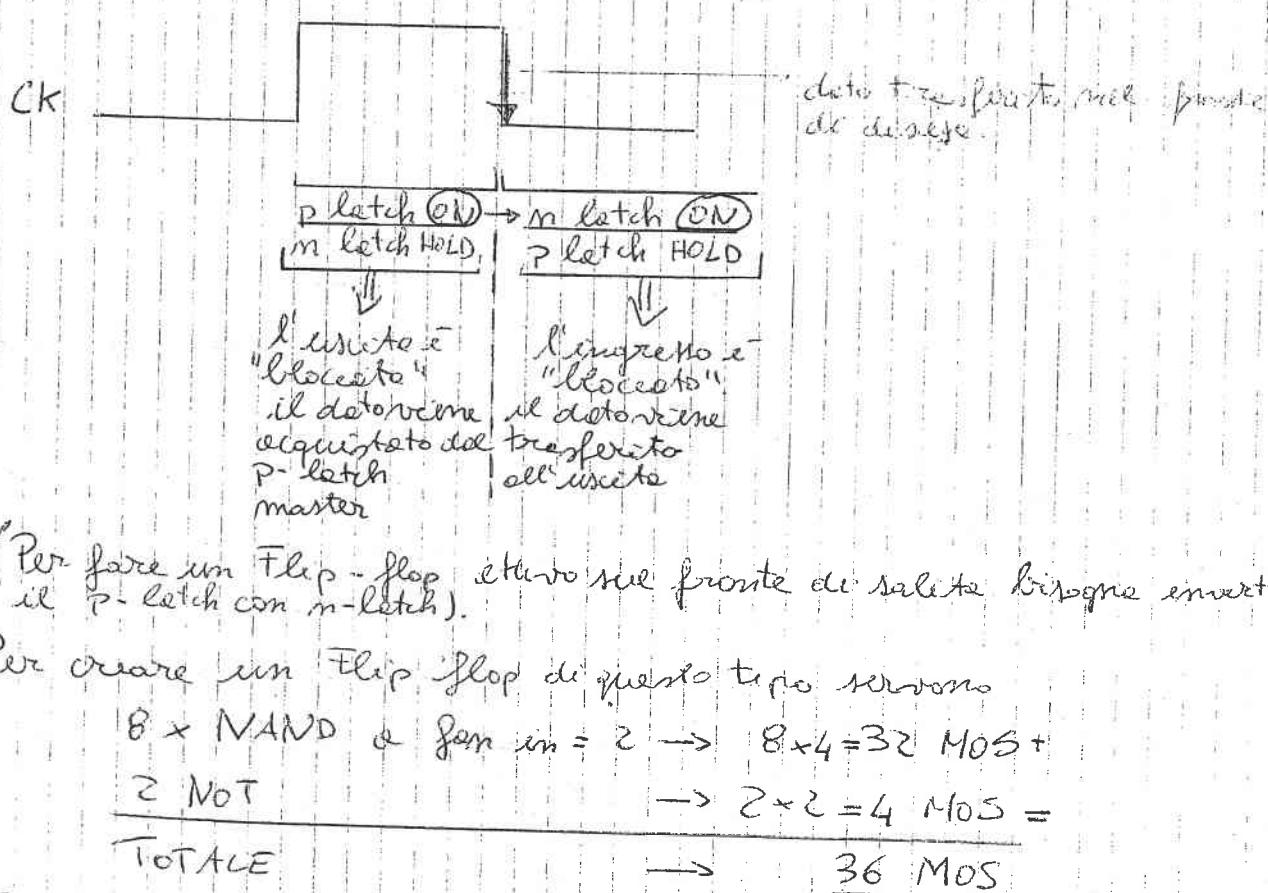


l'aggiuntore abilita m-latch solo all'interno
negativo del clock

p-latch è il circuito di master, m-latch è il circuito di slave.

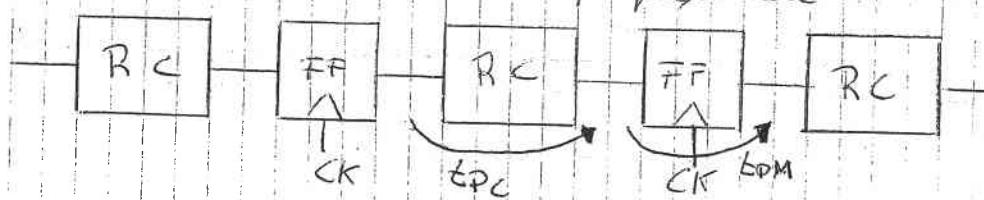
Il circuito di master reagisce quando il clock è alto.
e lo stesso successivo non reagisce fin tanto che il clock è alto.

Lo slave reagisce quando il clock da alto passa a basso.
In questo momento il master è allo stato di hold, Q_1 e Q_2
vengono dette "completate" ed acquisite come segnali di
Set e Reset del m-latch che li riporta all'uscita con
 Q_1 e Q_2 .



Con un flip flop (realizzato con 36 MOS) si può memorizzare un bit.
Il circuito, oltre ad essere ingombro, è anche lento in quanto
il segnale raggiunge il punto di inversione con un elevato numero di porte logiche
(4 stadi di porte NAND).

È necessario avere un flip flop molto ingombrante e veloce perché
della una rete combinatoria / sequenziale



Con flip flop ad alte prestazioni si possono costruire architetture
molto efficienti.

Il segnale di clock deve, all'interno di un suo periodo, consentire a una rete combinatoria di completare la propria funzione in modo che ad ogni istante di compilamento vengano effettuati correttamente calcoli nell'intervallo precedente.

t_{PC} = tempo di propagazione associato alla rete combinatoria più lenta

t_{PM} = tempo di propagazione associato all'elemento di memorizzazione

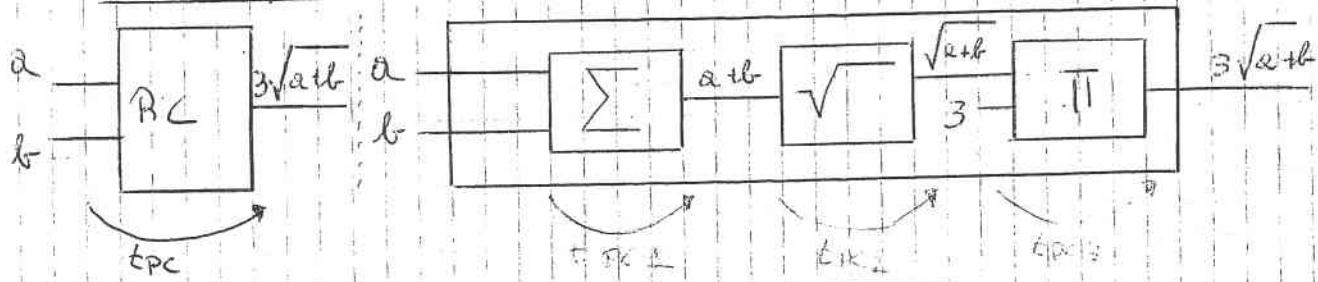
Allora bisogna che

$$T_{CK} \gg t_{PC} + t_{PM}$$

Se $t_{PC} \gg t_{PM} \Rightarrow S_{CK} \ll \frac{1}{t_{PC}}$

t_{PC} è grande quando la rete combinatoria deve fare operazioni complicate (tanti livelli di logica)

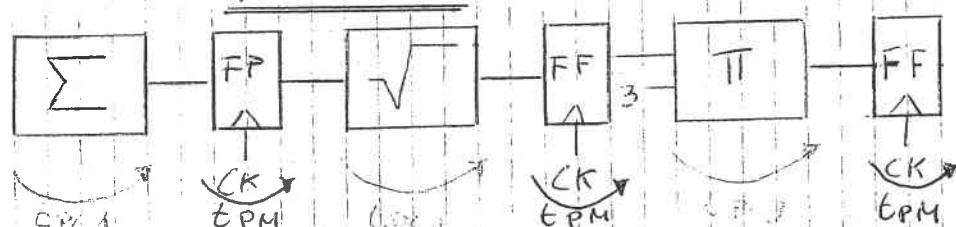
Per esempio: il blocco più lento fa operazioni aritmetiche?



$$t_{PC} = t_{PC1} + t_{PC2} + t_{PC3} \Rightarrow t_{PC_i} = \frac{t_{PC}}{3}$$

Se l'elemento di memoria è efficiente (molto veloce) si può realizzare una struttura più efficiente:

PIPE LINE



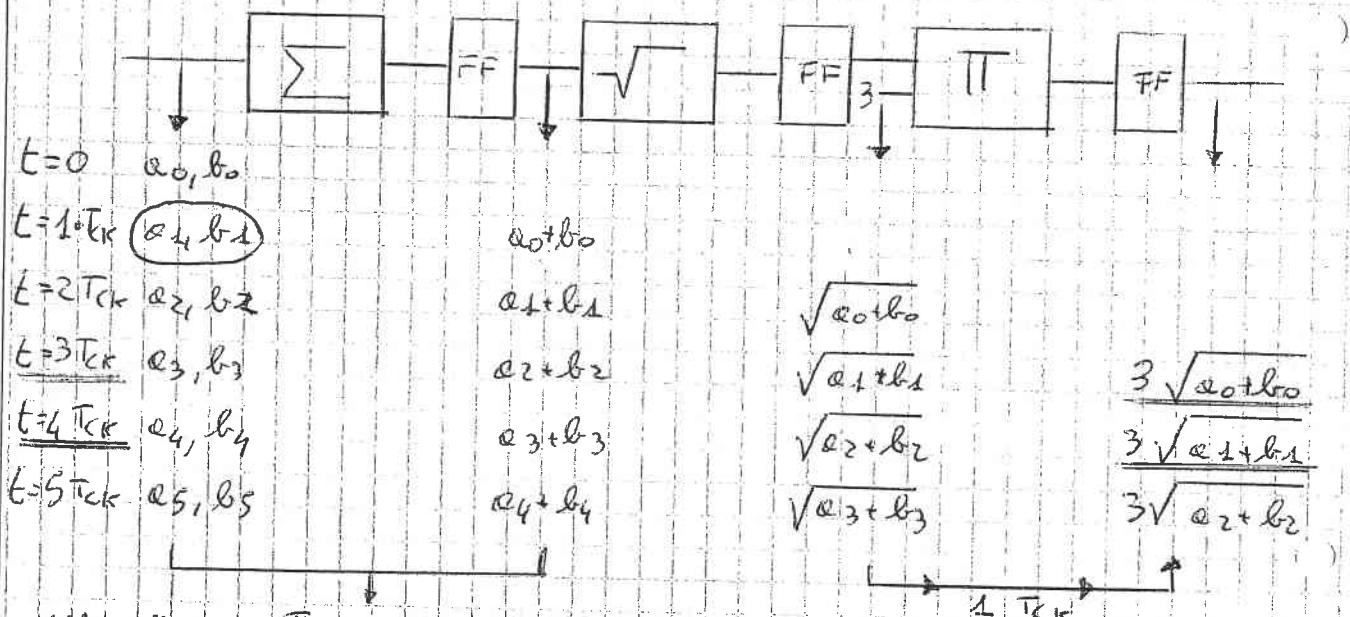
$T_{CK} \gg t_{PC_i} + t_{PM}$ e se $t_{PC_i} \gg t_{PM}$ allora

$$S_{CK}' \ll \frac{1}{t_{PC_i}} = \frac{3}{t_{PC}} = 3 S_{CK}$$

$$t_{PC_i} = \frac{t_{PC}}{3}$$

Quindi "dividendo" la rete combinatoria con uno flip-flop si può aumentare la frequenza di clock (sempre se t_{PM} è molto piccolo.)

Al costo di due flip-flop si può aumentare la velocità di elaborazione. Se il calcolo viene ripetuto continuamente.



un periodo TCK permette ai dati di ingresso delle reti combinatorie di essere elaborati correttamente e memorizzati dal FF.

\Rightarrow la coppia (q_1, b_1) , come le altre, può già essere elaborata in quanto le uscite di ogni flip-flop sono "complete" cioè non varieranno se verranno gli ingressi finiti al successivo fronte di astete del clock.

Per ottenere il primo risultato ($3\sqrt{q_0+b_0}$) servono 3 cicli di clock con una frequenza triplicata e quindi non varia il tempo di propagazione totale rispetto alle reti combinatorie precedenti. Sente l'aggiunta di flip-flop.

Per le successive risultati il tempo di calcolo è pari a $3 \cdot TCK$ cioè 3 volte inferiore alle reti combinatorie precedenti.

\hookrightarrow questo è uno dei motivi per cui la frequenza di calcolo seguente non solo con lo sviluppo delle tecnologie ma anche grazie alla refazione dell'architettura.

Observazioni:

- Il tempo minore che si ottiene si chiama "tempo di latenza delle pipe-line". Per funzionare al meglio i dati devono essere sincroni.

\hookrightarrow Per alcune funzioni è impossibile ricorrere alle pipe-line. Per esempio nella creazione di una rete combinatoria

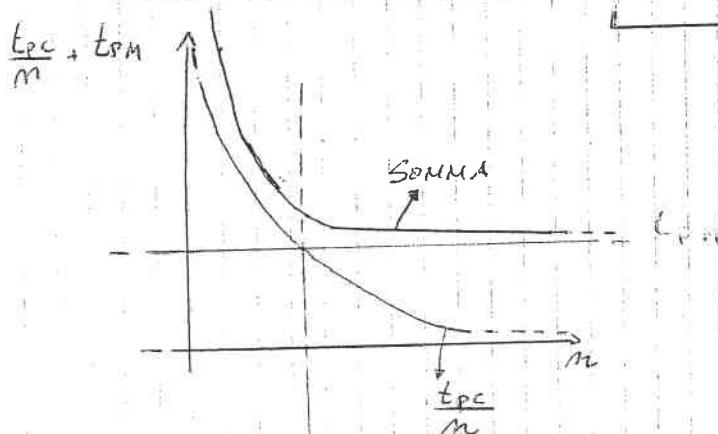
$$z = \sqrt{x+1} \circ x \quad (\text{cioè una rete che è dipendente degli ingressi precedenti})$$

• Per avere una pipe-line efficiente serve che $t_{PM} \ll t_{PC}$

↳ Bisogna anche stimare il n° di livelli delle pipe line:

- Approccio convenzionale $T_{CK} \gg t_{PC} + t_{PM}$

- Pipe line (a m-blocks) $T_{CK}' \gg \frac{t_{PC}}{m} + t_{PM}$



\downarrow
all'aumentare di m

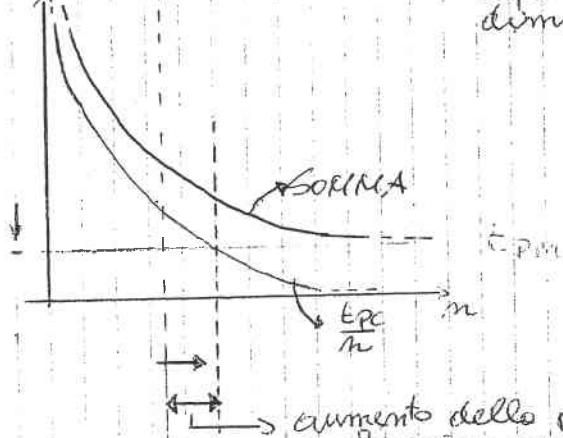
t_{PC} diventa più piccolo di t_{PM}

- per m piccolo prevale il ritardo parabolico
- per m grande prevale il termine costante (t_{PM})

→ da qui un avvertito non ha senso prevedere perché il ritardo principale è t_{PM} (FFK).

⇒ Il periodo di clock non potrà mai essere più piccolo del tempo di memorizzazione

Se t_{PM} diminuisce allora il vantaggio del frazionamento è quindi il limite del ritardo diminuisce

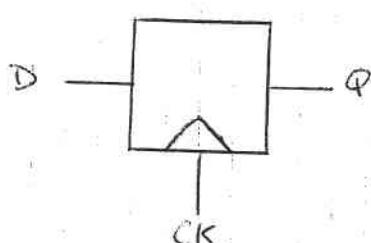


aumento della possibilità di frazionamento

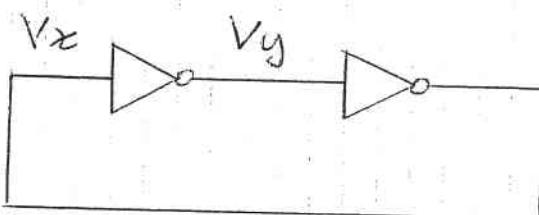
⇒ per diminuire t_{PM} servono dei flip-flop poco ingombranti, cioè con pochi stadi di "superare", e molto veloci in modo da poter aumentare il frazionamento delle reti combinatorie (pipe-line a m-blocks)

SOLUZIONI ALTERNATIVE PER ELEMENTI DI MEMORIZZAZIONE

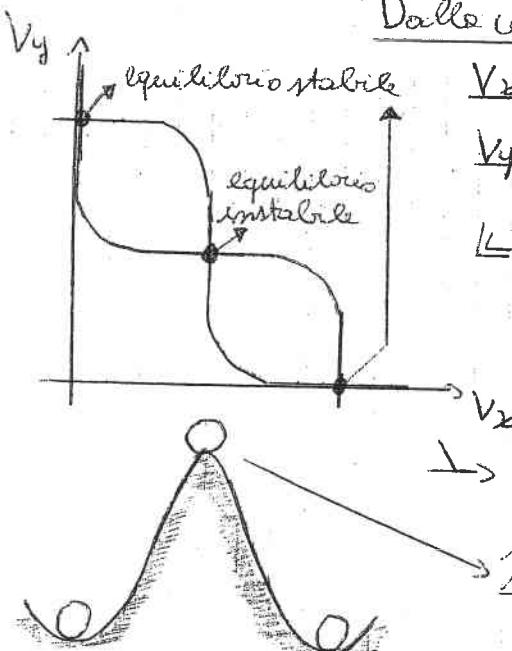
Bisogna costruire un oggetto che acquisisce un dato, se abilitato dal segnale di clock, e lo memorizza.



Per memorizzare si può usare questo circuito



Dalle caratteristiche statiche



V_x è il luogo dei punti che soddisfano le caratteristiche del 1° invertitore

V_y è il luogo dei punti che soddisfano le caratteristiche del 2° invertitore

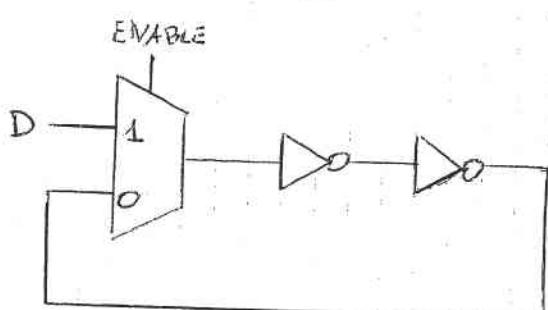
↳ Esistono 3 punti che soddisfano entrambi i luoghi da cui uno (se esiste un tratto a pendaglio maggiore di 1) è instabile.

→ Il sistema è come la montagna con due cenghi. Le palle può essere in equilibrio in 3 punti. Uno di questi è instabile.

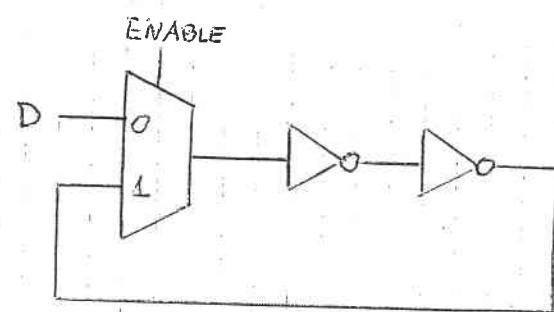
Quindi il circuito è chiamato BISTABILE. I due punti di equilibrio possono rappresentare un valore basso (logico 0) e uno alto (1 logico). Quindi il circuito rappresenta un singolo bit.

⇒ Bisogna forzare una delle due condizioni, obbligare a passare da $0 \rightarrow 1$ o da $1 \rightarrow 0$.

P-LATCH



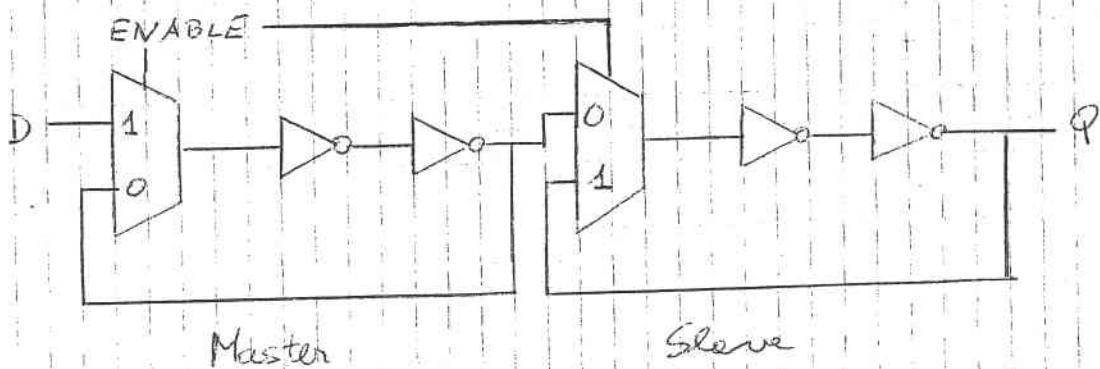
M-LATCH



Se ENABLE = 1 D viene letto
Se ENABLE = 0 condizione di HOLD

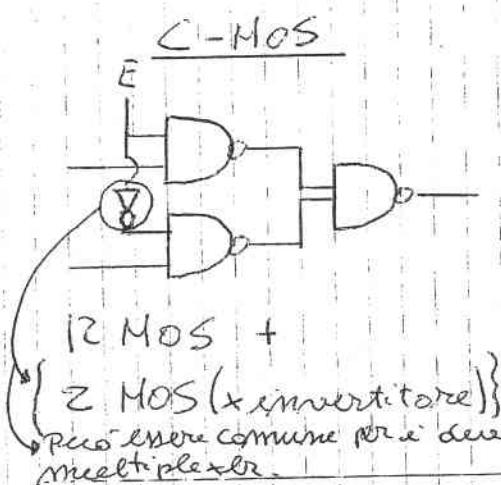
Se Enable = 0 D viene letto
Se Enable = 1 condizione di HOLD

FLIP-FLOP SENSIBILE AL FRONTE DI DISCESA

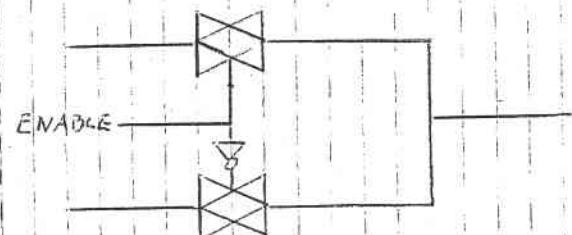


Quando $\text{ENABLE} = 1$ il dato D parte nel Master (P-latch).
Quando $\text{ENABLE} = 0$ il dato D viene "congelato" dalla retroazione
e nel Master si avrà il segnale dato allo stesso momento.

Multiplexer



TRANSMISSION-GATE



Il circuito (FLIP-FLOP MASTER-SLAVE)

C-MOS

2 MULTIPLEXER $\rightarrow 12 \times 2$ MOS

4 INVERTITORI $\rightarrow 4 \times 2$ MOS

1 INVERTITORE $\rightarrow 2$ MOS
(ENABLE COMUNE)

TOTALE $\rightarrow 34$ MOS

TRANSMISSION-GATE

4 TRANSMISSION GATE $\rightarrow 4 \times 2$ MOS

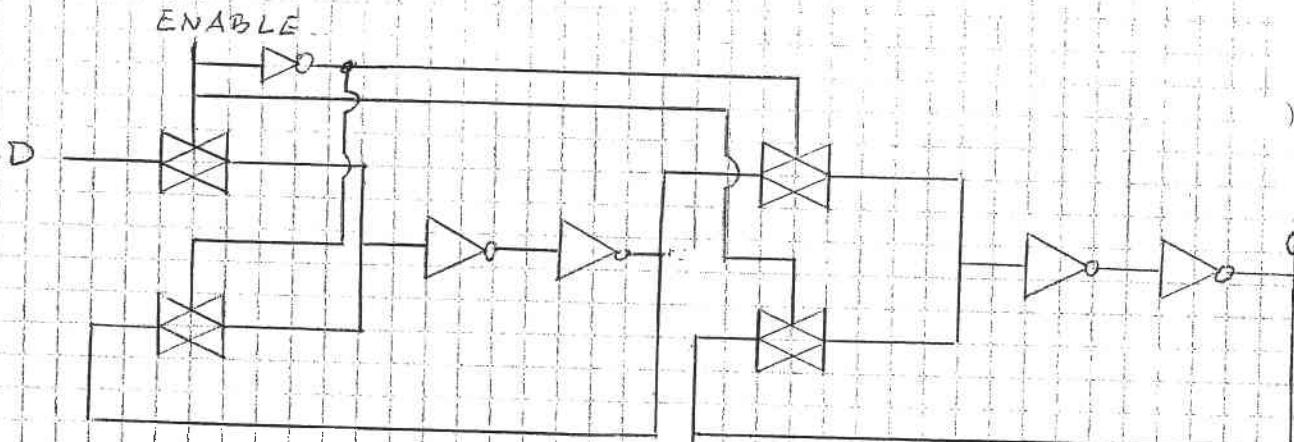
4 INVERTITORI $\rightarrow 4 \times 2$ MOS

2 INVERTITORE
(ENABLE COMUNE) $\rightarrow 2$ MOS

TOTALE $\rightarrow 18$ MOS

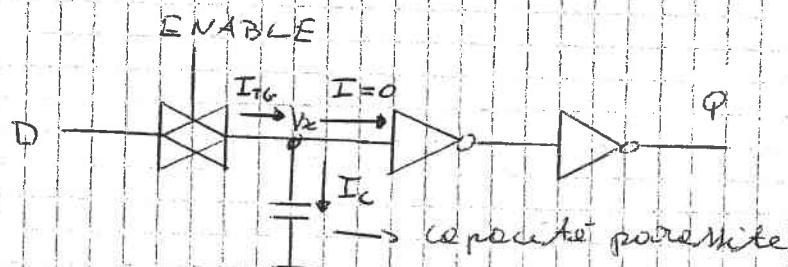
Il transistor gate può essere utilizzato perché è interposto
tra due invertitori C-MOS (soluzione chiave) che eliminano
i rumori che non vengono filtrati dal transistor gate.

Con i transistor gate il circuito diventa



D-LATCH DINAMICO

Il condensatore isolato è un elemento di memoria reavvicinabile.
→ se n' togli il retroazione.



Se ENABLE = 1 → TG ON → Cattura, Stabilisce le capacità e secondo se D è Alto o Bassa ACQUISIZIONE

Se ENABLE = 0 → TG OFF → I_TG = 0 HOLD

$$I_{TG} = I_C = C \frac{dV_E}{dt} = 0 \Rightarrow V_E = \text{Cost}$$

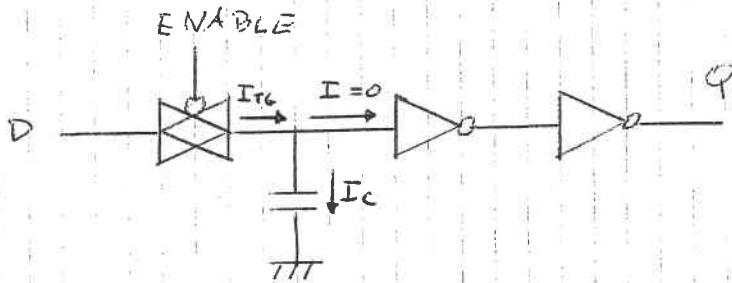
Quando lo capace è costante

- il valore D se ENABLE = 1
- il valore seguente se ENABLE = 0

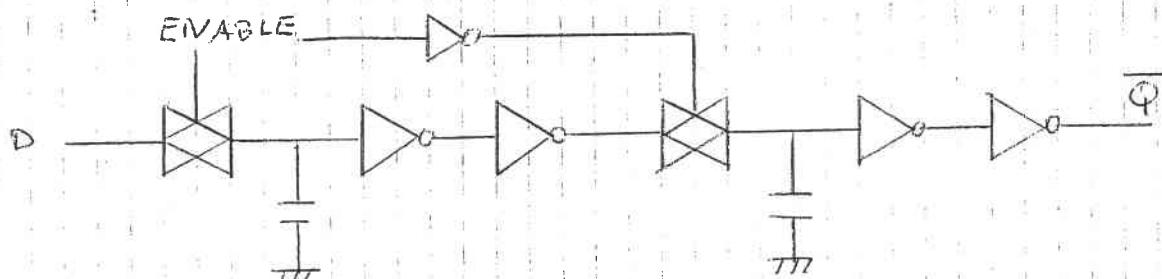
↳ In questo modo la memoria reavvicinabile non è permanentemente. Quando l'enable = 0 ci sono delle correnti di perdita e il tempo di memoria reavvicinabile delle capacità è finito.

Questo può essere utilizzato in un architettura pipe-line dove le frequenze deve essere le più alte possibili.

M-LATCH DINAMICO



FLIP-FLOP DINAMICO SENSIBILE AL FRONTE DI DISCESA

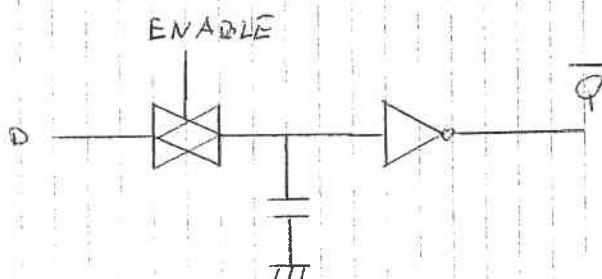


$$\begin{array}{lcl}
 2 \text{ transistor gate} & \rightarrow & 2 \times 2 \text{ MOS} \\
 4 \text{ switchi.} & \rightarrow & 4 \times 2 \text{ MOS} \\
 1 \text{ inverti. + Enable} & \rightarrow & 1 \times 2 \text{ MOS}
 \end{array}$$

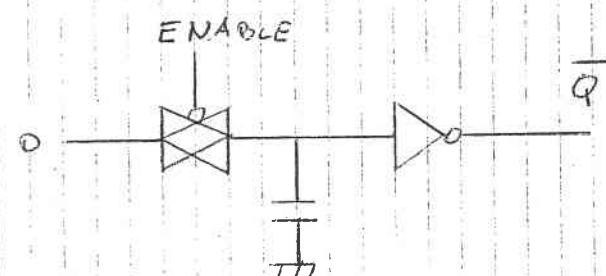
TOTALE → 14 MOS

Il doppio invertitore che serve per creare il circuito bistabile. Adesso serve per esaltare il condensatore nello oscillazione di Hold quando uno dei due transistor gate è acceso, in questo sono controllati da un segnale complementare (ENABLE).
Pero non servono due invertitori in serie per esaltare il condensatore, quindi se puo eliminare uno?

R = /ATCH DINAMICO INVERTENTE



M - LATCH DINAMICO INVERTENTE

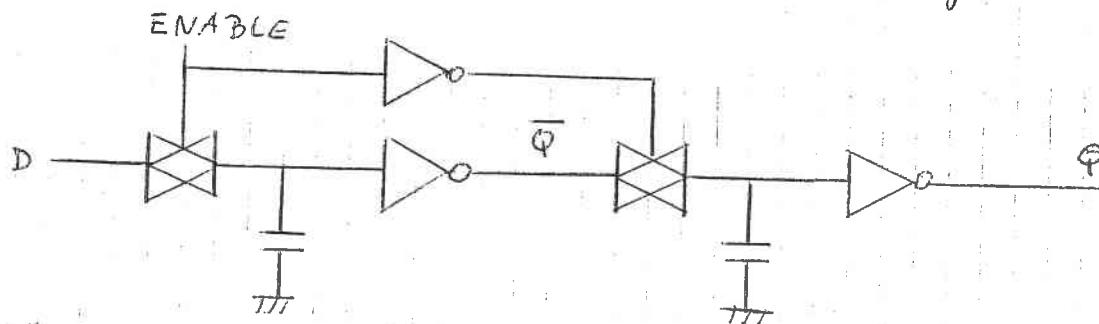


- Se ENABLE=0 il transmission gate è spento ed il node capacitivo intermedio è escluso e rimane nullo nelle condizioni di HOLD. Il valore delle capacità viene riportato invertito all'uscita.
 - Se ENABLE=1 il transmission gate si comporta come un'interruttore chiuso riportando il valore D in ingresso nel node capacitivo che volte invertito all'uscita.

- Se ENABLE = 0 il transition gate si accende cercando/precedendo le capacità permette di inserire il valore d'ingresso all'uscita.
 - Se ENABLE = 1 confezione di HOLD

FLIP - FLOP DINAMICO NEGATIVE EDGE TRIGGERED

I due latch in serie annullano la negazione.



Se ENABLE = 1 l'uscita del p-latch dinamico invertente è \bar{Q} e rimane congelata.

Se ENABLE = 0 il n-latch dinamico invertente legge il valore \bar{Q} , corrisponde la capacità, e lo porta a Q .

↳ Quando il clock si porta al valore basso il dato acquisito dal p-latch viene messo a disponibilità per la lettura in forme rese.

2 transistor pte \Rightarrow 2x2 MOS

2 invertitori \Rightarrow 2x2 MOS

1 invertitore x \Rightarrow 1x2 MOS
ENABLE

TOTALE \Rightarrow 10 MOS

Se si è in logica DUAL RAIL (cose che sono due linee una con ENABLE e l'altra con il suo complemento) si può non utilizzare l'invertitore per l'ENABLE e quindi:

In logica DUAL RAIL il flip-flop dinamico negativo edge triggered è costituito da:

8 MOS per 1 bit.

↳ il ritardo e l'ingombro sono diminuiti.

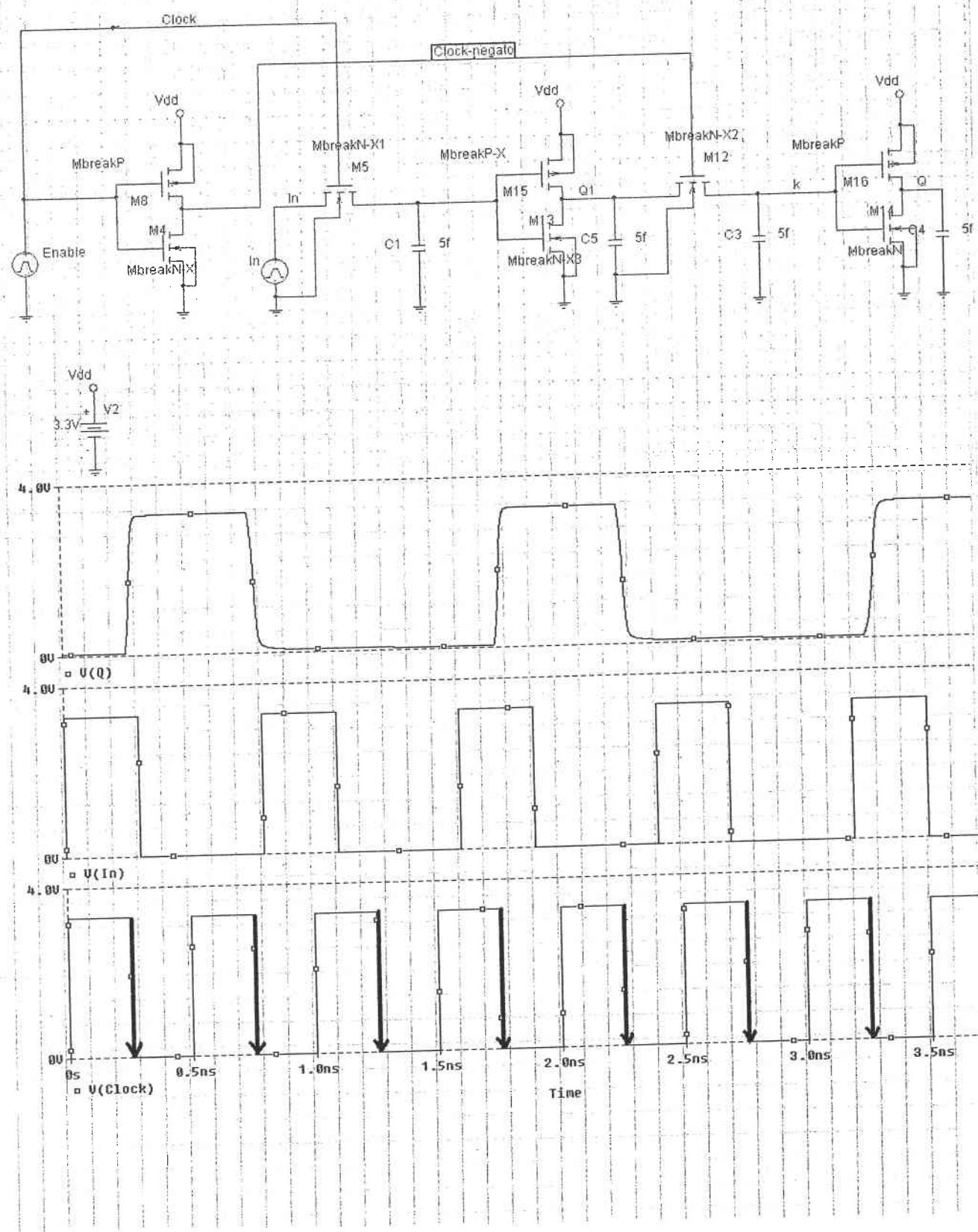


↳ Il dato compiuto durante la fase positiva del segnale ENABLE viene trasferito.

⇒ Il circuito è sincrono cioè l'uscita viene aggiornata una volta per ogni ciclo di clock (fronte di salita del segnale ENABLE).

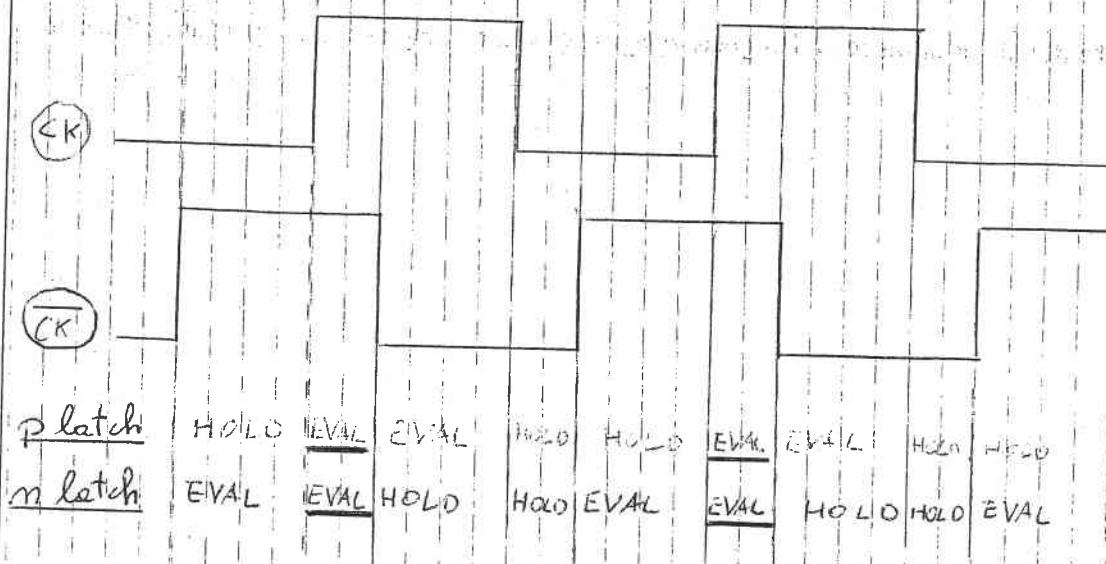
Flip-flop edge triggered a pass transistor

Ad ogni fronte del clock di discesa il segnale d'ingresso viene campionato e riportato all'uscita.



• Studio del clock skew

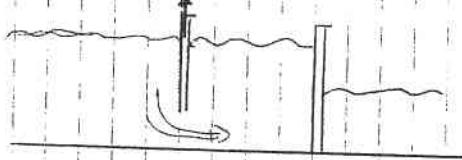
Bisogna valutare il possibile disallineamento del clock e del suo complemento.



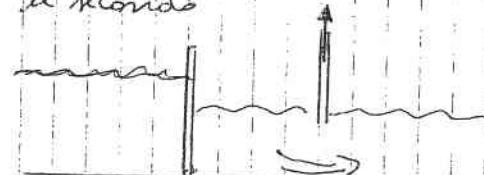
HOLD \Rightarrow condizione in cui le capacità mantengono il valore letto
EVAL \Rightarrow condizione in cui il transistor gate è acceso e carica o scarica la capacità a seconda del valore alto o basso dell'ingresso.

Il circuito è come il meccanismo del controllo del distillato dell'acqua di due canali: se si vuole dominare il distillato si usano meccanismi di chiuse alternate:

Si apre un canale tenendo l'altro chiuso



Si chiude il primo canale e prende il secondo



\hookrightarrow Il meccanismo funziona in quanto i due canali non sono mai aperti contemporaneamente

Nel circuito, dove rigalo stesso prima rispetta il principio del push-pull latch sono allo stato di EVAL il segnale d'ingresso viene trasferito quasi immediatamente all'uscita del n-latch non rispettando il criterio di funzionamento sincrono in quanto il segnale d'uscita non cambia solo una volta ogni periodo di clock (in corrispondenza dei fronti di clock).

\Rightarrow Nel momento che per n-latch sono allo stato di EVAL qualunque variazione dell'ingresso viene riportata all'uscita

\hookrightarrow Il comportamento è ASINCRONO (= l'uscita cambia quando cambia l'ingresso, dopo un ritardo pari al tempo di propagazione)

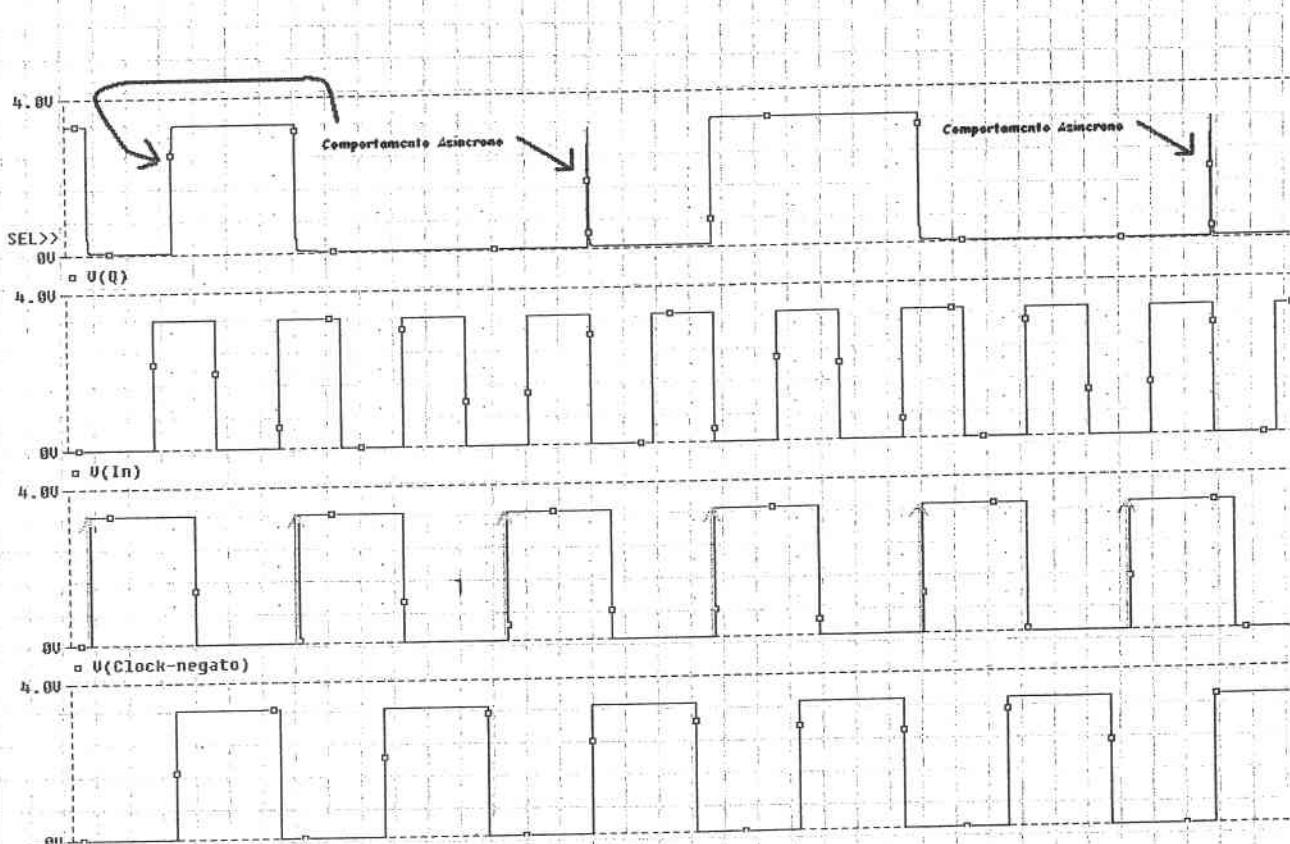
\Rightarrow MAL FUNZIONAMENTO delle reti SINCRONE

Flip-flop edge triggered a pass transistor con Clock skew

Grafico dei segnali d'ingresso e di uscita senza clock skew



Grafico dei segnali d'ingresso e d'uscita con il clock skew



È come se il dato doveva camminare lungo un corridoio in cui ci sono delle porte che si aprono complementariamente in funzione del valore del clock per esempio la porta pare in aperto con il clock alto e la porta di spina con il clock basso) in modo da permettergli di attraversare una stessa porta senza prenderne il clock.

In questo modo il dato riceve a superare delle stenze (per n latch) solo dopo un periodo di clock.

La condizione di CLOCK SKew consente alle porte pare e opposte di rimanere aperte contemporaneamente per un piccolo intervallo di tempo (per n latch entrambi allo stato di EVALUATION) permettendo al dato di percorrere più stenze fino a che le porte pare o quelle opposte si chiudono ritornando allo stato di apertura complementare. Le stenze raggiunta è quindi in funzione della velocità del dato e del tempo in cui le due tipi di porte (per n latch) sono aperte contemporaneamente e non più in funzione del periodo di clock.

C'è quindi una COPSA CRITICA cioè il comportamento non è determinato dalla funzione logica ma dal ritardo del circuito (\Rightarrow comportamento asincrono).

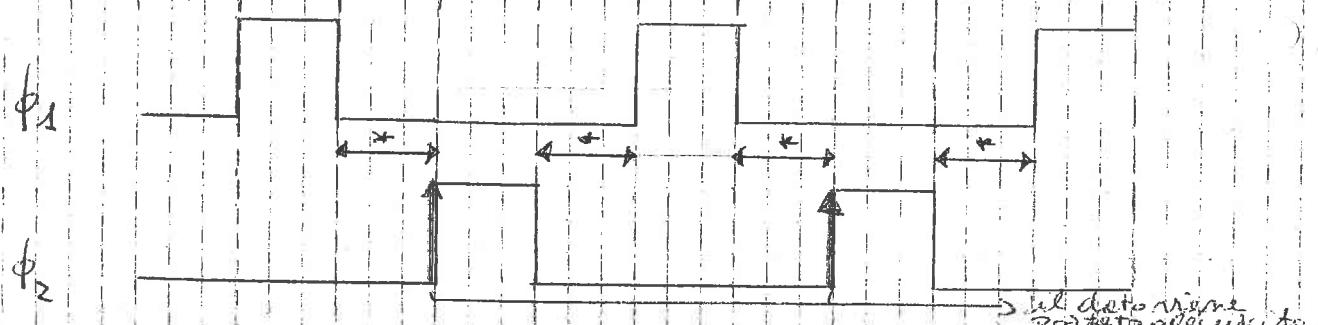
In presenza di CLOCK SKew il circuito MALFUNZIONA

Soluzione

- ① Creare il segnale di clock e il suo complemento in modo perfetto (era impossibile nello reale)
- ② Siccome per n latch non devono mai essere aperte contemporaneamente si possono controllare con due segnali con caratteristiche non sovrapposibili

$$\hookrightarrow \text{segnali con duty-cycle} = \frac{\text{tempo segnale alto}}{\text{Periodo segnale}} = 25\% < 50\%$$

\hookrightarrow sfletti



P latch Hold Eval Hold Hold Hold Eval Hold Hold Hold Eval

n latch Hold Hold Hold Eval Hold Hold Hold Eval Hold Hold

\Rightarrow controllo del clock a due fasi

① Fare in cui è attivo il master e spento lo slave, il dato di ingresso viene acquisito dal primo latch

② Fare in cui è attivo lo slave ed il dato viene portato all'uscita del n-latch.

* sono fasi "tempone", "cresceneto" in cui per n latch sono spenti. In questo modo se ϕ_1 o ϕ_2 non fanno allineati come descritto non cambierebbe nulla fin tanto che il distillimento non sia meggiore dell'intervallo "tempone", di ricevere.

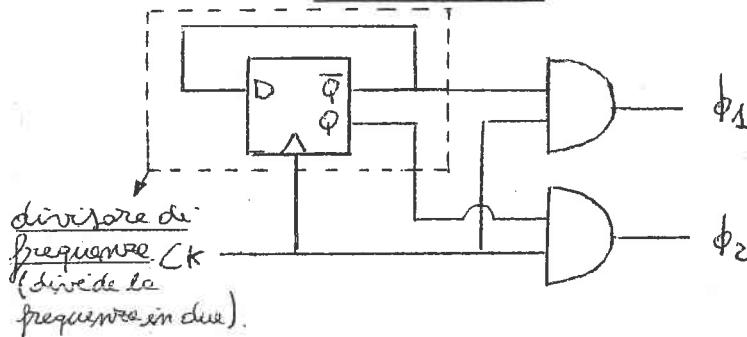
Quindi l'ampiezza del "cresceneto" definisce il massimo distillamento che si può tollerare rispetto ai valori nominali senza compromettere il corretto funzionamento della rete.

=> Per usare il circuito nervoso delle fasi non complete sarà e non sovrapposibile.

Difetti:

(2 flip-flop)

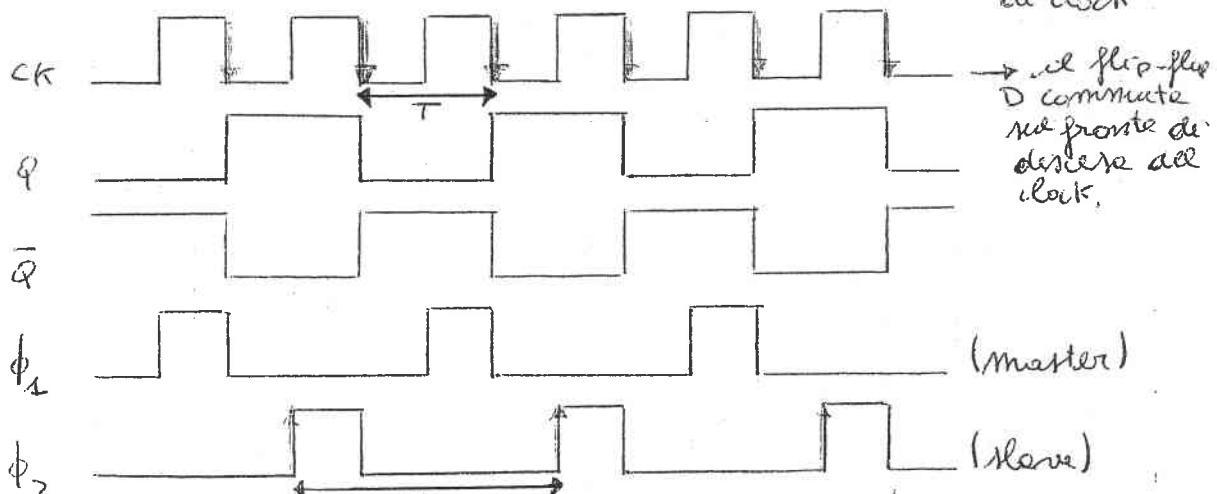
① È più complicato generare delle fasi; serve un circuito sincrono
Si usa un contatore T (FF D con \bar{Q} retroazionato)



RETE ASINCRONA

(perché i segnali commutano ad ogni tempi periodo del clock e non ad ogni periodo)

→ il flip-flop D retroazione to si comporta come un flip-flop T con ingresso 1
→ commuta ogni periodo di clock

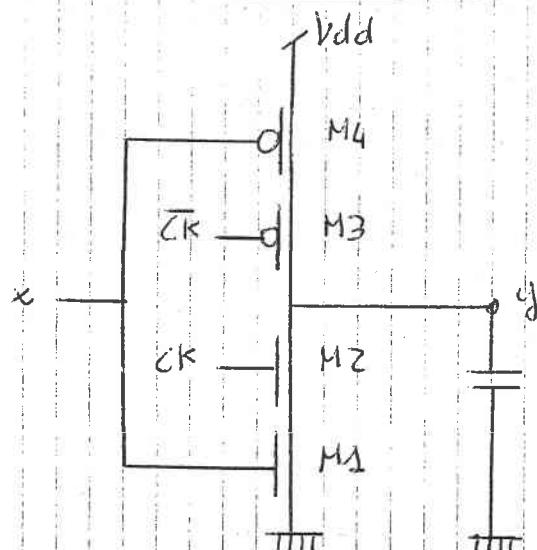


② Con questo circuito per portare il segnale d'ingresso all'uscita serve un periodo di clock per trasmettere lo stadio di master e uno per lo stadio di slave → il periodo quindi redoppia

③ Bisogna utilizzare una logica DUAL RAC (cioè nervoso due file per i due distanti segnali di clock) → ingombro notevole d'area

→ serve un circuito che funzioni a piena frequenza di clock, cioè in modo sincrono (una transizione per periodo di clock, non come il circuito con il divisore di frequenza dove servono due periodi di clock per una transizione), e che sia non sensibile al clock steso.

LOGICA C² MOS (INVERTITORE P latch)



Studio un condensatore ideale, senza clock stanco.

FASE DI EVALUATION

$\bullet \bar{C}K = 1 \Rightarrow M_2 \text{ ON}$

$$\begin{cases} x=1 \rightarrow M_1 \text{ ON} \rightarrow PD \text{ ON} & y=0 \\ M_4 \text{ OFF} \rightarrow PV \text{ OFF} \end{cases}$$

$$\begin{cases} x=0 \rightarrow M_1 \text{ OFF} \rightarrow PD \text{ OFF} & y=1 \\ M_4 \text{ ON} \rightarrow PV \text{ ON} \end{cases}$$

$\bar{C}K = 0 \Rightarrow M_3 \text{ ON}$

FASE DI HOLD

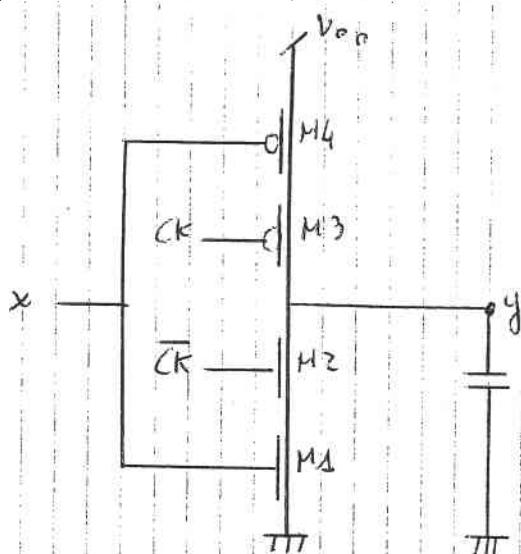
(C² Mos perché la tecnologia delle porte è quella del CMOS, in cui N è redoppiaato nel lato di un invertitore, il numero dei transistor)

$\bullet \bar{C}K = 0 \Rightarrow M_2 \text{ OFF} \rightarrow PD \text{ OFF}$

$\bullet \bar{C}K = 1 \Rightarrow M_3 \text{ OFF} \rightarrow PD \text{ OFF}$

$y \Rightarrow AII$

↳ latch invertente attivo sulla parte positiva del clock.
(INVERTITORE n-latch)



FASE DI EVALUATION

$\bullet CK = 0 \Rightarrow M_3 \text{ ON}$

$$\begin{cases} x=0 \rightarrow M_1 \text{ OFF} \rightarrow PD \text{ OFF} \\ M_4 \text{ ON} \rightarrow PV \text{ ON} & y=1 \end{cases}$$

$$\begin{cases} x=1 \rightarrow M_4 \text{ OFF} \rightarrow PV \text{ OFF} \\ M_1 \text{ ON} \rightarrow PD \text{ ON} & y=0 \end{cases}$$

$\bar{C}K = 1 \Rightarrow M_2 \text{ ON}$

$y = \bar{x}$

FASE DI HOLD

$\bullet \bar{C}K = 1 \Rightarrow M_4 \text{ OFF} \rightarrow PV \text{ OFF}$

$\bullet \bar{C}K = 0 \Rightarrow M_2 \text{ OFF} \rightarrow PD \text{ OFF}$

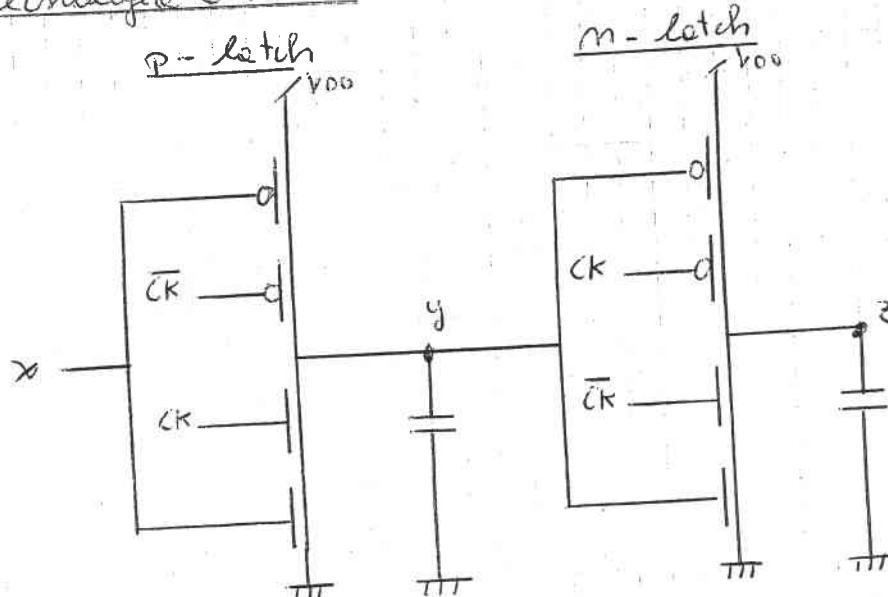
$y \Rightarrow AII$

↳ latch attivo sulla parte negativa del clock (latch invertente)

↳ n-latch è attivo sulla parte negativa del clock e quando l'invertitore

↳ p-latch è attivo sulla parte positiva del clock e quando l'invertitore.

Studio del clock-steew in un flip-flop master-slave in tecnologia CMOS

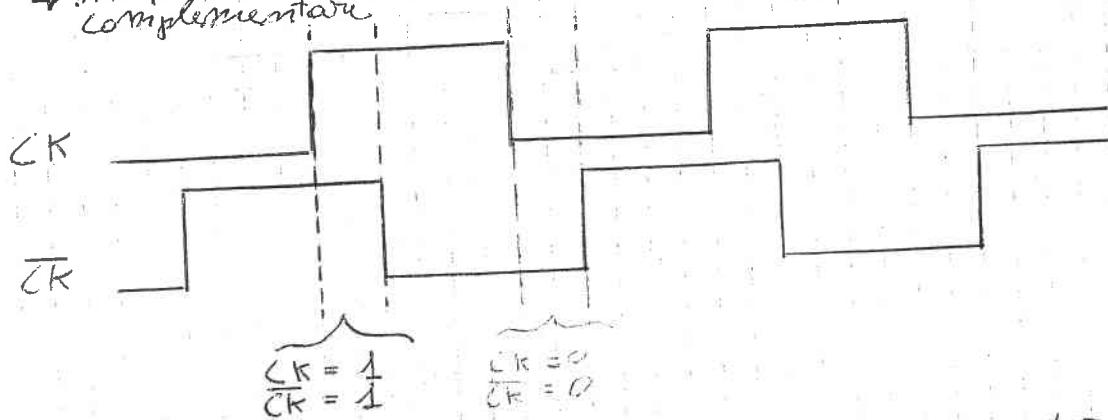


$CK = 1$ il segnale x viene trasferito dal P-latch ($y = \bar{x}$) mentre n-latch è nella fase di HOLD, l'uscita z è indipendentemente dall'ingresso y .

$CK = 0$ il primo stadio (P-latch) è nella fase di HOLD, y non porta un alto Impedance (non varia né vale ∞); il secondo stadio è attivo (n-latch) e il valore di y viene trasferito in z ($z = \bar{y} = x$)

→ quando il fronte di clock si mette il segnale viene trasferito all'uscita (non in presenza di clock-steew)

→ in presenza di clock-steew le due fasi (CK e \bar{CK}) non sono complementari

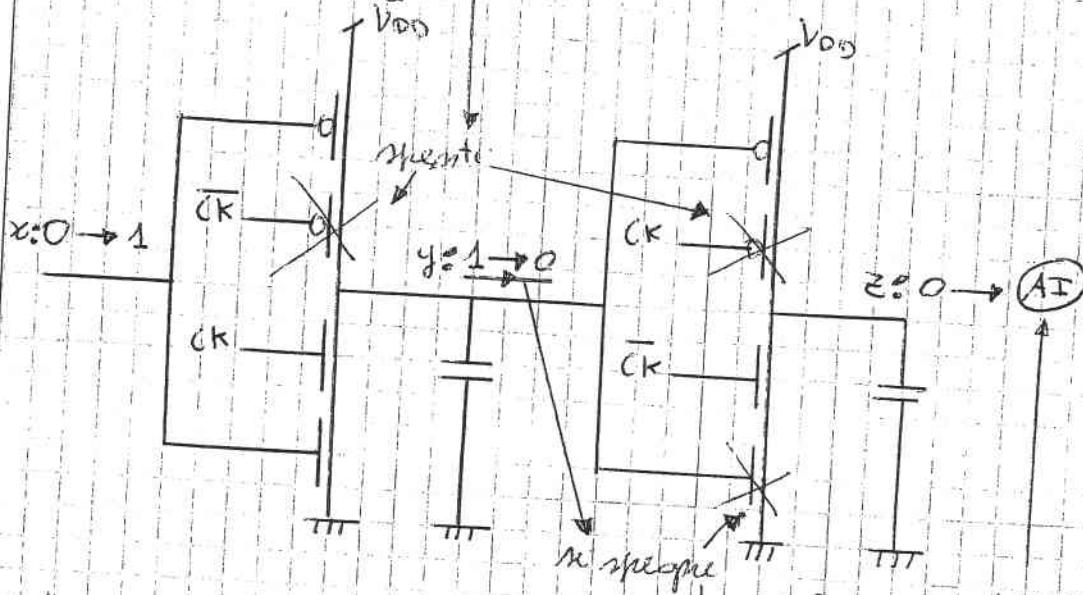


Nel flip-flop con a transmission gate negli intervalli evidenziati l'uscita potrebbe commutare rendendo il circuito instabile.

→ bisogna studiare le due possibili configurazioni ($(CK=1 \wedge \bar{CK}=1) \vee (CK=0 \wedge \bar{CK}=0)$) non ancora studiate

- Se $C_K = \bar{C}_K = 1$

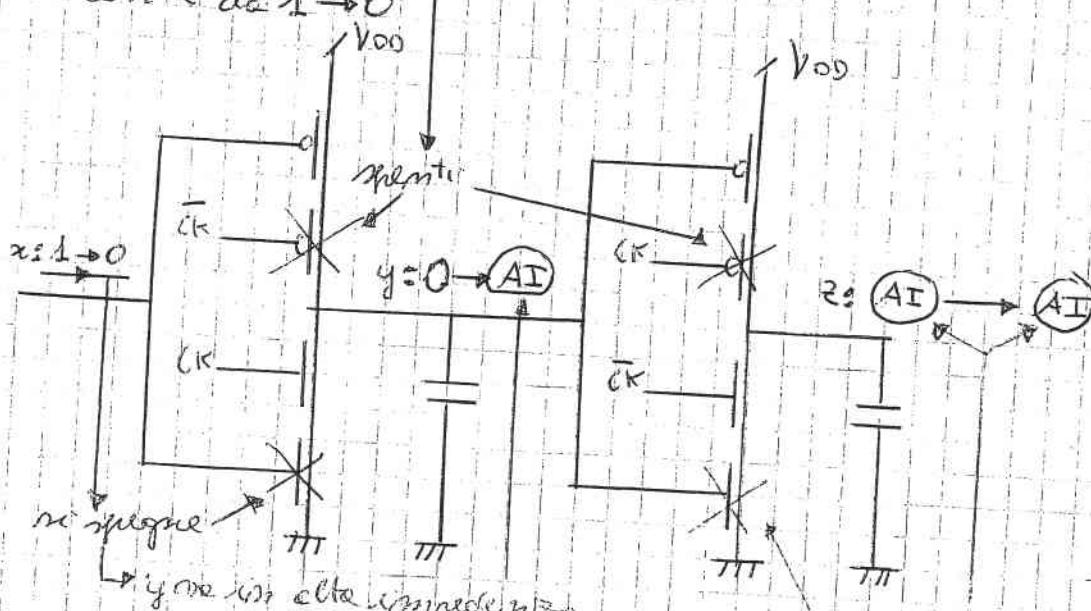
con x da 0 $\rightarrow 1$



→ anche se x varia z è costante (trennazione igorete di x)

- Se $C_K = \bar{C}_K = 1$

con x da 1 $\rightarrow 0$



gir spento alle reti $t=1$
se da $y \neq 0$

→ era e rimane un
alto impedenza

↳ in condizione di clock skew qualunque transizione in ingresso non arriva in uscita quando $C_K = \bar{C}_K = 1$

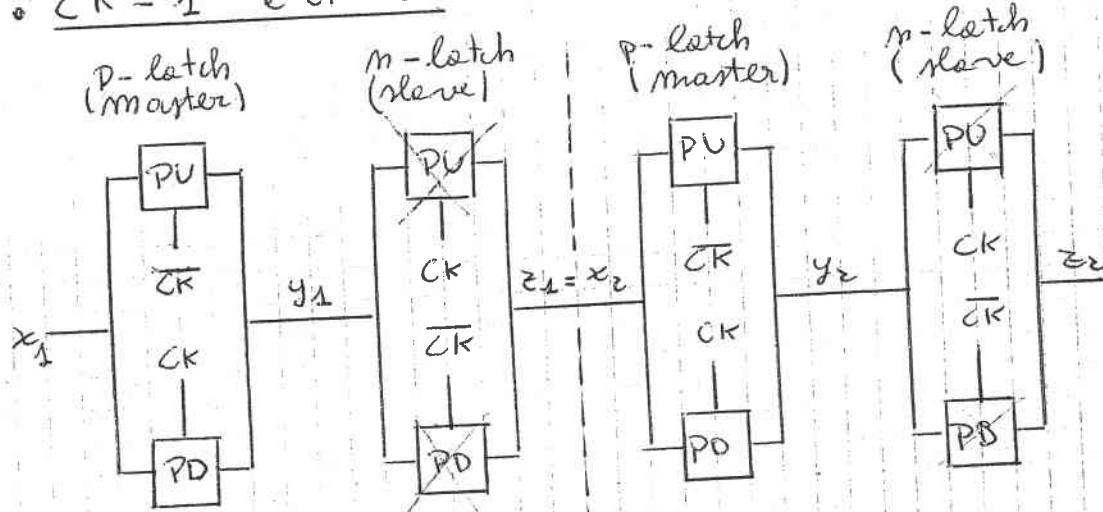
↳ quando $C_K = \bar{C}_K = 1$ i due PV sono spenti

Nel primo caso il P-latch tiene ad alimentare le reti di PD (partendo da 0) ma n-latch ne impedisce questo dovrebbe cominciare accendendo il PV (cosa che non può fare perché $C_K = \bar{C}_K = 1$)

- ↳ quando le reti invertente il segnale di ingresso
 subisce due inversioni prima di arrivare a z
 (per far ciò serve sempre una rete di PD ed una di PV)
- ↳ se x da $0 \rightarrow 1$ serve prima la rete di PD che
 porta y da $1 \rightarrow 0$ e poi la rete di PV che porta
 z da $0 \rightarrow 1$
- ↳ se x da $1 \rightarrow 0$ serve prima la rete di PV che
 porta y da $0 \rightarrow 1$ e poi la rete di PD che porta
 z da $1 \rightarrow 0$

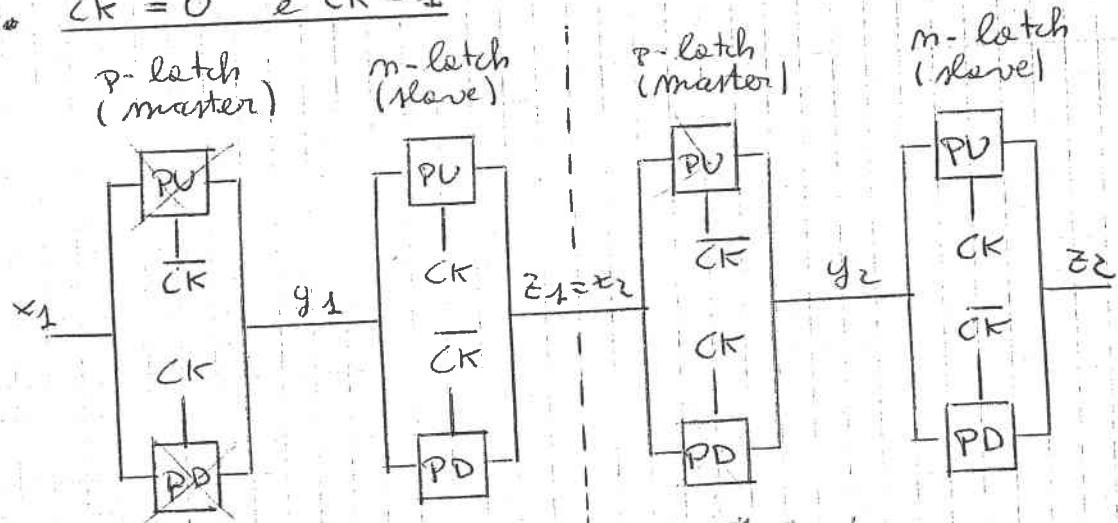
↳ quando c'è il clock skew le due reti non possono
 servire contemporaneamente $\Rightarrow z$ non può
 cambiare

$CK = 1$ e $\overline{CK} = 0$



↳ lo stato di master è in valutazione, lo stato di slave è
 in hold (congelato)

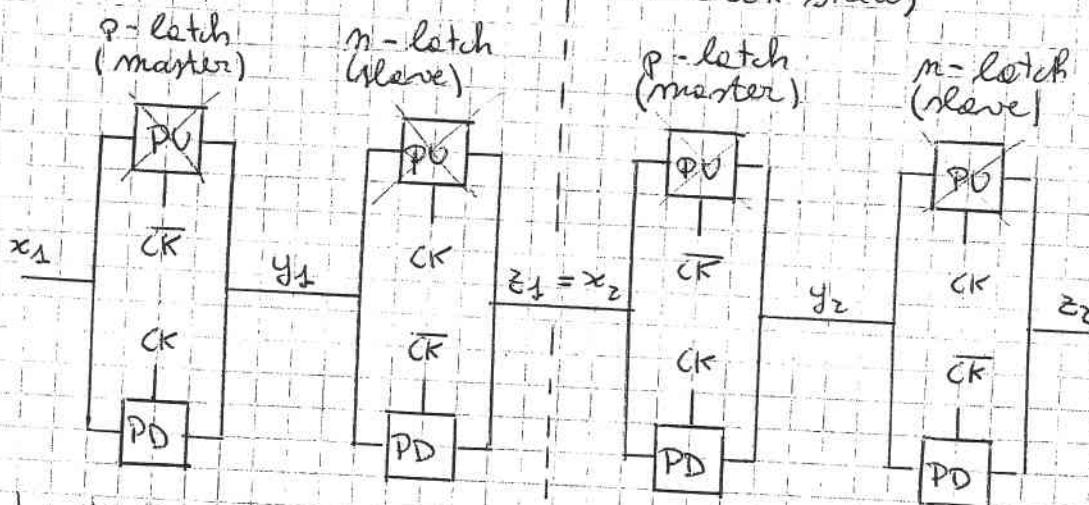
$CK = 0$ e $\overline{CK} = 1$



↳ lo stato di master è in hold e quello di slave è in valutazione

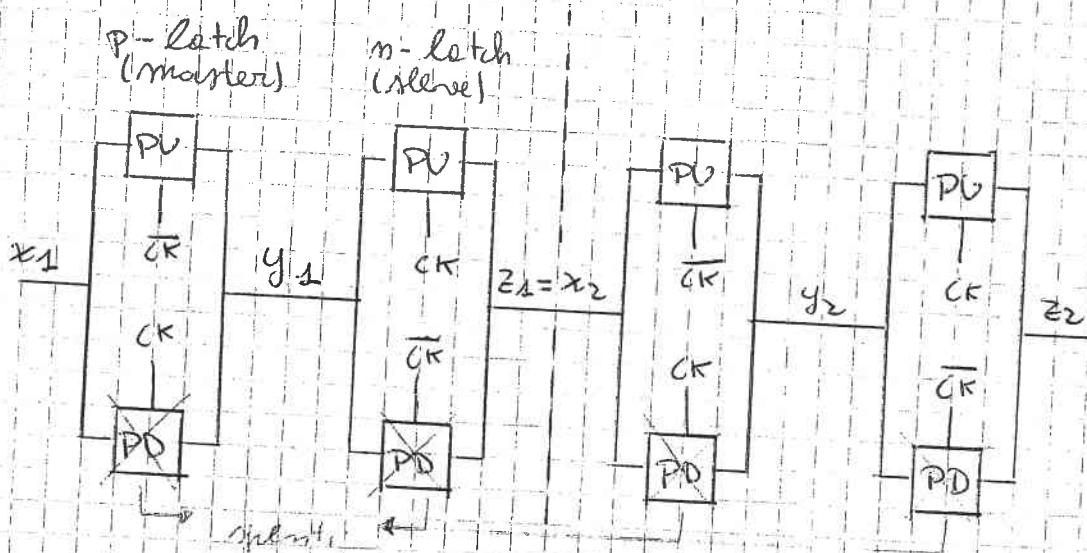
In un funzionamento "normale" (senza clock skew) il dato arriva agli stadi perpendicolari di clock di master e slave (in quanto come stadio ha accesso sia al PD che al PV per ogni periodo di clock)

- $C_k = \bar{C}_k = 1$ (condizione di clock skew)



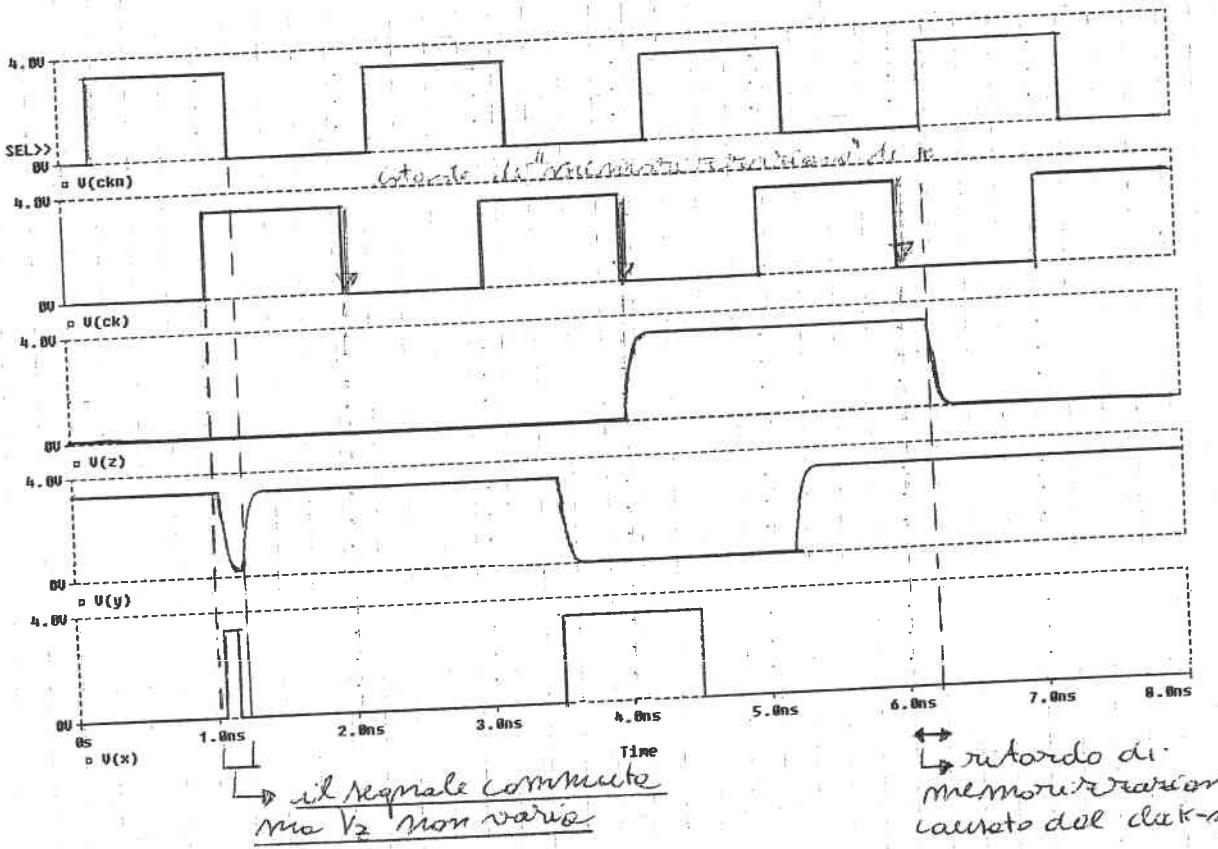
→ tutti i PV sono spenti. Il segnale non può passare a due stadi di P e n latch perché per poterlo fare, entrambi bisognano di un PD e PV (o viceversa)

- $C_k = \bar{C}_k = 0$



→ tutti i PD sono spenti \Rightarrow il segnale non può passare.
→ le master e le slave non si possono sincronizzare simultaneamente e, siccome sono entrambi invertenti, il segnale non può propagare in questi non c'è accesso né al PD né al PV.

→ il circuito è estremamente insensibile al clock skew → provate solo ritardo (caso del ritardo del clock skew → non c'è mai funzionamento)



- ↳ il flip-flop viene realizzato con 8 transistori
- ↳ è sempre soggetto alle correnti di perdite
- ↳ funziona correttamente in presenza di clock-skew e quando non ne introducono di tempo morto (come accade nelle tecnologie con 1 pnp transistor) nei due segnali clock e clock-negato
- ↳ è parità di spazio (uguale numero di transistori) il flip-flop edge-triggered e logico C²MOS è più veloce di quello a logica a transmissione-gate (il cui periodo oscillazione (frequenze diverse) per non avere problemi dovuti al clock-skew)
- ↳ siccome il circuito non è soggetto a corse critiche si chiama anche flip-flop NOR (= NOT R.Ace)

LOGICA SPCL (Single phase clock logic)

- È una logica a singola fase di clock (cioè non è necessario un circuito che generi due fasi distinte come bipolare fare per i flip-flop - e transmission-gate)
 - la creazione di \bar{Ck} non è ovvia \Rightarrow non crea mai funzioni elementari ma solo ritardi.
 - è una logica veloce adatta a struttture di pipe-line (rete combinatorie intercalate da memorie, flip-flop)
 - pipe-line di tipo NORIA (not race) Flip-Flop base pipe-line
-
- Diagram illustrating a NORIA pipeline structure:
- ```

 graph LR
 A[RC] --> B[FF SPCL]
 B -- CK --> C[RC]
 C -- CK --> D[FF SPCL]
 D -- CK --> E[RC]
 E -- CK --> F[FF SPCL]

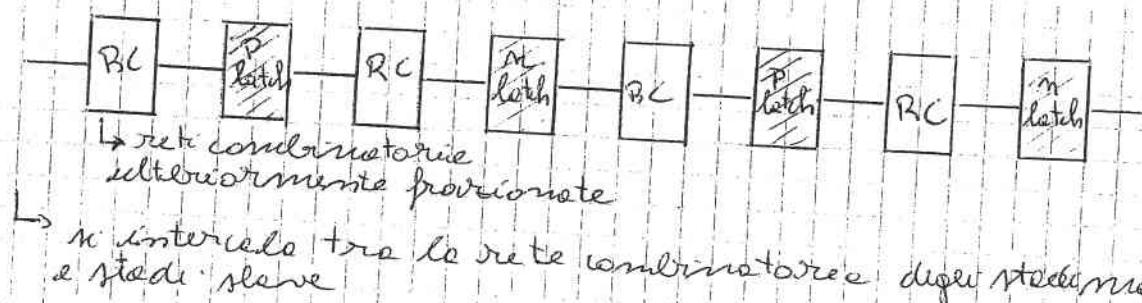
```

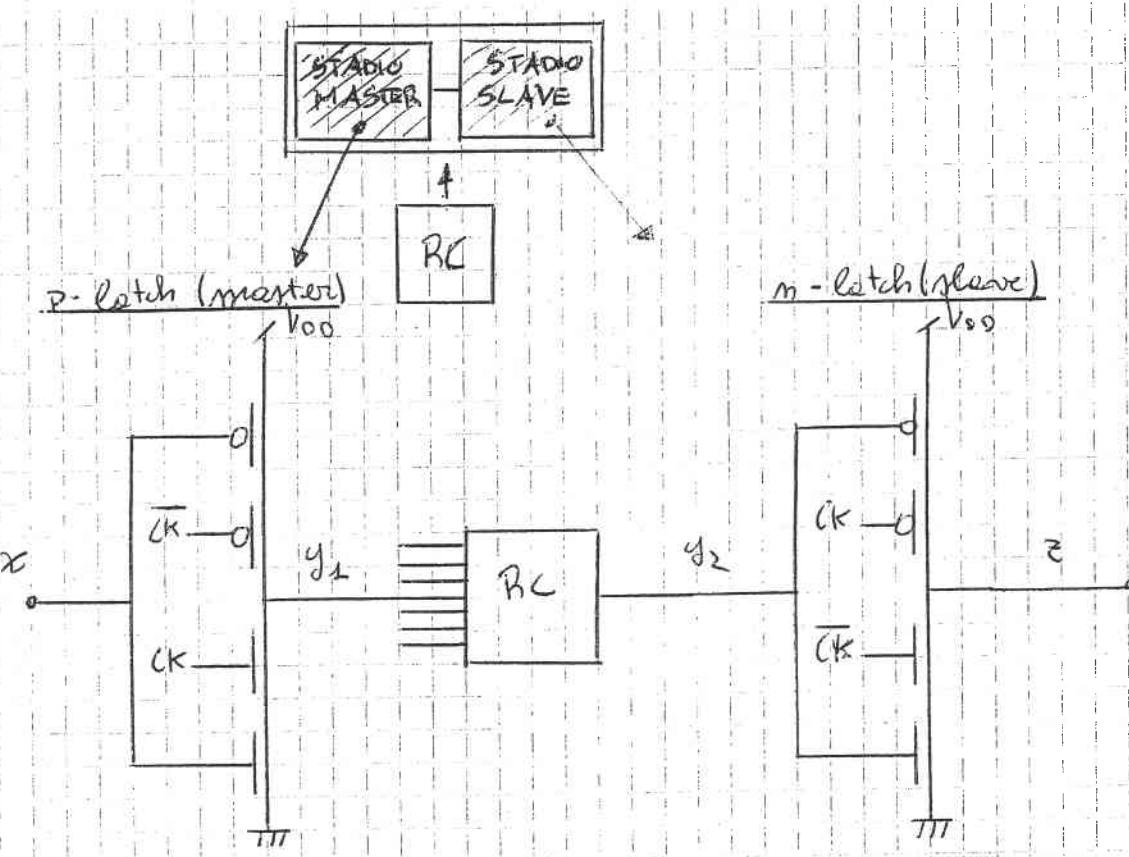
- la pipe-line è più efficiente perché prevede la rete combinatoriale → si riduce il ritardo
  - il fraccionsamento ha senso fino a che il ritardo della rete combinatoriale è confrontabile con quello delle memorie.
  - il  $\bar{Ck}$  può essere generato per ogni flip-flop o unico per tutte i flip-flop in logica DUAL RAIL
  - ↳ il ritardo del flip-flop pone un limite al fraccione
- 
- Diagram illustrating the internal structure of a flip-flop:
- ```

    graph LR
        A[FF SPCL] --> B[STADIO MASTER]
        B --> C[STADIO SLAVE]
        B --> D[p-latch]
        B --> E[m-latch]
        C --> F[m-latch]
        C --> G[n-latch]
    
```
- Il flip-flop è fraccio
nabile in un
p-latch e in un
m-latch

Latch based pipe-line

- viene introdotto uno spazio combinatorio tra le master e lo slave → nel tempo preso di clock si può svolgere parte delle reti combinatorie (mentre il segnale passa dal master allo slave)





• Studio nella condizione nominale

Lo stadio di master riceve "il segnale in ingresso quando il $\bar{CK} = 1$. Quando $\bar{CK} = 0$ entra nella fase di hold \rightarrow la rete combinatoria elabora l'uscita dello stadio di master
 "riceve" il segnale (elaborato dalla rete combinatoria) in ingresso quando il $\bar{CK} = 0 \rightarrow$ lo stadio successivo (p-latch) riceverà e cernerà il dato elaborato dalla rete combinatoria non appena n-latch entra nella fase di hold ($\bar{CK}=1$) lasciando libera variazione delle reti combinatorie a monte del successivo p-latch.

• Studio in presenza di clock-skew

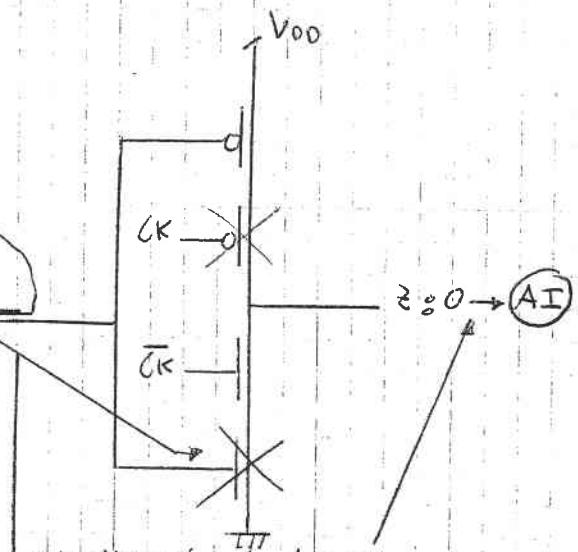
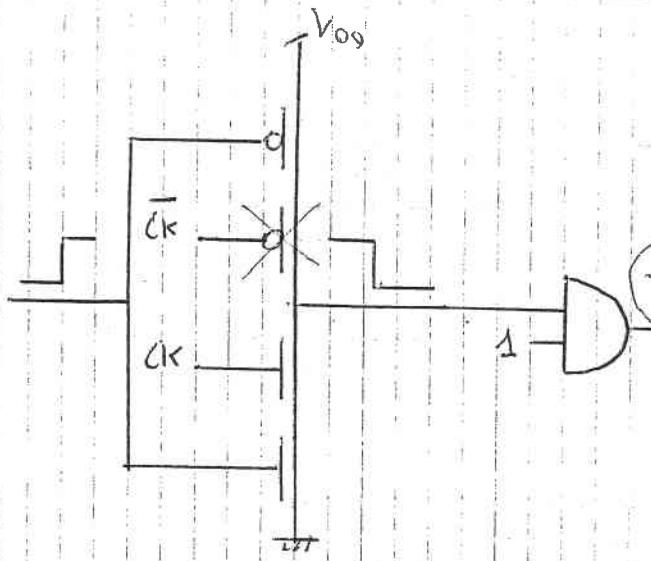
• Se $\bar{CK} = \bar{CK} = 1 \rightarrow$ la rete di P.V è spenta e quindi è non può diventare alto : rimane 0 o va in Alta e impedirebbe lo vale solo se la rete combinatoria non è invertente.
 Lo se $y_1 = 1 \rightarrow 0$ questo può causare solo un fronte di discesa come accadràbbe se la rete combinatoria non vi fosse

\Rightarrow Il circuito è resistente al clock skew (non commette quando $\bar{CK} = \bar{CK}$) se la rete combinatoria non è invertente cioè la sua uscita può variare in modo identico all'ingresso (cioè se y_1 da 1 $\rightarrow 0$ allora y_2 da 1 $\rightarrow 0$ o viceversa)

• Esempio

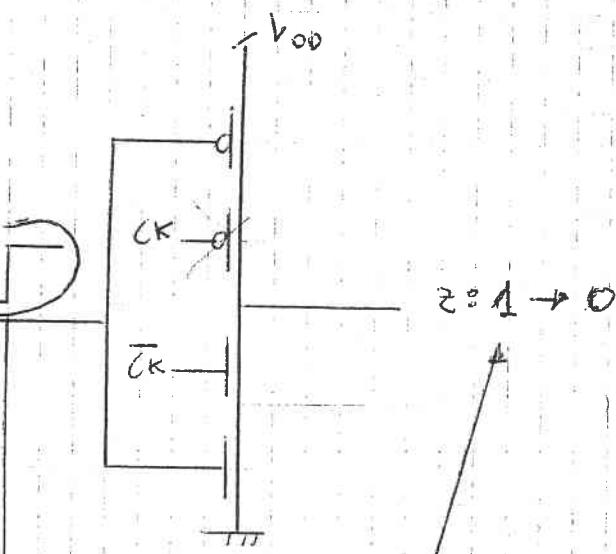
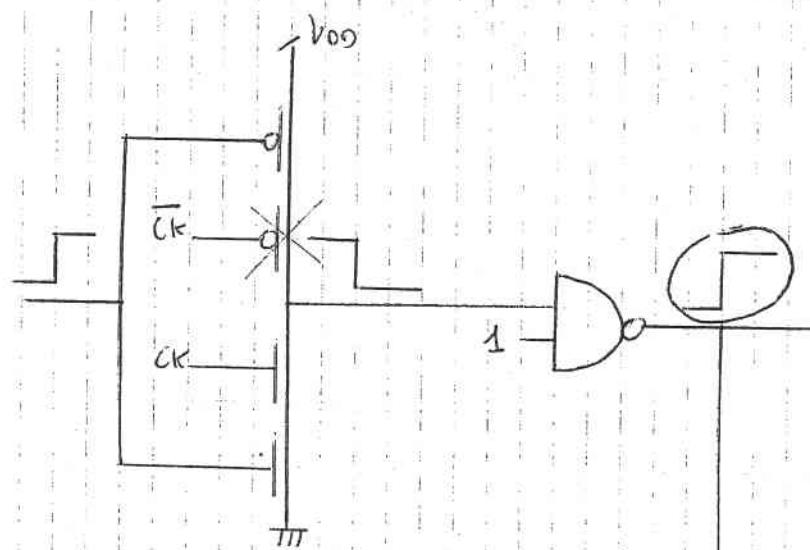
rete combinatorie AND

(con $C_k = \bar{C}_k = 1$)



→ con la rete non invertente l'uscita non commuta

• Esempio rete combinatorie NAND (con $C_k = \bar{C}_k = 1$)



→ con la rete invertente l'uscita commuta = il circuito non è resistente al clock-skew.

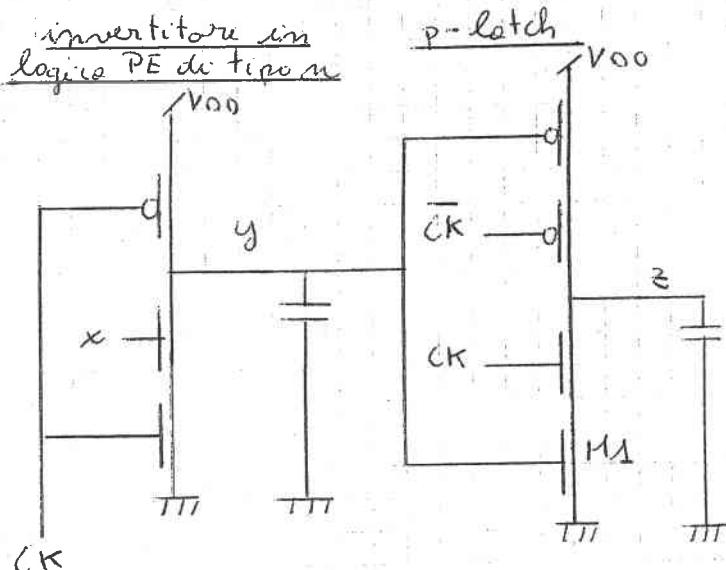
→ l'uscita delle reti combinatorie n' deve comportare come il suo ingresso

→ se una rete invertente l'uscita commuta "usando" prima la rete di PV del master e poi quella del PD dello slave (o viceversa) in quanto sono due invertitori in cascata ⇒ resistere allo clock-skew che spegne o tutte le reti di PV ($C_k = \bar{C}_k = 1$) o tutte quelle di PD ($C_k = \bar{C}_k = 0$)

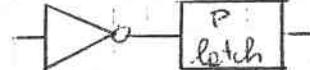
- ↳ con la rete invertente cade il principio delle doppie inversioni del master-slave e l'uscita varia se nono o c'è un clock e PD (quando x da $0 \rightarrow 1$) o tutto a PV (se x da $1 \rightarrow 0$) \Rightarrow questo succede quando 0 ($K = \bar{C}K = 0$ (c'è un clock e PD) o quando $C\bar{K} = \bar{C}K = 1$ (senza clock e PV)) \Rightarrow circuito non rispettante allo clock-skew \Rightarrow l'uscita può variare quando $C\bar{K} = CK$.
- ↳ La pipe-line di tipo NORA conserva l'immunità alle corse oristiche se la rete logica tra i due latch, sia non invertente.

Latch-based pipe-line ha bisogno di una logica combinatoria NON INVERTENTE

- ↳ questa è una forte limitazione in quanto non è possibile realizzare una qualsiasi funzione logico-combinatoria
- ↳ Nella realizzazione di una rete combinatoria invertente tra i due latch si è realizzata in logica PE
- Studio della latch P con ingresso un invertitore in logica dinamica PE di tipo n



$y \rightarrow$ proviene da una rete combinatoria precedente realizzata in logica PE (per semplicità la rete invertente è un NOT).



↳ se l'invertitore è statico il circuito non funziona in presenza di clock skew.

↳ Analisi del clock-skew

- ↳ Il clock skew dovrebbe essere influente cioè non a dovere non esiste problema di corsa oristica \Rightarrow quando $C\bar{K} = CK = 0$ l'uscita non può variare se varia l'ingresso.
- ↳ se così fosse il latch diventerebbe attivo in questo modo comunque più solo per ogni periodo di clock.

Le logiche dinamiche PE "non si accorgono" del clock-skew
in quanto il pilotato da un solo segnale di clock

- se $\overline{Ck} = \overline{\overline{Ck}} = 0$

↳ l'invertitore PE è un precezio (PV OFF e PV ON)

↳ $y = 1$ indipendentemente da $x \Rightarrow$ l'ingresso del p-latch non varia \Rightarrow il uscita non varia

↳ funzionamento corretto (ogni transizio-
ne di x viene ignorata dall'uscita)

- se $\overline{Ck} = \overline{\overline{Ck}} = 1$

↳ l'invertitore PE è un valutatore (PV OFF e PD dipende
dal valore di x).

↳ $y = \overline{x} \Rightarrow$ Se x da $1 \rightarrow 0$ allora y da $1 \rightarrow 1$

Se x da $0 \rightarrow 1$ allora y da $1 \rightarrow 0$.

↳ in quanto l'invertitore PE di tipo m in fase di
valutazione non ha attivo il PV allora y può
rimanere costante o passare a 0.

Se y è costante a 1 \Rightarrow è non può variare (funziona-
mento corretto)

Se y da $1 \rightarrow 0 \Rightarrow z$ da 0 passa in AII perché il

PV è OFF e la cui $\overline{Ck} = 1$ e il PD
è spiegue in quanto il mos con il
gate collegato a y è n. spiegue (H1 d0N \rightarrow CTR)
(funzionamento corretto).

Per costruire una pipe-line latch-based

↳ le reti combinatorie devono avere

① reti statiche non invertenti (complementariamente)

② reti dinamiche invertenti in logica PE (dove il p-latch
è pilotato da un invertitore un logico PE di tipo m, pilotato
da Ck , e m-latch è pilotato da un invertitore
in logica PE di tipo P, pilotato da \overline{Ck} in modo da
far lavorare i due invertitori, nelle stesse fasi.)

③ reti chiuse dove l'ultimo stadio sia in logica PE

↳ non c'è il problema del clock skew e si possono realizzare
rete tutte le funzioni logiche

Problema

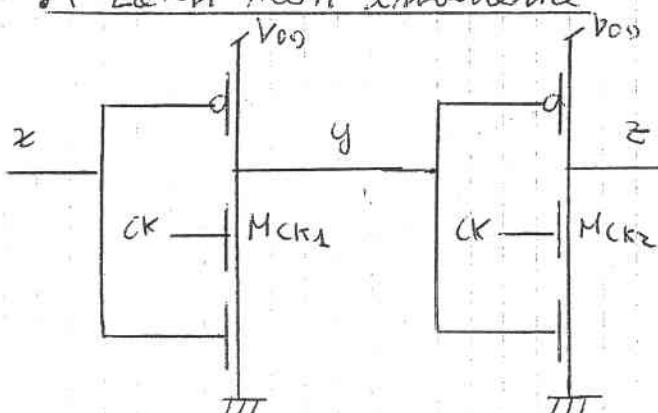
↳ anche se non è retino ci sono due fasi di clock

↳ problema di ingombri

LOGICA TSPCL (True Single Phase Clock Logic)

→ il principio di funzionamento è identico a quello delle logiche SPCL: un plesso di clock-sticks è indispensabile la corrente di linea rete di PD e uno di PV (o viceversa) impedendo una doppia inversione ⇒ l'uscita non può variare.

• P Latch non invertente



FASE DI EVALUATION

- $\underline{CK=1} \rightarrow M_{CK1} \text{ e } M_{CK2} \text{ ON}$

$$\hookrightarrow y = \bar{x} \text{ e } z = \bar{y} = x$$

FASE DI HOLD

- $\underline{CK=0} \rightarrow M_{CK1} \text{ e } M_{CK2} \text{ OFF}$

→ PullDown₁ e PullDown₂ sono spenti.

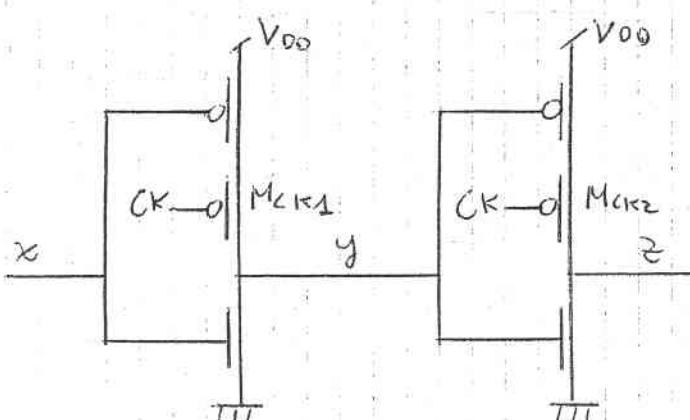
→ non si può inviare la doppia inversione ($z = \bar{y} = \bar{x}$) e quindi l'uscita è bloccata.

→ il circuito è più complesso in quanto il p-latch (invertente) nelle logiche SPCL è composto da 4 MOS e questo p-latch (non invertente) è costituito da 6 MOS.

→ il circuito non è un flip-flop ma un p-latch, cioè è attivo (fase di evaluation) sul fronte positivo del clock.

• N Latch non invertente

→ Nelle logiche TSPCL non può inviare pilotato dal CK



FASE DI EVALUATION

- $\underline{CK=0} \rightarrow M_{CK1} \text{ e } M_{CK2} \text{ ON}$

$$\hookrightarrow y = \bar{x} \text{ e } z = \bar{y} = x$$

FASE DI HOLD

- $\underline{CK=1} \rightarrow M_{CK1} \text{ e } M_{CK2} \text{ OFF}$

→ PV₁ e PV₂ OFF

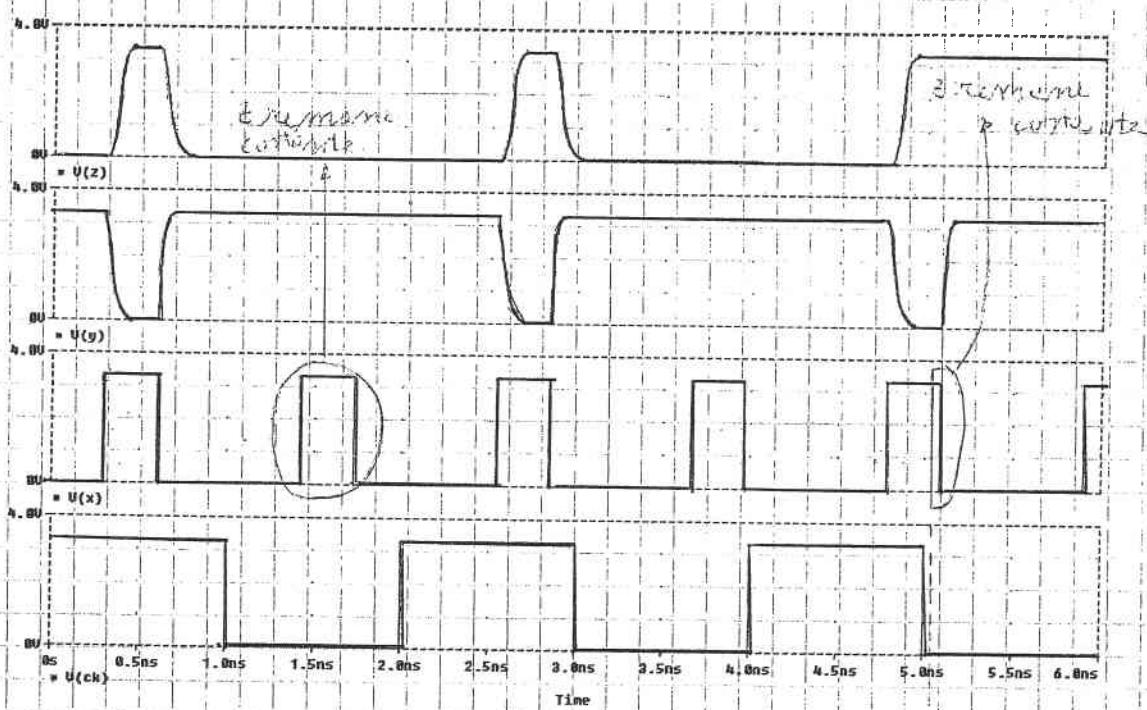
→ non si può inviare una doppia inversione e quindi l'uscita è bloccata.

→ il p-latch seguito dal n-latch costituiscono un flip-flop sincronizzato sul fronte negativo del clock.

→ non c'è più il problema del clock-skew (merita meno (CK e CK-O) e rispetto dell'aumento del numero di MOS).

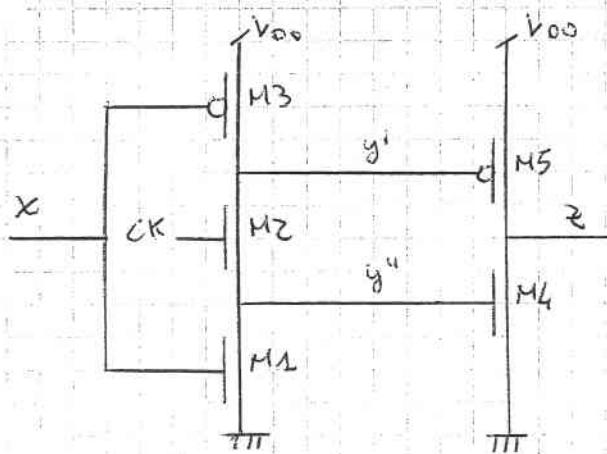
- la logica TSPCL è, attualmente, la logica con un miglior rapporto ingombro/prestazioni → logica utilizzata per circuiti ed alte prestazioni
(l'ingombro è minimo perché il segnale di clock è unico, anche se ha più mos, avendo interconnessioni ad i fili ridotti (elementi molto più ingomberanti dei trasmisori) questa logica occupa di meno delle logiche SPCL che ha bisogno di due linee per le due fasi di clock)
- logica utilizzata per realizzare pipe-line latch-based senza nessun vincolo di realizzazione e la rete combinatoria tra il p.e n latch non deve rispettare nessuna regola
- questo è dovuto al fatto che il segnale di clock è unico e non viene rilevato, non vi ha il problema del clock-skew (caso che imponeva delle regole sulla realizzazione della rete combinatoria nelle logiche SPCL)

Simulazione del p-latch non invertente in tecnologia TSPCL → solo quando $C_K = 1$ (valore alto) è in comportamento come l'ingresso. Quando $C_K = 0$ è rimane costante anche se x varia

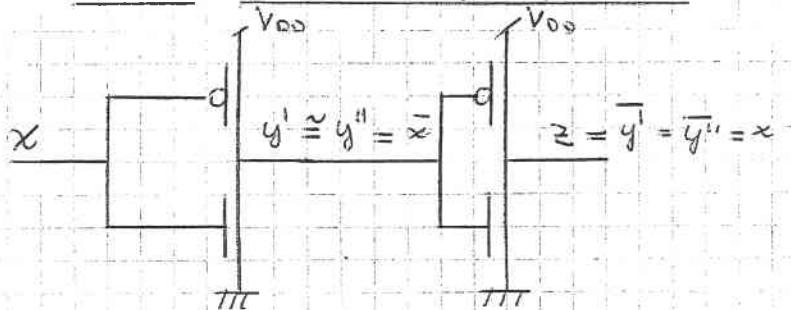


STUDIO DI UN CIRCUITO IN LOGICA TSPCL 1S MOS

• P-latch

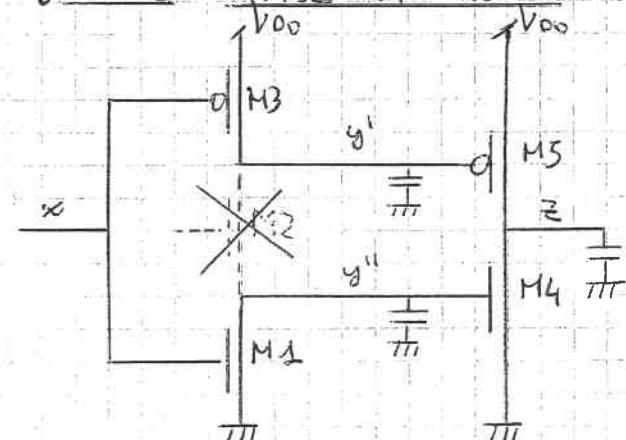


• CK = 1 FASE DI EVALUATION



→ qualitativamente il comportamento non varia

• CK = 0 FASE DI HOLD



Studio dei casi possibili:

$x: 0 \rightarrow 1 | 1 \rightarrow 0$

$M_1: OFF \rightarrow ON | ON \rightarrow OFF$

$M_3: ON \rightarrow OFF | OFF \rightarrow ON$

$y': 1 \rightarrow 1(AI) | 0(AI) \rightarrow 1$

$y'': 1(AI) \rightarrow 0 | 0 \rightarrow 0(AI)$

$M_4: ON \rightarrow OFF | OFF \rightarrow ON$

$M_5: OFF \rightarrow ON | ON \rightarrow OFF$

$z: 0 \rightarrow 0(AI) | 1 \rightarrow 1(AI)$

* y' e y'' sono uguali perché nello stato di Hold (quando $CK = 0$) le due metà fanno lo stesso valore (perciò $y' \equiv y''$)

* transizione ignorata \Rightarrow fase di Hold (z non varia se varia x)

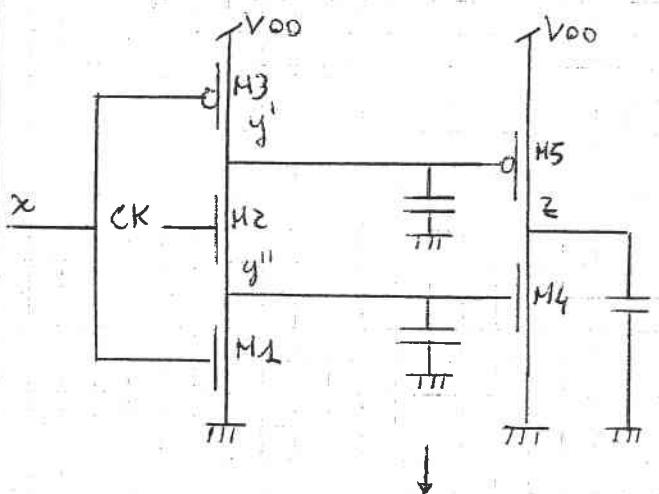
* quando $CK = 0$ la transizione di z riguarda l'unico MOS acceso, e non ne accende uno nessuno (z va in Alta Impedenza)

Studio delle prestazioni del p-latch

Quando il $CK = 1$ M2 non si comporta come un transistor ideale \rightarrow è un pMOS transistor che non riesce a caricare e riportare all'interno il modo di uscita (valore alto elevato)

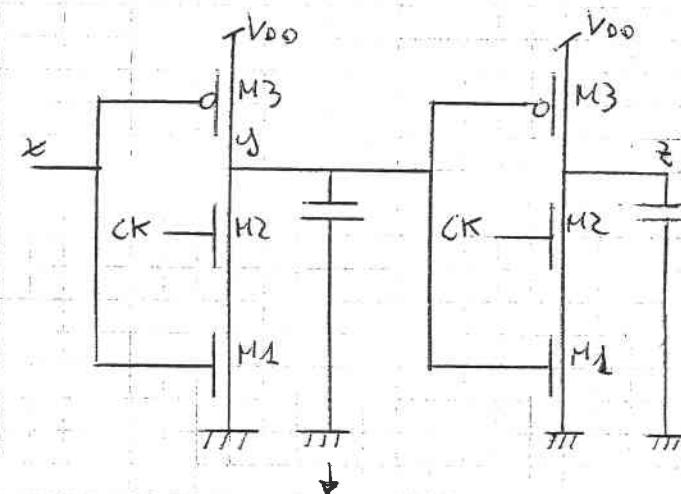
\hookrightarrow confronto tra i due latch

Logica TSPCL a 5 MOS



Sono capacità di gate di un singolo MOS

Logica TSPCL a 6 MOS



è la capacità in parallelo dei due gate dei due MOS e valle

\hookrightarrow non c'è un incremento delle capacità ma è diversa la sua distribuzione.

Studio del trasistori: $x = 1 \rightarrow 0$ quando $CK = 1$ (EVALUATION)

y' da 0 \rightarrow VDD (capacità caricata del MOS M3)

y'' da 0 \rightarrow VDD - V_T (capacità caricata dello stesso dei MOS M3 e M2)

\hookrightarrow le capacità $C_{y'}$ e $C_{y''}$ (parallele) sono la metà della capacità C_y (perché pilotano solo un gate).

La capacità $C_{y''}$ non si carica e viene elettrone per che il n-MOS, lavorando in saturazione con $V_D = V_{DD}$ e $V_G = V_{DD}$, emette la corrente di drain per $V_{DS} = V_T$.

\hookrightarrow quando $I_D = 0$ la capacità non aumenta il suo potenziale e $\Rightarrow V_{S2} = y'' = V_{DD} - V_T$

\hookrightarrow la carica di (y'') avviene con una corrente con un picco più piccolo perché è dato dalla serie di due MOS

y' da 0 \rightarrow VDD (capacità caricata nle del mos M3)

y'' da 0 \rightarrow VDD - V_T (capacità caricata dello stesso dei MOS M3 e M2)

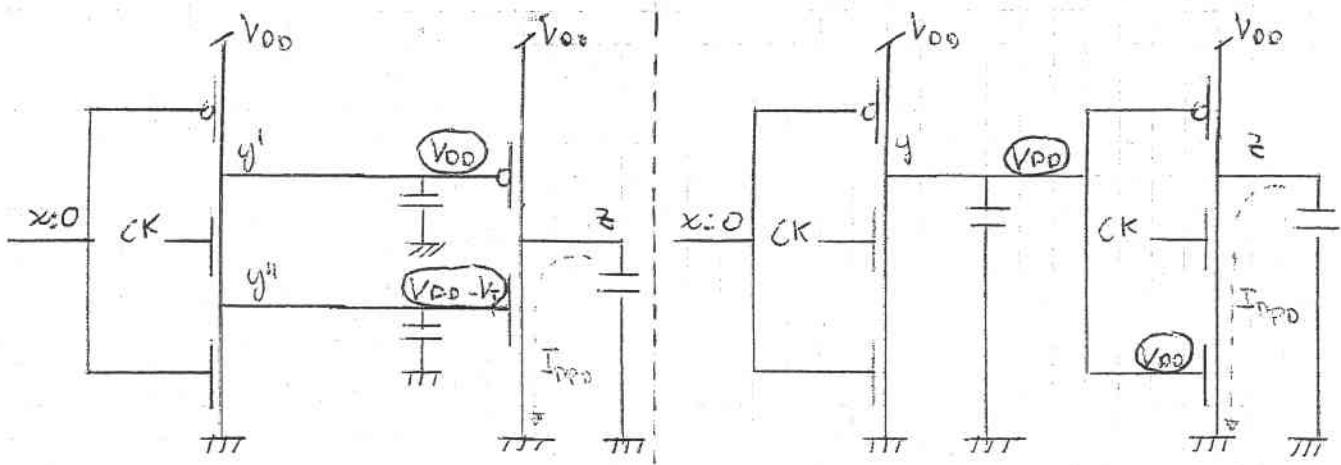
\hookrightarrow le capacità $C_{y'}$ e $C_{y''}$ (parallele) sono la metà della capacità C_y (perché pilotano solo un gate).

La capacità $C_{y''}$ non si carica e viene elettrone per che il n-MOS, lavorando in saturazione con $V_D = V_{DD}$ e $V_G = V_{DD}$, emette la corrente di drain per $V_{DS} = V_T$.

\hookrightarrow quando $I_D = 0$ la capacità non aumenta il suo potenziale e $\Rightarrow V_{S2} = y'' = V_{DD} - V_T$

\hookrightarrow la carica di (z) avviene con una corrente con un picco più piccolo perché è dato dalla serie di due MOS

↳ le differenze di funzionamento sono il quinodo dovute del fatto che ci sono dei MOS in serie (presenti in entrambi i due circuiti), ma del fatto che il PO nel circuito a 5 mos è pilotato da una tensione di gate pari a $V_{DD} - V_T$.



↳ vicarne la corrente di drain del pull down dipende quadraticamente dalla tensione V_{GS} (quando si è in inversione) o linearmente (quando si è in regime lineare) → il tempo di variazione è diverso:

$$I_{DPO} \ll I_{DPO} \rightarrow \text{la corrente è molto più grande perché } V_{DD} = 3,3V > V_{DD} - V_T \approx 2,8V \text{ e il loro quadrato è notevolmente differente.}$$

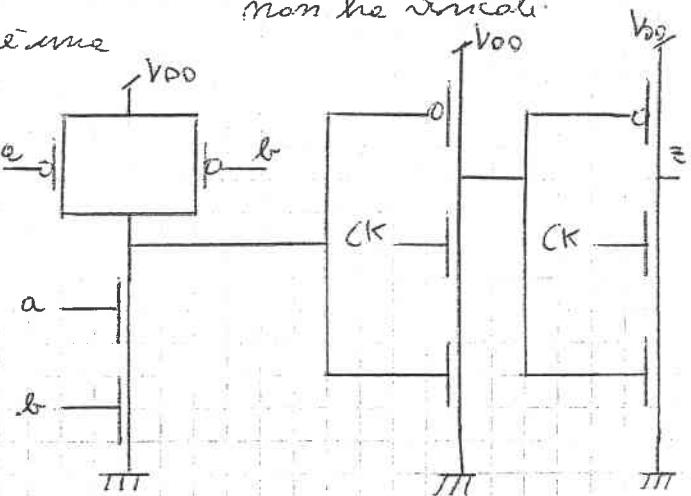
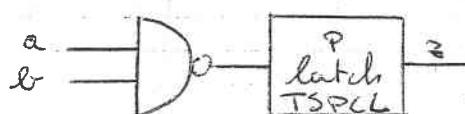
$$t_{PHL} \gg t_{PHL}$$

• Studio di una pipe-line con logica TSPCL



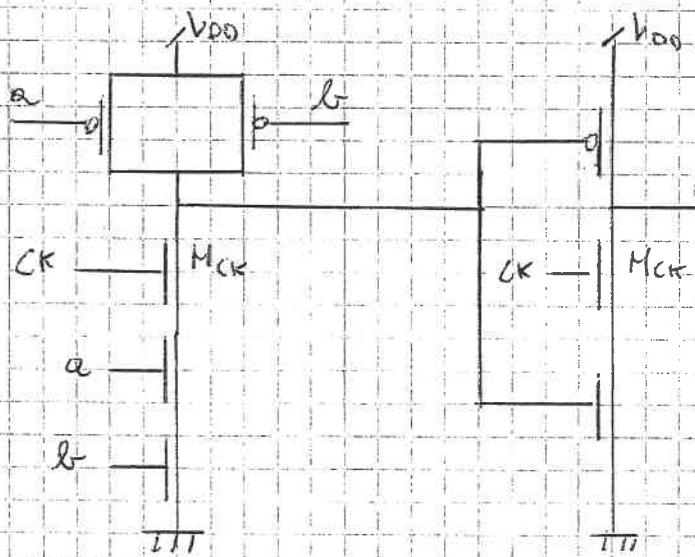
↳ la rete combinatoria non ha vincoli.

↳ se la rete combinatoria è una porta NAND



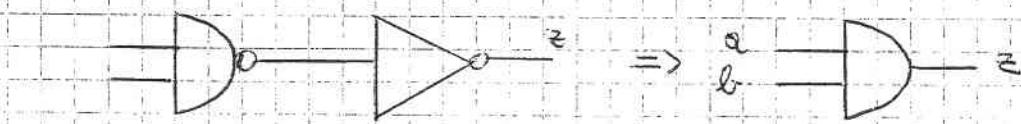
↳ il principio della logica TSPCL, per i latch, è quello delle doppie inversioni dove le due reti inverteristiche hanno il PO controllato da uno stesso segnale di clock.

→ il principio vale per una qualsiasi rete invertente come il NAND → si può integrare una parte di una funzione combinatoria direttamente nel latch (dove la presa inversione è costituita dalla rete NAND).

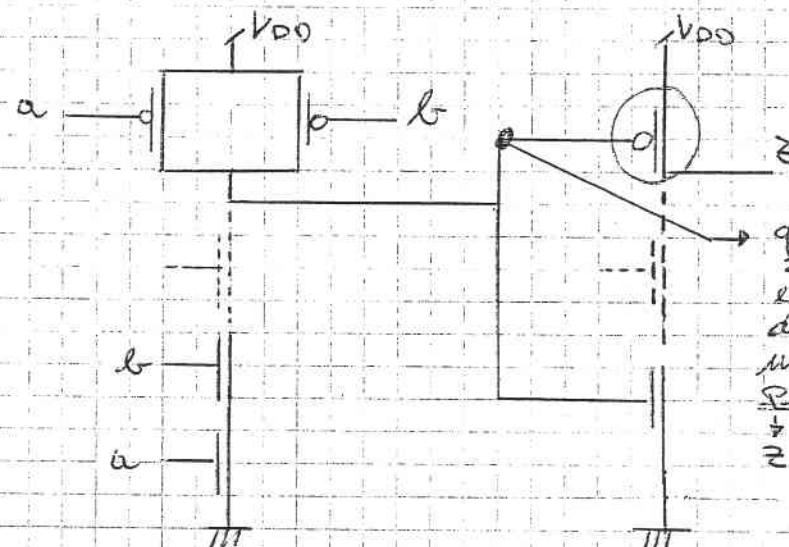


→ combina le funzioni delle porte => lorsque niente, renderà la rete combinatoria in modo differente.

• se $CK = 1$, considerando il un interruttore ideale, il circuito diventa



• se $CK = 0$ → Mck OFF



questo modo è collegato SOLO alla rete di PMOS e quindi può passare solo da un valore basso ad uno alto spegnendo il P-MOS.

z è costante

→ è una soluzione libera: il p-latch ha "incorporato" le funzione logiche AND.

→ VANTAGGI

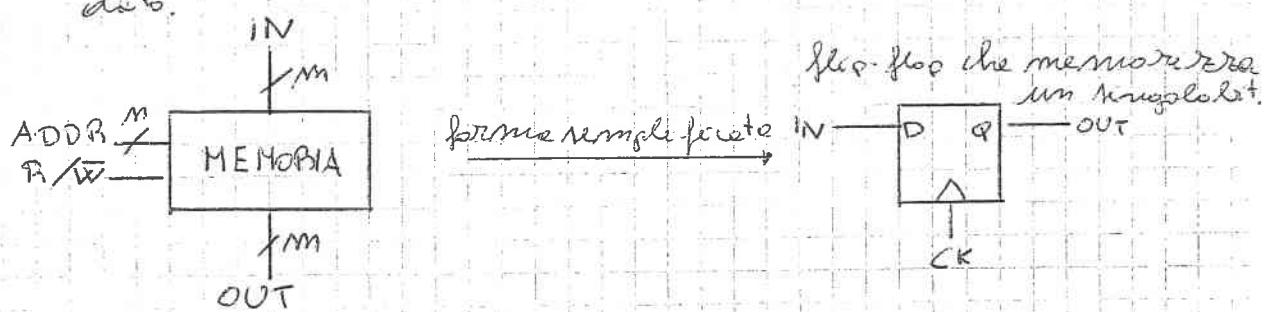
- ① riduzione del numero dei transistor (dotare un AND di una funzione latch serve con 4 transistor in più, come la logica TSPC)
- ② riduzione del numero degli stadi → la rete è più veloce
- logica TSPC utile per applicazioni ad alte prestazioni (frequ. veloce e complessa)

MEMORIE A SEMICONDUTTORE

- al contrario dei flip-flop, in questi dispositivi non è importante la velocità di memorizzazione ma le quantità di dati da memorizzare.
- sono elementi utilizzati come "deposito temporaneo di informazioni" (l'informazione deve essere scritta e letta per poterla utilizzare) e non come stadio intermedio di una struttura pipe-line (utilizzo principale dei flip-flop ad elevate prestazioni).

Descrizione di una memoria

- è un elemento su cui si può scrivere e leggere un dato.



IN/OUT → sono le linee di ingresso e di uscita (bus a m -bit)

ADDR → linee di indirizzo (address) che discriminano una tra le 2^m informazioni diverse contenute nella memoria (informazione lunghe m bit).

R/W → specifica l'operazione da compiere: scrivere o leggere (il bit è per esempio, 0 per scrivere 1 per lettura) delle parole (informazione di m -bit) nel posto indicato dal bus ADDR.

$$\text{Capacità} = 2^m \cdot m \quad (\text{e } m \text{ parole di } m \text{ bit}) \\ (\text{della memoria})$$

$$\text{Con } m = 10 \quad \text{Capacità} = 2^{10} \cdot 4 = 4096 = 4 \text{ Kbit}$$

$$\text{Con } m = 20 \quad \text{Capacità} = 2^{20} \cdot 8 = 8 \text{ Mbit} = 1 \text{ Mbyte}$$

$m = 8$
Lo è 1 byte

- le memorie si classificano secondo la loro capacità o secondo la loro funzione

• Classificazione delle memorie secondo le loro funzionalità

↳ Sole lettura (il contenuto viene definito solo una volta e poi volatilmente letto)

Lo può essere utilizzata per descrivere reti combinatorie invarienti nel tempo.
(memorie impiegate nel controllo degli apparecchi domestici)

• Memorie ROM (Read Only Memory). Il nome è improprio in quanto la memoria viene scritta all'interno in modo definitivo e poi volatilmente letto. Si distingue in funzione di chi la scrive:

- (M) ROM: memoria a sole lettura
scrive del fabbricante
ROM programmabile a livello di maschera
- (P) PROM: memoria a sole lettura
programmato dell'utente
field → ROM programmata nel "campo".

↳ Lettura e Scrittura (il contenuto può essere definito più di una volta).

↳ si differenzia in funzione della volatilità (se il dato è permanente o no)

↳ una memoria non è volatile se conserva i dati indipendentemente dalle pressioni dell'elementazione

• Memorie VRWM (Volatile Read Write Memory)

↳ sono memorie veloci e i processi di scrittura e lettura hanno tempi paragonabili.

→ BAM (Random Access Memory) → memoria ad accesso arbitrario, cioè il tempo di lettura di un dato non dipende dalla sua posizione (come si vede in una memoria a nastro magnetico dove bisogna scorrere il nastro tanto quanto è lontano il punto in cui si è scritto il dato da leggere)

↳ il tempo di lettura non è arbitrario, ma determinato e uguale per ogni dato.

↳ il nome è improprio perché tutte le memorie in elenco sono ad accesso arbitrario (il nome è stato assegnato storicamente)

↳ le memorie RAM si dividono in

↳ SRAM → RAM statica → è una memoria veloce e di piccola dimensione (utilizzata come memorie di cache)

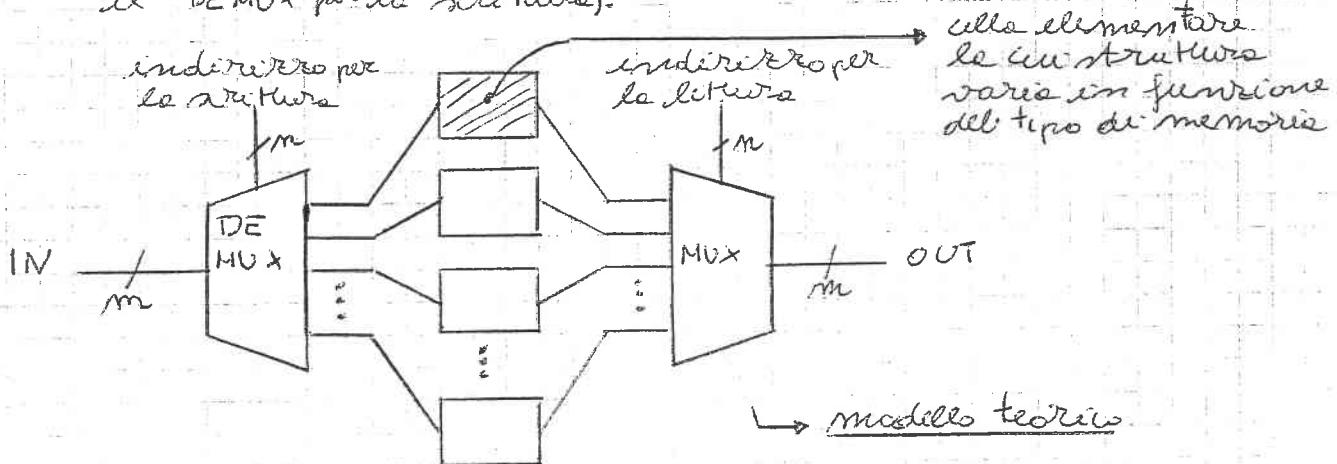
↳ DRAM → RAM dinamica → è più lenta e di grande dimensione (utilizzata come memorie di massa).

• Memorie NVRAM (Non Volatile Read Write Memory)

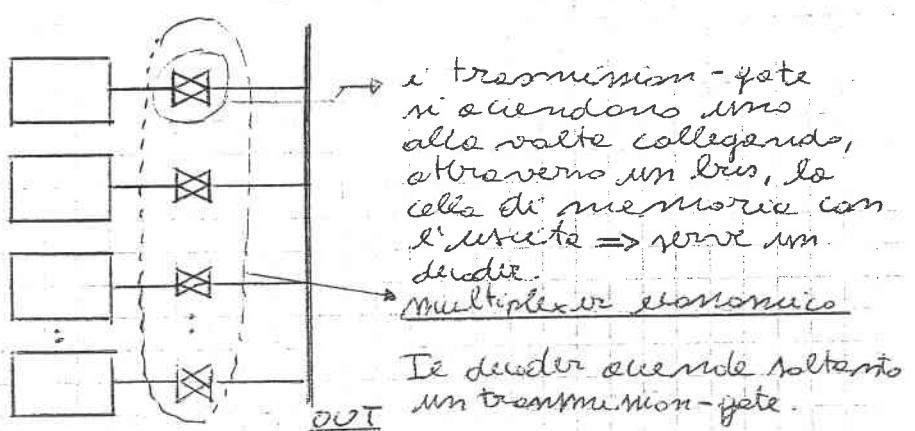
- ↳ sono memorie lente; il numero di ciclo di scrittura è limitato, il processo di scrittura è totalmente diverso da quello di lettura; sono costose.
- ↳ anche se sono riservabili vengono chiamate ROM perché l'architettura è simile a quest'ultima.
- ↳ architeturalmente queste memorie appartengono allo stesso tipo, funzionalmente sono memorie NVRAM.
- EPROM (erasable programmable read only memory)
- EEPROM
- FLASH EEPROM (chiavette USB o lettori mp3)

• Studio delle strutture comuni

Le diverse celle di memoria condividono una stessa linea di ingresso e di uscita \rightarrow si può utilizzare un multiplexer per collegare le varie celle con l'uscita attraverso un indirizzamento e un demultiplexer per collegarle con un singolo (rispettivamente il MUX per la lettura e il DEMUX per la scrittura).



Se come le celle sono numerose e quindi il DEMUX e il MUX sono "grandi", si ottiene riduzione economica. Il MUX viene realizzato con i transmission-gate che collegano le varie celle ad un'unica linea.



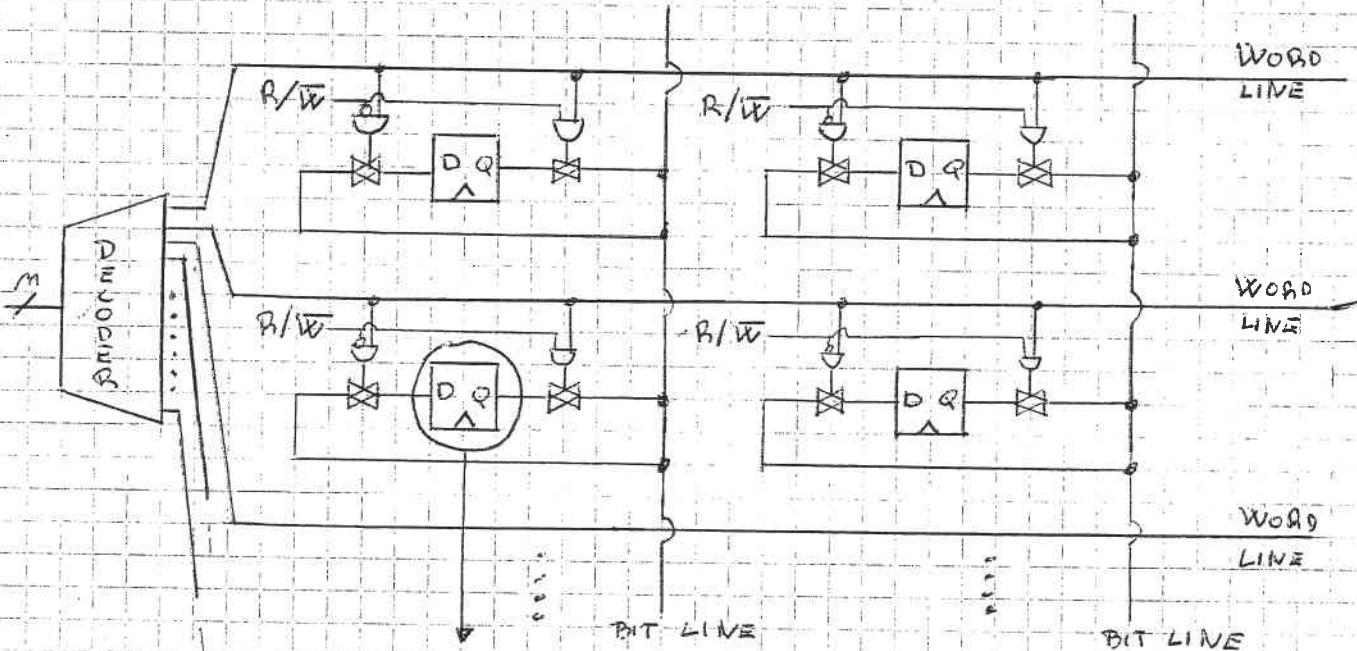
Bit-line = bus che consente di tutte i bit della stessa posizione della parola (bit = celle di memoria) di collegarsi, attraverso un trasmittor-gate, all'uscita (o all'ingresso) della memoria.

Word-line = linea selezionata del decoder che accende tutte le trasmittor-gate di una stessa parola collegando tutte i bit della stessa parola con l'uscita (o ingresso) attraverso un bit-line.

La bit-line è uscita per l'uscita che per l'ingresso (lettura o scrittura) di un dato in quanto nella memoria non si legge e si scrive contemporaneamente.
(In un particolare memoria a doppio accesso dove mentre si legge un dato si ne scrive un altro)

R/W = segnale che abilita la lettura o scrittura.
Lettura = dato presente nelle celle viene trasferito attraverso un trasmittor-gate sulla bit-line.
Scrittura = dato sulla bit-line viene trasferito nelle celle.)

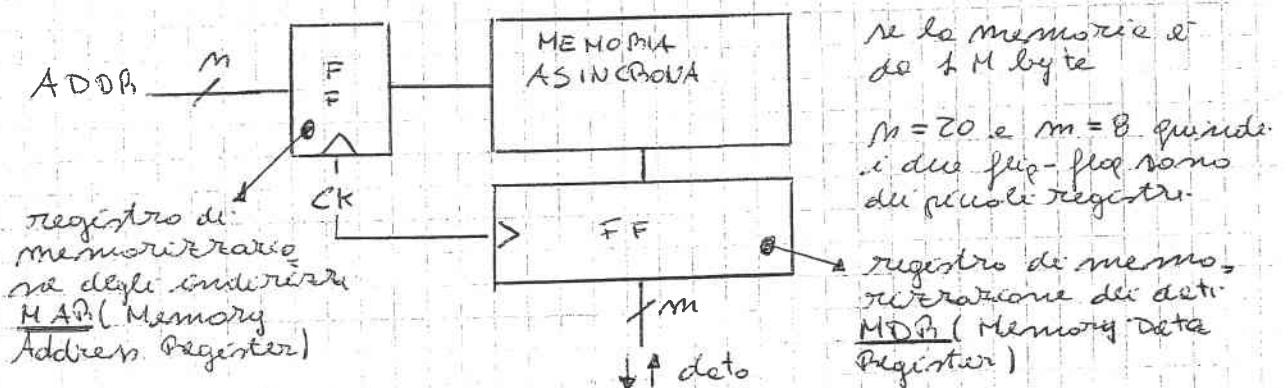
Se usi una struttura a matrice ($n R/W = 1$ lettura)



- dai 10 MOS (tecniche dinamiche) ai 38 MOS (tecniche statiche)
- decine di MOS per il segnale di controllo (uscita e trasmittor-gate).
- per 1 bit servono una 50 mos

Le memorie qui sopra sono controllate, non serve una cella memoria (come un flip-flop D) controllata e rice volta da un segnale di clock.

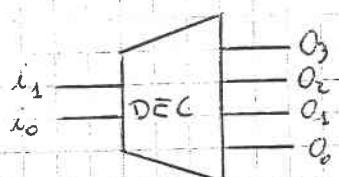
La memoria può essere aktronica (risparmiando la ripetizione di due latch e la distruzione del segnale di clock) con gli ingressi e le uscite sincrone.



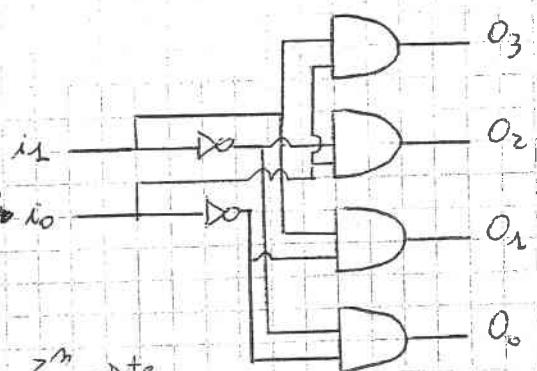
- servono m flip-flop per l'indirizzo e m flip-flop per il dato
- la memoria attivazione diversa, grazie ai due blocki di flip-flop (registri), funziona con il resto del circuito.

Struttura esterna

Decoder (2^m)



struttura a porte logiche



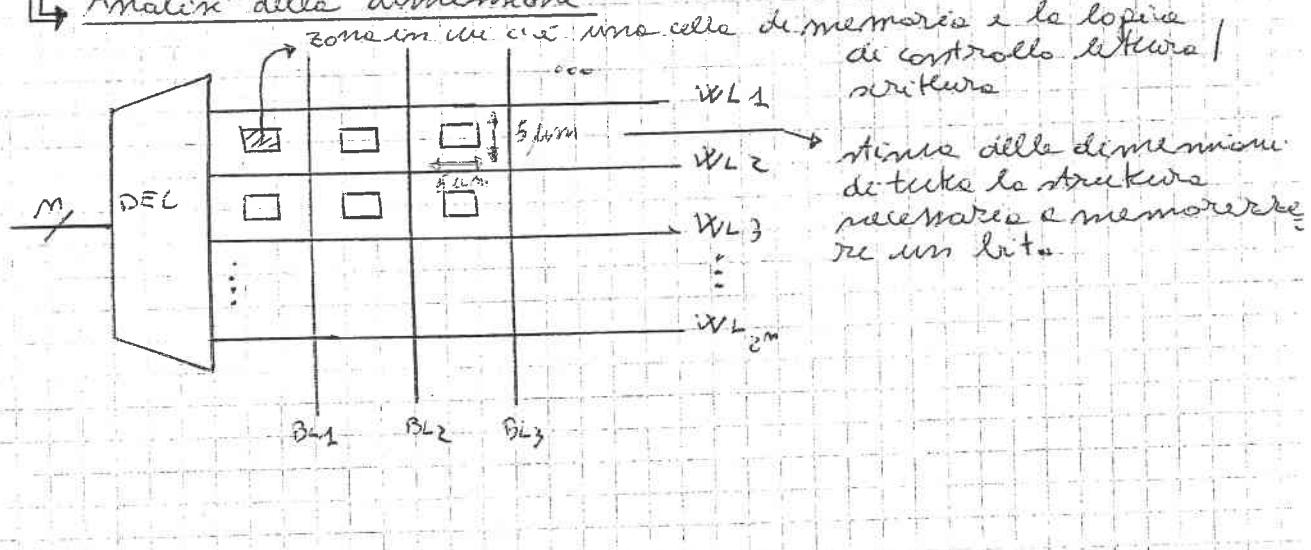
- un decoder a m ingressi richiede 2^m porte logiche AND e m ingressi.

per una memoria de 1 M byte ($m = 20$ e $n = 8$)

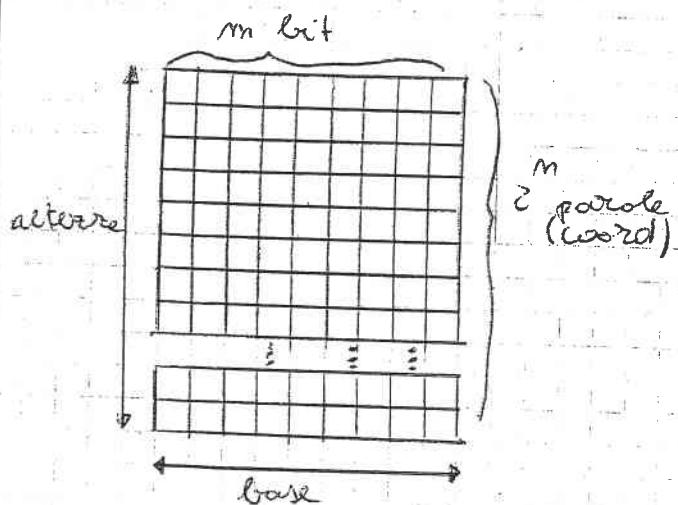
→ servono 2^{20} AND e 20 ingressi. (dove un AND a 20 ingressi in tecnologia CMOS è costituito da 40 MOS.)

→ servono circa 40 milioni di transistor.

Analisi della dimensione



La memoria è una matrice così costituita

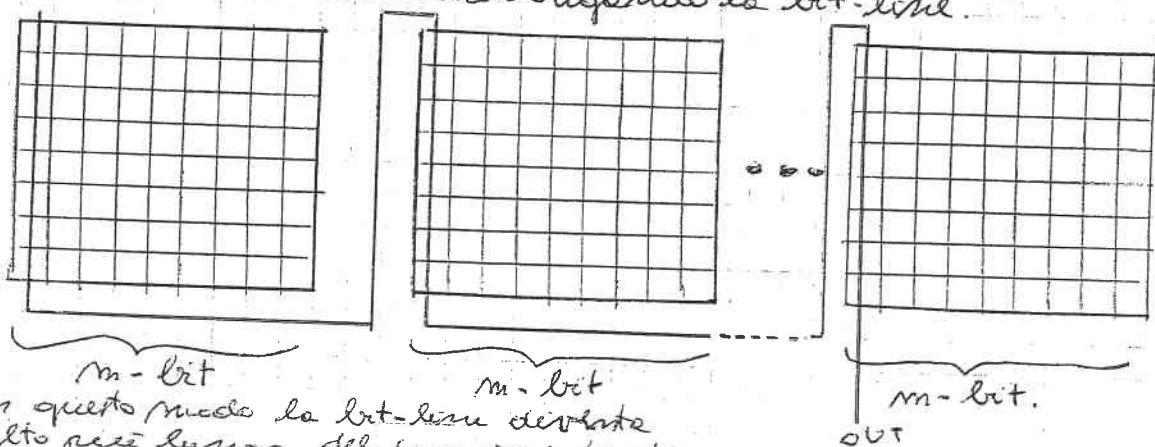


$$Per\ell = 8 \cdot 5 \cdot 10^{-6} = 40 \mu\text{m}$$

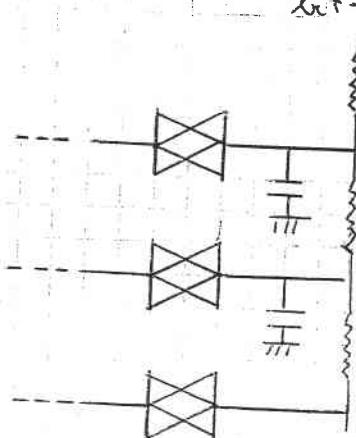
$$Altezza = 2^{20} \cdot 5 \cdot 10^{-6} \approx 5,24 \text{ m}$$

il fattore di forma non è
realizzabile

→ La soluzione: si può dividere la memoria in più colonne allungando le bit-line.



- in questo modo la bit-line diventa molto più lunga del caso precedente (nelle memorie da 1 M byte la bit-line diventa >> 5 m)
- ogni bit-line vuole per ciascuna delle 1024 trasmissioni avere la loro capacità parallela: la resistenza è elevata.



→ il segnale si propaga secondo la regola di Elmer (analizzata nello studio di trasmission-gate)

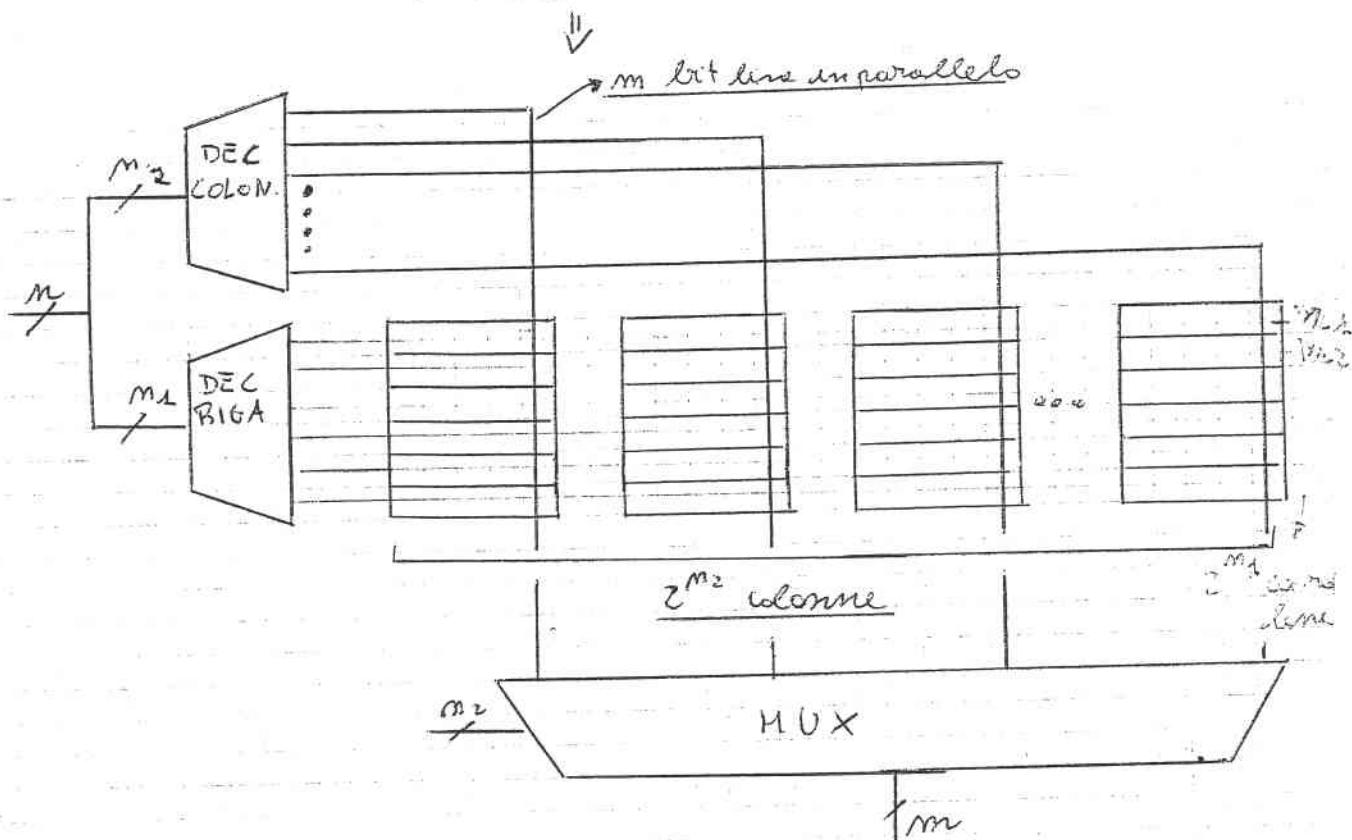
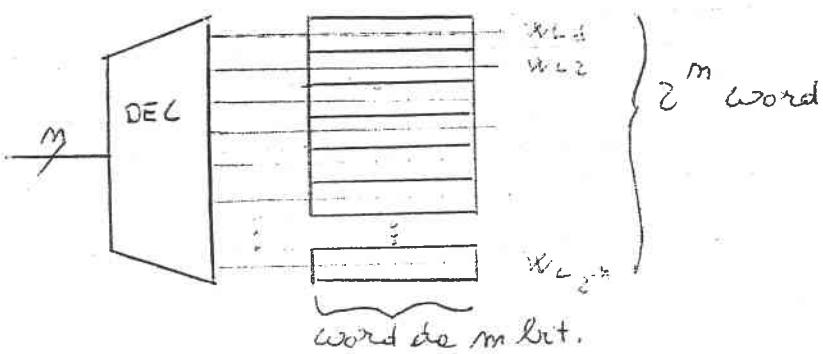
$$t_{\text{tot}} = \frac{k \cdot t_{\text{el. (K1)}}}{2} \cdot t_{\text{p0}}$$

(dove t_{p0} è il tempo necessario a caricare solo una capacità e k è il no di transmission-gate collegati alla bit-line)

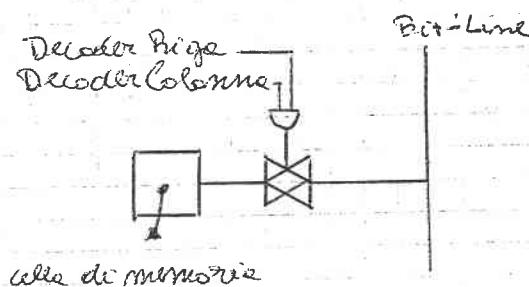
- il ritardo dipende quadraticamente dal numero di esse collegate alla bit-line.

↳ la soluzione oltre ad avere bit-line troppo lunghe ha
 i tempi di propagazione elevatissimi.
 ↳ soluzione è inutile

↳ 2^o soluzione oltre a dividere la memoria in più colonne
 si divide anche il decoder in due.



↳ per scegliere una parola bisogna dare due informazioni
 ↳ le righe e le colonne della parola → si utilizzano due
 decoder distinti con in ingresso m₁ e m₂ indirizzi (le
 cui somma è n)



Il segnale Decoder Righe abilita tutte
 le parole della stessa riga
 Il segnale Decoder Colonne abilita
 tutte le parole delle stesse colonne

Per 1 M byte

$$m = 8$$

$$m = 20 \rightarrow m_1 = 12 \Rightarrow 2^{12} \text{ righe}$$

$$\hookrightarrow m_2 8 \Rightarrow 2^8 \text{ colonne}$$

$$\underline{\text{Basse}} = 2^8 \cdot 8 \cdot 5 \cdot 10^{-6} \approx 1 \text{ cm} \rightarrow \text{la larghezza delle righe è quasi la}$$

$$\underline{\text{Altezza}} = 2^8 \cdot 5 \cdot 10^{-6} \approx 2 \text{ cm}$$

↳ bisogna aggiungere un multiplexer per portare un
byte le parole richieste

↳ nelle realtà ci sono i transistor-gate pilotati dai
decoder colonne.

Vantaggi:

① Le dimensioni sono realistiche

② I due decoder sono più piccoli \Rightarrow servono meno transistor

↳ il decoder di $\Rightarrow 2^{12}$ AND e 12 ingressi +
righe

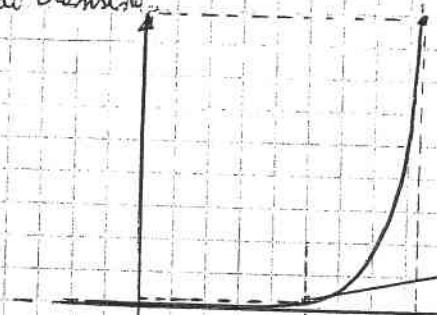
↳ il decoder di $\Rightarrow 2^8$ AND e 8 ingressi =
colonne

$$2^{12+8} = 4352 \ll 2^{20} \text{ AND} \quad (\text{usat. per un unico decoder})$$

↳ oltre ad avere meno AND ci sono pochissimi
transistor (rispetto ai 40 megliani di prima) in questo gli
AND utilizzati hanno meno ingressi.

In tecnologie CMOS il n° di transistor è $= 2^m \cdot 2^M$
(con m il numero di ingressi)

↳ (il calcolo è approssimato in quanto per avere le stesse prestazioni all'aumentare di m
aumenta lo dimensionamento dei transistor in quanto al
P.D aumentano i n-MOS in serie)



Tutte le memorie prevedono un
meccanismo di abilitazione a
poco livello (o due coordinate, come
è l'elenco precedente, o più)

oltre ad avere meno
transistor ci hanno elevate
prestazioni in quanto è più
di ingressi piccole e
numero di
n-MOS in serie.

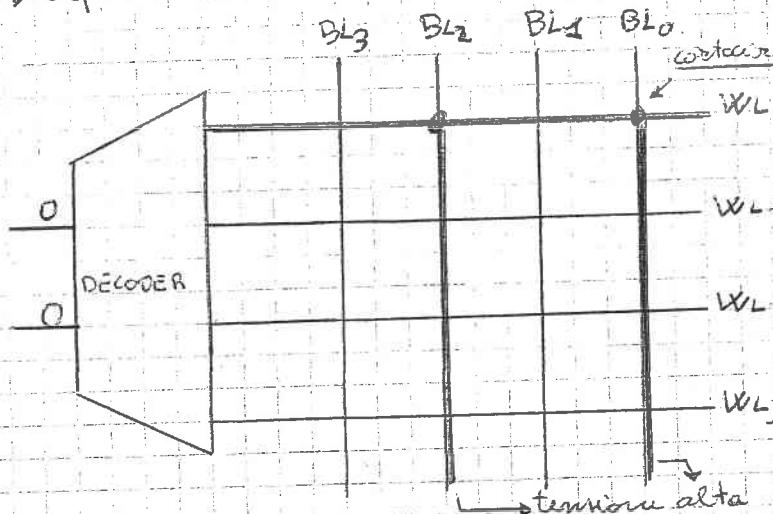
MEMORIE A SOLA LETTURA (ROM)

Modello elementare

m bit di indirizzo $\Rightarrow 2^m$ word line
 m bit-line

Studiam con $m=2$ e $m=4$ (4 parole di 4 bit)

$$\hookrightarrow \text{Capacità} = 2^m \cdot m = 16 \text{ bit}$$



tavella della verità

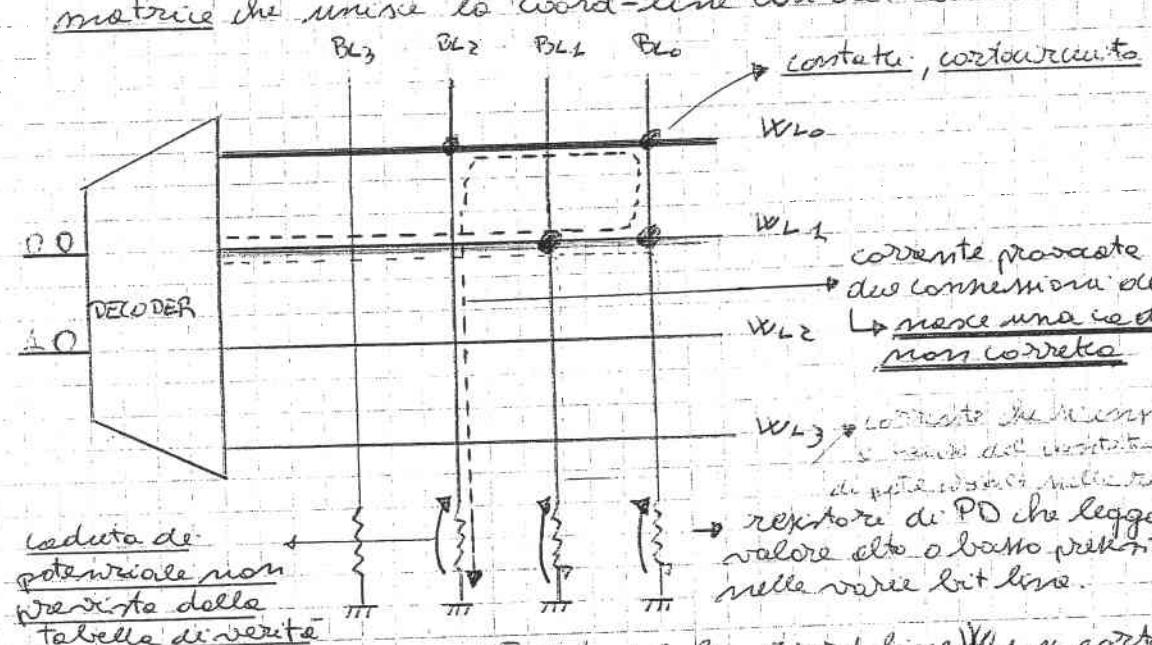
	WL0	WL1	WL2	WL3	BL3	BL2	BL1	BL0
00	0	1	0	1				
01	0	0	1	1				
10	0	1	0	0				
11	1	1	0	1				

→ la memoria deve, in funzione degli ingressi l_1 e l_0 , portare le bit-line al valore alto = 1, basso = 0 determinato dalla tavella della verità.

→ quando un ingresso c'è 00 solo la word line (WL0) riporta il valore alto

→ in questo caso le BL3 e le BL1 devono avere il valore basso e le BL2 e le BL0 devono portare il valore alto

→ si usa un sistema di contatti per programmare la matrice che unisce le word-line con le varie bit-line.



→ corrente che incrina il resistore del bit-line → incita di spessore nelle resistenze → resistori di PD che leggono il valore alto o basso presente nelle varie bit line.

→ quando un ingresso c'è 01 solo la word-line WL1 riporta il valore alto → si insita una corrente che provoca una caduta di tensione nelle resistenze di PD → lettura dei valori memorizzati.

Nel caso precedente quando l'ingresso è 0.1

$$WL_1 = 1 \Rightarrow BL_0 \text{ e } BL_2 = 1$$

$\hookrightarrow BL_0$ è corrente anche se WL_0 portato solo a 1

$$\hookrightarrow WL_0 = 1 \Rightarrow BL_0 \text{ e } BL_2 = 1$$

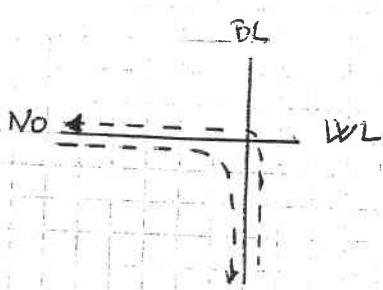
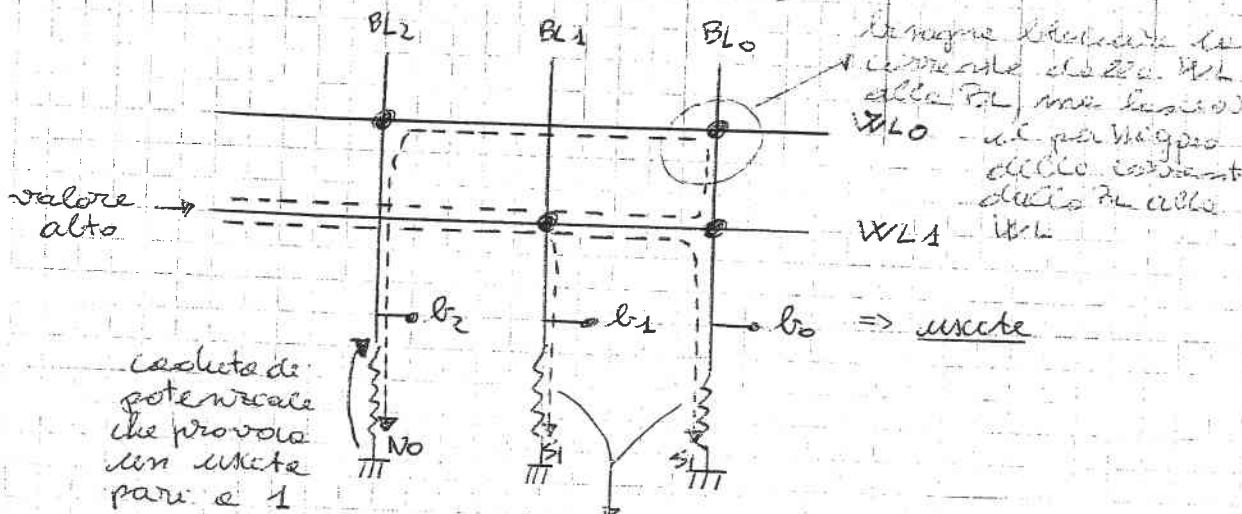
l'uscita diventa

$$b_3 \quad b_2 \quad b_1 \quad b_0 \\ 0 \quad 1 \quad 1 \quad 1 \quad \text{per ingresso 0.1}$$

dato diverso del valore delle uscite

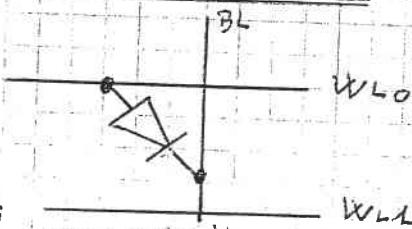
il decoder forza WL_0 a 0 e nace un sistema reticolare dove il PO del decoder è contestato dal PU dello $WL_1 \Rightarrow$ contro l'ipotesi di sistema reticolare

\hookrightarrow il problema è la corrente che dalle WL_1 passa nelle WL_0 scaricandone tutta la resistenza di PO delle bit-linee



\Rightarrow si crea una connessione anidescrizionale (non un cortocircuito)

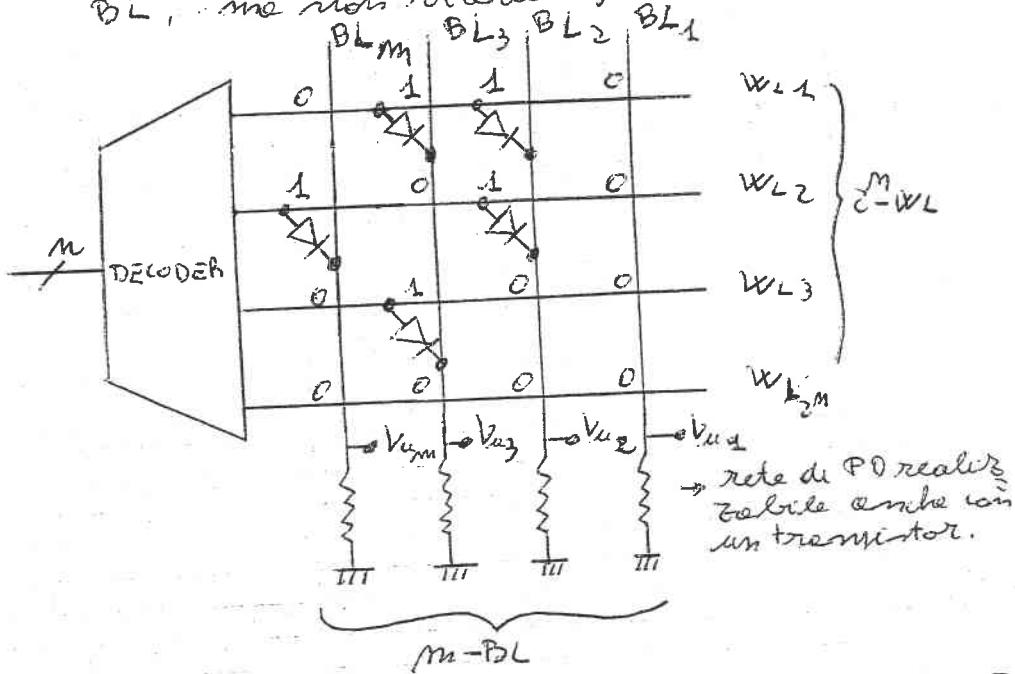
si usa un diodo



Lo quando WL_1 è alto il diodo si polarizza in inverso \rightarrow non passa corrente in WL_0

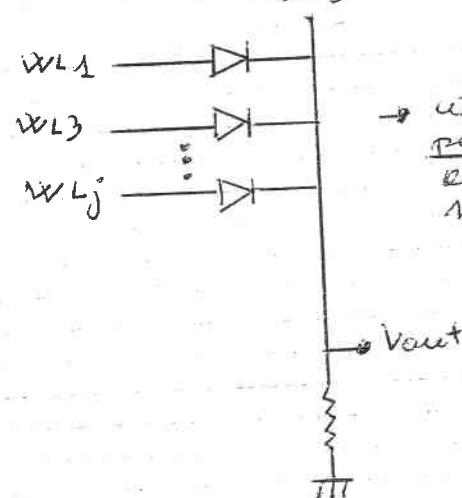
Modello reale (Memoria ROM)

- è solo lettura, non c'è canali bidirezionali di ingresso e di uscita
- si memorizza una parola di m -bit all'interno di 2^m -esimo con due diodi (giunzione monodirezionale che consente alla corrente di fluire dalla WL verso la BL, ma non viceversa).



- la presenza del diodo chiude il circuito di PD quando la linea di word (WL) è selezionata dal decoder (l'uscita del decoder porta una sola linea al livello alto lasciando le altre a quello basso).
- se un diodo ha tensione di uscita, è meno di una V_T , è il valore alto (valore logico alto) quando la WL viene scelta dal decoder.

→ circuito di una singola bit-line



→ circuito rilevatore di minimo, porta logica OR (l'uscita è a logica 1 se minimo, è meno di una tensione di soglia, al più alto dei segnali di ingresso WL_j)

→ la matrice ROM è la forma più semplice per realizzare una qualsiasi funzione combinatoria attraverso una somma di prodotti (mintermuni).

→ il decoder genera tutte i mintermuni, i diodi (attraverso il circuito rivelatore di messaggio, cioè l'OR logico) li sommiamo per ricevere le funzioni logiche.

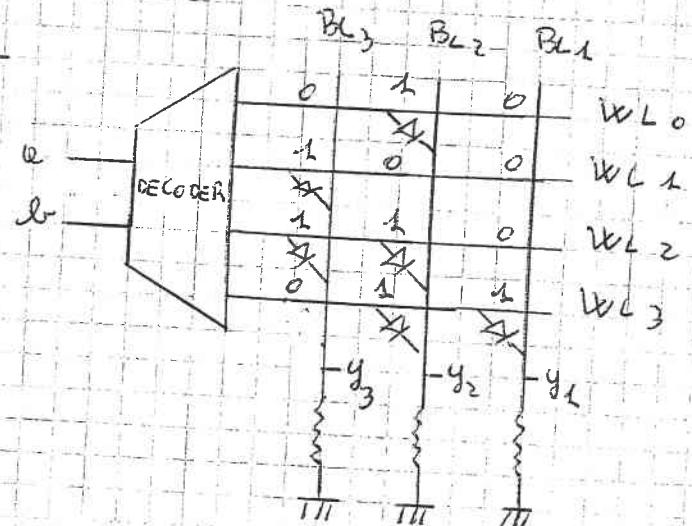
Ad esempio

a	b	y_1	y_2	y_3
0	0	0	1	0
0	1	0	0	1
1	0	0	1	1
1	1	1	1	0

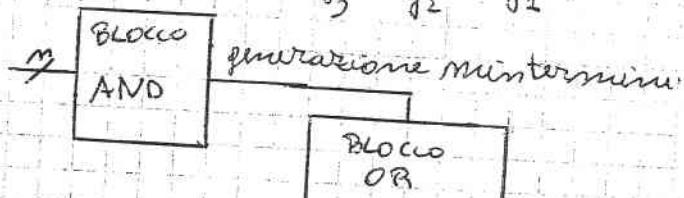
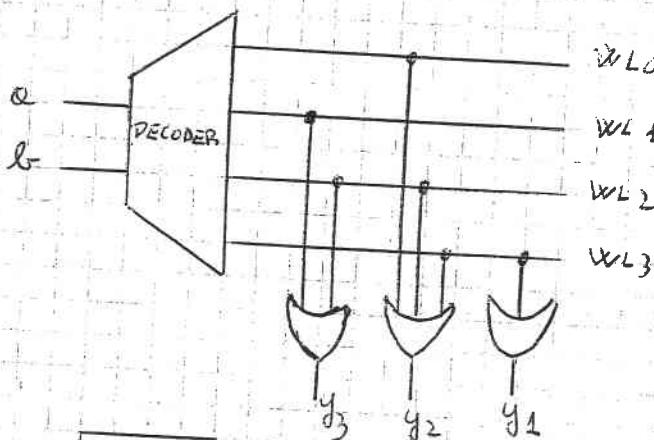
$$y_1 = ab$$

$$y_2 = \bar{b} + ab$$

$$y_3 = ab + b\bar{a}$$



Con una memoria ROM si possono creare più funzioni



→ l'OR e diode è utile nelle memorie ROM.

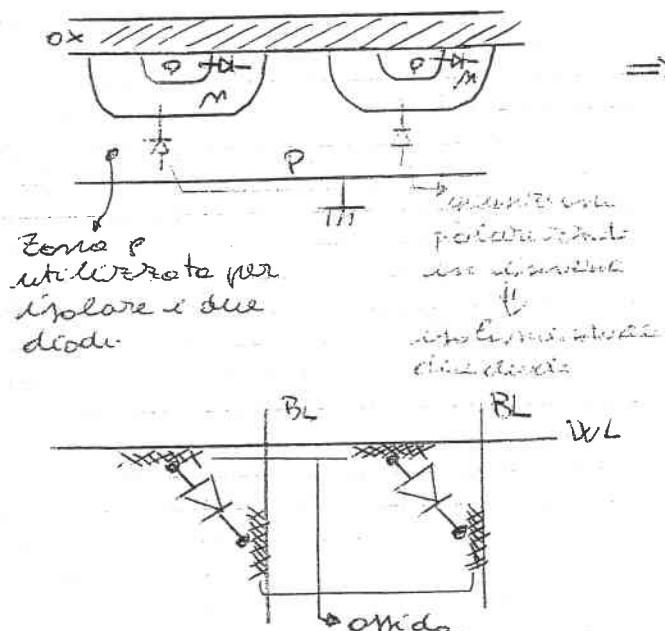
→ bisogna studiare i vari meccanismi di programmazione delle memorie ROM.

MP-ROM (Mascher Programmable ROM)

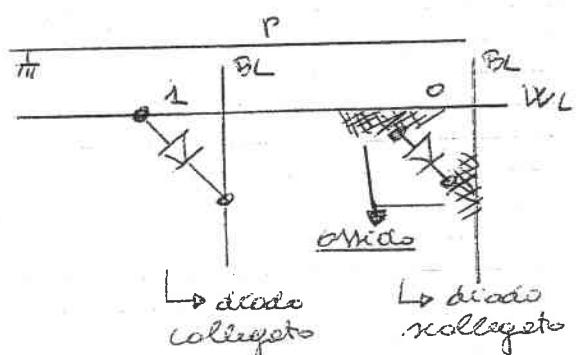
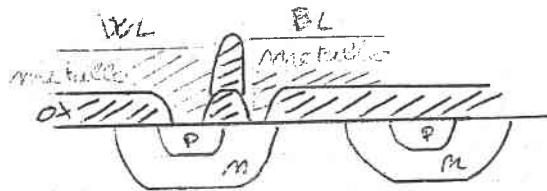
- ↳ una volta determinate la dimensione (n° di bit da memorizzare, m , e il n° di bit da una parola, n) la struttura base (decoder, bit-line e word-line) non cambia al variare della programmazione delle memorie
- ↳ la programmazione varia in funzione della posizione dei diodi
- ↳ tipicamente si costruiscono tutti i diodi attraversandoli o direttamente nel mezzo. Questo non influenza nel costo in quanto il prezzo (variabile strettamente collegato al costo di produzione) non varia al variare del numero di diodi.
- ↳ in questo modo si può intervenire in una fase successiva attraverso una maschera che seleziona quale diodo collegare alle bit-line e alle word-line creando un 1 logico.

• Creazione dei vari:

diodi isolati: si viene depositato uno strato di ossido



• Con una maschera si può aprire un buco nell'ossido e depositare del metallo per creare un collegamento tra il diodo e le BL, WL



• VANTAGGI:

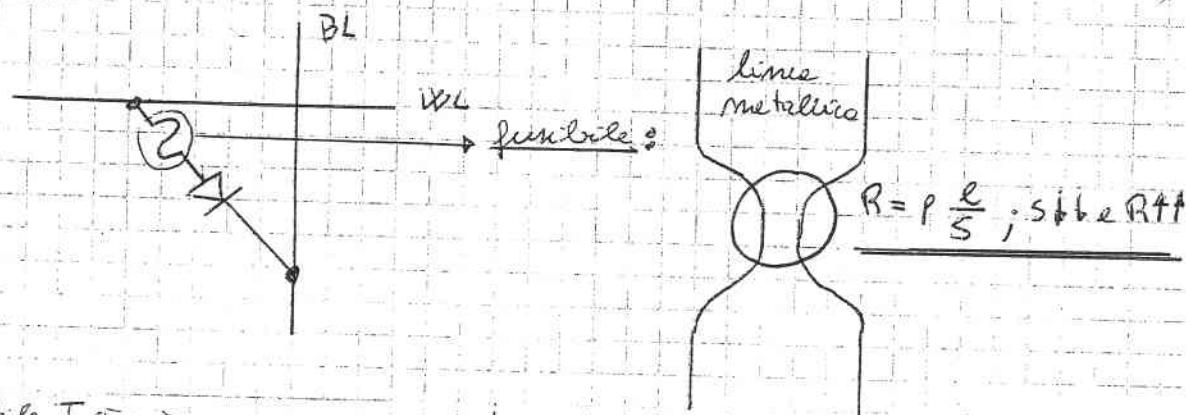
- ① la prima fase del progetto (creazione del diodo, fase molto delicata e lunga) è indipendente dall'effettivo contenuto della matrice → si può predefinire una larga parte del circuito (riducendo i costi) fino al momento in cui bisogna stabilire i brechi per i collegamenti. ↳ si usa solo una maschera per definire la programmazione delle memorie ROM (configurare i diodi)
- ↳ si parla di salvo predefinito
 - ↳ la diffusione termica del drogante è indipendente dal contenuto della matrice
- ↳ la restante parte della costruzione viene implementata automaticamente → no costi di progetto per l'ultima fase

DIFETTI

- ① Non si può modificare (memorie e solo lettura)
- ② Per programmarle bisogna rivolgersi alle fonderie
(in quanto la programmazione è a livello di manifattura)
- ↳ bisogna realizzare una maschera (circa 10 o 20 mila euro)
 - ↳ processi ed esco esse alte produzioni.
 - ↳ l'alto costo è dovuto alle sofisticate tecnologie
 - in quanto le dimensioni sono di qualche μm .

FP-ROM (Field Programmable ROM)

- ↳ memoria programmata dall'utente dopo il processo di fabbricazione
- ↳ tutte le diode sono già connesse al bit-line e al word-line tramite un fumetto.
- ↳ l'utente può distruggere l'interconnessione



Nel fumetto I è circa costante.

$$P_{\text{dis}} = R I^2$$

più è alta la corrente più il conduttore dissipava potenza → calore

↳ il fumetto è un conduttore in cui un tratto è appositamente in funzione della soglia d'intervento del fumetto stesso.

↳ la zona dove c'è il fumetto si riscalda di più e parità di corrente.

↳ Le fasi di programmazione consiste nell'immettere una corrente, più alta di quella utilizzata normalmente nei fumetti collegati su diodi tale da scenderli.

↳ La corrente durante la fase di lettura, deve essere tale da non distruggere i collegamenti rimasti.

↳ La corrente usata nella programmazione deve essere tale da poter bruciare il fumetto e tenere inviolato tutto gli altri (Il dimensionamento del programmatore è critico) → Si usano corrente impulsive per evitare elevate correnti per un elevato periodo in modo da evitare danneggiamento non voluto.

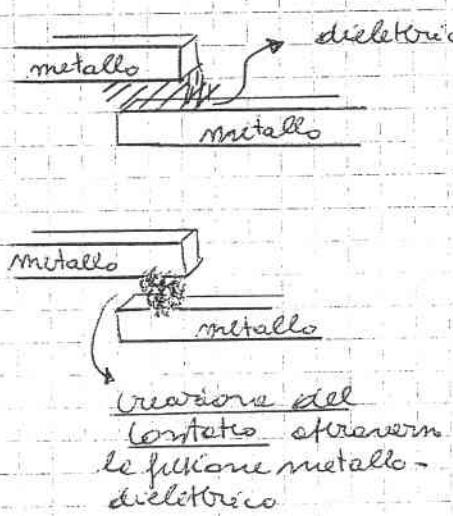
- il programmatore è un circuito collegato ad un PC che controlla regolarmente la duratazione dei vari fusi.
- il meccanismo è lento (scrive una parola alle volte)
 - ↳ esatto e piccole produzioni → programma dell'utente nel tempo (file).

PROBLEMI

- ① Programmazione lenta (solo una parola alle volte)
- ② Non ricavabile
- ③ I fusi non "bruciano" hanno un'altra resistenza che si pone in serie al resto del circuito → aumenta il tempo di caduta delle capacità di bit-line → elemento del tempo di propagazione.
- ④ Siccome statisticamente nelle matrice ci sono più O che 1
 - ↳ bisogna ricavare queste tute i fusi.

Tecnologia di anti-fusibile

- ↳ tutta è diodo rosso, all'ingresso, elettricamente non connessa.
- ↳ la connessione avviene attraverso un anti-fusibile



↳ impedisce il cortocircuito
→ isolando il dielettrico ad un certo punto sufficientemente intorno (tensione elevata e spessore del dielettrico grande) si instaura una scarica elettrica (il dielettrico si "rompe" e diventa conduttore ed alta resistenza)
↳ corrente elevata e l'alta resistenza provoca un forte riscaldamento
↳ si fonde il metallo con il dielettrico creando una lega conduttrice

- ↳ le tensioni utilizzate per la lettura/scrittura sono diverse in quanto le tensioni di lettura devono essere molto più basse di quelle di scrittura in modo da non distruggere tutte i dielettrici scrivendo (in fase di lettura) tutte sì.

- ↳ la resistenza di cortocircuito dipende dalla superficie (si possono creare collegamenti a bassa resistenza)

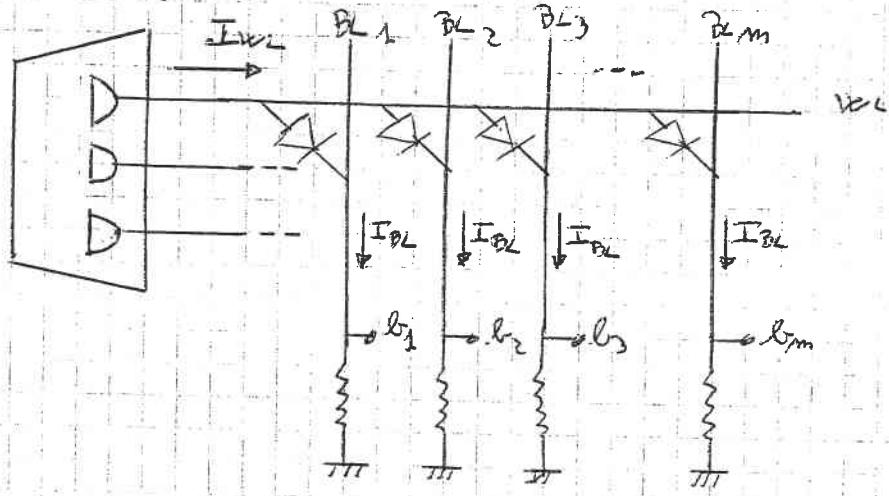
- ↳ la fase di scrittura è più veloce se si non spegne il dispositivo

- ↳ la tecnologia di fusibile erasabile è più complesso (costo più elevato)

STUDIO DEL PROBLEMA DEL FAN OUT DEL DECODER

↳ Nel raccogliere la WL deve polarizzare il PD di tutte le m bit-line.

↳ La condizione di funzionamento è che la corrente delle Word Line passi attraverso un rete di pull down.



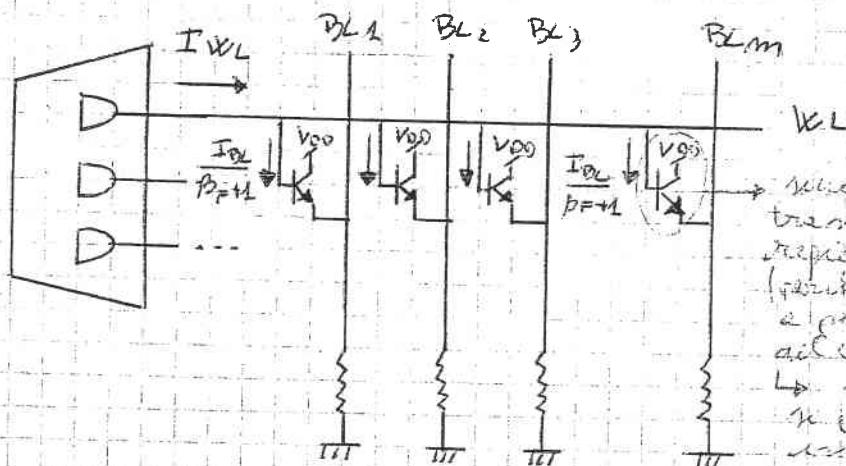
$$I_{WL} = m \cdot I_{BL}$$

↳ Nell'ultimo fan-out può modificare il funzionamento del decoder (degrado del normale)

BJT → un alto fan-out può modificare il funzionamento del decoder (degrado del normale)

MOS → un'alta corrente può imporre grandi dimensioni per avere alte prestazioni
($P_{eq} \propto t^4$, $C_0 \propto t^6$, $(\frac{W}{L})^{14}$)

↳ Soluzione (uso di amplificatore di corrente)



→ soluzioni $I_{WL} \times V_{DD}$ si trasmettere l'andamento ripetuta normalmente (perché il collettore è a potenziali più alto ad eccezione

↳ se premiamo sul nulla non può polarizzare le bit-line direttamente

$I_{WL} = m \frac{I_{BL}}{\beta_F + 1}$ → il decoder fornisce alle bit-line una corrente ($\beta_F + 1$) volte più piccola ⇒ si ridicono i problemi di fan-out dell'ultimo tristate e BJT.

↳ circuitalmente non varia la memoria in quanto la tensione di uscita è diminuita da V_T ($V_{BE} = V_T$ quando $T = 0K$)

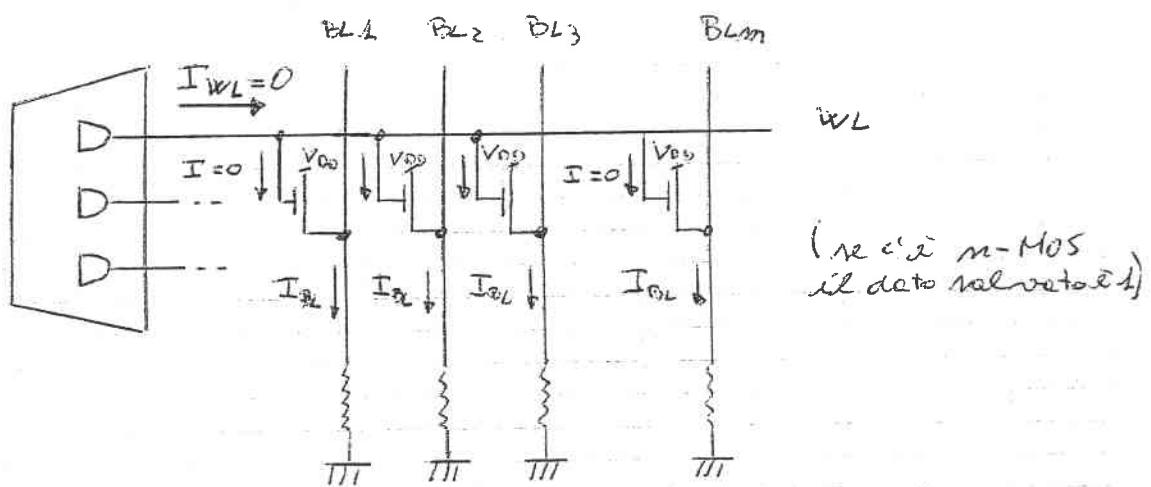
VANTAGGIO

- ① Il decoder deve sostenere un fan-out ($B_F + 1$) volte più piccolo \Rightarrow occupa meno spazio e consuma meno energia

Svantaggio

- ② Il transistor è più ingombrante di un diodo perché
 ↳ è formato da due gattoni
 ↳ per isolarlo richiede un'opportuna struttura
 (serve un'ulteriore funzione, che circonda il transistor, polarizzata in avverta)

↳ Soluzione (uso di transistor MOS)



↳ In condizioni statiche $I_{WL} = 0$.

↳ Risolto il problema del fan-out.

DIFETTI

- ① Non è un circuito reticolare \rightarrow le reti di PV (n-MOS) e le reti di PD (resistenze) quando $VL = VDD$ non si chiude entrambi.

↳ n-MOS deve avere un canale largo per poter contrastare la rete di PD.

- ② Il valore alto è $VDD - V_T$ (in quanto n-MOS è SATURATO)
 ↳ n-MOS non risponde completamente all'escursione ferro e VDD .
 ↳ viene infatti utilizzato come rete di PD.

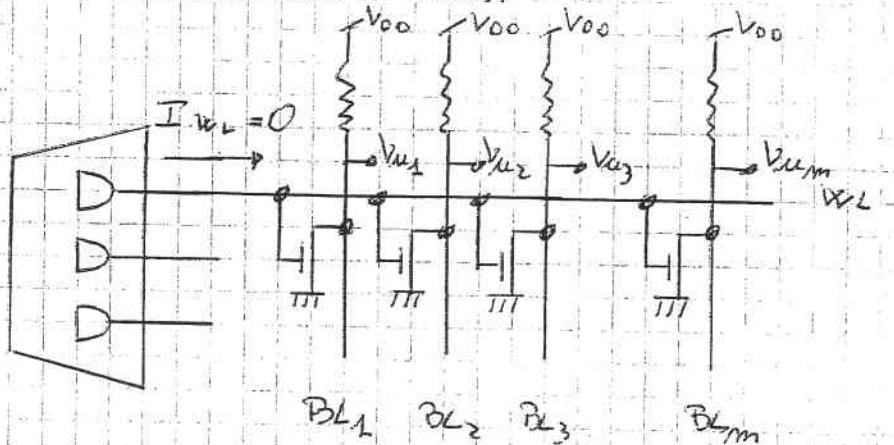
↳ Soluzione (se può utilizzare un p-MOS)

↳ bisogna invertire la logica di selezione (VL)
 in quanto il p-MOS è attivo per tensioni di gate
 basse. \rightarrow tutte le VL sono al valore alto tranne una,
 quella selezionata

DIFETTO è parità di prestazioni (tenendo $W_p < W_n$) il
 p-Mos (per avere uguale B_{eq}) deve essere più
 grande \rightarrow maggiore occupazione d'area

NOR - BASED ROM

↳ m-MOS viene utilizzato come P.D. (per risolvere il problema dei valori alti).



↳ quando m-MOS è collegato \Rightarrow si instaura una corrente

↳ uscita bassa

↳ quando m-MOS non è collegato \Rightarrow non c'è corrente nel PD

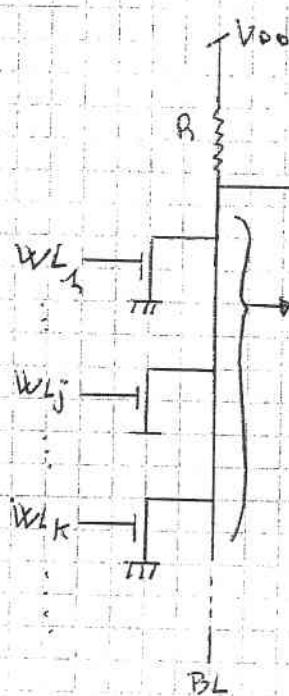
↳ uscita alta

↳ se c'è m-MOS il valore salvato è 0

↳ se non c'è m-MOS il valore salvato è 1

↳ il metodo di programmazione è a maschera e faticoso (o estremamente).

↳ circuito di una sola cellula



anche se i transistor sono questi
tutti spenti (eccetto uno) ci sono al
massimo 2^m capacità parallele
(dovute per esempio allo scambio tra Drain
e Sank) tutte in parallelo
rete di PD formata da
transistor in parallelo. conseguente elevata (debita)

↳ solo un transistor può essere acceso
(in questo il decodificatore impone solo una
word-line al valore alto)

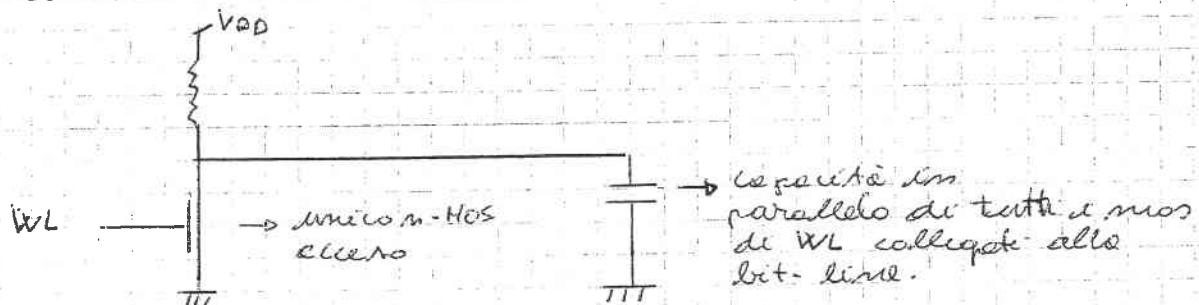
↳ la funzione logica è quella di un
NOR \rightarrow (Memoria Nor-based ROM)

↳ il decodificamento è facile in
quanto solo 1 m-MOS può essere acceso
(non si può applicare la regola del P.eq in
quanto è valida se tutti i m-MOS sono accesi).

DIFETTI

① È una logica RATIOPED.

② Essendo tutti i transistori di PD in parallelo la capacità è elevata ma solo un n-MOS può essere acceso \rightarrow il P-MOS non può aumentare se non aumentando le dimensioni dell n-MOS.



↳ per avere elevate prestazioni serve un canale largo e corto per n-MOS e una geometria lunga e stretta per la resistenza.

↳ la resistenza non è preoccupante in quanto è unico per ogni bit-line (e ne sono solo M).

↳ il problema è la dimensione dell n-MOS in quanto è un solo (collegato o isolato) $\boxed{M = 2^m}$

↓
il n-MOS deve essere il più piccolo possibile

↳ Soluzione (logica C-MOS) \rightarrow circuito RATIOLESS

↳ in parallelo a transistor di PD e in serie quelli di PV.

↳ aumenta l'angomulso in quanto il PV sono p-MOS in serie di cui basta uno di $\frac{1}{2^m}$ nel caso peggiore (2^m pmos in serie).

↳ mentre i p-MOS non si contraggono troppo grande \Rightarrow calano le prestazioni (P_{pv} piccolo).

↳ memorie usate per piccole dimensioni:

Nelle NOR-BASED ROM il rapporto delle dimensioni deve essere elevato.

① per un motivo statico (per avere un'alta esigenza e quindi alti margini di immunità ai disturbi)

↳ V_{DD} più basso possibile

per creare un'alta capacità
dove essere veloce per avere
un tempo di propagazione
piccolo

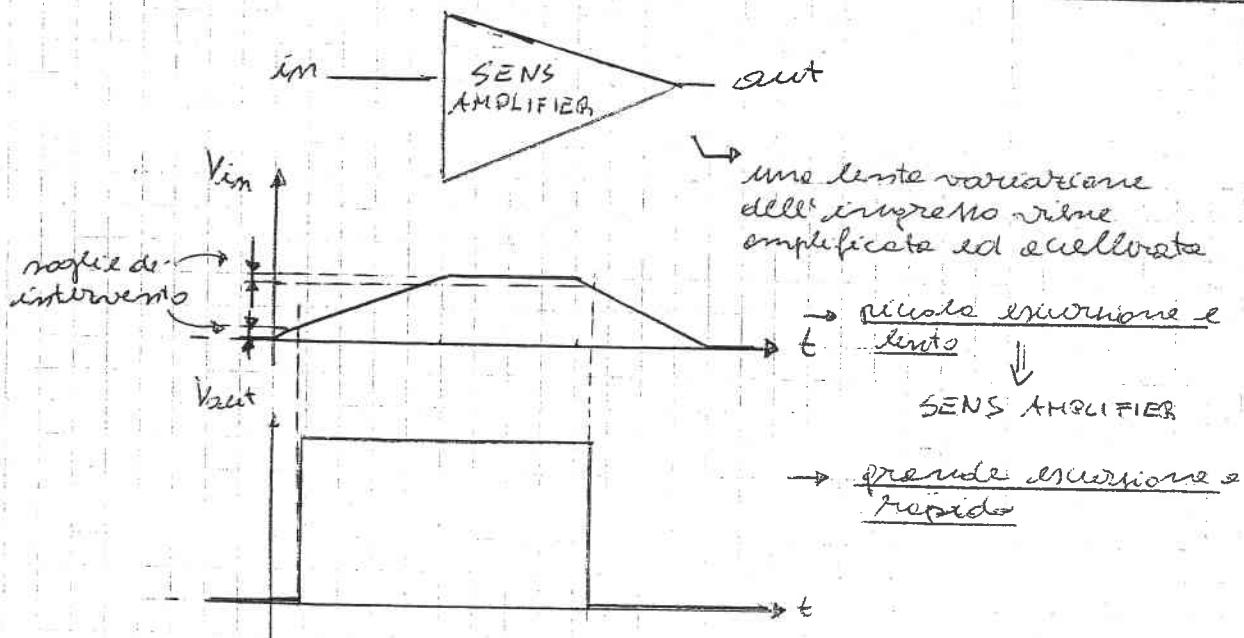
② per un motivo dinamico \rightarrow la ricerca delle capacità

↳ t_{PLH} più piccolo possibile

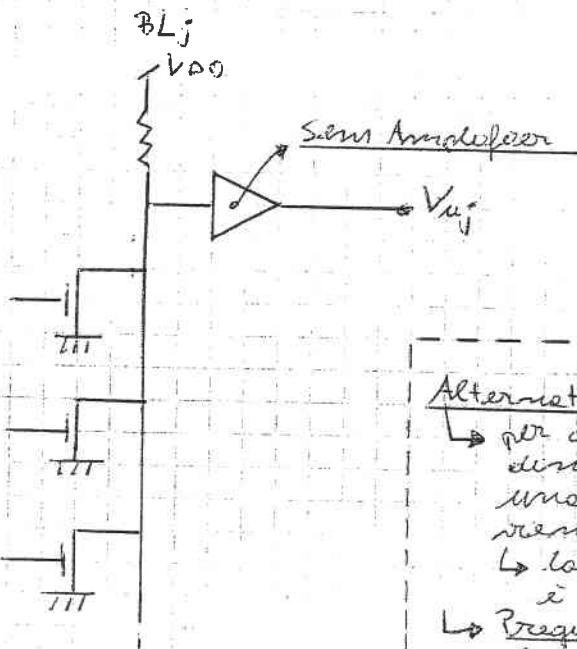
↳ tipicamente si usano MOS di piccole dimensioni, per poter limitare l'area occupata, al cui segnale viene rigenerato da un unico circuito e montato alle bit-line \Rightarrow SENS AMPLIFIER \rightarrow risparmio di area

↳ questo identico allo spartimento delle microstrutture all'esterno delle memorie (piuttosto che sincronizzare tutte le celle in sincronismo solo gli ingressi e le uscite risparmiando una notevole quantità di spazio).

Sens Amplifier è amplificatore sensibile alle piccole variazioni, amplificandole e scavalciandole.



↳ lo scopo è portare a fattore comune i circuiti complementari per ogni bit-line. Ci sono 2^m n-MOS e 1 Sens Amplifier,



può essere un circuito complementare
l'aumentazione di
area è trascurabile
rispetto all'aumento
di dimensione di
 2^m n-MOS

Alternativa

per ridurre il problema del
dimensionamento si può avere
una logica PE dove la bit-line
venga precaricate

la rete di PD deve sincronizzarsi
è selezionata dalla WL

Prezio: circuito PRIOLESS; Difetto: il
dati impone una frequenza minima.

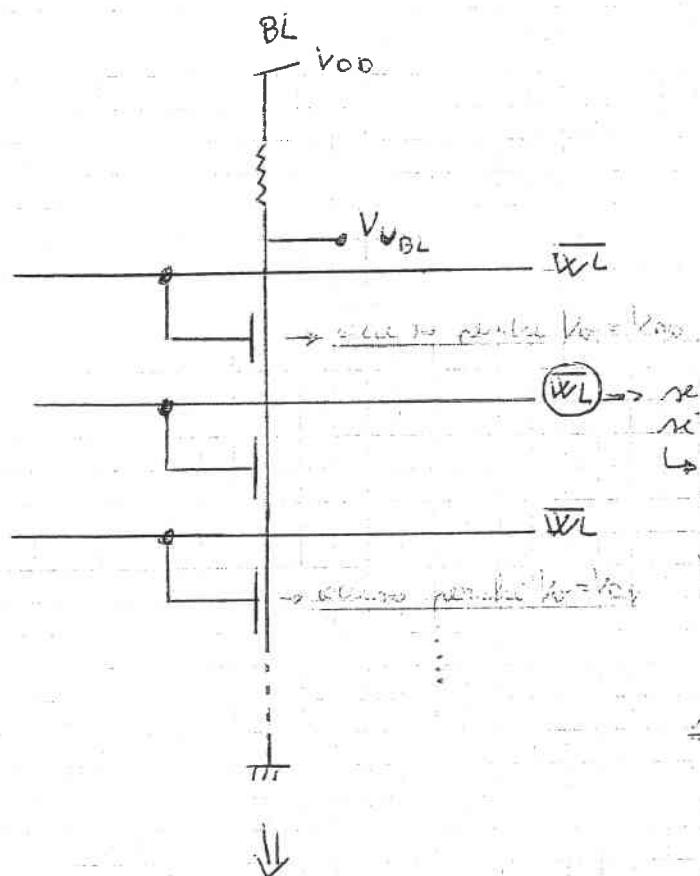
NAND - BASED ROM

- la NOR - BASED ROM impone $BL = \overline{WL_i} + \overline{WL_j}$

$$BL = \overline{WL_i} + \overline{WL_j} = \overline{WL_i} \cdot \overline{WL_j}$$

- la NAND - BASED ROM impone

dopo il sens amplificare se può invertire



La programmazione avviene a ricordo della tensione di soglia

↳ $V_T < 0$ ⇒ mos e suoi complementi rappresentano 0

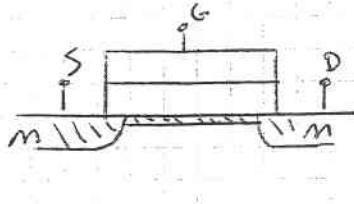
↳ $V_T > 0$ ⇒ mos ed orridimenti rappresentano 1

SVANTAGGI

- ① La fase tecnologica

per programmare questo tipo di memoria è prevalente rispetto a quelle della programmazione da contatto tra celle e WL.

Lo non si può utilizzare il silicio prediffuso perché bisogna decidere in quale MOS bisogna più creare il canale → (variazione di V_T).



↳ la struttura è meno flessibile del punto di vista della programmazione \rightarrow aumento dei costi.

② il PD è decelerato da tutte e mos suon in serie
 \hookrightarrow PD solo efficiente \Rightarrow molto lento

\hookrightarrow dalla regola di Elmore il ritardo cresce quadraticamente in funzione del numero di trasmittori (word line).

VANTAGGI

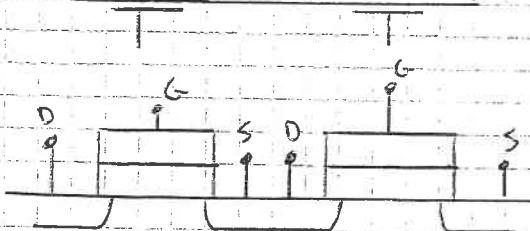
① piccole dimensioni in quanto si ridecano le interconnessioni \Rightarrow nelle logiche NOR-BASED ROM ogni trasmittore ha bisogno di 3 connessioni \Rightarrow (Gate con Word line) \Rightarrow interconnessione con Bit-line) \Rightarrow dimensioni source con la stessa ideale.

↓
interconnessione globale

• nelle logiche NANO BASED ROM ogni trasmittore ha sempre bisogno di 3 connessioni ma il Source è connesso con il Drain del mos successivo.

\hookrightarrow non c'è bisogno del riferimento di terra.

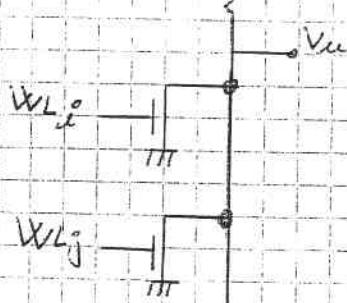
\hookrightarrow il collegamento tra Drain e Source non ha bisogno di linee di interconnessione



\hookrightarrow l'area occupata si riduce notevolmente

\hookrightarrow struttura adatta per piccoli circuiti e bassa prestazione.
 e ad alte capacità di memorizzazione

\hookrightarrow La memoria di NOR BASE ROM può essere programmata anche variando lo tensione di soglia V_T .



\rightarrow le linee di WL sono attive al valore alto. Tutti i trasmittori sono collegati alle bit-line.

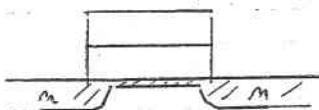
\hookrightarrow se $V_T \leq V_{DD}$ \Rightarrow si accende il trasmittore nello WL viene allacciato \Rightarrow si attiva il PD \Rightarrow memorizzato 0

\hookrightarrow se $V_T > V_{DD}$ \Rightarrow il trasmittore non si accende mai \Rightarrow il PD è sempre spento \Rightarrow memorizzato 1.

STUDIO DEL MECCANISMO PER VARIARE V_T

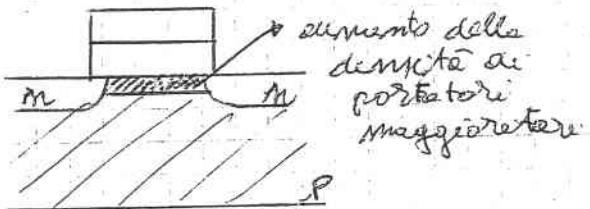
La tensione di soglie è la tensione di gate necessaria a fermare il canale \Rightarrow il canale si forma quando la tensione è sufficientemente alta da poter allontanare i portatori maggioritari \rightarrow più aumentano i portatori maggioritari e più alta deve essere la tensione necessaria a ricavare il canale.

$$V_T < 0$$



\hookrightarrow aggiungendo elettroni si diminuisce la tensione di soglie

$$V_T > V_{TO}$$



\hookrightarrow aumento delle tensione di soglie aggiungendo più le cariche nel canale

$$V_T = \Phi_{MS} + 2\varphi_F + \gamma \sqrt{2\varphi_F} \quad \text{con } \varphi_F = \frac{kT}{q} \log \left(\frac{N_A}{n_i} \right)$$

\hookrightarrow Potenziale di Fermi

\hookrightarrow aumentando $N_A \Rightarrow$ aumento V_T (fino ad eccesso V_{OF})

\hookrightarrow è sempre una fase precoce di progettazione (come nelle memorie NAND-BASED ROM) \rightarrow può condizionare il processo di creazione.

\hookrightarrow utilizzando la programmazione attraverso le modifiche delle tensione di soglie si può ricavare una memoria (memoria a lettura e scrittura).

Studio del meccanismo per modificare elettricamente V_T

L'espressione $V_T = \Phi_{MS} + 2\varphi_F + \gamma \sqrt{2\varphi_F}$ è stata ricevuta partendo dall'ipotesi che nell'ormolo non ci fosse carica.

$$\hookrightarrow$$
 Da questo $\frac{dE}{dx} = \frac{P}{\epsilon} = 0 \Rightarrow E_{ox} = \text{cost.}$

\hookrightarrow Se nel tempo si può aggiungere una carica nell'ormolo cade l'ipotesi di partenza.

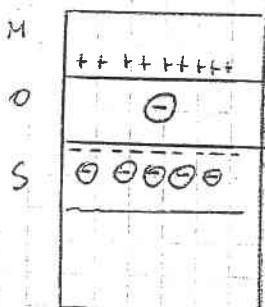
M	+ + + + + + +
O	
carica superficiale	
S	{ 0 0 0 0 0 0 0 0 0 0 }

carica di volume dovuta allo spostamento

\rightarrow le cariche presenti nell'armatura di Gate richiedono una carica uguale ed opposta nell'armatura di Memordotatore (carica in parte di volume e in parte superficiale)

la somma delle cariche deve essere zero.

→ Se nell'ossido c'è della carica Q_{ox} - la carica Q_S diminuisce
in quanto la somma delle
cariche deve essere nulla.



$$\rightarrow Q_M$$

$$\rightarrow Q_{ox}$$

$\} \rightarrow Q_S \rightarrow$ carica formata a sulla superficie o
da uno zione accettrice che ha perso
una elettrone (ha ricevuto un elettrone).

La maggiore è la carica negativa nell'ossido, minore corica
negativa del silicio viene strate del metallo.

↳ La tensione di taglio (potenziale necessario a formare
il canale nel semiconduttore, cioè è il potenziale necessario
a raggiungere una determinata concentrazione di carica di
superficie) deve essere più alta \Rightarrow bisogna compenare la
carica indirettamente nell'ossido.

$$\text{se } Q_{ox} = 0 \rightarrow V_T = V_{TO} = \Phi_{BS} + 2\Phi_F + 8\sqrt{2\Phi_F}$$

$\text{se } Q_{ox} < 0 \rightarrow V_T > V_{TO} \rightarrow$ la carica di zote deve compenare
la carica dell'ossido e la carica
del semiconduttore (preferiale e
di volume)

$\text{se } Q_{ox} > 0 \rightarrow V_T < V_{TO} \rightarrow$ serve meno carica di zote per forme
re il canale nel semiconduttore
in quanto c'è già presente nell'ossido.

serve per costruire un transistor che si accende sempre (NAND)
 BOM

→ serve per costruire un transistor che non si accende mai.
(NOR - BOM).

Bisogna studiare il meccanismo per variare la carica nell'ossido

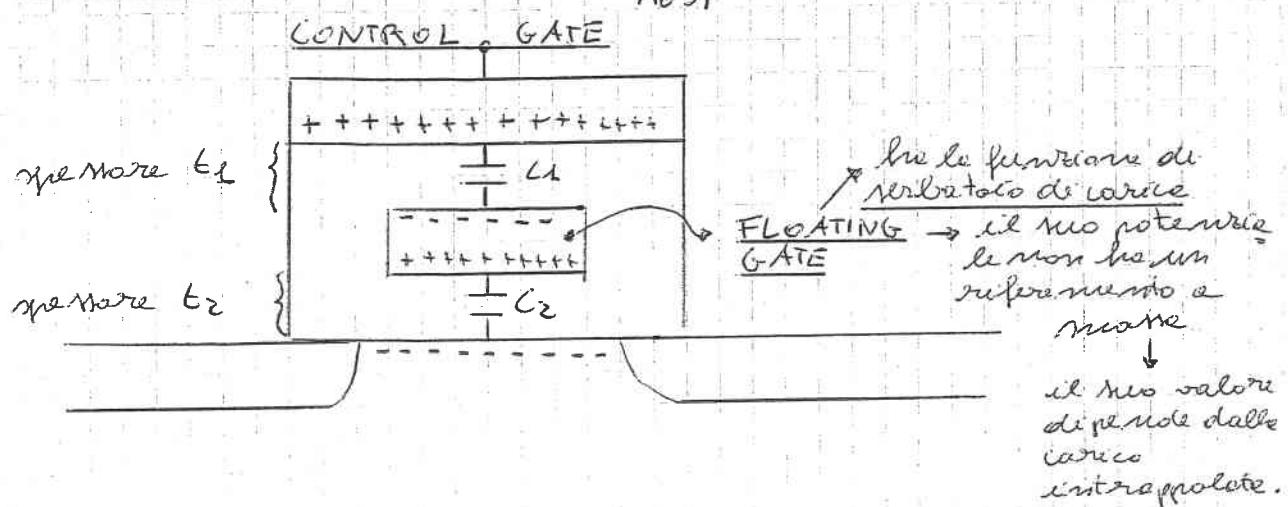
↓
Se può variare la tensione di taglio del transistor

↓
Se può scrivere più volte le memorie \Rightarrow memoria e lettura
e scrittura

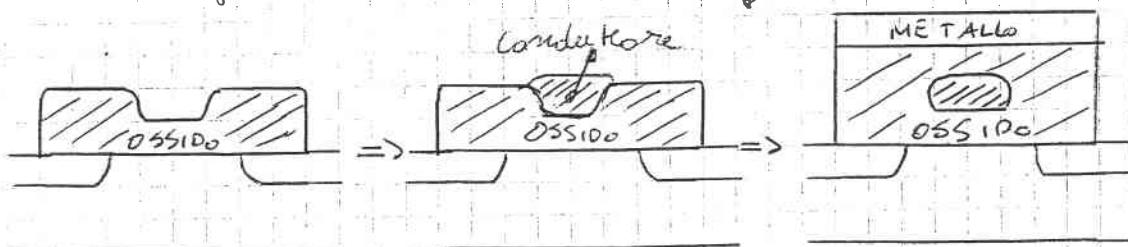
Se il meccanismo di immagazzinamento della carica
è reversibile.

MECCANISMO DI IMMAGAZZINAMENTO DELLA CARICA

TRANSISTORI FAMOS (Floating-gate Avalanche-injected MOS)



↳ Nell'ossido viene immesso un materiale conduttore. Tecnologicamente è realizzabile.



↳ le capacità C_1 e C_2 sono quelle, rispettivamente, di due metalli (control e floating gate) e di un metallo (floating gate) e semiconduttore.

$$\left. \begin{array}{l} C_1 = \frac{\epsilon_{0x}}{t_2} \\ C_2 = \frac{\epsilon_{0x}}{t_1} \end{array} \right\} C_{eq\ series} = \frac{C_1 C_2}{C_1 + C_2} = \frac{\frac{\epsilon_{0x}}{t_2} \cdot \frac{\epsilon_{0x}}{t_1}}{\frac{\epsilon_{0x}}{t_2} + \frac{\epsilon_{0x}}{t_1}} = \frac{\frac{1}{t_2} + \frac{1}{t_1}}{\frac{1}{t_1} + \frac{1}{t_2}}$$

$$C_{eq\ surface} = \frac{\epsilon_{0x}}{t_1 + t_2}$$

↳ se nel floating gate non c'è carica il comportamento del nuovo transistor è uguale a parte che al posto di C_{0x} c'è $C_{eq\ series}$. (capacità per unità di superficie).

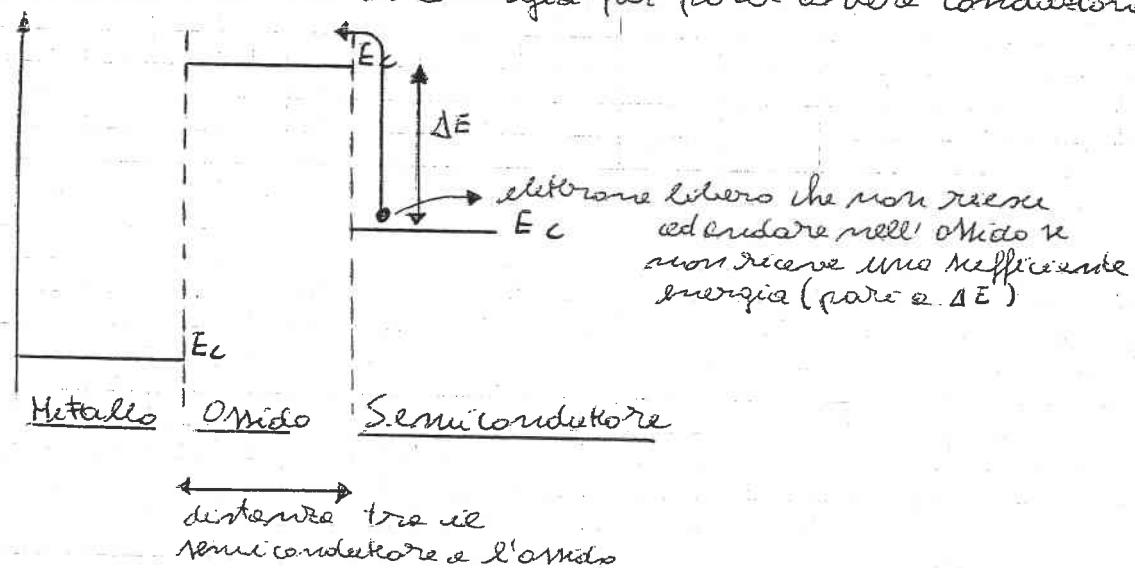
↳ se nel floating-gate entra delle cariche dopo rimane "bloccate" in quanto il conduttore è un isolante.

↳ gli spessori t_1 e t_2 sono sono paragonabili alle dimensioni di un atomo (qualche nm).

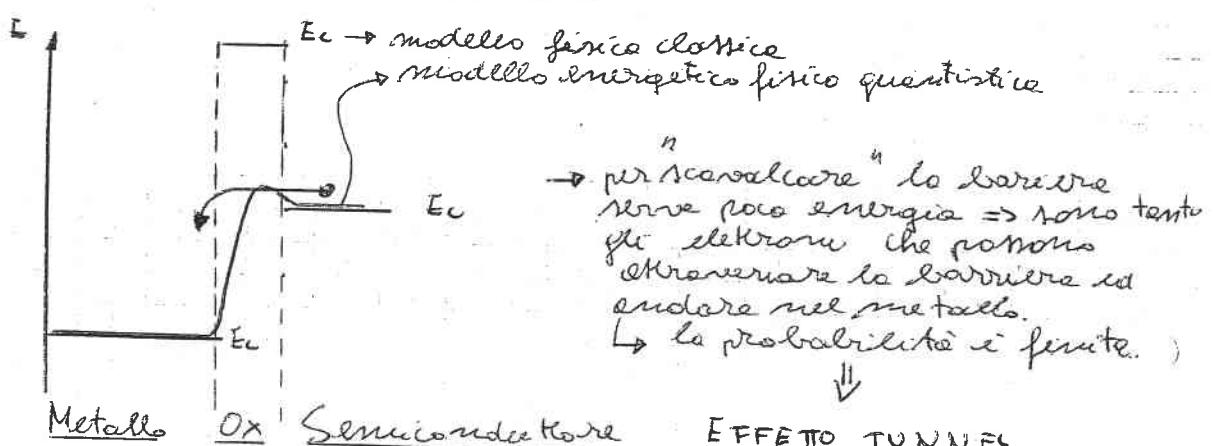
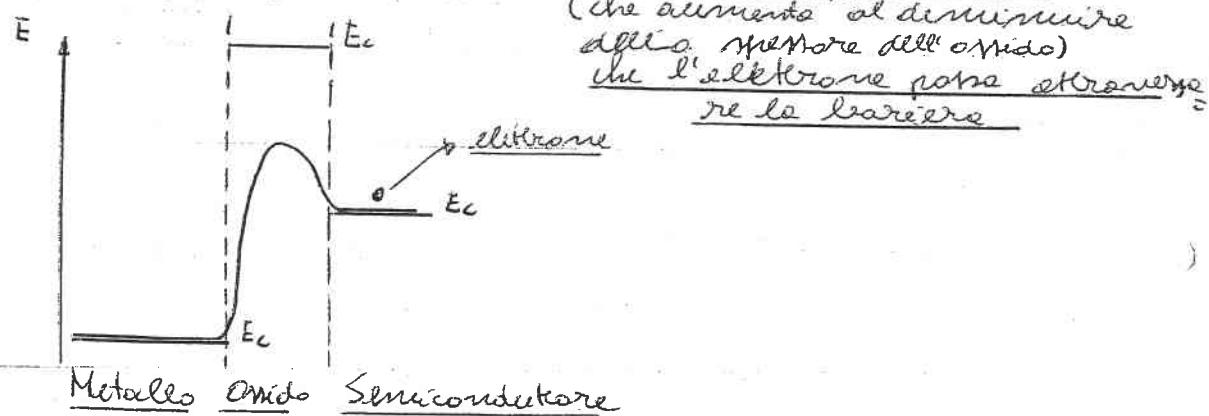
→ Secondo gli spettatori sono ridotte si studia l'onda (isolante) secondo la fisica quantistica.

Secondo la teoria a bande energetiche (che differenzia un conduttore da un isolante e da un semiconduttore) si parla di dove cade il livello energetico di Fermi; che diverranno all'equilibrio le bande piene di elettroni da quelle vuote). Il grafico dell'energia è:

Definiamo E_F : livello di energia per poter avere conduzione



↳ Per la fisica quantistica → esiste una probabilità (che aumenta o diminuisce allo spessore dell'ossido) che l'elettrone possa attraversare la barriera



↳ lo scavalco di sbarco è proporzionale esponenzialmente allo spessore dell'onda (tende a 0 quando lo spessore si annulla) e dall'energia

Effetto tunnel dipende esponenzialmente dallo spessore dell'energia

velocità dell'elettron

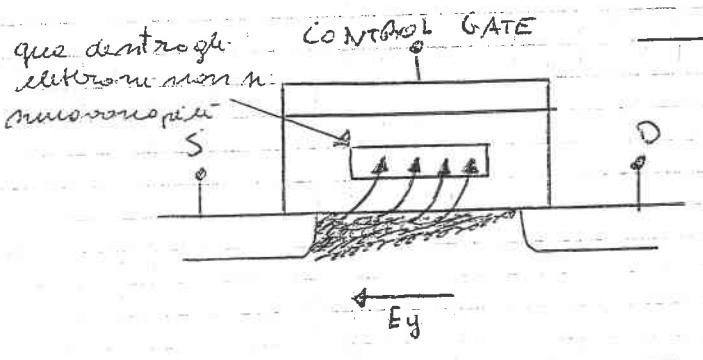
controllata per effetto di campo.

↳ tecnologie permette la realizzazione di onde notte, tali da poter essere "scavalcate" da elettroni con una certa energia \Rightarrow elettroni intrappolati all'esterno del floating-gate.

\Rightarrow olio notte + tanti elettroni con una determinata energia \rightarrow entra lo carica nel floating-gate \rightarrow aumenta la tensione di soglia

↳ fenomeno di programmazione che non deve avvenire quando si vuole leggere le memorie (la lettura non deve rovinare distruggendo i dati)

↳ deve essere distinguibile la fase di programmazione (in cui si modifica lo carica del floating-gate) con la fase di lettura (in cui non si deve modificare il contenuto del floating-gate).



portando la tensione di control gate al valore alto si forma il canale (aumenta la densità degli elettroni).

\hookrightarrow gli elettroni esibiscono velocità (energie cinetiche) applicando una tensione $V_{GS} > 0 \Rightarrow$ crea un campo trasverso al canale (E_y)

↳ il moto longitudinale è un valore medio - mediamente scorrono da sinistra verso destra

↳ il moto reale è un moto caotico dovuto ad urti necessari (il moto non è uniformemente accelerato)

moto reale di un elettrone



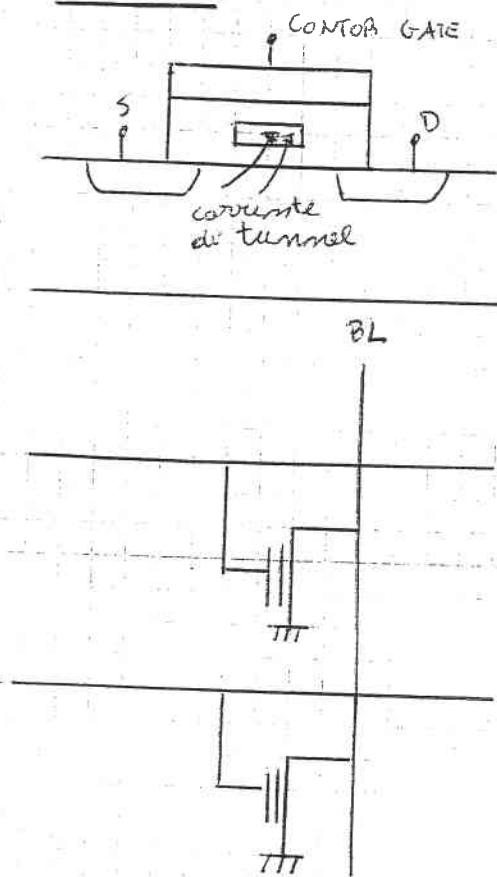
\Rightarrow moto medio $\rightarrow \overline{v_m}$

↳ exito degli elettroni con un'energia elevata con una moto verso l'alto (verso l'onda)

↳ esiste una frazione non nulla di questi elettroni con un'energia cinetica tale da poter entrare nel floating-gate (dipendente dal canale $\rightarrow V_{GS}$ e dalla loro velocità $\rightarrow V_{DS}$)

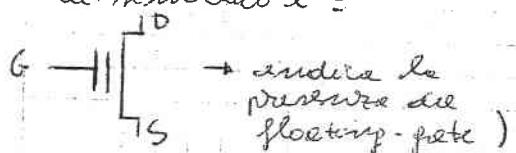
MEMORIE NVRWM (Not Volatily Read Write Memory)

• EPROM



- variando la carica nel floating - gate si può variare la tensione di soglia V_t .
- ↳ si usa l'effetto tunnel: esiste una probabilità non nulla di attraversamento delle barriere energetiche dell'ossido anche se l'energia acquisita dall'elettrone è inferiore a quella necessaria a raggiungere la banda di conduzione dell'ossido.
- ↳ probabilità cresce in modo esponenziale con la diminuzione dell'ossido e con l'aumentare dell'energia acquisita dall'elettrone. (energia cinetica \leftrightarrow velocità).
- ↳ ogni elettrone ha una probabilità non nulla di avere una componente di velocità rivolta verso l'ossido.
- ↳ se ora una corrente di tunnel che aumenta la carica nel floating - gate.

se il transistor con il floating gate (il suo simbolo è :



è utilizzata come cella di una memoria ROM:

- ↳ se WL_j è al valore alto (lettura delle parole) al PD
- ↳ si accende se $V_t < V_{DD}$ → valore 0 logico
- ↳ non si accende se $V_t > V_{DD}$ → valore 1 logico
(è come se il transistor fosse stato aperto).
- ↳ la corrente di tunnel ha bisogno di elevata energia \Rightarrow elevata tensione \Rightarrow per scrivere il valore nello celle di memoria servono alte tensioni.
- ↳ { fase di lettura \rightarrow tensione circa 3 V.
fase di scrittura \rightarrow tensione circa 8 V.

Problemi:

- ① Servono due linee di alimentazione per poter leggere e scrivere.
- ② Il processo di fabbricazione deve garantire che le tensioni di scrittura non producano una rottura delle memorie (legge di Ohm polarizzate in direzione non devono endere in brek down).

Fase di scrittura

• bisogna portare la tensione di soglia al di sopra di V_{GS} (apertura del tunnel 1).
Lo serve una quantità di carica che entra nel floating-gate. \Rightarrow un'ulteriore di carica è dovuta alla corrente di tunnel.

\hookrightarrow la corrente di tunnel dipende da:

- ① densità di carica presente nel canale (dipendente dalla tensione V_G)
- ② velocità degli elettroni (= energia) (\hookrightarrow corrente di drain $\rightarrow V_D$)
- ③ tempo del fenomeno di corrente di tunnel.

$$Q_{\text{SCRITTURA}} = \int_0^{t_{\text{WRITE}}} I_{\text{TUNNEL}} \cdot dt$$

$$Q_{\text{LETTURA}} = \int_0^{t_{\text{READ}}} I_D \cdot dt$$

$$I_{\text{TUNNEL}} \ll I_D$$

in quanto solo pochi elettroni riescono ad entrare nel floating-gate.
(solo quelli che hanno un'energia sufficiente a direzionare verso l'ottico)

\hookrightarrow per creare una quantità di carico sufficiente a varicare la tensione di soglia $t_{\text{WRITE}} \gg t_{\text{READ}}$

\hookrightarrow i tempi e le tensioni sono diverse in fase di lettura e scrittura

$$(t_{\text{WRITE}} \approx 1 \text{ ms} ; t_{\text{READ}} \approx 1 \mu\text{s})$$

\hookrightarrow la lettura può essere a frequenza di qualche GHz; la scrittura di qualche KHz.

\hookrightarrow Memoria reversibilmente di lettura

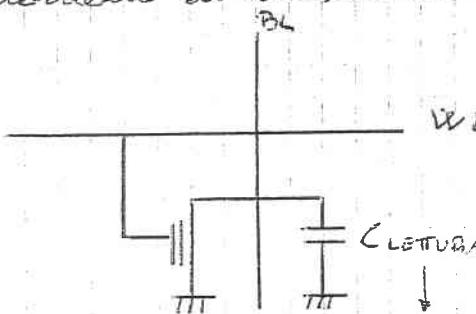
Problemi: no nella fase di scrittura che nella fase di lettura bisogna accendere la tensione di CONTROL GATE (per formare il canale) ed alzare la tensione di DRAIN (per creare una corrente ed accelerare gli elettroni).

\hookrightarrow nelle fasi di scrittura le tensioni devono essere alte per avere elettroni ad alta velocità \Rightarrow alte energie.

\hookrightarrow nelle fasi di lettura la tensione deve essere alta per avere una corrente elevata \Rightarrow scarica veloce.

\hookrightarrow nelle fasi di lettura il fenomeno di corrente di tunnel deve essere trascurabile. Altrimenti la lettura scriverebbe il dato (de errare!).

\hookrightarrow Bisogna disconnettere la fase di lettura con quella di scrittura



Capacità di caricare/scaricare nelle fasi di lettura.

↳ lo tensione di CONTROL GATE non può, in fase di sottrazione, essere troppo alto (per differenziare le rettifiche con le letture) in quanto il vassoio mette fuori circuito P-MOSFETTE in avvicinamento che possono subire un fenomeno di break-down.

↳ Serve un meccanismo che con piccole variazioni di tensione si possa evitare o spegnere la corrente di tunnel.

• Studio delle energie degli elettroni:

↳ l'energia E è principalmente un'energia cinetica.

$$E = \frac{1}{2} m v_m^2 \rightarrow v_m \text{ è una velocità media}$$

$$v_m = \mu \cdot E$$

↳ mobilità

→ la velocità è costante (anche se le forze è costante \Rightarrow ci dovrebbe essere un moto uniformemente accelerato) mediamente perché il moto degli elettroni si è ostacolato dalle strutture

per avere energia elevata serve una velocità elevata

tempo elettrico elevato

Vos elevate.

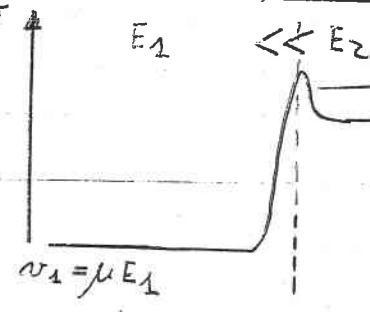
↳ Vos non può essere troppo elevata

ristalline in cui si muove

→ si raggiunge un equilibrio dove le forze trascendente ($F = q \cdot E$) viene controbilanciata da forze dovute delle continue collisioni dell'elettrone contro i vari atomi

(analoga del parco detto la forza di gravità è controbilanciata dalla forza di attrazione aria-parco due \Rightarrow velocità costante).

• Se il campo elettrico è variabile nello spazio



→ nelle realtà gli elettroni accelerano di più e raggiungono una velocità maggiore rispetto a quelle di regime.
↳ OVER SHOT di velocità (sovraccorso di velocità).

→ è valido l'interno della zona in cui c'è la transizione

↳ c'è una condizione legata alla variazione di campo in cui gli elettroni hanno un'energia superiore a quella che dovrebbe avere a regime.

↳ l'elettrone, non appena entra nella regione a campo elettrico maggiore, inizia ad accelerare per $F = q \cdot E \rightarrow$ l'accelerazione è costante fino a che l'elettrone uscita contro il primo stop.

↳ prima di raggiungere il nuovo equilibrio devono essere un certo numero di eventi, collisioni, che dipendono

del tempo medio di vita dell'elettrone \rightarrow prima dell'apice il livello raggiunge una velocità largamente superiore a quella in condizione di non perturbazione.

↳ il libero cammino medio (tempo di vita medio) dell'elettrone (distanza tra una collisione ed un'altra) è circa qualche decina di nm

↳ la velocità è legata alla transizione del campo elettrico.

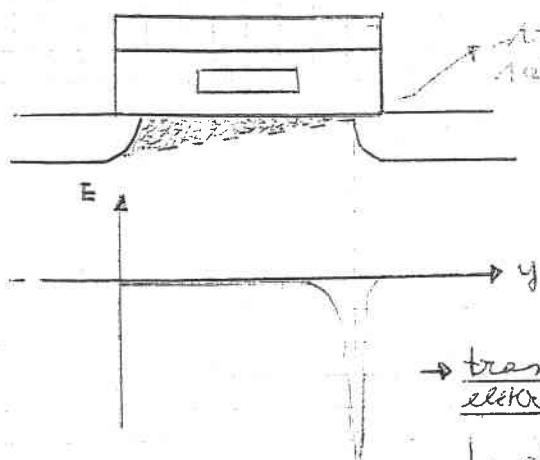
↳ durante la transizione gli elettroni hanno un'energia largamente superiore di quella all'equilibrio.
↳ elettroni caldi: in questo lo loro agitazione (legata alla temperatura) è elevata.

↳ questi elettroni "potrebbero raggiungere" migliaia di gradi Kelvin perché il transitor fondi in quanto queste alte temperature sono quelle che avrebbero gli elettroni se la loro velocità media fosse quella raggiunta nella "fase di punzicchio" del campo elettrico.

↳ tali elettroni ed elevate energie raggiunte grazie ad una transizione del campo elettrico e non ad alte tensioni.

↳ gli elettroni caldi sono le cariche che causano l'effetto tunnel.

• Transistor in Pinch off (Saturazione)



↳ per avere continuità di corrente dove la carica tende a 0 il campo elettrico tende a +Vs.

→ transizione lineare del campo elettrico. (derivato grandezze \Rightarrow una funzione discontinua).

↳ gli elettroni tendono a scaldarsi quando entrano nelle zone stratege del campo (mettendo velocità).

↳ questo però si vede sia in teoria che in realtà (in quanto il transistor si mette in tutte le dee forme).

↳ la teoria dice sì o no (in funzione della soglia Vt) il transistor per scaricare la capacità di carico

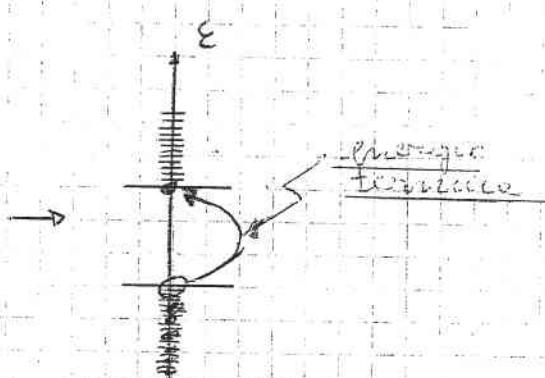
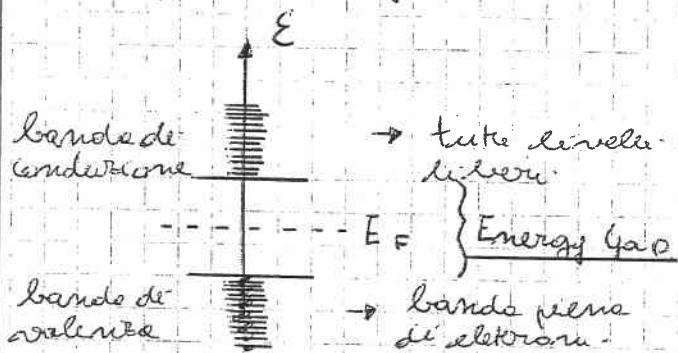
↳ la teoria dice sì il transistor per inserire delle cariche nel floating-gate a portare $Vt > VD$ scrivendo il valore 1 in questo il transistor non si può mai accendere $\Rightarrow PD$ sempre OFF.

• Studio delle differenze tra il processo di scorrimento e di tunnelling

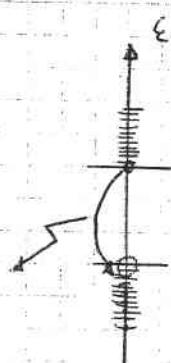
↳ Durante la fase di scorrimento i versanti testi elettronici caldi con una grande energia per creare la corrente di tunnelling.

↳ Il canale è formato dai portatori minoritari e avviene nelle superficie per effetto di tempo (a causa della Vos).

↳ I minoritari sono presenti nel sul-vietto per effetto di agitazione termica



Condizione all'equilibrio

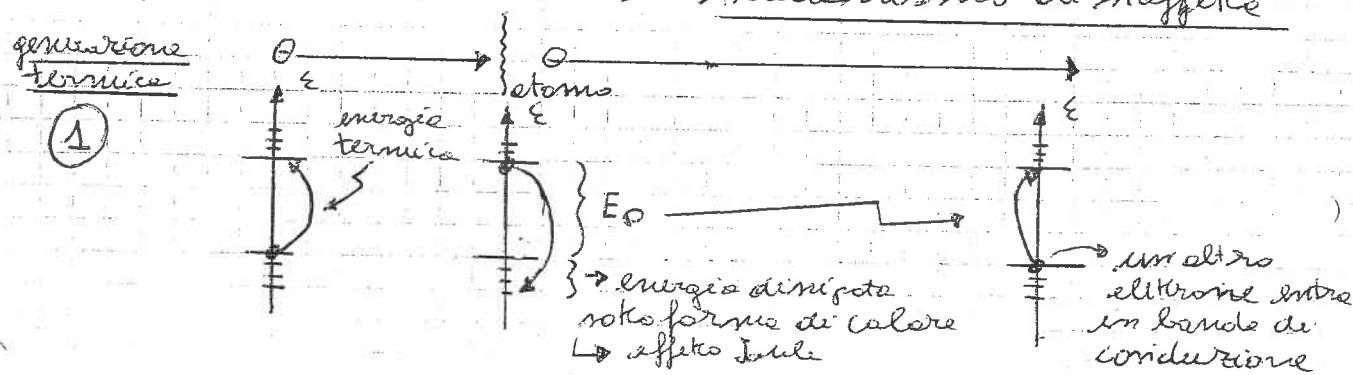


Agitazione termica

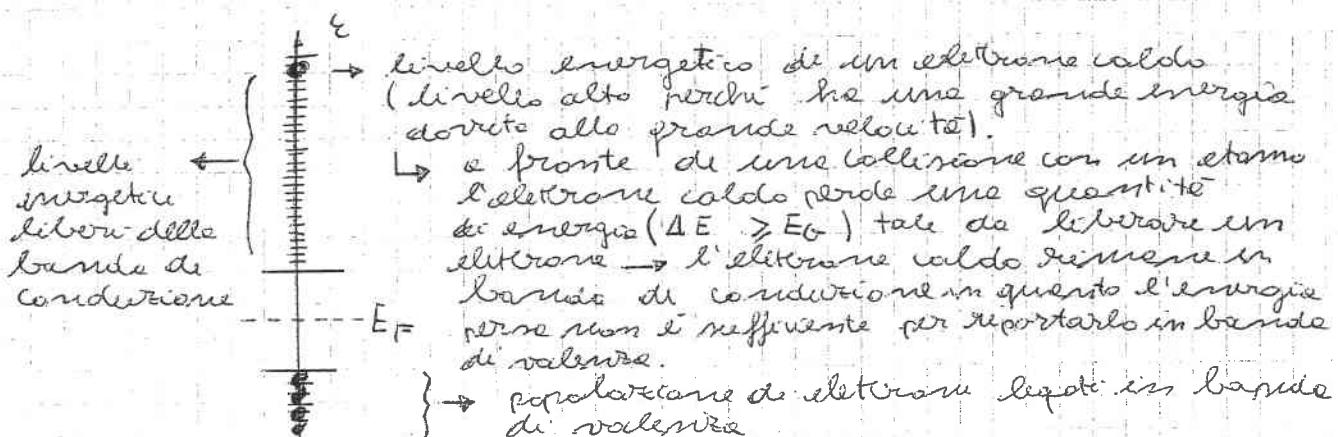
↳ E_g è piccola e quindi è probabile che un elettrone entri nella banda di conduzione quando una coppia elettronica - la cinge grazie ad un'energia termica.

Ricompenetrione: l'elettrone può cedere energia ritornando nelle bande di valenza.

↳ l'elettrone, prendendo dalla banda di conduzione di torna alla banda di valenza, cede energia (superiore all'energy gap perché una parte si trasforma in calore) che, a causa di un urto con un altro elettrone, - e vice versa - sottrae l'energia persa dall'altro elettrone andando in banda di conduzione. \Rightarrow necessario di stoffette

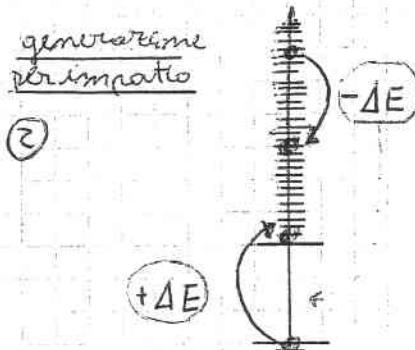


- Electroni caldi: \rightarrow hanno una possibilità diversa:



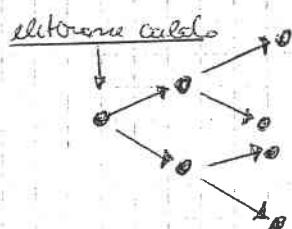
Prima della collisione (solo 1 elettrone libero)

\downarrow dopo la collisione (ci sono 2 elettroni liberi)



\Rightarrow si è generata una coppia elettron-lettore non per effetto termico ma per impatto.

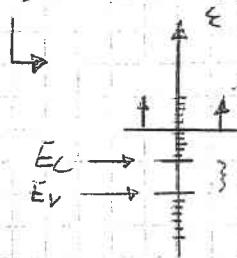
→ da un elettrone fortemente energetico, attraverso l'impatto con i atomi, si generano e valanga numerose coppie elettron-lettore.



→ se si entra in un regime in cui prevale la generazione per impatto (generazione e valanga) nascono tanti elettroni ad alte energie \Rightarrow corrente elettrica allo scorrimento di tunnel.

La differenza tra la generazione termica (1) e la generazione per impatto (2) è che nel primo caso l'elettrone in banda di conduttori non ha energia sufficiente di portare un altro elettrone in banda di conduttori rimanendo a sua volta nella banda di conduttori.

→ c'è una soglia di energia al di sotto delle quale non è possibile l'effetto a valanga di generazione di coppie elettron-lettore.



livello energetico in cui l'elettrone può cedere energia, creando una coppia elettron-lettore, rimanendo sempre in banda di conduttori

→ per avere elettroni con energia superiore ad $E_L + E_G$ serve maggiore velocità

- ↳ maggiore velocità \Rightarrow maggiore energia cinetica \Rightarrow campo più intenso.
- ↳ il comportamento non è graduale \Rightarrow la corrente di tunnel cresce
in modo esponenziale
in funzione delle tensioni.
- ↳ c'è una soglia che determina le tensioni in cui c'è o meno una generazione e valanga di portatori.
(c'è o meno la corrente di tunnel)
- ↳ la fase di lettura lavora sotto la soglia dove non c'è una generazione e valanga di portatori (no corrente di tunnel \rightarrow trascurabile)
- ↳ la fase di scrittura lavora sopra la soglia dove c'è una generazione e valanga di portatori (c'è corrente di tunnel)

Il nome del transistor è FAMOS (Floating gate avalanche injected MOS \Rightarrow MOS è gate flottante con di carica iniettata e valanga)

↳ il tempo associato alla scrittura \gg tempo lettura perché $I_{TUNNEL} \ll I_{DRAIN}$

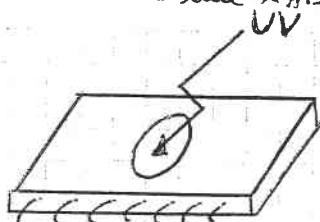
- Scrivere un 1 \Rightarrow corrente di tunnel $\Rightarrow V_t > V_{DD}$ (FAMOS non ricorda).
- Scrivere uno 0 \Rightarrow riportare la soglia $V_t < V_{DD}$

↳ cancellazione che bisogna di una corrente di tunnel in direzione opposta per rimuovere le cariche del floating gate.

↳ una sollecitazione dovuta al campo elettrico non può funzionare perché il floating-gate è un conduttore il cui campo elettrico è nullo \Rightarrow non ci possono essere variazioni locali di campo elettrico, all'interno del floating-gate, tali da creare una corrente di tunnel.

↳ l'energia utile per l'effetto tunnel è stornata per effetto ottico \rightarrow si illuminare il floating-gate

↳ il circuito integrato ha, nel dorso del package, una finestra su cui possono essere esposte tutte le floating-gate ad una luce intensa (ultravioletto)



↳ la memoria è cancellabile (erasable)

↳ memoria EPROM (erasable programmable read only memory)

↳ cancellazione ottica non è selettiva
(dura qualche minuto).

↳ scrivere veloce e lenta; cancellazione non selettiva e molto più lenta \Rightarrow serve principalmente per sola lettura, il cui contenuto

Datasheet de um EPROM da 128 parole de 8 bit ijkuna.



M27C1001

one time programmable

1 Mbit (128Kb x8) UV EPROM and OTP EPROM

■ 5V ± 10% SUPPLY VOLTAGE in READ OPERATION

■ ACCESS TIME: 35ns

■ LOW POWER CONSUMPTION:

- Active Current 30mA at 5Mhz
- Standby Current 100µA

■ PROGRAMMING VOLTAGE: 12.75V ± 0.25V

■ PROGRAMMING TIME: 100µs/word

■ ELECTRONIC SIGNATURE

- Manufacturer Code: 20h
- Device Code: 05h

DESCRIPTION

The M27C1001 is a 1 Mbit EPROM offered in the two ranges UV (ultra violet erase) and OTP (one time programmable). It is ideally suited for microprocessor systems requiring large programs and is organized as 131,072 words of 8 bits.

The FDIP32W (window ceramic frit-seal package) and the LCCC32W (leadless chip carrier package) have a transparent lids which allow the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written to the device by following the programming procedure.

For applications where the content is programmed only one time and erasure is not required, the M27C1001 is offered in PDIP32, PLCC32 and TSOP32 (8 x 20 mm) packages.

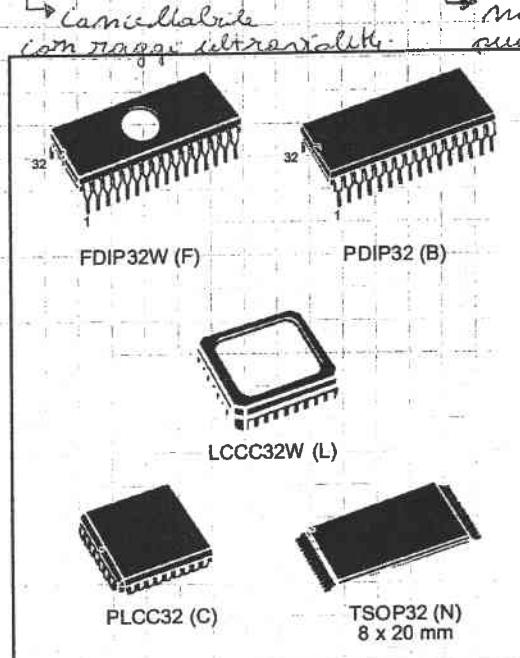
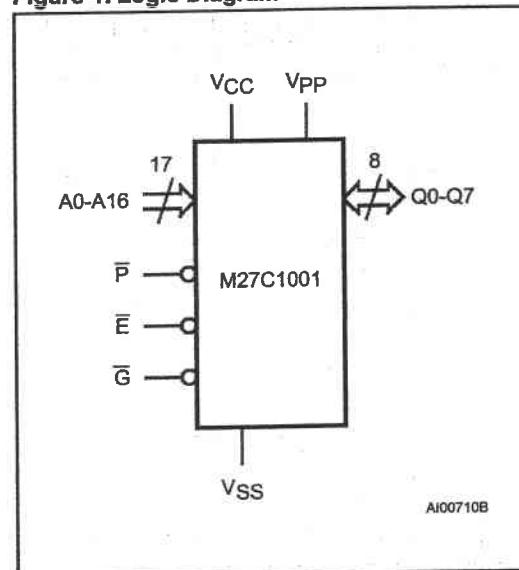


Figure 1. Logic Diagram



Electronic Signature

The Electronic Signature (ES) mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment to automatically match the device to be programmed with its corresponding programming algorithm. The ES mode is functional in the $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ ambient temperature range that is required when programming the M27C1001. To activate the ES mode, the programming equipment must force 11.5V to 12.5V on address line A9 of the M27C1001, with $V_{PP} = V_{CC} = 5\text{V}$. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 from V_{IL} to V_{IH} . All other address lines must be held at V_{IL} during Electronic Signature mode.

Byte 0 ($A_0 = V_{IL}$) represents the manufacturer code and byte 1 ($A_0 = V_{IH}$) the device identifier code. For the STMicroelectronics M27C1001, these two identifier bytes are given in Table 4 and can be read-out-on outputs Q7 to Q0.

ERASURE OPERATION (applies to UV EPROM)

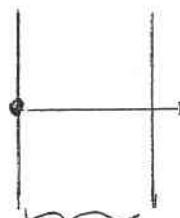
The erasure characteristics of the M27C1001 is such that erasure begins when the cells are exposed to light with wavelengths shorter than approximately 4000 Å. It should be noted that sunlight and some type of fluorescent lamps have wavelengths in the 3000-4000 Å range. Research shows that constant exposure to room level fluorescent lighting could erase a typical M27C1001 in about 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the M27C1001 is to be exposed to these types of lighting conditions for extended periods of time, it is suggested that opaque labels be put over the M27C1001 window to prevent unintentional erasure. The recommended erasure procedure for the M27C1001 is exposure to short wave ultraviolet light which has a wavelength of 2537 Å. The integrated dose (i.e. UV intensity x exposure time) for erasure should be a minimum of 15 W-sec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000 μW/cm² power rating. The M27C1001 should be placed within 2.5 cm (1 inch) of the lamp tubes during the erasure. Some lamps have a filter on their tubes which should be removed before erasure.

Demino di
casella marconen
importo ai reggi
ultra violetto

E²PROM = E²PROM (Electrical Erasable Programmable ROM)

↳ memorie che hanno la possibilità di cancellare i dati elettricamente (non più per via ottica)

↳ si usano altri meccanismi di spostamento per effetto tunnel prodotto non più da pressione ed energia cinetica ma da energia potenziale.



→ l'elettrone può superare la barriera (con probabilità che aumenta con la diminuzione dello spessore dell'ossido) per effetto di un forte campo elettrico

barriera di materiale isolante (ossido)

l'elettrone viene "trappolato" dalla superficie di silicio se è riscaldato ad un campo elettrico intenso ($F = qE$)

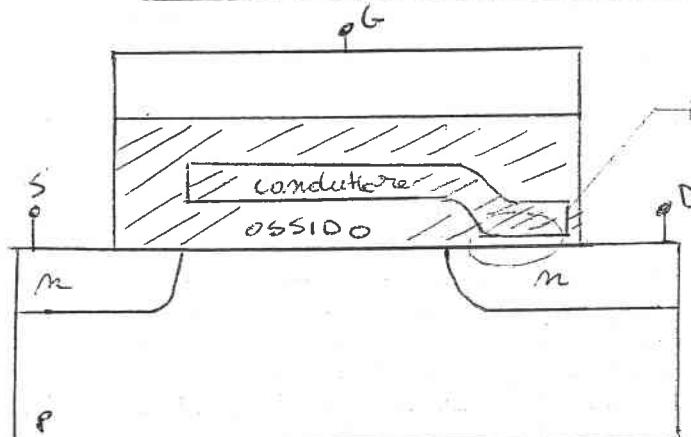
↳ è simile al fenomeno di rotura di un dielettrico anche se l'ossido non si distrugge in quanto non avvenga interno campo elettrico per avere uno spostamento di carica se lo spessore dell'ossido è ridotto.

↳ è l'effetto che predomina nel funzionamento delle valvole (un filamento riscaldato può emettere elettroni che vengono trappati dalla superficie per effetto del campo elettrico \Rightarrow emissione termica d'onda di elettrone).

↳ l'effetto tunnel aumenta esponenzialmente con la diminuzione dello spessore e con l'aumento della tensione applicata.

↳ effetto di FOWLER - NORDHEIM → si può avere un effetto tunnel anche da elettroni freddi (da energia cinetica) e conduzione da campo elettrico nello spazio (tensione elevate o spessore ridotto) tale, però, da non distruggere il transistor.

TRANSISTORE FLOTOX (Floating Gate Thin Oxide)



unica notte.

↳ il campo è molto intenso in una zona con elevata densità di carica

↳ con opportuni potenziali di V_G e V_D gli elettroni vengono "trappati" ed immagazzinati nel condutore di floating-gate.

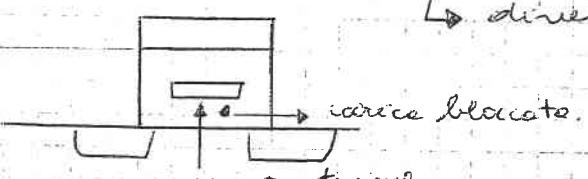
- se $V_G >> V_D$ gli elettroni si muovono dal Drain verso il Floating-Gate \rightarrow aumenta $V_T \rightarrow$ scrittura 1
 - se $V_D >> V_G$ gli elettroni si muovono dal Floating-Gate verso il Drain \rightarrow diminuzione di $V_T \rightarrow$ scrittura 0
- VANTAGGI
- (1) la cancellazione avviene per via elettronica (si può fare quando il circuito è acceso) e può essere selettiva
 ↳ memorie EEPROM (elettronically erasable programmable ROM)

SVANTAGGI

- ① Servono due tempi differenti per la lettura e la scrittura (il tempo elettrico generato nell'ottica nobile non deve spostare cariche del drain verso il floating gate o viceversa durante la fase di lettura).
- ② Tempi di lettura e scrittura differenti

<u>Componento</u>	<u>EEPROM</u>	<u>EPROM</u>
Lettura	Veloci (ns)	Veloci (ns)
Scrittura	Lente (ms)	Lente
Cancellazione	Lente (ms)	• Molto lenta (qualche minuto)

DIFETTO EPROM & E²ROM

- ↳ il numero di volte di scrittura ≠ n° di volte di lettura
- ↳ esiste un ciclo massimo di lettura e scrittura
- ↳ la carica trasportata per effetto tunnel può rimanere bloccata nell'ottica → non si può più spostare perché è una carica isolata (mobilità molto piccola).
 ↳ diventa come una carica fissa
- 

carica bloccata.
 corrente tunnel
- aumenta all'aumentare del n° di volte che si instaura la corrente di tunnel.

questa carica aumenta la tensione di soglia (come se fosse nel floating-gate).

l'ottica lentamente tende a caricarsi → aumenta nel tempo V_T
- ↳ dopo un certo numero di cicli la tensione di soglia supera V_{DD} indipendentemente dalla presenza di carica nel floating-gate \Rightarrow il dispositivo non è più controllato dalla carica nel floating-gate \Rightarrow non funziona
- ↳ fenomeno di envecchiamento del dispositivo (anche nei MOS normali gli elettroni possono andare nell'ottica \Rightarrow envecchiamento).
 ↳ per questi dispositivi (FAMOS e FLOTOX) l'envecchiamento

è critico un quanto doveremo spostarne cariche attraverso l'ottica.

↳ il n° di celle da letture (che muore nell'ambiente praticamente nessun elektron) è infinito

↳ il n° di celle da scrittura è circa $10^4 \text{ a } 10^5$ volte

↳ per questo le EPROM (e le EEPROM) sono adatte per memorizzare delle informazioni fissate nel tempo (programmazione di la scrittura di una lavoratrice) ma non rinnovabile con un'alta frequenza (valore di un dato).

↳ per questo si usa la memoria ROM perché non sono a scrittura e lettura complementare: la lettura è veloce e infinita, la scrittura è lenta e non sempre ripetibile.

Svantaggio EPROM rispetto EEPROM

① La cella EPROM è più ingombrente in quanto bisogna di due transistori.



- ad ogni ciclo di scrittura / cancellazione la tensione V_t deve ritornare quello di partenza

FLOATING-GATE

cancellazione

scrittura

t_{WRITE}

$Q_{FG} = \int_0^{t_{\text{WRITE}}} I_{\text{TUNNEL}} dt$

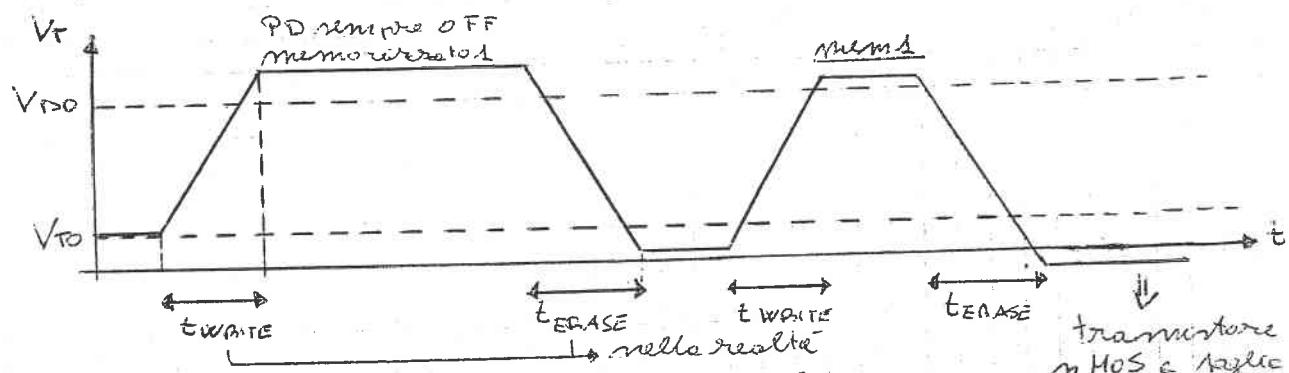
t_{ERASE}

$Q_{FG} = \int_0^{t_{\text{ERASE}}} I_{\text{TUNNEL}} dt$

non è detto che siano uguali.

Hip: le due correnti di tunnel sono uguali: $\Rightarrow t_{\text{WRITE}} = t_{\text{ERASE}}$

↳ se i due tempi non fanno corrente tali da garantire un ritorno alla tensione originale V_t , il circuito può non funzionare più; infatti se per esempio, $t_{\text{WRITE}} < t_{\text{ERASE}}$



↳ se l'errore è sistematico il fenomeno è possibile.
il PO funziona
ma esiste re la WL non è selezionata

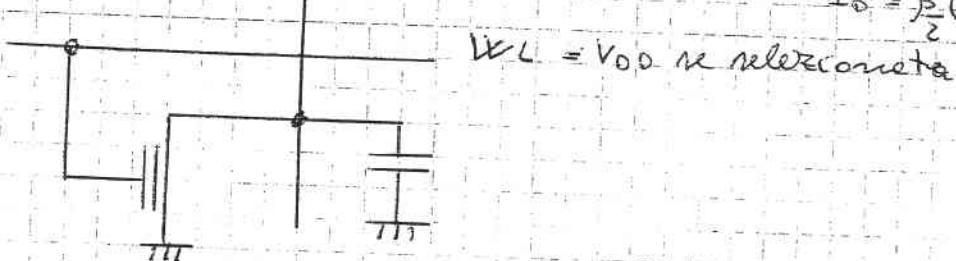
transistor
nMOS a logica
negativa, term
acuto

- partendo da un numero di cicli finito $V_T < 0$ si blocca lo BL e raro anche se lo XOR ricezione una delle diverse.
- fenomeno di sovraccancellazione è ovvero in questo caso ad un malfunzionamento
- il fenomeno opposto (che V_T non raggiunge V_{DD}) è meno importante perché si può avere un certo margine (caso all'inizio si può avere $V_T \gg V_{DD}$) garantendo per un modo cicli più lunghi la velocità delle celle nella memorizzazione di un S. (V_T supera V_{DD}).
- il fenomeno di sovraccancellazione è ovvero perché le soglie iniziali deve essere batte per avere un tempo di lettura piccolo → il margine è piccolo.

Nel caso ① se $V_T = 3,8$ o 10 V non c'è nulla nelle perdite $V_{DD} = 3,3$ V e quindi il transistor è sempre spento.

Nel caso ②, invece, V_T deve essere piccolo per avere una corrente I_D grande in quanto

$$I_D = \beta (V_{DS} - V_T)^2$$

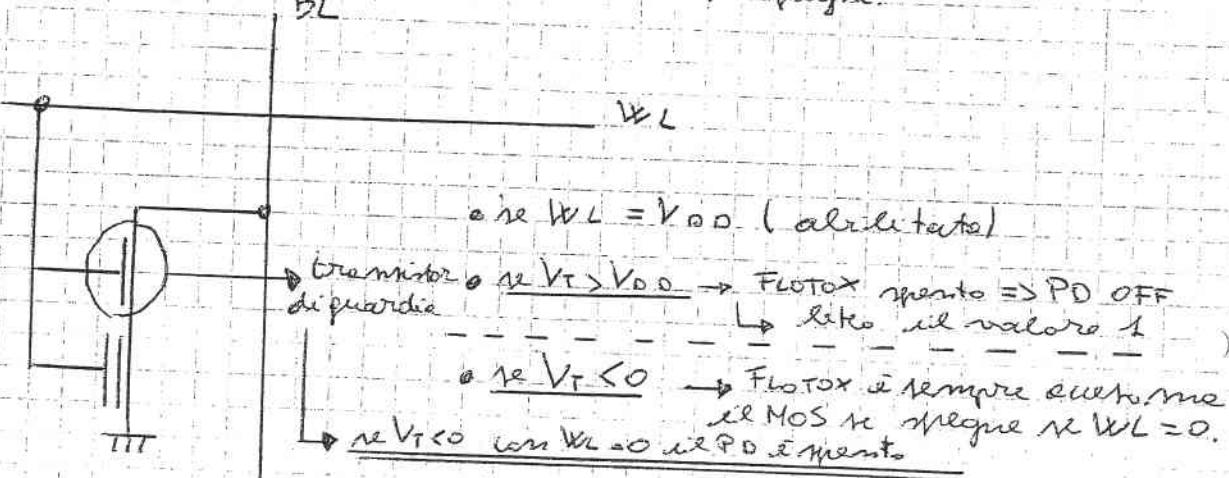


corrente grande e scorrto veloce
+ lettura rapida dello O logico

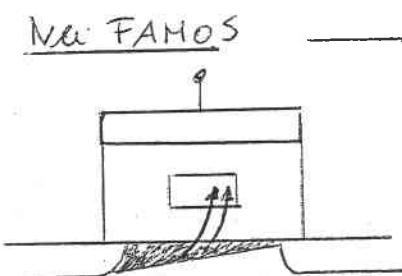
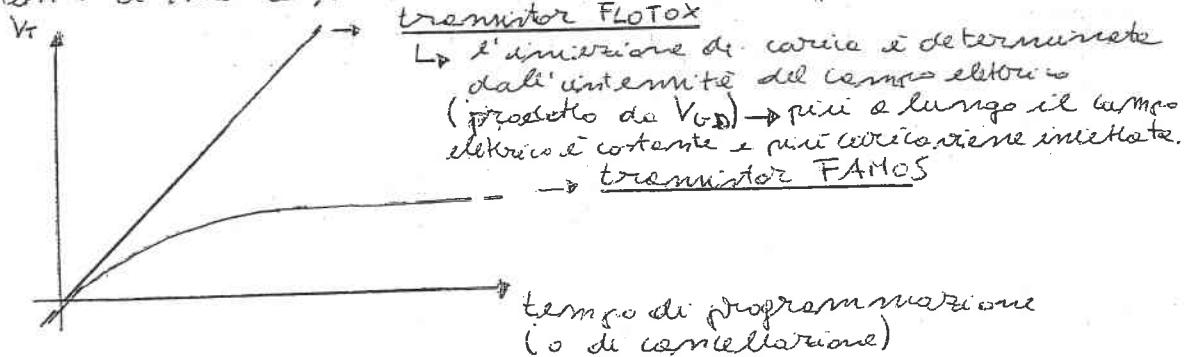
→ è più ovvio la sovraccancellazione (perché il margine di errore è piccolo) della sotto-programmazione (margine più grande).

→ Soluzione (i tempi non sono ancora controllati nella realtà).

Circuito tollerante: anche se le soglie è negative il transistor si spegne.



↳ il problema del controllo del ciclo di scrittura e cancellazione (la quantità di carica trasferita dal drain verso il floating-gate deve essere uguale a quella trasferita in senso opposto per avere una V_T sempre maggiore di 0) non c'è nelle memorie EPROM in quanto



↳ la corrente di tunnel è dovuta dalla carica di canale (per effetto valanga) \Rightarrow servono due campi elettrici (quello per formare il canale e quello per creare la corrente I_D) \Rightarrow la corrente di tunnel è legata alla corrente di drain (maggiore è la corrente di drain, maggiore è la quantità di portatori disponibile con alta energia (una kT))
↳ servono tanti elettroni caldi.

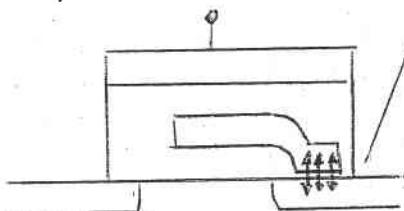
↳ $I_D \Rightarrow I_{TUNNEL} \Rightarrow Q_{FG} \uparrow \uparrow \Rightarrow V_T \uparrow \uparrow \Rightarrow I_D \downarrow \downarrow \Rightarrow V_T$ diventa costante

↳ la corrente di Drain, calando, riduce la corrente di tunnel \Rightarrow entra meno carica nel Floating-Gate
↳ tensione V_T aumenta di meno \Rightarrow necessario un retroazione negativa che tende ad auto-regolarsi fino a portare V_T costante \Rightarrow equilibrio dovuto alle scomparse della corrente di tunnel in quanto I_D è calata a tal punto che non ci sono più gli elettroni caldi

↳ servono di scrittura auto-regolato (retroazione interna che consente di rendere independente la tensione di soglia dal tempo di programmazione)

Nu-Flotox

↳ ogni ciclo di scrittura / lettura parte da un punto di tensione di soglia differente dipendente dei cicli precedenti



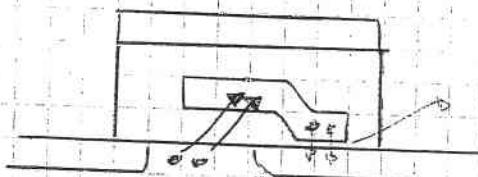
↳ l'effetto tunnel avviene nella regione di Drain \rightarrow si spostano gli elettroni freddi indipendentemente alla presenza di canale \rightarrow il campo di programmazione sposta gli elettroni nel floating-gate \rightarrow maggiore è il tempo di programmazione \Rightarrow maggiore è la carica $Q_{FG} \Rightarrow$ maggiore è V_T .

• MEMORIA FLASH EEPROM

↳ le scrittura con elettroni caldi (memoria EEPROM) è auto-regolata

↳ la cancellazione con elettroni freddi (perché i elettroni, non stanno a se stesse)

Struttura è quella FLOTOX in cui si immettono elettroni caldi durante la programmazione e si usano gli elettroni freddi per la fase di cancellazione.



effetto tessile con elettroni
caldi durante la fase
di cancellazione

effetto tunnel
con elettroni caldi
durante la fase di
programmazione

↳ non serve il transistor di guardia (memorie più compatte
di quelle E²PROM)

↳ struttura e cancellazione elettrica e selettiva

come EEPROM

come E²PROM



M24M01

1 Mbit Serial I²C Bus EEPROM

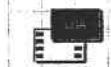
PRODUCT PREVIEW

FEATURES SUMMARY

- 400 kHz High Speed Two Wire I²C Serial Interface
- Single Supply Voltage:
 - 2.7V to 3.6V for M24M01-V
 - 1.8V to 3.6V for M24M01-S
- Write Control Input
- BYTE and PAGE WRITE (up to 128 Bytes)
- RANDOM and SEQUENTIAL READ Modes
- Self-Timed Programming Cycle
- Automatic Address Incrementing
- Enhanced ESD/Latch-Up Behavior
- More than 100000 Erase/Write Cycles
- More than 40 Year Data Retention

→ la singola
viene alzata
integro

memoria di alimentazione
viene all'interno del circuito
attraverso un convertitore
DC/DC (usando due principi
di somma di corrente).



LGA8 (LA)

Figure 1. Packages

→ i cicli di lettura (+∞) sono
molto più numerosi dei
cicli di cancellazione / scrittura

↳ 100.000 ⇒ è un numero
troppo basso se le frequenze
di scrittura / cancellazione
del dato è elevate (come
accade nelle memorie RAM)



M29F160BT M29F160BB

16 Mbit (2Mb x8 or 1Mb x16, Boot Block)
Single Supply Flash Memory

PRELIMINARY DATA

unica alimentazione.

- **SINGLE $5V \pm 10\%$ SUPPLY VOLTAGE** for PROGRAM, ERASE and READ OPERATIONS
- **ACCESS TIME: 55ns** $t_{A,EAD} = t_{W,WE}$
- **PROGRAMMING TIME**
 - 8 μ s per Byte/Word typical
- **35 MEMORY BLOCKS**
 - 1 Boot Block (Top or Bottom Location)
 - 2 Parameter and 32 Main Blocks
- **PROGRAM/ERASE CONTROLLER**
 - Embedded Byte/Word Program algorithm
 - Embedded Multi-Block/Chip Erase algorithm
 - Status Register Polling and Toggle Bits
 - Ready/Busy Output Pin
- **ERASE SUSPEND and RESUME MODES**
 - Read and Program another Block during Erase Suspend
- **UNLOCK BYPASS PROGRAM COMMAND**
 - Faster Production/Batch Programming
- **TEMPORARY BLOCK UNPROTECTION MODE**
- **LOW POWER CONSUMPTION**
 - Standby and Automatic Standby
- **100,000 PROGRAM/ERASE CYCLES per BLOCK**
- **20 YEARS DATA RETENTION**
 - Defectivity below 1 ppm/year
- **ELECTRONIC SIGNATURE**
 - Manufacturer Code: 0020h
 - Top Device Code M29F160BT: 22CCh
 - Bottom Device Code M29F160BB: 224Bh

→ mantenimento dei dati

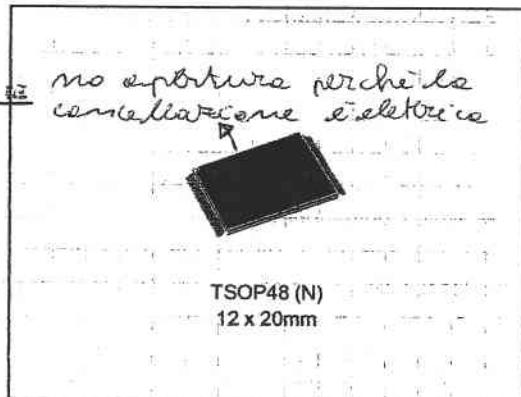
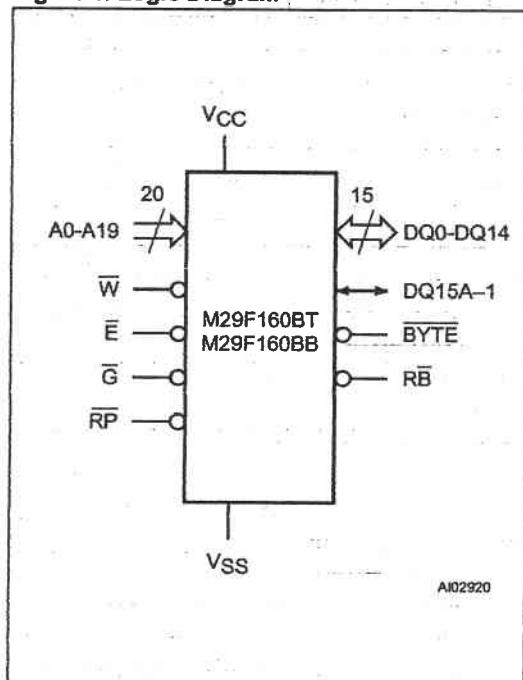


Figure 1. Logic Diagram



March 2000

This is preliminary information on a new product now in development or undergoing evaluation. Details are subject to change without notice.

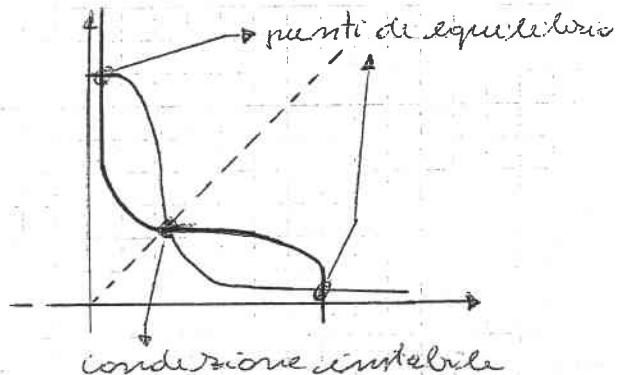
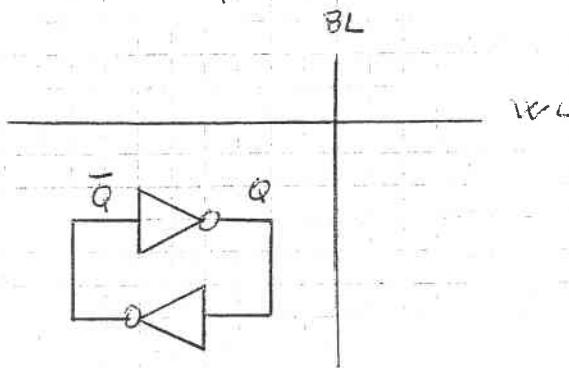
1/22

→ memoria usata per lettore MP3 o chiavette USB --

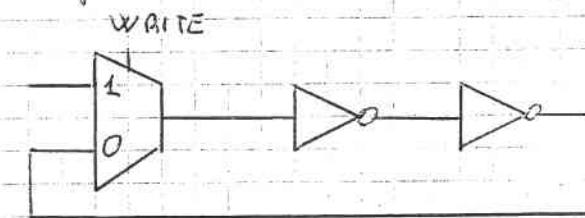
MEMORIE VRWM (Volatile Read Write Memory)

S-RAM

↳ i tempi di accesso di scrittura e di lettura devono essere confrontabili.



↳ bisogna creare un circuito che collega la BL e WL con l'elemento di memoria.

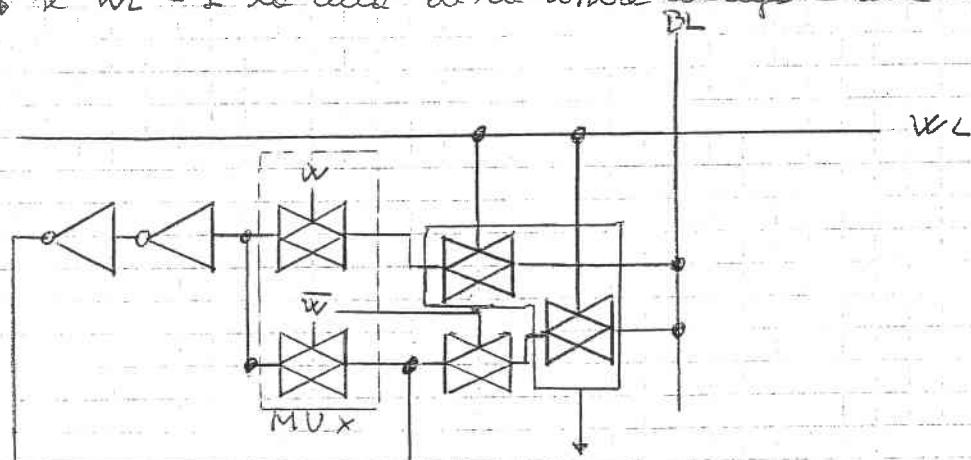


→ latch statico

dove funzionare (in scrittura o in lettura) se è abilitata la linea di WL corrispondente

↳ se $WL = 0$ la cella deve essere uscita

↳ se $WL = 1$ la cella deve essere collegata alle bit-line.



transmission-gate che abilitano il collegamento delle BL con le celle di memoria & a seconda del segnale W / \bar{W} (scrittura / lettura), la BIT-LINE scrive / legge il dato nelle / dalle celle

↳ per controllare i 2 invertitori (4 transistori) si sono utilizzati 5 transmission-gate (10 transistori).

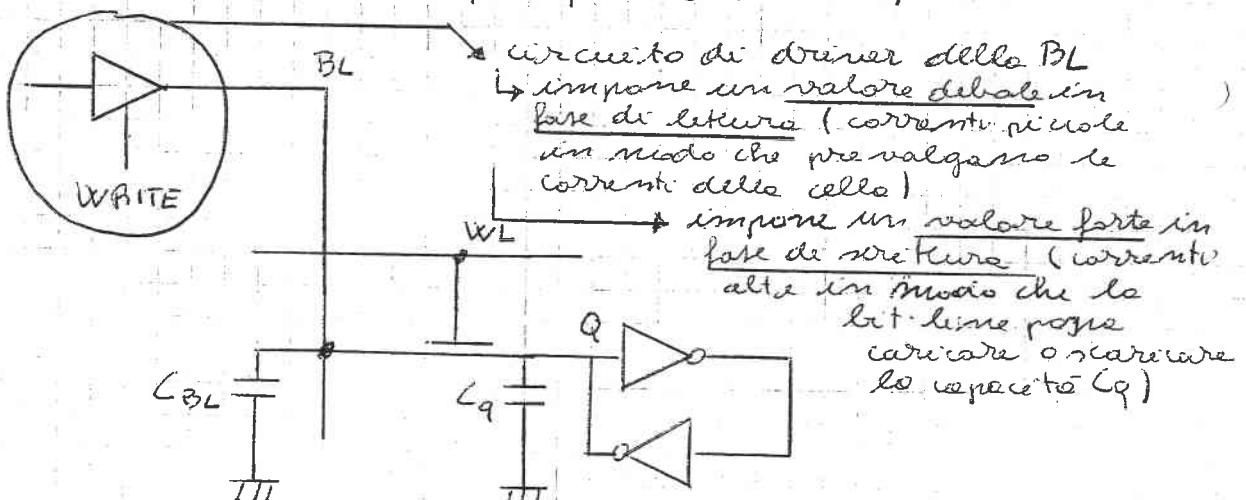
↳ non è una soluzione praticabile.

- il controllo dell'abilitazione, da parte della WL, delle celle di memoria non può essere eliminato
- il controllo della fase di scrittura o lettura (comune a tutte le celle) può essere portato a "fase comune" in modo da diminuire il numero di trasistori per celle di memoria.
- la scelta delle fasi di scrittura o lettura viene fatta dalle bit-line.

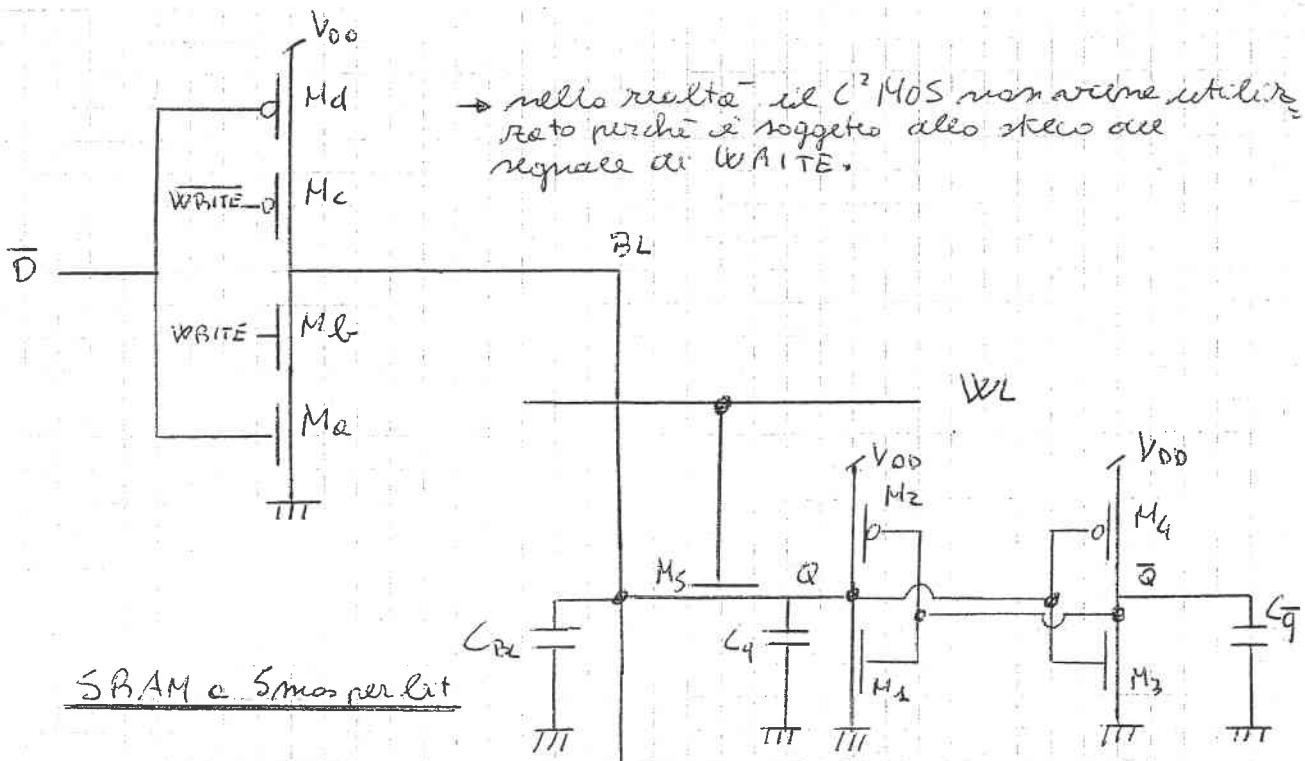
Fase di Lettura

Fase di Scrittura

il valore Q deve andare sulla BL
(il dato della cella deve prevalere sulla BL)
il valore della BL deve essere su Q.
(le bit-line deve sovravolgere il
valore delle celle \Rightarrow le bit-line devono
essere più forte delle celle).



- la fase di lettura può essere in alte impedenze
in modo da avere correnti praticamente nulli
- in questo modo la capacità C_{BL} si carica in funzione
del valore di Q. delle celle con $WL = 1$.
- la fase di scrittura impone un valore sulle bit-line
che viene portato nelle celle abilitate
dalla $WL = 1$
- il circuito di controllo è molto semplice e poco
costoso in termini di occupazione d'area (ci sono
solo un driver, uno per ogni bit-line).
- il driver però deve essere un invertitore capace di
andare in alte impedenze (ad esempio in logica
(μ MOS)).



↳ le due capacità (C_Q e C_{BL}) sono diverse tra di loro

C_Q è dovuta dalla capacità parassita del gate di M_4 e M_3 , del drain di M_1 del source di M_2 e del drain/source di $M_5 \Rightarrow$ la capacità totale deve essere piccola per avere transistor veloci e celle di piccole dimensioni.

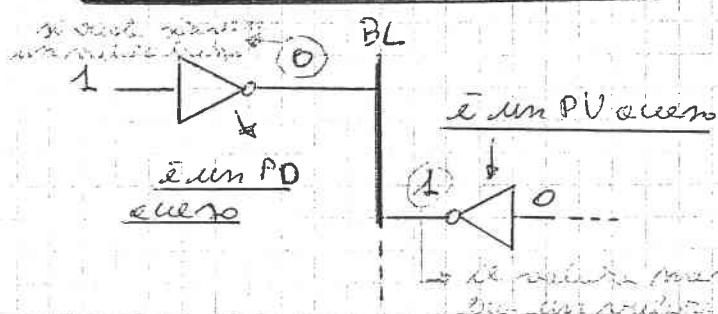
C_{BL} è dovuta dalla capacità parassita del drain/source di M_C e M_6 e da tutte le capacità parassite di drain/source dei transistor collegati a tutte le WL.

↳ siccome ci sono 2^m WL la capacità totale è data dalla somma delle due capacità dovute al circuito di driver della bit line e da tutte le 2^m capacità dei transistor di selezione delle celle.

↳ $C_{BL} \gg C_Q$

(in realtà il nodo transistor collegato alla bit-line è inferiore a 2^m in quanto la memoria si divide in righe e colonne)

↳ il circuito è PARTITIONED (in fase di scrittura) perché



⇒ ci sono due invertitori che una parte è collegata sulle stesse linee
il dimensionamento dei transistor è critico.

↳ le valenze massime e minime
dai loro valori estremi

• Studio delle fasi di scrittura

↳ trasferimento di un dato dalle linee alle celle

$$V_{WRITE} = 1 \Rightarrow M_b, M_c \text{ ON}$$

⇒ studio delle condizioni critiche: il dato che si vuole scrivere non coincide con quello presente nelle celle

$$H_p : \bar{D} = 0 \rightarrow M_d \text{ ON}, M_c \text{ OFF} \quad (\text{si vuole scrivere } 1 \text{ nelle celle})$$

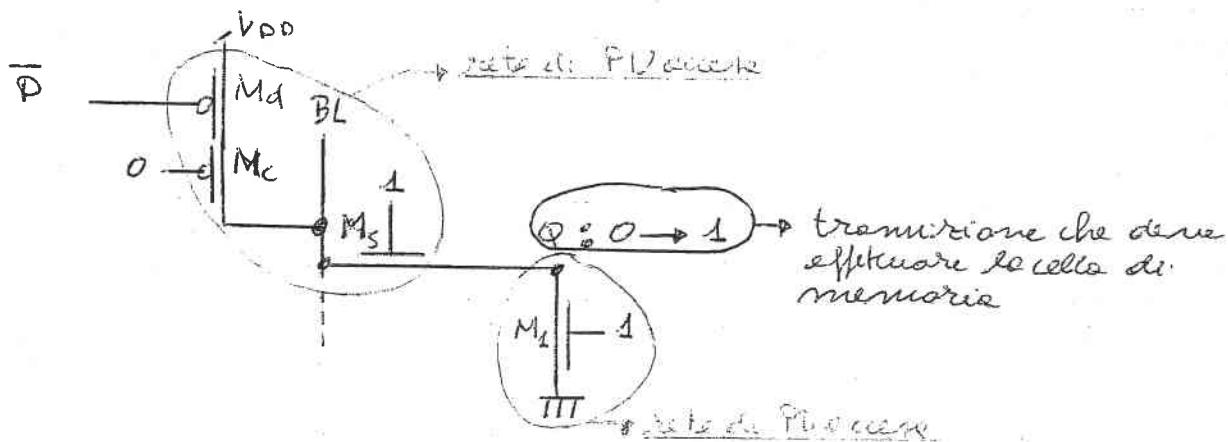
$$\underline{t < 0} \quad V_{WL} = 0 \rightarrow M_s \text{ OFF}, Q = 0, \quad \boxed{BL = 1}$$

↳ dato pronto ad essere scritto

$$\begin{cases} Q = 0 \\ Q = 1 \end{cases} \rightarrow M_3 \text{ OFF}, M_4 \text{ ON}, M_1 \text{ ON}, M_2 \text{ OFF}$$

$$\underline{t > 0} \quad V_{WL} = 1 \rightarrow M_s \text{ ON} \Rightarrow inizia la scrittura.$$

Circuito con solo i mos occor.



↳ deve prevalere il valore nella bit-line ⇒ deve essere, in questo esempio, forte la rete di PV e debole la rete di PD.

↳ il circuito di PV è formato dalle aree di 3 mos da cui uno è un n-MOS che si comporta come un f al quale (il mos M_s deve essere piccolo perché è presente per ogni WL e il suo aumento di dimensione provocherebbe un aumento notevole di occupazione d'area).

reticolo di memoria.

↳ bisogna fare il valore di Q al di là del valore di soglia logica in modo da poter cambiare il punto di equilibrio.

nuovo equilibrio da raggiungere per poter scrivere il dato nelle celle.

$Q \Rightarrow$ se supera il valore di soglia lo si mantiene il nuovo equil.

per avere una rete di PV più forte di quella di PD
occorre che

$$\beta_{eq_{PV}} \gg \beta_{eq_{PD}}$$

- $\beta_{eq_{PD}} = \beta_1 \rightarrow M_1$ deve essere il più piccolo possibile
- per avere $\beta_{eq_{PV}}$ grande bisognerebbe avere i mos di PV grandi
 - M_2 e M_3 non preoccuparsi perché sono unici per ogni bit-line (potranno essere anche molto grandi)
 - M_5 , invece, è presente per ogni WL \Rightarrow serve che β_5 sia maggiore di β_1 (problematico per l'occupazione d'area)

Studio delle fasi di lettura

trasferimento di un dato dalla cella allo bit-line

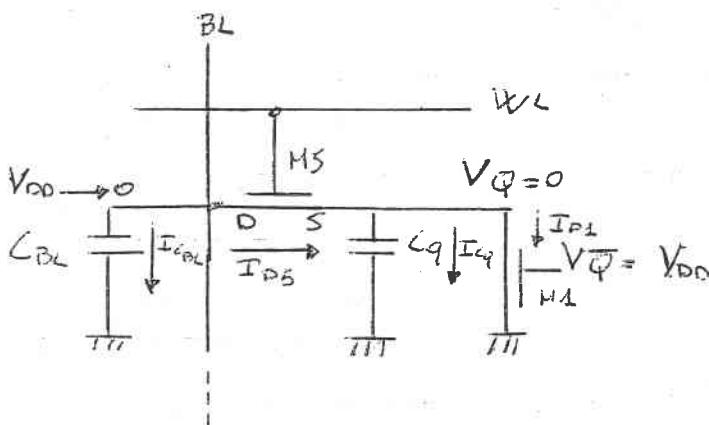
$WRITE = 0 \rightarrow M_6, M_7 OFF \Rightarrow BL$ è in AI fino a che la V_L non viene rilevata

la capacità C_B è carica al suo massimo valore.

\Rightarrow studio della condizione critica: il dato che si vuole leggere è diverso da quello presente nella capacità C_B

$t < 0$ $V_L = 0 \rightarrow M_5 OFF \rightarrow$ rete violata (BL in AI)

$t = 0$ $V_{BL} = V_{DD}$ e $Q = 0 \Rightarrow$ le celle devono scaricare la bit-line.



$t > 0$

$V_L = 1 \rightarrow M_5 ON$

$$I_{DS} = -I_{CBL} = I_{Cq} + I_{DS}$$

$$\text{per } t = 0^+ \quad V_Q^+ = V_Q^- = 0 = V_{DS1}$$

$$V_{DS1} = V_{DD} \Rightarrow M_1 \in LIN$$

$$\Rightarrow I_{D1}(0^+) = 0 \quad (\text{perché } V_{DS1} = 0)$$

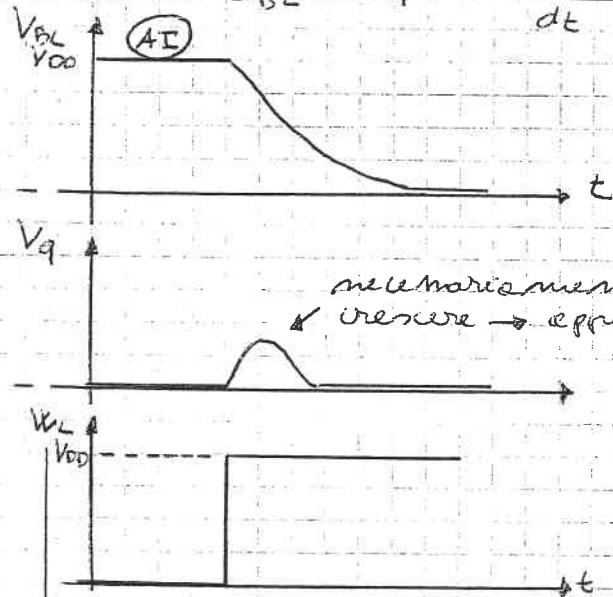
\hookrightarrow all'inizio del tranzitorio la capacità C_B viene scaricata attraverso la capacità C_q

$$\underline{\underline{t = 0^+}} \quad -I_{CBL}(0^+) = I_{Cq}(0^+) \Rightarrow -C_{BL} \frac{dV_{BL}}{dt} = C_q \frac{dV_q}{dt}$$

\hookrightarrow la tensione converge ad un valore proporzionale alle due capacità \Rightarrow ciò è valido solo nell'intorno di $t = 0$

All'arrivo del trumtorio la corrente che proviene da C_{BL} carica un po' il condensatore C_Q

\rightarrow siccome $C_{BL} \gg C_Q$ $\frac{dV_Q}{dt} = -\frac{C_{BL}}{C_Q} \frac{dV_{BL}}{dt}$ è grande



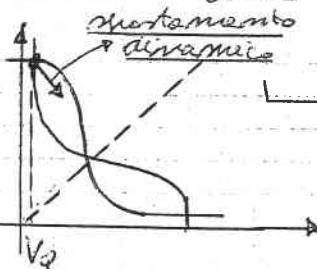
necessariamente deve

\rightarrow crescere \rightarrow e perche $V_Q > 0$ la corrente di drain > 0 e quindi V_Q tende a ricaricarsi.

\rightarrow le correnti di drain si arrestano tutte due le capacita.

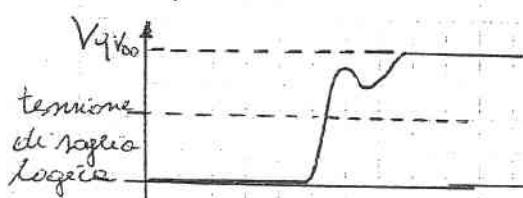
comando di lettura (perche $W/R = 0$)

\rightarrow l'aumento delle tensioni V_Q può creare dei problemi in quanto le celle di memoria è un circuito instabile



\rightarrow se la perturbazione della tensione V_Q è forte il sistema può cambiare punto di equilibrio \Rightarrow si modifica il dato \Rightarrow mal funzionamento.

sottrazione durante la fase di lettura



questo effetto aumenta all'aumentare di $\frac{dV_Q}{dt}$ (proporzionale a $\frac{C_{BL}}{C_Q}$)

\rightarrow (nella simulazione si noti che aumentando C_Q si arriva ad un V_Q mal funz.)

$$I_{DS} = I_{D1} + I_{CQ} \rightarrow I_{CQ} = I_{DS} - I_{D1} < 0$$

$$I_{DS} = -I_{CBL} > 0$$

\rightarrow con la capacità C_Q si scarica (V_Q cala)

\rightarrow il condensatore non deve scaricarsi

$$I_{D1} > I_{DS}$$

\rightarrow M1 deve essere più efficace di M5 in quanto deve scaricare la capacità C_{BL} e la capacità $C_Q \Rightarrow$ corrente I_{D1} dovrebbe essere alta.

Nella fase di scrittura M5 deve essere più efficace di M1

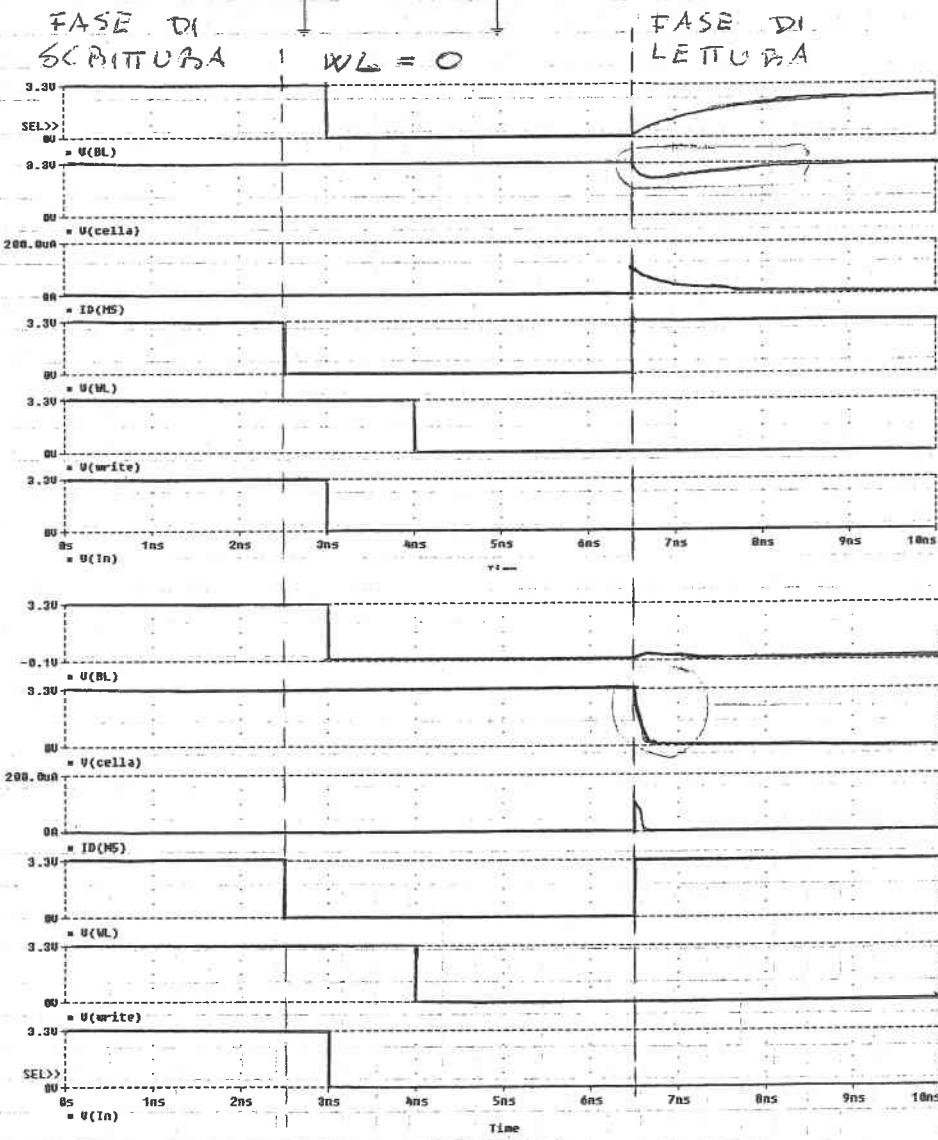
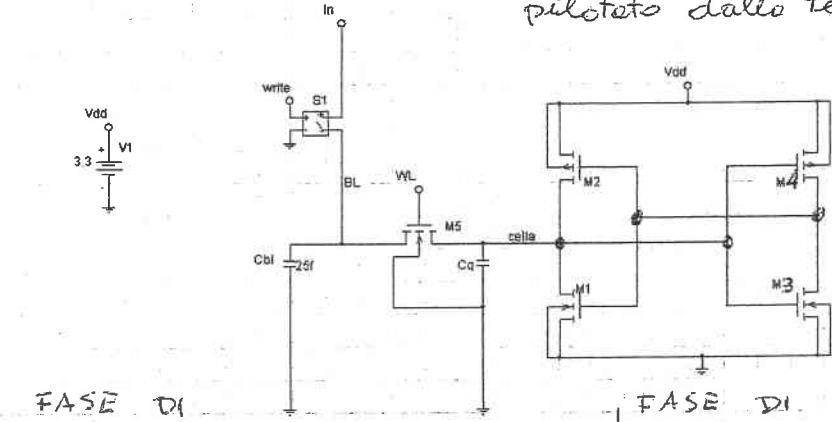
Nella fase di lettura M1 deve essere più efficace di M5

→ le fasi di scrittura e la fase di lettura sono due processi totalmente differenti e quindi le condizioni su M4 e M5 (apparentemente senza soluzione) possono portare alla instabilità di un circuito funzionante

↳ il circuito ha un dimensionamento critico (difficile da progettare)

- Simulazione delle fasi di lettura e di scrittura

↳ il driver della BL è, per semplicità, un istruttore pilotato dalla tensione WRITE.



• Nella fase di scrittura

$$WRITE = 1 \text{ e } WL = 1$$

• Nella fase di lettura

$$WRITE = 0 \text{ e } WL = 1$$

$$C_Q = 25 \text{ fF}$$

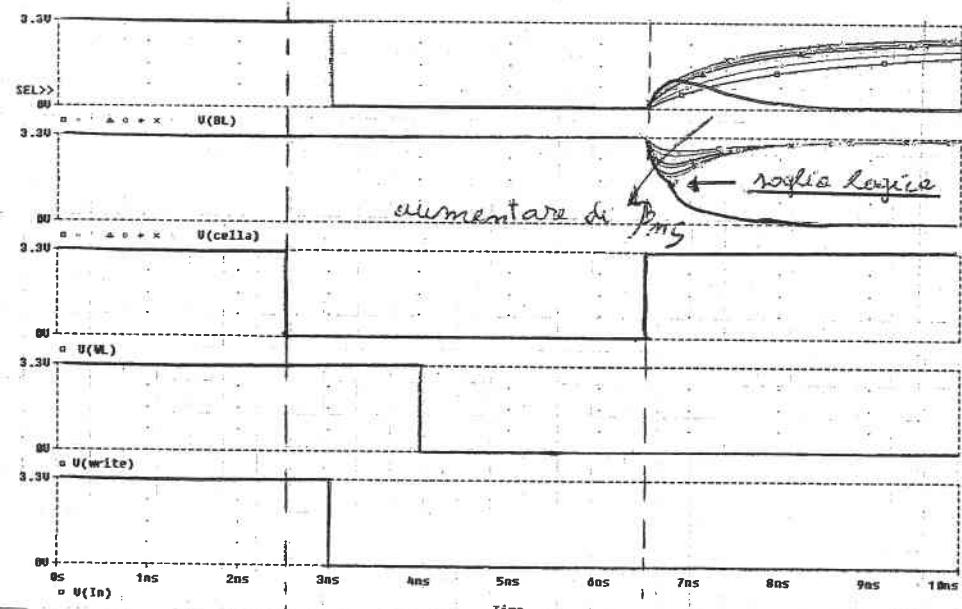
Simulazione con $C_Q = 10 \text{ fF}$

→ il segnale presente nella cella ne risulta una scarsa variazione tale da non compromettere il valore.
↳ le BL si carica a $V_{DD} - V_T$ in quanto è collegata alla cella tramite un p-n-p transistor.
↳ FUNZIONA

Simulazione con $C_Q = 25 \text{ fF}$

→ durante le fasi di lettura il valore della cella varia in quanto $C_Q \gg C_L \rightarrow$ le variazioni delle tensioni sono così alte da portare il bistabile nell'altro punto di equilibrio.

↳ NON FUNZIONA



FASE DI SCRITTURA

FASE DI LETTURA

Simulazione con $C_Q = 10 \text{ fF}$

e P_{M5} variabile

all'aumentare di P_{M5} aumenta la corrente I_{D5} che varia sempre più velocemente la capacità C_Q superando le ragioni logiche e portando il bitcell nell'altro punto di equilibrio.

▼
mal funzionamento

↳ la progettazione è complicata \Rightarrow il dimensionamento è critico \Rightarrow le celle devono avere una dimensione prestabilite per far sì che il circuito funzioni.

↳ le memorie S-RAM è ingombrante (e di maggiore velocità) in quanto

① Ciascuna cella ha bisogno di 5 transistor

② Ogni cella ha dimensioni prestabilite che ne impediscono un rimpicciolimento.

↳ per migliorare il circuito si usa una logica DUAL-BIT

Considerazioni generali sulle memorie S-RAM

↳ si usa un SENS AMPLIFIER per amplificare la debole variazione del segnale della BIT-LINE

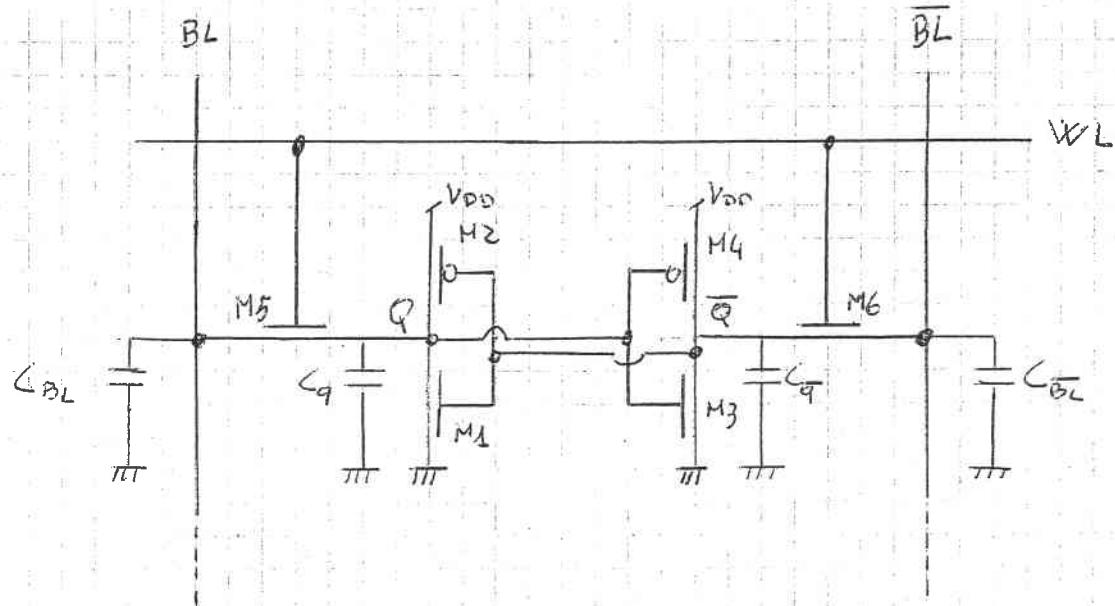
↳ ha buone velocità di funzionamento (perché le capacità sono piccole) con un ingombro significativo (5 transistor di notevole dimensione o 6 transistor più piccole ma in logica dual-bit \Rightarrow più linee di connessione)

↳ memorie ad alte velocità di accesso e bassa capacità di memorizzazione

↳ principalmente sono memorie cash

↳ occupano di più delle EPROM ma sono più veloci in lettura e principalmente in scrittura

• S-RAM in logica dual-rail



• Studio della fase di scrittura

La capacità C_Q è uguale a $C_{\bar{Q}}$ perché geometrie e resistori sono prodotti dalle stesse geometrie.

↳ ogni cella ha 6 transistor (M5 e M6 lo apre/chiude in funzione del valore della WL).

Nel circuito precedente quando si vuole scrivere 1 nella cella:

le BL carica la capacità C_Q che a sua volta accende M3 che scarica la capacità $C_{\bar{Q}}$ che spegne M1 ed accende M2 provocando la commutazione al punto di equilibrio.

In questo circuito quando si vuole scrivere 1 nella cella:

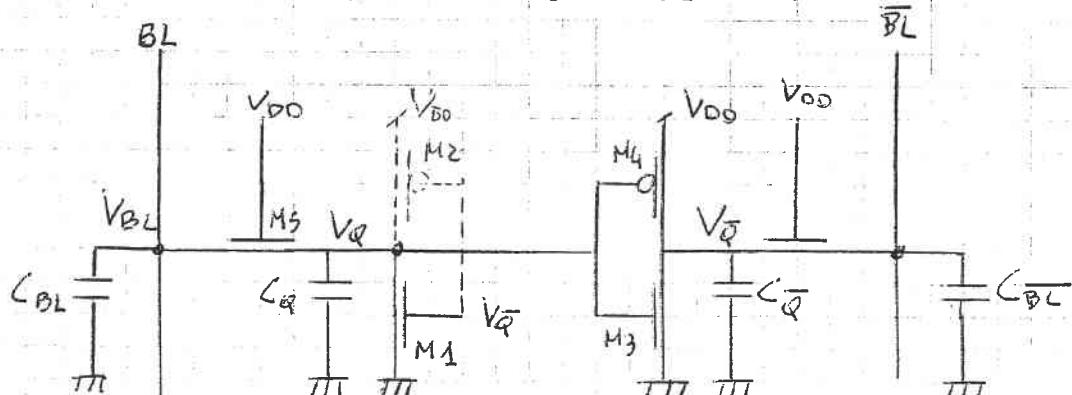
se $BL = 1$ e $\bar{BL} = 0 \Rightarrow M5$ e $M6$ si accendono (si accendono dalla WL) \Rightarrow la capacità C_Q si scarica sia grazie alle BL (che è al valore basso) sia grazie ad M3 (quando si accende in funzione della capacità C_Q) \Rightarrow C_Q passa molto più rapidamente, rispetto al circuito precedente, ad un valore basso accendendo M2 e spegnendo M1 provocando una più rapida commutazione del punto di equilibrio.

↳ la scrittura è più agevole in quanto si forza contemporaneamente Q e \bar{Q} al valore che devono assumere (al contrario del circuito precedente dove solo Q è forzato dal valore delle BL che, a sua volta, forza \bar{Q} al suo nuovo valore).

Studio delle fasi di lettura

Il circuito precedente ha il problema che durante le fasi di lettura V_Q non è costante (ci può essere una commutazione).

Studio del caso critico analizzato precedentemente: il dato che si vuole leggere ($V_Q = 0$) è diverso da quello presente nelle capacità ($V_{BL} = V_{DD}$)



V_{BL} da $V_{DD} \rightarrow 0$

V_Q da 0 → aumenta ⇒ può accendere M_3 che scarica C_Q che accende M_2 portando V_Q a V_{DD}

↳ le capacità C_Q e \bar{C}_Q non si devono caricare / scaricare troppo

V_{BL} (parte del valore 0) cerca di scaricare la capacità C_Q mentre che M_3 si accende.

↳ aumentare il problema nella lettura in quanto C_Q cala indipendentemente da $C_{\bar{Q}}$ ⇒ può accendere M_2 e richiedere M_1 modificando il dato da leggere

↳ Soluzione: si alterna le linee BL e \bar{BL} in modo differente rispetto la fase di scrittura.

- In scrittura si impone la complementarietà di BL e \bar{BL}
- In lettura si portano le due linee allo stesso valore ($BL = \bar{BL}$)

Studio del medesimo caso critico: il dato che si vuole leggere ($V_Q = 0$) è diverso da quello presente nelle capacità ($V_{BL} = V_{DD}$)

$$V_{BL} = V_{\bar{BL}} = V_{DD}$$

↳ Quando inizia la fase di lettura → M_5 e M_6 OFF → ON

↳ la tensione al nodo V_Q tende ad aumentare → tende ad accendere M_3 → cerca di scaricare la capacità e carica.

$V_Q = V_{DD} = V_{BL}$ \Rightarrow le due capacità (C_Q e C_{BL}) sono in parallelo ($C_{TOT} = C_Q + C_{BL} \gg C_Q$)

$\hookrightarrow M_3$ per abbassare la tensione V_Q deve diminuire anche V_{BL} \Rightarrow la capacità che deve scaricare è molto più grande rispetto a quella del circuito precedente (quelle non in logica dual-rail)

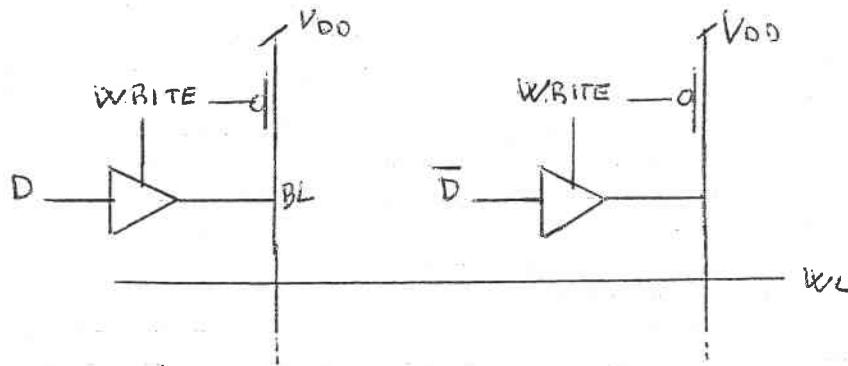
$\hookrightarrow V_Q$ si scarica poco tenendo verso M_4 che porta V_Q al valore basso da leggere.

\hookrightarrow FUNZIONAMENTO CORRETTO.

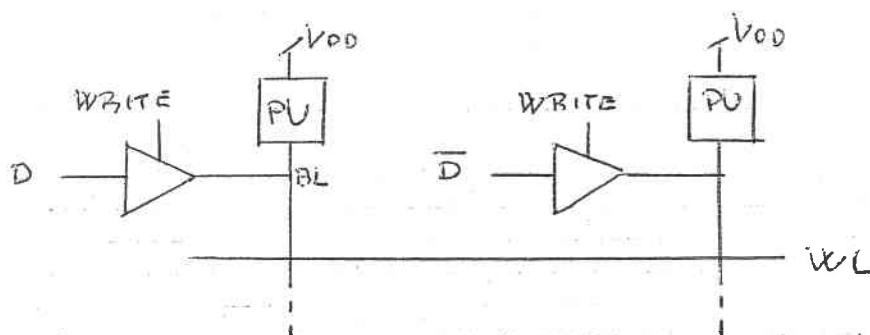
\hookrightarrow la lettura è agevolata perché, ponendo $BL = \overline{BL}$, una delle due capacità della cella (C_Q o $C_{\bar{Q}}$) è sempre non in contrasto con la linea di Bit-line relativa \Rightarrow ritirazione difficile da modificare in quanto la capacità da scaricare (o caricare) è dovuta dalla somma delle capacità della cella con quelle delle bit-line il cui risultato è una capacità molto grande (la tensione varia poco).

Studio del controllo delle BL e \overline{BL}

1° Modo : prevedendo BL e \overline{BL} attraverso un P-MOS quando si è in fase di lettura ($W_{RITE} = 0$)



2° Modo : usando una rete di PU abile che quando il driver è acceso (= fase di scrittura) non sia influente e quando il driver è spento (= fase di lettura) porti la BL e \overline{BL} ad un valore alto.



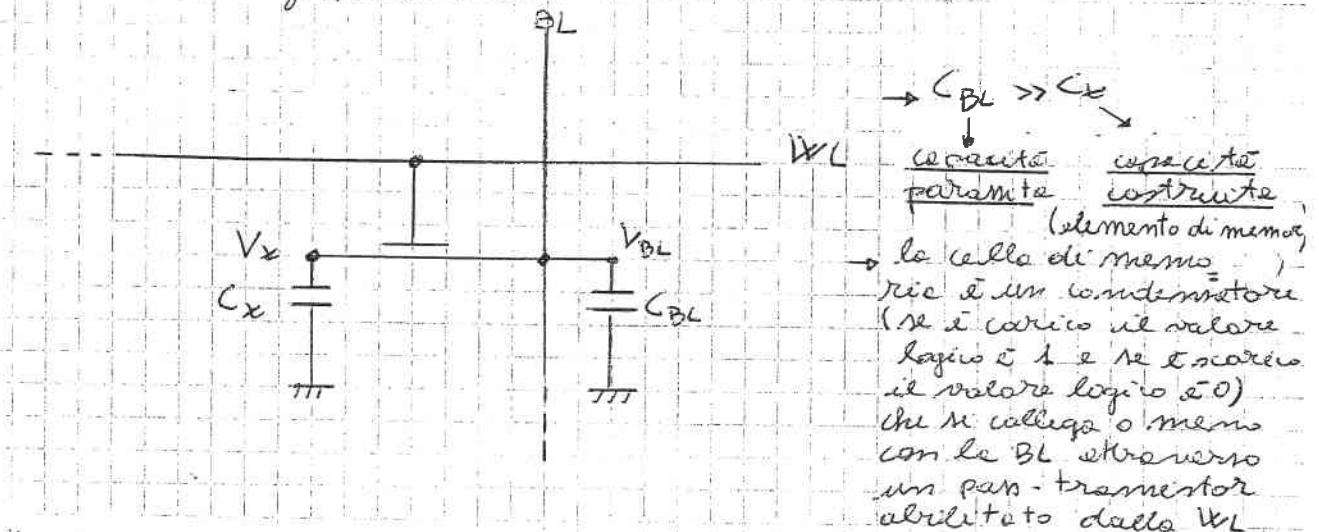
\hookrightarrow è una S-BATI con le celle a 6 transistor che può essere più piccole di una a 5 transistor in quanto quest'ultime (quelle a 5 transistor) ha vincoli di dimensionamento molto stringenti.

• D-RAM

↳ come nei flip-flop, si utilizza solo un condensatore per determinare lo spazio occupato (accrescimento della capacità di memorizzazione).

↳ si spiega il principio di memoria: carica dinamica = un condensatore isolato mantiene nel tempo la tensione ai suoi capi (il tempo di memorizzazione è finito e causa delle correnti di perdite).

• Studio del funzionamento



↳ Nella fase di scrittura (trasferimento di un dato dalle BL alla cella)

↳ la bit-line è un basso impedenza (come nelle SRAM)

↳ Nella fase di lettura (trasferimento di un dato dalla BL alla cella)

↳ la bit-line è un'alta impedenza e connesse al condensatore C_x (come nelle SRAM).

• Studio della fase di lettura

↳ H_D : a $t < 0$ il condensatore è stato carico a V_x (può rappresentare un 0 o un 1 logico e secondo del suo valore) e le BL a V_{BL}

$$V_x = V_x^- \Rightarrow Q_x^- = C_x \cdot V_x^-$$

$$V_{BL} = V_{BL}^- \Rightarrow Q_{BL}^- = C_{BL} \cdot V_{BL}^- \rightarrow$$

a $t = 0$ WL da 0 → 1

il valore della tensione
dipende dai dati bit scritti
precedentemente.

inizia la fase di lettura (le BL
è un'alta impedenza, isolate dal
nostro relativo driver)

a $t > 0$

\Rightarrow fluisce la corrente al condensatore
più carico da quello più scarico fino a che
le due tensioni diventano uguali

$t \rightarrow +\infty$ (quando il trasmettore è finito) $V_t^+ = V_{BL}^+$

$$\begin{cases} Q_x^+ = C_x \cdot V_t^+ \\ Q_{BL}^+ = C_{BL} \cdot V_{BL}^+ \\ Q_{BL}^- + Q_x^- = Q_{BL}^+ + Q_x^+ \end{cases} \Rightarrow \text{nella fase di lettura } V_{BL}^+ \text{ deve portare al valore di } V_x^-$$

$\xrightarrow{\quad}$ conservazione delle cariche

$$V_t^+ = V_{BL}^+ \xrightarrow{\quad} C_{BL} V_{BL}^- + C_x V_x^- = C_{BL} V_{BL}^+ + C_x \cdot V_x^+$$

$$V_{BL}^+ = \frac{C_x V_x^- + C_{BL} V_{BL}^-}{C_x + C_{BL}} = \frac{C_x}{C_x + C_{BL}} V_x^- + \frac{C_{BL}}{C_x + C_{BL}} V_{BL}^-$$

\hookrightarrow valore trasferito nella bit-line alla fine del trasmettore

• Problemi:

① $V_{BL}^+ \neq V_x^-$ ma V_{BL}^+ è funzione di V_x^- e V_{BL}^-

\hookrightarrow la lettura dipende solo in parte dall'informazione V_x^-

② V_{BL}^- è un rumore che influenza V_{BL}^+

③ Siccome $C_{BL} \gg C_x$ il coefficiente del rumore è molto più grande di quello del dato ed è circa uguale ad uno

$$\frac{C_x}{C_x + C_{BL}} \ll \frac{C_{BL}}{C_x + C_{BL}} \approx 1$$

$\hookrightarrow C_x$ deve essere piccolo per avere memoria ad alte capacità di memoria

$\hookrightarrow C_{BL}$ è la somma di tutte le capacità parassite di tutte le WL collegate alla BL stremante un pass-transistor \rightarrow non può essere piccolo.

④ Quindi V_{BL}^+ diventa uguale a V_{BL}^- ma $V_{BL}^+ = V_t^+$ quindi la lettura è distruttiva perché V_t assume il valore della bit-line.

⑤ Se il dato non viene letto si distrugge automaticamente in quanto il potenziale V_x diminuisce e causerà delle correnti di perdite.

\hookrightarrow Soluzione: per ridurre il rumore si fa la differenza di due segnali effetti dallo stesso disturbo
 \hookrightarrow in questo modo, per non conoscendo il rumore, si riesce ad eliminarlo
 \hookrightarrow si usa uno sistema differentiale (usato molto nell'ambito analogico per avere poco rumore)

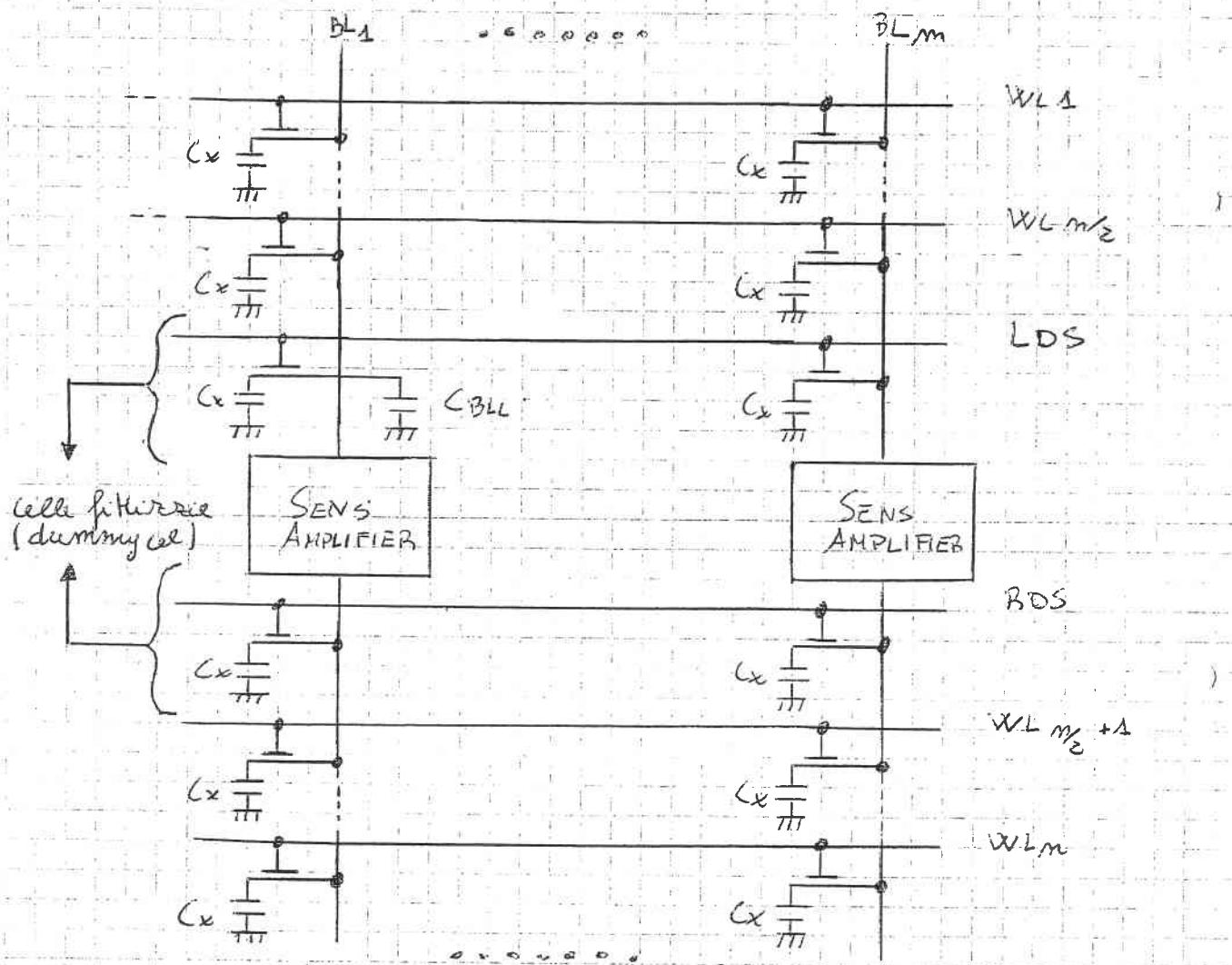
• Studio della linea differenziale

↳ si valuta al valore delle celle rispetto ad un valore intermedio

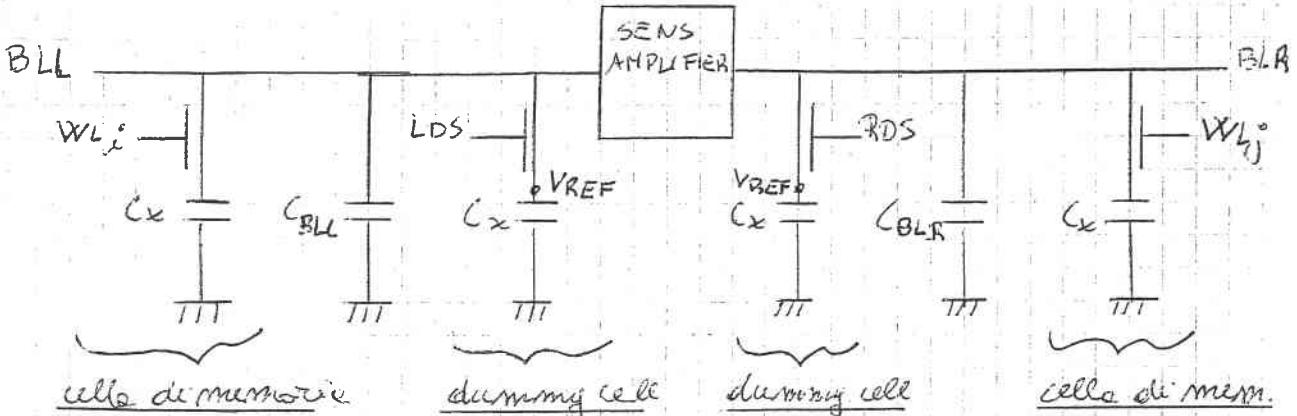
↳ 1 logic corrisponde ad una tensione superiore al valore di riferimento

↳ 0 logic corrisponde ad una tensione inferiore al valore di riferimento

↳ le ext-line viene divisa in due linee identiche tra di loro (metà celle a sinistra e metà a destra)



↳ Studio di una singola BL (per semplicità formata da solo due celle di memoria e disposta orizzontalmente).



→ il n° di celle e resistenza del SENS Amplifier deve essere uguale al n° di celle alle sue destre e tutte devono avere delle stesse dimensioni in modo da avere le capacità parassite C_{BLL} e C_{BLR} uguali.

$$(C_{BLL} = \text{capacità delle Bit-Line Sinistra})$$

$$(C_{BLR} = \text{capacità delle Bit-Line Destra})$$

$$\underline{C_{BLS} = C_{BLR}}$$

→ ed ogni bit-line (via BLL che BLR) si aggiunge una cella di memoria fittizia (dummy cell) per frangere la continuità di riferimento soggetta allo stesso rumore delle vere celle di memoria (condizione fondamentale per poter applicare lo sistema differenziale => si può eliminare quasi completamente il disturbo della tensione di bit-line instaurata prima dell'inizio delle fasi di lettura).

→ queste celle di memoria contengono non un dato, ma la tensione di riferimento => sono elaborate da opportune linee (LDS = left dummy select e RDS = right dummy select) attraverso un pass-transistor.

→ le fasi di lettura richiede determinate fasi operate (questo è il motivo principale per cui una D-RAM è più lenta di una S-RAM)

Fasi delle letture

(1) Fase di Equalizzazione o Prearco

→ queste fasi stabiliscono il valore della bit-line (prima dell'inizio delle letture del dato) ad una determinata tensione => si pongono le due bit-line allo stesso valore

→ si verificano due celle dummy e $\frac{V_{DD}}{2}$

$$V_{BLL} = V_{BLR} = \frac{V_{DD}}{2} \quad (\text{equalizzazione}) \quad (\rightarrow si ottiene parre a } \frac{V_{DD}}{2})$$

$$V_{REF} \approx \frac{V_{DD}}{2} \quad (\text{prearco})$$

→ Questa è la fase di preparazione alle letture

→ Anche se V_{BLL} e V_{BLR} sono note rimangono sempre un rumore in quanto, quando entrambi in AI, tendono a scambiarsi

② Lettura del dato

- ↳ si separano le due bit-line (BLL e BLR) mettendole in alte impedenze
- ↳ si succede alla cella abilitandole attraverso la WL
- ↳ le bit-line che non si collegano con le celle leggono il valore di riferimento

Per esempio

WL è da 0 → V_{DD} (per leggere il valore delle celle)

RDS da 0 → V_{DD} (per caricare le BLR, che non sono connesse alle celle da leggere, a V_{REF})

↳ le corrente si distribuiscono (come nel circuito precedente) e alla fine del trasmettore

$$V_{BLL}^+ = \frac{C_x}{C_x + C_{BLL}} \cdot V_x^- + V_{BLR}^- \cdot \frac{C_{BLL}}{C_x + C_{BLL}}$$

$$V_{BLR}^+ = \frac{C_x}{C_x + C_{BLR}} \cdot V_{REF}^- + V_{BLR}^- \cdot \frac{C_{BLR}}{C_x + C_{BLR}}$$

Sapendo che $C_{BLL} = C_{BLR} \stackrel{A}{=} C_x$ e avendo posto nelle fase di equalizzazione $V_{BLR}^- = V_{BLL}^- \Rightarrow$ facendo la differenza si ottiene:

$$V_{BLL}^+ - V_{BLR}^+ = \frac{C_x}{C_x + C_x} (V_x^- - V_{REF}^-) \Rightarrow \text{non c'è rumore delle linee}$$

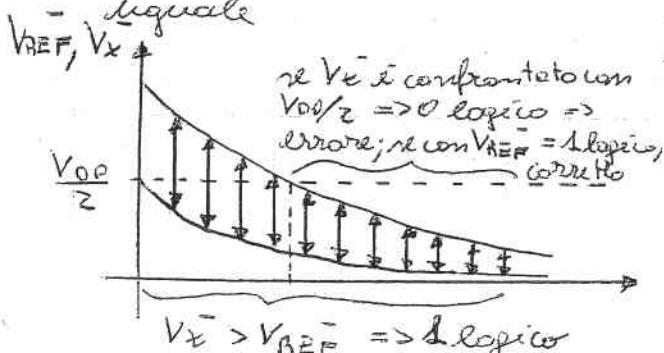
↳ lo schema differenziale compensa il rumore introdotto dalle due bit-line.

↳ avendo posto V_{REF}^- ed un valore intermedio se

$$\circ V_{BLL}^+ - V_{BLR}^+ > 0 \Rightarrow V_x^- > V_{REF}^- \Rightarrow V_x^- è un valore alto$$

$$\circ V_{BLL}^+ - V_{BLR}^+ < 0 \Rightarrow V_x^- < V_{REF}^- \Rightarrow V_x^- è un valore basso$$

Siccome le celle di memoria e la dummy cell sono identiche, le loro tensioni, nel tempo, oscillano in modo uguale



VANTAGGIO DI QUESTO CIRCUITO

↳ Confrontando V_x con V_{REF} (segnale che olleggeremo in modo uguale) e non con il valore costante $V_{DD}/2$ il limite temporale di correttezza è più elemento perché $V_x > V_{REF}$ (caso 1 logico) e anche se $V_x < V_{DD}/2$ (che, se non confrontato con V_{REF} , potrebbe ad un errore)

→ le differenze tra V_{BL}^+ e V_{BL}^- sono molto piccole perché

① le correnti di perdite che degradano V_x e V_{REF}

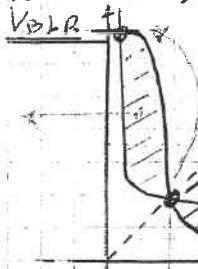
② $C_{BL} \gg C_x$ (C_{BL} è grande perché è dovuta alla capacità parassita dei p-n-p transistor connesse alle linee di bit-line e C_x è la più piccola possibile per aumentare la capacità di memoria, staziona della D-RAM)

$$\rightarrow \frac{C_x}{C_x + C_{BL}} \ll 1 \text{ e tende a } 0.$$

→ dopo la fase di lettura le due BL sono leggermente polarizzate → serve un circuito regenerativo

③ Fase di Rigenerazione

→ si usa un bistabile



come sens-amplifier in modo che un pilota momentaneo di V_{BL} delle due BL porta il 2-bistabile in un punto di equilibrio in funzione di V_x .

$V_{BL} < V_{BLR}, V_x < V_{REF}, V_x$ è un valore basso e porta le BL ad uno

punto vicino nello

se $V_x = V_{BLR} \rightarrow V_{BLL} = V_{BLR} = \frac{V_{DD}}{2}$

se $V_x > V_{BLR} \rightarrow V_{BLL} = V_{BLR} = \frac{V_{DD}}{2}$ se i transistor dei due convertitori sono complementari ($\beta_m = |V_{TP}| \cdot \beta_p = \beta_p$)

→ la rete si comporta diversamente nelle 3 fasi:

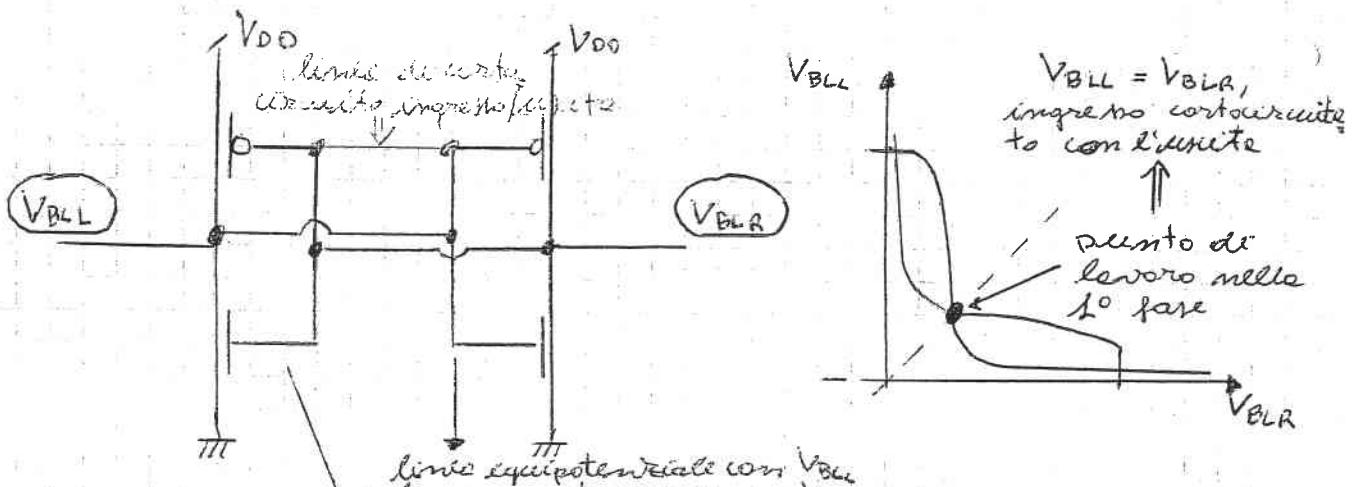
① \Rightarrow le due bit-line sono uguali e non collegate ed uno delle di memoria non connette tra di loro. (sens. amplificatore diventa un geratore di tensione)

② \Rightarrow le due bit-line sono tra di loro scollegate (sens amplificatore è in Alta Impedenza \Rightarrow circuito aperto)

③ \Rightarrow il sens amplificatore rigenera il segnale, si comporta come un bistabile.

→ i tre modi di funzionamento devono essere pilotati da due segnali di controllo

Studio del circuito di sens-amplifier

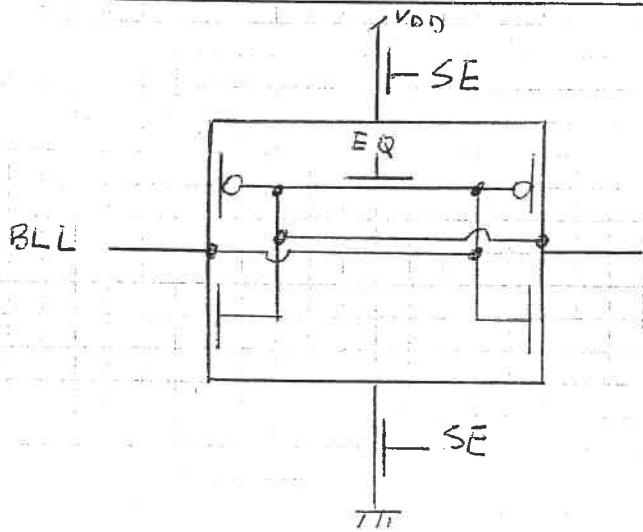


- ↳ nella 1^a fase bisogna portare il bistabile a lavorare nel punto instabile dove $V_{BLL} = V_{BLR}$
- ↳ bisogna impostare un cortocircuito tra l'ingresso e l'uscita
- ↳ la condizione di cortocircuito deve valere solo nella prima fase \Rightarrow serve un segnale di controllo
- ↳ si usa un paio transistor abilitato dal segnale EQ (equalizzazione).

↳ nella 2^a fase il sens-amplifier deve portare in Alta impedenza le due linee \rightarrow il bistabile si deve spegnere \Rightarrow si disabilita il PV e il PD del circuito attraverso un transistor abilitato dal segnale SE (sens-amplifier enable)

↳ disabilitando sia il PV che il PD il bistabile non eroga più corrente verso le bit-line \Rightarrow BL in Alta Impedenza e per renderle indipendenti si taglia il cortocircuito ($EQ = 0$)

Struttura del Sens-Amplifier



① Equalizzazione

$$EQ = 1; SE = 1; WL = 0 \\ RDS = LDS = 1$$

② Lettura (cella i)

$$EQ = 0; SE = 0; WL_i = 1 \\ \begin{cases} RDS = 1 & SRDS = 0 \\ LDS = 0 & LDS = 1 \end{cases}$$

③ Pregegenerazione

$$EQ = 0; SE = 1; WL_i = 1$$

→ Nella 3^a fase $EQ=0$ (perché il cristalile deve funzionare) $ES=1$ (in quanto il sens-amplifier deve essere abilitato in modo da portare le linee ad un valore alto o basso a seconda del valore letto V_{L_i}) ($VL_i = 1$ per rigenerare il dato delle celle in quanto è stato rovinato n° e causa alla 2^a fase n° e cause delle correnti di perdite)

→ l'operazione di lettura è regenerativa n° nei confronti delle letture stesse n° riguardo alle correnti di perdite

• Problemi

(1) Le celle non lette subiscono un lento e costante degrado dovuto alle correnti di perdite (il tempo di scaduta delle reporte è dell'ordine di qualche millisecondo).

→ serve un'operazione di REFRESH; di rigenerazione

→ bisogna leggere ogni cella in quanto questo prodotto è regenerativo.

(2) Le memorie è lente perché:

→ servono diverse fasi per leggere un dato (nella un protocollo che, in alcuni periodi di clock, permette la lettura)

→ periodicamente bisogna leggere tutte le celle (REFRESH) prima che il loro dato si degradi troppo

(3) La D-RAM non è una memoria sincrona: non può restituire un'informazione ad ogni ciclo di clock

→ servono almeno 3 cicli di clock per leggere un dato

→ periodicamente la memoria non è eseguibile in quanto è soggetta al REFRESH

→ esistono dei protocolli di comunicazione asincroni che servono a segnalare se la D-RAM è pronta meno alla lettura di un suo dato (protocollo gestito dal processore).

Confronto tra i due tipi di RAM

D-RAM

- lenta
- alta capacità di memorizzazione
- non è sincrona (più cicli di clock per la lettura)

S-RAM

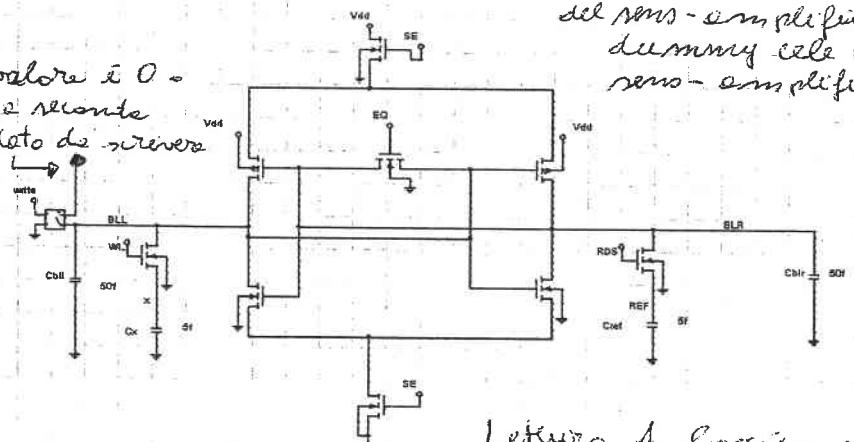
- veloce (solo 1 periodo di clock)
- bassa capacità di memorizzazione
- è sincrona (serve solo 1 periodo di clock nella fase di lettura o scrittura)

Simulazione

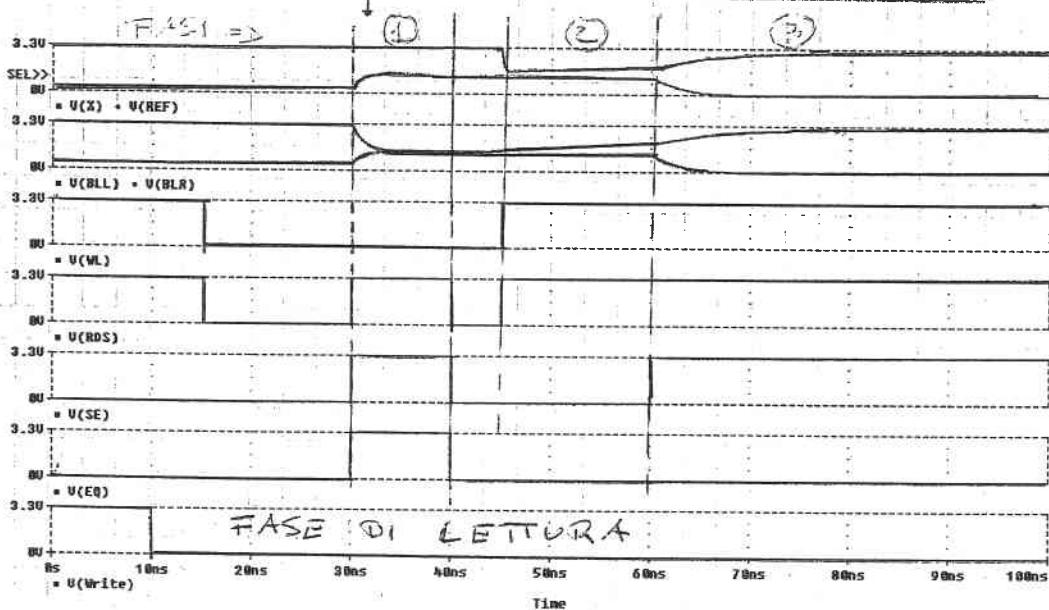
→ per semplicità si usa un'unica celletta di memoria (a sinistra del sens-amplifier) e un'unica dummy celletta (a destra del sens-amplifier)

il valore è 0 -

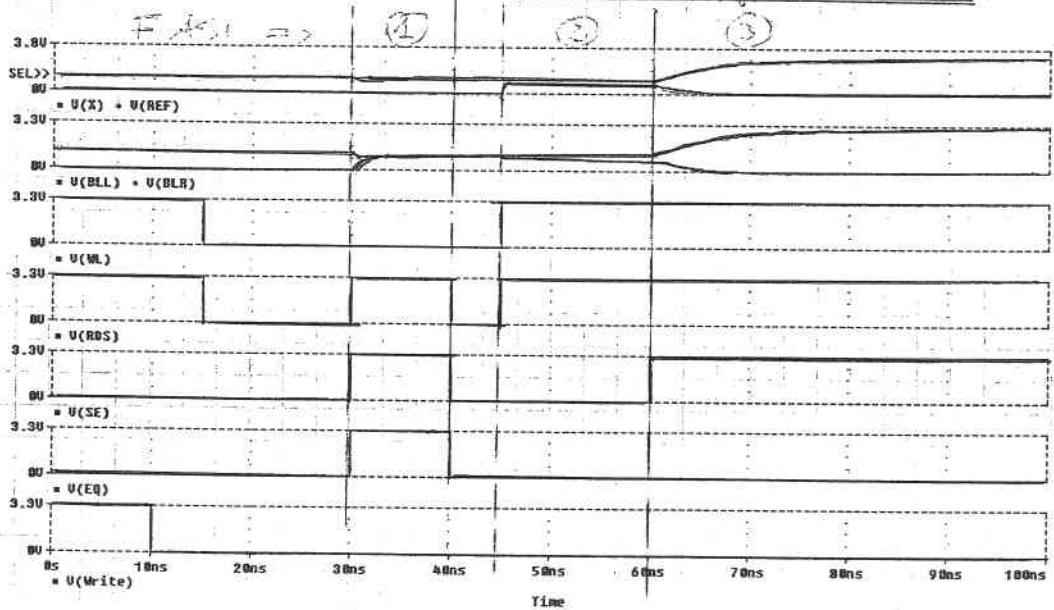
V_{DD} è seconda del dato da scrivere



Lettura 1 Logico ne BLL



Lettura 0 logico ne BLL



Nella fase di scrittura ($V_{BITE} = 1$) si abilita la cella ($V_L = 1$) e si forza lo BL al valore desiderato caricando via il bbl che Cx.

① Fase di Equalizzazione ($V_{BLU} = V_{BLQ}$, e $V_{REF} = \frac{V_{DD}}{2}$)

② Fase di lettura ($SE = 0$ e $EQ = 0$) $\Rightarrow V_{REF}$ non varia perché BLR era già carico al suo valore. BLL viene (se il dato è un 1 logico) diminuita (se il dato è uno 0 logico) portando uno squilibrio con l'altra bit-line.

③ Rigenerazione ($SE = 1$) \Rightarrow il cristalino porta BLL al valore alto o basso in funzione della sua differenza con BLR (se positiva BLL diventa V_{DD} , se negativa BLL diventa 0). Lo esibisce la cella modificando il suo valore ritornandolo al suo valore originale.

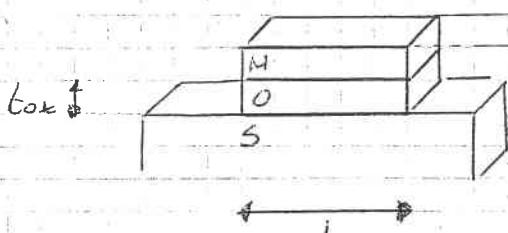
\hookrightarrow la migliore implementazione delle celle (un transistor ed un condensatore) è bilanciata dalla migliore corrispondente funzionale (principalmente durante la fase di lettura).

Studio delle capacità

\hookrightarrow più è alta la capacità delle celle e più l'area occupata aumenta ma diminuisce la frequenza del REFRESH. In questo è più alta la carenza di smaltire.

\hookrightarrow Modi per la costruzione di un condensatore

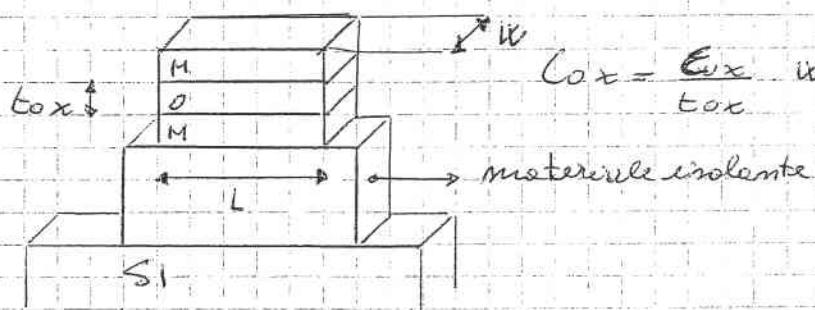
1° Modo, condensatore non lineare (MOS)



$$C_{ox} = \frac{\epsilon_{ox} \cdot W \cdot L}{t_{ox}}$$

elevata capacità \Rightarrow elevato $W \cdot L$, ingombrante

2° Modo, condensatore lineare (armature metalliche)

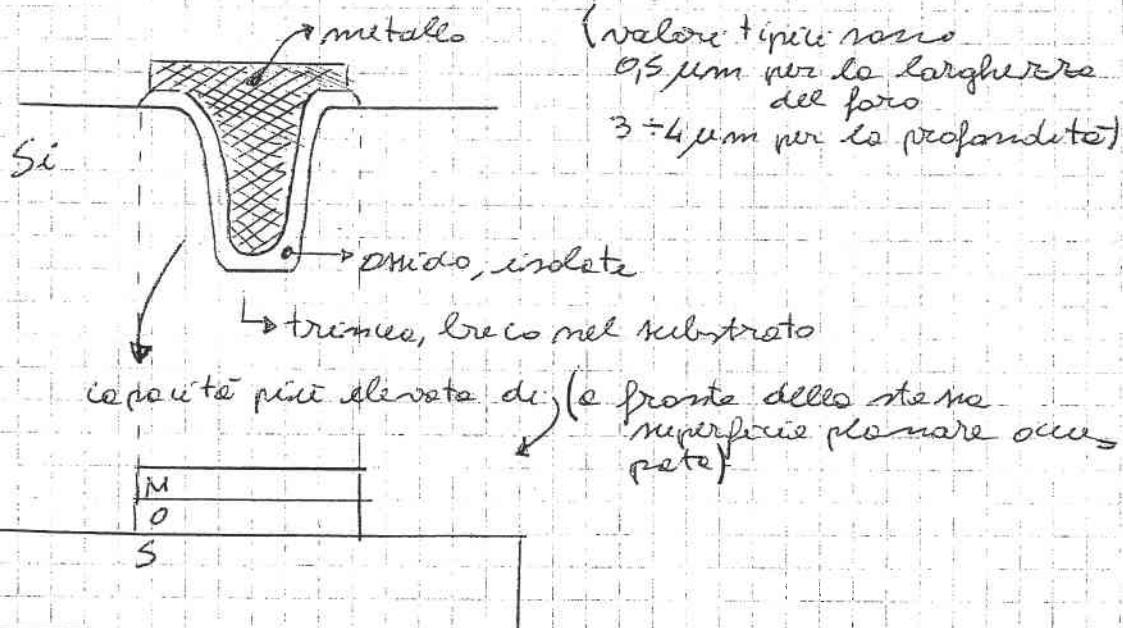


$$C_{ox} = \frac{\epsilon_{ox} \cdot W \cdot L}{t_{ox}}$$

per contenere l'area ed avere alte capacità in uno dielettrico con ϵ_{ox} elevata e t_{ox} piccolissima

3° Modo

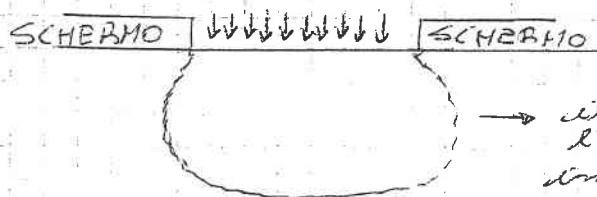
↳ si usa una struttura tridimensionale per aumentare la superficie delle capute serve aumentare l'area del condensatore.



• per realizzare i "brechi" si usa

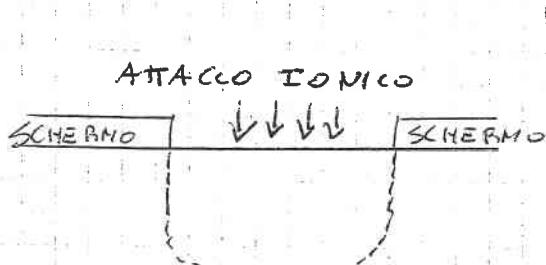
↳ un attacco chimico (reagente che corrode il silicio) → n'è nessun meccanismo di protezione

REAGENTE CHIMICO



→ il breco è allargato perché l'attacco chimico è isotropo, in ogni direzione

↳ un attacco meccanico (si usa un comune ionico)



→ è più selettivo, al breco si allarga poco

↳ un attacco chimico e meccanico (si usa un comune di ioni reagenti con il silicio)

↳ la tecnologia è complicata (esistono solo poche fabbriche al mondo che producono D-RAM)