

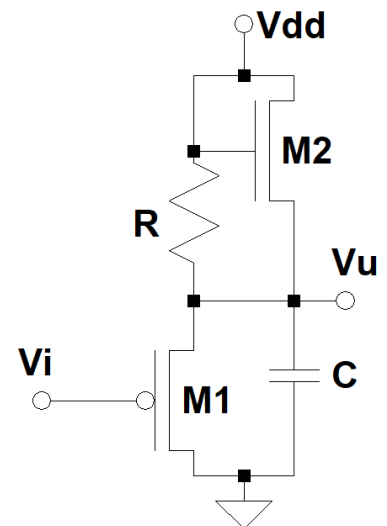
1) Nel circuito in figura, i transistori nMOS e pMOS sono caratterizzati dalla tensione di soglia $V_{Tn} = |V_{Tp}| = V_T$ e dai coefficienti β_n e β_p . Il segnale d'ingresso abbia il seguente andamento:

$$t < 0: V_i = V_{dd}$$

$$t > 0: V_i = 0$$

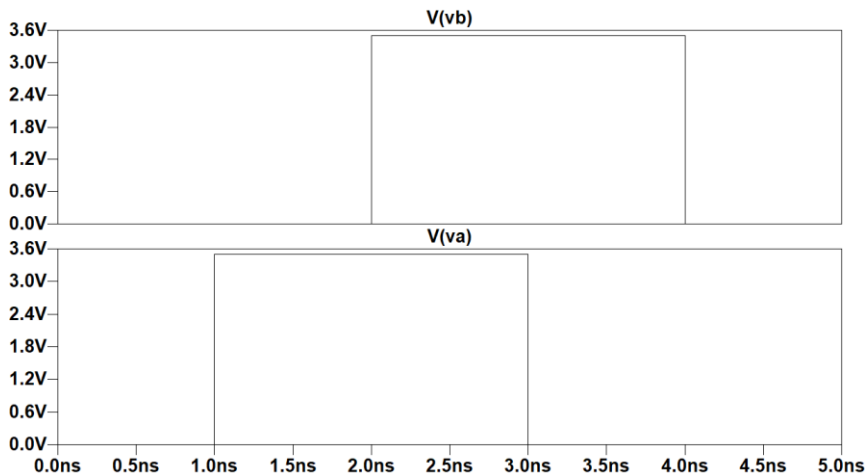
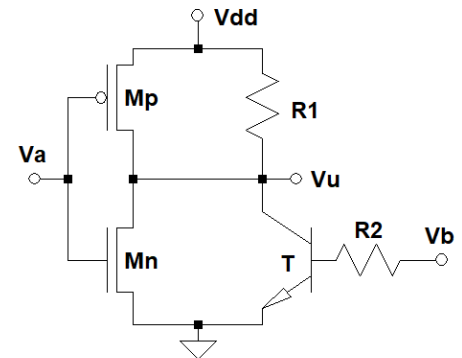
Si calcoli il tempo di propagazione t_{pHL} del circuito (definito come il tempo necessario a V_u per compiere il 50% della propria escursione).

$V_{dd} = 3.5 \text{ V}$, $\beta_n = 0.1 \text{ mA/V}^2$, $\beta_p = 2 \text{ mA/V}^2$, $V_T = 0.35 \text{ V}$, $R = 1.5 \text{ k}\Omega$, $C = 8 \text{ pF}$.



2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn} = |V_{Tp}| = V_T$ e dai coefficienti β_n e β_p . Il transistorore bipolare può essere descritto da un modello a soglia, con $V_\gamma = 0.75 \text{ V}$ e $V_{CE,sat} = 0.2 \text{ V}$.

I segnali di ingresso V_a e V_b abbiano l'andamento periodico mostrato in figura, con periodo pari a 4 ns. Si determini l'andamento del segnale di uscita V_u , trascurando i transistori e il tempo di propagazione associato ad ogni sua transizione.



$V_{dd} = 3.5 \text{ V}$, $V_T = 0.4 \text{ V}$, $\beta_n = \beta_p = 1.4 \text{ mA/V}^2$, $\beta_F = 100$, $R_1 = 1.5 \text{ k}\Omega$, $R_2 = 32 \text{ k}\Omega$.

- Tempo a disposizione: 2h e 30m
- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

7.2.2019 – Esercizio 1

Osservazioni preliminari : M2 quando ON (sse $v_u < v_{dd} - v_t$) è sat. Anche M1 quando on è sempre sat.

- 1) Per $t < 0$ $v_i = v_{dd}$. M1 off. La corrente di pull-down è nulla, e quindi deve essere nulla anche la corrente di pull-up. In particolare, $I_R = (V_{dd} - V_u)/R = 0$ e $V_u = V_{dd}$.
- 2) Per $t \rightarrow \infty$ $v_i = 0$, M1 on e sat (sse, $v_u > v_t$ da verificare), M2 on e sat (sse $v_u > v_{dd} - v_t$, da verificare)

$i_{dn2sat} = \beta_n/2 * (v_{dd} - v_u - v_t)^2$ $i_{dp1sat} = \beta_p/2 * (v_u - v_t)^2$ $i_r = (v_{dd} - v_u)/R$ <p>Ma</p> $i_{dn2sat} + i_r = i_{dp1sat}$	<p>Risolvendo si ottengono le seguenti soluzioni:</p> $v_u = -1.843 \text{ V o } v_u = 1.546 \text{ V}$ <p>La soluzione $v_u = 1.546 \text{ V}$ soddisfa l'hp di accensione di M1 ($v_u > v_t$) e di saturazione di M2 ($v_u < v_{dd} - v_t$)</p>
---	--

3) Analisi del transitorio.

Il segnale d'uscita varia da $v_u(0+) = V_{dd}$ a $v_u(\infty) = 1.546 \text{ V}$. Il $t_{p,HL}$ è il tempo che il segnale d'uscita impiega per compiere il 50% della sua escursione, quindi per passare da $v_{u_{iniz}} = 3.5 \text{ V}$ a $v_{u_{final}} = (3.5 + 1.546)/2 \text{ V} = 2.523 \text{ V}$.

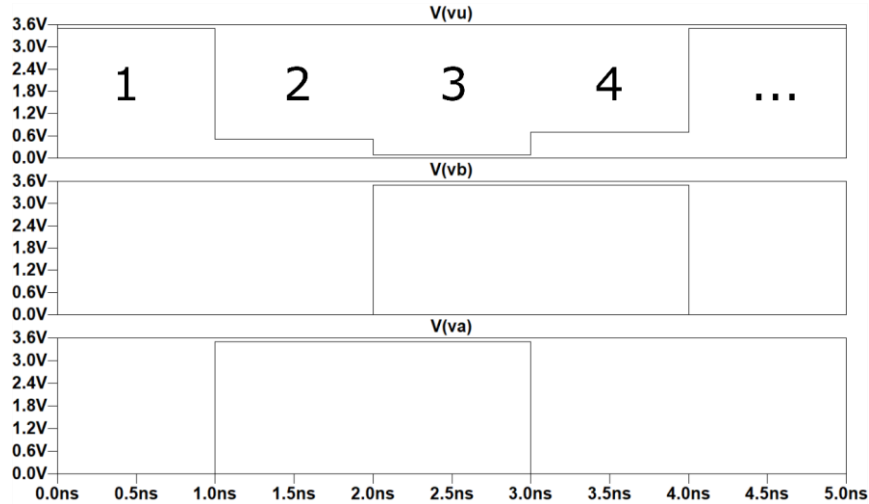
Durante questo transitorio dapprima M2 è off, poi si accende quando $v_u \leq v_{dd} - v_t = 3.15 \text{ V}$. il transitorio di scarica va quindi diviso in due tratti. Calcolo del tempo di ritardo $t_{p,HL}$:

1) $3.15 \text{ V} \leq v_u \leq 3.5 \text{ V}$	2) $2.523 \text{ V} \leq v_u \leq 3.15 \text{ V}$
$i_{cap} = C dv_u/dt$ $i_{dp1sat} = \beta_p/2 * (v_u - v_t)^2$ $i_r = (v_{dd} - v_u)/R$ <p>Ma</p> $i_{cap} = i_r - i_{dp1sat}$	$i_{cap} = C dv_u/dt$ $i_{dp1sat} = \beta_p/2 * (v_u - v_t)^2$ $i_{dn2sat} = \beta_n/2 * (v_{dd} - v_u - v_t)^2$ $i_{r1} = (v_{dd} - v_u)/R$ <p>Ma</p> $i_{cap} = i_{r1} + i_{dn2sat} - i_{dp1sat}$
$t_{p,HL1} = \int_{3.5}^{3.15} \frac{C}{i_r - i_{dp1sat}} dv_u = 0.322 ns$	$t_{p,HL2} = \int_{3.15}^{2.523} \frac{C}{i_{r1} - i_{dp1sat} + i_{dn2sat}} dv_u = 0.898 ns$
$t_{p,HL} = t_{p,HL1} + t_{p,HL2} = \mathbf{1.221 \text{ ns}}$	

21.12.2018 – Esercizio 2

Il circuito è costituito da un invertitore CMOS e da un invertitore RTL che condividono l'uscita V_u .

L'andamento del segnale di uscita è quindi mostrato in figura:



I segnali di ingresso sono periodici, con periodo pari a 4 ns. All'interno del periodo è possibile riconoscere quattro condizioni diverse:

- 1) $0 < t < 1\text{ns}$: $V_a = V_b = 0 \rightarrow M_n \text{ OFF}, M_p \text{ ON}, T \text{ OFF}$. Entrambe le reti di pull-down sono quindi spente e la corrente è quindi identicamente nulla su tutto il circuito. Si ha quindi: $V_u = V_{dd}$
- 2) $1\text{ns} < t < 2\text{ns}$: $V_a = V_{dd}, V_b = 0 \rightarrow M_n \text{ ON}, M_p \text{ OFF}, T \text{ OFF}$. La rete equivale a un invertitore nMOS a carico resistivo, con ingresso alto. Ipotizzando M_n LIN (*), si ha:

$$\left. \begin{aligned} I_{Dn} &= \beta_n \left((V_{dd} - V_T)V_u - \frac{V_u^2}{2} \right) \\ I_{R1} &= \frac{(V_{dd} - V_u)}{R_1} \end{aligned} \right\} \xrightarrow{I_{Dn}=I_{R1}} \begin{cases} V_u = 0.501 \text{ V} \\ V_u = 6.651 \text{ V} \end{cases}$$

dove la seconda soluzione è assurda ($V_u > V_{dd} \rightarrow I_{Dn} = I_{R1} < 0$), mentre la prima rispetta l'ipotesi (*):

$$V_{GSn} = V_{dd} > V_{DSn} + V_T = 0.501 + 0.4 = 0.901 \text{ V}$$

- 3) $2\text{ns} < t < 3\text{ns}$: $V_a = V_b = V_{dd} \rightarrow M_n \text{ ON}, M_p \text{ OFF}, T \text{ ON}$. La rete equivale a un invertitore a carico resistivo, con il pull-down costituito dal parallelo fra M_n e T . Ipotizzando ancora M_n LIN (**) e T in AD (***), si ha:

$$\left. \begin{aligned} I_{Dn} &= \beta_n \left((V_{dd} - V_T)V_u - \frac{V_u^2}{2} \right) \\ I_{R1} &= \frac{(V_{dd} - V_u)}{R_1} \\ I_C &= \beta_F I_B = \beta_F \frac{(V_{dd} - V_T)}{R_2} \end{aligned} \right\} \xrightarrow{I_{Dn}+I_C=I_{R1}} \begin{cases} V_u = -1.086 \text{ V} \\ V_u = 8.238 \text{ V} \end{cases}$$

Entrambe le soluzioni sono assurde, per cui occorre modificare le ipotesi. Supponendo M_n LIN (**) e T in SAT (***):

$$V_u = V_{CE,sat} \rightarrow \begin{cases} I_C = I_{R1} - I_{Dn} = \frac{(V_{dd} - V_{CE,sat})}{R_1} - \beta_n \left((V_{dd} - V_T)V_{CE,sat} - \frac{V_{CE,sat}^2}{2} \right) < \beta_F \frac{(V_{dd} - V_T)}{R_2} \quad (***) \\ V_{GSn} = V_{dd} > V_{DSn} + V_T = V_{CE,sat} + 0.4 = 0.601 \text{ V} \quad (**) \end{cases}$$

- 4) $3\text{ns} < t < 4\text{ns}$: $V_a = 0, V_b = V_{dd} \rightarrow M_n \text{ OFF}, M_p \text{ ON}, T \text{ ON}$. La rete equivale a un invertitore in cui la rete di pull-up consiste nel resistore R_1 in parallelo al transistor M_p , mentre la rete di pull-down è costituita dal transistor T . Ipotizzando M_p LIN (****) e T in AD (****), si ha:

$$\left. \begin{aligned} I_{Dp} &= \beta_p \left((V_{dd} - V_T)(V_{dd} - V_u) - \frac{(V_{dd} - V_u)^2}{2} \right) \\ I_{R1} &= \frac{(V_{dd} - V_u)}{R_1} \\ I_C &= \beta_F I_B = \beta_F \frac{(V_{dd} - V_T)}{R_2} \end{aligned} \right\} \xrightarrow{I_C=I_{R1}+I_{Dp}} \begin{cases} V_u = 0.640 \text{ V} \\ V_u = -0.791 \text{ V} \end{cases}$$

dove la seconda soluzione è assurda ($V_u < 0 \rightarrow V_{CE} < V_{CE,sat}$), mentre la prima rispetta le ipotesi:

$$V_u = V_{CE} > V_{CE,sat} \quad (****)$$

$$V_{SGp} = V_{dd} > V_{SDp} + V_T = V_{dd} - V_u + V_T = 3.26 \text{ V} \quad (****)$$