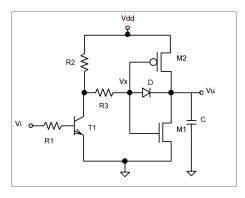
PROVA SCRITTA DI ELETTRONICA 15 LUGLIO 2010

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_T = V_{Tn} = |V_{Tp}|$ e dai coefficienti $\beta = \beta_n = \beta_p$. Il transistore bipolare ed il diodo possono essere descritti da un modello "a soglia", con $V_{\nu} = 0.75$ V e $V_{CE,sat} = 0.2$ V.

Il segnale d'ingresso abbia il seguente andamento:

t<0: $V_i = 0$ t>0: $V_i = Vdd$



Si osservi che lo stadio d'ingresso è un invertitore RTL.

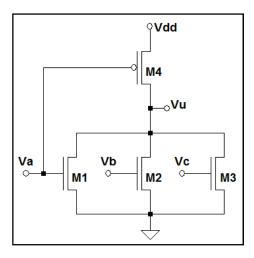
Si calcoli il ritardo di propagazione t_{p,LH} associato alla transizione del segnale d'uscita vu.

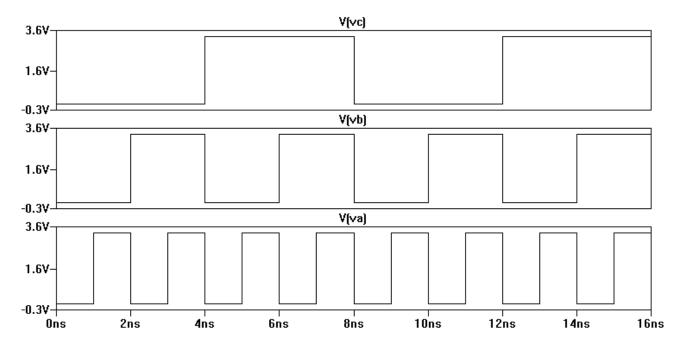
$$V_{dd}$$
 = 3.5 V, V_{T} = 0.5 V, β = 2 mA/V², β_{F} =100, R_{1} =500 Ω , R_{2} = 5 k Ω , R_{3} =5 k Ω , C=10nF.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tp}|=V_{T}$ e dai coefficienti β_n e β_p .

I segnali di ingresso V_a , V_b e V_c abbiano l'andamento periodico mostrato in figura. Si determini l'andamento dei segnali, valutando in particolare i valori asintotici al termine di ciascuna commutazione, trascurando i tempi di propagazione. Si calcoli la potenza statica media dissipata dal circuito.

 $V_{dd} = 3.3 \text{ V}, V_T = 0.5 \text{ V}, \beta_n = 1.2 \text{ mA/V}^2, \beta_p = 0.7 \text{ mA/V}^2.$





Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m). Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m). Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto in un unico foglio (4 facciate) protocollo

Soluzione esercizio 1

Compito del 15-07-2010 - Soluzione Esercizio #1

OSS. PRELIMINARI:

In condizioni stazionarie il diodo D può essere ON solo se anche il transistore M1 è acceso.

- 1. t<0, vi=0, allora Q1 è off. Suppongo D on e M1 on (da verificare). Essendo D on, la tensione ai suoi capi vale v_{γ} , quindi la tensione vx vale vu+ v_{γ} .
 - M1: $V_{GS}=vx=v_{\gamma}+vu$, $V_{DS}=vu$, allora M1 lavora in lin, poiché $v_{\gamma}+vu>vu+vt$ è verificata.
 - M2: V_{SG}=vdd-vx=vdd-(v_γ+vu). M2 è on sse vdd-v_γ-vu>vt, sse vu<vdd-v_γ-vt=2.25V, lo ipotizzo quindi on (da verificare)
 Se ON M2 è sat sse vdd-vu-v_γ<vdd-vu+vt, sse -v_γ<vt, quindi se on M2 è sat.

Calcolo vu nell'ipotesi di avere D on, M1 lin e M2 sat.

idn1lin= $\beta((vu+v_{\gamma}-vt)*vu-vu^2/2)$ idp2sat= $\beta/2(vdd-vu-v_{\gamma}-vt)^2$ id=ir2=ir3= $(vdd-vu-v_{\gamma})/(r2+r3)$ Ma idp2sat+id=idn1lin	Da cui si ricava che vu=1.047V. Tale soluzione soddisfa l'hp di accensione di D e M1 (vu+vγ=1.796 V) e di accensione di M2 (vu(=1.046V)<2.25 V).
1	

Per t -> ∞, vi=vdd, quindi Q1 va on. Lo suppongo sat (da verificare). In queste condizioni, D e M1 sono off poiché vx=vcesat, mentre M2 è on (V_{SG}=vdd-vcesat=3.3>vt=0.5V) e lin, con vu=vdd.

Verifico l'Hp di saturazione di Q1: ir2=(vdd-vcesat)/r2=ic1=0.66 mA	Q1 è sat se ic1 $<$ β f*ib1, 0.66 $<$ 550 che è verificata.
$ib1 = (vdd-v_{\gamma})/r1 = 5.5 \text{ mA}$	

3. Per t=0+ vi=vdd, Q1 va sat, vx=vcesat, allora M1 e D vanno off e M2 è on. vu(0+)=vu(0-) = 1.047V. Il tplh è il tempo che il segnale d'uscita impiega per compiere il 50% della transizione totale del segnale: Vu(0+)=1.047 V, Vu(∞)=vdd, quindi vuiniz=1.047 V e vufinal=(1.047+3.5)/2=2.2735 V.

Analizzo le regioni di funzionamento di M1 durante il transitorio analizzato:

1) M2 sat per (vdd-vcesat)<(vdd-vu)+vt, sse vu<vcesat+vt=0.7 V, lin altrove.

Il calcolo del tempo si salita avviene con M2 che lavora sempre in zona lineare.

$$idp2lin=\beta((vdd-vcesat-vt)*(vdd-vu)-0.5*(vdd-vu)^2)$$

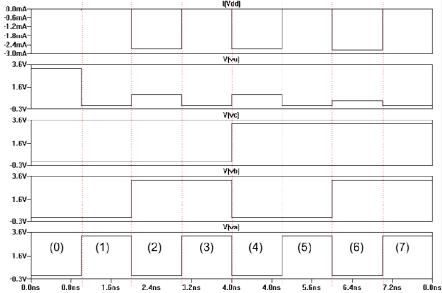
 $tplh = \int_{1.047}^{2.2735} \frac{C}{idp2lin} dvu = 1.825 \mu s$

Soluzione esercizio 2

Il circuito è composto da un solo transistore di pull-up (M4, complementare a M1) e da 3 transistori di pull-down (M1,M2,M3). Il comportamento è riassunto dalla tabella seguente:

V_{c}	V_b	Va	M_1	M_2	M_3	M_4	pull-up	pull-down	
V _L	V_L	V_L	off	off	off	on	on	off	(0)
V_L	V_L	V_{H}	on	off	off	off	off	on	(1)
V_L	V_{H}	V_{L}	off	on	off	on	on	on	(2)
V_L	V_{H}	V_{H}	on	on	off	off	off	on	(3)
V_{H}	V_L	V_L	off	off	on	on	on	on	(4)
V_{H}	V_L	V_{H}	on	off	on	off	off	on	(5)
V_{H}	V_{H}	V_{L}	off	on	on	on	on	on	(6)
V_{H}	V_{H}	V_{H}	on	on	on	off	off	on	(7)

da cui è possibile desumere l'andamento mostrato in figura:



In particolare, negli intervalli (2) e (4) sono simultaneamente attivi il pull-up e il pull-down (costituito da un transistore nMOS acceso); ipotizzando sia il transistore di pull-up che il transistore di pull-down in regime lineare, si ottiene:

In regime lineare, slicitiene:
$$I_n = \beta_n \left[(V_{dd} - V_T) V_u - \frac{V_u^2}{2} \right]$$

$$I_p = \beta_p \left[(V_{dd} - V_T) (V_{dd} - V_u) - \frac{(V_{dd} - V_u)^2}{2} \right]$$

$$I_n = I_p$$
 serifice to instead of the region where

che verifica le ipotesi di funzionamento.

Nel caso (6), invece, sono ancora simultaneamente attivi il pull-up e il pull-down, ma quest'ultimo consiste ora di due nMos in parallelo ($\beta_{eq}=2~\beta_n$); ipotizzando il transistore di pull-up in regime di saturazione e il transistore di pull-down in regime lineare, si ottiene:

$$I_{n} = \beta_{eq} \left[(V_{dd} - V_{T})V_{u} - \frac{V_{u}^{2}}{2} \right]$$

$$I_{p} = \frac{\beta_{p}}{2} (V_{dd} - V_{T})^{2}$$

$$I_{n} = I_{n}$$

$$I_{p} = I_{n}$$

che verifica le ipotesi di funzionamento.

I segnali sono periodici, con T=8 ns. La potenza media vale quindi:

$$\tilde{P} = \frac{1}{T} \int_{0}^{T} I_{d} V_{dd} dt = \frac{V_{dd}}{T} \left\{ \int_{2ns}^{3ns} I^{*} dt + \int_{4ns}^{5ns} I^{*} dt + \int_{6ns}^{7ns} I^{**} dt \right\} = 3.39 \ mW$$