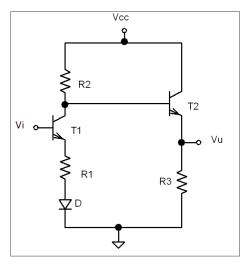
PROVA SCRITTA DI ELETTRONICA 1 2 LUGLIO 2015

1) Nel circuito in figura, i transistori e il diodo possono essere descritti da un modello "a soglia", con V_{γ} =0.75 V e $V_{CE,sat}$ =0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per 0< V_i < V_{CC} .



 $V_{cc} = 5 \text{ V}, \ \beta_F = 100, \ R_1 = 1.5 \ k\Omega, \ R_2 = 3.5 \ k\Omega, \ R_3 = 1 \ k\Omega.$

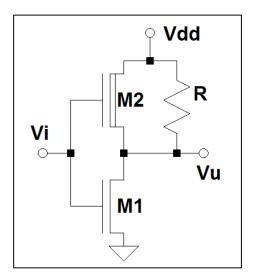
2) Nel circuito in figura, i transistori MOS sono caratterizzati dai coefficienti β_1 e β_2 e dalle tensioni di soglia V_{T1} e V_{T2} . Il transistore M2 è del tipo "a svuotamento" ($V_{T2} < 0$).

Si determini il valore della resistenza R in modo che l'escursione logica del circuito sia:

$$\Delta V = V_H - V_L = 3 V$$

Si determini quindi il valore della tensione di soglia logica V_{TL} del circuito.

 $V_{dd}=3.3$ V, $V_{T1}=0.4$ V, $V_{T2}=$ -0.2 V, $\beta_1=2.5$ mA/V², β_2 = 300 $\mu\text{A/V}^2.$



Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).

Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).

Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

[•] Indicare su ciascun foglio nome, cognome, data e numero di matricola

Non usare penne o matite rosse

[•] L'elaborato deve essere contenuto in un unico foglio (4 facciate) protocollo

2.7.2015 - Esercizio 1

Osservazioni preliminari:

- 1) T1 e D sono o contemporaneamente OFF o contemporaneamente ON;
- 2) T2 quando ON è in AD (collettore connesso a Vcc).

Regione 1: vi $< 2v_{\gamma}$: T1 OFF, D OFF, T2 in AD (Hp da verificare).

 $ir2 = (vcc - vu - v_{\gamma})/r2$ Risolvendo si trova che: ie2 = ir3 = vu/r3 vu = 4.108 V. Ma Il valore di Vu trovato verifica l'Hp di accensione di T2. Si rimane in questa regione fintantoché T1 rimane off, sse $vi < 2v_{\gamma}$, sse vi < 1.5 V Regione 1: $per 0 < vi < 2v_{\gamma}$

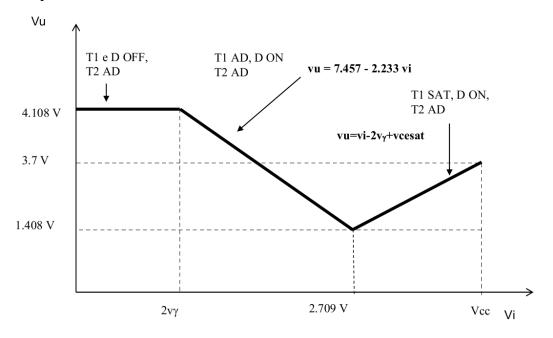
Regione 2: T1 ON in AD, D ON, T2 AD.

$ir2 = (vcc - vu - v_{\gamma})/r2$	Risolvendo si trova che:
ie2=ir3 = vu/r3	vu = 7.457 - 2.233 vi
$ir1 = (vi - v_{\gamma} - v_{\gamma})/r1$	Si rimane in questa regione fintantoché T1 va
Ma	sat.
$ir1*\beta f/(\beta f + 1) + vu/r3/(\beta f + 1) = ir2$	
T1 va sat per	vu = 7.457 - 2.233 vi
$vu+v_{\gamma}-(vi-v_{\gamma})=vcesat$	Mettendo a sistema le equazioni si ricava che:
Ma nel punto di passaggio tra reg.2 e reg.3 vale	vi=2.709 Ve vu= 1.408V
anche che	
Regione 2: per $2v_{\gamma} < vi < 2.709 \text{ V}$	

Regione 3: T1 SAT, D ON e T2 AD.

T1 va sat per vu+ v_{γ} -(vi- v_{γ}) = vcesat	Ovvero vu=vi-2 v _γ +vcesat
Regione 3: per 2.709 V < vi < Vcc	

Di seguito si riporta la caratteristica statica di trasferimento.



2.7.2015 - Esercizio 2

Conviene dapprima analizzare le regioni di funzionamento dei transistori. Si ha:

$$\begin{array}{l} V_{GS1} = \ V_i \\ V_{DS1} = \ V_u \\ \end{array} \} \rightarrow \begin{cases} M_1 \text{off:} \ \ V_i < \ V_{T1} \\ M_1 \text{sat:} \ \ V_i < \ V_u + V_{T1} \rightarrow \ V_u > \ V_i - \ V_{T1} \\ M_1 \text{lin:} \ \ V_u < \ V_i - \ V_{T1} \end{cases}$$

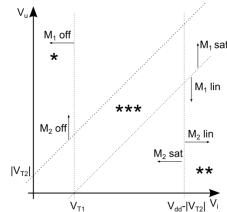
$$\begin{aligned} V_{GS2} &= V_i - V_u \\ V_{DS2} &= V_{dd} - V_u \end{aligned} \right\} \rightarrow \begin{cases} M_2 \text{ off: } V_i - V_u < V_{T2} < 0 \ \rightarrow \ V_u > V_i + \mid V_{T2} \mid \\ M_2 \text{sat: } V_i - V_u < V_{dd} - V_u + V_{T2} \rightarrow V_i < V_{dd} - \mid V_{T2} \mid \\ M_2 \text{lin: } V_i > V_{dd} - \mid V_{T2} \mid \end{cases}$$

La situazione è riassunta nella figura a fianco. Ipotizzando $V_L < V_{T1}$ (°), si ha, nella condizione di ingresso basso:

$$\begin{array}{c} V_i = V_L < V_{T1} \ \rightarrow M_1 \mathrm{off} \ \rightarrow I_{D1} = 0 \\ I_{D1} = I_{D2} + I_R \end{array} \right\} \rightarrow I_{D2} + I_R = 0 \\ \mathrm{che\ implica\ necessariamente} \ M_2 \ \mathrm{off.\ Infatti,\ ipotizzando\ per\ assurdo:}$$

$$M_2 \text{ on } \rightarrow \begin{cases} I_{D2} > 0 \xrightarrow{I_{D2} + I_R = 0} I_R < 0 \\ V_{DS2} > 0 \xrightarrow{I_R = V_{DS2} / R} I_R > 0 \end{cases}$$

si giunge a una condizione contraddittoria. Quindi:



$$M_2 \text{ on } \to I_{D2} = 0 \xrightarrow{I_{D2} + I_R = 0} I_R = 0 \xrightarrow{I_R = V_{DS2} / R} V_{DS2} = 0 \xrightarrow{V_{DS2} = V_{dd} - V_u} V_u = V_H = V_{dd}$$

 $\Delta V = V_H - V_L \rightarrow V_L = \Delta V - V_H = 0.3 V$

Poichè $V_L < V_{T1}$, l'ipotesi (°) è soddisfatta e il punto di coordinate (V_L, V_H) cade nella regione * in figura. È immediato verificare che il punto di coordinate (V_H, V_L) deve invece cadere nella regione ** in figura e soddisfa le condizioni di linearità di M_1 e M_2 espresse in precedenza:

$$V_u = V_L = 0.3V < V_i - V_{T1} = V_H - V_{T1} = 2.9V$$

 $V_i = V_L = 3V > V_{dd} - |V_{T2}| = 2.8V$

In queste condizioni:

$$I_{D1} = \beta_1 \left((V_H - V_{T1}) V_L - \frac{V_L^2}{2} \right) = 2.0625 \, mA$$

$$I_{D2} = \beta_2 \left((V_H - V_L - V_{T2}) (V_{dd} - V_L) - \frac{(V_{dd} - V_L)^2}{2} \right) = 1.53 \, mA$$

$$I_R = \frac{V_{dd} - V_L}{R}$$

$$I_{D1} = I_{D2} + I_R$$

La tensione di soglia logica del circuito è il valore per il quale $V_i = V_u = V_{TL}$. Il punto di coordinate (V_{TL}, V_{TL}) si trova quindi sulla diagonale del primo quadrante del piano cartesiano (V_i, V_u) . Ipotizziamo che tale punto cada nella regione *** in figura, si ha:

$$M_{1} \text{ sat } \rightarrow I_{D1} = \frac{\beta_{1}}{2} (V_{TL} - V_{T1})^{2}$$

$$M_{2} \text{ sat } \rightarrow I_{D2} = \frac{\beta_{2}}{2} (V_{TL} - V_{TL} - V_{T2})^{2}$$

$$I_{R} = \frac{V_{dd} - V_{TL}}{R}$$

$$I_{D1} = I_{D2} + I_{R}$$

$$I_{D2} + I_{D3}$$

La soluzione $V_{TL}=-0.32~V$ è inaccettabile ($V_{GS1}=~V_i=~V_{TL}<~V_{T1}$), mentre la soluzione $V_{TL}=~0.978~V$ soddisfa le ipotesi di saturazione di entrambi i transistori

$$\begin{aligned} V_u &= V_{TL} = 0.978V > V_i - V_{T1} = V_{TL} - V_{T1} = 0.578V \\ V_i &= V_{TL} = 0.978V < V_{dd} - |V_{T2}| = 2.8V \end{aligned}$$

e: