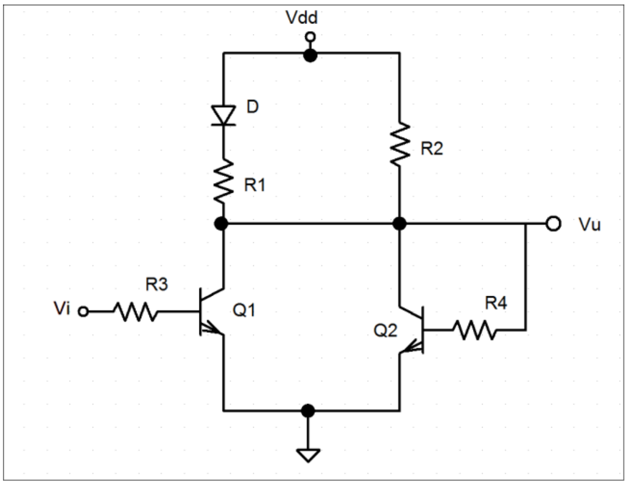
<u>PROVA SCRITTA DI ELETTRONICA 1</u>
8 SETTEMBRE 2016

1) Nel circuito in figura, i transistori e il diodo possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{dd}$, e si calcoli il margine d'immunità ai disturbi N_M della rete.

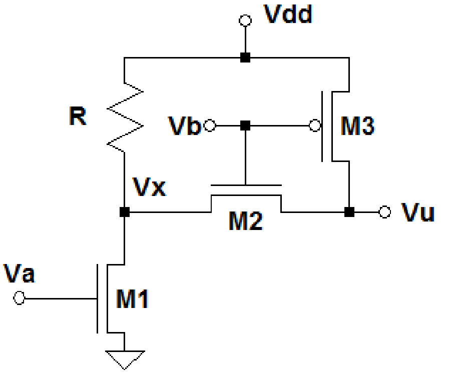
UN RINGRAZIAMENTO SPECIALE AL PROFESSOR PAGLIARI CHE HA DATO PIU ESAMI LUI DEL MAGNIFICO RETTORE

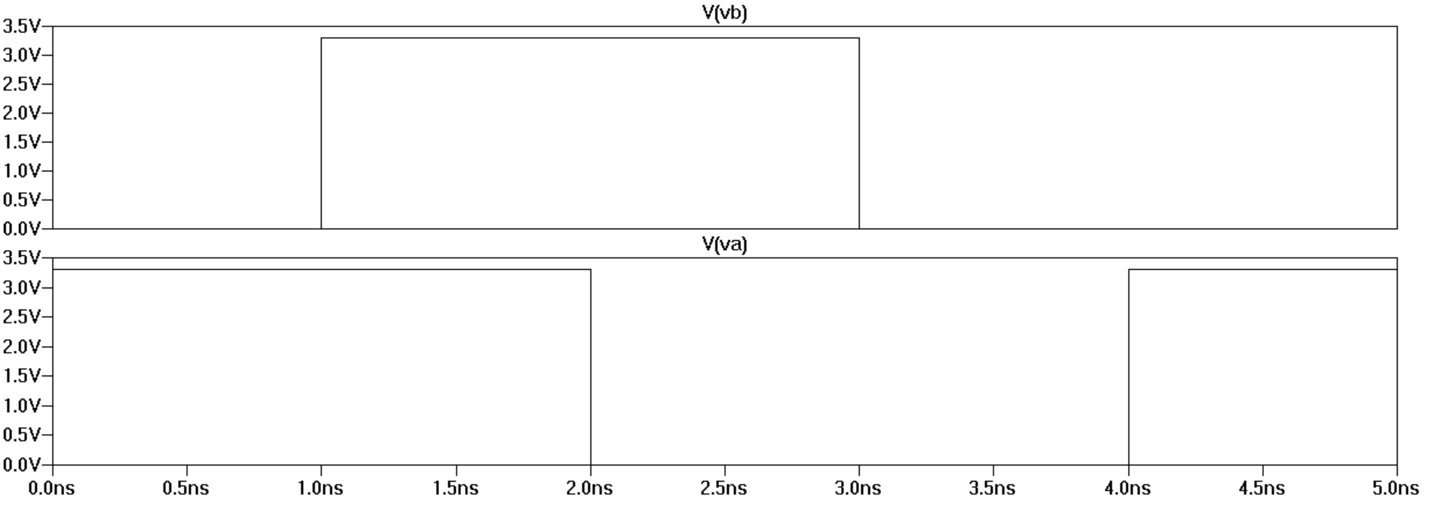
il magnifico
rettore Loris Borghi



V_{dd} = 3.5 V, β_F=100, R_1 = 100 Ω, R_2 = 750 Ω, R_3 = 4 kΩ, R_4 = 25 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=-V_{Tp}=V_T$ e dai coefficienti $\beta_n = \beta_p = \beta$.
I segnali di ingresso V_a e V_b abbiano l'andamento periodico mostrato in figura. La resistenza R abbia un valore tale che la potenza statica media dissipata dal circuito valga 3 mW.
Si determini il valore di R e l'andamento del segnale di uscita V_u.





V_{dd} = 3.3 V, V_T = 0.35 V, β=3 mA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

8.9.2016 – Esercizio 1

OSS. PRELIMINARI: Q2 quando ON è in attiva diretta.

Regione 1: vi<v_γ=0.75V, Q1 off, Q2 AD e D on (entrambe da verificare).

ie2=(vu- v_γ)/r4*(βf+1) ir2=(vdd-vu)/r2 ir1=(vdd- v_γ -vu)/r1	Ma ic2=ir1+ir2 Risolvendo si ricava: vu= 2.29 V. La soluzione verifica entrambe le Hp fatte su Q2 e D.
Regione 1: per 0 < vi <v_γ	

Regione 2: vi > v_γ, Q1 AD, Q2 AD e D on.

ic1=βf *(vi- v_γ)/r3 ie2=(vu- v_γ)/r4* (βf+1) ir2=(vdd-vu)/r2 ir1=(vdd- v_γ -vu)/r1 Ma ic1+ie2=ir1+ir2	Risolvendo si ricava: vu=3.509-1.626 vi. La vu sta calando, per cui si rimane in questa regione fintantoché Q2 va off, per vu> v_γ, sse vi< 1.697 V Il punto di passaggio tra la reg.1 e la reg.2 è il primo punto notevole : V_{OHMIN} = 2.29 V e V_{ILMAX} = v_γ
Regione 2: per v_γ< vi < 1.697 V	

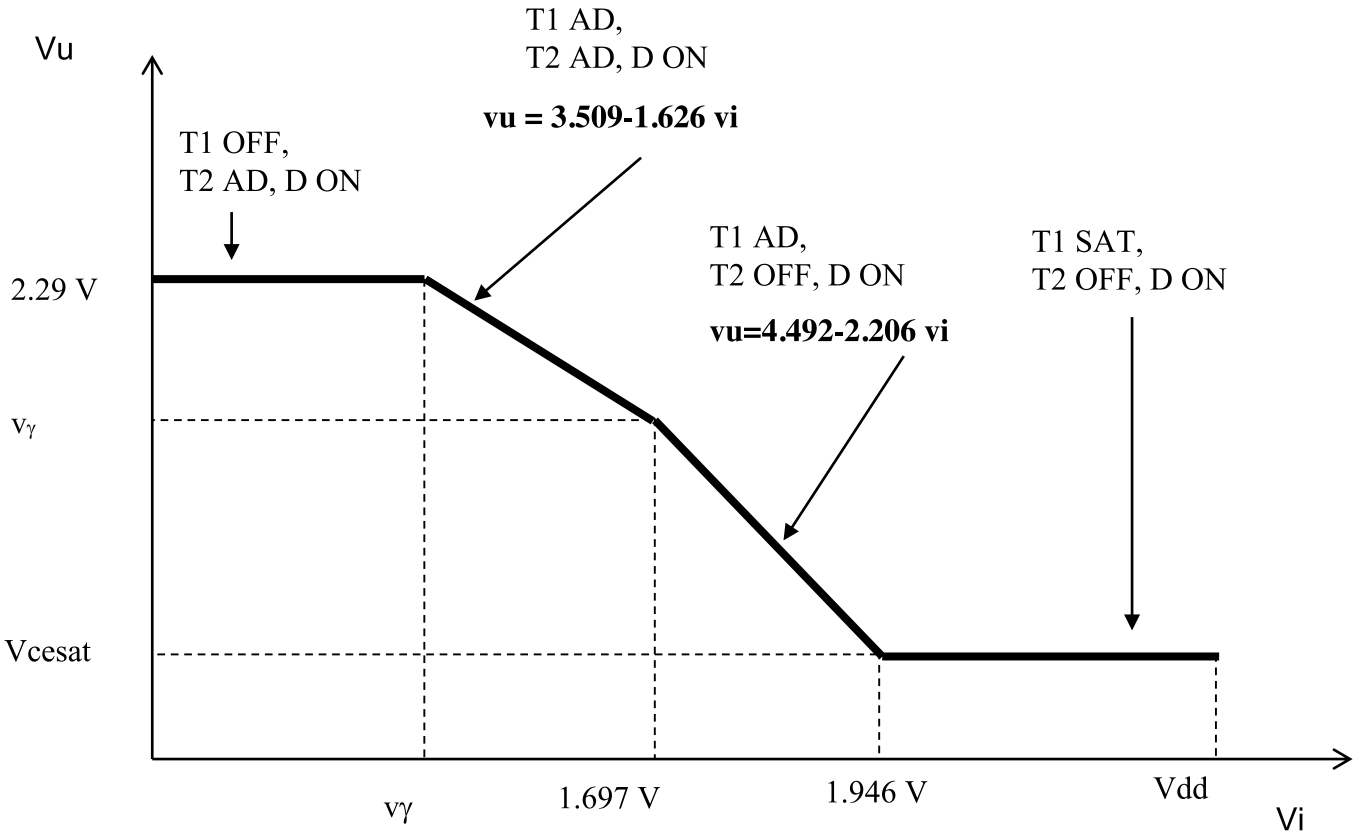
Regione 3: Q1 AD, Q2 off e D on.

ic1=βf *(vi- v_γ)/r3 ir2=(vdd-vu)/r2 ir1=(vdd- v_γ -vu)/r1 Ma ic1=ir1+ir2	Risolvendo si ricava: vu= 4.492-2.206 vi La vu sta calando, per cui si rimane in questa regione fintantoché Q1 va sat, sse Vu>vceat, sse 4.492-2.206 vi > vcesat, sse Vi< 1.946 V.
Regione 3: per 1.697 V< vi < 1.946 V	

Regione4: Q1 sat (sse vu>1.497 V), Q2 off e D on.

Vu=vcesat=0.2 V Il punto di passaggio tra la reg.3 e la reg.4 è il secondo punto notevole : V_{OLMAX} = vcesat e V_{IHMIN} = 1.946	Si ricava allora che: NM_H= V_{OHMIN} - V_{IHMIN} =2.29 V-1.946 V= 0.344 V = NM NM_L= V_{ILMAX} - V_{OLMAX} =0.75 V - 0.2 V= 0.55 V
Regione 4: per 1.946 V< vi < 3.5 V	

Di seguito si riporta la caratteristica statica di trasferimento.



8.9.2016 – Esercizio 2

I segnali di ingresso hanno un andamento periodico, con periodo $T = 4$ ns. Il circuito dissipa potenza statica solamente quando la rete di pull-down costituita dal transistore M_1 è attiva, quindi quando $V_a = V_{dd}$, nell'intervallo $1\,ns < t < 3ns$.
Si ha quindi :

$$\tilde{P} = \frac{1}{T}\int_0^T P_{istantanea}dt = \frac{1}{T}\int_0^T V_{dd}\, I_{dd}dt = \frac{1}{T}\left(\int_0^{1ns} V_{dd}\, I_{dd}dt + \int_{1ns}^{2ns} V_{dd}\, I_{dd}dt + \int_{2ns}^{3ns} V_{dd}\, I_{dd}dt + \int_{3ns}^{4ns} V_{dd}\, I_{dd}dt\right)$$
$$= \frac{1}{T}\left(\int_0^{1ns} V_{dd}\, I_{dd}dt + \int_{1ns}^{2ns} V_{dd}\, I_{dd}dt\right)$$

In condizione statiche ($V_b = 0$ oppure $V_b = V_{dd}$), la corrente sulla serie fra i transistori M_1 e M_3 è necessariamente nulla: essendo M_1 e M_3 transistori complementari pilotati dallo stesso segnale V_b, essi non possono essere simultaneamente accesi. Quindi, se M_1è ON, indipendentemente dal valore di V_b, nell'intervallo $0 < t < 2ns$ si ha necessariamente :

$$I_{D1} = I_R = I_{dd}$$

con:

$$I_R = \frac{V_{dd} - V_x}{R}$$

e, ipotizzando (*) che M_1 operi in regione lineare:

$$I_{D1} = \beta\left((V_{dd} - V_t)V_x - \frac{{V_x}^2}{2}\right)$$

La potenza vale quindi:

$$\tilde{P} = \frac{1}{T}\int_0^{2ns} V_{dd}\, I_{dd}dt = \frac{1}{T}\int_0^{2ns} V_{dd}\,\beta\left((V_{dd} - V_t)V_x - \frac{{V_x}^2}{2}\right)dt = \frac{V_{dd}\,\beta\left((V_{dd} - V_t)V_x - \frac{{V_x}^2}{2}\right)}{4\,ns}\int_0^{2ns} dt = \frac{V_{dd}\,\beta\left((V_{dd} - V_t)V_x - \frac{{V_x}^2}{2}\right)}{2} = 3\,mW$$

Da cui (scartando una soluzione inaccettabile) si ricava:

$$V_x = \begin{cases} \mathbf{0.21\,V} \rightarrow\ V_{GS1} = V_{dd} > 0.21 + V_T \rightarrow\ HP * ok \\ 5.68\,V \rightarrow\ V_{GS1} = V_{dd} < 5.68 + V_T \rightarrow\ HP * ko \end{cases}$$

e:

$$I_{dd} = 1.818\,mA \rightarrow R = \frac{V_{dd} - V_x}{I_{dd}} = \mathbf{1697.8\,\Omega}$$

Quindi:

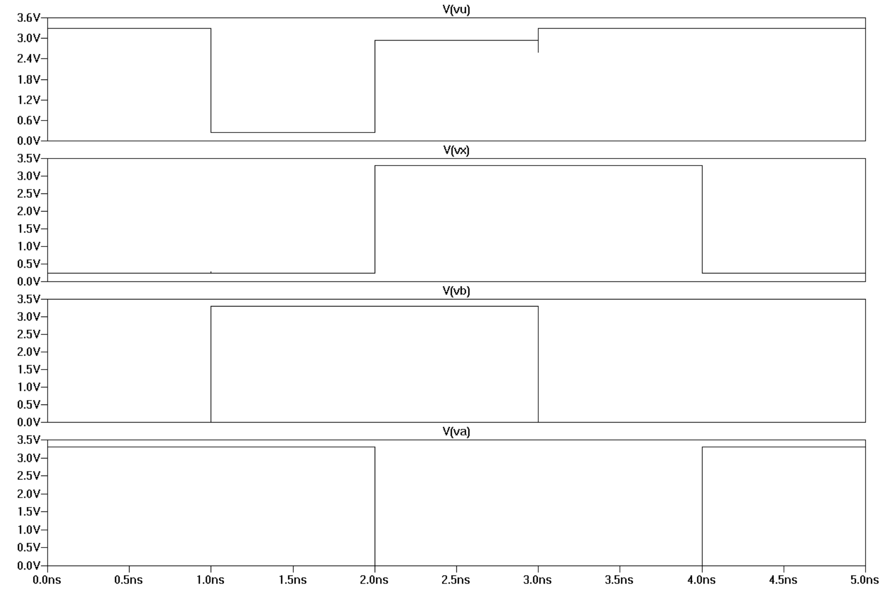
$\mathbf{0 < t < 1ns}$: $V_a = V_{dd}, V_b = 0\ \rightarrow\ M_1ON, M_2OFF, M_3ON : V_x = 0.21\,V, V_u = V_{dd}$

$\mathbf{1ns < t < 2ns}$: $V_a = V_b = V_{dd}\ \rightarrow\ M_1ON, M_2ON, M_3OFF$: $V_x = 0.21\,V$; M_2agisce come un pass-transistor a canale n, con il source coincidente con il nodo a potenziale più basso, quindi con il nodo a potenziale V_x. Al termine del transitorio, $I_{D2} = 0$ e, ipotizzando che M_2operi in regione lineare (**) si ottiene $V_{DS2} = 0\ \rightarrow\ V_u = V_x = 0.21\,V$ (con $V_{GS2} = V_{dd} > 0 + V_T \rightarrow HP ** OK$).

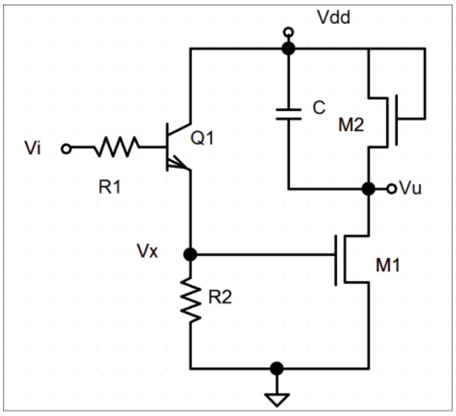
$\mathbf{2ns < t < 3ns}$: $V_a = 0, V_b = V_{dd}\ \rightarrow\ M_1OFF, M_2ON, M_3OFF$: $I_R = 0, V_x = V_{dd}$. Il nodo di uscita si carica attraverso il pass transistor a canale n M_2, raggiungendo quindi il valore $V_x = V_{dd} - V_T = 2.95V$.

$\mathbf{2ns < t < 3ns}$: $V_a = 0, V_b = V_{dd}\ \rightarrow\ M_1OFF, M_2OFF, M_3ON$: $I_R = 0, V_x = V_{dd}$. Il nodo di uscita si carica attraverso il pull-up a canale p M_2, raggiungendo quindi il valore $V_x = V_{dd}$.

L'andamento complessivo dei segnali di ingresso e uscita è mostrato nella figura a fianco.



PROVA SCRITTA DI ELETTRONICA 1
23 GIUGNO 2016



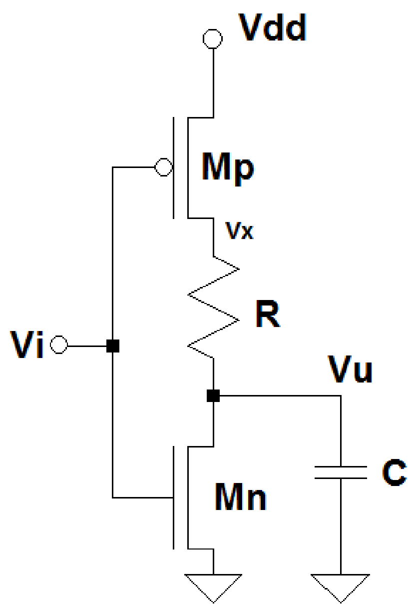
1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{T1} e V_{T2} e dai coefficienti β_1 e β_2, ed il transistore bipolare può essere descritto da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V.
Il segnale d'ingresso abbia il seguente andamento:

t<0: V_i= 0

t>0: V_i= Vdd

Si calcoli il tempo di propagazione $t_{p,HL}$ del circuito (definito come il tempo necessario a V_u per compiere il 50% della propria escursione).

V_{dd} = 3.5 V, β_F=100, V_{T1}= 0.35 V, V_{T2}= 0.6 V, β_1=2 mA/V^2, β_2=1.5 mA/V^2, R_1= 8 kΩ, R_2=1 kΩ, C= 10 nF.



2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia V_{Tn}=|V_{Tp}|=V_T e dai coefficienti β_n e β_p.
Si determino i valori di β_n e β_p in modo che:

- il tempo di propagazione $t_{p,HL}$ relativo alla transizione del segnale di uscita V_u sia pari a 15 ps.
- Il valore della tensione di soglia logica del circuito sia V_{TL}=1.45V

V_{dd} = 3.3 V, V_T = 0.3 V, R = 500 Ω, C= 0.1 pF.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

23.6.2016 – Esercizio 1

OSS. PRELIMINARI:
Il transistore M2 quando è on (vdd-vu>vt2 sse vu<2.9 V) è in saturazione. Q1 quando è on è in AD.

1)Per t<0 vi=0, Q1 off, vx= 0V, M1 off e vu=vdd-vt2=2.9 V.

2) Per t -> ∞, vi=vdd, quindi Q1 on in AD. Calcolo vx.

ib1=(vdd-(vx+vγ))/R1 ie1=vx/R2	Ma ie1= (βf+1)*ib1 da cui si ricava che vx =2.548 V

Suppongo M1 lin, sse vx>vu+vt1, ma vx=2.548 V -> sse vu<2.198 V (da verificare). M2 on e sat.

idn1lin=β_1*((vx-v_{t1})*vu-1/2*vu^2) idn2sat=β_2/2*(vdd-vu-vt2)^2 Ma idn1lin=idn2sat	Da cui si ricava che vu =0.874 V e vu=4.124 V. La prima soluzione è quella accettabile e verifica la Hp su M1 lin, vu(=0.874 V)<2.198 V. Quindi vu(t -> ∞)=0.874V

3) Per t=0+ vi=vdd, Q1 si accende e va in AD, vx si porta a 2.548 V, M1 va on.
Ma vu(0+)=vu(0-)=vdd-vt2=2.9 V e vu(∞)=0.874 V.
Il $tp_{,LH}$ è il tempo che il segnale d'uscita impiega per compiere il 50% della sua escursione, quindi per passare da vu_{iniz}=2.9 V a vu_{final}=(vu(0+)+ vu(∞))/2=1.887
Analizzo le regioni di funzionamento di M1 durante il transitorio analizzato:
A) M1 sat per vx<vu+vt1, sse vu > 2.198 V
B) M1 lin per vx>vu+vt1, sse vu < 2.198 V

A) vx=2.548 V durante tutto il transitorio idn1sat=β_1/2*(vx –vt1)^2 idn2sat=β_2/2*(vdd-vu-vt2)^2 idn2sat - idn1sat =Cdvu/dt $t_{pHL,1} = \int_{2.9}^{2.198} \frac{C}{idn2sat - idn1sat} dvu = 1.492\mu s$	B) vx=2.548 V durante tutto il transitorio idn1lin=β_1*((vx-vt1)*vu-1/2*vu^2) idn2sat=β_2/2*(vdd-vu-vt2)^2 idn2sat - idn1lin =Cdvu/dt $t_{pHL,2} = \int_{2.198}^{1.887} \frac{C}{idn2sat - idn1lin} dvu = 0.728\mu s$ Da cui si ricava $tp_{,HL}$=2.22 µs

23.6.2016 – Esercizio 2

Il circuito è costituito da un invertitore cMOS nel quale la rete di pull-up è costituita dal transistore M_p in serie al resistore R. Si ha:

$$V_{GSn} = V_i < V_T \rightarrow M_n\text{off} \rightarrow I_{Dn} = I_{Dn} = 0 \rightarrow V_u = V_x = V_{dd}$$
$$V_{SGp} = V_{dd} - V_i < V_T \rightarrow V_{dd} - V_T < V_i \rightarrow M_p\text{off} \rightarrow I_{Dn} = I_{Dn} = 0 \rightarrow V_u = V_x = 0$$

In entrambe queste condizioni, infatti, la caduta sulla resistenza R è nulla, e le relazioni sono quindi identiche a quelle ricavate per l'invertitore cMOS.

Il tempo di propagazione $t_{p,HL}$ è quindi il tempo necessario alla scarica del condensatore C dal valore alto V_{dd} al valore medio dell'escursione $V_{dd}/2$, attraverso la corrente di pull-down drenata dal transistore M_n. Durante tale transitorio si ha:

$$M_p\text{off} \rightarrow I_{Dn} = I_R = 0$$

Il resistore non ha quindi alcuna rilevanza in questo caso ed è possibile utilizzare direttamente la relazione nota per il tempo di propagazione di un invertitore CMOS. Si ha quindi:

$$t_{p,HL} = \frac{C}{\beta_n(V_{dd} - V_T)}\left[\frac{2V_T}{(V_{dd} - V_T)} + \ln\left(3 - \frac{4\,V_T}{V_{dd}}\right)\right] = 15ps \rightarrow \boldsymbol{\beta_n = 2.6\ \frac{mA}{V^2}}$$

Imponendo il valore della tensione di soglia logica, si ha:

$$V_i = V_u = V_{TL} \rightarrow V_{GSn} = V_{DSn} \rightarrow V_{GSn} < V_{DSn} + V_T \rightarrow M_n\text{sat} \rightarrow I_{Dn} = \frac{\beta_n}{2}(V_{TL} - V_T)^2 = 1.72\ mA$$

Si ha, inoltre:

$$V_x = V_u + RI_R \xrightarrow{I_{Dn} = I_R} V_x = 2.31\ V$$

E quindi:

$$V_{SGp} = V_{dd} - V_{TL} = 1.85V > V_{SDp} + V_T = V_{dd} - V_x + V_T = 0.69\ V \rightarrow M_p\text{lin}$$

Da cui:

$$I_{Dp} = \beta_p\left((V_{dd} - V_{TL} - V_T)(V_{dd} - V_x) - \frac{(V_{dd} - V_x)^2}{2}\right) \xrightarrow{I_{Dn} = I_{Dp}} \boldsymbol{\beta_p = 1.64\ \frac{mA}{V^2}}$$

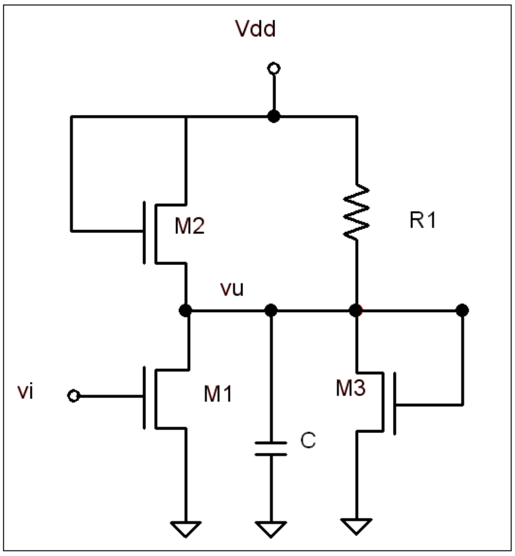
PROVA SCRITTA DI ELETTRONICA 1
28 GENNAIO 2016

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{T1} = V_{T2}$ e V_{T3} dai coefficienti β_1, β_2 e β_3. Il segnale d'ingresso abbia il seguente andamento:

t<0: V_i= Vdd

t>0: V_i= 0

Si calcoli il tempo di propagazione $t_{p,LH}$ relativo al segnale di uscita V_u.

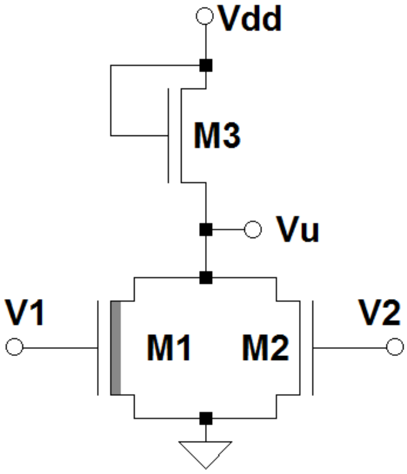


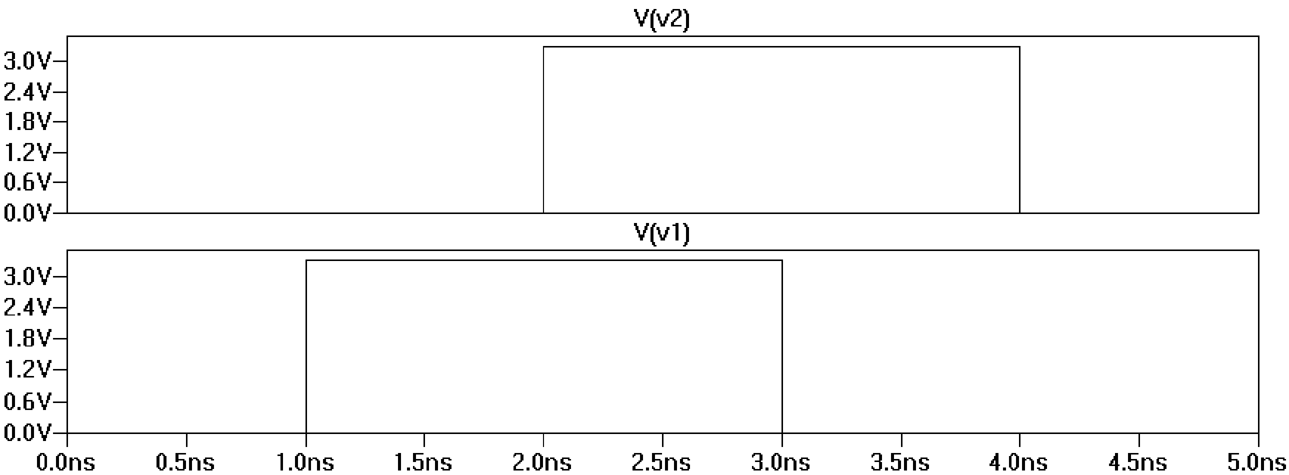
V_{dd} = 3.5 V, V_{T1}= V_{T2} = 0.5 V, V_{T3} = 0.6 V, β_1 = 6 mA/V^2, β_2 = 1 mA/V^2, β_3 = 0.5 mA/V^2, R_1= 5 kΩ, C=100 pF.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{T1} (<0) e V_{T2}=V_{T3} e dai coefficienti β_1, β_2 e β_3. I segnali di ingresso V_1 e V_2 abbiano l'andamento periodico mostrato in figura, con periodo pari a 4 ns. Si determini:

- l'andamento del segnale di uscita V_u;
- la potenza statica media dissipata $\widetilde{P}_s$

V_{dd} = 3.3 V, V_{T1} = -0.2 V, V_{T2} = V_{T3} = 0.3, β_1=1 mA/V^2, β_2=2 mA/V^2, β_3=0.5 mA/V^2.





Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 28-01-2016 - Esercizio #1

Osservazioni preliminari: M2 quando ON è in SAT.

1)t<0, vi=Vdd, M1 ON e LIN (sse vu<vdd-vt1, da verificare); M2 on e sat (sse vu<vdd-vt2); M3 off

(sse vu<vt3, da verificare)

idn1lin=β1*((vdd-vt1)*vu-0.5*vu^2) idn2sat= β2/2*(vdd-vu-vt2)^2 ir1=(vdd-vu)/r1 Ma idn2sat+ir1=idn1lin	Risolvendo si ricavano i seguenti valori: vu= 0.256 V, vu = 5.801 V. La soluzione accettabile è **vu=0.256V**, che soddisfa la Hp di linearità di M1 (vu<vdd-vt1=3 V), di accensione di M2 (vu< 3V) e di spegnimento di M3 (vu<vt3(= 0.6 V).

2) Per t -> ∞, vi=0, quindi suppongo M1 OFF. Suppongo M2 (sse vu<vdd-vt2) e sat, M3 on e sat (sse vu>vt3), da verificare.

idn2sat=β2/2*(vdd-vu-vt2)^2 idn3sat=β3/2*(vu-vt3)^2 ir1=(vdd-vu)/r1 Ma idn2sat+ir1=idn3sat	Risolvendo si ricavano i seguenti valori: vu=2.167V, vu=9.433 V. La soluzione accettabile è **vu=2.167V**, che soddisfa la Hp di accensione di M2 (vu<3 V)) e M3 (vu>0.6 V).

Il ritardo di propagazione è il tempo necessario al segnale d'uscita vu per compiere l'escursione 0.256 V --> (0.256+2.167)/2 V=1.211 V, con vi=0 V.

3) t=0+, vi=0, la tensione ai capi del condensatore non cambia rispetto all'istante t=0-, ovvero vu(0-) = vu(0+)=0.256 V, M1 è off, M2 sat, e M3 off fintantoché vu non raggiunte vt3, dopodiché anche M3 sia accende

I) 0.256 V <vu < 0.6 V (=vt3): M1 off, M2 sat, M3 off; II) 0.6 V < vu < 1.211 V: M1 off, M2 sat, M3 sat.	
I) idn2sat=β2/2*(vdd-vu-vt2)^2 ir1=(vdd-vu)/r1 ic=C*dvu/dt Ma ic=ir1+idn2sat tp,$_{LH1}$=$\int_{0.256}^{0.6} \frac{C}{\mathrm{ir1}+\mathrm{idn2sat}}\, d\mathrm{vu} =$8.8 ns	II) idn2sat=β2/2*(vdd-vu-vt2)^2 idn3sat=β3/2*(vu-vt3)^2 ir1=(vdd-vu)/r1 ic=C*dvu/dt Ma ic=ir1+idn2sat-idn3sat tp,$_{LH2}$=$\int_{0.6}^{1.211} \frac{C}{\mathrm{ir1}+\mathrm{idn2sat}-\mathrm{idn3sat}}\, d\mathrm{vu} =$23.3 ns **$t_{p,LH}$= $t_{p,LH1}$+ $t_{p,LH2}$= 32.1 ns.**

28/1/2016 – Esercizio 2

Il transistore M_1(depletion) è acceso per ogni valore di interesse. Infatti: M_1off → $V_{GS1} = V_1 < V_{T1} < 0$
Il transistore M_3, se acceso, è necessariamente in saturazione ($V_{GS3} = V_{DS3} < V_{DS3} + V_{T3}$).

1) $0 < t < 1ns$:
$V_1 = V_2 = 0 \rightarrow M_1\text{on (HP: sat} *), M_2\text{off}:$

$$\left.\begin{aligned} I_{D1} &= \frac{\beta_1}{2}(0 - V_{T1})^2 \\ I_{D2} &= 0 \\ I_{D3} &= \frac{\beta_3}{2}(V_{DD} - V_u - V_{T3})^2 \end{aligned}\right\} \xrightarrow{I_{D3}=I_{D1}+I_{D2}} \boldsymbol{V_u = 2.717V}, \quad \boldsymbol{I_{D1} = I_{D3} = I_{DD,1} = 20.0\mu A}$$

La soluzione $V_u = 3.282$ va scartata perchè incompatibile con l'ipotesi M_3on: $V_{GS3} = V_{DD} - V_u = 0.018V < V_{T3}$
Verifica (*): $V_{GS1} = V_1 = 0 < V_{DS1} + V_{T1} = V_u - |V_{T1}| = 2.717 - 0.2 \rightarrow \text{OK}$

2) $1ns < t < 2ns$:
$V_1 = V_{DD}, V_2 = 0 \rightarrow M_1\text{on (HP: lin} **), M_2\text{off}:$

$$\left.\begin{aligned} I_{D1} &= \beta_1\left((V_{DD} - V_{T1})V_u - \frac{{V_u}^2}{2}\right) \\ I_{D2} &= 0 \\ I_{D3} &= \frac{\beta_3}{2}(V_{DD} - V_u - V_{T3})^2 \end{aligned}\right\} \xrightarrow{I_{D3}=I_{D1}+I_{D2}} \boldsymbol{V_u = 0.485V}, \quad \boldsymbol{I_{D1} = I_{D3} = I_{DD,2} = 1.58\ mA}$$

La soluzione $V_u = 6.181\ V$ va scartata perchè incompatibile con l'ipotesi M_3on: $V_{GS3} = V_{DD} - V_u = -2.88V < V_{T3}$
Verifica (**): $V_{GS1} = V_1 = 3.3 > V_{DS1} + V_{T1} = V_u - |V_{T1}| = 0.485 - 0.2 \rightarrow \text{OK}$

3) $2ns < t < 3ns$:
$V_1 = V_2 = V_{DD} \rightarrow M_1\text{on (HP: lin} ***), M_2\text{on (HP: lin} ***):$

$$\left.\begin{aligned} I_{D1} &= \beta_1\left((V_{DD} - V_{T1})V_u - \frac{{V_u}^2}{2}\right) \\ I_{D2} &= \beta_2\left((V_{DD} - V_{T2})V_u - \frac{{V_u}^2}{2}\right) \\ I_{D3} &= \frac{\beta_3}{2}(V_{DD} - V_u - V_{T3})^2 \end{aligned}\right\} \xrightarrow{I_{D3}=I_{D1}+I_{D2}} \boldsymbol{V_u = 0.212V}, \quad \boldsymbol{I_{D1} = I_{D3} = I_{DD,3} = 1.94\ mA}$$

La soluzione $V_u = 6.074\ V$ va scartata perchè incompatibile con l'ipotesi M_3on: $V_{GS3} = V_{DD} - V_u = -2.77V < V_{T3}$
Verifica (***):

$$V_{GS1} = V_1 = 3.3 > V_{DS1} + V_{T1} = V_u - |V_{T1}| = 0.212 - 0.2 \rightarrow \text{OK}$$
$$V_{GS2} = V_2 = 3.3 > V_{DS2} + V_{T2} = V_u + V_{T2} = 0.212 + 0.3 \rightarrow \text{OK}$$

4) $3ns < t < 4ns$:
$V_1 = 0, V_2 = V_{DD} \rightarrow M_1\text{on (HP: sat} ****), M_2\text{on (HP: lin} ****):$

$$\left.\begin{aligned} I_{D1} &= \frac{\beta_1}{2}(0 - V_{T1})^2 \\ I_{D2} &= \beta_2\left((V_{DD} - V_{T2})V_u - \frac{{V_u}^2}{2}\right) \\ I_{D3} &= \frac{\beta_3}{2}(V_{DD} - V_u - V_{T3})^2 \end{aligned}\right\} \xrightarrow{I_{D3}=I_{D1}+I_{D2}} \boldsymbol{V_u = 0.313V}, \quad \boldsymbol{I_{D1} = I_{D3} = I_{DD,4} = 1.80\ mA}$$

La soluzione $V_u = 5.686\ V$ va scartata perchè incompatibile con l'ipotesi M_3on: $V_{GS3} = V_{DD} - V_u = -2.38V < V_{T3}$
Verifica (****):

$$V_{GS1} = V_1 = 0 < V_{DS1} + V_{T1} = V_u - |V_{T1}| = 0.313 - 0.2 \rightarrow \text{OK}$$
$$V_{GS2} = V_2 = 3.3 > V_{DS2} + V_{T2} = V_u + V_{T2} = 0.313 + 0.3 \rightarrow \text{OK}$$

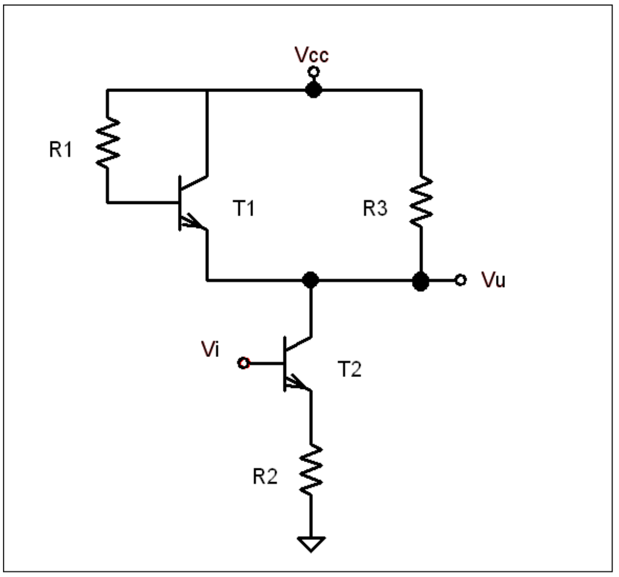
La potenza media complessivamente dissipata vale quindi:

$$\widetilde{P_s} = \frac{1}{T}\int_0^{4ns} V_{DD} * I_{DD}\ dt = \frac{V_{DD}}{T}\left(\int_0^{1ns} I_{DD,1}\,dt + \int_{1ns}^{2ns} I_{DD,1}\,dt + \int_{2ns}^{3ns} I_{DD,1}\,dt + \int_{3ns}^{4ns} I_{DD,1}\,dt\right) = \boldsymbol{4.41\ mW}$$

PROVA SCRITTA DI ELETTRONICA 1

14 GENNAIO 2016

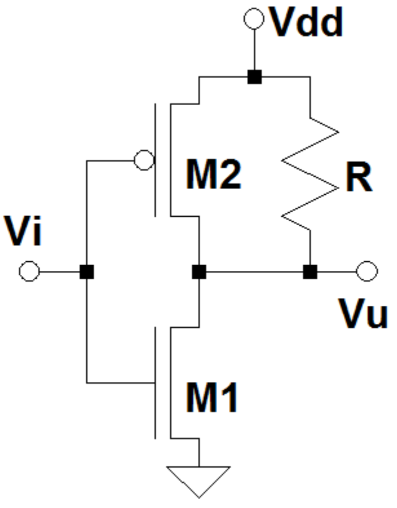
1) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.



V_{cc} = 5 V, β_F=100, R_1 = 25 kΩ, R_2 = 100 Ω, R_3 = 1 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_1 e β_2. Si determinino i valori di β_1, β_2 e R in maniera che:

- l'escursione ΔV_u del segnale di uscita sia pari a 3.15V;
- la potenza statica media dissipata $\widetilde{P_s}$ (in condizioni di ingresso periodico, con *duty cycle* pari a 0.5) sia pari a 3 mW;
- la tensione di soglia logica V_{TL} sia pari a 1.6 V.



V_{dd} = 3.3 V, V_T = 0.25 V.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 14-01-2016 - Esercizio #1

Osservazioni preliminari:

1) T1 quando ON è in AD (collettore connesso a Vcc).

Regione 1: vi< v_γ**:** T1 OFF, T2 OFF, vu=vcc.

Regione 2: vi> v_γ**:** T1 OFF, T2 in AD.

ir3=(vcc-vu)/r3 ie2=(vi-v_γ)/r2 Ma ir3=βf/(βf+1)*ie2	Risolvendo si trova che: Vu=12.426 -9.901 vi Si rimane in questa regione fintantoché oT1 va on, o T2 va sat
T1 va ON per vcc-vu=v_γ ma vu=12.426 -9.901 vi quindi per vi>0.826 V	T2 va SAT per vu-(vi- v_γ)=vcesat, ma vu=12.426 -9.901 vi quindi per vi> 1.1903V
Regione 2: per 0 < vi <0.826 V	

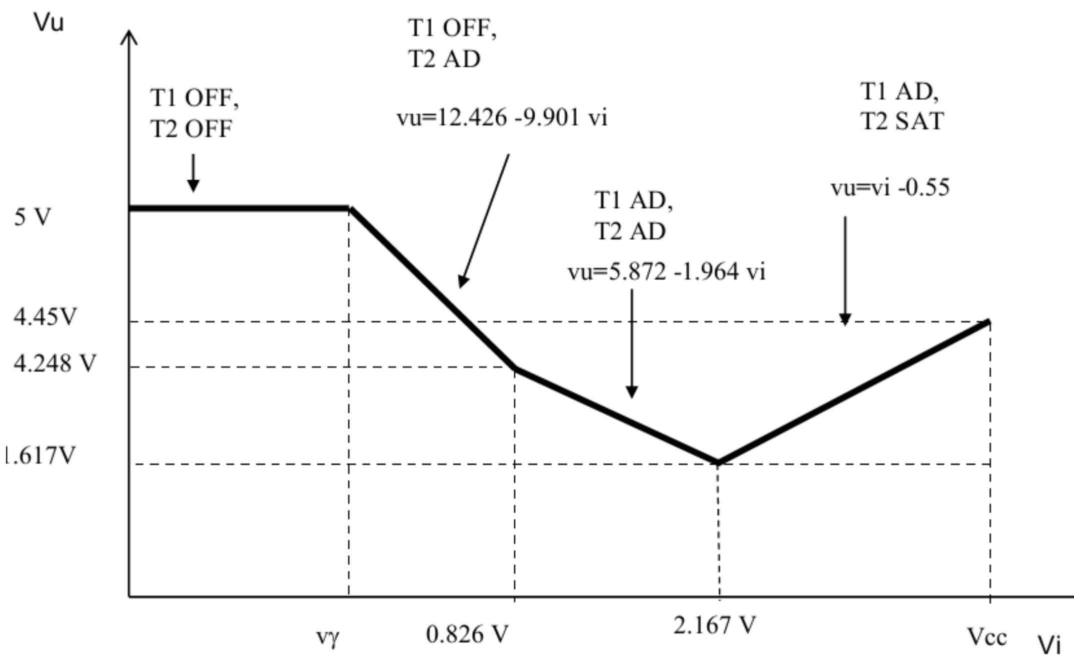
Regione 3: T1 in AD, T2 AD.

ir3=(vcc-vu)/r3 ie2=(vi- v_γ)/r2 ie1=(vcc-(vu+ v_γ))/r1*(bf+1) Ma ie1+ir3=βf/(βf+1)*ie2 Risolvendo si trova che: vu=5.872 -1.964 vi	vu sta calando quindi T2 potrebbe entrare in regione di saturazione. T2 va sat sse: vu-(vi-v_γ)=vcesat ma vu=5.872 -1.964 vi sse vi>2.167 V
Regione 3: per 0.826 V < vi < 2.167 V	

Regione 4: T1 in AD, T2 SAT.

vu-(vi-v_γ)=vcesat sse vu=vi-0.55
Regione 4: per 2.167 V < vi < vcc

Di seguito si riporta la caratteristica statica di trasferimento.



14/1/2016 – Esercizio 2

Il circuito è un invertitore costituito dal transistore di pull-down M_1e dal transistore di pull-up M_2 in parallelo al resistore R. Ipotizziamo (*) che il valore di ingresso basso V_L (ancora incognito) sia minore di V_T. Per $V_i = V_L < V_T$ si ha quindi:

$$M_1 \text{off} \rightarrow \ I_{D1} = 0 \ \xrightarrow{I_{D1}=I_{D2}+I_R} I_{D2} + I_R = 0 \overset{\blacksquare}{\rightarrow} I_{D2} = I_R = 0$$

La condizione (■) discende dalla impossibilità che I_{D2} e I_R possano essere non nulle e quindi uguali ed opposte; si avrebbe, infatti:

$$I_{D2} > 0 \ \rightarrow \begin{cases} \xrightarrow{I_{D2}+I_R=0} I_R < 0 \xrightarrow{I_R=\frac{V_{SD2}}{R}} V_{SD2} < 0 \\ \xrightarrow{HP: M_2 \text{ on,LIN } (**)} V_{SD2} > 0 \end{cases}$$

che conduce a una condizione assurda.
Si ha quindi:

$$V_i = V_L \rightarrow I_R = 0 \ \rightarrow \ \frac{V_{DD} - V_u}{R} = 0 \rightarrow \ \ V_u = V_{DD} = V_H$$

che soddisfa le ipotesi formulate. Si ha infatti:

$$\Delta V_u = V_H - V_L \rightarrow V_L = \ V_H - \Delta V_u = V_{DD} - 3.15V = \mathbf{0.15\ V}$$

e quindi

$$V_L < \ V_T \ (*)$$
$$V_{SG2} = \ V_{DD} - V_L = 3.15V > \ V_{SD2} + V_T = V_{DD} - V_{DD} + V_T = 0.25V \ \ \rightarrow M_2 \text{ on, LIN } (**)$$

In questa condizione, la potenza statica dissipata è nulla.
Se invece l'ingresso è al valore alto:

$$V_i = V_H = V_{DD} \rightarrow \left\{ \begin{matrix} \left. \begin{matrix} V_{GS1} = \ V_{DD} > V_T \\ V_u = V_{DS1} = V_L \end{matrix} \right\} \rightarrow \ M_1 \text{ on, LIN} \\ V_{SG2} = \ V_{DD} - V_{DD} = 0 < V_T \ \rightarrow \ M_2 \text{ off} \end{matrix} \right\} \xrightarrow{I_{D1}=I_{D2}+I_R} I_{D1} = \ I_R > 0$$

che implica la dissipazione di potenza statica. Si ha quindi:

$$\widetilde{P_s} = \frac{1}{T}\int_0^T P_s \ dt = \frac{1}{T}\left(\int_0^{T/2} P_s(V_i = V_H)\, dt + \int_{T/2}^{T} P_s(V_i = V_L)\, dt \right) = \frac{P_s(V_i = V_H)}{2} = \frac{V_{DD}\, I_R}{2}$$

da cui:

$$I_R = \frac{2\widetilde{P_s}}{V_{DD}} = 1.81\ mA \xrightarrow{I_R=\frac{V_{DD}-V_L}{R}} \boldsymbol{R = 1732.5\ \Omega}$$

e

$$I_{D1} = \beta_1 \left((V_{DD} - V_T)V_L - \frac{{V_L}^2}{2} \right) = 1.81\ mA \rightarrow \boldsymbol{\beta_1 = 4.074\ \frac{mA}{V^2}}$$

Infine, la condizione di soglia logica ($V_i = V_u = V_{TL}$) implica necessariamente il funzionamento di entrambi i transistori in regime di saturazione. Infatti:

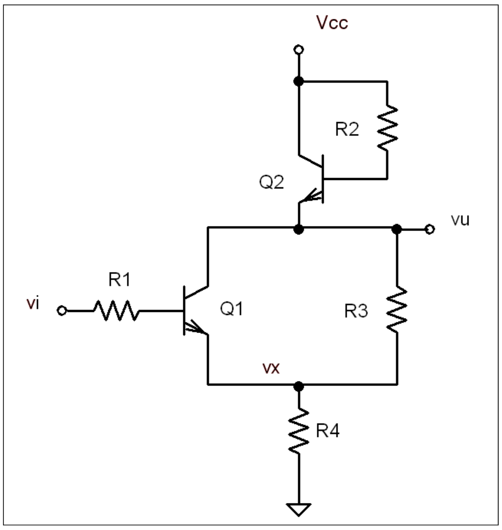
$$V_{GS1} = V_i = V_u = V_{DS1} \rightarrow \ V_{GS1} < V_{DS1} + \ V_T$$
$$V_{SG2} = V_{DD} - V_i = V_{DD} - V_u = V_{SD2} \rightarrow \ V_{SG2} < V_{SD2} + \ V_T$$

Uguagliando le correnti si trova quindi :

$$\left. \begin{matrix} I_{D1,SAT} = \ \beta_1 \dfrac{(V_{TL} - V_T\,)^2}{2} \\ I_{D2,SAT} = \ \beta_2 \dfrac{(V_{dd} - V_{TL} - V_T\,)^2}{2} \\ I_R = \dfrac{V_{DD} - V_{TL}}{R} \end{matrix} \right\} \xrightarrow{I_{D1}=I_{D2}+I_R} \boldsymbol{\beta_2 = 2.598 \frac{mA}{V^2}}$$

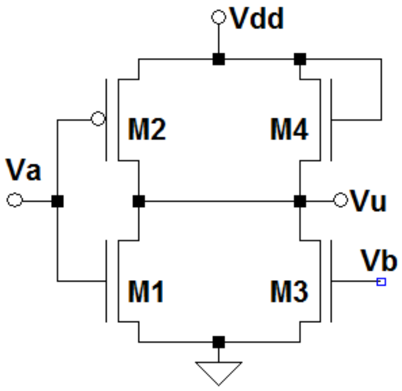
PROVA SCRITTA DI ELETTRONICA 1
24 SETTEMBRE 2015

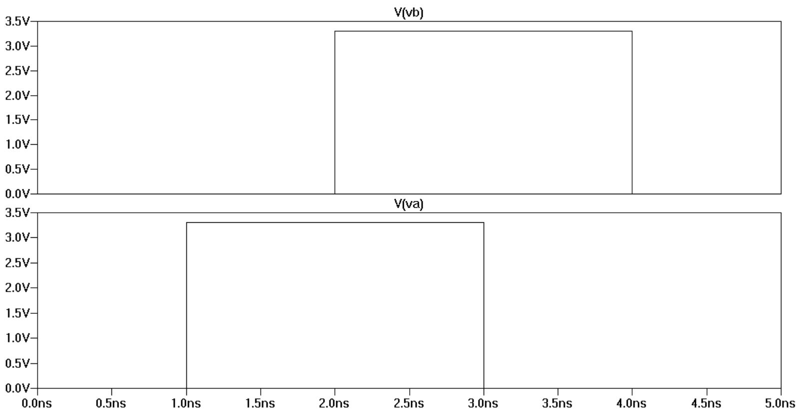
1) Nel circuito in figura, i transistori ed i diodi possono essere descritti da un modello “a soglia”, con V_γ=0.75 V e $V_{CE,sat}$=0.2V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$, specificando, per ogni tratto, la regione di funzionamento dei componenti attivi.



V_{cc} = 5 V, β_F= 100, R_1 = 100 Ω, R_2 = 15 kΩ, R_3 = 5 kΩ, R_4 = 100 Ω.

2) Nel circuito in figura, i transistore MOS sono caratterizzati dai coefficienti β_i e dalla tensione di soglia $V_{Tp}<0$, con $V_{Tn}=|V_{Tp}|=V_T$.
Le tensioni di ingresso V_a e V_b abbiano l’andamento periodico mostrato in figura.





Si determini il valore della potenza media dissipata dal circuito.

V_{dd} = 3.3 V, V_T = 0.35 V, β_1 = 1.3 mA/V^2, β_2 = 0.8 mA/V^2, β_3 = 1 mA/V^2, β_4 = 0.4 mA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere l’esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l’esercizio 2 (tempo disponibile 1h 15m).
Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L’elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

24.9.2015 – Esercizio 1

Osservazioni preliminari: Q2 quando on è in AD.

Regione 1: Q1 Off, Q2 ON in AD.

ib2=(vcc-vu-vγ)/r2 ir3=(vu-vx)/r3 ir4=vx/r4 Ma (β_f +1)*ib2=ir3 e vx=vu*r4/(r3+r4) (partitore resistivo)	Risolvendo si ricava che: vu=4.13 V e vx=0.081 V. Regione 1: per vi<vx+ vγ = 0.831 V
Regione 1: **per 0< vi< 0.831 V**	

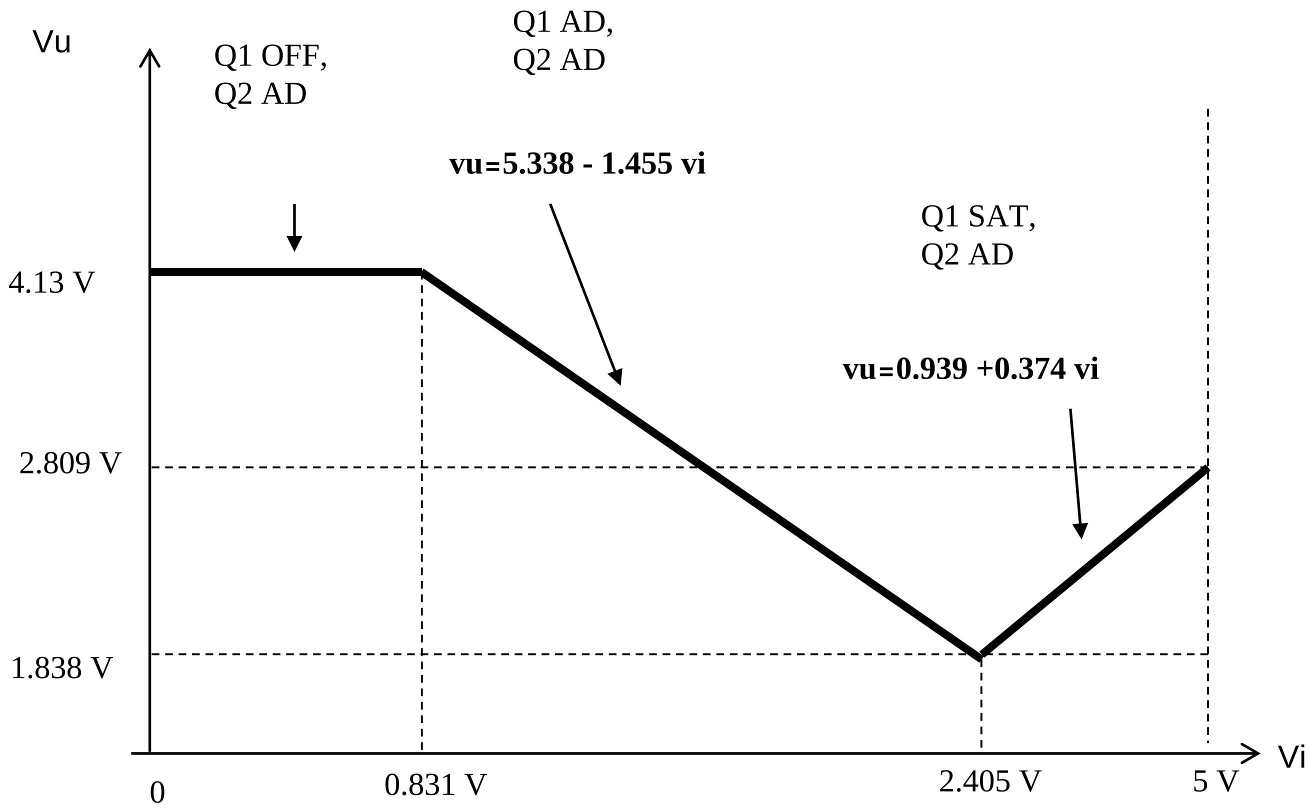
Regione 2: Q1 AD e Q2 AD.

ib2=(vcc-vu-vγ)/r2 ir3=(vu-vx)/r3 ir4=vx/r4 ib1=(vi-vx-vγ)/r1 Ma (β_f +1)*ib2=β_f*ib1+ir3 (β_f +1)*ib1+ir3=ir4 Risolvendo si ricava che: **vu = 5.338 - 1.455 vi,** **vx = -0.741 + 0.989 vi**	Poiché vu sta calando e vx sta salendo, si rimane in questa regione fintantoché Q1 va SAT. 1) Q1 va SAT sse vu-vx = vcesat sse vi = 2.405V
Regione 2: **per 0.831< vi < 2.405 V**	

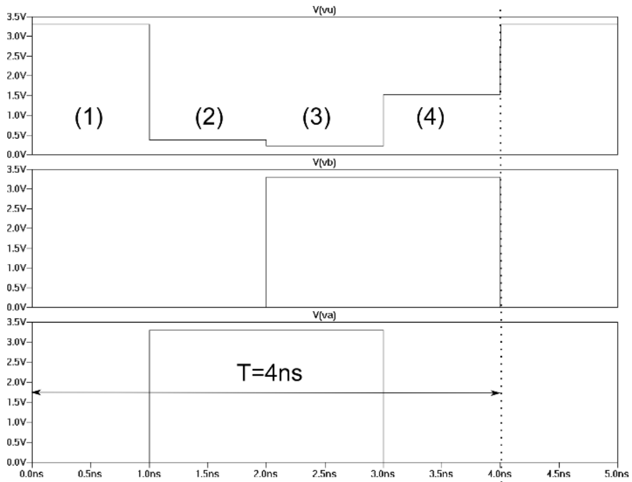
Regione 3: Q1 sat e Q2 AD.

In questa regione vu-vx=vcesat quindi: ib2=(vcc-vu-vγ)/r2 ir3=vcesat/r3 ir4=(vu-vcesat)/r4 ib1=(vi-(vu-vcesat)-vγ)/r1 Ma ir4=(β_f +1)*ib2+ib1	Risolvendo si ricava che: **vu=0.939 +0.374 vi**
Regione 3: **2.405 V< vi< Vcc**	

Di seguito si riporta la caratteristica statica di trasferimento.



24.9.2015 – Esercizio 2



Il circuito è costituito da un invertitore CMOS (M_1, M_2, con ingresso V_a) e da un invertitore nMOS a carico saturato (M_3, M_4, con ingresso V_b) connessi allo stesso nodo di uscita (V_u). La rete di *pull-down* è quindi formata dal parallelo fra M_1e M_3, mentre la rete di *pull-up* è formata dal parallelo fra M_2e M_4. Il transistore M_4, se acceso, è necessariamente saturo.
All'interno del periodo T (4ns) è possibile identificare quattro distinte regioni di funzionamento, descritte nel seguito.

1) $0 < t < 1$ ns:

$$\left.\begin{array}{l} V_a = 0 \ \rightarrow \begin{cases} M_1 \text{ off} \\ M_2 \text{ on} \end{cases} \\ V_b = 0 \ \rightarrow \ M_3 \text{ off} \end{array}\right\} \rightarrow \ V_u = V_{dd}$$

il pull-down è spento, mentre il transistore pMOS di pull-up (M_2) è acceso, portando quindi l'uscita al valore alto (piena escursione). In questa situazione, il transistore M_4 è spento ($V_{GS4} = V_{dd} - V_{dd} = 0 < V_T$) e la corrente complessiva $I_{dd} = I_{D2} + I_{D4} = I_{D1} + I_{D3} = 0$.

2) 1 ns $< t <$ 2 ns :

$$\left.\begin{array}{l} V_a = V_{dd} \ \rightarrow \begin{cases} M_1 \text{ on} \\ M_2 \text{ off} \end{cases} \\ V_b = 0 \ \rightarrow \ M_3 \text{ off} \end{array}\right\} \rightarrow$$

il pull-down è acceso (M_1), mentre il transistore nMOS di pull-up (M_4) è acceso: l'uscita si porta quindi a un valore intermedio, ricavabile dal bilancio delle correnti. Ipotizzando M_1in regione lineare, si ottiene:

$$\left.\begin{array}{r} I_{D1} = \beta_1\left((V_{dd} - V_T)V_u - \dfrac{{V_u}^2}{2}\right) \\ I_{D4} = \dfrac{\beta_4}{2}\,(V_{dd} - V_u - V_T)^2 \end{array}\right\} \xrightarrow{I_{D1}=I_{D4}} V_u = 0.37\ V, I_{dd} = 1.33\ mA$$

Scartando una soluzione priva di significato fisico. La soluzione trovata soddisfa l'ipotesi di linearità ($V_{GS1} = V_{dd} > V_{DS1} + V_T = 0.72V$.

3) $2\ \mathbf{ns} < t < 3\ \mathbf{ns}$:

$$\left.\begin{array}{l} V_a = V_{dd} \rightarrow \begin{cases} M_1 \text{ on} \\ M_2 \text{ off} \end{cases} \\ V_b = V_{dd} \rightarrow M_3 \text{ on} \end{array}\right\} \rightarrow$$

il pull-down è acceso ($M_1//M_3$), mentre il transistore nMOS di pull-up (M_4) è acceso. La situazione è identica alla precedente, con il transistore equivalente di pull-down caratterizzato da $\beta_{eq} = \beta_1 + \beta_3$: analogamente a prima, l'uscita si porta quindi a un valore intermedio, ricavabile dal bilancio delle correnti. Ipotizzando M_{eq}in regione lineare, si ottiene:

$$\left.\begin{array}{r} I_{D1,3} = \beta_{eq}\left((V_{dd} - V_T)V_u - \dfrac{{V_u}^2}{2}\right) \\ I_{D4} = \dfrac{\beta_4}{2}\,(V_{dd} - V_u - V_T)^2 \end{array}\right\} \xrightarrow{I_{D1,3}=I_{D4}} V_u = 0.23\ V, I_{dd} = 1.48\ mA$$

Scartando una soluzione priva di significato fisico. La soluzione trovata soddisfa l'ipotesi di linearità ($V_{GS1,3} = V_{dd} > V_{DS1} + V_T = 0.47V$.

4) $3\ \mathbf{ns} < t < 4\ \mathbf{ns}$:

$$\left.\begin{array}{l} V_a = 0 \rightarrow \begin{cases} M_1 \text{ off} \\ M_2 \text{ on} \end{cases} \\ V_b = V_{dd} \rightarrow M_3 \text{ on} \end{array}\right\} \rightarrow$$

il pull-down è acceso (M_3), mentre pull-up risulta dal parallelo del pMOS M_2 e dell'nMOS M_4 è acceso. È possibile ancora ricavare il valore di uscita dal bilancio delle correnti. Ipotizzando M_2 e M_3 in regione lineare:

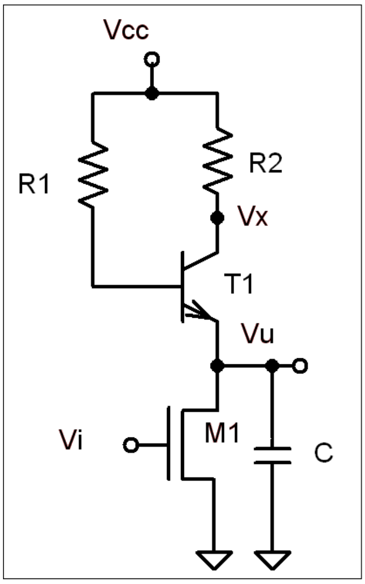
$$\left.\begin{array}{r} I_{D3} = \beta_3\left((V_{dd} - V_T)V_u - \dfrac{{V_u}^2}{2}\right) \\ I_{D2} = \beta_2\left((V_{dd} - V_T)(V_{dd} - V_u) - \dfrac{(V_{dd} - V_u)^2}{2}\right) \\ I_{D4} = \dfrac{\beta_4}{2}\,(V_{dd} - V_u - V_T)^2 \end{array}\right\} \xrightarrow{I_{D3}=I_{D2}+I_{D4}} V_u = 1.52\ V, I_{dd} = 3.33\ mA$$

che soddisfa entrambe le ipotesi di linearità.
La potenza media può quindi essere calcolata come:

$$\tilde{P} = \frac{1}{T}\int_0^T V_{dd} * I_{dd}\, dt = \frac{V_{dd}}{T}\left(\int_0^{1ns} 0\, dt + \int_{1ns}^{2ns} 1.33\ 10^{-3}\, dt + \int_{2ns}^{3ns} 1.48\ 10^{-3}\, dt + \int_{3ns}^{4ns} 3.33\ 10^{-3}\, dt\right) = \mathbf{5.07\ mW}$$

Prova Scritta di Elettronica 1
10 Settembre 2015

1) Nel circuito in figura, il transistore MOS è caratterizzato dalla tensione di soglia V_T e dal coefficiente β_n. Il transistore BJT può essere descritto da un modello "a soglia", con V_γ=0.75 V, $V_{CE,sat}$=0.2V e β_f=100. Il segnale d'ingresso abbia il seguente andamento:



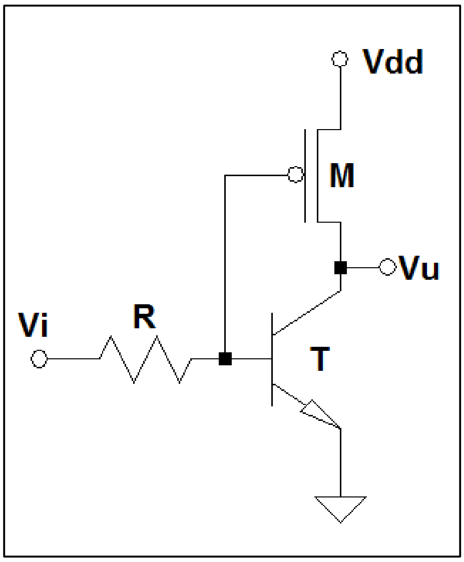
t<0: V_i= Vcc

t>0: V_i= 0

Si calcoli il ritardo di propagazione t_{pLH} del circuito (definito come il tempo necessario a V_u per compiere il 50% della propria escursione).

V_{cc} = 5 V, β_n = 5 mA/V^2, V_T = 0.5 V, R1 = 2.5 kΩ, R2 = 1 kΩ, C=15 nF.

2) Nel circuito in figura, il transistore pMOS è caratterizzato dal coefficiente β_p e dalla tensione di soglia V_{Tp}<0, con $|V_{Tp}|=V_T$. Il transistore bipolare è invece descritto da un modello a soglia, con V_γ=0.75 V, $V_{CE,sat}$=0.2 V e β_F=100.
Si determinino il valore della tensione di soglia logica V_{TL} e della potenza statica massima dissipata dal circuito.



V_{dd} = 3.5 V, V_T = 0.4 V, β_p = 1.6 mA/V^2, R = 25 kΩ.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

10.9.2015 – Esercizio 1

1) Per t<0, Vi=Vdd, allora M1 è on e così il transistore T1. Suppongo M1 lin, sse vu<vdd-vt=3 V, e suppongo T1 sat, Hp entrambe da verificare.

id1lin = βn*((vdd - vt)*vu - 0.5*vu^2) ib1 = (vcc - vu - vγ)/r1 ic1 = (vcc - vu - vcesat)/r2 Ma ib1 + ic1 = ie1 = id1lin Risolvendo si trovano i seguenti due valori per vu: vu= 0.28 V oppure vu=9.27 V. La soluzione accettabile è allora la prima,	vu=0.28 V, che verifica entrambe le hp fatte: 1) Vu<Vcc-Vt=4.5 V (hp M1 lin) 2) hp T1 sat: • per vu = 0.28 V: • βf*ib1=(vcc – vu-vγ)/r1*βf=0.159 A • ic1 = (vcc - vu - vcesat)/r2= 0.00452 A e ic1< βf*ib1 è verificata.

2) Per t->∞ vi =0, quindi M1 è off, mentre T1 è off sulla soglia, per cui Vu(∞)=vcc-vγ=4.25 V.

Il segnale d'uscita varia da vu(0+)=0.28 V a vu(∞)=4.25 V. Il tp_{LH} è il tempo che il segnale d'uscita impiega per compiere il 50 % della sua escursione, quindi per passare da vu_{iniz}=0.28 V a vu_{final}=2.265 V.
Durante questo transitorio T1 potrebbe cambiare regione di funzionamento. Verifico fino a quale valori di vu T1 rimane sat.

ib1=(vcc-vu-vγ)/r1 ic1=(vcc-vu-vcesat)/r2	T1 rimane sat fintantoché: ic1<βf*ib1 Ovvero fintantoché vu<4.235 V.

T è quindi saturo durante tutto l'intervallo da t=0 a t=tp_{LH}.

3) Calcolo di tp_{LH}: <u>Per 0.28 V<vu< 2.265 V</u>

ib1=(vcc-vu-vγ)/r1 ic1=(vcc-vu-vcesat)/r2 icap=Cdvu/dt	ma icap=ie1=ic1+ib1 $t_{pLH}=\int_{0.28}^{2.265} \frac{C}{iic1+ib1} = 6.503\ \mu s$;

10.9.2015 – Esercizio 2

Il circuito è un invertitore, la cui rete di pull-down è costituita dal transistore bipolare e la rete di pull-up è costituita dal transistore pMOS. Per quest'ultimo, si osserva :

$$V_{SGp} = V_{dd} - V_{BE} \quad (a)$$
$$V_{SDp} = V_{dd} - V_u \quad (b)$$

e quindi:

$$M_p \text{ OFF}: V_{dd} - V_{BE} < V_T \quad (c)$$
$$M_p \text{ LIN}: V_{dd} - V_{BE} > V_{dd} - V_u + V_T \rightarrow V_u > V_{BE} + V_T \quad (d)$$

Per T off, si ha:

$$\left.\begin{array}{c} \left.\begin{array}{c} I_B = 0 \\ I_R = I_B + I_{Gp} \\ I_{Gp} = 0 \end{array}\right\} \rightarrow I_R = 0 \\ I_R = \dfrac{V_i - V_{BE}}{R} \\ V_{BE} < V_\gamma \end{array}\right\} \rightarrow V_i < V_\gamma$$

e quindi :

$$\left.\begin{array}{c} V_{SGp} = V_{dd} - V_{BE} > V_{dd} - V_\gamma > V_T \xrightarrow{(c)} M_p \text{ ON} \\ I_{Dp} = I_C = 0 \end{array}\right\} \xrightarrow{HP: M_pLIN} V_{SDp} = 0 \xrightarrow{(b)} V_u = V_{DD} \xrightarrow{(d)} HP\ OK\ (tratto\ 1)(e)$$

Per T on:

$$V_{BE} = V_\gamma \xrightarrow{(a)} V_{SGp} = V_{dd} - V_\gamma = 3.1\,V > V_T \xrightarrow{(c)} M_p \text{ ON} \xrightarrow{(d)} \begin{cases} V_u > V_\gamma + V_T = 1.15V : M_p \text{ LIN} & (f) \\ V_u < V_\gamma + V_T = 1.15V : M_p \text{ SAT} & (g) \end{cases}$$

Infine :

$$V_{CE} = V_u \rightarrow \begin{cases} T\ RN: V_u > V_{CE,sat} \\ T\ SAT: V_u = V_{CE,sat} \end{cases}$$

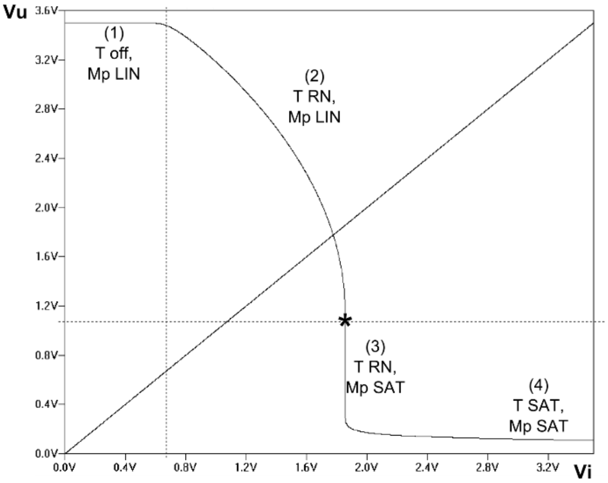
Le regioni di funzionamento sono quindi illustrate in figura. Nel tratto 3 si ha:

$$\left.\begin{array}{r} T\ RN \rightarrow I_C = \beta_F I_B = \beta_F \dfrac{V_i - V_\gamma}{R} \\ M_p \text{ SAT} \rightarrow I_{Dp} = \dfrac{\beta_p}{2}\left(V_{dd} - V_\gamma - V_T\right)^2 \end{array}\right\} \xrightarrow{I_{Dp}=I_C} V_i = 1.85\,V$$

In questa regione, la caratteristica assume quindi un andamento verticale.

I valori nominali rimangono quindi facilmente determinati (intersecando la caratteristica con la sua simmetrica rispetto alla diagonale): $V_H = V_{DD}, V_L = V_{CE,sat}$.

La tensione di soglia logica V_{TL} è definita come il valore della tensione di ingresso tale da causare un identico valore in uscita e può essere quindi calcolata intersecando la caratteristica statica con la diagonale ($V_i = V_u$). Il punto (*) ha coordinate ($V_i = 1.85\,V, V_u = 1.15\,V$) e giace quindi necessariamente al di sotto della diagonale. L'intersezione cercata interessa quindi il tratto di caratteristica 2:



$$\left.\begin{array}{r} T\ RN \rightarrow I_C = \beta_F I_B = \beta_F \frac{V_i - V_\gamma}{R} \\ M_p \text{ LIN} \rightarrow I_{Dp} = \beta_p\left(\left(V_{dd} - V_\gamma - V_T\right)(V_{DD} - V_u) - \frac{(V_{DD}-V_u)^2}{2}\right) \end{array}\right\} \xrightarrow{I_{Dp}=I_C,\ V_i=V_u=V_{TL}} \boldsymbol{V_{TL} = 1.77\,V}$$

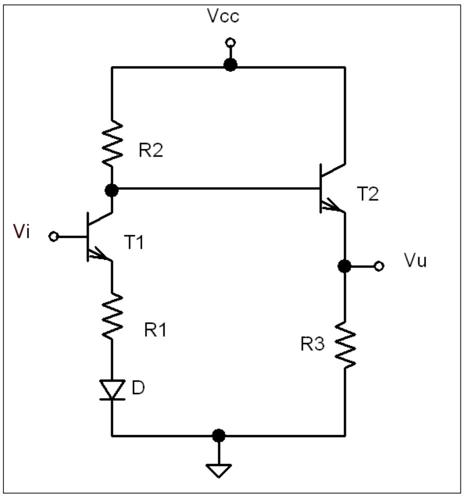
(scartando una soluzione negativa, priva di significato fisico).

Nelle due condizioni statiche:

$$V_i = V_L = V_{CE,sat} < V_\gamma \xrightarrow{(e)} T\ OFF \rightarrow I_{Dp} = I_C = 0 \rightarrow P = V_{DD}\, I_{Dp} = 0$$
$$V_i = V_H = V_{DD} \rightarrow V_u = V_{CE,sat} \xrightarrow{(g)} M_p \text{ SAT} \rightarrow I_{Dp} = I_{Dp} = \frac{\beta_p}{2}\left(V_{dd} - V_\gamma - V_T\right)^2 \rightarrow P = V_{DD}\, I_{Dp} = 15.5\,mW$$

La massima potenza statica dissipata vale quindi: $\boldsymbol{P_{MAX} = 15.5\,mW}$

1) Nel circuito in figura, i transistori e il diodo possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.

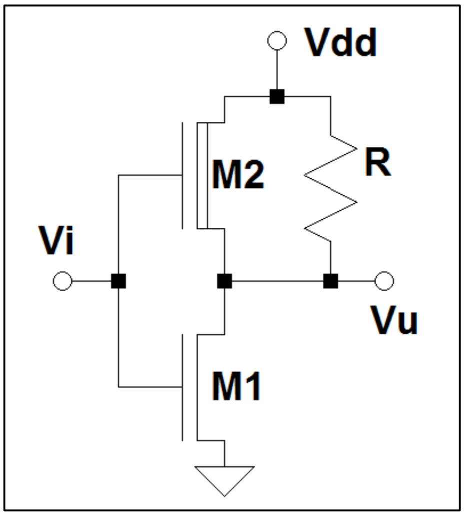


V_{cc} = 5 V, β_F=100, R_1 = 1.5 kΩ, R_2 = 3.5 kΩ, R_3 = 1 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dai coefficienti β_1 e β_2 e dalle tensioni di soglia V_{T1} e V_{T2}. Il transistore M2 è del tipo "a svuotamento" (V_{T2} < 0).
Si determini il valore della resistenza R in modo che l'escursione logica del circuito sia:

$$\Delta V = V_H - V_L = 3\ V$$

Si determini quindi il valore della tensione di soglia logica V_{TL} del circuito.



V_{dd} = 3.3 V, V_{T1} = 0.4 V, V_{T2} = -0.2 V, β_1 = 2.5 mA/V^2, β_2 = 300 μA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di ELETTRONICA 1 / FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

2.7.2015 – Esercizio 1

Osservazioni preliminari:

1) T1 e D sono o contemporaneamente OFF o contemporaneamente ON;
2) T2 quando ON è in AD (collettore connesso a Vcc).

Regione 1: vi< 2v_γ**:** T1 OFF , D OFF, T2 in AD (Hp da verificare).

<table>
<tr><td>ir2 = (vcc - vu - v_γ)/r2
ie2=ir3 = vu/r3
Ma
ir3/(βf + 1) = ir2</td><td>Risolvendo si trova che:
vu=4.108 V.
Il valore di Vu trovato verifica l'Hp di accensione di T2.</td></tr>
<tr><td colspan="2">Si rimane in questa regione fintantoché T1 rimane off, sse vi<2v_γ, sse vi<1.5 V</td></tr>
<tr><td colspan="2" align="center">Regione 1: per 0 < vi <2v_γ</td></tr>
</table>

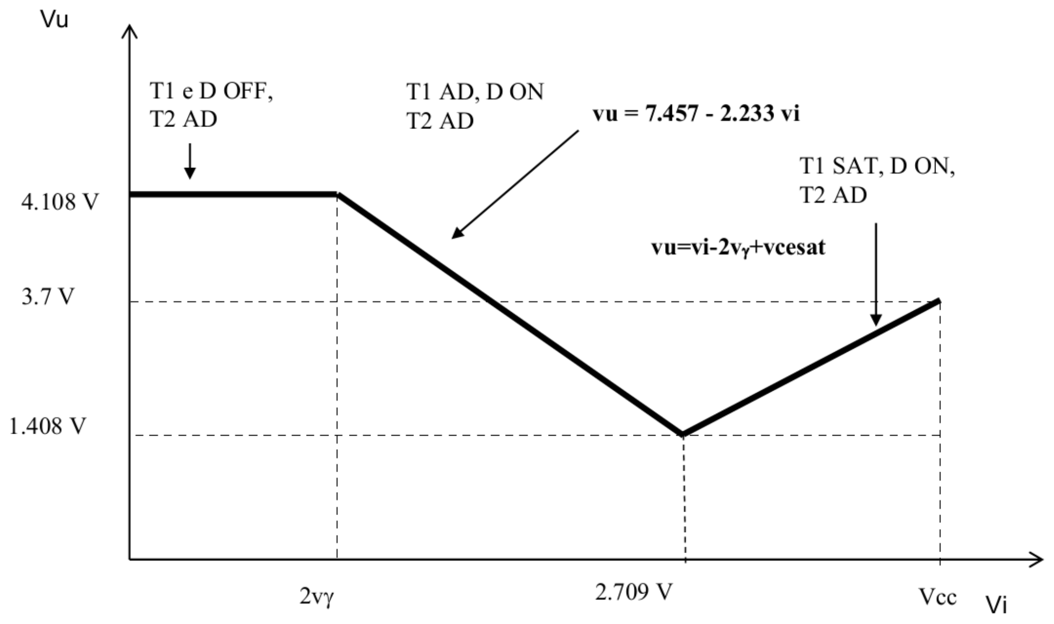
Regione 2: T1 ON in AD, D ON, T2 AD.

<table>
<tr><td>ir2 = (vcc - vu - v_γ)/r2
ie2=ir3 = vu/r3
ir1 = (vi - v_γ - v_γ)/r1
Ma
ir1*βf/(βf + 1) + vu/r3/(βf + 1) = ir2</td><td>Risolvendo si trova che:
vu = 7.457 - 2.233 vi
Si rimane in questa regione fintantoché T1 va sat.</td></tr>
<tr><td>T1 va sat per
vu+v_γ-(vi- v_γ) = vcesat
Ma nel punto di passaggio tra reg.2 e reg.3 vale anche che</td><td>vu = 7.457 - 2.233 vi
Mettendo a sistema le equazioni si ricava che:
vi=2.709 Ve vu= 1.408V</td></tr>
<tr><td colspan="2" align="center">Regione 2: per 2v_γ< vi < 2.709 V</td></tr>
</table>

Regione 3: T1 SAT, D ON e T2 AD.

<table>
<tr><td>T1 va sat per vu+v_γ-(vi- v_γ) = vcesat</td><td>Ovvero vu=vi-2 v_γ +vcesat</td></tr>
<tr><td colspan="2" align="center">Regione 3: per 2.709 V < vi < Vcc</td></tr>
</table>

Di seguito si riporta la caratteristica statica di trasferimento.

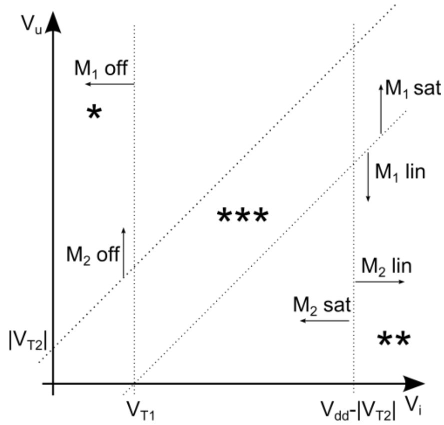


2.7.2015 – Esercizio 2

Conviene dapprima analizzare le regioni di funzionamento dei transistori. Si ha :

$$\left.\begin{aligned} V_{GS1} &= V_i \\ V_{DS1} &= V_u \end{aligned}\right\} \rightarrow \begin{cases} M_1\text{off:}\;\; V_i < V_{T1} \\ M_1\text{sat:}\;\; V_i < V_u + V_{T1} \rightarrow V_u > V_i - V_{T1} \\ M_1\text{lin:}\;\; V_u < V_i - V_{T1} \end{cases}$$

$$\left.\begin{aligned} V_{GS2} &= V_i - V_u \\ V_{DS2} &= V_{dd} - V_u \end{aligned}\right\} \rightarrow \begin{cases} M_2\text{off:}\;\; V_i - V_u < V_{T2} < 0 \rightarrow V_u > V_i + |V_{T2}| \\ M_2\text{sat:}\; V_i - V_u < V_{dd} - V_u + V_{T2} \rightarrow V_i < V_{dd} - |V_{T2}| \\ M_2\text{lin:}\;\; V_i > V_{dd} - |V_{T2}| \end{cases}$$



La situazione è riassunta nella figura a fianco.

Ipotizzando $V_L < V_{T1}$ (°), si ha, nella condizione di ingresso basso:

$$\left.\begin{aligned} V_i = V_L < V_{T1} \rightarrow M_1\text{off} \rightarrow I_{D1} = 0 \\ I_{D1} = I_{D2} + I_R \end{aligned}\right\} \rightarrow I_{D2} + I_R = 0$$

che implica necessariamente M_2 off. Infatti, ipotizzando per assurdo:

$$M_2 \text{ on } \rightarrow \begin{cases} I_{D2} > 0 \xrightarrow{I_{D2}+I_R=0} I_R < 0 \\ V_{DS2} > 0 \xrightarrow{I_R=V_{DS2}/R} I_R > 0 \end{cases}$$

si giunge a una condizione contraddittoria. Quindi :

$$M_2 \text{ on } \rightarrow I_{D2} = 0 \xrightarrow{I_{D2}+I_R=0} I_R = 0 \xrightarrow{I_R=V_{DS2}/R} V_{DS2} = 0 \xrightarrow{V_{DS2}=V_{dd}-V_u} V_u = V_H = V_{dd}$$

e:

$$\Delta V = V_H - V_L \rightarrow V_L = \Delta V - V_H = 0.3\ V$$

Poichè $V_L < V_{T1}$, l'ipotesi (°) è soddisfatta e il punto di coordinate (V_L, V_H) cade nella regione $*$ in figura. È immediato verificare che il punto di coordinate (V_H, V_L) deve invece cadere nella regione $**$ in figura e soddisfa le condizioni di linearità di M_1 e M_2 espresse in precedenza:

$$V_u = V_L = 0.3V < V_i - V_{T1} = V_H - V_{T1} = 2.9V$$
$$V_i = V_L = 3V > V_{dd} - |V_{T2}| = 2.8V$$

In queste condizioni:

$$\left.\begin{aligned} I_{D1} &= \beta_1\left((V_H - V_{T1})V_L - \frac{{V_L}^2}{2}\right) = 2.0625\ mA \\ I_{D2} &= \beta_2\left((V_H - V_L - V_{T2})(V_{dd} - V_L) - \frac{(V_{dd} - V_L)^2}{2}\right) = 1.53\ mA \\ I_R &= \frac{V_{dd} - V_L}{R} \\ I_{D1} &= I_{D2} + I_R \end{aligned}\right\} \rightarrow \boldsymbol{R} = \frac{V_{dd} - V_L}{I_{D1} - I_{D2}} = \mathbf{5633.8\ \Omega}$$

La tensione di soglia logica del circuito è il valore per il quale $V_i = V_u = V_{TL}$. Il punto di coordinate (V_{TL}, V_{TL}) si trova quindi sulla diagonale del primo quadrante del piano cartesiano (V_i, V_u). Ipotizziamo che tale punto cada nella regione $***$ in figura, si ha:

$$\left.\begin{aligned} M_1 \text{ sat } \rightarrow I_{D1} &= \frac{\beta_1}{2}(V_{TL} - V_{T1})^2 \\ M_2 \text{ sat } \rightarrow I_{D2} &= \frac{\beta_2}{2}(V_{TL} - V_{TL} - V_{T2})^2 \\ I_R &= \frac{V_{dd} - V_{TL}}{R} \\ I_{D1} &= I_{D2} + I_R \end{aligned}\right\} \rightarrow \begin{cases} V_{TL} = -0.32\ V \\ V_{TL} = 0.978\ V \end{cases}$$

La soluzione $V_{TL} = -0.32\ V$ è inaccettabile ($V_{GS1} = V_i = V_{TL} < V_{T1}$), mentre la soluzione $\boldsymbol{V_{TL} = 0.978\ V}$ soddisfa le ipotesi di saturazione di entrambi i transistori:

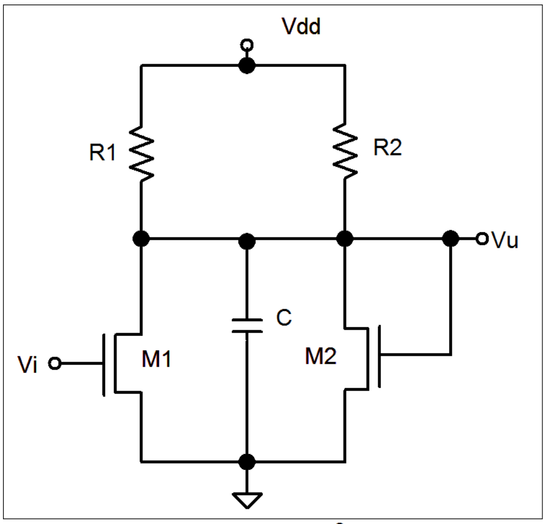
$$V_u = V_{TL} = 0.978V > V_i - V_{T1} = V_{TL} - V_{T1} = 0.578V$$
$$V_i = V_{TL} = 0.978V < V_{dd} - |V_{T2}| = 2.8V$$

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
17 FEBBRAIO 2011

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{T1} e V_{T2} e dai coefficienti β_1 e β_2.
Il segnale d'ingresso abbia il seguente andamento:

t<0: $V_i = 0$

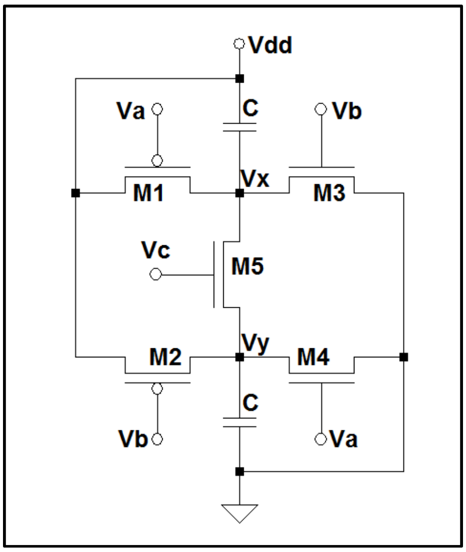
t>0: $V_i = Vdd$

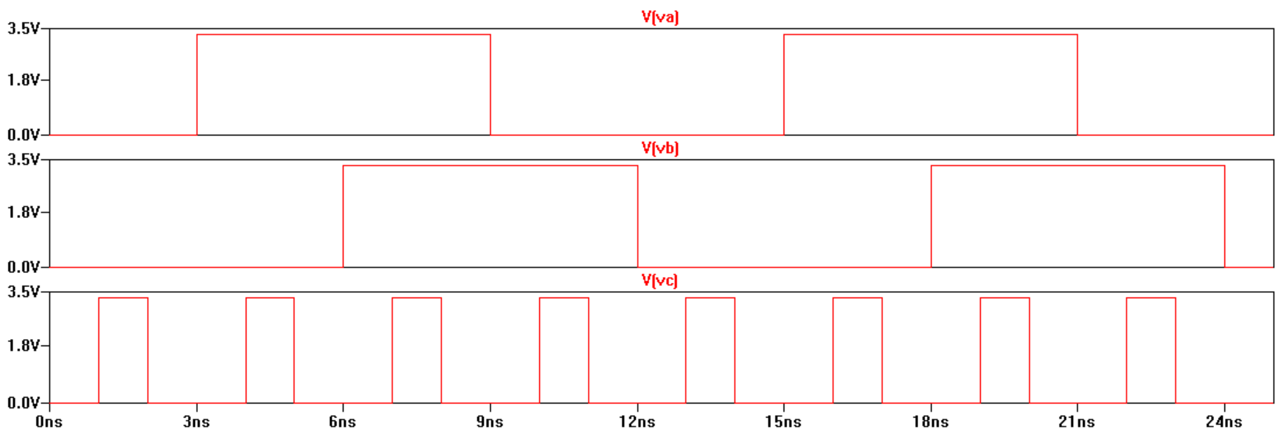


Si calcoli il tempo di discesa t_{fall} associato al segnale di uscita vu, definito come il tempo necessario a compiere la transizione fra il 90% e il 10% dell'escursione totale del segnale di uscita.

V_{dd} = 3.5 V, V_{T1}= 0.5 V, V_{T2}= 1 V, β_1=2 mA/V^2, β_2=1.5 mA/V^2, R_1= 1 kΩ ,R_2=5 kΩ, C= 10 nF.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_n e β_p.
I segnali di ingresso V_a, V_b e V_c abbiano l'andamento periodico (periodo di 12 ns) mostrato in figura. Si determini l'andamento dei segnali V_x e V_y. Si assuma che ogni transitorio si esaurisca prima della successiva variazione degli ingressi. Determinare infine il consumo medio di potenza statica del circuito.





V_{dd} = 3.3 V, V_T= 0.35 V, β_n= 1.2 mA/V^2, β_P=0.9 mA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Esercizio 1 – 17.2.2011

OSS. PRELIMINARI:
Il transistore M2 quando è on ($vu > v_{t2}=1V$) è in saturazione.

1)Per t<0 vi=0, M1 è off. Calcolo vu nell'ipotesi di avere M2 on e sat (da verificare).

$idn2sat=\beta_2/2(vu-v_{t2})$^2 ir1=(vdd-vu)/r1 ir2=(vdd-vu)/r2 Ma idn2sat=ir1+ir2	Da cui si ricava che vu =-1.954 Ve vu=2.354 V. La seconda soluzione è quella accettabile e verifica la Hp su M2: vu(=2.354 V)> V_{t2}=1 V. Quindi vu(t<0)=2.354 V

2) Per t -> ∞, vi=vdd, quindi M1 on. Suppongo M1 lin, sse vu<vdd-v_{t1}=3 V (da verificare). Suppongo poi M2 off , sse vu<v_{t2}=1V (da verificare).

ir1=(vdd-vu)/r1 ir2=(vdd-vu)/r2 idn1lin=β1*((vdd-v_{t1})*vu-1/2*vu^2) Ma idn1lin=ir1+ir2	Da cui si ricava che vu =0.640 Ve vu=6.560 V. La prima soluzione è quella accettabile e verifica la Hp su M1 lin, vu(=0.640 V)<3V, e su M2off, vu(=0.640 V)< v_{t2}=1 V. Quindi vu(t -> ∞)=0.640 V

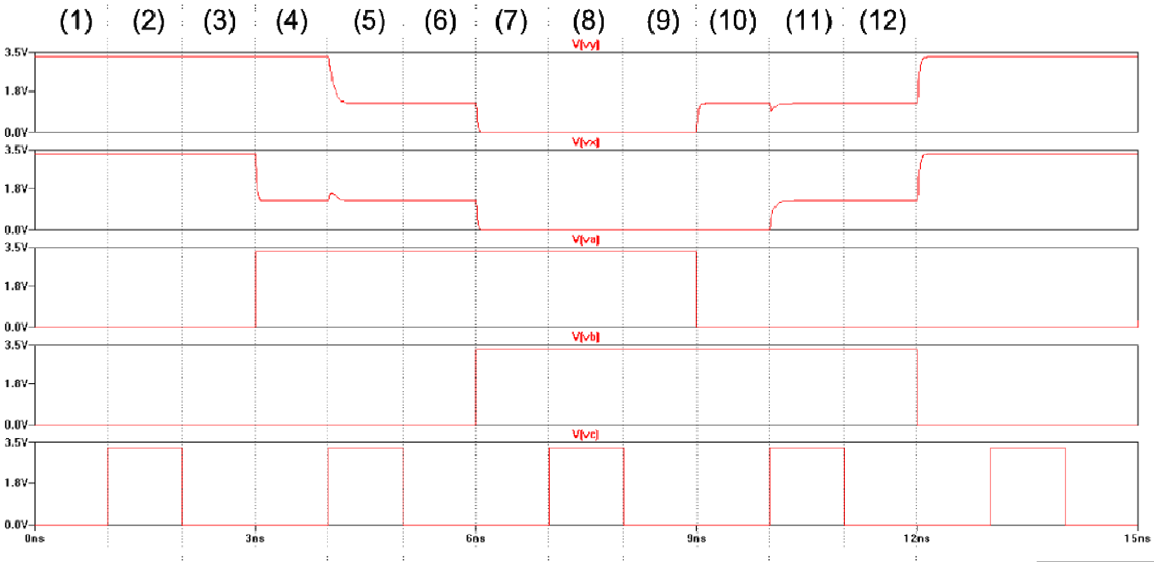
3) Per t=0+ vi=vdd, M1 va on e lin, e M2 è sat. vu(0+)=vu(0-)=2.354Ve vu(∞)=0.640 V. Il t_{fall} è il tempo necessario a compiere la transizione fra il 90% e il 10% dell'escursione totale del segnale di uscita Δvu=vu(0+)-vu(∞)=1.714 V, quindi vuiniz=vu(∞)+0.9*Δvu=2.183 V, e vufinal=vu(∞)+0.1*Δvu=0.811 V.
   Analizzo le regioni di funzionamento di M1 durante il transitorio analizzato:
   1) M1 lin per vu<vdd-vt1=3 V, quindi sempre lin durante tutto l'intervallo; M2 sat per vu>v_{t2}=1V, poi off.

   E' quindi necessario spezzare il due parti il calcolo del tfall:
   A) $tfall_1$, vu: 2.183V ->1 V, M1 lin, M2 sat;
   B) $tfall_2$, vu: 1 V ->0.811 V, M1 lin, M2 off.

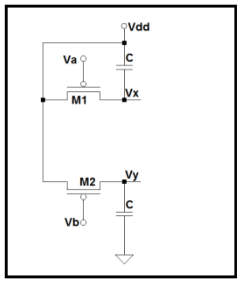
idn1lin=β_1*((vdd-v_{t1})*vu-1/2*vu^2) $idn2sat=\beta_2/2(vu-v_{t2})$^2 ir1=(vdd-vu)/r1 ir2=(vdd-vu)/r2 A) ir1+ir2-idn1lin- idn2sat= =Cdvu/dt	$\mathbf{tfall1} = \int_{2.183}^{1} \frac{C}{\mathbf{ir1} + \mathbf{ir2} - \mathbf{idn1lin} - \mathbf{idn2sat}}\, d\,\mathbf{vu}$ =2.739 μs B) ir1+ir2-idn1lin=Cdvu/dt $\mathbf{tfall2} = \int_{1}^{0.811} \frac{C}{\mathbf{ir1} + \mathbf{ir2} - \mathbf{idn1lin}}\, d\,\mathbf{vu}$ =1.315 μs Da cui si ricava tfall=$tfall_1$+$tfall_2$=4.054 μs

Esercizio 2 – 17.2.2011

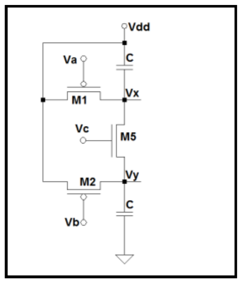
I transistori M_1, M_2 fungono da reti di “pull-up” per i nodi a tensione V_xe V_y, rispettivamente. I transistori M_3, M_4 fungono da reti di “pull-down” per gli stessi nodi e il transistore M_5 funge da pass-transistor fra i i nodi a tensione V_xe V_y, tendendo, se acceso, ad equalizzarne i valori. Gli andamenti sono mostrati in figura:



1) $0 < t < 1ns,\ V_a = V_b = V_c = 0$
$\rightarrow M_1, M_2$ on, M_3, M_4, M_5 off, $\rightarrow V_x = V_y = V_{DD}$

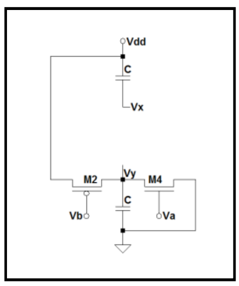


2) $1\,ns < t < 2ns,\ V_a = V_b = 0, V_c = V_{DD} \rightarrow M_5$ on: non cambia nulla rispetto al caso precedente (la differenza di potenziale ai capi del pass-transistor M_5 è nulla)



3) $2\,ns < t < 3ns,\ V_a = V_b = V_c = 0 \ \rightarrow M_1, M_2$ on, M_3, M_4, M_5 off, $\rightarrow V_x = V_y = V_{DD}$ (identico al caso 1)
4) $3\,ns < t < 4\,ns,\ V_a = V_{DD},\ V_b = V_c = 0 \ \rightarrow M_1$off, M_2 on, M_3 off, M_4on, M_5 off: il nodo $V_x$si trova quindi in alta impedenza e mantiene il valore precedente ($V_x = V_{DD}$), mentre V_yè soggetto all'azione simultanea del pull-up M_2 e del pull-down M_4. La tensione V_y si porta ad un valore intermedio, definito dal bilancio fra le correnti; ipotizzando M_2 e M_4 in regime lineare:

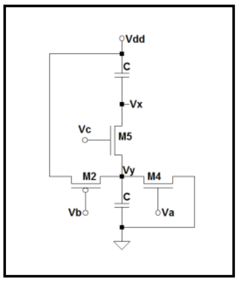
$$\left.\begin{aligned} I_{D2} &= I_{D4} \\ I_{D2} &= \beta_p\left((V_{DD} - V_T)(V_{DD} - V_y) - \frac{(V_{DD} - V_y)^2}{2}\right) \\ I_{D4} &= \beta_n\left((V_{DD} - V_T)V_y - \frac{{V_y}^2}{2}\right) \end{aligned}\right\} \rightarrow V_y = 1.27\ V$$



che soddisfa le ipotesi. In queste condizioni, il circuito è soggetto ad una corrente statica erogata dal generatore V_{DD}:

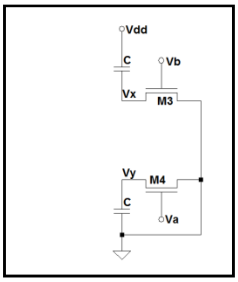
$I_{D2} = I_{D4} = I_{DD} = 3.53$ mA

5) $4\,ns < t < 5\,ns,\ V_a = V_c = V_{DD},\ V_b = 0 \ \rightarrow M_1\text{off}, M_2\text{ on}, M_3\text{ off}, M_4\text{on}, M_5\text{ on}$: in questo caso, anche il nodo V_x, attraverso il pass-transistor M_5, si porta al valore intermedio $V_x = V_y = 1.27\,V$ (M_5 lavora in regione lineare, per cui il transitorio termina quando $V_{DS5} = V_x - V_y = 0$). Poiché, a regime, $I_{D5} = I_c = 0$, la corrente statica richiesta al generatore è identica al caso precedente.

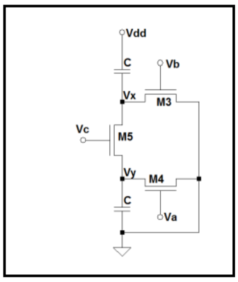


6) $5\,ns < t < 6\,ns,\ V_a = V_{DD},\ V_b = V_c = 0 \ \rightarrow M_1\text{off}, M_2\text{ on}, M_3\text{ off}, M_4\text{on}, M_5\text{ off}$: il nodo $V_x$si trova quindi in alta impedenza e mantiene il valore precedente ($V_x = 1.27\,V$), mentre V_yè soggetto all'azione simultanea del pull-up M_2 e del pull-down M_4, secondo quanto già calcolato al punto 4.

7) $6\,ns < t < 7\,ns,\ V_a = V_b = V_{DD},\ V_c = 0$
$\rightarrow\ M_1, M_2\text{ off}, M_3, M_4\text{ on}, M_5\text{ off}, \rightarrow V_x = V_y = 0$

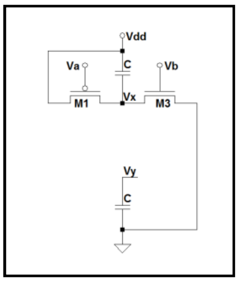


8) $7\,ns < t < 8\,ns,\ V_a = V_b = V_c = V_{DD} \rightarrow M_5$ on: non cambia nulla rispetto al caso precedente (la differenza di potenziale ai capi del pass-transistor M_5 è nulla)

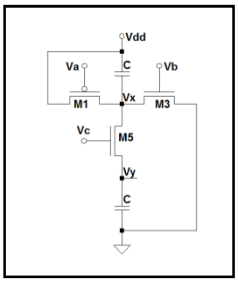


9) $8\,ns < t < 9\,ns,\ V_a = V_b = V_{DD},\ V_c = 0 \ \rightarrow M_1, M_2\text{ off}, M_3, M_4\text{ on}, M_5\text{ off}, \rightarrow V_x = V_y = 0$ (identico al caso 7)

10) $9\,ns < t < 10\,ns,\ V_b = V_{DD},\ V_a = V_c = 0$
$\rightarrow M_1\text{on}, M_2\text{ off}, M_3\text{ on}, M_4\text{off}, M_5\text{ off}$: il nodo $V_y$si trova quindi in alta impedenza e mantiene il valore precedente ($V_y = 0$), mentre V_xè soggetto all'azione simultanea del pull-up M_1 e del pull-down M_3. La tensione V_y si porta allo stesso valore intermedio calcolato al punto 4 ($V_y = 1.27\,V$) e, analogamente, la corrente erogata dal generatore V_{DD} vale:
$I_{D1} = I_{D3} = I_{DD} = 3.53$ mA



11) $10\,ns < t < 11\,ns,\ V_b = V_c = V_{DD},\ V_a = 0$
$\rightarrow M_1\text{on}, M_2\text{ off}, M_3\text{ on}, M_4\text{off}, M_5\text{ on}$: in questo caso, anche il nodo V_y, attraverso il pass-transistor M_5, si porta al valore intermedio $V_x = V_y = 1.27\,V$ (M_5 lavora in regione lineare, per cui il transitorio termina quando $V_{DS5} = V_y - V_x = 0$). Poiché, a regime, $I_{D5} = I_c = 0$, la corrente statica richiesta al generatore è identica al caso precedente.



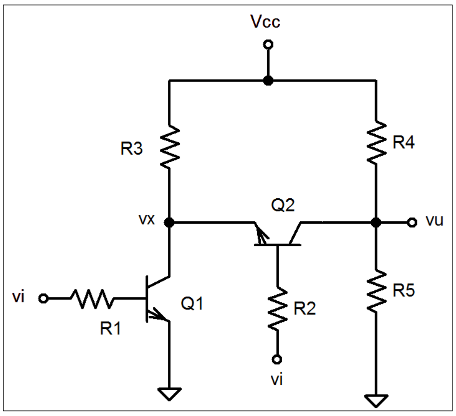
12) $11\,ns < t < 12\,ns,\ V_b = V_{DD},\ V_a = V_c = 0 \ \rightarrow M_1\text{on}, M_2\text{ off}, M_3\text{ on}, M_4\text{off}, M_5\text{ off}$: il nodo V_y si trova quindi in alta impedenza e mantiene il valore precedente ($V_y = 1.27\,V$), mentre V_xè soggetto all'azione simultanea del pull-up M_1 e del pull-down M_3, secondo quanto già calcolato al punto 10.

Infine, secondo quanto sopra indicato, il circuito dissipa potenza statica negli intervalli (4,5,6,10,11,12). Si ha quindi:

$$P_{statica} = \frac{1}{T}\int_T V_{DD}\, I_{DD}\ dt = \frac{V_{DD}}{T}\int_T I_{DD}\ dt$$
$$= \frac{3.3}{12\ 10^{-9}}\left(\int_0^{3ns} 0\ dt + \int_{3\,ns}^{6ns} 3.53\ 10^{-3}\ dt + \int_{6\,ns}^{9\,ns} 0\ dt + \int_{9\,ns}^{12\,ns} 3.53\ 10^{-3}\ dt\right)$$
$$= \frac{3.3\ \times 3.53\ 10^{-3}}{12\ 10^{-9}}\left(\int_{3\,ns}^{6ns} dt + \int_{9\,ns}^{12\,ns} dt\right) = \frac{3.3\ \times 3.53\ 10^{-3} \times 6\ 10^{-9}}{12\ 10^{-9}} = \mathbf{5,83\ mW}$$

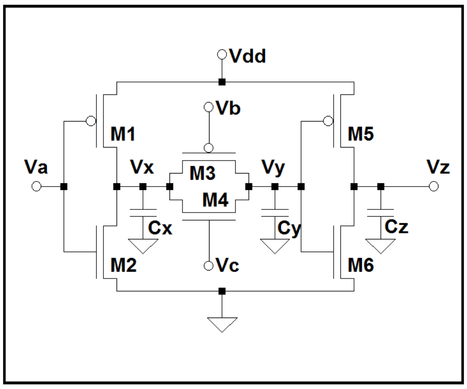
PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
27 GENNAIO 2011

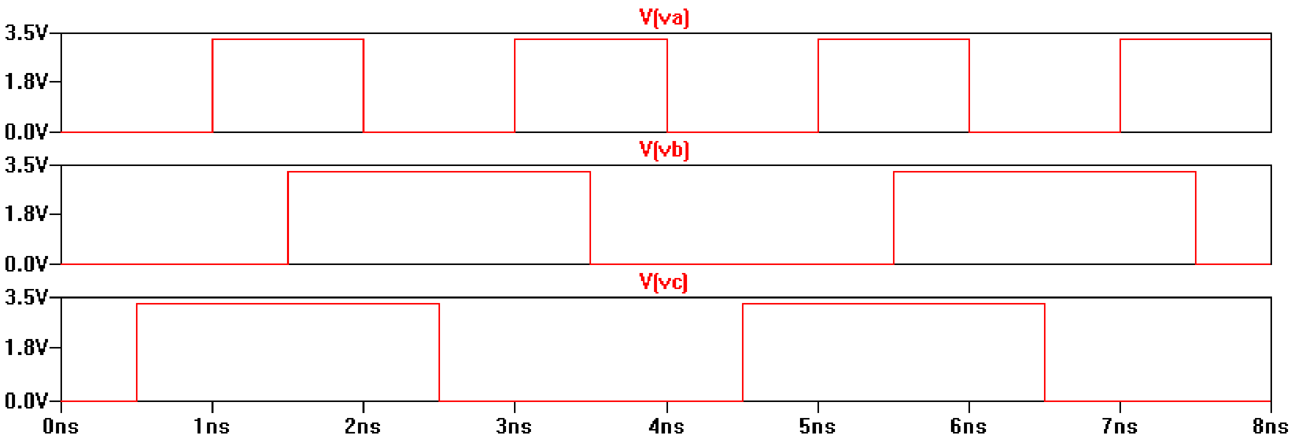
1) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{CC}$.



V_{cc} = 5 V, β_F=100, R_1 = 10 kΩ, R_2 = 10 kΩ, R_3 = 500 Ω, R_4 = 500 Ω, R_5 = 5 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_n e β_p.
I segnali di ingresso V_a, V_b e V_c abbiano l'andamento periodico mostrato in figura. Si determini l'andamento dei segnali V_x, V_y e V_z, valutando in particolare i tempi di propagazione associati alle transizioni del segnale V_z. A questo scopo, si considerino trascurabili i tempi associati alle commutazioni dei segnali V_x e V_y. Si assuma inoltre che ogni transitorio si esaurisca prima della successiva variazione degli ingressi.





V_{dd} = 3.3 V, V_T= 0.4 V, β_n= 1.2 mA/V^2, β_P=0.7 mA/V^2 ,C_x= C_y=1 fF, C_z=100 fF.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Soluzione compito del 27-01-2011 - Esercizio #1

Osservazioni preliminari:

1) Q2 è ON solo se anche Q1 è on. Non vale il viceversa.

Regione 1: vi< v_γ**:** Q1 OFF ; Q2 OFF. Calcolo di vu.

<table>
<tr><td>Vu è determinato dal partitore resistivo costituito da r4 ed r5:</td><td>vu=vcc*r5/(r5+r4)=4.545 V</td></tr>
</table>

Regione 2: : vi> v_γ**:** Q 1 ON in AD, Q 2 OFF.

<table>
<tr><td>Poiché Q2 è off, vu mantiene il valore precedentemente trovato, ovvero vu=4.545 V.</td><td>All'aumentare di vi possono accadere due cose:
1) Q1 va sat o 2) Q2 va ON.</td></tr>
<tr><td>1) Q1 sat, Q2 off:
vce=vx=vcesat
ir3=(vcc-vcesat)/r3
ib1=(vi-v_γ)/r1
Ma ir3=βf *ib1
Da cui si ricava vi= 1.71 V.</td><td>2) Q1 ad, Q2 va on.
ir3=(vcc-vx)/r3
ib1=(vi- v_γ)/r1
Ma ir3=βf*ib1
e vi−vx=v_γ
da cui si ricava vi=1.583 V, e vx=0.8333 V.</td></tr>
<tr><td colspan="2">Delle due condizioni quella che si verifica prima è allora l'accensione di Q2.</td></tr>
<tr><td colspan="2">Regione 2: per v_γ< vi < 1.583 V</td></tr>
</table>

Regione 3: Q1 AD e Q2 AD.

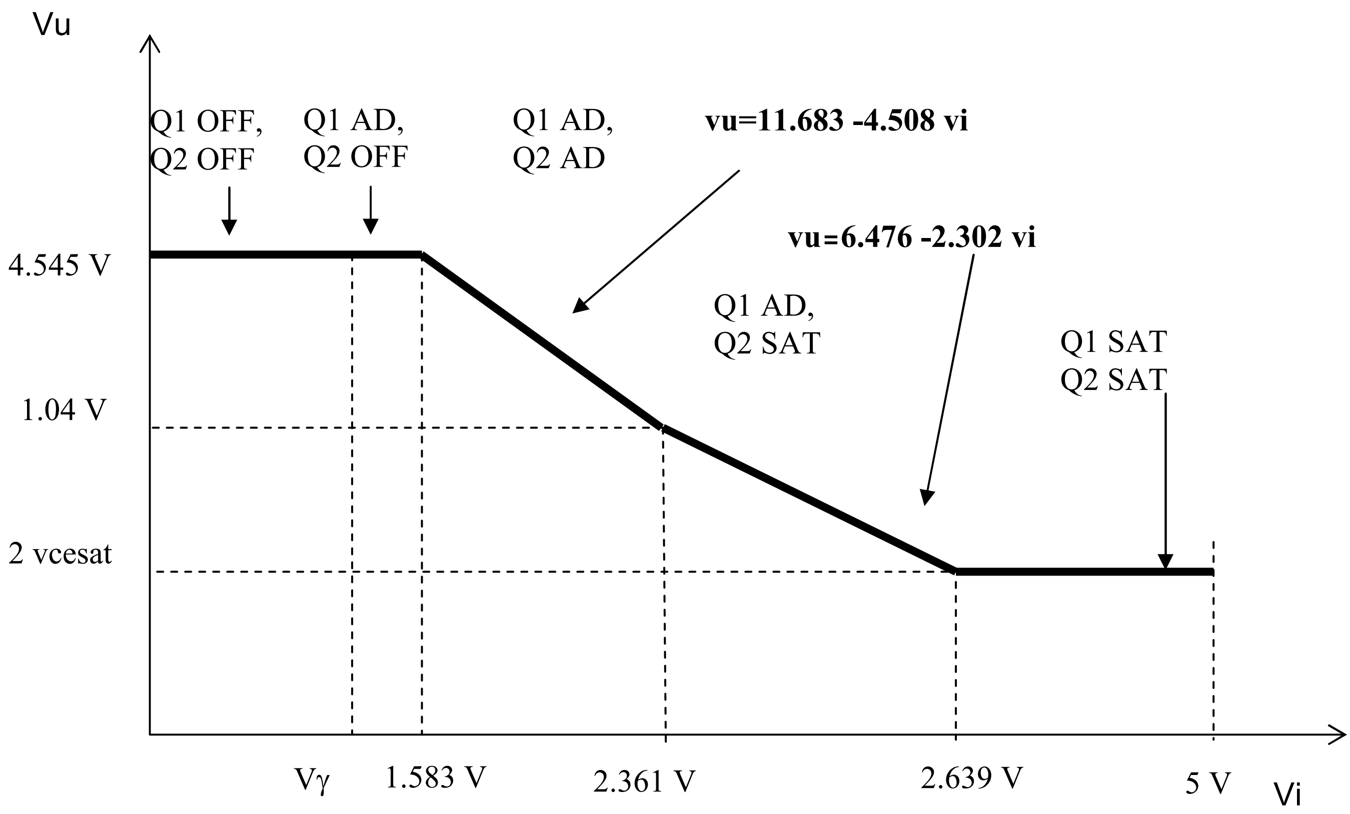
<table>
<tr><td>ir3=(vcc-vx)/r3
ib1=(vi-v_γ)/r1
ib2=(vi-v_γ-vx)/r2
ir4=(vcc-vu)/r4
ir5=vu/r5
Ma ir3+(βf+1)ib2=βf*ib1
e ir4=ir5+βf*ib2</td><td>Risolvendo si ricava che:
vx=0.820 +0.008 vi,
vu=11.683 -4.508 vi
Si rimane in questa regione fintantoché :
1) Q1 va sat, o 2) Q2 va sat.</td></tr>
<tr><td>1) Q1 va sat, Q2 in ad
vx=0.820 +0.008 vi = vcesat
da cui si ricava vi=-75.05 V
(si noti come la vx aumenti con vi, rendendo impossibile il raggiungimento di vx=vcesat per vi positive)</td><td>2) Q1 in ad, Q2 va sat
vu=11.683 -4.508 vi
vx=0.820 +0.008 vi
ma vu-vx=vcesat, da cui si ricava vi=2.361 V</td></tr>
<tr><td colspan="2">Delle due condizioni quella che si verifica è allora la saturazione di Q2.</td></tr>
<tr><td colspan="2">Regione 3: per 1.583 V < vi < 2.361 V</td></tr>
</table>

Regione 4: Q1 ad e Q2 sat.

<table>
<tr><td>ir3=(vcc-vx)/r3
ib1=(vi-v_γ)/r1
ib2=(vi-v_γ-vx)/r2
ir4=(vcc-vu)/r4
ir5=vu/r5
ie2=(ir4-ir5+ib2)
Ma vx=vu-vcesat</td><td>e ir3+ie2=βf*ib1
Risolvendo si ricava che:
vx=6.276 -2.302 vi,
vu=6.476 -2.302 vi
Si rimane in questa regione fintantoché Q1 va sat.
Q1 va sat per vx=vcesat, da cui si ricava vi=2.639 V.</td></tr>
<tr><td colspan="2">Regione 4: 2.361 V< vi<2.639 V</td></tr>
</table>

Regione 5: per 2.639 V< vi< vcc; Q1sat, Q2 sat, vu=2vcesat.

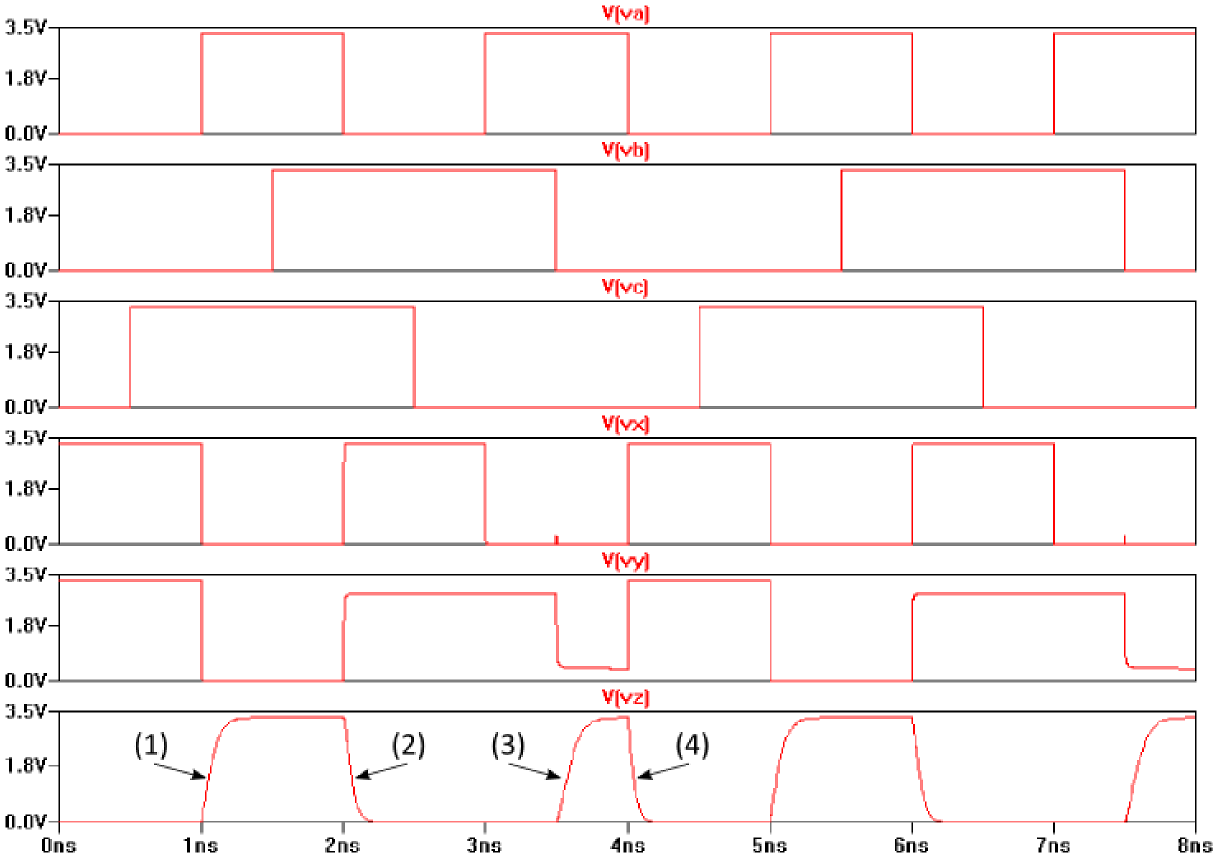
Di seguito si riporta la caratteristica statica di trasferimento.



Esercizio 2 – 27.1.2011

Il primo stadio (M_1, M_2) e l'ultimo stadio (M_5, M_6) sono due invertitori CMOS statici, connessi fra di loro da una coppia di pass-transistor (M_3, M_4). Poiché questi ultimi non sono controllati da segnali complementari, la funzione non è quella di un transmission gate, ed esistono situazioni in cui il ramo (M_3, M_4) non è in grado di trasferire un segnale a piena escursione.

Gli andamenti sono mostrati in figura:



In particolare, il segnale X è, con ritardo trascurabile, complementare del segnale A.

1) $0 < t < 0.5ns,\ V_a = V_b = V_c = 0 \rightarrow V_x = V_{DD} \xrightarrow{M_3 on} V_y = V_{DD} \rightarrow V_z = 0$
2) $0.5\ ns < t < 1ns,\ V_a = V_b = 0, V_c = V_{DD} \rightarrow M_4$ on: non cambia nulla rispetto al caso precedente ($V_y = V_{DD}$, come prima, grazie al pMOS M_3)
3) $1ns < t < 1.5ns,\ V_a = V_C = V_{DD},\ V_b = 0 \rightarrow V_x = 0 \xrightarrow{M_4 on} V_y = 0 \rightarrow V_z = V_{DD}$
   Transitorio (1) in figura: carica di C_z attraverso M_5.
   $V_{SG5} = V_{DD}$, per cui il transitorio è "standard":
$$V_z : 0 \xrightarrow[t_1]{M_5\text{ SAT}} V_T \xrightarrow[t_2]{M_5\text{ LIN}} \frac{V_{DD}}{2}$$
$$t_{p,LH(1)} = t_1 + t_2 = 13.6 + 45.4 = 59.0\ ps$$
4) $1.5\ ns < t < 2\ ns,\ V_a = V_b = V_C = V_{DD} \rightarrow V_x = 0 \xrightarrow{M_4 on} V_y = 0 \rightarrow V_z = V_{DD}$
5) $2\ ns < t < 2.5\ ns,\ V_a = 0,\ V_b = V_C = V_{DD} \rightarrow V_x = V_{DD} \xrightarrow{M_3 off,\ M_4 on} V_y = V_{DD} - V_T = 2.9V \rightarrow V_z = 0$
   Transitorio (2) in figura: scarica di C_z attraverso M_6.
   $V_{GS6} = V_{DD} - V_T$, per cui:
$$V_z : V_{DD} \xrightarrow[t_1]{M_6\text{ SAT}} V_{DD} - 2V_T \xrightarrow[t_2]{M_6\text{ LIN}} \frac{V_{DD}}{2}$$
   Con
$$I_{D6,SAT} = \beta_n \frac{(V_{DD} - 2V_T)^2}{2}, I_{D6,LIN} = \beta_n \left((V_{DD} - 2V_T)V_z - \frac{{V_z}^2}{2} \right)$$

$$C_z \frac{dV_z}{dt} = I_{D6} \rightarrow \int_0^{t_1} dt = \int_{V_{DD}}^{V_{DD}-2V_T} \frac{C_z}{I_{D6,SAT}} dV_z \rightarrow t_1 = 21.3\, ps$$

e, analogamente: $t_2 = 23.6\, ps \rightarrow t_{p,HL(2)} = t_1 + t_2 = 44.9\, ps$

6) $2.5\, ns < t < 3\, ns,\ V_a = V_C = 0,\ V_b = V_{DD} \rightarrow V_x = V_{DD} \xrightarrow{M_3 off, M_4 off} V_y = V_{DD} - V_T = 2.9V\ (alta\ impedenza) \rightarrow V_z = 0$ (come prima)
7) $3\, ns < t < 3.5\, ns,\ V_a = V_b = V_{DD},\ V_c = 0 \rightarrow V_x = 0 \xrightarrow{M_3 off, M_4 off} V_y = V_{DD} - V_T = 2.9V\ (alta\ impedenza) \rightarrow V_z = 0$ (come prima)
8) $3.5\, ns < t < 4\, ns,\ V_a = V_{DD},\ V_b = V_c = 0 \rightarrow V_x = 0 \xrightarrow{M_3 on, M_4 off} V_y = V_T \rightarrow V_z = V_{DD}$
   Transitorio (3) in figura: carica di C_z attraverso M_5.

$V_{SG5} = V_{DD} - V_T$, per cui:

$$V_z : 0 \underset{t_1}{\xrightarrow{M_5\ \text{SAT}}} 2V_T \underset{t_2}{\xrightarrow{M_5\ \text{LIN}}} \frac{V_{DD}}{2}$$

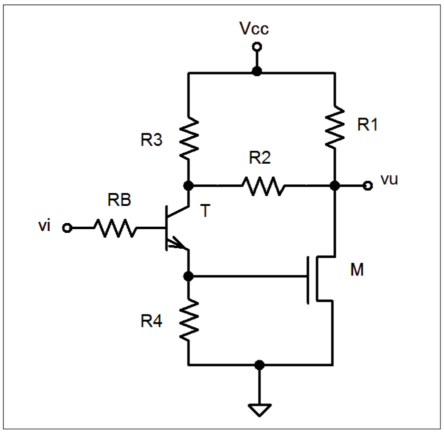
$$t_{p,LH(3)} = t_1 + t_2 = 36.6 + 40.4 = 77.0\, ps$$

9) Infine, riprende l'andamento periodico, per cui il segnale V_z, per $4\, ns < t < 4.5\, ns$, si riporta al valore 0, secondo quanto già calcolato al punto 1. Il transitorio (4) è un transitorio di scarica di C_z attraverso M_6, con $V_{GS6} = V_{DD}$, per cui il transitorio è "standard":

$$V_z : V_{DD} \underset{t_1}{\xrightarrow{M_6\ \text{SAT}}} V_{DD} - V_T \underset{t_2}{\xrightarrow{M_{56}\ \text{LIN}}} \frac{V_{DD}}{2}$$

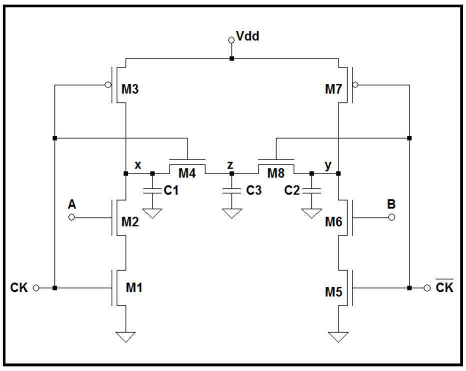
$$t_{p,HL(4)} = t_1 + t_2 = 7.9 + 26.5 = 34.4\, ps$$

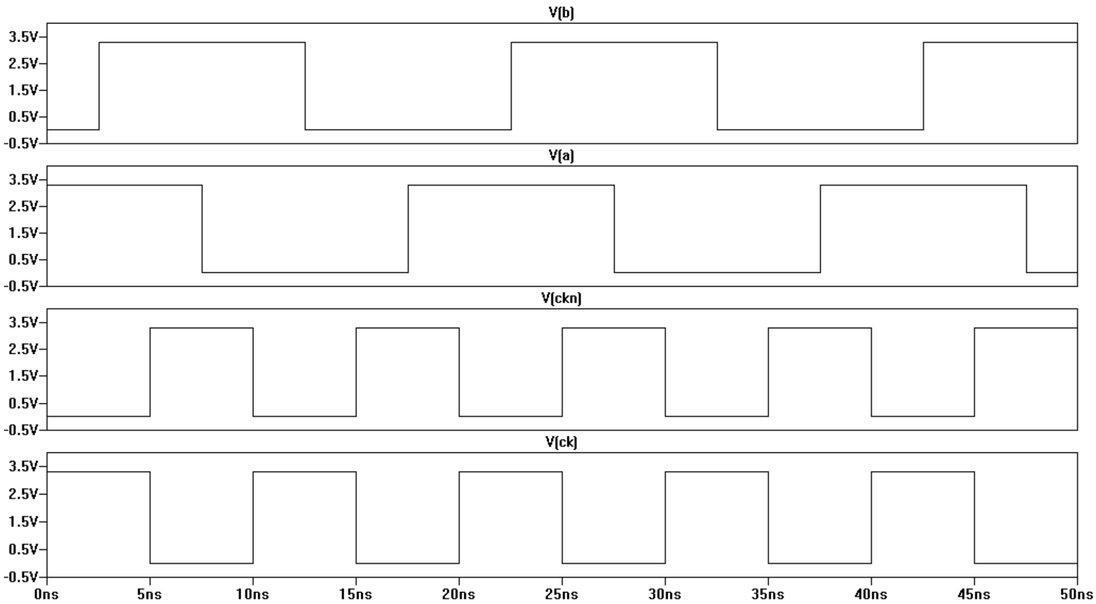
1) Nel circuito in figura il transistore MOS è caratterizzato dalla tensione di soglia V_T e dal coefficiente $\beta_{n,}$ mentre il transistore bipolare è caratterizzato dalle tensioni $V\gamma$ = 0.7 V e V_{CESAT} = 0.2 V.
Si determini l'escursione logica del circuito ($V_H - V_L$)



V_{cc} = 3.3 V, V_T = 0.4 V, β_n = 1 mA/V^2, $R_1 = R_2$ = 5 KΩ, R_3 = 2 KΩ, R_4 = 800 Ω, R_B = 100 Ω, β_f = 100

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn} e V_{Tp} e dai coefficienti β_n e β_p.
I segnali di ingresso V_{ck},V_{ckneg},V_a e V_b abbiano l'andamento periodico mostrato in figura. Si determini l'andamento dei segnali, valutando in particolare i valori asintotici al termine di ciascuna commutazione, trascurando i tempi di propagazione.





V_{dd} = 3.3 V, V_{Tn}= 0.4 V, V_{Tp}= -0.3 V, β_n= 1.2 mA/V^2, β_P=0.8 mA/V^2 ,C_1= C_2=20 fF, C_3=50 fF.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Soluzione esercizio n.ro 1

Hp1: supponiamo che $V_i = V_L$ sia < di V_γ (**da verificare**) allora

T OFF e pertanto, essendo la corrente $I_E=I_4=0$ e $V_{GS}=I_4R_4=0$, anche
M OFF $\Longrightarrow$ $\mathbf{V_u=V_{cc}=V_H}$

Poniamo $V_i=V_H=V_{cc}$
Hp2: T SAT; M LIN (**da verificare**)

$$\begin{cases} I_C = I_E - I_B \\ I_3 = I_C + I_2 \\ I_1 + I_2 = I_{DS} \end{cases}$$

$$\mathrm{I_E} = \frac{(\mathrm{Vx} - \mathrm{Vcesat})}{\mathrm{R_4}}$$

$$\mathrm{I_B} = \frac{\mathrm{V_{cc}} - (\mathrm{Vx} - \mathrm{Vcesat} + \mathrm{V\gamma})}{\mathrm{R_B}}$$

$$\mathrm{I_3} = \frac{(\mathrm{V_{cc}} - \mathrm{Vx})}{\mathrm{R_3}}$$

$$\mathrm{I_2} = \frac{(\mathrm{Vx} - \mathrm{Vu})}{\mathrm{R_2}}$$

$$\mathrm{I_1} = \frac{(\mathrm{V_{cc}} - \mathrm{Vu})}{\mathrm{R_1}}$$

$$\mathrm{I_{DS}} = \beta_\mathrm{n}((\mathrm{Vx} - \mathrm{Vcesat} - \mathrm{V_T})\mathrm{Vu} - \frac{\mathrm{Vu}^2}{2})$$

Sostituendo nel sistema si ottiene

$$\frac{(\mathrm{V_{cc}} - \mathrm{Vx})}{\mathrm{R_3}} = \frac{(\mathrm{Vx} - \mathrm{Vcesat})}{\mathrm{R_4}} - \frac{\mathrm{Vdd} - (\mathrm{Vx} - \mathrm{Vcesat} + \mathrm{V\gamma})}{\mathrm{R_B}} + \frac{(\mathrm{Vx} - \mathrm{Vu})}{\mathrm{R_2}}$$

$$\frac{(\mathrm{V_{cc}} - \mathrm{Vu})}{\mathrm{R_1}} + \frac{(\mathrm{Vx} - \mathrm{Vu})}{\mathrm{R_2}} = \beta_\mathrm{n}((\mathrm{Vx} - \mathrm{Vcesat} - \mathrm{V_T})\mathrm{Vu} - \frac{\mathrm{Vu}^2}{2})$$

Ricavando Vx(Vu) dalla prima e sostituendo nella seconda si ottiene una equazione di secondo grado in Vu le cui radici sono:
Vu1= 0.57 V, Vu2= 4.18 V (Vu2 è ovviamente da scartare)
Con Vu=0.57 V si ottiene Vx= 2.51 V

VERIFICHE

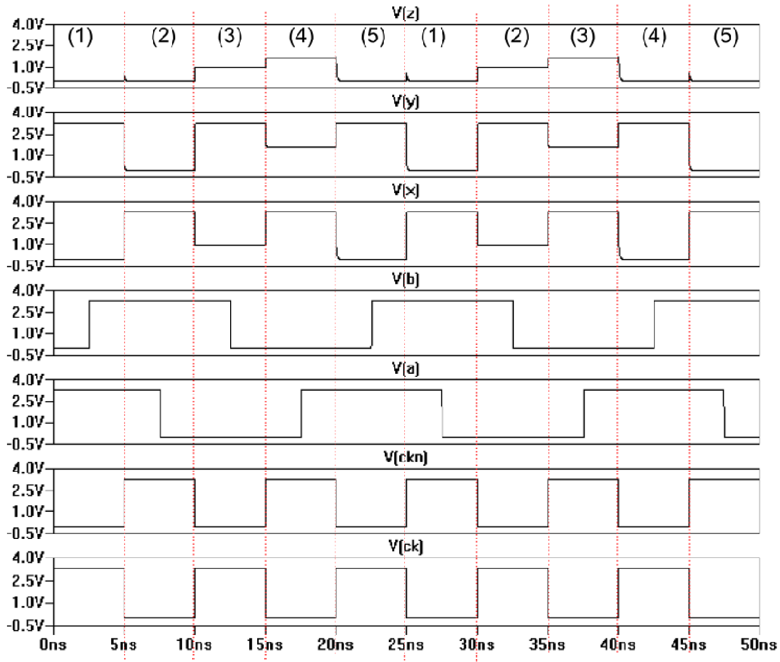
$Vu=V_L < V_\gamma$ Hp1 verificata

I_B = 0.002883 A
I_C = 6.62844×10^{-6} A $\Longrightarrow$ $I_C < \beta_f I_B$ $\Longrightarrow$ T SAT
$V_{GS} = I_4R_4 = \mathrm{Vdd} - \mathrm{I_B} * \mathrm{R_B} - V_\gamma = 2.31\text{V}$ $\Longrightarrow$ $V_{GS} > V_{DS}+V_T = V_L+V_T = 0.97$ $\Longrightarrow$ M LIN

$\Longrightarrow$ Hp2 verificata

Soluzione esercizio n.ro 2

Il circuito è composto da due invertitori dinamici PE, la cui uscita è connessa al nodo comune z attraverso due pass-transistor a canale n. Nel seguito si indica con INV-A l'invertitore controllato dal segnale di ingresso V_a e dal segnale di clock V_{ck} (a sinistra nel disegno) e con INV-B l'invertitore controllato dal segnale di ingresso V_b e dal segnale di clock complementare V_{ckn} (a destra nel disegno).



Con riferimento alla figura soprastante:

1) $t < 5ns$:

$$\left.\begin{array}{r} V_{ck} = V_{dd}, \text{INV}-\text{A in Eval}, V_a = V_{dd} \rightarrow\ V_x = 0;\ M_4 \text{ on} \\ V_{ckn} = 0, \text{INV}-\text{B in Precarica}, \rightarrow\ V_y = V_{dd};\ M_8 \text{ off} \end{array}\right\} \rightarrow\ V_z = 0$$

2) $5\text{ns} < t < 10\text{ns}$:

$$\left.\begin{array}{r} V_{ck} = 0, \text{INV}-\text{A in Prec.}, \rightarrow V_x = V_{dd};\ M_4 \text{ off} \\ V_{ckn} = V_{dd}, \text{INV}-\text{B in Eval}, V_b = V_{dd} \rightarrow\ V_y = 0;\ M_8 \text{ on} \end{array}\right\} \rightarrow\ V_z = 0$$

3) $10\text{ns} < t < 15\text{ns}$:

$$\left.\begin{array}{r} V_{ck} = V_{dd}, \text{INV}-\text{A in Eval}, V_a = 0 \rightarrow\ V_x = A.I.;\ M_4 \text{ on} \\ V_{ckn} = 0, \text{INV}-\text{B in Precarica}, \rightarrow\ V_y = V_{dd};\ M_8 \text{ off} \end{array}\right\} \rightarrow$$

I nodi x e z, a causa delle capacità, sono inizialmente al valore precedentemente calcolato ($V_x = V_{dd}, V_z = 0$). Avviene quindi un transitorio di ridistribuzione della carica (HP: M4 lin):

$$\left.\begin{array}{r} Q_1^- = C_1 V_{dd} \\ Q_3^- = C_3 \cdot 0 \\ Q_1^+ = C_1 V_z^+ \\ Q_3^+ = C_3 V_z^+ \\ Q_1^- + Q_3^- = Q_1^+ + Q_3^+ \end{array}\right\} \rightarrow V_z^+ = \frac{C_1}{C_3 + C_1} V_{dd} = 0.943\ V = V^*$$

Verifica della ipotesi:

$$\left.\begin{array}{r} V_{GS4} = V_{dd} - V^* = 2.357\ V \\ V_{DS4} = V^* - V^* = 0 \end{array}\right\} \rightarrow V_{GS4} > V_{DS4} + V_{Tn} \rightarrow\ 2.357 > 0.4\ \rightarrow \text{OK}$$

4) $5\text{ns} < t < 10\text{ns}$:

$$\left.\begin{array}{r} V_{ck} = 0, \text{INV}-\text{A in Prec.}, \rightarrow V_x = V_{dd};\ M_4 \text{ off} \\ V_{ckn} = V_{dd}, \text{INV}-\text{B in Eval}, V_b = 0 \rightarrow\ V_y = \text{A.I.};\ M_8 \text{ on} \end{array}\right\} \rightarrow$$

I nodi y e z, a causa delle capacità, sono inizialmente al valore precedentemente calcolato ($V_y = V_{dd}, V_z = V^*$). Avviene quindi un transitorio di ridistribuzione della carica (HP: M8 lin)::

$$\left.\begin{array}{r} Q_2^- = C_2 V_{dd} \\ Q_3^- = C_3 V^* \\ Q_2^+ = C_2 V_z^+ \\ Q_3^+ = C_3 V_z^+ \\ Q_1^- + Q_3^- = Q_1^+ + Q_3^+ \end{array}\right\} \rightarrow V_z^+ = \frac{C_2 V_{dd} + C_3 V^*}{C_3 + C_2} = 1.616\ V = V^{**}$$

Verifica della ipotesi:

$$\left.\begin{array}{r} V_{GS8} = V_{dd} - V^{**} = 1.634\ V \\ V_{DS8} = V^{**} - V^{**} = 0 \end{array}\right\} \rightarrow V_{GS8} > V_{DS8} + V_{Tn} \rightarrow\ 1.634 > 0.4\ \rightarrow \text{OK}$$

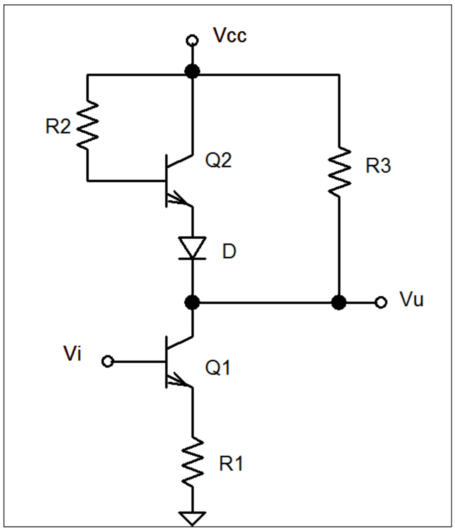
5) Identico a (1), riprende il periodo e l'andamento si ripete.

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A

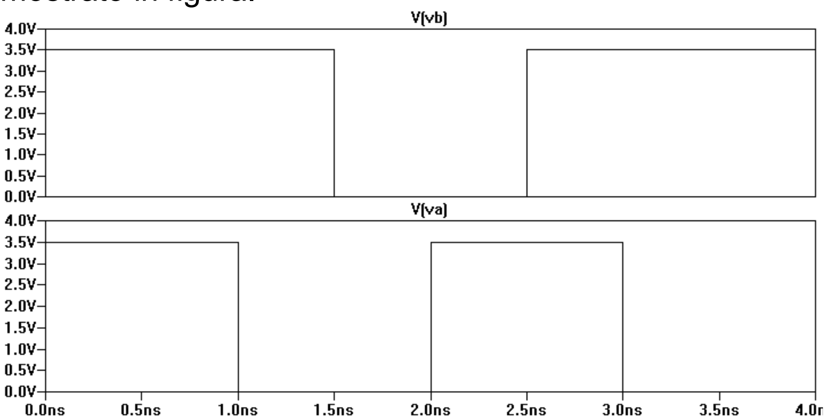
10 GIUGNO 2010

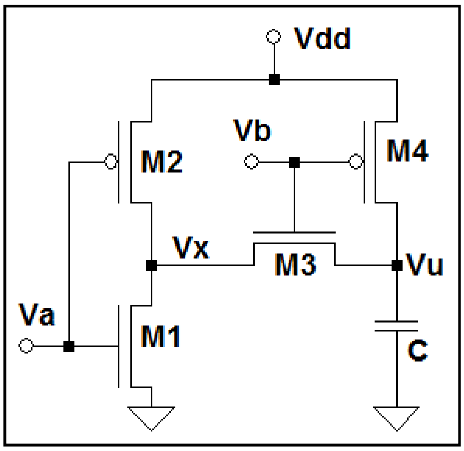
1) Nel circuito in figura, il diodo e i transistori bipolari possono essere descritti da un modello “a soglia”, con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento della rete.

V_{cc} =5.0 V, β_F=100, R_1 = 750 Ω, R_2 = 5 kΩ, R_3 = 1 kΩ.



2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn}=-V_{Tp}= V_T e dai coefficienti β_n = β_p.
I segnali di ingresso V_a e V_b abbiano l’andamento mostrato in figura.





Si determini il corrispondente andamento di V_u e si calcoli il tempo di propagazione $T_{p,HL}$.

V_{dd} = 3.3 V, V_T= 0.4 V, β_n= β_P=1 mA/V^2, C=50 fF.

Esame di ELETTRONICA AB (mod. B): svolgere l’esercizio 1 (tempo disponibile 1h 30m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l’esercizio 2 (tempo disponibile 1h 30m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L’elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

10/6/2010 - Soluzione esercizio 1

Osservazione preliminare: Q2 quando on sempre in AD; inoltre Q2 e D sono o entrambi on o entrambi off.

Regione 1: vi< v_γ. Q1 OFF e Q2 e D OFF. Allora vu=vcc.

Regione 2: vi> v_γ . Suppongo Q1 ON in AD, Q2 e D OFF (da verificare validità dell'ipotesi).

ir3=(vcc-vu)/r3 ic1=βf/(βf+1)*(vi- v_γ)/r1 Ma ir3=ic1 Risolvendo si trova che: **vu= 5.990-1.320 vi**	Vediamo per quali valori la serie Q2 e D è off. La serie Q2 e D è off fintantoché vcc-vu<2 v_γ, ovvero fintantoché vi<1.886 V. Quindi si rimane in questa regione fintantochè o A) Q1 va SAT, oppure B) la serie Q2 e D va ON
A) Q1 andrà sat quando vce(Q1)=vu-(vi- v_γ)=vcesat, quindi sse 5.990-1.320 vi -(vi- v_γ)=vcesat, da cui si ricava vi= 2.819 V	B) Il valore per il quale la serie Q2 e D rimane off è già stato calcolato sopra, e vale vi<1.886 V. Quindi si accende prima la serie Q2 , D.
Si rimane in regione 2 per v_γ <vi<1.886 V .	

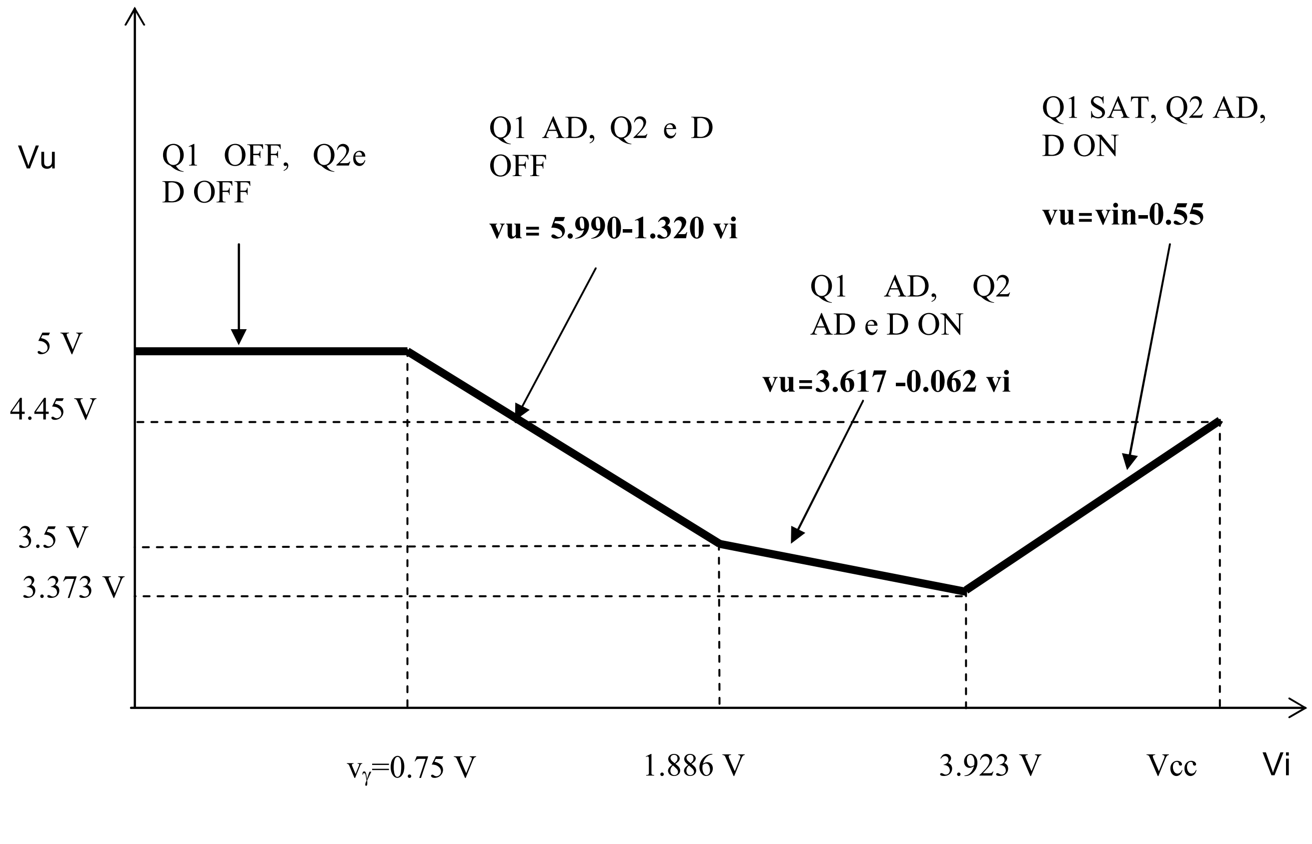
Regione 3: Q1 AD, Q2 AD e D on.

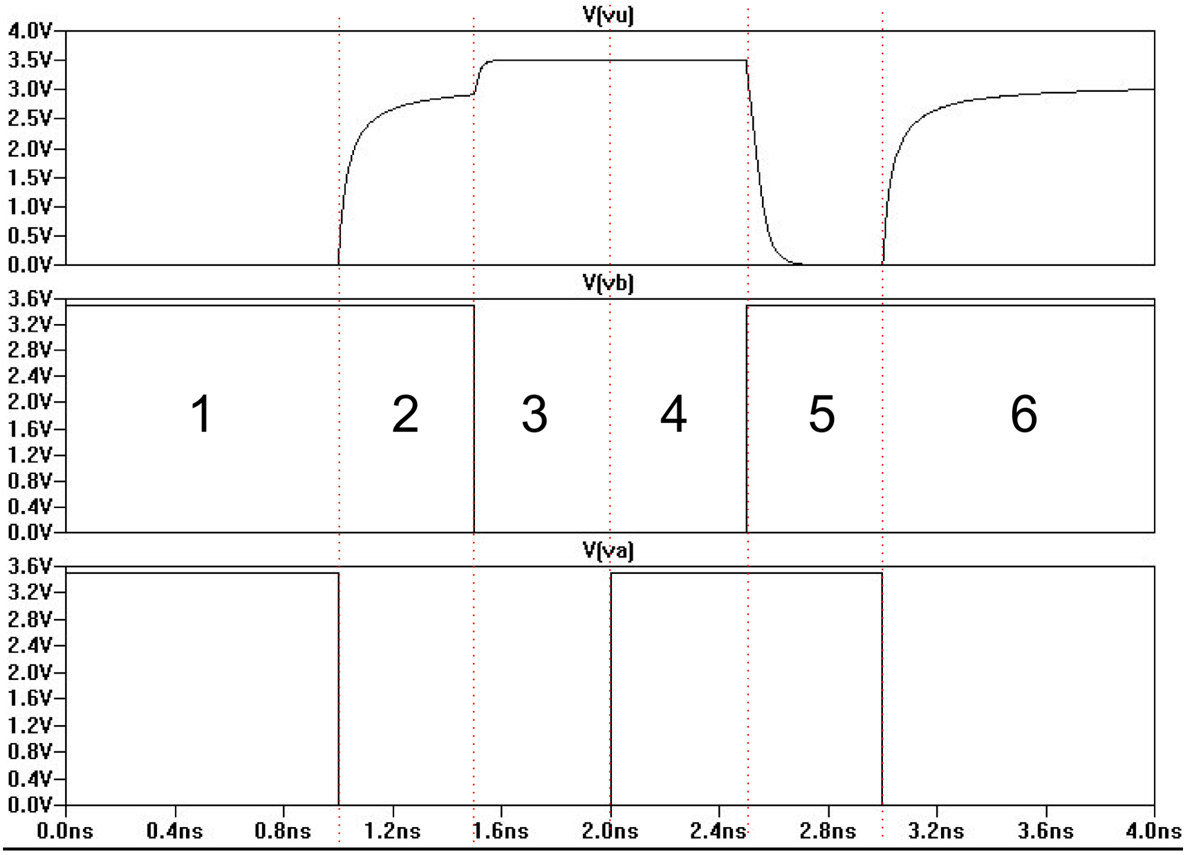
ir3=(vcc-vu)/r3 ic1=βf/(βf+1)*(vi-v_γ)/r1 ib2=(vcc-vu-2v_γ)/r2 ie2=(βf+1)*ib2 Ma ir3+ie2=ic1 Risolvendo si trova che: **vu=3.617 - 0.062 vi** Si rimane in questa regione fintantoché Q1 va SAT.	Calcoliamo il valore per il quale Q1 va sat: ir3=(vcc-vu)/r3 vu=vi- v_γ+vcesat ic1=βf/(βf+1)*(vi- v_γ)/r1 ib2=(vcc-vu-2 v_γ)/r2 ie2=(βf+1)*ib2 Ma ir3+ie2=ic1 Da cui si ricava vi= 3.923V.
Si rimane in regione 3 per 1.886 V <vi <3.923 V	

Regione 4: Q1 SAT, Q2 AD, D ON. vu=vi-v_γ+vcesat=vi-0.55V.
Si rimane in regione 4 per 3.923 V <vi< Vcc.

Di seguito si riporta la caratteristica statica di trasferimento.

10/6/2010 - Soluzione esercizio 1





Con riferimento alla figura soprastante:

1) $\mathrm{t} < 1\mathrm{ns}$: $V_a = V_b = V_{dd}, M_1$ on, M_2 off, M_3 on, M_4 off $\rightarrow V_x = 0, V_u = 0$
2) $1\mathrm{ns} < \mathrm{t} < 1.5\mathrm{ns}$: $V_a = 0, V_b = V_{dd}, M_1$ off, M_2 on, M_3 on, M_4 off $\rightarrow V_x = V_{dd}, V_u = V_{dd} - V_T$
   Il nodo V_u si carica attraverso un pull-up nMOS (escursione limitata a $V_{dd} - V_T$)
3) $1.5\mathrm{ns} < \mathrm{t} < 2\mathrm{ns}$: $V_a = 0, V_b = 0, M_1$ off, M_2 on, M_3 off, M_4 on $\rightarrow V_x = V_{dd}, V_u = V_{dd}$
   Il nodo V_u si carica attraverso un pull-up pMOS (escursione completa a V_{dd})
4) $2\mathrm{ns} < \mathrm{t} < 2.5\mathrm{ns}$: $V_a = V_{dd}, V_b = 0, M_1$ on, M_2 off, M_3 off, M_4 on $\rightarrow V_x = 0, V_u = V_{dd}$
5) $2.5\mathrm{ns} < \mathrm{t} < 3\ \mathrm{ns}$: $V_a = V_b = V_{dd}, M_1$ on, M_2 off, M_3 on, M_4 off $\rightarrow V_x = 0, V_u = 0$
   Come (1)
6) $3\mathrm{ns} < \mathrm{t} < 4\ \mathrm{ns}$: $V_a = 0, V_b = V_{dd}, M_1$ off, M_2 on, M_3 on, M_4 off $\rightarrow V_x = V_{dd}, V_u = V_{dd} - V_T$
   Come(2)

L'unico transitorio di discesa dell'uscita si compie a $2.5\mathrm{ns}$, nella transizione fra (4) e (5). Il condensatore C, inizialmente carico con $V_u = V_{dd}$, si scarica attraverso M_1e M_2 in serie, equivalenti a un unico transistore con $\beta_{eq} = \frac{\beta_n}{2}$. Per calcolare il tempo di propagazione $t_{p,HL}$ è quindi possibile utilizzare la relazione generale:

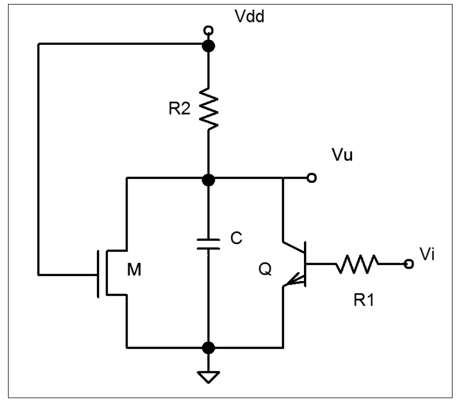
$$t_{p,HL} = \frac{2C}{\beta_{eq}}\left\{\frac{V_T}{(V_{DD} - V_T)^2} + \frac{1}{2(V_{DD} - V_T)}\ln\left(3 - 4\frac{V_T}{V_{DD}}\right)\right\}$$

che, con i valori assegnati, porta a:

$$t_{p,HL} = 41.3\ ps$$

PROVA SCRITTA DI ELETTRONICA
9 SETTEMBRE 2010

1) Nel circuito in figura, il transistore MOS è caratterizzato dalla tensione di soglia V_T e dal coefficiente β. Il transistore bipolare può essere descritto da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V.



Il segnale d'ingresso abbia il seguente andamento:

t<0: V_i= 0

t>0: V_i= Vdd

Si dimensionino le resistenze R1 ed R2 in modo tale che:

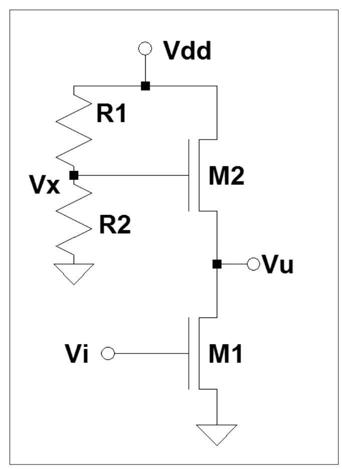
a) la potenza statica dissipata dal circuito per t<0 s sia P_{diss}=15 mW;
b) la tensione di soglia logica sia vi=vu=vlt=1.3 V;

Si calcoli quindi il tempo di discesa t_{fall} associato al segnale di uscita vu, definito come il tempo necessario a compiere la transizione fra il 90% e il 10% dell'escursione totale del segnale di uscita.

V_{dd} = 3.5 V, V_T= 0.5 V, β =1 mA/V^2, β_F=100, C= 15 nF.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V e dai coefficienti β_1 e β_2. Si determinino tali coefficienti in modo tale che:
- La massima potenza statica dissipata dal circuito sia pari a 1.5 mw
- L'escursione logica ΔV sia pari a 2.5 V

Si calcolino infine i margini di immunità ai disturbi della rete.
V_{dd} = 3.5 V, V_T= 0.4 V,R_1=2 kΩ, R_2=10 kΩ.



Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Soluzione esercizio 1

A) Dimensionamento delle resistenze.

1) Per t<0 vi=0V, il transistore Q è spento mentre M è on.
   M è lin sse vdd>vu+vt. Suppongo M1 lin (da verificare).

idnlin=β*((vdd-vt)*vu-vu^2/2)
ir2=(vdd-vu)/r2
Ma
ir2*vdd=Pdiss
ir2=idnlin

Da cui si ricavano le seguenti coppie di valori:
r2=-36 e vu=3.655 V
r2=269 e vu=2.345 V.
La soluzione da accettare è la seconda.
Tale soluzione soddisfa l'hp di linearità di M:
vu(=2.345 V) < vdd-vt (=3 V).

2) Alla soglia logica vi=vu=vlt=1.3 V.
   Q sarà in AD (vi(=vlt)>vγ quindi on, e vu(=vlt)>vcesat quindi in AD), ed M lin (vdd>vlt+vt=2.05 V).
   (Si noti che l'accensione di Q determina un ulteriore abbassamento della tensione d'uscita vu rispetto al valore calcolato per t<0, quindi M continuerà a lavorare il regione lin anche quando Q si accenderà.)

idnlin=β*((vdd-vt)*vlt-vlt^2/2)
ir2=(vdd-vlt)/r2
ic=β_f*(vlt-vγ)/r1

Ma
ir2=idnlin+ic
Da cui si ricava: r1=10735 Ω.

B) Calcolo del fall time, t_{fall}.

- t<0, vi=0, allora Q è off. M è on e lin e vu=2.345 V (già calcolato).

- Per t -> ∞, vi=vdd, quindi Q sarà on. Suppongo Q sat (vu=vcesat, da verificare), e M lin.

Verifico l'Hp di saturazione di Q1:
idnlin=β*((vdd-vt)*vcesat-vcesat^2/2)=0.58 mA
ir2=(vdd-vcesat)/r2=12.27 mA
ib=(vdd-v_γ)/r1=0. 26 mA
ic=ir2-idnlin=11.69 mA

Q è sat se ic<β_f*ib, 11.69 <26
che è verificata.
Allora vu(t->∞)=vcesat.

- Da quanto ricavato in precedenza si ha vu(t=0^+)=2.345 V, vu(t->∞)=vcesat e Δvu=2.145 V.
  Il t_{fall} è il tempo che il segnale d'uscita impiega per compiere la transizione da vu_{ini}=vcesat+0.9*Δvu= 2.1305 V , vu_{fin}=vcesat+0.1*Δvu= 0.4145.
  Durante l'intervallo evidenziato M è lin e Q è in AD.

idnlin=β*((vdd-vt)*vu-vu^2/2)
ir2=(vdd-vu)/r2
ic=β_f*(vdd-vγ)/r1
Cdvu/dt=ir2-idnlin-ic

$$\mathbf{tfall} = \int_{2.1305}^{0.4145} \frac{C}{\mathbf{ir2 - ic - idnlin}}\, d\mathbf{vu} =$$

= 1.297 μs

Soluzione esercizio 2

Si tratta di un invertitore nMOS a carico saturato. Infatti:

$$\left.\begin{aligned} V_x &= V_{dd}\frac{R_2}{R_1+R_2} = 2.92\ V \\ V_{GS2} &= V_x - V_u \\ V_{DS2} &= V_{dd} - V_u \end{aligned}\right\} \rightarrow V_{GS2} - V_{DS2} = -0.58\ V < V_T$$

Ipotizzando* che per $V_i = V_L$ il transistore M_1 sia OFF ($I_{D1} = I_{D2} = 0$), il valore alto dell'uscita vale:

$V_H = V_x - V_T = 2.516\ V$

da cui:

$V_L = V_H - \Delta V = 0.016\ V$

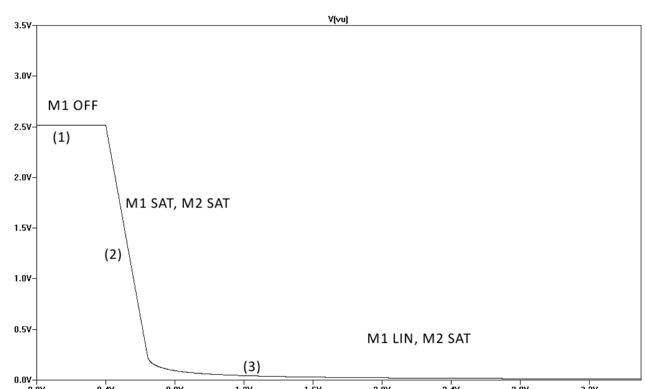
Poiché $V_L < V_T$, l'ipotesi (*) è soddisfatta. La massima potenza statica viene quindi dissipata nella condizione $V_i = V_H$, $V_u = V_L$. In questa condizione:

$V_{GS1} - V_{DS1} = V_H - V_L = \Delta V > V_T \ \rightarrow M_1$ LIN

Si ha quindi:

$$\left.\begin{aligned} I_{D1} &= I_{D2} \\ I_{D1} &= \beta_1\left((V_H - V_T)V_L - \frac{{V_L}^2}{2}\right) \\ I_{D2} &= \frac{\beta_2}{2}(V_x - V_L - V_T)^2 \\ I_{dd} &= \frac{P}{V_{dd}} = 428.6\ \mu A \\ I_{dd} &= I_{R1} + I_{D2} \\ I_{R1} &= I_{R2} = \frac{V_{dd}}{R_1+R_2} = 291.72\mu A \end{aligned}\right\} \rightarrow \begin{cases} \boldsymbol{\beta_1 = 3.896\ ^{mA}/_{V^2}} \\ \boldsymbol{\beta_2 = 43.8\ ^{\mu A}/_{V^2}} \end{cases}$$

La caratteristica statica di trasferimento è mostrata a fianco, ed è tipica degli invertitori a carico saturato. Il guadagno nel tratto (2) può essere ricavata uguagliando le correnti:



$$\left.\begin{aligned} I_{D1} &= I_{D2} \\ I_{D2} &= \frac{\beta_2}{2}(V_x - V_u - V_T)^2 \\ I_{D1} &= \frac{\beta_1}{2}(V_i - V_T)^2 \end{aligned}\right\} \rightarrow V_u = 6.28 - 9.43\, V_i$$

Poiché

$$\left.\begin{aligned} A_V^{(1)} &= 0 \\ A_V^{(2)} &= -9.13 \end{aligned}\right\} \rightarrow \begin{cases} V_{ILMAX} = V_T \\ V_{OHMIN} = V_H \end{cases}$$

Suppongo che il punto (V_{IHMIN}, V_{OLMAX}) cada nella regione (3) della curva, con M_1 in regime lineare; si ottiene quindi:

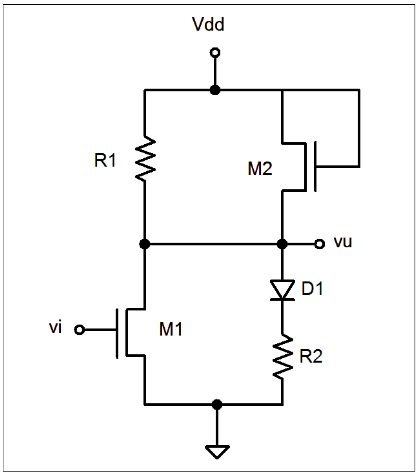
$$\left.\begin{aligned} I_{D1} &= I_{D2} \\ I_{D2} &= \frac{\beta_2}{2}(V_x - V_u - V_T)^2 \\ I_{D1} &= \frac{\beta_1}{2}(V_i - V_T)^2 \\ \frac{dV_u}{dV_i} &= -1 \end{aligned}\right\} \rightarrow \dots \rightarrow \begin{cases} V_{IHMIN} = 0.681\ V \\ V_{OLMAX} = 0.154\ V \end{cases}$$

e infine:

$$\left.\begin{aligned} N_{ML} &= V_{ILMAX} - V_{OLMAX} = 0.246\ V \\ N_{MH} &= V_{OHMIN} - V_{IHMIN} = 1.836\ V \end{aligned}\right\} \rightarrow \boldsymbol{N_M = 0.246\ V}$$

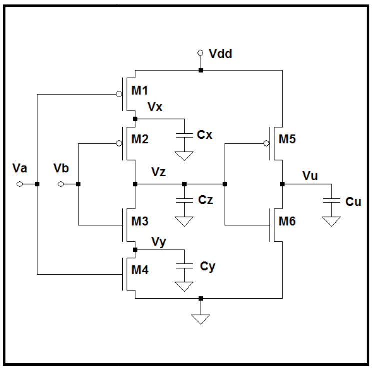
<u>PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A</u>
18 FEBBRAIO 2010

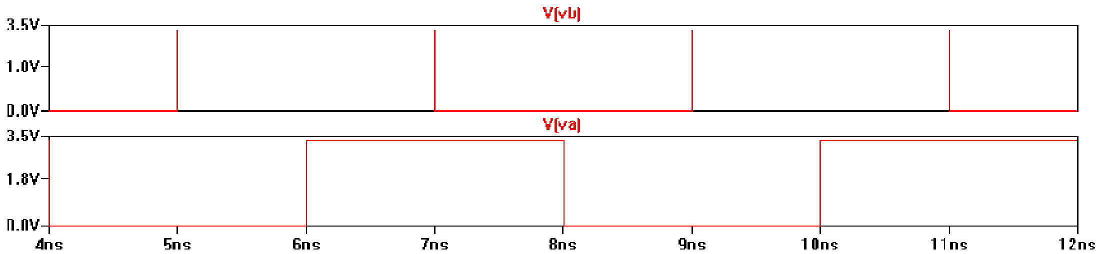
1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{T1}, V_{T2} e dai coefficienti β_1e β_2, mentre il diodo può essere descritto da un modello "a soglia" con V_γ=0.75 V.
Si determinino i margini d'immunità ai disturbi N_{ML}, N_{MH} e N_M della rete.



V_{dd} = 3.5 V, V_{T1} =0. 4 V, V_{T2} = 0.6 V ,β_1=5 mA/V^2, β_2=0.05 mA/V^2, R1=4 kΩ, R2=2 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn}=|V_{Tp}|=V_T e dai coefficienti β_n e β_p. I segnali di ingresso V_a e V_b abbiano l'andamento periodico mostrato in figura. Si determini l'andamento dei segnali V_x, V_y, V_z e V_u, valutando in particolare i tempi di propagazione associati alle transizioni del segnale V_u. A questo scopo, si considerino trascurabili i tempi associati alle commutazioni dei segnali V_x, V_y e V_z. Si assuma inoltre che ogni transitorio si esaurisca prima della successiva variazione degli ingressi.
V_{dd} = 3.3 V, V_{Tn}= 0.35 V, V_T= 0.35 V, β_n= 0.8 mA/V^2,
β_P=0.6 mA/V^2 ,C_x= C_y=15 fF, C_z=5 fF, C_u=150 fF.





Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h e 30m).
- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 12-01-2011 - Esercizio #1

Oss. Preliminare: M2 quando on (sse $vu<vdd-v_{t2}$) è sat ($0<v_{t2}$).

Regione 1: $vi<vt_1$, allora M1 OFF. M2 sat e D1 on (se $vu>v_\gamma$)

idn2sat=β_2/2*(vdd-vu-vt_2)^2 ir1=(vdd-vu)/r1 ir2=(vu-vγ)/r2 Ma ir1+idn2sat=ir2	Da cui si ricavano i seguenti valori di vu: vu=1.714 V, vu=34.086 V. Delle due soluzioni la prima è quella accettabile e soddisfa le Hp fatte.

Regione 2: $vi>v_{t1}$ M1 sat ($vi<vu+v_{t1}$ da verificare). Inoltre M2 sat e D on

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).	
idn1sat=β_1/2*(vi-vt_1)^2 idn2sat=β_2/2*(vdd-vu-vt_2)^2 ir1=(vdd-vu)/r1 ir2=(vu-vγ)/r2 d(idn1sat)/dvi=β_1*(vi-vt_1)*1 d(idn2sat)/dvi=β_2*(vdd-vu-vt_2)*-1*-1 d(ir1)/dvi=(-1*-1)/r1 d(ir2)/dvi=(1*-1)/r2 Ma ir1+idn2sat=idn1sat+ir2 e d(ir1)/dvi+d(idn2sat)/dvi=d(idn1sat)/dvi+d(ir2)/dvi	Risolvendo si ricavano le seguenti coppie di valori (vi, vu): (vi=0.237 V, vu=34.168 V) e, (vi=0.563 V, vu=1.632 V). Delle due soluzioni quella accettabile è la seconda, quindi: V_{0HMIN}=1.632 V, e V_{ILMAX}=0.563 V. Tale coppia di valori soddisfa l'Hp di saturazione di M1 [vu(=1.632)> vi-vt_1 (=0.163V)], e di accensione di M2 e D1.

Possono ora accadere due cose: 1) o M1 va lin, oppure 2) il diodo D1 si spegne. Devo verificare quale delle due condizioni avviene per prima.

1) M1 va lin, M2 sat, D1 on: idn1lin=β_1*((vi-vt_1)*vu-1/2*vu^2) idn2sat=β_2/2*(vdd-vu-vt_2)^2 ir1=(vdd-vu)/r1 ir2=(vu-v_γ)/r2 Ma vi=vu+vt_1 (per vi>vu+v_{t1} M1 diventa lin) e ir1+idn2sat=idn1lin+ir2 da cui si ricava che vi=-0.570 V,vu=-0.970V oppure vi=1.008 V,vu=0.608 V (Tale soluzione non verifica la Hp di accensione di D1).	2) M1 sat, M2 sat, e D1va off. idn1sat=β_1/2*(vi-vt_1)^2 idn2sat=β_2/2*(vdd-vu-vt_2)^2 ir1=(vdd-vu)/r1 Ma vu=v_γ (per vu<v_γ D1 diventa off) e ir1+idn2sat=idn1sat da cui si ricava che vi=-0.167 V o vi=0.967 V (Tale soluzione è accettabile e verifica la sat di M1: vi (=0.967 V)< vu+v_{t1} (=1.15 V) Si verifica allora lo spegnimento del diodo, che avviene per vi=0.967V.

Regione 3: M1 sat, M2 sat, D1 off.

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).	
idn1sat=β_1/2*(vi-v_{t1})^2 idn2sat=β_2/2*(vdd-vu-v_{t2})^2 ir1=(vdd-vu)/r1 d(idn1sat)/dvi=β_1*(vi- v_{t1})*1 d(idn2sat)/dvi=β_2*(vdd-vu-v_{t2})*-1*-1 d(ir1)/dvi=(-1*-1)/r1	Ma ir1+idn2sat=idn1sat e d(ir1)/dvi+d(idn2sat)/dvi=d(idn1sat)/dvi da cui si ricavano le seguenti coppie di valori (vi,vu): (vi=0.444 V, vu=3.519 V) e (vi=0.356 V, vu=12.281 V) Nessuna delle soluzioni è accettabile.

Regione 4: M1 lin, M2 sat, D1 off.

<table>
<tr><td colspan="2">Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).</td></tr>
<tr><td>idn1lin=β_1*((vi-vt$_1$)*vu-1/2*vu^2)
idn2sat=β_2/2*(vdd-vu-v$_{t2}$)^2
ir1=(vdd-vu)/r1
d(idn1lin)/dvi=β_1*((vi-v$_{t1}$)*-1+vu-1/2*2*vu*-1)
d(idn2sat)/dvi=β_2*(vdd-vu-v$_{t2}$)*-1*-1
d(ir1)/dvi=(-1*-1)/r1
Ma ir1+idn2sat=idn1lin
e d(ir1)/dvi+d(idn2sat)/dvi=d(idn1lin)/dvi
da cui si ricavano le seguenti coppie di valori (vi,vu):
(vi=-0.442 V, vu=-0.380V) e
(vi=1.084 V, vu=0.380V)</td><td>Delle due soluzioni quella accettabile è la seconda. Tale coppia di valori soddisfa l'Hp di linearità di M1, 1.084 V > 0.780 V, e di accensione di M2. Quindi V_{IHMIN}=1.084 V, e V_{OLMAX}=0.380V.

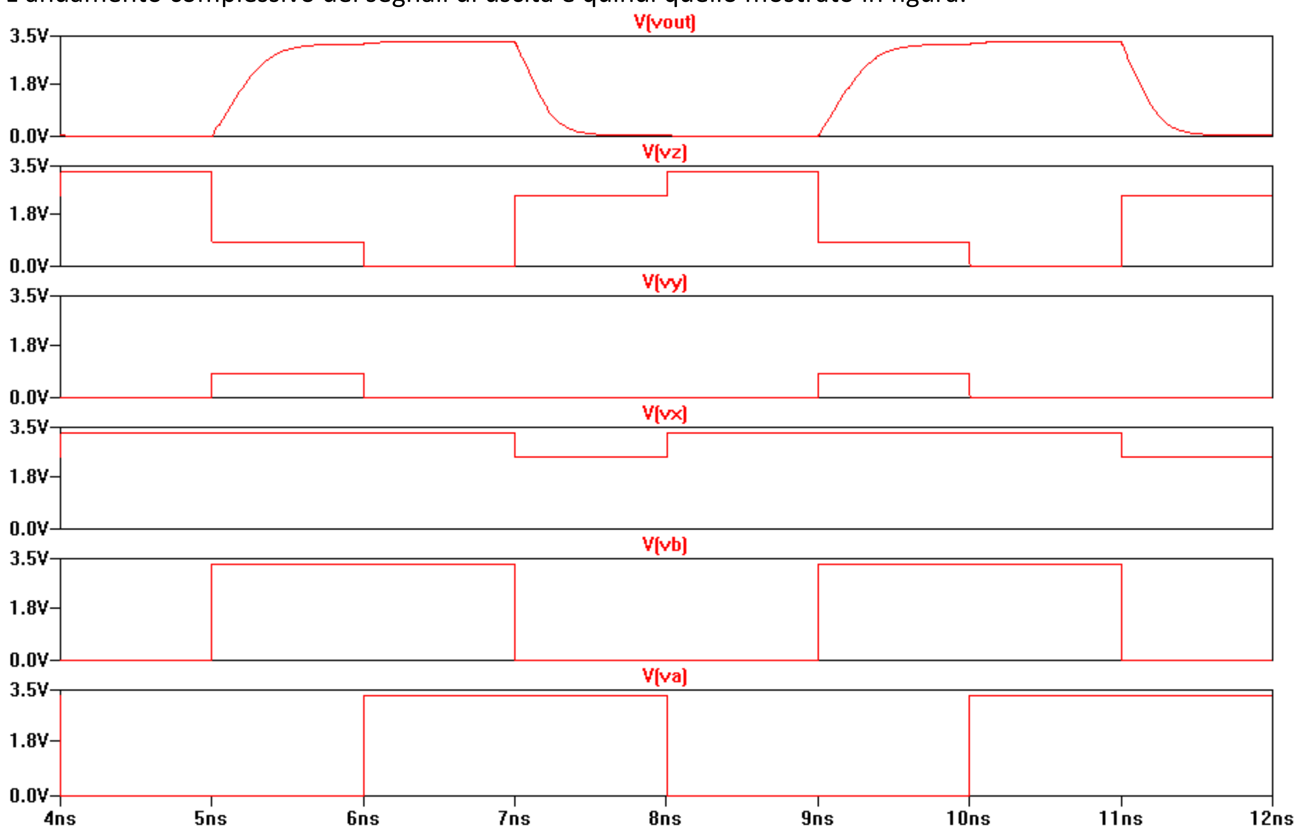
Si ricava allora che:
NM_H=1.632 V- 1.084 V=0.548 V e
NM_L=0.563 V- 0.380 V= 0.183 V (=NM).</td></tr>
</table>

Esercizio 2 – 12.1.2011

Considerando il primo stadio (M_1, M_2, M_3, M_4) si hanno i 4 casi seguenti:

1) $0 < t < 1ns,\ V_a = V_b = 0$
   M_1, M_2 on $\rightarrow V_x = V_z = V_{DD} \rightarrow M_5$ off, M_6 on $\rightarrow V_u = 0$
   M_3, M_4 off $\rightarrow V_y$ in alta impedenza (si mantiene al valore precedente- v. (4)) $\rightarrow V_y = 0$
2) $1ns < t < 2ns,\ V_a = 0,\ V_b = V_{DD}$
   M_1 on $\rightarrow V_x = V_{DD}$
   M_2off, M_3 on, M_4 off $\rightarrow V_{y,}\ V_z$ in alta impedenza, ridistribuzione di carica:
$$V_z^+ = V_y^+ = \frac{C_y V_y^- + C_z V_z^-}{C_y + C_z} = \frac{C_z V_{DD}}{C_y + C_z} = 0.825\ V$$
   $\rightarrow V_{SG5} = V_{DD} - V_z = 2.545\ V > V_T \rightarrow M_5$ on (HP: LIN)
   $\rightarrow V_{GS6} = V_z > V_T \rightarrow M_6$ on (HP: SAT)
$$\left.\begin{array}{r} I_{D5} = I_{D6} \\ I_{D5} = \beta_p\left((V_{SG5} - V_T)(V_{DD} - V_U) - \dfrac{(V_{DD} - V_U)^2}{2}\right) \\ I_{D6} = \beta_n \dfrac{(V_{GS6} - V_T)^2}{2} \end{array}\right\} \rightarrow V_U = 3.228\ V$$
3) $2ns < t < 3ns,\ V_a = V_b = V_{DD}$
   M_3, M_4 on $\rightarrow V_y = V_z = 0 \rightarrow M_5$ on, M_6 off $\rightarrow V_u = V_{DD}$
   M_1, M_2 off $\rightarrow V_x$ in alta impedenza (si mantiene al valore precedente) $\rightarrow V_x = V_{DD}$
4) $3ns < t < 4ns,\ V_a = V_{DD},\ V_b = 0$
   M_4 on $\rightarrow V_y = 0$
   M_1off, M_2 on, M_3 off $\rightarrow V_{x,}\ V_z$ in alta impedenza, ridistribuzione di carica:
$$V_z^+ = V_x^+ = \frac{C_x V_x^- + C_z V_z^-}{C_x + C_z} = \frac{C_x V_{DD}}{C_x + C_z} = 2.475\ V$$
   $\rightarrow V_{SG5} = V_{DD} - V_z = 0.825\ V > V_T \rightarrow M_5$ on (HP: SAT)
   $\rightarrow V_{GS6} = V_z > V_T \rightarrow M_6$ on (HP: LIN)
$$\left.\begin{array}{r} I_{D5} = I_{D6} \\ I_{D6} = \beta_n\left((V_{GS6} - V_T)V_U - \dfrac{{V_U}^2}{2}\right) \\ I_{D5} = \beta_p \dfrac{(V_{SG5} - V_T)^2}{2} \end{array}\right\} \rightarrow V_U = 0.04\ V$$

L'andamento complessivo dei segnali di uscita è quindi quello mostrato in figura:



Calcolo dei transitori di V_U: il transitorio di salita (a 1 ns, per esempio), prevede $V_U: 0 \rightarrow 3.228V$, con $V_z = 0.825V$ e quindi M_5, M_6 entrambi on. Il tempo di propagazione relativo è quindi il tempo necessario a compiere metà dell'escursione ($0 \rightarrow 1.614V$).

M_5 LIN se: $V_{SG5} > (V_{DD} - V_U) + V_T \; \rightarrow \; V_U > 1.175V$
M_6 LIN se: $V_{GS6} > V_U + V_T \; \rightarrow \; V_U < 0.475V$

Quindi il transitorio si compone di tre parti :

$$V_U: 0 \xrightarrow[(1)]{M_5 \text{ SAT}, M_6 \text{ LIN}} 0.475V \xrightarrow[(2)]{M_5 \text{ SAT}, M_6\text{SAT}} 1.175V \xrightarrow[(3)]{M_5 \text{ LIN}, M_6 \text{ SAT}} 1.614V$$

Nel tratto 1:

$$C_U \frac{dV_U}{dt} = I_{D6,LIN} - I_{D5,SAT} \; \rightarrow \; \int_0^{t_1} dt = \int_0^{0.475V} \frac{C_U}{I_{D6,LIN} - I_{D5,SAT}} dV_U \rightarrow \; t_1 = 55.06 \, ps$$

Analogamente:

$$t_2 = \int_{0.475V}^{1.175V} \frac{C_U}{I_{D6,SAT} - I_{D5,SAT}} dV_U \rightarrow \; t_2 = 83.04 \, ps$$

$$t_3 = \int_{1.175V}^{1.614V} \frac{C_U}{I_{D6,LIN} - I_{D5,SAT}} dV_U \rightarrow \; t_3 = 52.90 \, ps$$

e, complessivamente: $t_{p,HL} = t_1 + t_2 + t_3 = 191 \, ps$.

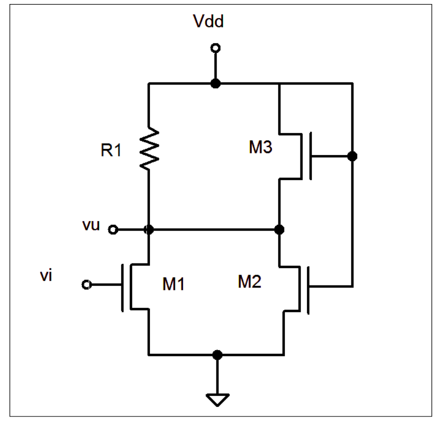
In maniera duale, il transitorio di discesa (a 3 ns, per esempio), prevede $V_U: V_{DD} \rightarrow 0.04V$, con $V_z = 2.475V$ e quindi M_5, M_6 entrambi on. Il tempo di propagazione relativo è quindi il tempo necessario a compiere metà dell'escursione ($V_{DD} \rightarrow 1.63V$). Analogamente al caso precedente, il transitorio si compone di tre parti :

$$V_U \xrightarrow[(1)]{M_5 \text{ LIN}, M_6 \text{ SAT}} 2.825V \xrightarrow[(2)]{M_5 \text{ SAT}, M_6\text{SAT}} 2.125V \xrightarrow[(3)]{M_5 \text{ SAT}, M_6 \text{ LIN}} 1.63V$$

e, complessivamente: $t_{p,LH} = t_1 + t_2 + t_3 = 40.46 + 60.40 + 43.55 = 144.4 \, ps$.

I transitori residui ($V_U: 3.228V \rightarrow V_{DD}, V_U: 0.04V \rightarrow 0$) possono essere trascurati.

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{T1}=V_{T2}=V_{T3}=V_T$ e dai coefficienti β_1, $\beta_2=\beta_3$.

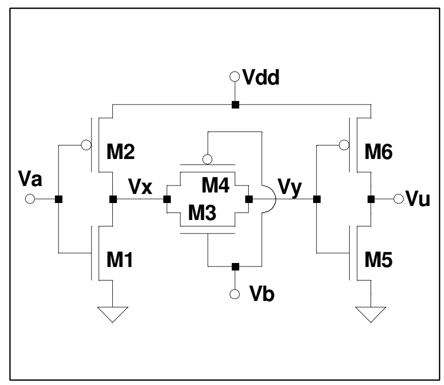


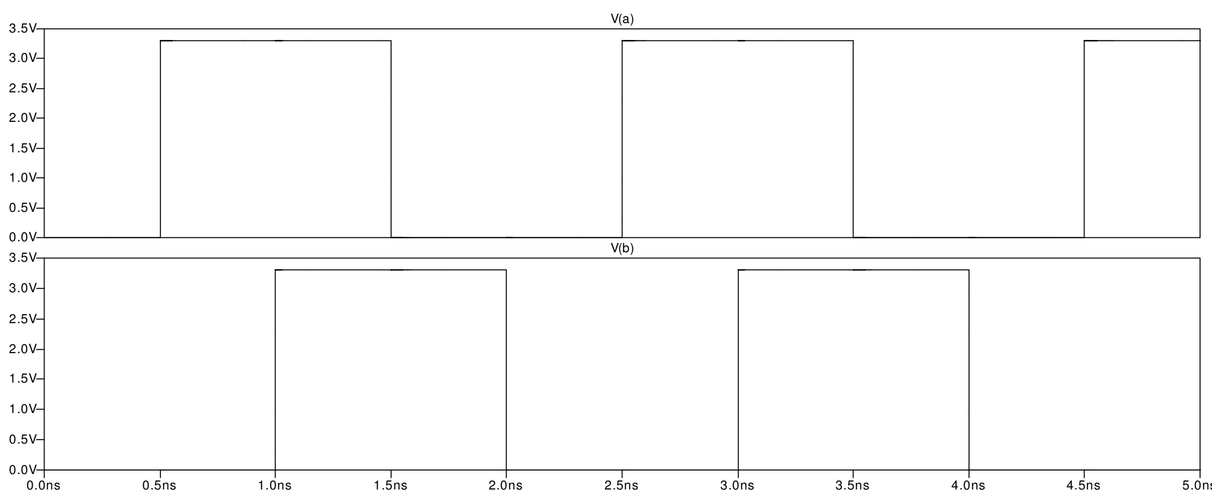
- Si dimensioni la resistenza R1 in modo tale che in corrispondenza della soglia logica ($v_i=v_u=v_{LT}$) la differenza di potenziale su R1 sia pari a 2.627 V.

Si determinino quindi i margini d'immunità ai disturbi N_{ML}, N_{MH} e N_M della rete.

V_{dd} = 3.5 V, V_T = 0.55 V, β_1=10 mA/V^2, $\beta_2=\beta_3$=0.1 mA/V^2.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Ti} e dai coefficienti β_i.
I segnali di ingresso V_a e V_b sono periodici ed hanno l'andamento mostrato in figura.
Si determini l'andamento di V_u, trascurando i fenomeni di transitorio.
Si determini infine la potenza statica media erogata dal generatore V_{dd}.





V_{dd} = 3.3 V, V_{T1}= V_{T5}= 0.4 V, V_{T2}= V_{T6}= -0.4 V, V_{T3}= 1.2 V, V_{T4}= -1.2 V, β_1= β_3= β_5=1 mA/V2, β_2= β_4= β_6=700 µA/V2.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 30m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 30m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h 30m).
- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

18/1/2010 - Soluzione esercizio 1

Oss. preliminare: M3 quando on (se vu<vdd-vt) è sat (0<vt).

Dimensionamento di R1. Alla soglia logica vu=vi=v_{LT}. M1lin, M2 lin, M3sat

Alla soglia logica vu=vi=vlt La differenza di potenziale ai capi di R1 vale vdd-vu=vdd-vlt= 2.627 V, quindi vlt=0.873 V idn1sat=β_1/2*(vi-vt)^2 idn2lin=β_2*((vdd-vt)*vu-vu^2/2)	idn3sat= β_3/2*(vdd-vu-vt)^2 ir1=(vdd-vu)/r1 Ma ir1+idn3sat=idn2lin+idn1sat Da cui si ricava che R1= 5000.22 Ω Si assume R1=5 kΩ

Regione 1: vi<vt, allora M1 OFF. Suppongo M2 lin(sse vu<vdd-vt=2.95 V), M3 sat.

idn2lin=β_2*((vdd-vt)*vu-vu^2/2) idn3sat=β_3/2*(vdd-vu-vt)^2 ir1=(vdd-vu)/r1 Ma ir1+idn3sat=idn2lin	Da cui si ricavano i seguenti valori di vu: vu=1.888 V, vu=6.013 V. Delle due soluzioni la prima è quella accettabile: 1.888 V(=vu) <2.95(=vdd-vt) V e soddisfa le Hp fatte.

Regione 2: vi>vt M1 sat (sse vi<vu+vt da verificare). Inoltre M2 lin e M3 sat.

<table>
<tr><td colspan="2">Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).</td></tr>
<tr><td>ir1=(vdd-vu)/r1
idn1sat= β_1/2*(vi-vt)^2
idn2lin= β_2*((vdd-vt)*vu-vu^2/2)
idn3sat= β_3/2*(vdd-vu-vt)^2
Cerco i punti tali che dvu/dvi=-1
d(idn1sat)/dvi = β_{1*}(vi-vt)
d(idn2lin)/dvi = β_2*(-1*(vdd-vt)-vu*-1)
d(idn3sat)/dvi = β_3*(vdd-vu-vt)*(-1*-1)
d(ir1)/dvi =-1/r1*-1
Ma ir1+idn3sat=idn2lin+idn1sat
d(ir1)/dvi+d(idn3sat)/dvi=d(idn2lin)/dvi+d(idn1sat)/dvi</td><td>Risolvendo si ricavano le seguenti coppie di valori (vi, vu):
(vi=0.508 V, vu=6.033 V) e,
(vi=0.592 V, vu=1.867 V).
Delle due soluzioni quella accettabile è la seconda, quindi:
V_{0HMIN}=1.867 V, e V_{ILMAX}=0.592 V.
Tale coppia di valori soddisfa l’Hp di saturazione di M1 [vu (=1.867) > vi-vt (=0.042V)] , M2 e M3.</td></tr>
</table>

Regione 3: Suppongo M1 lin (vi>vu+vt da verificare). Inoltre M2 lin e M3 sat.

<table>
<tr><td colspan="2">Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).</td></tr>
<tr><td>ir1=(vdd-vu)/r1
idn1lin= β_1*((vi-vt)*vu-vu^2/2)
idn2lin= β_2*((vdd-vt)*vu-vu^2/2)
idn3sat= β_3/2*(vdd-vu-vt)^2
Cerco i punti tali che dvu/dvi=-1
d(idn1lin)/dvi= β_{1*}(vu-1*(vi-vt)-vu*-1)
d(idn2lin)/dvi= β_2*(-1*(vdd-vt)-vu*-1)
d(idn3sat)/dvi= β_3*(vdd-vu-vt)*(-1*-1)
d(ir1)/dvi=-1/r1*-1
Ma
d(ir1)/dvi+d(idn3sat)/dvi=d(idn2lin)/dvi+d(idn1lin)/dvi
ir1+idn3sat=idn2lin+idn1lin</td><td>da cui si ricavano le seguenti coppie di valori (vi,vu): (vi=-0.083 V, vu=-0.274 V) e
(vi=1.025 V, vu=0.274 V).

Delle due soluzioni quella accettabile è la seconda, quindi: V_{IHMIN}=1.025 V, e V_{OLMAX}=0.274 V.

Tale coppia di valori soddisfa l’Hp di linearità di M1 [vu (=0.274) < vi-vt (=0.475 V)] , M2 e M3.

Si ricava allora che:
NM_H=1.867 V-1.025 V=0.842 V e
NM_L=0.592 V-0.274 V=0.318 V (=NM).</td></tr>
</table>

Il segnale V_x è l'uscita di un invertitore CMOS, e ha quindi l'andamento complementare di V_a. V_x è trasferito su V_y attraverso i pass-transistor M_3 e M_4in parallelo. A causa delle limitazioni di escursione nel trasferimento del segnale attraverso i pass transistor, V_y può assumere valori diversi da 0 e V_{dd}, in ingresso all'invertitore CMOS formato da M_5 e M_6.

Intervallo (1) [0-0.5 ns]

$$V_a = V_b = 0 \rightarrow \begin{Bmatrix} V_x = V_{dd} \\ M_3 \text{ off}, M_4 \text{ on} \end{Bmatrix} \rightarrow V_y = V_{dd} \rightarrow V_u = 0$$

Intervallo (2) [0.5-1 ns]

$$V_a = V_{dd}, V_b = 0 \rightarrow \begin{Bmatrix} V_x = 0 \\ M_3 \text{ off}, M_4 \text{ on} \end{Bmatrix} \rightarrow V_y = |V_{T4}| = 1.2\ V$$

Il transistore M_4 funge da pull-down, trasferendo un valore basso "debole". L'invertitore M_5/M_6 "lavora" quindi in un punto intermedio della propria caratteristica di trasferimento:

$$\left.\begin{array}{c} V_y > V_{T5} \rightarrow M_5 \text{ on (HP: SAT)} \rightarrow I_{D5} = \frac{\beta_5}{2}\left(V_y - V_{T5}\right)^2 = \mathbf{0.32\ mA} \\ V_y < V_{dd} - |V_{T6}| \rightarrow M_6 \text{ on (HP: LIN)} \rightarrow I_{D6} = \beta_6\left(\left(V_{dd} - V_y - |V_{T6}|\right)(V_{dd} - V_u) - \frac{(V_{dd}-V_u)^2}{2}\right) \\ I_{D5} = I_{D6} \end{array}\right\} \rightarrow \begin{cases} V_u = 0.19\ V\ \ (non\ soddisfa\ HP) \\ \boldsymbol{V_u = 3.01\ V}\ \ (soddisfa\ HP) \end{cases}$$

Intervallo (3) [1-1.5 ns]

$$V_a = V_b = V_{dd} \rightarrow \begin{Bmatrix} V_x = 0 \\ M_3 \text{ on}, M_4 \text{ off} \end{Bmatrix} \rightarrow V_y = 0 \rightarrow V_u = V_{dd}$$

Intervallo (4) [1.5-2 ns]

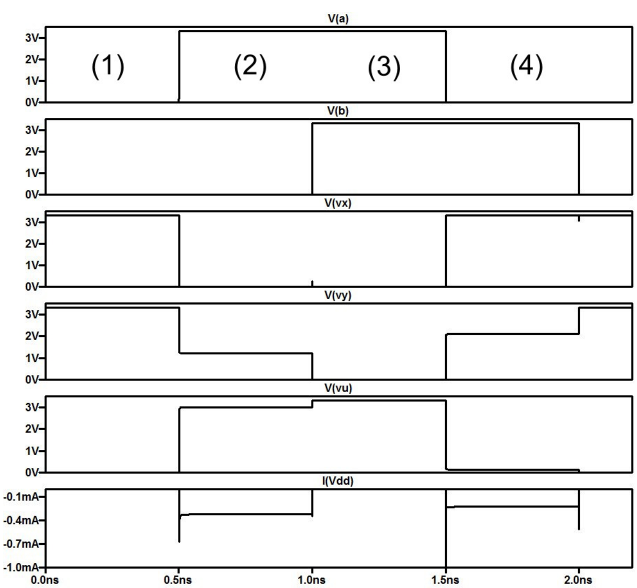
$$V_a = 0, V_b = V_{dd} \rightarrow \begin{Bmatrix} V_x = V_{dd} \\ M_3 \text{ on}, M_4 \text{ off} \end{Bmatrix} \rightarrow V_y = V_{dd} - V_{T3} = 2.1\ V$$

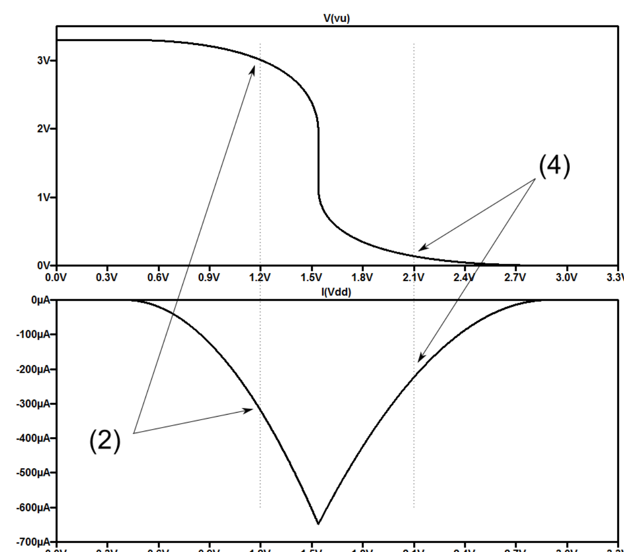
Il transistore M_3 funge da pull-up, trasferendo un valore alto "debole". L'invertitore M_5/M_6 "lavora" quindi in un punto intermedio della propria caratteristica di trasferimento:

$$\left.\begin{array}{c} V_y > V_{T5} \rightarrow M_5 \text{ on (HP: LIN)} \rightarrow I_{D5} = \beta_5\left(\left(V_y - V_{T5}\right)V_u - \frac{V_u^2}{2}\right) \\ V_y < V_{dd} - |V_{T6}| \rightarrow M_6 \text{ on (HP: SAT)} \rightarrow I_{D6} = \frac{\beta_6}{2}\left(V_{dd} - V_y - |V_{T6}|\right)^2 = \mathbf{0.224\ mA} \\ I_{D5} = I_{D6} \end{array}\right\} \rightarrow \begin{cases} V_u = 3.26\ V\ \ (non\ soddisfa\ HP) \\ \boldsymbol{V_u = 0.137\ V}\ \ (soddisfa\ HP) \end{cases}$$

Il circuito dissipa potenza statica negli intervalli (2) e (4), nei quali sono simultaneamente accese le reti di pull-up e pull-down dell'invertitore M_5/M_6. La potenza statica media dissipata vale quindi:

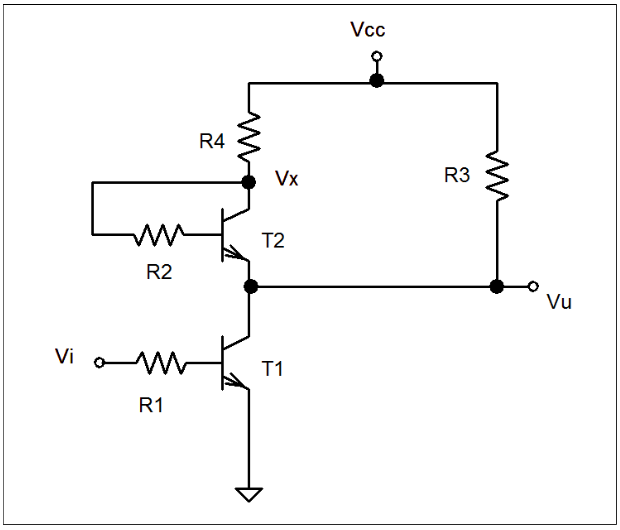
$$P = \frac{1}{T}\int_0^T V_{dd} \cdot I(V_{dd})\ dt = \frac{V_{dd}}{2\ ns}\left\{\int_0^{0.5ns} 0\ dt + \int_{0.5ns}^{1ns} (0.32\ mA)\ dt + \int_{1ns}^{1.5ns} 0\ dt + \int_{1.5ns}^{2ns} (0.224\ mA)\ dt\right\} = \boldsymbol{448.8\ \mu W}$$





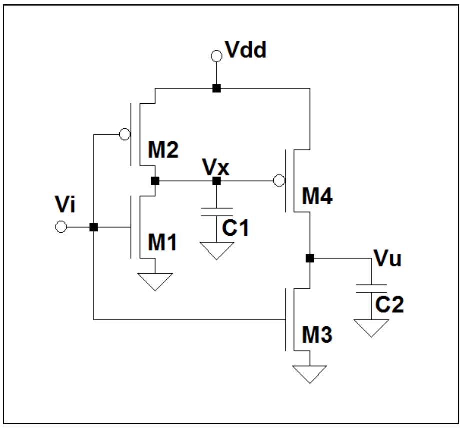
PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
28 GENNAIO 2010

1) Nel circuito in figura, i transistori bipolari possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento vu(vi) per 0<vi<vcc, ed i margini d'immunità ai disturbi N_{ML}, N_{MH} e N_M della rete.



V_{cc} = 5.0 V, β_F=100, R_1 = 20 kΩ, R_2 = 5 kΩ, R_3 = 2 kΩ, R_4 = 500 Ω.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn}=-V_{Tp}= V_T e dai coefficienti β_n e β_p.
Il segnale di ingresso V_i è periodico, alternando i valori 0 e V_{dd}, con periodo di 4 ns e duty-cycle pari al 50%.
Si determini il corrispondente andamento di V_u; a tale scopo si considerino "brusche" le transizioni del segnale V_x, ritardate rispetto alla variazione del segnale V_i di un tempo pari al tempo di propagazione associato alla transizione specifica (cioè al tempo necessario a compiere il 50% di ciascuna transizione). Si determinino quindi tali tempi di transizione.
Si determini infine la potenza statica media erogata dal generatore V_{dd}. A tale scopo si trascurino le potenze associate ai transitori di carica e scarica delle capacità.



V_{dd} = 3.3 V, V_T= 0.4 V, β_n=1.2 mA/V2, β_p=750 µA/V2, C_1=250 fF, C_2 trascurabile.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 30m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 30m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h 30m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 28-01-2010

Esercizio 1

Osservazioni preliminari:

1) T2 quando ON è in AD . Inoltre T2 può essere ON solo se T1 è ON.

Regione 1: vi< v_γ**:** T1 OFF ; T2 OFF. T2 off (perché T1 è off), allora ir4=(vcc-vx)/r4=0, sse vx=vcc). ir3=(vcc-vu)/r3=0 sse vu=vcc.

Regione 2: vi> v_γ**:** T1 AD ; T2 OFF

ir3=(vcc-vu)/r3 ib1=(vi-v_γ)/r1 Ma ir3=βf*ib1 Risolvendo si trova che: vu=12.5 -10 vi	Il punto di passaggio dalla regione 1 alla 2 è un punto angoloso che corrisponde al punto ($V_{ILMAX,}$ V_{OHMIN}), essendo il punto in cui la caratteristica passa da una regione ad |Av|=0 |ad una ad |Av|(=10)>1. Ne determino le coordinate: ($V_{ILMAX,}$ V_{OHMIN})= (v_γ, vcc) Si rimane in questa regione fintantoché T1 va sat o T2 va ON.
1) T1 va sat quando vu=vcesat Ma vu=12.5 -10 vi=vcesat sse vi= 1.23V	2) T2 va on (in AD) quando vx-vu= v_γ, ma vx=vcc, quindi quando vcc-vu= v_γ sse vi= 0.825 V
Delle due condizioni quella che si verifica prima è allora l'accensione di T2	
Regione 2: per v_γ < vi <0.825 V	

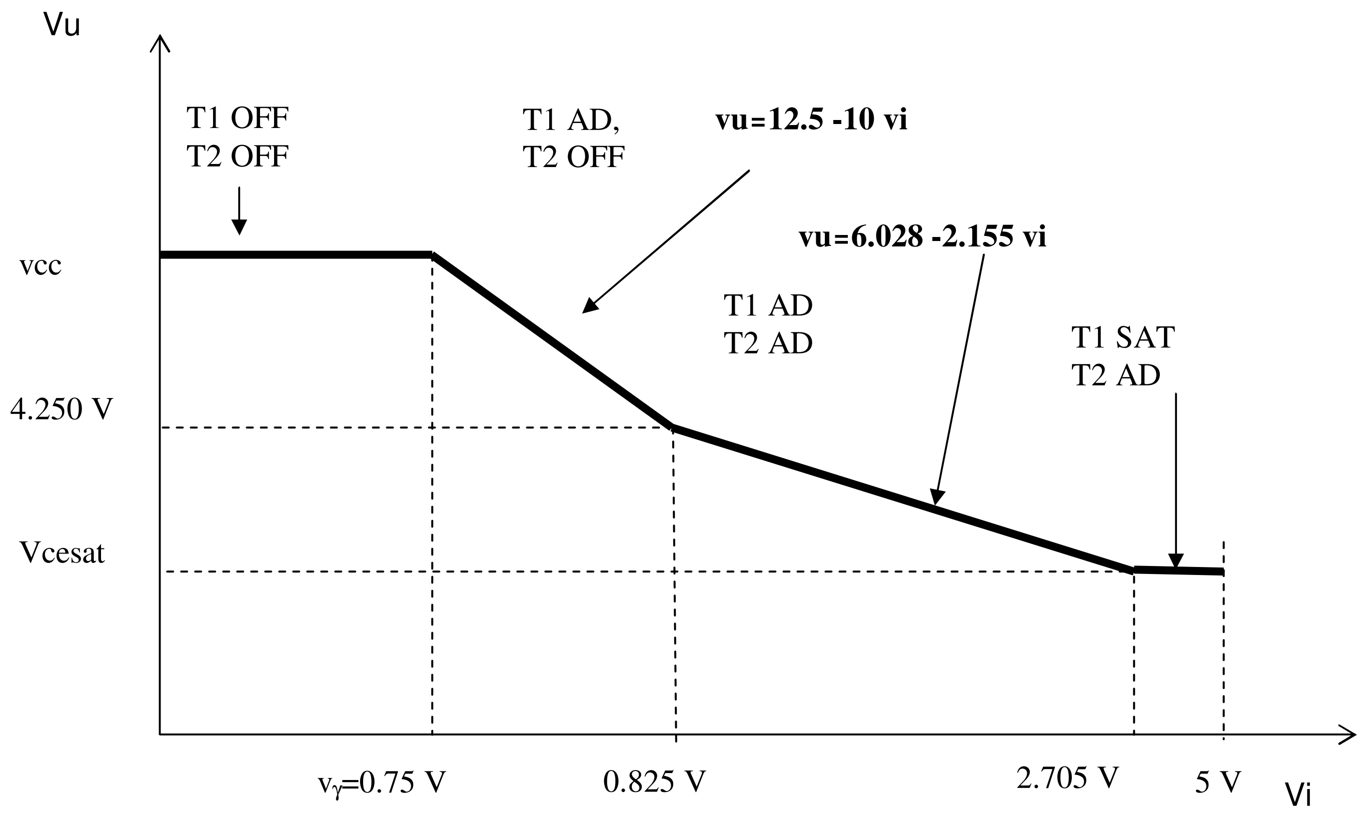
Regione 3: T1 ON in AD, T2 AD.

ir3=(vcc-vu)/r3 ir4=(vcc-vx)/r4 ib2=(vx-vu- v_γ)/r2 ib1=(vi- v_γ)/r1	Ma ir4+(vcc-vu)/r3=βf*ib1 e ib2*(βf+1)=ir4 Risolvendo si trova che: vx=6.618 -1.961 vi, vu=6.028 -2.155 vi
Il transistore T1 rimane in AD fintantoché vu>vcesat, ma vu=6.028 -2.155 vi, quindi sse vi< 2.704 V.	
Regione 3: per 0.825 V< vi <2.704 V	

Regione 4: T1 SAT, e T2 AD.

vu=vcesat=0.2V, quindi Av=dvu/dvi=0. Il punto di passaggio dalla regione 3 alla 4 è un punto angoloso che corrisponde al punto (V_{IHMIN}, V_{OLMAX}), essendo il punto in cui la caratteristica passa da una regione ad |Av|(=2.155)>1 ad una ad |Av|=0. Ne determino le coordinate (V_{IHMIN}, V_{OLMAX}), =(2.705,0.2)
NM_H=(V_{OHMIN}- V_{IHMIN})=vcc-2.705 V=2.295 V NM_L=(V_{ILMAX}-V_{OLMAX})=v_γ-0.2 V=0.55 V=NM

Di seguito si riporta la caratteristica statica di trasferimento.

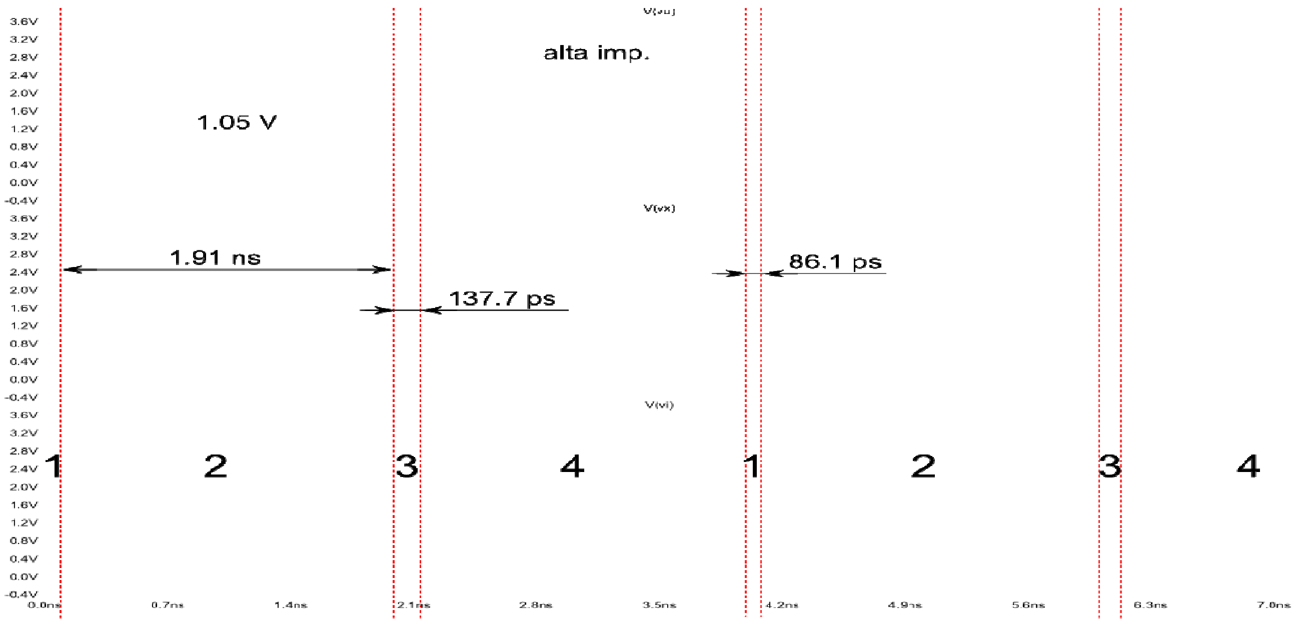


Esercizio 2

Il segnale V_x è l'uscita di un invertitore CMOS, con ingresso V_i. I tempi di propagazione possono quindi essere calcolati utilizzando le relazioni generali già calcolate, e risultano:

$$t_{pX,HL} = 86.1 \text{ ps}$$
$$t_{pX,LH} = 137.7 \text{ ps}$$

L'andamento qualitativo dell'uscita è quindi mostrato in figura:



Inizialmente (1), $V_i = V_{dd}, M_3$ on $\rightarrow$ dopo $t_{pX,HL}$, $V_x = 0$, M_4 on (2). Lo stadio finale ha quindi pull-up e pull-down simultaneamente accesi, e quindi è attraversato da una corrente statica non nulla. Il valore di V_u può venire calcolato imponendo l'uguaglianza delle correnti. Ipotizzando che M_3 e M_4 lavorino in regime lineare:

$$\left.\begin{array}{c} I_{D3} = \beta_n\left((V_{dd} - V_T)V_u - \dfrac{{V_u}^2}{2}\right) \\ I_{D4} = \beta_p\left((V_{dd} - V_T)(V_{dd} - V_u) - \dfrac{(V_{dd} - V_u)^2}{2}\right) \\ I_{D3} = I_{D4} \end{array}\right\} \rightarrow V_u = \begin{cases} 1.05\, V \\ 13.08\, V\ (inaccettabile) \end{cases}$$

La soluzione $V_u = 1.05\, V$ soddisfa le ipotesi di funzionamento lineare:

$$\left.\begin{array}{r} V_{GS3} = V_{dd} \\ V_{DS3} = V_u \end{array}\right\} \rightarrow V_{GS3} > V_{DS3} + V_T$$

$$\left.\begin{array}{r} V_{SG4} = V_{dd} \\ V_{SD4} = (V_{dd} - V_u) \end{array}\right\} \rightarrow V_{SG4} > V_{SD4} + V_T$$

In queste condizioni, si ha:

$$I_{D3} = I_{D4} = 2.99 \text{ mA}$$

Successivamente (3), $V_i = 0$, M_3 off, mentre è ancora $V_x = 0$, a causa del ritardo $t_{pX,LH}$. In questo intervallo, quindi, è acceso il PU e spento il PD, per cui istantaneamente $V_u = V_{dd}$ (C_2 è trascurabile). Infine (4) $V_x = V_{dd}$ $\rightarrow$ si spegne anche il PU e l'uscita si porta in alta impedenza, mantenendo costante il valore $V_u = V_{dd}$ fino al termine del periodo. Il ciclo si ripete quindi periodicamente.

Il generatore V_{dd} eroga quindi una corrente statica durante l'intervallo (2), che ha durata pari a

$$\frac{T}{2} - t_{pX,HL} = 2 \text{ ns} - 86.1 \text{ ps} = 1.9139 \text{ ns}$$

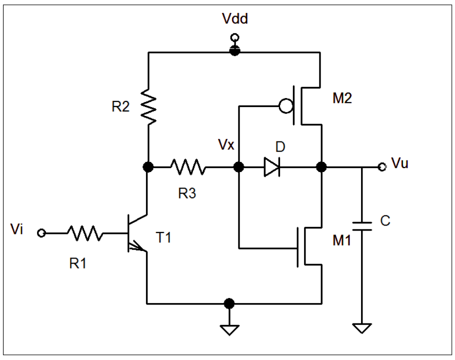
La potenza media vale quindi:

$$\tilde{P} = \frac{1}{T}\int_0^T V_{dd}\, I(t)dt = \frac{1}{T}\left(\int_0^{86.1 \text{ ps}} V_{dd} \cdot 0\, dt + \int_{86.1 \text{ ps}}^{2 \text{ ns}} V_{dd} \cdot (2.99 \text{ mA})\, dt + \int_{2 \text{ ns}}^{4 \text{ ns}} V_{dd} \cdot 0\, dt\right) = 4.73 \text{ mW}$$

PROVA SCRITTA DI ELETTRONICA

15 LUGLIO 2010

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_T=V_{Tn}=|V_{Tp}|$ e dai coefficienti $\beta=\beta_n=\beta_p$. Il transistore bipolare ed il diodo possono essere descritti da un modello "a soglia", con $V_\gamma=0.75$ V e $V_{CE,sat}=0.2$ V.
Il segnale d'ingresso abbia il seguente andamento:



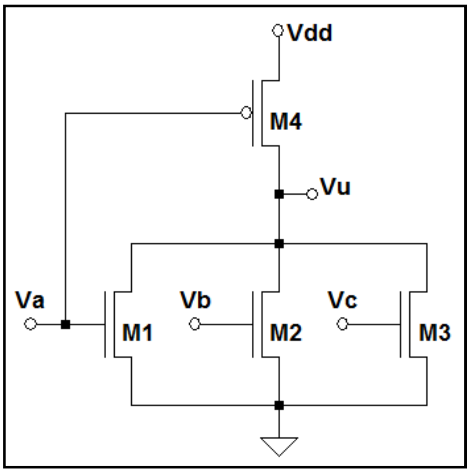
t<0: $V_i=0$

t>0: $V_i=$ Vdd

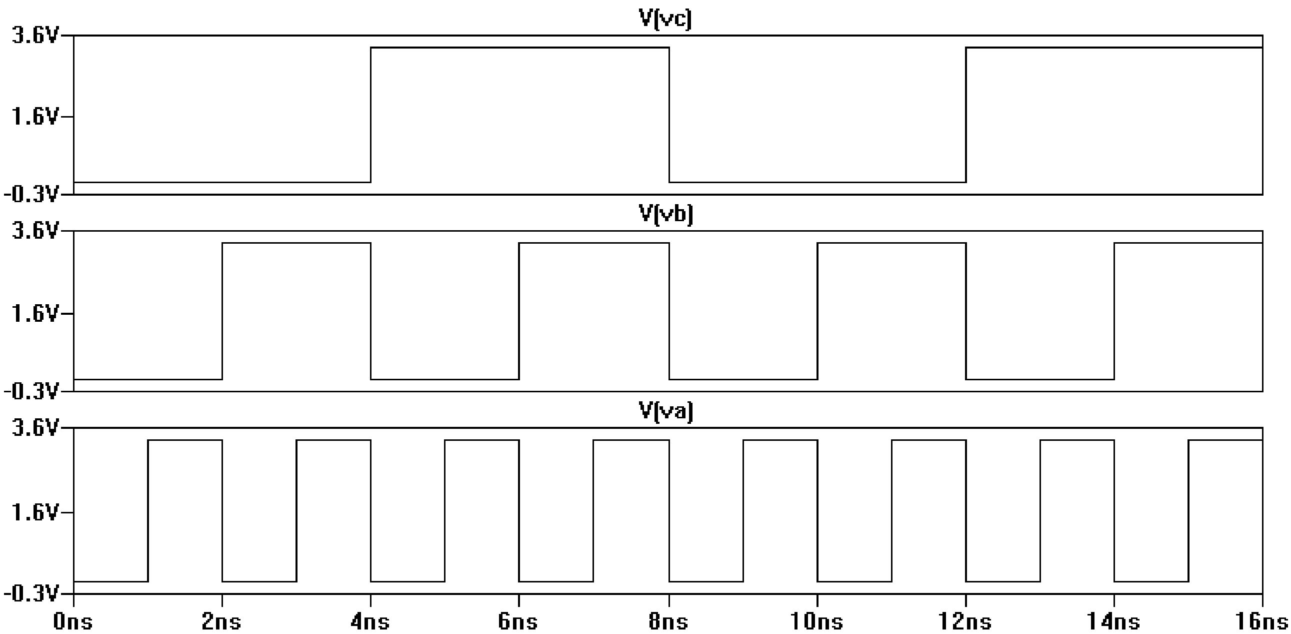
Si osservi che lo stadio d'ingresso è un invertitore RTL.
Si calcoli il ritardo di propagazione $t_{p,LH}$ associato alla transizione del segnale d'uscita vu.

V_{dd} = 3.5 V, V_T= 0.5 V, β = 2 mA/V^2, β_F=100, R_1=500 Ω, R_2 = 5 kΩ, R_3=5 kΩ, C=10nF.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_n e β_p.
I segnali di ingresso V_a, V_b e V_c abbiano l'andamento periodico mostrato in figura. Si determini l'andamento dei segnali, valutando in particolare i valori asintotici al termine di ciascuna commutazione, trascurando i tempi di propagazione. Si calcoli la potenza statica media dissipata dal circuito.



V_{dd} = 3.3 V, V_T= 0.5 V, β_n= 1.2 mA/V^2, β_p=0.7 mA/V^2.



Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Soluzione esercizio 1

Compito del 15-07-2010 – Soluzione Esercizio #1

OSS. PRELIMINARI:
In condizioni stazionarie il diodo D può essere ON solo se anche il transistore M1 è acceso.

1. t<0, vi=0, allora Q1 è off. Suppongo D on e M1 on (da verificare). Essendo D on, la tensione ai suoi capi vale v_γ, quindi la tensione vx vale vu+v_γ.
   - M1: V_{GS}=vx=v_γ+vu, V_{DS}=vu, allora M1 lavora in lin, poiché $v_\gamma+vu>vu+vt$ è verificata.
   - M2: V_{SG}=vdd-vx=vdd-(v_γ+vu). M2 è on sse $vdd-v_\gamma-vu>vt$, sse $vu<vdd-v_\gamma-vt=2.25V$, lo ipotizzo quindi on (da verificare)
     Se ON M2 è sat sse $vdd-vu-v_\gamma<vdd-vu+vt$, sse $-v_\gamma<vt$, quindi se on M2 è sat.

Calcolo vu nell'ipotesi di avere D on, M1 lin e M2 sat.

idn1lin=β((vu+v_γ-vt)*vu-vu^2/2) idp2sat=β/2(vdd-vu-v_γ-vt)^2 id=ir2=ir3=(vdd-vu-v_γ)/(r2+r3) Ma idp2sat+id=idn1lin	Da cui si ricava che vu=1.047V. Tale soluzione soddisfa l'hp di accensione di D e M1 (vu+vγ=1.796 V) e di accensione di M2 (vu(=1.046V)$<$2.25 V).

2. Per t -> ∞, vi=vdd, quindi Q1 va on. Lo suppongo sat (da verificare). In queste condizioni, D e M1 sono off poiché vx=vcesat, mentre M2 è on (V_{SG}=vdd-vcesat=3.3>vt=0.5V) e lin, con vu=vdd.

Verifico l'Hp di saturazione di Q1: ir2=(vdd-vcesat)/r2=ic1=0.66 mA ib1=(vdd-v_γ)/r1=5.5 mA	Q1 è sat se ic1$<$βf*ib1, 0.66 $<$ 550 che è verificata.

3. Per t=0+ vi=vdd, Q1 va sat, vx=vcesat, allora M1 e D vanno off e M2 è on. vu(0+)=vu(0-) = 1.047V. Il tplh è il tempo che il segnale d'uscita impiega per compiere il 50% della transizione totale del segnale: Vu(0+)=1.047 V, Vu(∞)=vdd, quindi vuiniz=1.047 V e vufinal=(1.047+3.5)/2=2.2735 V.
   Analizzo le regioni di funzionamento di M1 durante il transitorio analizzato:
   1) M2 sat per $(vdd-vcesat)<(vdd-vu)+vt$, sse $vu<vcesat+vt=0.7$ V, lin altrove.
   Il calcolo del tempo si salita avviene con M2 che lavora sempre in zona lineare.

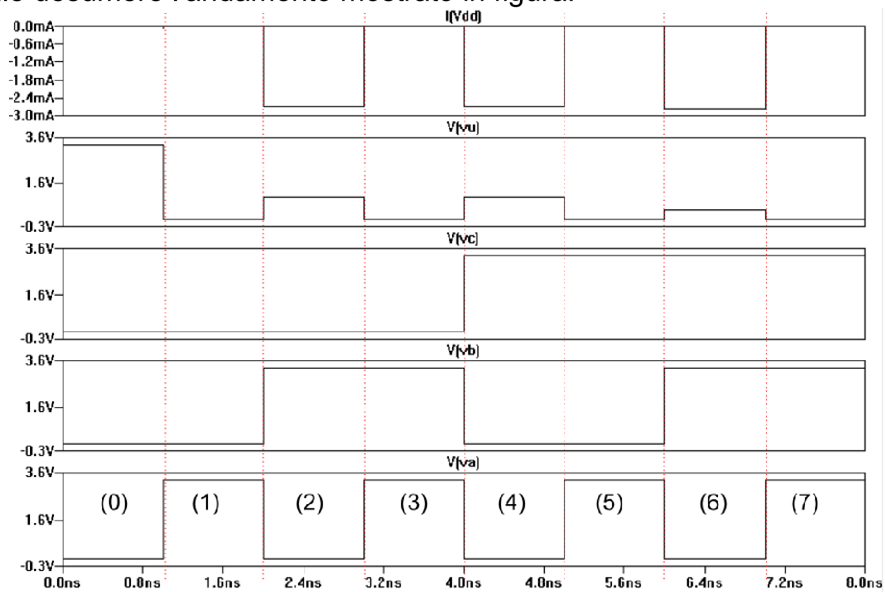
idp2lin=β((vdd-vcesat-vt)*(vdd-vu)-0.5*(vdd-vu)^2)	$\mathbf{tplh} = \int_{1.047}^{2.2735} \frac{C}{\mathbf{idp2lin}}\,\mathbf{dvu}$ =1.825 μs

Soluzione esercizio 2

Il circuito è composto da un solo transistore di pull-up (M4, complementare a M1) e da 3 transistori di pull-down (M1,M2,M3). Il comportamento è riassunto dalla tabella seguente:

V_c	V_b	V_a	M_1	M_2	M_3	M_4	pull-up	pull-down	
V_L	V_L	V_L	off	off	off	on	on	off	(0)
V_L	V_L	V_H	on	off	off	off	off	on	(1)
V_L	V_H	V_L	off	on	off	on	on	on	(2)
V_L	V_H	V_H	on	on	off	off	off	on	(3)
V_H	V_L	V_L	off	off	on	on	on	on	(4)
V_H	V_L	V_H	on	off	on	off	off	on	(5)
V_H	V_H	V_L	off	on	on	on	on	on	(6)
V_H	V_H	V_H	on	on	on	off	off	on	(7)

da cui è possibile desumere l'andamento mostrato in figura:



In particolare, negli intervalli (2) e (4) sono simultaneamente attivi il pull-up e il pull-down (costituito da un transistore nMOS acceso); ipotizzando sia il transistore di pull-up che il transistore di pull-down in regime lineare, si ottiene:

$$\left.\begin{array}{c} I_n = \beta_n\left[(V_{dd}-V_T)V_u-\dfrac{V_u^2}{2}\right] \\ I_p = \beta_p\left[(V_{dd}-V_T)(V_{dd}-V_u)-\dfrac{(V_{dd}-V_u)^2}{2}\right] \\ I_n = I_p \end{array}\right\} \rightarrow V_u = 0.958\,V, I_n = I_p = I^* = 2,67\,mA$$

che verifica le ipotesi di funzionamento.

Nel caso (6), invece, sono ancora simultaneamente attivi il pull-up e il pull-down, ma quest'ultimo consiste ora di due nMos in parallelo ($\beta_{eq} = 2\,\beta_n$); ipotizzando il transistore di pull-up in regime di saturazione e il transistore di pull-down in regime lineare, si ottiene:

$$\left.\begin{array}{c} I_n = \beta_{eq}\left[(V_{dd}-V_T)V_u-\dfrac{V_u^2}{2}\right] \\ I_p = \dfrac{\beta_p}{2}(V_{dd}-V_T)^2 \\ I_n = I_p \end{array}\right\} \rightarrow V_u = 0.443\,V, I_n = I_p = I^{**} = 2,74\,mA$$

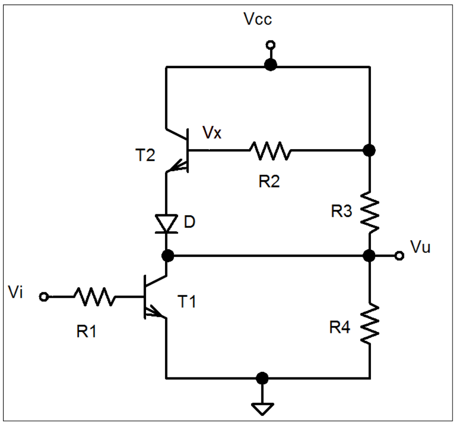
che verifica le ipotesi di funzionamento.

I segnali sono periodici, con T=8 ns. La potenza media vale quindi:

$$\tilde{P} = \frac{1}{T}\int_0^T I_d\,V_{dd}\,dt = \frac{V_{dd}}{T}\left\{\int_{2ns}^{3ns} I^*\,dt + \int_{4ns}^{5ns} I^*\,dt + \int_{6ns}^{7ns} I^{**}\,dt\right\} = 3.39\,mW$$

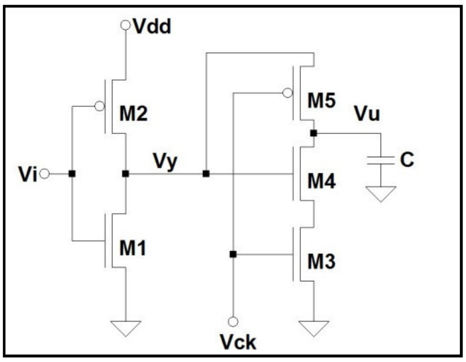
PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
15 GENNAIO 2010

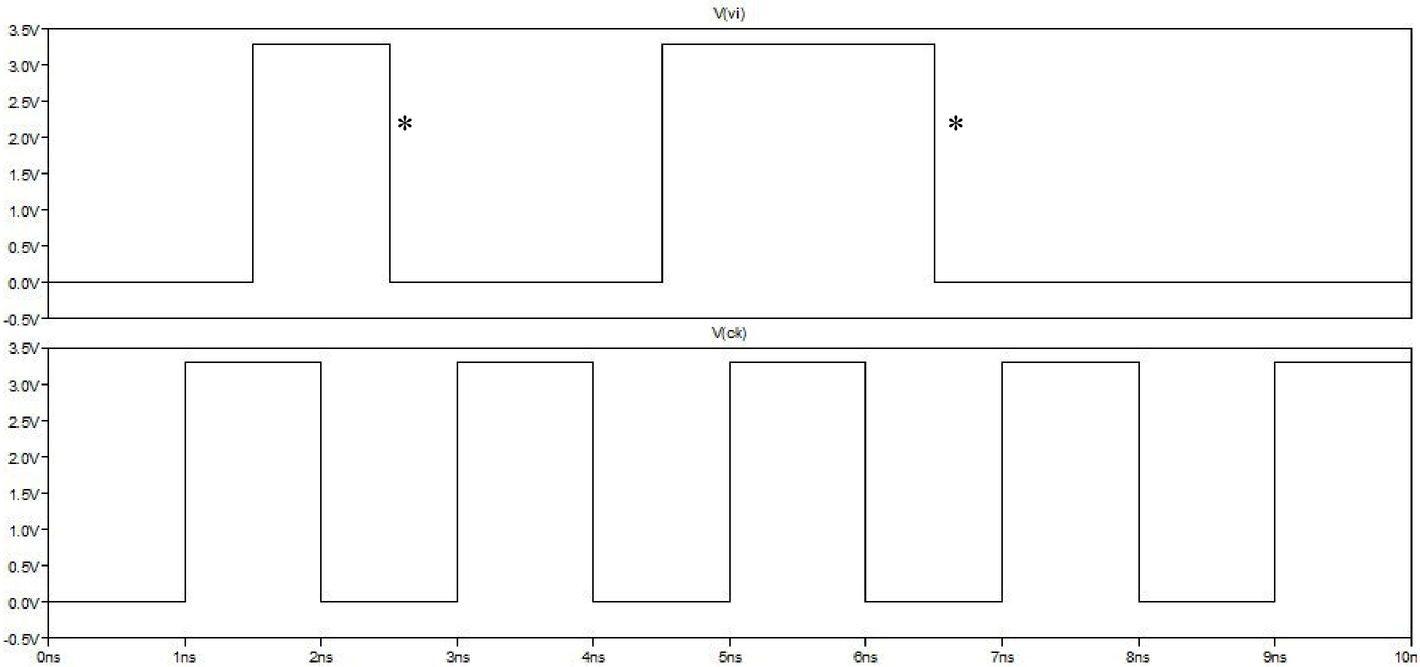
1) Nel circuito in figura, i transistori possono essere descritti da un modello “a soglia”, con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.



V_{cc} = 5 V, β_F=100, R_1 = 1.5 kΩ, R_2 = 1.5 kΩ, R_3 = 100 Ω, R_4 = 5.5 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tp}|= V_T$ e dai coefficienti β_n e β_p.
I segnali di ingresso (V_i, V_{CK}) hanno l’andamento mostrato in figura. Si determini il corrispondente andamento di V_u. Si determino inoltre i tempi di propagazione del segnale V_u relativi alle transizioni di discesa del segnale V_i (* evidenziate in figura).





V_{dd} = 3.3 V, V_T= 0.4 V, β_n=1 mA/V2, β_p=800 μA/V2, C=50 fF.

Esame di ELETTRONICA AB (mod. B): svolgere l’esercizio 1 (tempo disponibile 1h 30m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l’esercizio 2 (tempo disponibile 1h 30m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h 30 m).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L’elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 15-01-2010 - Esercizio #1

Osservazioni preliminari:

1) T2 e D sono o contemporaneamente OFF o contemporaneamente ON;
2) T2 quando ON è in AD (collettore connesso a Vcc).

Regione 1: vi< v_γ**:** T1 OFF ; T2 e D OFF (sse vx-vu<2 v_γ, da verificare)

<table>
<tr><td>Con T2 off (per Hp, e da verificare)
ib2=(vcc-vx)/r2=0, ovvero vx=vcc
Inoltre
vu=vcc*r4/(r3+r4)=4.91 V</td><td>Affinché T2 e D siano off deve essere
vx-vu<2 v_γ, ma vu-vx=0.09 V<1.5V.
Quindi l'hp fatta è verificata.</td></tr>
<tr><td colspan="2">Si rimane in questa regione fintantoché T1 rimane off, sse vi< v_γ, sse vi<0.75 V</td></tr>
<tr><td colspan="2" align="center">Regione 1: per 0 < vi < v_γ</td></tr>
</table>

Regione 2: T1 ON in AD, T2 e D OFF.

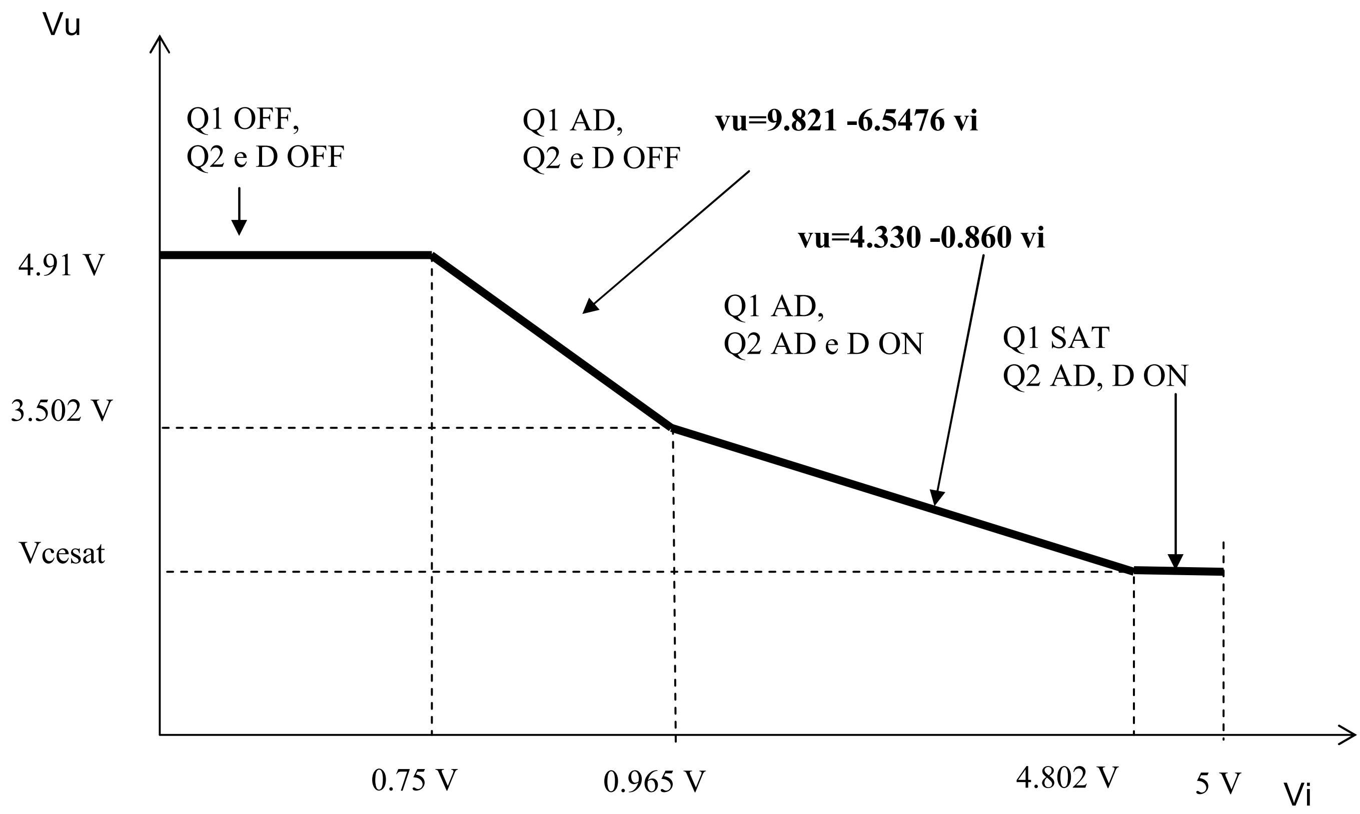
<table>
<tr><td>ir3=(vcc-vu)/r3
ib1=(vi-v_γ)/r1
ir4=vu/r4
Ma ir3=βf *ib1+ir4</td><td>Risolvendo si trova che:
vu= 9.821 -6.548 vi
Si rimane in questa regione fintantoché T1 va sat o T2 e D vanno ON.</td></tr>
<tr><td>1) T1 va sat quando vce=vu=vcesat,
sse vu=(9.821 -6.5476 vi)=vcesat
sse vi=1.469 V</td><td>2) T2 e D rimangono off fintantoché
vx-vu<2 v_γ, ma vx=vcc,
quindi sse vcc-(9.821 -6.5476 vi)<2 v_γ,
sse vi<0.965 V.
Per valori di vi>0.965 V T2 e D vanno ON</td></tr>
<tr><td colspan="2" align="center">Delle due condizioni quella che si verifica prima è allora l'accensione di T2 e D.</td></tr>
<tr><td colspan="2" align="center">Regione 2: per v_γ< vi < 0.965 V</td></tr>
</table>

Regione 3: T1 AD, e T2 AD e D ON.

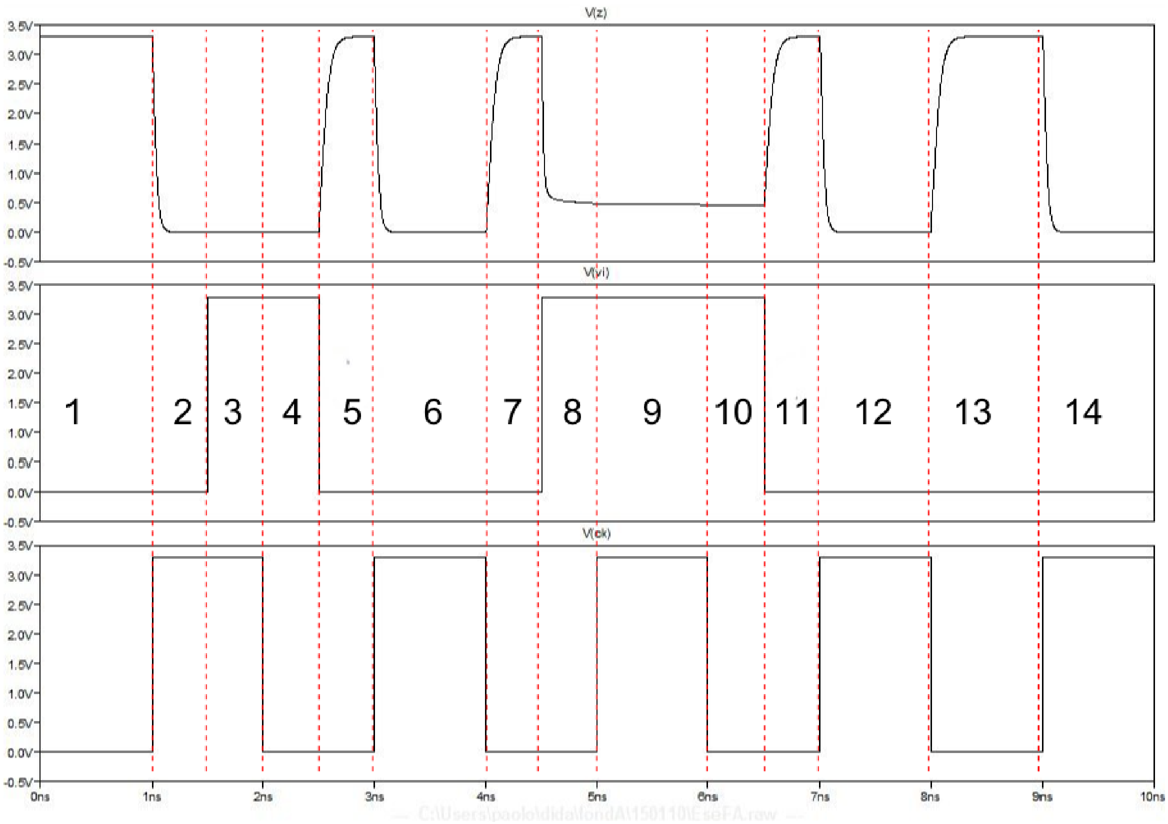
<table>
<tr><td>ir3=(vcc-vu)/r3
ib1=(vi- v_γ)/r1
ir4=vu/r4
ib2=(vcc-(vu+2 v_γ))/r2</td><td>Ma ir3+(βf+1)ib2=βf*ib1+ir4
Risolvendo si ricava che:
vu=4.330 -0.860 vi
Si rimane in questa regione fintantoché T1 va sat.</td></tr>
<tr><td colspan="2">T1 va sat quando vce=vu=vcesat, sse vu=(4.330 -0.860 vi)=vcesat sse vi=4.802 V</td></tr>
<tr><td colspan="2" align="center">Regione 3: per 0.965 V < vi < 4.802 V</td></tr>
</table>

Regione 4: T1 sat, e T2 AD e D ON, per 4.802 V<vi < Vcc, vu=vcesat e vx=vcesat+2 v_γ=1.7 V

Di seguito si riporta la caratteristica statica di trasferimento.



Esercizio 2



Con riferimento alla figura, è possibile identificare le diverse regioni di funzionamento seguenti:

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
V_i	V_L	V_L	V_H	V_H	V_L	V_L	V_L	V_H	V_H	V_H	V_L	V_L	V_L	V_L
V_{CK}	V_L	V_H	V_H	V_L	V_L	V_H	V_L	V_L	V_H	V_L	V_L	V_H	V_L	V_H
M_1	off	off	on	on	off	off	off	on	on	on	off	off	off	off
M_2	on	on	off	off	on	on	on	off	off	off	on	on	on	on
M_3	off	on	on	off	off	on	off	off	on	off	off	on	off	On
M_4	on	on	off	off	on	on	on	off	off	off	on	on	on	on
M_5	on	off	off	on	on	off	on	on	off	on	on	off	on	off
V_y	V_H	V_H	V_L	V_L	V_H	V_H	V_H	V_L	V_L	V_L	V_H	V_H	V_H	V_H
V_u	V_H	V_L	V_L	V_L	V_H	V_L	V_H	V^*_L	V^*_L	V^*_L	V_H	V_L	V_H	V_L
			(AI)						(AI)					

1) V_u è alto, tramite il pull-up M_2-M_5 in serie.
2) V_y è alto (uscita invertitore M_1-M_2), per cui pull-down M_3-M_4 in serie attivo e V_u alto
3) V_y è basso (uscita invertitore M_1-M_2), per cui V_u in alta impedenza (ancora alto)
4) V_y è basso (uscita invertitore M_1-M_2), quindi V_u basso, tramite il pull-down M_5-M_1 in serie (M_5 è un pMOS nella rete di pull-down, ma l'uscita è già bassa (0 V) e non c'è bisogno di scaricare il condensatore)
5) V_u è alto, tramite il pull-up M_2-M_5 in serie.
6) Come punto 2
7) Come punto 5
8) Come punto 4, ma in questo caso il condensatore è inizialmente carico: il transitorio si arresta quindi quando si azzera la corrente, cioè per $V_{DS1}=0$ (M_1 lin) e $V_{SG5}=V_T$ (M_5 sat). V_u assume il valore "debole" $V^*_L = V_T$
9) V_y è basso (uscita invertitore M_1-M_2), per cui, come nel punto 3, V_u in alta impedenza (in questo caso 0 debole)
10) Come punto 8
11) Come punto 5
12) Come punto 6
13) Come punto 1
14) Come punto 6

Il primo transitorio richiesto è relativo alla transizione 4→5: il condensatore, inizialmente scarico (V_u=0), si carica attraverso la serie dei due pMOS M_2-M_5 in serie, equivalenti ad un pMOS con $\beta_{eq} = \frac{\beta_p}{2}$. Il calcolo del transitorio segue quindi il procedimento abituale. Inizialmente, per $0 < V_u < V_T$, il pMOS equivalente si trova in saturazione:

$$\left.\begin{aligned} I_D &= \frac{\beta_{eq}}{2}(V_{DD} - V_T)^2 \\ I_C &= C\frac{dV_u}{dt} \\ I_D &= I_C \end{aligned}\right\} \rightarrow C\frac{dV_u}{dt} = \frac{\beta_{eq}}{2}(V_{DD} - V_T)^2 \rightarrow \int_0^{t_{SAT}} dt = \int_0^{V_T} \frac{C}{\frac{\beta_{eq}}{2}(V_{DD} - V_T)^2} dV_u$$

$$\rightarrow t_{SAT} = 11.89 \text{ ps}$$

Successivamente, per $V_T < V_u < \frac{V_{DD}}{2}$, il pMOS equivalente si trova in regione lineare:

$$\left.\begin{aligned} I_D &= \beta_{eq}\left((V_{DD} - V_T)(V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2}\right) \\ I_C &= C\frac{dV_u}{dt} \\ I_D &= I_C \end{aligned}\right\} \rightarrow \int_{t_{SAT}}^{t_P} dt = \int_{V_T}^{\frac{V_{DD}}{2}} \frac{C}{\beta_{eq}\left((V_{DD} - V_T)(V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2}\right)} dV_u$$

Da cui, integrando (scomposizione in fratte semplici), si ricava:

$$t_p - t_{SAT} = 39.76 \text{ ps}$$

E quindi il tempo complessivo di propagazione:

$$\boldsymbol{t_p = 51.65 \text{ ps}}$$

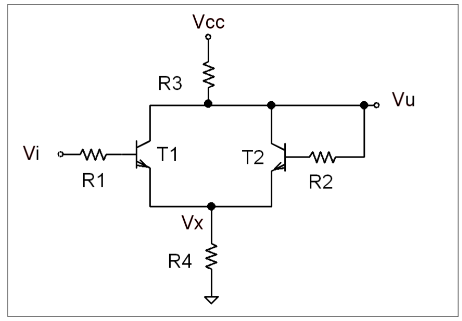
Il secondo transitorio è invece relativo alla transizione 10→11, ed è analogo a quello appena considerato. Il condensatore, tuttavia, non è inizialmente completamente scarico (V_u=V_T) per i motivi sopra descritti. Il transitorio è quindi più breve, limitandosi alla sola parte lineare, e quindi, in questo caso:

$$\boldsymbol{t_p = 39.76 \text{ ps}}$$

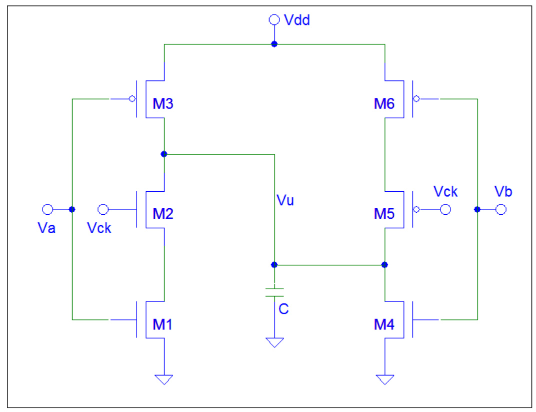
<u>PROVA SCRITTA DI ELETTRONICA</u>
11 GIUGNO 2009

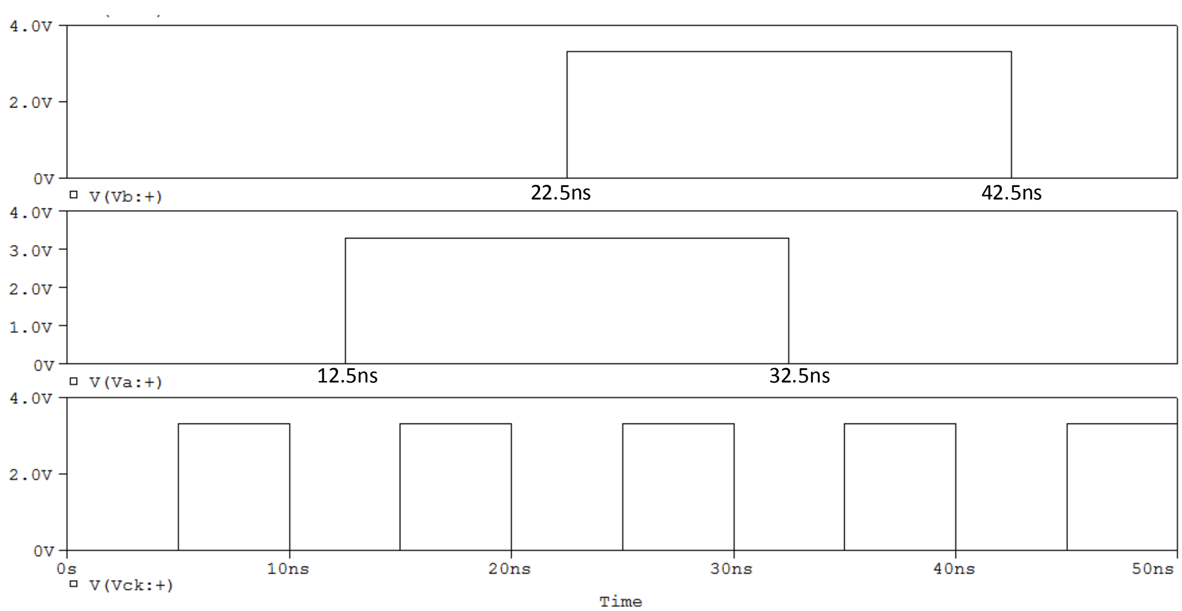
1) Nel circuito in figura, i transistori possono essere descritti da un modello “a soglia”, con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.

V_{cc} = 5 V, β_F=100, R_1 = 50 kΩ, R_2 = 5 kΩ, R_3 = 1.5 kΩ, R_4 = 1 kΩ.



2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_n e β_p.
I segnali di ingresso (V_a e V_b) e di clock (V_{ck}) hanno l’andamento mostrato in figura.
- Si determini il corrispondente andamento di V_u
- In corrispondenza di ciascuna transizione di V_u, si calcoli il relativo tempo di propagazione, definito come il tempo che intercorre fra la transizione del segnale di ingresso che determina la variazione e l’istante in cui il segnale di uscita raggiunge il 50% della propria escursione.





V_{dd} = 3.3 V, C= 0.3 pF, V_T= 0.4 V, β_n=1 mA/V^2, β_p=750 μA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere l’esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l’esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).
- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L’elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 11-06-2009 - Esercizio #1

Regione 1: Si supponga T1 off e T2 on in ad (da verificare)

ir3=(vcc-vu)/r3 ib2=(vu-(vx+v_γ))/r2 ir4=vx/r4 Ma ir3=ir4 ir4=(βf+1)*ib2	Risolvendo si trova che: vu=2.499 V , e vx=1.667 V. Verifica della regione di funzionamento di T2: Vce(T2)=vu-vxi=0.832 V > vcesat → Ok Hp T2 in ad.
Si rimane in questa regione fintantoché T1 rimane off, sse vi-vx< v_γ, sse vi<2.417 V	
Regione 1: per 0 < vi < 2.417 V	

Regione 2: T1 on in ad, T2 on in ad.

ir3=(vcc-vu)/r3 ib2=(vu-(vx+ v_γ))/r2 ir4=vx/r4 ib1=(vi-(vx+ v_γ))/r1 Ma ir3= βf *ib1+(βf +1)*ib2 ir4=(βf +1)*(ib1+ib2)	Risolvendo si trova che: vu=2.606-0.044 vi, vx=1.5497+0.0485 vi
Si rimane in questa regione fintantoché T1 va sat o T2 va off. T1 è sat quando vce=vu-vx=vcesat. T2 è on fintantoché ib2=(vu-(vx+ v_γ))/r2>0, sse vu-vx > v_γ. Ma vu-vx=vce(T2)=vce(T1). Poiché vu sta calando e vx salendo, delle due condizioni quella che avviene prima è che vu-vx= v_γ, che è soddisfatta per vi= 3.307 V.	
Regione 2: per 2.417 V < vi < 3.307 V	

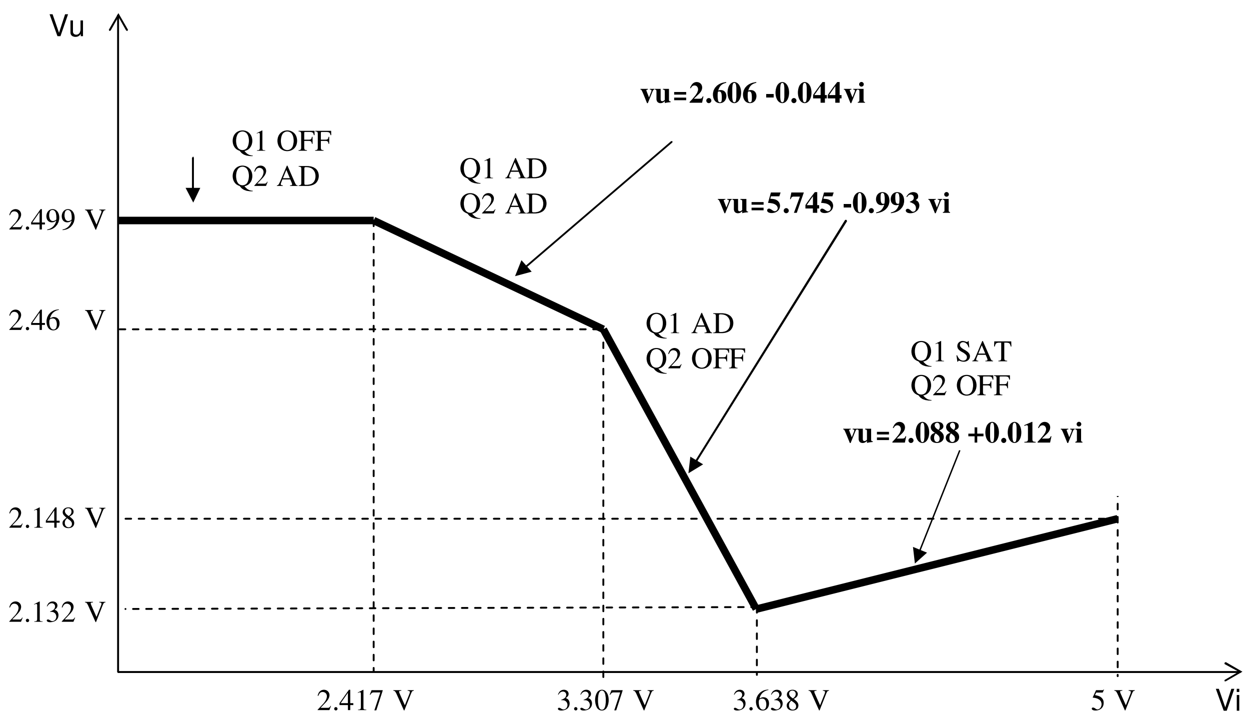
Regione 3: T1 AD, e T2 off.

ir3=(vcc-vu)/r3 ir4=vx/r4 ib1=(vi-(vx+v_γ))/r1 Ma ir4=(βf +1)*ib1 ir3= βf *ib1	Da cui si ricava che: vu=5.745-0.993 vi, vx=-0.502+0.669 vi
si rimane in regione 3 fintantochè vu-vx>vcesat, poi si entra in regione 4, ovvero vu=5.745-0.993 vi, vx=-0.502+0.669 vi vu-vx>vcesat sse vi< 3.638 V	
Regione 3: per 3.307 V < vi < 3.638 V	

Regione 4: T1 sat, e T2 off.

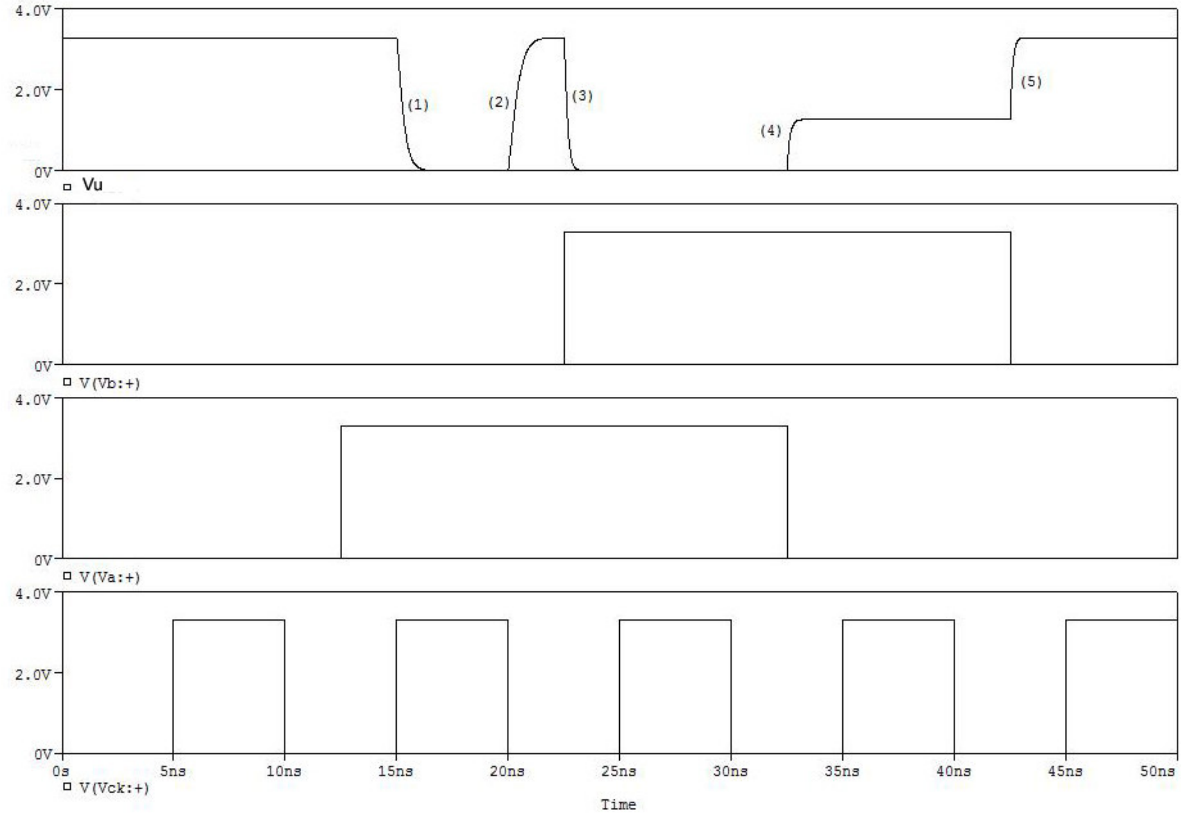
vx=vu-vcesat ir3=(vcc-vu)/r3 ir4=vx/r4	ib1=(vi-(vx+v_γ))/r1 ir3+ib1=ir4 Da cui si ricava che: vu=2.088 +0.012 vi
Regione 4: 3.638 V<vi <5 V	

Di seguito si riporta la caratteristica statica di trasferimento.



Esercizio n. 2

In figura è riportato l'andamento di Vu.



Calcolo del tempo di propagazione associato alla prima transizione da Vdd a 0V attraverso la serie dei MOS M2 e M1 (transizione (1) in figura):

$$\mathbf{beq} = \frac{\mathbf{bn}}{\mathbf{2}}$$

Da Vdd ⇨ Vdd-Vt Meq SAT,
da Vdd ⇨ Vdd/2 Meq LIN

$$\mathbf{tsat} = \int_{\mathbf{vdd}}^{\mathbf{vdd-vt}} -\frac{\mathbf{Cy}}{\frac{1}{2}\,\mathbf{beq}\,(\mathbf{vdd}-\mathbf{vt})^2}\,d\mathbf{vu}$$

$$\mathbf{tlin} = \int_{\mathbf{vdd-vt}}^{\frac{\mathbf{vdd}}{2}} -\frac{\mathbf{Cy}}{\mathbf{beq}\left((\mathbf{vdd}-\mathbf{vt})\,\mathbf{vu}-\frac{\mathbf{vu}^2}{2}\right)}\,d\mathbf{vu}$$

$$\mathbf{tphl1} = \mathbf{tsat} + \mathbf{tlin}$$

tphl1=248 ps
La transizione (50% dell'escursione) avviene quindi per t= 15ns +tphl1= 15.248 ns

Calcolo del tempo di propagazione associato alla seconda transizione da 0V a Vdd attraverso la serie dei MOS M6 e M5 (2):

$$\mathbf{beq} = \frac{\mathbf{bp}}{2}$$

Da 0V ⇨ Vt   Meq SAT
Da Vt ⇨ Vdd/2   Meq LIN

$$\mathbf{tsat} = \int_0^{\mathbf{vt}} \frac{\mathbf{Cy}}{\frac{1}{2}\,\mathbf{beq}\,(\mathbf{vdd}-\mathbf{vt})^2}\,d\mathbf{vu}$$

$$\mathbf{tlin} = \int_{\mathbf{vt}}^{\frac{\mathbf{vdd}}{2}} \frac{\mathbf{Cy}}{\mathbf{beq}\left((\mathbf{vdd}-\mathbf{vt})\,(\mathbf{vdd}-\mathbf{vu}) - \frac{1}{2}\,(\mathbf{vdd}-\mathbf{vu})^2\right)}\,d\mathbf{vu}$$

$$\mathbf{tplh2} = \mathbf{tlin} + \mathbf{tsat}$$

tphl2=330 ps

La transizione (50% dell'escursione) avviene quindi per t= 20ns +tphl2= 20.33 ns

Calcolo del tempo di propagazione associato alla terza transizione da Vdd a 0V attraverso M4 (3)

beq= bn

Da Vdd ⇨ Vdd-Vt   M4 SAT,
da Vdd ⇨ Vdd/2   M4 LIN

La transizione è identical a 1, con beq doppio rispetto al caso (1). Quindi:

tphl3=tphl1/2=124 ps

La transizione (50% dell'escursione) avviene quindi per t= 22.5ns +tphl3= 22.648 ns

Calcolo del tempo di propagazione associato alla transizione (4). In questo caso sono accesi sia M3 che M4 e, a regime, il valore di Vu è intermedio fra 0 e Vdd.

Calcolo del valore di Vu raggiunto a regime

Con Vu = 0V M3 SAT e M4 LIN. Vu cresce, la regione di lavoro di M3 e M4 dipende dal valore finale raggiunto da Vu. Possiamo provare ad ipotizzare che al termine del transitorio sia M3 che M4 siano in LIN (tale ipotesi dovrà poi essere verificata)

$$\mathbf{id3} = \mathbf{bp}\left((\mathbf{vdd}-\mathbf{vt})\,(\mathbf{vdd}-\mathbf{vu}) - \frac{1}{2}\,(\mathbf{vdd}-\mathbf{vu})^2\right);$$

$$\mathbf{id4} = \mathbf{bn}\left((\mathbf{vdd}-\mathbf{vt})\,\mathbf{vu} - \frac{\mathbf{vu}^2}{2}\right);$$

A transitorio esaurito Id3=Id4 da cui si ricava **Vu=1.2671** V che verifica le ipotesi fatte.

Calcolo di tplh con Vu che va da 0V a $\mathrm{V_X} = \dfrac{1.2671}{2} = 0.63355\,\mathrm{V}$ (50% del valore finale)

L'equazione differenziale da risolvere è:

$$C_y \frac{dV_u}{dt} = I_{d3} - I_{d4}$$

Da 0V ⇨ Vt M3 SAT, M4 LIN
Da Vt ⇨ 0.63355 V M3 LIN, M4 LIN

$$\mathbf{ta} = \int_0^{\mathbf{vt}} \frac{\mathbf{Cy}}{\frac{1}{2}\,\mathbf{bp}\,(\mathbf{vdd}-\mathbf{vt})^2 - \mathbf{bn}\left((\mathbf{vdd}-\mathbf{vt})\,\mathbf{vu} - \frac{\mathbf{vu}^2}{2}\right)}\,d\mathbf{vu}$$

$$\mathbf{tb} = \int_{\mathbf{vt}}^{\mathbf{vx}} \mathbf{Cy}\Big/\left(\mathbf{bp}\left((\mathbf{vdd}-\mathbf{vt})\,(\mathbf{vdd}-\mathbf{vu}) - \frac{1}{2}\,(\mathbf{vdd}-\mathbf{vu})^2\right) - \mathbf{bn}\left((\mathbf{vdd}-\mathbf{vt})\,\mathbf{vu} - \frac{\mathbf{vu}^2}{2}\right)\right)d\mathbf{vu}$$

$$\mathbf{tplh4} = \mathbf{ta} + \mathbf{tb}$$

tphl4=86.4 ps
La transizione (50% dell'escursione) avviene quindi per t= 32.5ns +tphl4= 32.5864 ns

Infine l'ultima transizione interessa [(M5 serie M6) parallelo M3] (5)
Calcolo di tplh
Vu va da Vy=1.2671 V a $\dfrac{\mathrm{Vdd}-\mathrm{Vy}}{2} + \mathrm{Vy} = \dfrac{\mathrm{Vdd}+\mathrm{Vy}}{2} = \left(\dfrac{3.3+1.2671}{2}\right) = 2.283\ \mathrm{V}$
(50% dell'escursione)

$$\mathbf{beq} = \frac{\mathbf{bp}}{2} + \mathbf{bp};$$

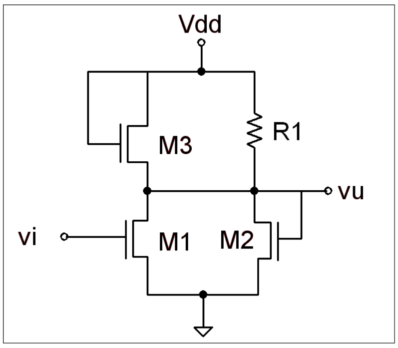
$$\mathbf{tplh5} = \int_{\mathbf{vy}}^{\frac{\mathbf{vdd}+\mathbf{vy}}{2}} \frac{\mathbf{Cy}}{\mathbf{beq}\left((\mathbf{vdd}-\mathbf{vt})\,(\mathbf{vdd}-\mathbf{vu}) - \frac{1}{2}\,(\mathbf{vdd}-\mathbf{vu})^2\right)}\,d\mathbf{vu}$$

tphl5=85.7 ps

La transizione (50% dell'escursione) avviene quindi per t= 42.5ns +tphl5= 42.5857 ns

PROVA SCRITTA DI ELETTRONICA
25 GIUGNO 2009

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{T1}, V_{T2}, V_{T3} e dai coefficienti β_1, β_2, β_3 Si determini il margine d'immunità ai disturbi N_M della rete.

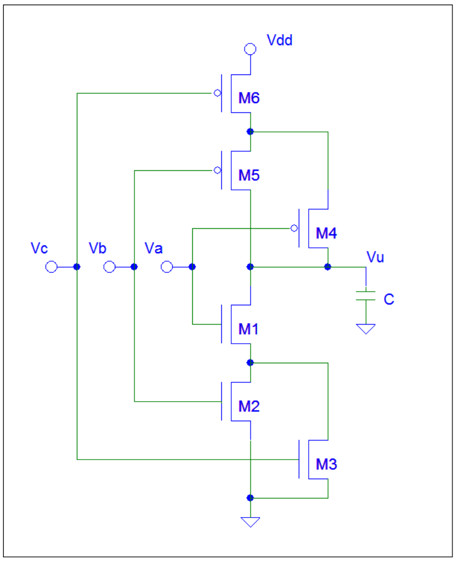


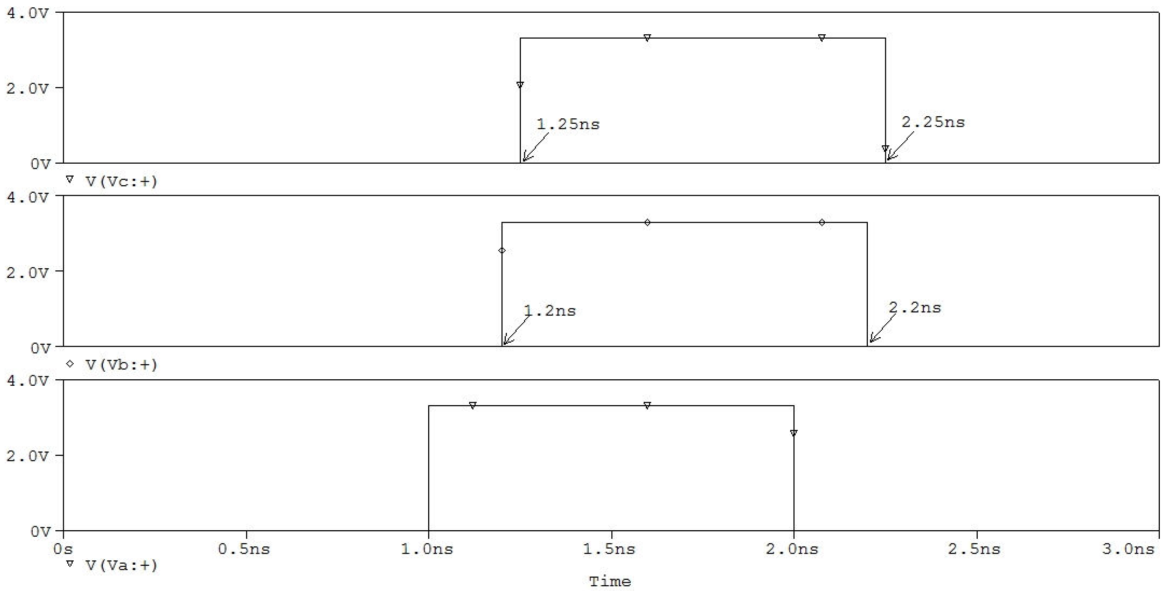
V_{dd} = 3.5 V, V_{T1} = 0.65 V, V_{T2} = 0.5 V, V_{T3} = 0.65 V, β_1 = 10 mA/V^2, β_2 = 0.1 mA/V^2, β_3 = 0.1 mA/V^2, R_1 = 500 Ω.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_n e β_p.
I segnali di ingresso (V_a, V_b e V_c) hanno l'andamento mostrato in figura.

- Si determini il corrispondente andamento di V_u
- Si calcoli il tempo di propagazione relativo **alla prima** transizione di V_u.

V_{dd} = 3.3 V, C= 50 fF, V_T= 0.45 V, β_n=600 μA/V^2, β_p=450 μA/V^2.





Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 25-06-2009 - Esercizio #1

Osservazioni preliminari: i transistori M2 ed M3 quando ON sono SAT, essendo rispettivamente vgs(M2)=vu<vds(M2)+vt2=vu+vt2 sempre verificata, e vgs(M3)=vdd-vu<vds(M3)+vt2=vdd-vu+vt3 sempre verificata.
Quindi M2 on e sat quando vu>vt2, e M3 on e sat quando vdd-vu>vt3.

Regione 1: vi<vt1, allora M1 OFF. Suppongo M2 on(da verificare) e M3 off (da verificare).

Si rimane in regione 1 fintantochè M1 non va on, ovvero per vi>vt1.	
ir1=(vdd-vu)/r1 im2sat=β_2/2*(vu-vt2)^2 Ma ir1=im2sat	da cui si ricava che vu=-42.303 V e vu=3.303V. La soluzione vu=3.303 V soddisfa l'hp di accensione di M2: vu(=3.303V) > vt2 (=0.5 V) e l'hp di spegnimento di M3 (vdd-vu (=0.197 V) < vt3(= 0.65 V)

Regione 2: vi>vt1, quindi M1 ON e SAT sse vu>vi-vt1 (da verificare), e M2 on e sat, M3 off .

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1	
ir1=(vdd-vu)/r1 im2sat= β_2/2*(vu-vt2)^2 im1sat= β_1/2*(vi-vt1)^2 d(ir1)/dvi=1/r1 d(im2sat)/dvi= β_2*(vu-vt2)*-1 d(im1sat)/dvi= β_1*(vi-vt1) Ma ir1=im1sat+im2sat	d(ir1)/dvi = d(im1sat)/dvi+d(im2sat)/dvi Risolvendo si ricava si ricavano le seguenti coppie di valori (vi, vu): (vi=0.423097 V,vu=-42.1903 V) (vi=0.877 V,vu=3.190 V) Delle due soluzioni quella accettabile è la seconda, quindi: V_{ILMAX}=0.877 V, e V_{OHMIN}=3.190V. Tale coppia di valori soddisfa le HP fatte sulla regione di funzionamento di M1 vu (=3.190 V) > vi-vt1 (=0.227 V), e di M2 (vu>vt2) e di M3: vdd-vu(=0.310V) < vt3 (=0.65 V)

(eq.1)

Regione 3: vi>vt1, quindi M1 e SAT se vu>vi-vt1, e M2 on e sat, M3 ON e SAT .

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).	
ir1=(vdd-vu)/r1 im2sat= β_2/2*(vu-vt2)^2 im1sat= β_1/2*(vi-vt1)^2 im3sat=β_3/2*(vcc-vu-vt3)^2 d(ir1)/dvi=1/r1 d(im2sat)/dvi= β_2*(vu-vt2)*-1 d(im1sat)/dvi= β_1*(vi-vt1)	d(im3sat)/dvi= β_3*(vcc-vu-vt3) ir1+im3sat=im1sat+im2sat d(ir1)/dvi+d(im3sat)/dvi=d(im1sat)/dvi+ d(im2sat)/dvi da cui si ricava la seguente coppia di valori (vi, vu): (vi=0.8735, vu=3.19636V), La soluzione non è compatibile con la regione di funzionamento di M3, che sarebbe spento: vdd-vu(=3.036 V)<vt3(=0.65 V).

Regione 4: vi>vt1, quindi M1 on e LIN se vu<vi-vt1, e M2 on e sat, M3 ON e SAT .

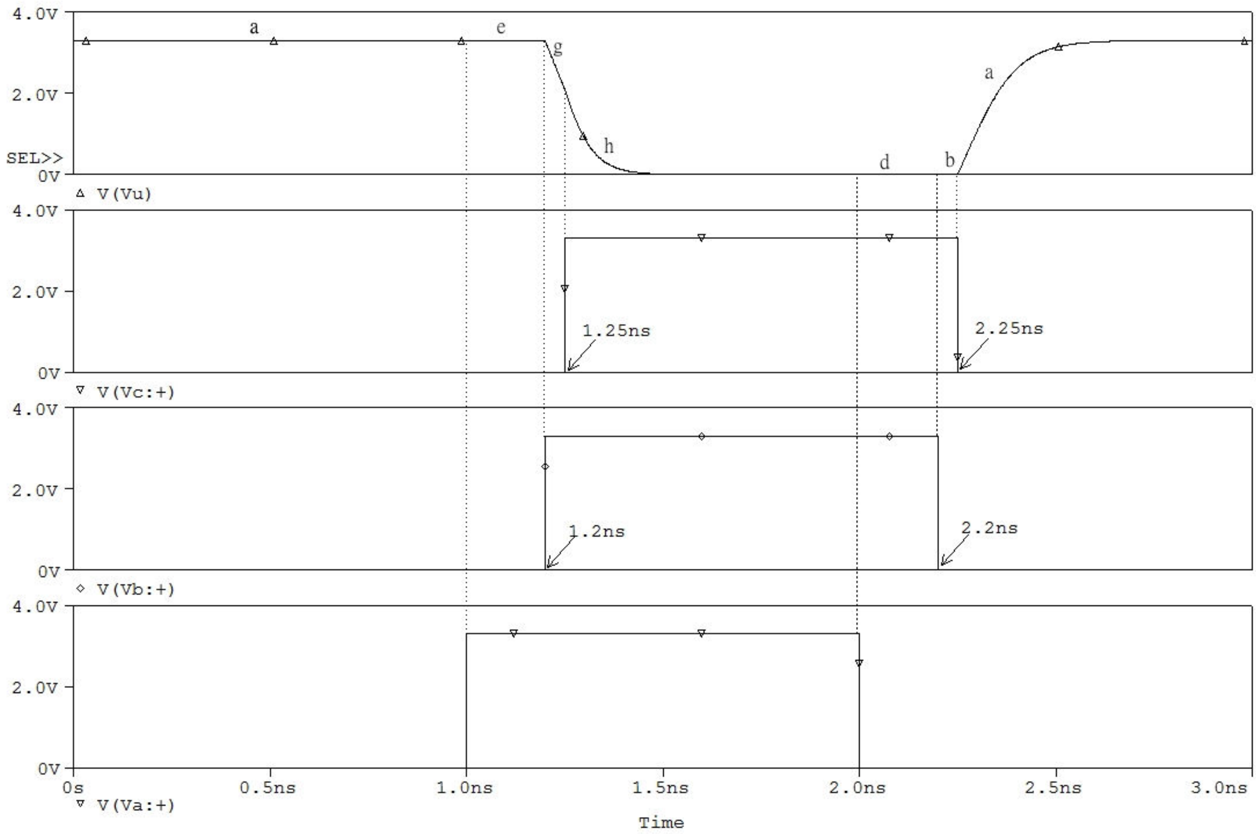
Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).	
ir1=(vcc-vu)/r1 im2sat= β_2/2*(vu-vt2)^2 im1lin=β_1*((vi-vt1)*vu-1/2*vu^2) im3sat= β_3/2*(vcc-vu-vt3)^2 d(ir1)/dvi=1/r1 d(im2sat)/dvi= β_2*(vu-vt2)*-1 d(im1lin)/dvi= β_1*((vi-vt1)*-1+vu-vu*-1) d(im3sat)/dvi= β_3*(vcc-vu-vt3) ir1+im3sat=im1lin+im2sat d(ir1)/dvi+d(im3sat)/dvi=d(im1lin)/dvi+d(im2sat)/dvi da cui si ricavano le seguenti coppie di valori (vi, vu):	(vi=-0.978 V,vu=-0.702 V) (vi=1.831 V,vu=0.702 V) Delle due soluzioni quella accettabile è la seconda. Tale coppia di valori soddisfa le HP fatte sulla regione di funzionamento di M1 vu (=0.702 V) < vi-vt1 (= 1.281 V), e di M2 (vu>vt2) e di M3: vdd-vu(=2.798 V) < vt3 (=0.65 V). Quindi:V_{IHMIN}=1.831 V, e V_{OLMAX}=0.702 V.
Si ricava allora che: NM_H=3.190V-1.831 V= 1.359V e NM_L=0.877 V -0.702 V = 0.175 V =NM	

25/6/2009 Esercizio 2

La funzione svolta dal circuito può essere descritta come segue

V_a	V_b	V_c	M_1	M_2	M_3	M_4	M_5	M_6	PD	PU	V_u	
0	0	0	off	off	off	on	on	on	off	on	V_{dd}	(a)
0	0	V_{dd}	off	off	on	on	on	off	off	off	A.I.	(b)
0	V_{dd}	0	off	on	off	on	off	on	off	on	V_{dd}	(c)
0	V_{dd}	V_{dd}	off	on	on	on	off	off	off	off	A.I.	(d)
V_{dd}	0	0	on	off	off	off	on	on	off	on	V_{dd}	(e)
V_{dd}	0	V_{dd}	on	off	on	off	on	off	on	off	0	(f)
V_{dd}	V_{dd}	0	on	on	off	off	off	on	on	off	0	(g)
V_{dd}	V_{dd}	V_{dd}	on	on	on	off	off	off	on	off	0	(h)

Sulla base della tabella, è possibile determinare l'andamento del segnale di uscita, nelle diverse fasi successive:



In particolare, per $2\ ns < t < 2.25\ ns$ l'uscita si trova in condizioni di alta impedenza (d,b), e mantiene quindi il valore basso precedentemente stabilito.

Occorre quindi calcolare il tempo di propagazione relativo alla prima transizione di V_u; si tratta di un transitorio di discesa, ed occorre valutare l'intervallo di tempo fra la variazione dell'ingresso (1.25 ns) e la corrispondente variazione dell'uscita, convenzionalmente considerata all'istante in cui il segnale di uscita assume il valore medio della propria escursione, cioè $V_{dd}/2$.

Per $t < 1.2\ ns$: (a,e) → $V_u = V_{dd}$

$1.2\ ns < t < 1.25\ ns$: (g) M_1 on, M_2 on, M_3 off → il pull-down equivale a un MOSFET con $\beta_{eq} = \beta_n/2$.
Inizialmente il PD è in saturazione ($V_{dd} - V_T < V_u < V_{dd}$) e si ha:

$$\left.\begin{array}{c} I_D = \dfrac{\beta_{eq}}{2}(V_{dd} - V_T)^2 \\ I_C = C\dfrac{dV_u}{dt} \\ I_D = -I_C \end{array}\right\} \rightarrow dt = -\frac{2C}{\beta_{eq}(V_{dd} - V_T)^2} dV_u \rightarrow$$

$$\int_{1.2ns}^{t_{sat}} dt = -\frac{2C}{\beta_{eq}(V_{dd} - V_T)^2} \int_{V_{dd}}^{V_{dd}-V_T} dV_u \rightarrow \boldsymbol{t_{sat} = 1.218\,ns}$$

Quindi il PD esce in saturazione prima che si accenda M_3. Il transitorio prosegue quindi con il PD (M_1,M_2) in regione lineare di funzionamento:

$$\left.\begin{array}{r} I_D = \beta_{eq}\left((V_{dd} - V_T)V_u - \frac{V_u^2}{2}\right) \\ I_C = C\frac{dV_u}{dt} \\ I_D = -I_C \end{array}\right\} \rightarrow dt = -\frac{2C}{\beta_{eq}\left((V_{dd} - V_T)V_u - \frac{V_u^2}{2}\right)} dV_u \rightarrow$$

$$\int_{t_{sat}}^{t} dt = -\frac{2C}{\beta_{eq}} \int_{V_{dd}-V_T}^{V_u(t)} \frac{1}{(V_{dd} - V_T)2 - V_u} dV_u$$

Risolvendo l'integrale si ottiene:

$$t = t_{sat} + \frac{C}{\beta_{eq}(V_{dd} - V_T)} \ln\frac{(V_{dd} - V_T)2 - V_u(t)}{V_u(t)}$$

Da cui, imponendo $V_u(t_{fin}) = V_{dd}/2$ si ricava l'istante di commutazione:

$$t_{fin} = 1.271ns$$

Tuttavia, poiché tale istante è successivo a 1.25 ns, viene meno l'ipotesi che M_3 sia spento. La relazione sopra ricavata è valida fino a che M_3 si accende, per t=1.25 ns. In tale istante, si ha:

$$1.25\,ns = t_{sat} + \frac{C}{\beta_{eq}(V_{dd} - V_T)} \ln\frac{(V_{dd} - V_T)2 - V_u^*}{V_u^*} \rightarrow \boldsymbol{V_u^* = 2.1\,V}$$

Per t > 1.25 ns, il PD è composto dal parallelo fra M_2 e M_3, in serie a M_1. Si ha quindi:

$$\beta_{eq} = \frac{1}{\frac{1}{\beta_n} + \frac{1}{2\beta_n}} = \frac{2}{3}\beta_n$$

Il transitorio si completa quindi per

$$\int_{1.25\,ns}^{t_{fin}} dt = -\frac{2C}{\beta_{eq}} \int_{V_u^*}^{V_{dd}/2} \frac{1}{(V_{dd} - V_T)2 - V_u} dV_u$$

da cui si ricava

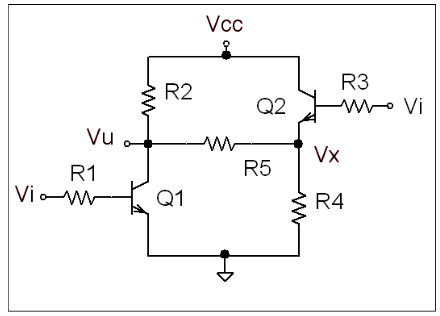
$$t_{fin} = 1.25\,ns + \frac{C}{\beta_{eq}(V_{dd} - V_T)} \ln\left(\frac{(V_{dd} - V_T)2 - \frac{V_{dd}}{2}}{\frac{V_{dd}}{2}} \cdot \frac{V_u^*}{(V_{dd} - V_T)2 - V_u^*}\right) = 1.266\,ns$$

e quindi:

$$\boldsymbol{t_{p,HL}} = t_{fin} - 1.2\,ns = \boldsymbol{66\,ps}$$

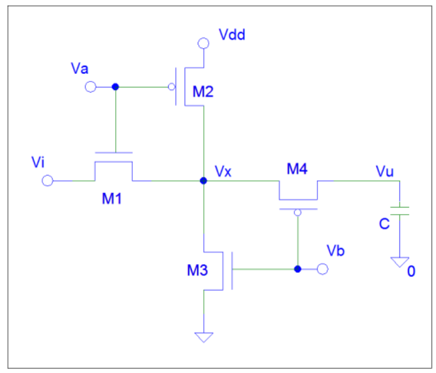
PROVA SCRITTA DI ELETTRONICA
15 LUGLIO 2009

1) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determinino la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$, ed i margini d'immunità ai disturbi NM_L, NM_H, NM della rete.

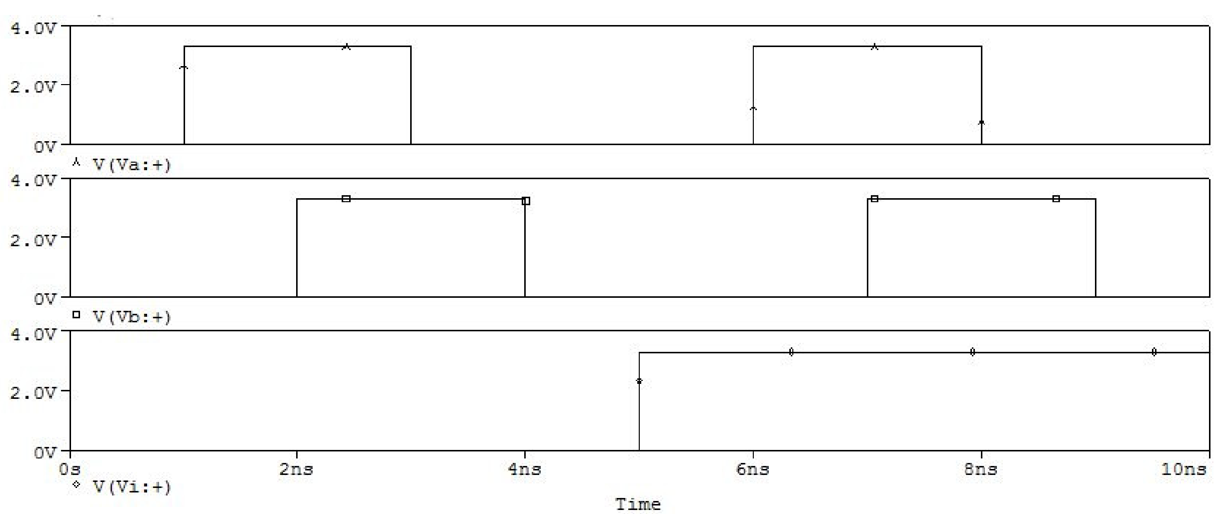


V_{cc} = 5 V, β_F=100, R_1 = 5 kΩ, R_2 = 100 Ω, R_3 = 100 Ω, R_4 = 5 kΩ, R_5 = 5 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn} e V_{Tp} e dai coefficienti β_n e β_p.
I segnali di ingresso (V_a, V_b e V_i) hanno l'andamento mostrato in figura. Si determini il corrispondente andamento di V_x e V_u, calcolandone i valori in corrispondenza di ciascuna transizione. E' lecito, a questo scopo, considerare istantanea ciascuna transizione (si trascurino cioè i tempi di transitorio).



V_{dd} = 3.3 V, V_{Tn}= 0.45 V, V_{Tp}= -0.35 V, β_n=1 mA/V^2, β_p=800 μA/V^2.



Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

15/7/2009 Esercizio 1

Osservazione preliminare: Q2 quando è on è in AD, essendo sempre vbc(Q2)<=0.

Regione 1 : vi< v_γ: Q1 ad, Q2 off, vu=vcc*(r4+r5)/(r4+r5+r2)=4.95 V.

Regione 2: Per vi>v_γ: Q1 AD, Q2 off. Calcolo dei punti notevoli.

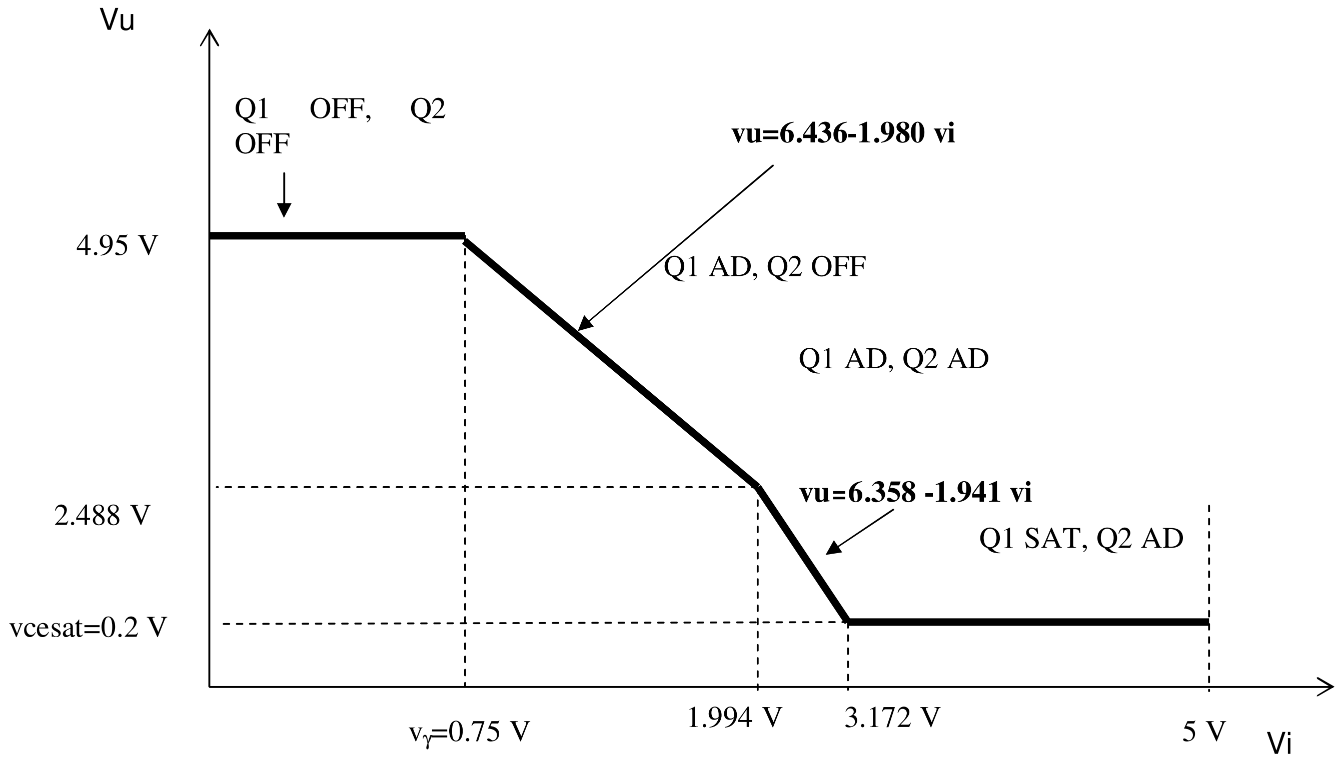
ib1=(vi- v_γ)/r1 ir2=(vcc-vu)/r2 ir5=vu/(r5+r4) ic1= β_f *ib1 Ma ir2=ic1+ir5 vx=r4*vu/(r4+r5)	Risolvendo il sistema di equazioni si trova che: vu=6.436-1.980 vi, e vx=3.218 -0.990 vi Si può notare come in questa regione |dvu/dvi|=1.980>1. Quindi il primo punto notevole coincide con il punto angoloso prima trovato, e cioè: V_{OHMIN}=4.95V, V_{ILMAX}=v_γ=0.75V.
Si rimarrà in questa regione fintantochè Q1 va SAT o Q2 va ON. Q1 va sat : quando vu=vcesat con vu=6.436 -1.980 vi, quindi sse vi= 3.149V.	Q2 va ON quando vi-vx= v_γ, con vx=3.218 - 0.990 vi quindi sse vi= 1.994 V E' quindi Q2 ad accendersi.
Regione 2: v_γ<vu<1.994 V.	

Regione 3: Per vi>1.994 V: Q1 AD, Q2 AD.

ib1=(vi-v_γ)/r1 ir2=(vcc-vu)/r2 ic1=βf*ib1 ib2=(vi-v_γ-vx)/r3 ir5=(vu-vx)/r5 ir4=vx/r4.	Ma ir2=ic1+ir5 ir4=ir5+(βf+1)ib2 Risolvendo il sistema di equazioni si trova che: vu=6.358 -1.941 vi, vx=-0.748+0.999 vi . Si può notare come in questa regione |dvu/dvi|=1.941>1. Quindi il secondo punto notevole non si trova tra la regione 2 e 3.
Si rimarrà in questa regione fintantochè Q1 non va SAT o Q2 non va OFF. Q1 va sat : quando vu=vcesat vu=6.358 -1.941 vi, quindi sse vi= 3.172 V.	Il punto di passaggio dalla regione 3 alla 4 è allora il secondo punto notevole: V_{IHMIN}=3.172 V, V_{ILMAX}=vcesat=0.2V. Si ricava allora che NM_H=(4.95-3.172)V=1.778 V e NM_L=(0.75-0.2)V=0.55 V=NM
Regione 3: 1.994 V<vi< 3.172 V	

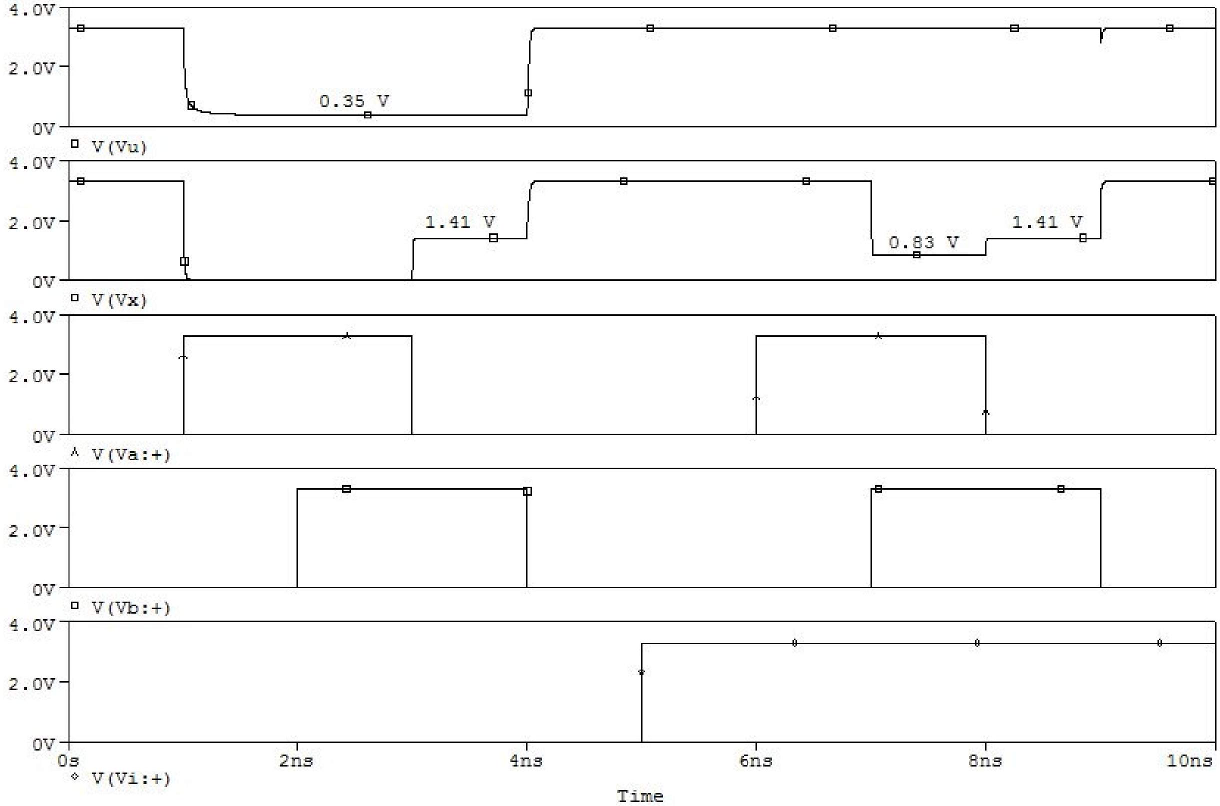
Regione 4: Per vi>3.172V, vu=vcesat.

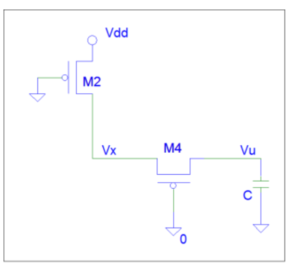
Caratteristica statica di trasferimento.



15/7/2009 Esercizio 2

L'andamento dei segnali è riportato nella figura seguente:

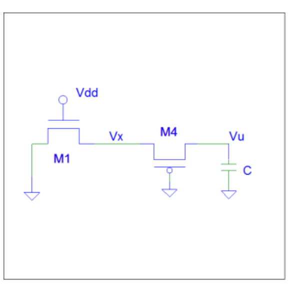




$0 < t < 1\,ns,\ V_a = V_b = V_i = 0$

$M_1\,off,\ M_2\,on,\ M_3\,off,\ \ M_4\,on$

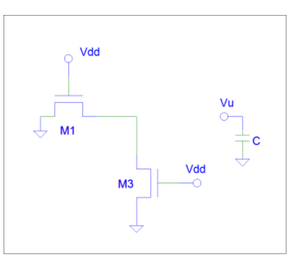
$V_x = V_u = V_{dd}$



$1\,ns < t < 2\,ns,\ V_a = V_{dd}, V_b = V_i = 0$

$M_1\,on,\ M_2\,off,\ M_3\,off,\ \ M_4\,on$

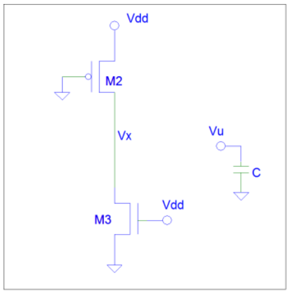
$V_x = 0$
$V_u = |\,V_{Tp}|$ (pull down pMOS)



$2\,ns < t < 3\,ns,\ V_a = V_b = V_{dd}, V_i = 0$

$M_1\,on,\ M_2\,off,\ M_3\,on,\ \ M_4\,off$

$V_x = 0$
$V_u = |\,V_{Tp}|$ (alta impedenza)



$3\ ns < t < 4\ ns,\ V_a = 0, V_b = V_{dd}, V_i = 0$

$M_1\ off,\ M_2\ on,\ M_3 on,\ \ M_4\ off$

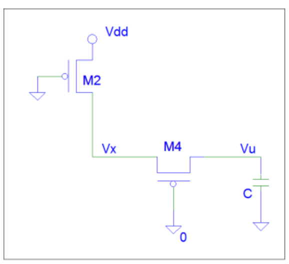
$V_u = |\ V_{Tp}|$ (alta impedenza)

Calcolo di V_x: sono accesi sia il pull-up (M_2) che il pull-down (M_3). Ipotizzo entrambi in regione lineare di funzionamento:

$$\left.\begin{aligned} I_{D3} &= \beta_3\left((V_{dd} - V_{Tn})V_x - \frac{V_x^2}{2}\right) \\ I_{D2} &= \beta_2\left((V_{dd} - |V_{Tn}|)(V_{dd} - V_x) - \frac{(V_{dd} - V_x)^2}{2}\right) \\ I_{D3} &= I_{D2} \end{aligned}\right\} \to \cdots \to \begin{cases} V_x = \ 1.41\ V \\ V_x = 24.29\ V \end{cases}$$

Verifiche:

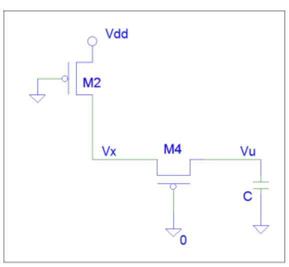
$$\left.\begin{aligned} V_x = \ 1.41\ V &\to \begin{cases} V_{GS3} > V_{DS3} + V_{Tn} \to V_{dd} > V_x + V_{Tn}\ \ (OK) \\ V_{SG2} > V_{SD2} + |V_{Tp}| \to V_{dd} > (V_{dd} - V_x) + |V_{Tp}|\ \ (OK) \end{cases} \\ V_x = 24.29\ V &\to \begin{cases} V_{GS3} > V_{DS3} + V_{Tn} \to V_{dd} > V_x + V_{Tn}\ \ (NO) \\ V_{SG2} > V_{SD2} + |V_{Tp}| \to V_{dd} > (V_{dd} - V_x) + |V_{Tp}|\ \ (NO) \end{cases} \end{aligned}\right\} \to V_x = 1.41\ V$$



$4\ ns < t < 5\ ns,\ V_a = V_b = V_i = 0$

$M_1\ off,\ M_2\ on,\ M_3 off,\ \ M_4\ on$

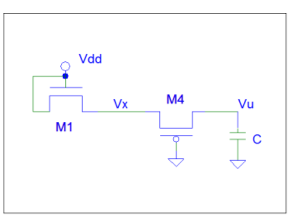
$V_x = V_u = V_{dd}$



$5\ ns < t < 6\ ns,\ V_a = V_b = 0, V_i = V_{dd}$

$M_1\ off,\ M_2\ on,\ M_3 off,\ \ M_4\ on$

$V_x = V_u = V_{dd}$ (M_1 off →l'ingresso V_i è isolato)

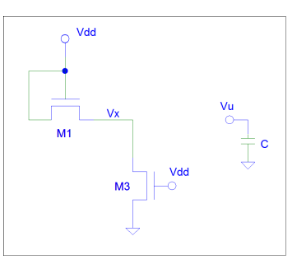


$6\ ns < t < 7\ ns,\ V_a = V_{dd}, V_b = 0, V_i = V_{dd}$

$M_1\ off,\ M_2\ off,\ M_3 off,\ \ M_4\ on$

M_1 è un pull-up a canale n "saturo" (inadatto a pilotare l'uscita al valore alto di piena escursione) ma $V_x = V_{dd} \to V_{GS1} = 0 < V_{Tn} \to\ M_1\ off$

$V_x = V_u = V_{dd}$ (alta impedenza)



$7\ ns < t < 8\ ns,\ V_a = \ V_b = \ V_i = V_{dd}$

$M_1\ on,\ M_2\ off,\ M_3 on,\ \ M_4\ off$

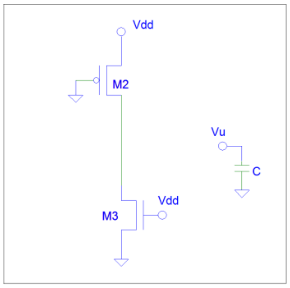
$V_u = \ V_{dd}$ (alta impedenza)

Calcolo di V_x: sono accesi sia il pull-up (M_1, necessariamente saturo) che il pull-down (M_3). Ipotizzo M_3 in regione lineare di funzionamento:

$$\left.\begin{aligned} I_{D3} &= \beta_3\left((V_{dd} - V_{Tn})V_x - \frac{{V_x}^2}{2}\right) \\ I_{D1} &= \frac{\beta_2}{2}\,(V_{dd} - V_x - V_{Tn})^2 \\ I_{D3} &= I_{D2} \end{aligned}\right\} \to \cdots \to \begin{cases} V_x = 0.83\ V \\ V_x = 4.86\ V \end{cases}$$

Verifiche:

$$\left.\begin{aligned} V_x = 0.83\ V \to V_{GS3} > V_{DS3} + V_{Tn} \to V_{dd} > V_x + V_{Tn}\ \ (OK) \\ V_x = 4.86\ V \to V_{GS3} > V_{DS3} + V_{Tn} \to V_{dd} > V_x + V_{Tn}\ \ (NO) \end{aligned}\right\} \to V_x = 0.83\ V$$

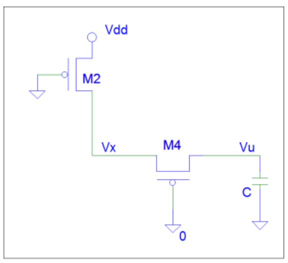


$8\ ns < t < 9\ ns,\ V_a = 0,\ V_b = V_i = V_{dd}$

$M_1\ off,\ M_2\ on,\ M_3 on,\ \ M_4\ off$

$V_u = V_{dd}$ (alta impedenza)

Analogo all'intervallo $[3\ ns < t < 4\ ns]$, per cui $V_x = 1.41\ V$



$9\ ns < t < 10\ ns,\ V_a = V_b = 0, V_i = V_{dd}$

$M_1\ off,\ M_2\ on,\ M_3 off,\ \ M_4\ on$

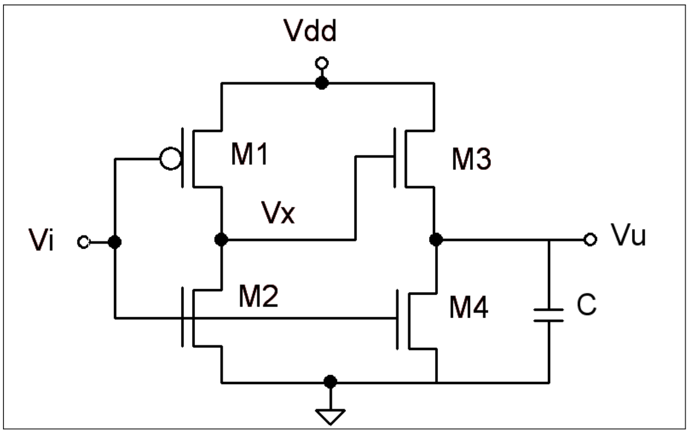
Analogo all'intervallo $[5\ ns < t < 6\ ns]$, per cui:

$V_x = V_u = V_{dd}$ (M_1 off →l'ingresso V_i è isolato)

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
15 GENNAIO 2009

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $|V_{T1}|=V_{T2}=V_{T4}$, V_{T3}, e dai coefficienti β_1, β_2, β_3 e β_4.
Si dimensioni l'invertitore in ingresso (M1-M2) in modo tale che:

a) La sua tensione di soglia logica $V_{LT\_inverter}=Vi=Vx$ sia pari a Vdd/2;
b) La potenza statica dissipata dall'invertitore in ingresso in corrispondenza di $V_{LT\_inverter}=Vi=Vx$ sia pari a 1.6 mW.



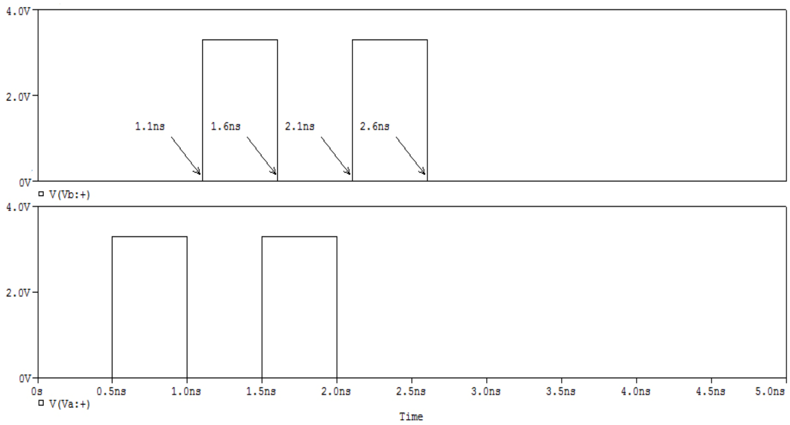
Il segnale d'ingresso Vi, che pilota i transistori M1, M2, M4, abbia il seguente andamento:

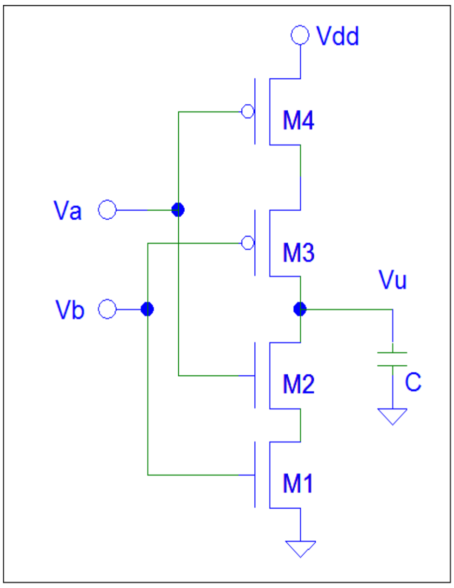
t<0: V_i= Vdd
t>0: V_i= 0

Si dimensioni il transistore M3 affinché il ritardo di propagazione t_{pLH} di Vu, definito come il tempo che il segnale d'uscita Vu impiega per compiere il 50% della transizione totale a partire dal valore iniziale, sia pari a 5 ns. A tale fine si ipotizzi una transizione istantanea della tensione Vx.
Si dimensioni infine il transistore M4 in modo tale che in corrispondenza della soglia logica del circuito V_{LT}=Vi=Vu la corrente i_{12} sull'invertitore in ingresso (M1-M2) e quella i_{34} sui transistori M3-M4 siano tra loro uguali.

V_{dd} = 3.5 V, $|V_{T1}|=V_{T2}=V_{T4}$=0.6 V, V_{T3}=0.1 V, C=1 pF

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn} e V_{Tp} e dai coefficienti β_n e β_p. I segnali di ingresso V_b e V_b abbiano l'andamento mostrato in figura. Si determini l'andamento del segnale V_u, calcolandone in particolare il valore al termine di ciascun transitorio.





V_{dd} = 3.3 V, V_{Tn} = $-V_{Tp}$ = 0.4 V, β_n= 1 mA/V^2, β_p= 0.4 mA/V^2, C=200 fF

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 15-01-2009 - Soluzione Esercizio #1

Calcolo dei coefficienti β_1 e β_2.

Alla soglia logica , per $vi=vx=v_{LT\_inverter}$ $=vdd/2$, M1 ed M2 sono sat, e con $\|V_{T1}\|=V_{T2}$, si ha pure $\beta_1=\beta_2$.	$idp1sat=\beta_1/2*(vdd/2-\|V_{T1}\|)^2$ $Pdiss=vdd*idp1sat$ Risolvendo si ricava che $\beta_1=\beta_2=0.7$ mA/V^2.

Dimensionamento di M3.

1) t<0, vi=Vdd, allora M1 off, M2 on e lin con vx=0 (poiché $id_{M2}=0$) , M3 off, M4 on e lin (poiché $id_{M4}=0$, ma vi=vdd, allora vu=0 V).

2) Per t=0+ vi=0 allora, M2 off , M4 off, M1 on, e supponendo istantanea la commutazione di vx, vx(0+)=vdd . vu(0+)=vu(0-)=0V, allora M3 è on (sse vx-vu> v_{T3}, sse vdd-vu> v_{T3}, sse vu<3.5-0.1V=3.4V), e sat sse vx-vu<vdd-vu+$|v_{T1}|$ sse 0<$|v_{T1}|$, essendo vx=vdd. Quindi finché on M3 è saturo.

3) Per t -> ∞, vi=0, quindi M1 on e lin, M2 e M4 off, M3 sulla soglia, con vu=3.4V.

Il tp_{LH} è il tempo che il segnale d'uscita impiega per compiere il 50% della transizione totale : vu(0+)=0 V, vu(∞)=(vdd-v_{T3})=3.4, quindi Δvu/2=1.7 V. Si noti che durante tutto il transitorio della vu, M3 rimane sat.

$idn3sat=\beta_3/2*(vdd-vu-v_{T3})^2$ C*dvu/dt= idn3sat	$tplh = 5\,ns = \int_0^{(vdd-vt3)/2} \frac{C}{idn3sat}\, dvu$ Da cui si ricava che $\beta_3= 0.12$ mA/V^2

Dimensionamento di M4.

Alla soglia logica del circuito, $vi=vu=v_{LT}$.

i) vi= v_{LT} non può essere > vdd-$|V_{T1}|$ perchè M1 sarebbe off, M2 on e lin con vx=0, M4 on e lin e M3 off con vu=0 che sarebbe diversa da v_{LT};

ii) vi= v_{LT} non può essere < v_{T2}, poiché M2 e M4 sarebbero off, M1 on, vx=vdd e M3 on sulla soglia con vu=vdd- v_{T3} che è diverso da v_{LT}.

iii) Quindi vi= v_{LT} sarà un valore compreso tra $V_{T2}< v_{LT} <vdd-|V_{T1}|$.

Quindi M1 e M2 devono essere entrambi ON, allora $i_{12}\neq0$ e così anche i_{34} che per hp è $i_{12}=i_{34}$: allora vx dovrà avere un valore tale da accendere M3.

- Se M4 è on, M4 è per forza sat, poiché vi < vu +V_{T4} è sempre verificata , essendo vi=vu= v_{LT}.
- M3 deve essere on, quindi deve essere vx-vu>v_{T3}, ovvero vx> v_{LT} + v_{T3}; M3 sarà sat sse vx-vu<vdd-vu+ v_{T3}, sse vx<vdd+ v_{T3}, quindi sempre quando on.
- M2 sarà on, e sat quando v_{LT} <vx+ v_{T2}, sse vx> v_{LT}- v_{T2}. Ma la condizione di accensione di M3 richiede che vx> v_{LT} + v_{T3}= v_{LT} +0.1, che soddisfa anche la condizione di saturazione di M2.

M2 e M4 sono entrambi sat. $idn2sat=\beta_2/2*(v_{LT}- v_{T2})^2=i_{12}$ $idn4sat=\beta_4/2*(v_{LT}- v_{T4})^2=i_{34}$	ma essendo $i_{12}=i_{34}$=idn4sat=idn2sat e $v_{T4}= v_{T2}$ deve essere $\beta_4=\beta_2=0.7$mA/V^2

15/1/2009 - Esercizio 2

La rete di pull-up è costituita dalla serie dei pMOS M3 e M4 e si attiva quindi quando entrambi gli ingressi V_a e V_b sono al valore basso. La rete di pull-down, costituita dalla serie fra gli nMOS M1 e M2 si attiva quando entrambi gli ingressi sono al valore alto. Nel caso che uno degli ingressi sia alto e l'altro basso, sono interdette sia la rete di pull-up che la rete di pull-down e l'uscita si porta in condizioni di alta impedenza, mantenendo dinamicamente il valore precedente. L'andamento del segnale di uscita nella successione di intervalli di tempo è riportato nel seguito.

1) $t \in [0{,}0.5\, ns]$: $V_a = 0, V_b = 0 \;\longrightarrow$ pull-up attivo $\longrightarrow\; V_u = V_{dd}$
2) $t \in [0.5\, ns, 1\, ns]$: $V_a = V_{dd}, V_b = 0 \;\longrightarrow$ alta impedenza $\longrightarrow\; V_u = V_{dd}$
3) $t \in [1\, ns, 1.1\, ns]$: $V_a = 0, V_b = 0 \;\longrightarrow$ pull-up attivo $\longrightarrow\; V_u = V_{dd}$
4) $t \in [1.1\, ns, 1.5\, ns]$: $V_a = 0, V_b = V_{dd} \;\longrightarrow$ alta impedenza $\longrightarrow\; V_u = V_{dd}$
5) $t \in [1.5\, ns, 1.6\, ns]$: $V_a = V_{dd}, V_b = V_{dd} \;\longrightarrow$ pull-down attivo $\rightarrow$ transitorio di discesa di V_u: il pull-down equivale a un transistore nMOS con $\beta_{eq} = \frac{\beta_n}{2}$, attraverso il quale si scarica il condensatore C. Per $V_{dd} \geq V_u \geq V_{dd} - V_T$ il transistore è saturo, e si ha:

$$\left.\begin{aligned} I_D &= \frac{\beta_{eq}(V_{dd}-V_T)^2}{2} \\ I_D &= -C\,\frac{dV_u}{dt} \end{aligned}\right\} \rightarrow dt = -\frac{2C}{\beta_{eq}(V_{dd}-V_T)^2}\,dV_u$$

Integrando:

$$\int_{1.5\text{ns}}^{t_{sat}} dt = -\int_{V_{dd}}^{V_{dd}-V_T} \frac{2C}{\beta_{eq}(V_{dd}-V_T)^2}\,dV_u \rightarrow \boldsymbol{t_{sat}} = 1.5\text{ns} + \mathbf{38.05\ ps}$$

Successivamente, il transistore esce di saturazione ed entra in regione lineare. In questo caso si ha:

$$\left.\begin{aligned} I_D &= \beta_{eq}\left((V_{dd}-V_T)V_u - \frac{{V_u}^2}{2}\right) \\ I_D &= -C\,\frac{dV_u}{dt} \end{aligned}\right\} \rightarrow dt = -\frac{2C}{\beta_{eq}}\frac{1}{(2(V_{dd}-V_T)-V_u)V_u}\,dV_u$$

Integrando l'equazione in maniera abituale (scomposizione in fratte semplici) si ottiene:

$$\int_{t_{sat}}^{t} dt = -\int_{V_{dd}-V_T}^{V_u(t)} \frac{2C}{\beta_{eq}}\frac{1}{(2(V_{dd}-V_T)-V_u)V_u}\,dV_u \rightarrow t - t_{sat} = \frac{2C}{2\beta_{eq}(V_{dd}-V_T)}\ln\left(-\frac{V_u(t)-2(V_{dd}-V_T)}{V_u(t)}\right)$$

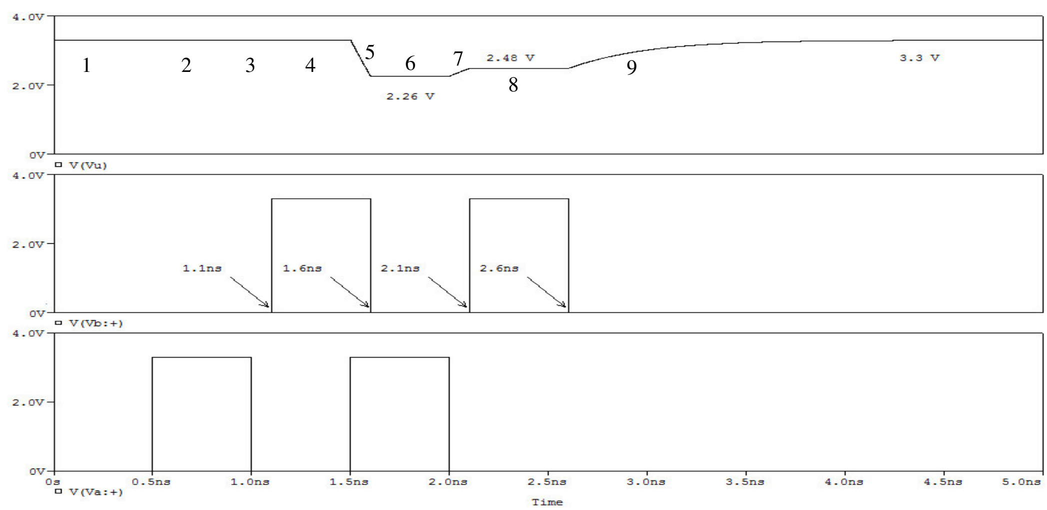
Al termine dell'intervallo ($t = 1.6\, ns$) si ha quindi:

$$V_u(1.6ns) = \mathbf{2.26\ V}$$

6) $t \in [1.6\, ns, 2\, ns]$: $V_a = V_{dd}, V_b = 0 \;\longrightarrow$ alta impedenza $\longrightarrow\; V_u = 2.26\text{ V}$
7) $t \in [2\, ns, 2.1\, ns]$: $V_a = 0, V_b = 0 \;\longrightarrow$ pull-up attivo $\longrightarrow$ transitorio di salita di V_u: il pull-up equivale a un transistore pMOS con $\beta_{eq} = \frac{\beta_p}{2}$, attraverso il quale si carica il condensatore C. Poiché $V_u > |V_{Tp}| = 0.4\, V$, il transistore è in regione lineare durante tutto il transitorio. In maniera del tutto identica al caso precedente si calcola il transitorio in questo intervallo, al termine del quale si ha:

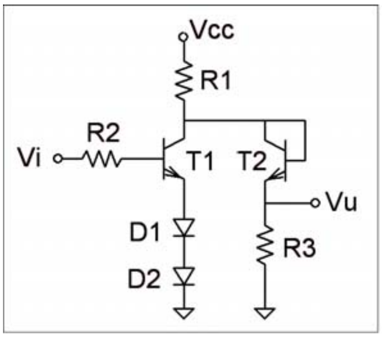
$$V_u(2.1ns) = \mathbf{2.48\ V}$$

8) $t \in [2.1\, ns, 2.6\, ns]$: $V_a = 0, V_b = V_{dd} \;\longrightarrow$ alta impedenza $\longrightarrow\; V_u = 2.48\text{ V}$
9) $t > 2.6\, ns$: $V_a = 0, V_b = 0 \;\longrightarrow$ pull-up attivo $\longrightarrow V_u$ tende asintoticamente a V_{dd}.



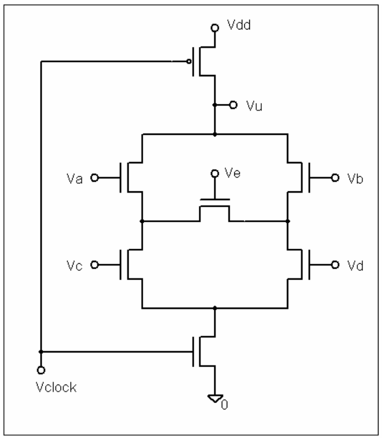
PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
30 GIUGNO 2005

1) Nel circuito in figura, i transistori e i diodi possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$, specificando, per ogni tratto, la regione di funzionamento dei componenti attivi.



V_{cc} = 5 V, β_F= 100, R_1 = 500 Ω, R_2 = 15 kΩ, R_3 = 2 kΩ.

2) *a,b,c,d,e* siano variabili logiche rappresentate in logica positiva (facendo corrispondere al valore logico "1" una tensione "alta" e al valore "0" una tensione "bassa"). Si determini la funzione logica svolta dal circuito in figura.



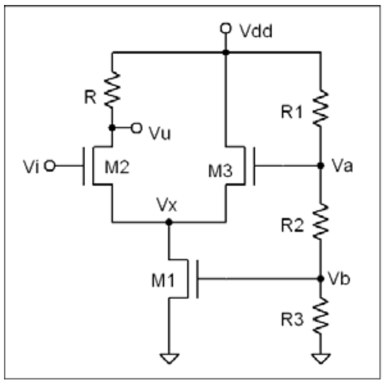
Tutti i transistori nMOS utilizzati siano caratterizzati dagli stessi parametri β_n e V_{Tn}; tutti i transistori pMOS utilizzati siano caratterizzati dagli stessi parametri β_p e V_{Tp}, con V_{Tn}= -V_{Tp}= V_T. Si determino i valori di β_n e β_p in maniera che:

- il tempo di discesa del segnale di uscita V_u, sia, nel caso peggiore, pari a 0.5 ns
- il tempo di discesa del segnale di uscita V_u, sia, nel caso migliore, pari al tempo di salita dello stesso segnale

Si ipotizzi,a tale scopo, che la capacità vista dal nodo di uscita della rete sia pari a 50 fF.

V_{dd} = 3.5 V, V_T = 0.5 V.

3) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia V_{Tn} e dai coefficienti β_1,β_2 e β_3.
Si determini l'escursione logica della rete.



V_{dd} = 3.5 V, V_T = 0.4 V, β_1=3 ma/V^2, β_2=β_3= 2 ma/V^2,
R=25 kΩ, R_1=2.1 kΩ, R_2=3.8 kΩ, R_3= 1.5 kΩ.

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

30/6/05 Es. 1

T2 è connesso "a diodo": $V_{BC} = 0 \rightarrow$ non può saturare -

D1, D2 ON $\leftrightarrow$ T1 ON

Suppongo T1 OFF, T2 ON:

$$V_i - \underset{0}{R_2 I_{B1}} - \underset{V_\gamma}{V_{BE1}} - \underset{V_\gamma}{V_{D1}} - \underset{V_\gamma}{V_{D2}} = 0 \rightarrow V_i < 3V_\gamma$$

$$V_{cc} - R_1 (\underset{0}{I_{C1}} + \underbrace{I_{B2} + I_{C2}}_{I_{E2}}) - \underset{V_\gamma}{V_{BE2}} - R_3 I_{E2} = 0 \rightarrow I_{E2} = \frac{V_{cc} - V_\gamma}{R_1 + R_3}$$

$$V_u = (V_{cc} - V_\gamma) \frac{R_3}{R_1 + R_3} = \underline{3.4\,V}$$

T1 RN, D1, D2 ON, T2 ON

$$\left.\begin{aligned} &V_i - R_2 I_{B1} - \underset{V_\gamma}{V_{BE1}} - \underset{V_\gamma}{V_{D1}} - \underset{V_\gamma}{V_{D2}} = 0 \Big\} \rightarrow I_{B1} = \frac{V_i - 3V_\gamma}{R_2} \\ &\qquad\qquad I_{C1} = \beta_F I_{B1} \\ &V_{cc} - R_1 (I_{C1} + I_{E2}) - V_\gamma - R_3 I_{E2} = 0 \\ &\qquad\qquad V_u = R_3 I_{E2} \end{aligned}\right\} \rightarrow \underset{(*)}{\underline{V_u = 9.4 - 2.66 V_i}}$$

Vale finché:

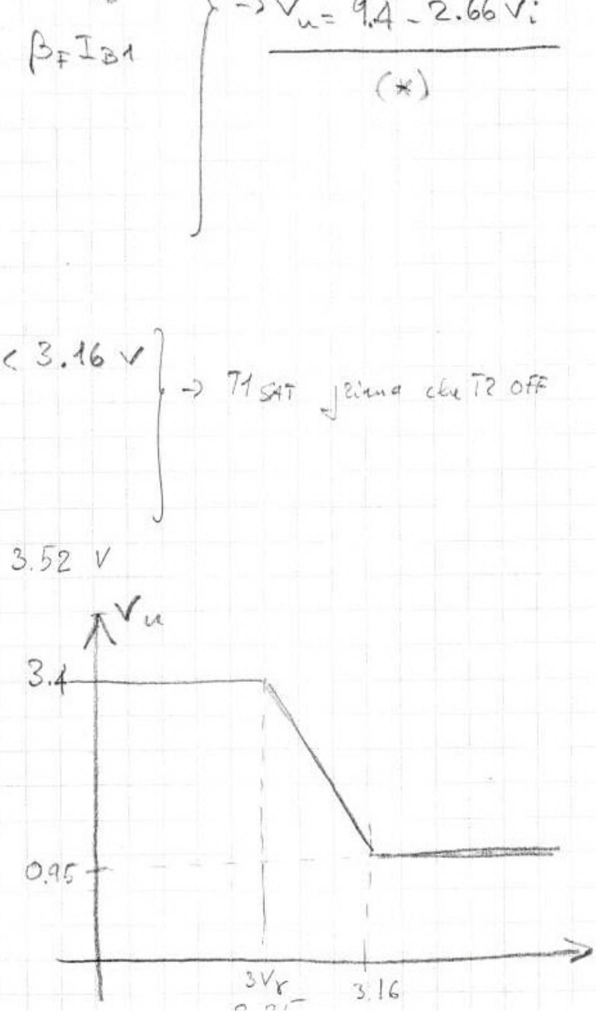
$$\left.\begin{aligned} &\text{T1 RN} \rightarrow \text{SAT}: \quad V_{CE1} > V_{CESAT} \\ &V_{CE1} = (\underset{(*)}{V_u} + \underset{V_\gamma}{V_{BE2}}) - (\underset{V_\gamma}{V_{D1}} + \underset{V_\gamma}{V_{D2}}) \end{aligned}\right\} \rightarrow V_i < 3.16\,V \Big\} \rightarrow \text{T1}_{SAT} \text{ prima che T2 OFF}$$

oppure:

T2 RN $\rightarrow$ OFF: $I_{E2} \geq 0 \rightarrow V_u > 0 \overset{*}{\rightarrow} V_i < 3.52\,V$

T1 SAT, D1, D2 ON, T2 ON

$$\underset{V_\gamma}{V_{D1}} + \underset{V_\gamma}{V_{D2}} + \underset{V_{CESAT}}{V_{CE1}} - \underset{V_\gamma}{V_{BE2}} = V_u \rightarrow V_u = 0.95\,V$$



30/06/05 Es. 2

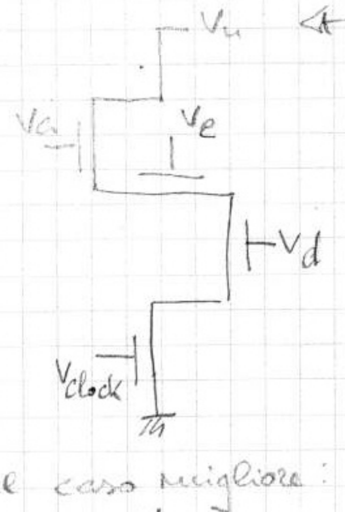
Si tratta di una logica dinamica PE, con funzione logica:

$$u = \overline{ac + bd + e(ad + bc)}$$

La rete di PU è senza costituita dal solo pMOS

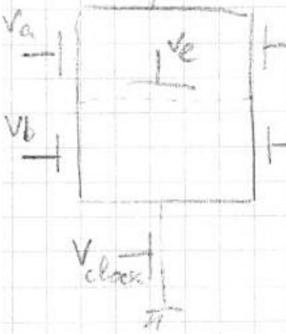
La rete di PD di caso peggiore è costituita da

4 nMOS in serie (rete in figura o equivalente)



$\hookrightarrow \beta_{eq} = \frac{\beta_n}{4}$ (*)

Nel caso migliore:



il transistor controllato da V_e è percorso da corrente nulla ($V_{DS} = 0$), quindi la rete equivale a

$\beta_{eq} = \frac{\beta_n}{2}$

$$t_{salita} = \int_{V_{DD}/10}^{V_T} \frac{2C}{\beta_p (V_{DD} - V_T)^2} dV_u + \int_{V_T}^{\frac{9}{10}V_{DD}} \frac{C \, dV_u}{\beta_p \left[(V_{DD} - V_T)(V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right]} = \dots = \frac{48 \cdot 10^{-15}}{\beta_p} \quad (**)$$

$$t_{discesa} = \dots = \frac{48 \cdot 10^{-15}}{\beta_{eq}}$$

caso peggiore: $t_{disc.} = 0.5 \text{ ns} \longrightarrow \beta_{eq} = 96.05 \, \mu A/V^2 \xrightarrow{(*)} \beta_n = 384.2 \, \mu A/V^2$

caso migliore: $\beta_{eq} = \frac{\beta_n}{2} \longrightarrow t_{disc} = 0.25 \text{ ns}$

salita: $t_{salita} = 0.25 \text{ ns} \xrightarrow{(**)} \beta_p = 192.1 \, \mu A/V^2$

30/6/05 ES. 3

$V_a = V_{DD} (R_2+R_3)/(R_1+R_2+R_3) = 2.51$ V

$V_B = V_{DD} \; R_3 /(R_1+R_2+R_3) = 0.71$ V

Calcolo di V_H: ipotizzo M2 OFF $\rightarrow V_u = V_{DD} - RI_{D2} = V_{DD}$

vale per $V_{GS2} < V_T$, $V_{GS2} = V_i - V_x$ $\Big\} \rightarrow V_i < V_x + V_T$

$V_{GS3} = V_A - V_x$, $V_{DS3} = V_{DD} - V_x$ $\Big\} \rightarrow V_{GS3} < V_{DS3} + V_T \rightarrow$ M2 SAT

$V_A - \cancel{V_x} < V_{DD} - \cancel{V_x} + V_T$

Suppongo M1 SAT:

$I_{D1} = \cancel{I_{D2}} + I_{D3} \rightarrow \frac{\beta_1}{2}\left(V_B - V_T\right)^2 = \frac{\beta_2}{2}\left(V_A - V_x - V_T\right)^2 \rightarrow$

($I_{D2} = 0$)

$\rightarrow V_x =$
- 1.73 V $\rightarrow V_{GS3} > V_T$, $V_{GS1} < V_{DS1} + V_T$ ($V_{GS1} = V_B$, $V_{DS1} = V_x$) $\rightarrow$ OK
- 2.48 V $\rightarrow V_{GS3} = V_A - V_x < V_T \rightarrow$ NO

$\rightarrow$ M2 OFF per $V_i < V_x + V_T = 2.13$ V (*)

Calcolo V_L. Suppongo $V_i = V_{DD} = V_H$ (ancora da verificare)

M2 ON (HP. LIN) $\quad I_{D1} = I_{D2} + I_{D3}$, $I_{D2} = I_R$

M1 ON (HP. SAT)

M3 ON (HP SAT)

$$\begin{cases} \beta_2\left[(V_i - V_x - V_T)(V_u - V_x) - \frac{(V_u - V_x)^2}{2}\right] = \frac{\beta_1}{2}(V_B - V_T)^2 + \frac{\beta_3}{2}(V_A - V_x - V_T)^2 \\ \beta_2\left[\;\dots\;\right] = \frac{V_{DD} - V_u}{R} \end{cases}$$

$\rightarrow$ Sistema di 2 eq. di 2° grado $\rightarrow$ 4 soluzioni in V_u, V_x

V_u	V_x	
4.53	1.67	$\rightarrow I_{D2} = \frac{(V_{DD} - V_u)}{R} < 0 \rightarrow$ NO
3.71	2.49	$\rightarrow$ IDEM $\rightarrow$ NO
2.15	2.42	$\rightarrow V_{GS3} = V_A - V_x < V_T \rightarrow$ NO
1.85	1.82	$\rightarrow \dots \rightarrow$ OK

Quindi:

$V_L = 1.85$, $V_H = 3.5$

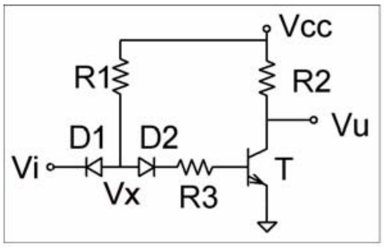
verifica:

$V_i = V_L \xrightarrow{(*)}$ M2 OFF $\rightarrow V_u = V_{DD}$

OK

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
16 GIUGNO 2005

1) Nel circuito in figura, il transistore e i diodi possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$, specificando, per ogni tratto, la regione di funzionamento dei componenti attivi.



V_{cc} = 5 V, β_F= 100, R_1 = 4 kΩ, R_2 = 0.1 kΩ, R_3 = 1 kΩ.

---

2) *y,a,b,c,d* siano variabili logiche rappresentate in logica positiva (facendo corrispondere al valore logico "1" una tensione "alta" e al valore "0" una tensione "bassa").
Si progetti un circuito FCMOS capace di realizzare la funzione logica:

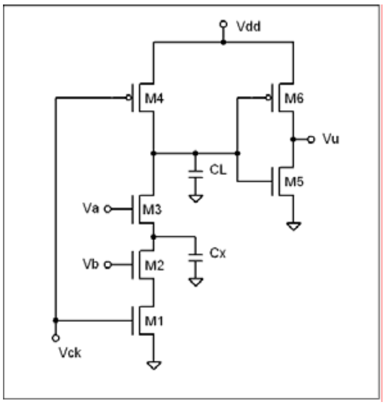
$$y = \overline{a \bullet b \bullet (c+d)}$$

Tutti i transistori nMOS utilizzati siano caratterizzati dagli stessi parametri β_n e V_{Tn}; tutti i transistori pMOS utilizzati siano caratterizzati dagli stessi parametri β_p e V_{Tp}, con V_{Tn}= -V_{Tp}= V_T. Si determino i valori di β_n e β_p tali da rendere entrambi i tempi di propagazione $t_{p,HL}$ e $t_{p,LH}$, ciascuno valutato nel proprio caso peggiore, pari a 150 ps. Si ipotizzi,a tale scopo, che la capacità vista dal nodo di uscita della rete sia pari a 10 fF.

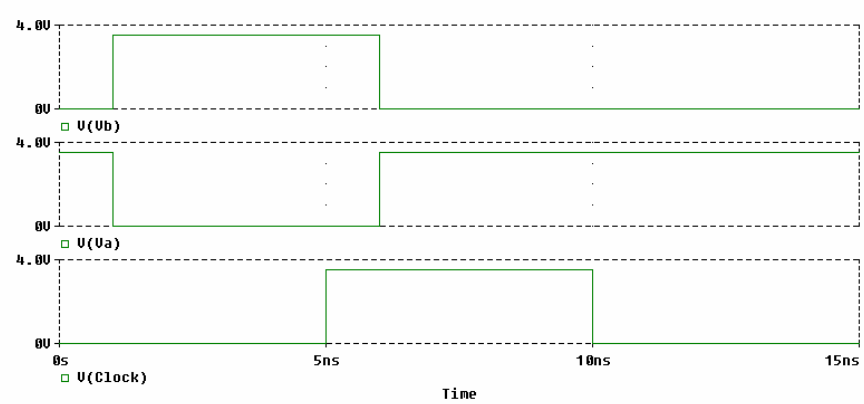
V_{dd} = 3.5 V, V_T = 0.5 V.

---

3) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia V_{Tn}=$|V_{Tp}|$=V_T e dai coefficienti β_1=β_2=β_3=β_5=β_n e β_4=β_6=β_p. Descrivere la funzione logica del circuito. Il segnale di Clock abbia frequenza di 100 MHz, mentre i segnali V_a e V_b abbiano l'andamento descritto nella figura sottostante.



Si determini il valore di Vu all'istante immediatamente precedente t=10 ns.
A questo scopo, è lecito considerare, a questo punto, esaurito ogni transitorio.
V_{dd} = 3.5 V, V_T = 0.4 V, C_L=5 fF, C_x=3 fF, β_n=0.1 ma/V^2, β_p=0.25 ma/V^2.

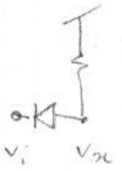


- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

16/6/05 _ Es. 1 FONDAMENTI ELETTRONICA A

T OFF $\leftrightarrow$ D2 OFF

– T, D2 OFF, D1 ON $\rightarrow$ $V_u = V_{CC} - \cancel{R_2 I_C} = V_{CC}$ ①



$$\left.\begin{array}{l} V_x < 2V_\gamma \\ V_x = V_i + V_\gamma \end{array}\right\} \rightarrow V_i < V_\gamma$$

– T RN, D1, D2 ON

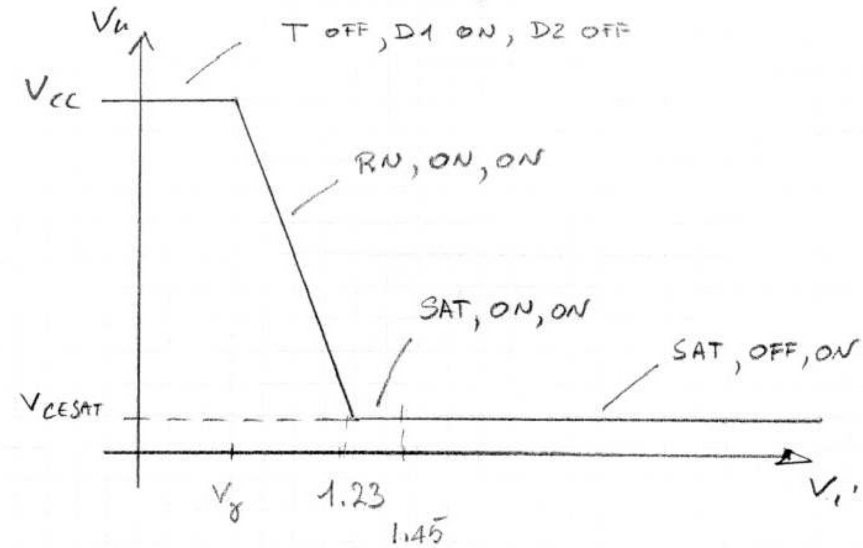
$$\left.\begin{array}{l} V_u = V_{CC} - R_2 I_C \\ I_C = \beta_F I_B \\ I_B = (V_x - 2V_\gamma)/R_3 \\ V_x = V_i + V_\gamma \end{array}\right\} \rightarrow V_u = -10\,V_i + 12.5$$

Vale fino a che T RN $\rightarrow V_u > V_{CESAT} \rightarrow V_i < 1.23\,V$

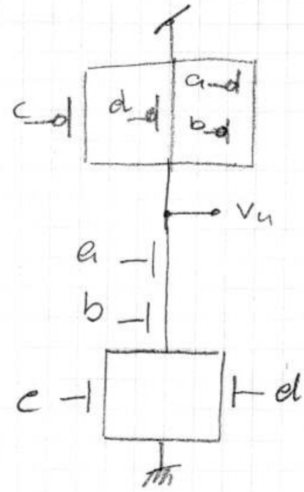
oppure D1 ON $\rightarrow I_{D1} > 0$

$$\left.\begin{array}{l} I_{D1} = I_{R1} - I_B \\ I_{R1} = (V_{CC} - V_x)/R_1 \\ V_x = V_i + V_\gamma \\ I_B = (V_x - 2V_\gamma)/R_3 \end{array}\right\} \rightarrow V_i < 1.45\,V$$

$\rightarrow$ T satura prima di D1 OFF

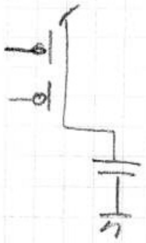


16/6/05 - Es. 2



Caso peggiore PULL-UP:

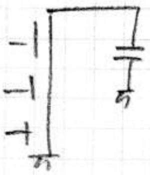
$c = d = 1, \quad a = b = 0$



$$\beta_{eq} = \beta_p / 2$$

Caso peggiore PULL-DOWN:

$a = b = c = 1 \quad d = 0$



$$\beta_{eq} = \frac{\beta_n}{3}$$

$$t_{pHL} = \frac{2C}{\beta_{eq}} \cdot \frac{1}{V_{DD} - V_T} \left[\frac{V_T}{V_{DD} - V_T} + \frac{1}{2} \ln \left(3 - \frac{4 V_T}{V_{DD}} \right) \right] = 150 \cdot 10^{-12}$$

$$\rightarrow \beta_{eq} = 27.12 \ \mu A / V^2 \rightarrow \beta_n = 3 \beta_{eq} = 81.37 \ \mu A / V^2$$

Analogamente:

$$t_{pLH} = \frac{2C}{\beta_{eq}} \ldots = 150 \cdot 10^{-12} \rightarrow \beta_{eq} = 27.12 \ \mu A / V^2 \rightarrow \beta_p = 2 \beta_{eq} = 54.25 \ \mu A / V^2$$

16/6/05 - Es. 3

- è una porta AND in logica DOMINO -

CLOCK = 0 $(t < 5ms)$

M4 ON, M1 OFF $\quad V_{CL} = V_{DD}$

CLOCK = 1 $(t > 5ms)$

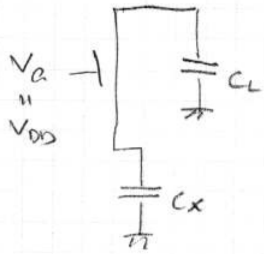
M4 OFF, M1 ON

inizialmente: $V_a \downarrow \rightarrow$ M3 OFF $\longrightarrow V_{CL} = V_{DD}$ (alta impedenza)

$V_b \uparrow \rightarrow$ M2 ON $\rightarrow V_x = 0$

poi: $\left.\begin{array}{l} V_a \uparrow \rightarrow \text{M3 ON} \\ V_b \downarrow \rightarrow \text{M2 OFF} \end{array}\right\} \rightarrow$ RIDISTRIBUZIONE DI CARICA

a fine transitorio:



$$V_{CL}^+ = \underset{\underset{V_{DD}}{\parallel}}{V_{CL}^-} \frac{C_L}{C_x + C_L} = 2.187 \text{ V}$$

V_u è l'uscita di un invertitore CMOS che ha in ingresso V_{CL}^+:

$V_{CL}^+ < V_{DD} - V_T \rightarrow$ M6 ON (HP: SAT)

$V_{CL}^+ > V_T \quad \rightarrow$ M5 ON (HP: LIN)

$$I_{D5} = I_{D6} \rightarrow \beta_n \left[(V_{CL}^+ - V_T) V_u - \frac{V_u^2}{2} \right] = \frac{\beta_p}{2} \left(V_{DD} - V_{CL}^+ - V_T \right)^2 \rightarrow$$

$$\rightarrow V_u = \begin{cases} \underline{\underline{0.732 \text{ V}}} \\ \cancel{2.84} \text{ V} \quad \text{no (v. sotto)} \end{cases}$$

Verifica:

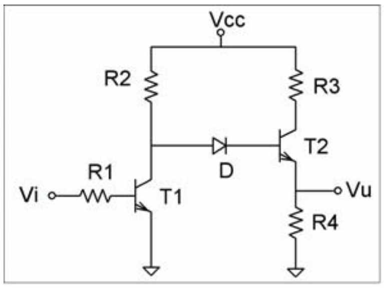
M5 LIN: $V_{GS5} > V_{DS5} + V_T \rightarrow 2.187 > 0.732 + 0.4$ OK

M6 SAT: $V_{SG6} < V_{SD6} + V_T \rightarrow 3.5 - 2.187 < 3.5 - 0.732 + 0.4$ OK

M5 LIN: $V_{GS5} > V_{DS5} + V_T \rightarrow 2.187 > 2.84 + 0.4$ NO!

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
15 LUGLIO 2005

1) Nel circuito in figura, i transistori e i diodi possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$, specificando, per ogni tratto, la regione di funzionamento dei componenti attivi.



V_{cc} = 5 V, β_F= 100, R_1 = 10 kΩ, R_2 = 500 Ω,
R_3 = 10 kΩ, R_4 = 5 kΩ.

2) *a,b,c,d,e,y* siano variabili logiche rappresentate in logica positiva (facendo corrispondere al valore logico "1" una tensione "alta" e al valore "0" una tensione "bassa"). Si progetti una porta logica dinamica PE in grado di realizzare la funzione logica:

$y = \overline{a(b+c(d+e))}$

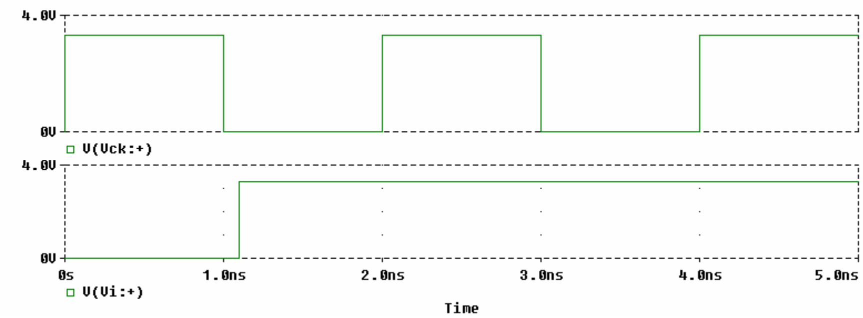
Tutti i transistori nMOS utilizzati siano caratterizzati dagli stessi parametri β_n e V_{Tn}; tutti i transistori pMOS utilizzati siano caratterizzati dagli stessi parametri β_p e V_{Tp}, con $V_{Tn}= -V_{Tp}= V_T$. Si determino i valori di β_n e β_p in maniera che:

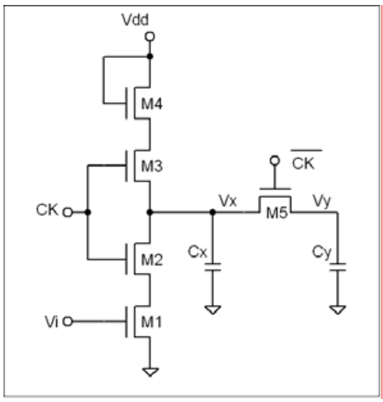
- il tempo di discesa del segnale di uscita V_u, sia, nel caso peggiore, pari a 1 ps
- il tempo di discesa del segnale di uscita V_u, sia, nel caso migliore, pari al tempo di salita dello stesso segnale

Si ipotizzi,a tale scopo, che la capacità vista dal nodo di uscita della rete sia pari a 20 fF.

V_{dd} = 3.5 V, V_T = 0.5 V.

3) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia V_{Tn} e dai coefficienti $\beta_1,\beta_2,\beta_3,\beta_4$ e β_5.
I segnali di ingresso e di Clock abbiano i seguenti andamenti:





Si supponga che, per t=0, sia V_y=0, e si determini il valore di V_y per t=4 ns.
Per semplicità, è lecito considerare esaurito ogni transitorio al termine del periodo relativo.

V_{dd} = 3.3 V, V_T = 0.45 V, $\beta_1=\beta_2=\beta_3=\beta_5$ = 2 mA/V^2, β_4= 50 μA/V^2, Cx=1.5 fF, Cy= 2.5 fF.

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Es. 1
preliminari: T2 on <=> D on

per Vi < Vt T1 off, D e T2 presumibilmente on

Hp: T2 RN

$$Vo = R_4(\beta+1)\frac{Vcc-(Vo+2V\gamma)}{R_2}$$ => Vo =3.49654

$$Vcollettore_{T2} = Vcc - R_3\beta\frac{Vcc-(Vo+2V\gamma)}{R_2}$$ => VcollettoreT2= -1.924 assurdo

dunque la HP era sbagliata

Hp: T2 sat

$$\frac{Vcc-(Vo+2V\gamma)}{R_2}+\frac{Vcc-(Vo+0.2)}{R_3}=\frac{Vo}{R_4}$$ => Vo=3.25217

$$Ic = \frac{Vcc-(3.25217+0.2)}{R_3} = 0.000154783$$

$$\beta Ib = \beta\frac{Vcc-(3.25217+2V\gamma)}{R_2} = 0.0495$$

=> Hp OK

a) per 0<Vi<Vγ => T1 off, D on, T2 sat; Vo=3.25217

in seguito: T2 sat, T1 RN, D on

$$\begin{cases} I_{B2}+\frac{Vcc-(Vo+0.2)}{R_3}=\frac{Vo}{R_4} \\ I_{B2}=\frac{Vcc-(Vo+2V\gamma)}{R_2}-\beta\frac{Vi-V\gamma}{R_1}\end{cases}$$ => Vo = 6.513 - 4.34783 Vi

a questo punto T1 si avvia verso la saturazione, mentre T2 va verso la RN e poi lo spegnimento
ma no è possibile che accada prima la saturazione (perche 0.2<2Vγ => T2, D sarebbero spenti)
dunque la prima cosa che accade è che T2 vada in RN mentre T2 RN
questo accade se:

$$\begin{cases} \mathrm{Vo}=6.513-4.34783\,\mathrm{Vi} \\ I_{B2}=\frac{Vcc-(Vo+2V\gamma)}{R_2}-\beta\frac{Vi-V\gamma}{R_1} \\ I_{C2}=\frac{Vcc-(Vo+0.2)}{R_3} \\ I_{C2}=\beta I_{B2}\end{cases}$$ => Vi = 1.12792

b) per Vγ <Vi< 1.12792 => T1 RN, D on, T2 sat; Vo = 6.513 - 4.34783 Vi

in seguito T1 RN, T2 RN, D on

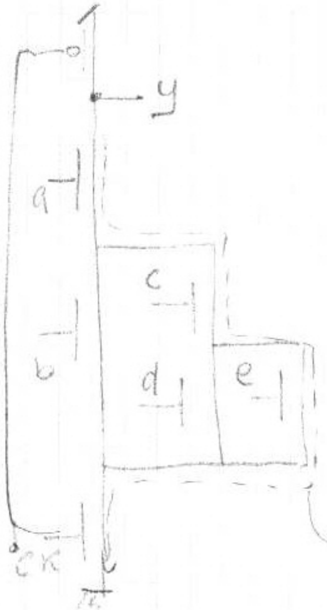
$$\begin{cases} Vo = I_{B2}(\beta+1)R_4 \\ I_{B2}=\frac{Vcc-(Vo+2V\gamma)}{R_2}-\beta\frac{Vi-V\gamma}{R_1}\end{cases}$$ => Vo = 7.24283- 4.995 Vi

questo fino a che T2, D non si spengono, cioè fino a che:

$$\begin{cases} \mathrm{Vo}=7.24283-4.995\,\mathrm{Vi} \\ Vo=0\end{cases}$$ => Vi = 1.45

c) per 1.12792 <Vi < 1.45 => T1 RN, D on, T2 RN; Vo = 7.24283- 4.995 Vi
d) per Vi > 1.45 => D off T2 off; Vo = 0
(a un certo punto T passerà da RN a sat, ma questo non ha influenza su Vo, che resta =0)

15/7/02 es. 2



$$t_{fall} = \int_{\frac{9}{10}V_{DD}}^{V_{DD}-V_t} \frac{-C}{\frac{\beta}{2}(V_{DD}-V_t)^2}\, dV_u + \int_{V_{DD}-V_t}^{V_{DD}/10} \frac{-C}{\beta\left[(V_{DD}-V_t)V_u - \frac{V_u^2}{2}\right]}\, dV_u =$$

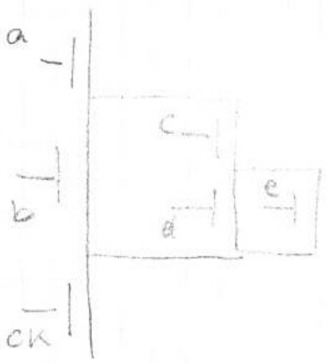
$$= \frac{1.92 \cdot 10^{-14}}{\beta}$$

Caso peggiore: $t_{fall} = 1\ ps \rightarrow \beta = 19.2 \frac{mA}{V^2}$

Caso peggiore: 4 nMOS in serie $\rightarrow \beta = \frac{\beta_n}{4}$

$\rightarrow \beta_n = 76.8 \frac{mA}{V^2}$

Caso migliore: rete di PD con tutti i MOS accesi:



$$\beta_{eq} = \frac{1}{\frac{1}{\beta_{(a)}} + \frac{1}{\beta_{(ck)}} + \frac{1}{\beta_{(b)} + \frac{1}{\frac{1}{\beta_{(c)}} + \frac{1}{\beta_{(d)} + \beta_{(e)}}}}} = \frac{5}{13}\beta$$

$$t_{fall(best)} = \frac{19.2 \cdot 10^{-14}}{\frac{5}{13} \cdot \beta_n} = 0.65\ ps$$

$$t_{fall(best)} = t_{rise} \longrightarrow \dots \longrightarrow \beta_p = \beta_{eq(fall,best)} = \frac{5}{13}\beta_n = 29.5 \frac{mA}{V^2}$$

15/7/05 es. 3

$t < 1\,ms$: $V_{CK} = V_{DD}$, $V_{\overline{CK}} = 0$, $V_i = 0$

M1, M5 OFF
M2, M3, M4 ON

$\Big\}$ $V_y = 0$ (alta impedenza)

$V_x = V_{DD} - V_T = 2.85$ (M4 e M3 in serie, SAT, $I_D = 0$)
(a transitorio esaurito)

$1ms < t < 2ms$:

$V_{CK} = 0$, $V_{\overline{CK}} = V_{DD}$

↳ M2, M3 OFF , M5 ON : ridistribuzione di carica fra C_x e C_y

$$\left.\begin{array}{l} V_x^+ = V_y^+ = \dfrac{C_x V_x^- + C_y V_y^-}{C_x + C_y} \quad (*) \\ V_x^- = 2.85 \ , \ V_y^- = 0 \end{array}\right\} \to V_x^+ = V_y^+ = 1.069\,v$$

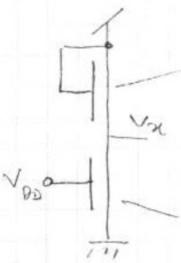
$2ms < t < 3ms$

$V_{CK} = V_{DD}$, $V_{\overline{CK}} = 0$, $V_i = V_{DD}$

M5 OFF → $V_y = \underline{\underline{1.069\,v}}$ (alta impad)

M1, M2, M3, M4 ON

equivale a:



$\beta_{34} = \dfrac{1}{1/\beta_3 + 1/\beta_4}$

$\beta_{12} = \dfrac{1}{1/\beta_1 + 1/\beta_2}$

a transitorio esaurito:

$I_{D34,SAT} = I_{D12,LIN}$ (HP: M_{12} lin)

$\hookrightarrow \dfrac{\beta_{34}}{2}(V_{DD} - V_x - V_T)^2 = \beta_{12}\left[(V_{DD} - V_T)V_x - \dfrac{V_x^2}{2}\right]$

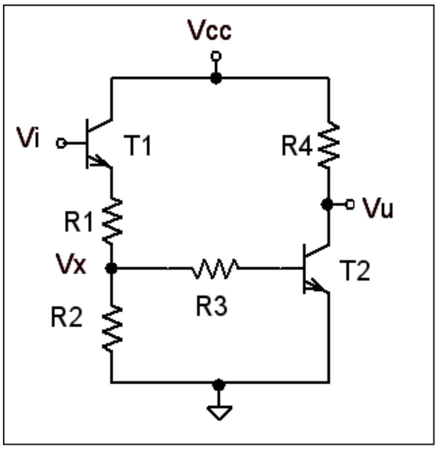
$\hookrightarrow V_x = \begin{cases} 5.57 : \text{no } (V_{GS34} - V_T) \\ \underline{\underline{0.13V}} \text{ sì (HP LIN: ok)} \end{cases}$

$3ms < t < 4ms$: analogo al caso precedente, ridistribuzione di carica fra C_x e C_y :

$$\left.\begin{array}{l} V_x^- = 0.14\,v \\ V_y^- = 1.069 \end{array}\right\} \xrightarrow{*} V_x^+ = V_y^+ = \underline{\underline{0.72\,v}}$$

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
23 SETTEMBRE 2008

1) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia" con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Sia il segnale d'ingresso Vi variabile nell'intervallo $0<V_i<V_{cc}$.



Determinare le resistenze R_2 ed R_3 in modo tale che:

i) la pendenza (Av) della caratteristica statica di trasferimento $V_u(V_i)$ in corrispondenza della tensione di soglia logica sia pari a -4.5;

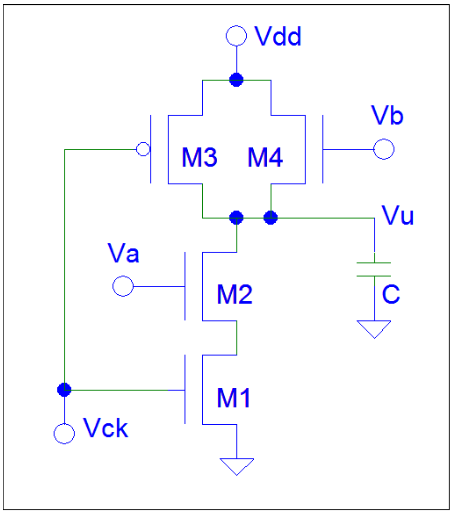
ii) il margine d'immunità ai disturbi relativo al caso basso N_{ML}=1.675 V.

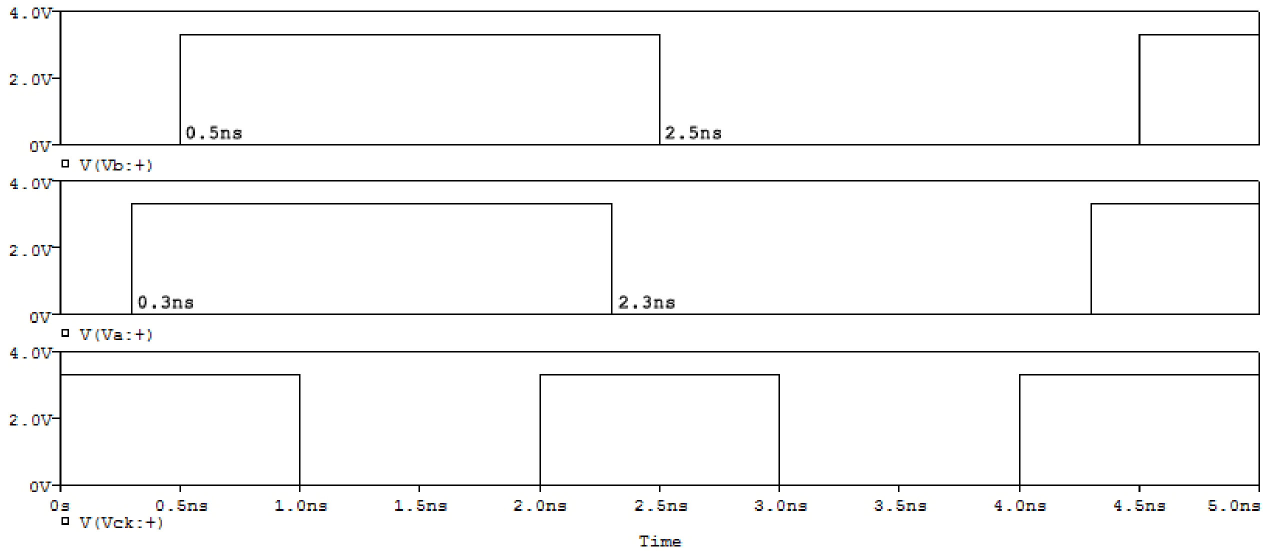
Si determinino, infine, i margini d'immunità NM_H e NM della rete.

V_{cc} = 5 V, β_F= 100, R_1 = 500 Ω, R_4= 1 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn} e V_{Tp} e dai coefficienti β_n e β_p.I segnali di ingresso abbiano l'andamento periodico mostrato in figura, con periodo di 4 ns.. Si determini l'andamento del segnale V_u, trascurando i tempi di propagazione (assumendo cioè ogni transitorio come istantaneo) e calcolando i valori di regime in corrispondenza di ciascuna transizione.

Si calcoli quindi la potenza dinamica media complessivamente dissipata per effetto delle correnti di "corto circuito" (non considerando cioè la potenza dinamica associata alla carica e scarica del condensatore C).





V_{dd} = 3.3 V, V_{Tn} = 0.45 V, V_{Tp} = -0.5 V, β_n= 0.8 mA/V^2, β_p= 0.4 mA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 23-09-2008 - Esercizio #1
Osservazioni preliminari: T1 quando on è in AD; inoltre T2 è schiavo di T1, ovvero T2 è ON se T1 è ON (non vale il viceversa).

Calcolo del guadagno di tensione
Alla soglia logica deve essere vu=vi=vlt, quindi T1 sarà on, e T2 sarà on in AD. Infatti:

a) Se T1 fosse off (quindi $vi<v_\gamma$) , anche T2 sarebbe off, quindi sarebbe vu =vcc, il ché è assurdo. Quindi T1 deve essere in AD. Anche T2 deve essere ON e in AD, poiché se T2 fosse sat, vu =vcesat, ma se alla soglia logica deve essere vu=vi=vlt, T1 dovrebbe essere off il ché è assurdo. Alla soglia logica entrambi i transistori sono in AD. Calcolo del guadagno di tensione. Si può allora calcolare il guadagno di tensione Av alla soglia logica che deve essere pari a -4.5.

$ie1=(vi-v_\gamma-vx)/R_1$ $ir2=vx/R_2$ $ib2=(vx-v_\gamma)/R_3$ $ic2=(vcc-vu)/R_4$ Ma $ie1=ib2+ir2$ $ib2*\beta f=ic2$	Risolvendo si trova che: $Vu=(5R_1R_3+75R_1R_4+R_2(5R_1+5R_3+150R_4-100R_4\,vi))/(R_1R_2+R_1R_3+R_2R_3)$, dove R_1 e R_4 sono date. Il guadagno nel tratto T1AD e T2 AD è costante e vale -4.5 per vi in variabile in questo intervallo. Si può allora ricavare la prima relazione tra R_2 e R_3. $Av=dvu/dvi=-100R_4R_2/(R_1R_2+R_1R_3+R_2R_3)=$ $=-200R_2/(R_2+R_3+0.002R_2R_3)=-4.5$

Regione 1: $vi<v_\gamma$, T1 off, T2 off, e vu=vcc.

Regione 2: T1 on ($vi>v_\gamma$) e T2 off ($vx<v_\gamma$). In queste condizioni vu=vcc.
Si rimane in regione 2 fintantoché T2 non va on, quando cioè $vx=v_\gamma$.

Regione 3: Per vi tc $vx>v_\gamma$ T2 si accende e passa in AD. Con entrambi i transistori in AD la caratteristica vu(vi) è una retta con pendenza Av=-4.5. Quindi il primo punto angoloso (V_{ILMAX}, V_{OHMIN}) corrisponde al punto di transizione dalla regione 2 alla regione 3. Quindi V_{OHMIN}=Vcc=5V. V_{ILMAX} corrisponde a quel valore di Vi per il quale $vx=v_\gamma$.

$ie1=(vi-v_\gamma-vx)/r1$ $ir2=vx/R_2$ Ma ie1=ir2 e $vx=v_\gamma$ da cui si ricava che $Vi=V_{ILMAX}=2v_\gamma+v_\gamma R_1/R_2$	V_{OLMAX} è il valore basso dell'uscita che si ha con il transistore T2 saturo, e vale vcesat. $N_{ML}=V_{ILMAX}-V_{OLMAX}=2v_\gamma+v_\gamma R_1/R_2-vcesat=1.675$ da cui si ricava che R_2=1 kΩ.
Nota R_2=1 kΩ, sostituendone il valore nell'espressione prima calcolata del guadagno	$Av=-200R_2/(R_2+R_3+0.002R_2R_3)=-4.5$ si ricava R_3= 14481.5 Ω

Resta da calcolare V_{IHMIN}. V_{IHMIN} corrisponde al valore dell'ingresso per il quale T2 va sat, con T1 in AD.

$ie1=(vi-v_\gamma-vx)/r1$ ir2=vx/r2 vu=vcesat ib2=(vx-vg)/r3 ic2=(vcc-vcesat)/r4 Ma ie1+ib2=ir2 e $ib2*\beta_f=ic2$ da cui si ricava che $Vi=V_{IHMIN}$=2.942 V	$NM_H=V_{OHMIN}-V_{IHMIN}=5-2.942=2.058V$ $NM=\min[NM_H, NM_L]=1.675V$

Esercizio 2:

Il circuito è un invertitore dinamico in logica PE controllato dal segnale V_a, sulla cui uscita è disposta una rete aggiuntiva di pull-up controllata dal segnale V_b.

E' quindi possibile distinguere i casi seguenti:

a) $V_{ck} = V_{dd}$, $V_a = 0$, $V_b = 0$ → pull-up OFF, pull-down OFF → uscita in alta impedenza → $\mathbf{V_u = V_{dd}}$ (fase precedente di precarica)

b) $V_{ck} = V_{dd}$, $V_a = V_{dd}$, $V_b = 0$ → pull-up OFF, pull-down ON → $\mathbf{V_u = 0}$ (al termine del transitorio)

c) $V_{ck} = V_{dd}$, $V_a = V_{dd}$, $V_b = V_{dd}$ → pull-up ON, pull-down ON → V_u dipende dal rapporto fra i fattori di forma delle reti di PU (M4) e PD (M1,M2). M4 lavora certamente in saturazione ($V_{GS} = V_{DS} = V_{dd} - V_u$). Ipotizzo che la rete di PD lavori in regione lineare

$$\left.\begin{aligned} I_{PU} &= \frac{\beta_n (V_{dd} - V_u - V_{Tn})^2}{2} \\ I_{PD} &= \beta_{1,2}\left((V_{dd} - V_{Tn})V_u - \frac{{V_u}^2}{2}\right) \\ \beta_{1,2} &= \frac{\beta_n}{2} \end{aligned}\right\} \xrightarrow{I_{PD}=I_{PU}} \begin{cases} \boldsymbol{V_u = 1.205\ V} & \rightarrow Ipotesi\ OK \\ V_u = 4.49\ V & \rightarrow Ipotesi\ KO \end{cases}$$

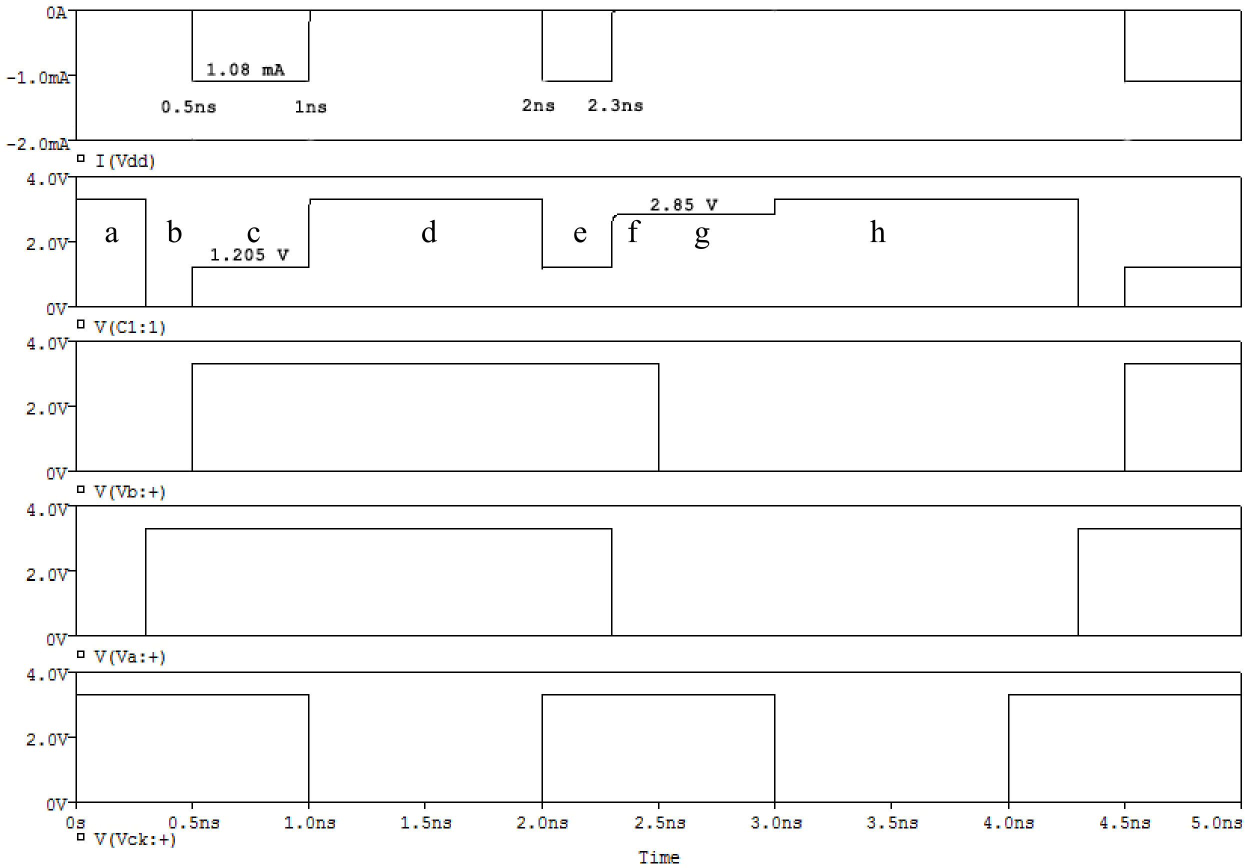
d) $V_{ck} = 0$, $V_a = V_{dd}$, $V_b = V_{dd}$ → pull-up ON, pull-down OFF → $\mathbf{V_u = V_{dd}}$ (nMOS e pMOS in parallelo)

e) $V_{ck} = V_{dd}$, $V_a = V_{dd}$, $V_b = V_{dd}$ → situazione identica a (c) → $\mathbf{V_u = 1.205\ V}$

f) $V_{ck} = V_{dd}$, $V_a = 0$, $V_b = V_{dd}$ → pull-up ON (M4), pull-down OFF → $\mathbf{V_u = V_{dd} - V_{Tn} = 2.85\ V}$ (nMOS di pull-up → valore "debole")

g) $V_{ck} = V_{dd}$, $V_a = 0$, $V_b = 0$ → pull-up OFF, pull-down OFF → uscita in alta impedenza → $\mathbf{V_u = 2.85\ V}$

h) $V_{ck} = 0$, $V_a = 0$, $V_b = 0$ → pull-up ON, pull-down OFF → $\mathbf{V_u = V_{dd}}$ (fase di precarica)



Calcolo della potenza media: la corrente erogata dal generatore è non nulla solo negli intervalli (c) ed (e). In questi intervalli, la corrente è costante e vale:

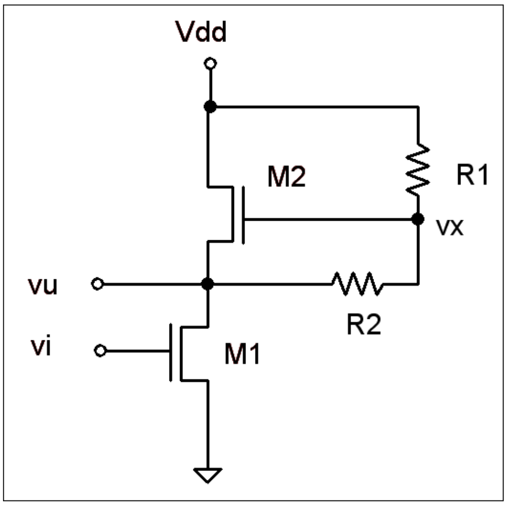
$$I_{DD} = I_{PD} = I_{PU} = \frac{\beta_n (V_{dd} - 1.205V - V_{Tn})^2}{2} = \boldsymbol{1.08\ mA}$$

E quindi la potenza media vale:

$$P_{DD} = \frac{1}{T}\int_T I_{DD} V_{DD}\, dt = \frac{V_{DD}}{T}\left(\int_{0.5ns}^{1ns} 1.08\ 10^{-3}\, dt + \int_{2ns}^{2.3ns} 1.08\ 10^{-3}\, dt\right) = \boldsymbol{0.71\ mW}$$

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=V_{Tn1}=V_{Tn2}$ e dai coefficienti β_{n1}, β_{n2}.
Si determinino i margini d'immunità ai disturbi (N_{MH} e N_{ML}) della rete.

V_{dd} = 3.5 V, V_{Tn} = 0.5 V, β_{n1}= 5mA/V^2, β_{n2}= 0.5 mA/V^2, R1=5 kΩ, R2=10 kΩ.



2) Si progetti una rete FCMOS in grado di realizzare la funzione logica:

$$Y = \overline{A \cdot (B \cdot C + D \cdot (E + F))}$$

assumendo che ciascuna variabile sia rappresentata in logica positiva da una tensione (V_Y, V_A, …, V_F) con escursione 0-V_{dd}.

Tutti i transistori delle rete di *pull-down* abbiano lo stesso coefficiente β_n, mentre i transistori di pull-up abbiano coefficiente β_p. Sia inoltre $V_{Tn}=|V_{Tp}|=V_T$.
Si determinino β_n e β_p in modo che:

- Il tempo di propagazione $t_{P,LH}$ nel caso peggiore sia pari a 3 volte il tempo di propagazione $t_{P,HL}$ nel caso migliore;
- In corrispondenza della contemporanea transizione di tutti i segnali di ingresso dal valore basso (0) al valore alto (V_{DD}), la corrente massima di corto circuito sia pari a 1 mA. A questo scopo si trascuri la corrente di *fan-out*.

V_{dd} = 3.5 V, V_T = 0.4 V.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
  L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 12-06-2008 - Esercizio #1

Osservazioni preliminari.

i) M2 è schiavo di M1, quindi può essere ON solo se M1 è ON. Non vale invece il viceversa: M1 può essere ON (vi>vtn) senza che M2 sia ON.
ii) M2 quando ON (Vgs2=vx-vu>vtn) è sempre saturo (sse vx<vdd+vtn, sempre verificata).
iii) Si osservi che vx è data dal partitore resistivo: vx=(vu*R1+vdd*R2)/(R1+R2). M2 è OFF quando vx-vu<vtn, da cui è si ricava che M2 è OFF quando vu>2.75V.

Regione 1: vi<vtn, allora M1 OFF, quindi M2 OFF.

vu=vdd e vx=vdd, e vi<vtn). In questa regione dvu/dvi=0, quindi non ci sono punti notevoli.

Si rimane in regione 1 fintantochè M1 non va ON, ovvero per vi>vtn.

Regione 2: vi>vtn, allora M1 ON sat, M2 OFF.

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).

ir=(vdd-vu)/(R1+R2)
idn1sat=β_{n1}/2*(vi-vtn)^2
d(idn1sat)/dvi=β_{n1}*(vi-vtn)
Ma idn1sat=ir
e d(idn1sat)/dvi=1/(R1+R2)
Risolvendo si ricava la seguente coppia di valori (vi, vu):

vi= 0.513, vu= 3.493V.
Tale coppia di valori soddisfa l'Hp di saturazione di M1: vu (=3.493) > vi-vtn (=0.013 V), e di spegnimento di M2 (vu>2.75V).
Quindi:
V_{0HMIN}=3.493 V, e V_{ILMAX}=0.513 V.

Passaggio dalla Regione 2 alla Regione 3: stato dei transistori.

Possono accadere due cose distinte: M2 va ON (e quindi è sat), oppure prima che ciò accada M1 cambia regione portandosi in zona lineare. Si deve verificare quale condizione avviene prima.

Si è già ricavato che M2 rimane OFF fintantoché Vu>2.75 V.
Il valore di vi e vu per i quali M1 diventa LIN con M2 OFF si ricava dalle equazioni seguenti:
idn1lin=β_{n1}*((vi-vtn)*vu-1/2*vu^2)
ir=(vdd-vu)/(R1+R2)
vi=vu+vtn
Ma idn1lin=ir
da cui si ricavano le seguenti coppie di valori:
vi=0.181 V, vu=-0.319 V,(soluzione non accettabile),
e vi=0.792 V, vu=0.292 V.
Poiché vu sta calando, vu raggiunge prima il valore di 2.75V che non 0.292V, quindi M2 si accende prima che M1 vada LIN.
Se si vuole calcolare il valore di vi per il quale vu=2.75 V con M1 SAT, e M2 sulla soglia, ma è già sufficiente quanto appena detto per l'analisi delle regioni di funzionamento dei transistori, si può ricavare dalle equazioni seguenti:
vu=2.75 V
idn1sat=β_{n1}/2*(vi-vtn)^2
ir=(vdd-vu)/(R1+R2)
idn1sat= ir
dove vx-vu=vtn, che porta ad avere vi=0.641 V e (vi=-0.359V, non accettabile). Quindi per vi=0.641V, vu=2.75 V M2 va ON.

Regione 3: M1 SAT, M2 SAT

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).

vx=(vu*R1+vdd*R2)/(R1+R2)
ir=(vdd-vu)/(R1+R2)
idn1sat=β_{n1}/2*(vi-vtn)^2
idn2sat=β_{n2}/2*(vx-vu-vtn)^2
d(idn1sat)/dvi=β_{n1}*(vi-vtn)
d(idn2sat)/dvi=β_{n2}*(vx-vu-vtn)*(-R1/(R1+R2)+1)
Ma idn1sat=ir+idn2sat
d(idn1sat)/dvi=1/(R1+R2)+d(idn2sat)/dvi ,
vi=0.5-0.027™,vu=3.05+0.614™
vi=0.5+0.027™,vu=3.05-0.614™.
In questa regione non esistono punti a pendenza -1.

Regione 4:M1 LIN, M2 SAT.

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).

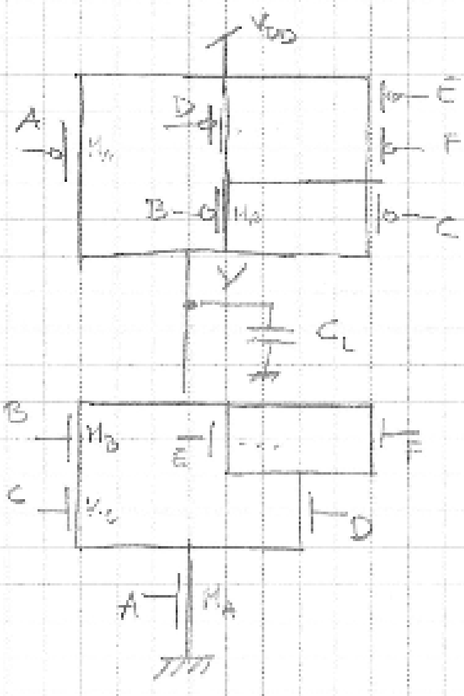
vx=(vu*R1+vdd*R2)/(R1+R2)
ir=(vdd-vu)/(R1+R2)
idn1lin=β_{n1}*((vi-vtn)*vu-1/2*vu^2)

vi=1.132 V= V_{IHMIN}, vu=0.376=$V_{OLMAX.}$
La soluzione accettabile è la seconda. La hp di linearità di M1 è verificata (vu=(0.376 V)<vi-

idn2sat=β_{n2}/2*(vx-vu-vtn)^2
d(idn1lin)/dvi=β_{n1}*(vu+(vi-vtn)*-1+vu)
d(idn2sat)/dvi=β_{n2}*(vx-vu-vtn)*(-R1/(R1+R2)+1)
idn1lin= ir+idn2sat
d(idn1lin)/dvi= 1/(R1+R2)+d(idn2sat)/dvi
da cui si ricavano le seguenti coppie di valori (vi,vu):
vi=-0.403 V ,vu=-0.376 V

vtn(=0.632 V)), e di accensione di M2 (vu<2.75 V).
Si ricava allora che:
(*V_{ILMAX}-V_{OLMAX}*)
NM_L=0.513 V-0.376 V=0.137 V**=NM**
(*V_{OHMIN}-V_{IHMIN}*)
NM_H=3.493 V-1.132 V=2.361V

12.6.08 - es. 2



Pull-up: caso peggiore 3 pMOS in serie

$$\beta_{eqPU} = \beta_p/3$$

Pull-down: caso migliore tutti nMOS on

$$M_A \text{ serie } \Big(\underbrace{(M_B \text{ serie } M_C)}_{\frac{\beta_n}{2}} \,/\!/\, \underbrace{\big(M_D \text{ serie } \underbrace{(M_E /\!/ M_F)}_{2\beta_n}\big)}_{\frac{1}{\frac{1}{\beta_n}+\frac{1}{2\beta_n}} = \frac{2}{3}\beta_n}\Big)$$

$$\frac{\beta_n}{2} + \frac{2}{3}\beta_n = \frac{7}{6}\beta_n$$

$$\frac{1}{\frac{1}{\beta_n} + \frac{6}{7\beta_n}} = \frac{7}{13}\beta_n = \beta_{eqPD} \quad (\bullet)$$

$$t_{pHL} = \frac{1}{\beta_{eqPD}} \underbrace{\frac{C_L}{(V_{DD}-V_T)}\left[\frac{2V_T}{V_{DD}-V_T} + \ln\left(3 - \frac{4V_T}{V_{DD}}\right)\right]}_{K}$$

$$t_{pLH} = \frac{1}{\beta_{eqPU}} \left(\ldots \right) = 3\, t_{pHL}$$

$$\rightarrow \frac{1}{\beta_{eqPU}} \cdot \cancel{K} = 3 \cdot \frac{1}{\beta_{eqPD}} \cdot \cancel{K}$$

$$\rightarrow \frac{\cancel{3}}{\beta_p} = \cancel{3} \cdot \frac{13}{7\beta_n} \rightarrow \frac{\beta_n}{\beta_p} = \frac{13}{7} \quad (*)$$

Corrente di cortocircuito: tutti i MOS on: β_{PD} (già calcolato) $= \frac{7}{13}\beta_n$

PU:

$$M_A /\!/ \Big(\underbrace{\underbrace{(M_B /\!/ M_C)}_{2\beta_p} \text{ serie } \underbrace{\big(M_D /\!/ \underbrace{(M_E \text{ serie } M_F)}_{\beta_p/2}\big)}_{3/2\,\beta_p}}_{\frac{6}{7}\beta_p}\Big)$$

$$\frac{13}{7}\beta_p$$

$$\beta_{eqPU} = \frac{13}{7}\beta_p$$

Dalla teoria: corrente di corto circuito massima per

$$V_i = V_i^* = \frac{V_{DD} - V_T + \theta V_T}{1+\theta}$$

$$\theta = \sqrt{\frac{\beta_{eqPD}}{\beta_{eqPU}}} = \sqrt{\frac{7/13\ \beta_n}{13/7\ \beta_p}} = \frac{7}{13}\sqrt{\frac{\beta_n}{\beta_p}} \stackrel{(*)}{=} \frac{7}{13}\sqrt{13/7} = \sqrt{7/13} = 0.73$$

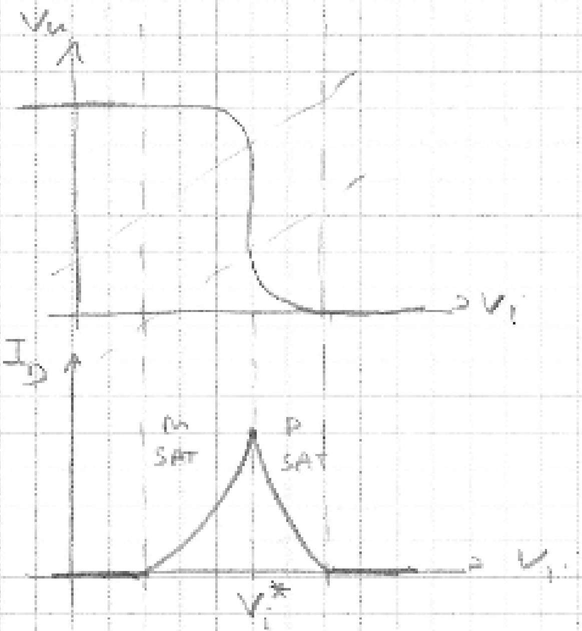
$\rightarrow V_i^* = 1.96\ V$

PU e PD sat

$$I_{DMAX} = \frac{\beta_{eqPD}}{2}\left(V_i^* - V_T\right)^2$$

$\downarrow$

$$\beta_{eqPD} = \frac{2 I_{DMAX}}{\left(V_i^* - V_T\right)^2} = 824.7\ \mu A/V^2$$



$\downarrow (\bullet)$

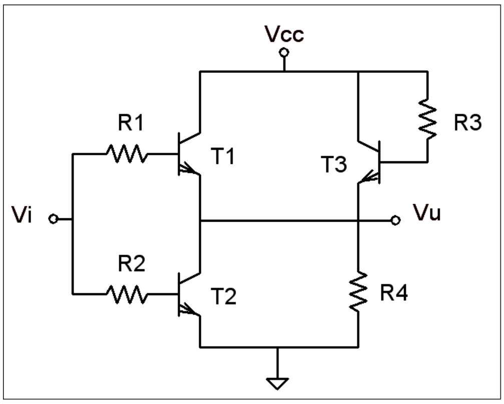
$$\boxed{\beta_n = 1.53\ mA/V^2}$$

$\downarrow (*)$

$$\boxed{\beta_p = 824.7\ \mu A/V^2}$$

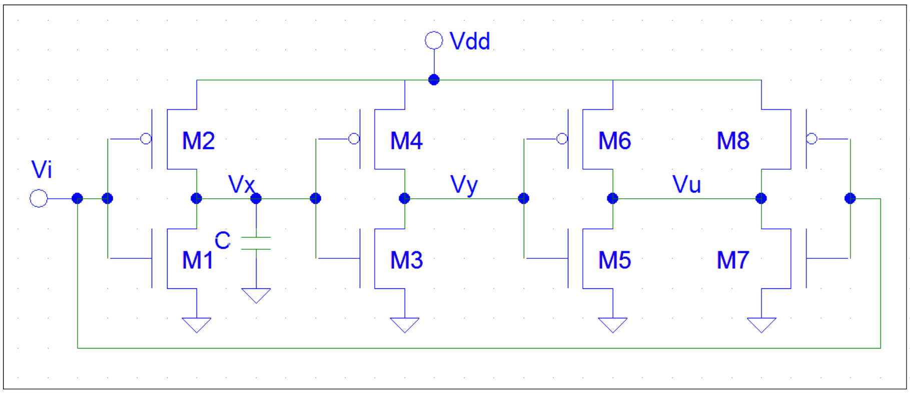
PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
11 SETTEMBRE 2008

1) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.



V_{cc} = 5 V, β_F= 100, R_1 = 10 kΩ, R_2 = 5 kΩ, R_3 = 20 kΩ, R_4= 20 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn} e V_{Tp} e dai coefficienti β_i. Il segnale di ingresso V_i sia periodico, alternando i valori 0 e V_{dd} con periodo T pari a 1 ns, e duty-cycle pari al 50%. Si determini l'andamento del segnale V_u. A questo scopo, si assimilino i transitori del segnale V_x a transizioni istantanee, ritardate rispetto all'ingresso di un tempo pari al tempo di propagazione relativo. Si calcoli quindi la potenza dinamica media complessivamente dissipata per effetto delle correnti di "corto circuito" (non considerando cioè la potenza dinamica associata alla carica e scarica del condensatore C).



V_{dd} = 3.3 V, V_{Tn} = 0.4 V, V_{Tp} = -0.5 V, β_1= β_3= β_5= β_8= 1mA/V^2, β_2= β_4= β_6= β_7= 0.5 mA/V^2, C=30 fF.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 11-09-2009 - Esercizio #1

Osservazioni preliminari:

i) T1 e T3 quando on sono in AD.

Regione 1: Vi< v_γ, T1 off e T2 off. Si noti che fintantoché T1 e T2 sono off, vu non cambia. T3 on e in AD: se per assurdo non lo fosse, vbase(T3)=vcc, vu=0, quindi vbe(T3)> v_γ, e in AD (collettore di T3 a vcc).

ib3=(vcc- v_γ-vu)/r3 i4=vu/r4 Ma i4=ib3*(β_f+1)	da cui si ricava che **vu=4.20833 V** Si rimane in regione 1 fintantoché T2 va on, quindi per vi>vγ.

Regione 2 : Regione 2: T1 off, T2 in AD, T3 in AD - calcolo di Vu

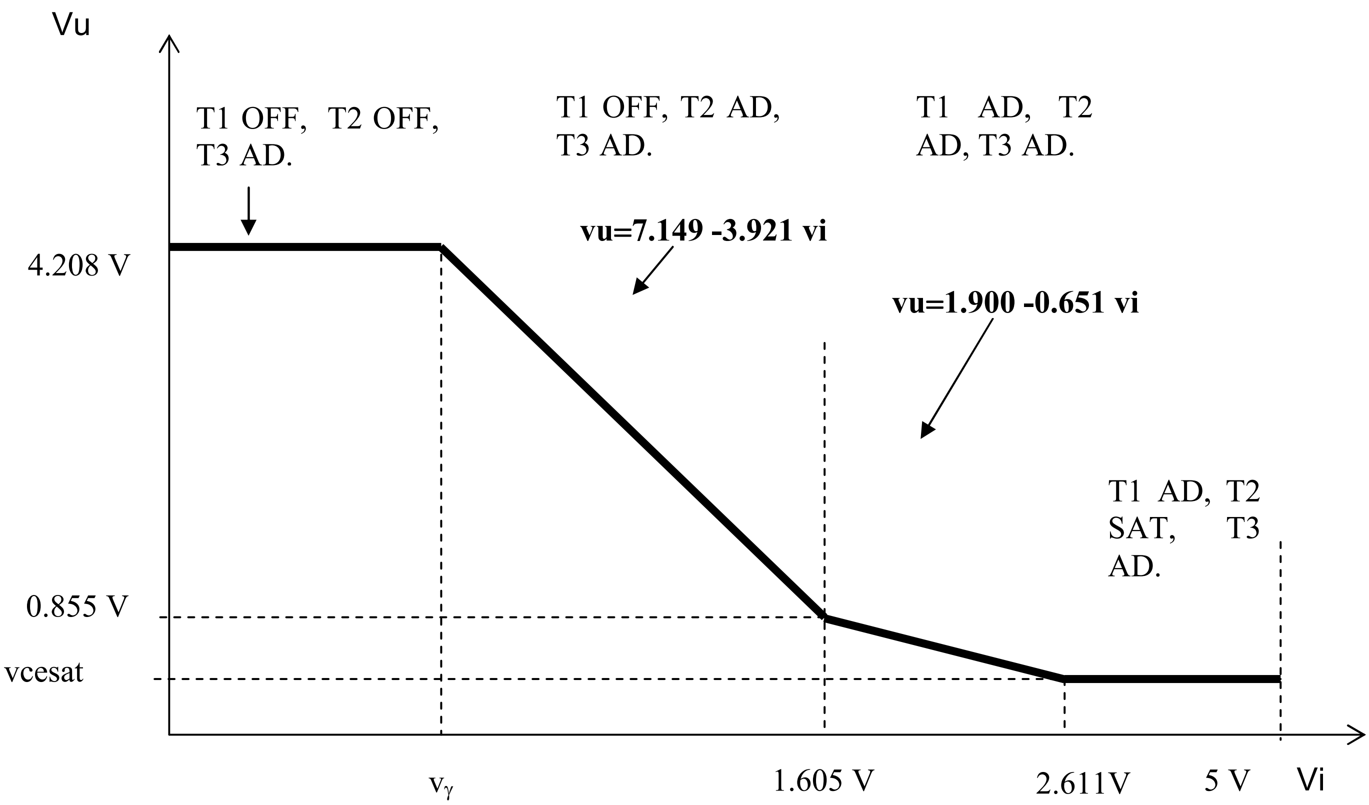
ib3=(vcc-vu-v_γ)/r3 ib2=(vi-v_γ)/r2 i4=vu/r4 Ma ib3*(β_f+1)=i4+β_f*ib2	Risolvendo si trova che: **vu=7.149 -3.921 vi** Si rimane in questa regione fintantochè (A) T2 va sat, (B) oppure T1 va on.
(A) Quando T2 va sat, vce2=vu=vcesat, ma vu=7.149 -3.921 vi=vcesat da cui si ricava che T2 va sat per vi = 1.772 V	**(B)** Invece T1 va on, quando vbe(T1)= v_γ sse vi-vu=vi –(7.149 -3.921 vi)=v_γ Risolvendo si trova che T1 va on se vi =1.605 V. Quindi T1 va ON prima che T2 vada sat.
Si rimane in regione 2 per v_γ<vi<1.605V .	

Regione 3: T1 AD, T2 AD, T3 AD.

ib3=(vcc-vu- v_γ)/r3 ib2=(vi- v_γ)/r2 i4=vu/r4 ib1=(vi-vu- v_γ)/r1	Ma (β_f+1)*(ib3+ib1)=i4+β_f*ib2, da cui si ricava che **vu=1.900 -0.651 vi** In questa regione si rimane fintantoché T2 va sat, sse vu=1.900 -0.651 vi=vcesat, sse vi =2.611 V.
Si rimane in regione 3 per 1.605 V <vi <2.611 V	

Regione 4: Per vi>2.611V, T1 AD, T2 SAT, T3 AD: vu =vcesat.

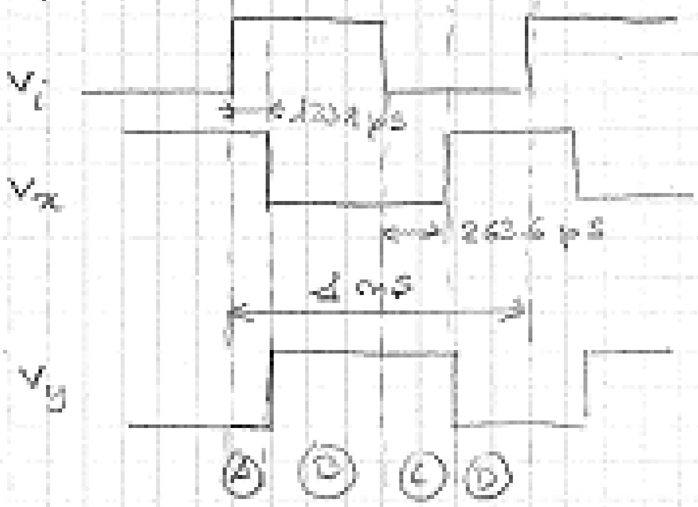
Di seguito si riporta la caratteristica statica di trasferimento.



2) Il primo stadio (M1-M2) è un invertitore CMOS.
I tempi di propagazione possono quindi essere calcolati nel modo abituale. Si ottiene:

$t_{pHL} = 123.9\ ps \qquad t_{pLH} = 263,6\ ps$

Quindi, l'andamento del segnale V_x è il seguente con le approssimazioni indicate:



V_i e V_y sono gli ingressi di due invertitori (M5-M6 / M7-M8) che hanno l'uscita V_u in comune.
V_y è complementare a V_x ed è privo di ritardo.
Possiamo distinguere 4 fasi all'interno del periodo:

A: $V_i = V_{DD} \rightarrow$ M7 ON, M8 OFF
$V_y = 0 \rightarrow$ M5 OFF, M6 ON

l'uscita V_u dipende dalla azione contemporanea di una rete di PULL-UP (M6) e di PULL-DOWN (M7)

$I_{D6} = I_{D7}$
HP: M6 LIN, M7 LIN

$$\rightarrow \beta_6\left[(V_{DD}-|V_{Tp}|)(V_{DD}-V_u)-\frac{(V_{DD}-V_u)^2}{2}\right] = \beta_7\left[(V_{DD}-V_{Tn})V_u-\frac{V_u^2}{2}\right]$$

è una eq. di 2° grado in V_u, la cui soluzione (univoca) è

$V_u = \underline{1.58\ V}$, con $I_{D6} = I_{D7} = 166,7\ \mu A$ ($\rightarrow V_{GS7} > V_{DS7} + V_{Tn}$ OK; $\rightarrow V_{SG6} > V_{SD6} + |V_{Tp}|$ OK)

B: $V_i = V_{DD}$, $V_y = V_{DD} \rightarrow \dots \rightarrow$ PU (M6, M8) OFF, PD (M5, M7) ON
$\rightarrow V_u = 0$, $I_D = 0$

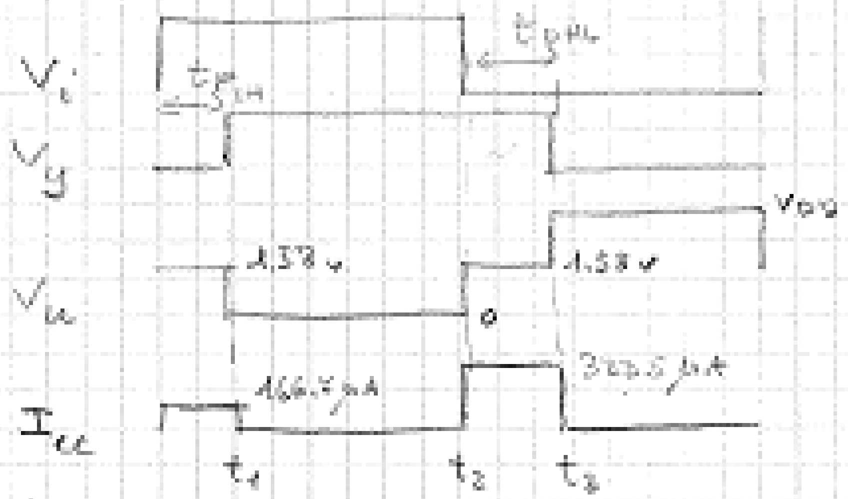
C: $V_i = 0 \rightarrow$ M7 OFF, M8 ON
$V_y = V_{DD} \rightarrow$ M5 ON, M6 OFF

situazione analoga al caso A, con $I_{D5} = I_{D8} \rightarrow \dots \rightarrow V_u = \underline{1.58\ V}$, $I_D = 332.5\ \mu A$

D: $V_i = 0$, $V_y = 0 \rightarrow \dots \rightarrow$ PU ON, PD OFF $\rightarrow V_u = V_{DD}$, $I_D = 0$

l'andamento di V_u e della corrente "di corto circuito" (dovuta cioè alla simultanea attività di una rete di

Pull-up e di una rete di Pull-down) sono le seguenti:



La potenza media può essere calcolata:

$$\tilde{P} = \frac{1}{T}\int_0^T V_{DD}\cdot I_{cc}\, dt = \frac{V_{DD}}{T}\left\{\int_0^{t_1} 166.7\cdot 10^{-6}\, dt + \int_{t_2}^{t_3} 333.5\cdot 10^{-6}\, dt\right\}$$

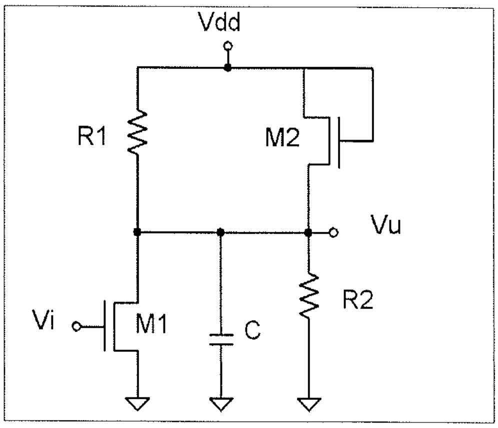
$$= \frac{V_{DD}}{T}\left\{166.7\cdot 10^{-6}\, t_{pLH} + 333.5\cdot 10^{-6}\, t_{pHL}\right\} = \underline{\underline{281.5}}\ \mu W$$

PROVA SCRITTA DI ELETTRONICA
17 LUGLIO 2008

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn1} e V_{Tn2} e dai coefficienti β_{n1} e β_{n2}. Il segnale d'ingresso abbia il seguente andamento:

t<0: $V_i = 0$

t>0: $V_i = Vdd$

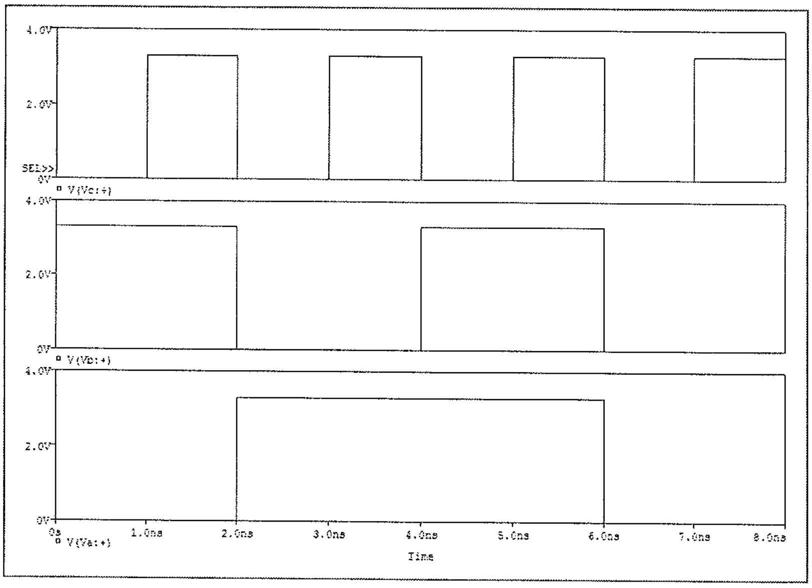


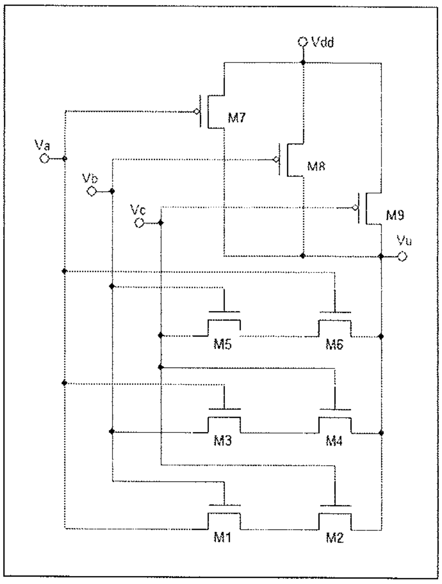
Si dimensioni la resistenza R_2 in modo tale che la potenza dissipata per t<0 sia P_{diss}=7 mW. Si determini il valore della capacità C in modo tale che il tempo di discesa t_{fall} relativo al segnale d'uscita vu, definito come il tempo necessario a compiere la transizione fra il 90% e il 10% dell'escursione totale del segnale di uscita, sia t_{fall} =1.4 μs.

V_{dd} = 3.5 V, V_{Tn1} = 0.5 V, β_{n1}= 5mA/V^2, V_{Tn2} = 0.7 V, β_{n2}= 1mA/V^2, R_1=1kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_n e β_p. I segnali d'ingresso abbiano l'andamento mostrato in figura, periodico con periodo di 8 ns.

- Si tracci l'andamento del segnale di uscita V_u nell'intervallo [0÷8ns], trascurando i tempi di transizione e specificandone il valore a regime in ciascun tratto.
- Si determinino i valori di β_n e β_p in modo che:
  - l'escursione logica di V_u sia pari a 2.9 V
  - la potenza media erogata dal generatore V_{dd} sia pari a 350 μW.





V_{dd} = 3.3 V, V_T = 0.5 V.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 17-07-2008 - Esercizio #1

OSS. PRELIMINARI: Quando M2 è on è SAT. M2 on quando Vdd-vu>vtn2.

1) t<0, vi=0, allora M1 OFF.

La potenza dissipata per t<0, Pdiss=7mW.

ir1=(vdd-vu)/r1
id2sat=β_{n2}/2*(vdd-vu-vt_{n2})^2
ir2=vu/r2
ma
ir1+id2sat=ir2 e
Pdiss1=vdd*vu/r2
da cui si ricava che:

r2=951 Ω e vu=1.903 V; r2=2848.68 Ω e vu=5.697 V. Delle due soluzioni quella accettabile è r2=951 Ω vu=1.903V.
Tale valore di vu soddisfa l'Hp di accensione di M2: vu=1.903 V < 2.8 V.

2) Per t -> ∞, vi=vdd, quindi M1 on e lin (sse vdd>vu+vtn1) e M2 sat.

ir1=(vdd-vu)/r1
id2sat=β_{n2}/2*(vdd-vu-vt_{n2})^2
ir2=vu/r2
id1lin=β_{n1}*((vdd-vt_{n1})*vu-vu^2/2)
ir1+id2sat=ir2+id1lin

Da cui si ricava che: vu=0.398 V, vu=6.219 V.
Delle due soluzioni quella accettabile è vu=0.398 V.
Tale soluzione soddisfa l'hp di linearità di M1 (vdd>0.898 V) e di accensione di M2 (vdd-vu=3.102>0.7V).

Per t=0+ vi=vdd, allora M1 on e M2 on, e vu(0+)=vu(0-)=1.903V. Il tfall è il tempo che il segnale d'uscita impiega per compiere la transizione dal 90% al 10 % della transizione totale : Vu(iniziale)=1.903V, Vu(finale)=0.398, quindi Δvu=1.505V e vuiniz=1.903-0.1*1.505=1.7525 V e vufinal=0.1*1.505+0.398=0.5485 V. Si noti che durante tutto il transitorio della vu, M1 rimane in regione lin.

ir1=(vdd-vu)/r1
id2sat=β_{n2}/2*(vdd-vu-vt_{n2})^2
ir2=vu/r2
id1lin=β_{n1}*((vdd-vt_{n1})*vu-vu^2/2)
Cdvu/dt=ir1+id2sat-id1lin-ir2

$$T_{fall} = \int_{1.7525}^{0.5485} \frac{C}{ir1 + id2sat - id1lin - ir2} dV_u$$

Imponendo t_{fall}= 1.4 μs, si ricava C=10 nF.

Soluzione esercizio 2

I transistori M7,M8 e M9 costituiscono una rete di pull-up, attiva se almeno uno dei segnali di ingresso (Va,Vb,Vc) è basso. La rete costituita dai pass-transistor M1…M6 è invece inattiva se almeno due fra tali segnali sono nulli; si configura come rete di pull-down (due transistori nMOS in serie) se uno soltanto fra i segnali di ingresso è nullo; si configura come rete di pull-up set tutti gli ingressi sono alti. La tabella della verità è quindi la seguente:

V_a	V_b	V_c	M1…M6	M7…M9	V_u	
0	0	0	ON (PU)	OFF	V_{dd}	①
0	0	V_{dd}	ON (PU)	OFF	V_{dd}	①
0	V_{dd}	0	ON (PU)	OFF	V_{dd}	①
0	V_{dd}	V_{dd}	ON (PU)	ON (PD)	V_L	②
V_{dd}	0	0	ON (PU)	OFF	V_{dd}	①
V_{dd}	0	V_{dd}	ON (PU)	ON (PD)	V_L	②
V_{dd}	V_{dd}	0	ON (PU)	ON (PD)	V_L	②
V_{dd}	V_{dd}	V_{dd}	OFF	ON (PU)	V_{dd} (debole)	③

Caso ①:
il pull-up è ON, il PD è off:

$$V_U = V_H = V_{dd}$$

Caso ②:
sono attivi sia il PU (1 pMOS) che il PD (2 nMOS in serie, equivalenti a un transistore con $\beta_{eq}=\beta_n/2$). Il circuito equivale a un invertitore pseudo-nMOS, al quale occorre imporre un valore di uscita bassa:

$$V_U = V_L = V_H - escursione = 3.3 - 2.9 = 0.4\,V$$

Si ha quindi, in questo caso:

$$\left.\begin{array}{l} V_{GSn} = V_{dd} \\ V_{DSn} = V_L \end{array}\right\} \rightarrow V_{GSn} > V_{DSn} + V_T \rightarrow \text{nMOS LIN} \rightarrow I_{Dn} = \beta_{eq}\left((V_{dd} - V_T)V_L - \frac{V_L^2}{2}\right) = 0.52\,\beta_n\ (*)$$

$$\left.\begin{array}{l} V_{SGp} = V_{dd} \\ V_{SDp} = V_{dd} - V_L \end{array}\right\} \rightarrow V_{SGp} < V_{SDp} + V_T \rightarrow \text{pMOS SAT} \rightarrow I_{Dp} = \frac{\beta_p}{2}(V_{dd} - V_T)^2 = 3.92\,\beta_p\ (**)$$

Caso :
In questo caso, il pull-up è costituito da una rete di nMOS ed è equivalente ad un solo transistore, con $\beta_{eq} = {}^3/_2\,\beta_n$. Il pull-up non consente, se necessario, di portare l'uscita al valore pieno Vdd, ma il transitorio si arresta per:

$$V_U = V_{dd} - V_T$$

L'andamento del segnale di uscita risulta quindi quello indicato in figura:

La potenza media vale:

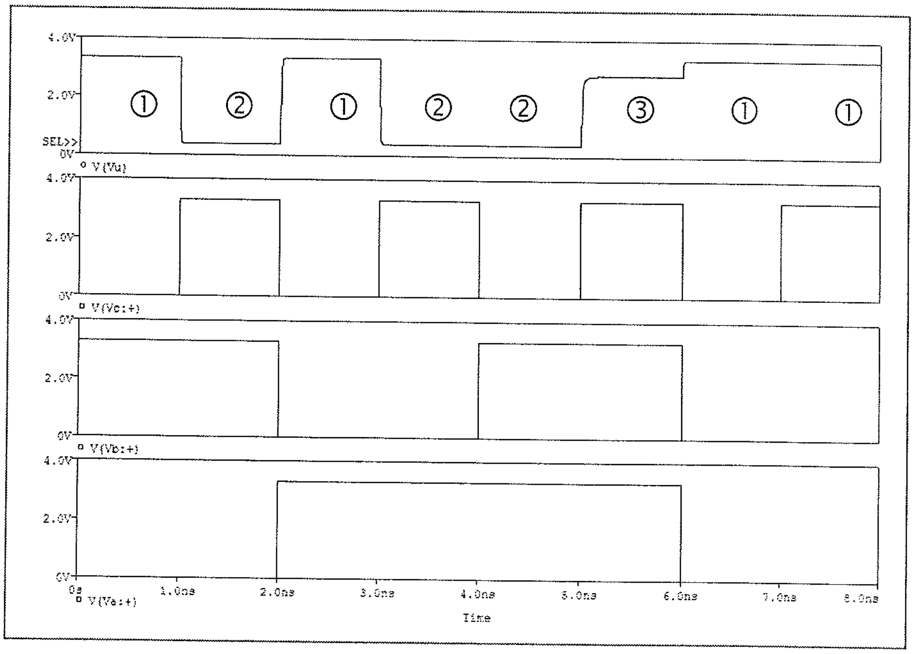
$$P = \frac{1}{T}\int_0^T V_{dd} I_{dd}\, dt$$

Dove I_{dd} è la corrente erogata dal generatore V_{dd}. Tale corrente è non nulla solo negli intervalli in cui sono simultaneamente attivi il pull-up e il pull-down. In tali intervalli, indicati con ② e complessivamente pari ai 3/8 del periodo T, la corrente è costante, secondo la (**). Si ha quindi:

$$P = \frac{1}{T}\frac{3T}{8}V_{dd} \cdot 3.92\,\beta_p \rightarrow \boldsymbol{\beta_p = 72.15\,\frac{\mu A}{V^2}}$$

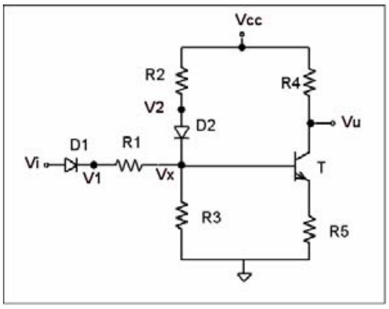
Imponendo l'uguaglianza delle correnti (*) e (**), si ricava infine:

$$\boldsymbol{\beta_n = 543.9\,\frac{\mu A}{V^2}}$$



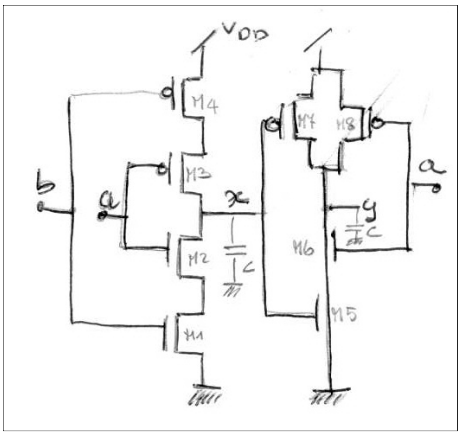
PROVA SCRITTA DI ELETTRONICA
10 GENNAIO 2008

1) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.

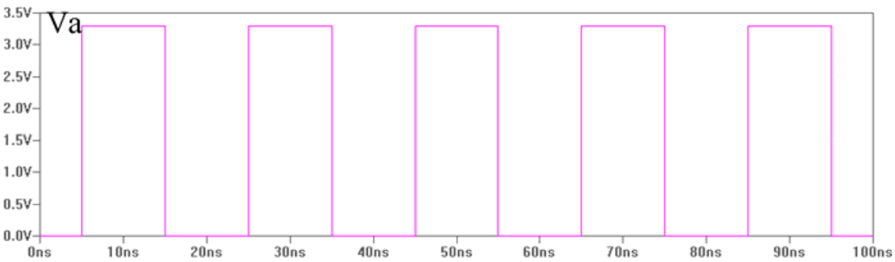


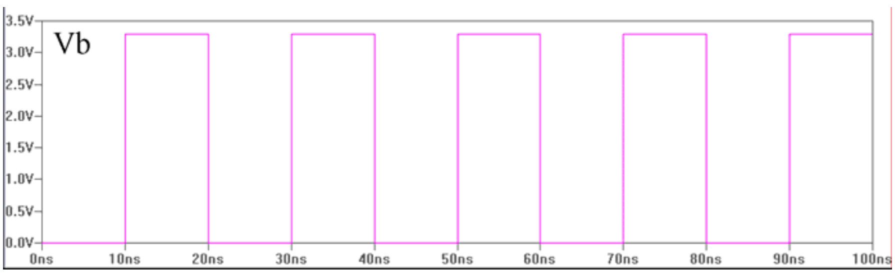
V_{cc} = 5 V, β_F=100, R_1 = 100 Ω, R_2 = 10 kΩ, R_3 = 2.5 kΩ, R_4 = 2.5 kΩ, R_5 = 500 Ω.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tnp}|=V_T$ e dai coefficienti β_n e β_p.
I segnali V_a e V_b abbiano l'andamento illustrato in figura.
Si determini l'andamento di V_x e di V_y.
Si calcolino inoltre i tempi di propagazione relativi al segnale V_y per ciascuna transizione.



V_{dd} = 3.3 V, V_T = 0.4 V, C=30 fF,
β_n= 1 mA/V^2, β_p= 0.4 mA/V^2.





Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 10-01-2008 - Esercizio #1

Regione 1: Suppongo D1 OFF (se D1 OFF allora v1=vx, e D1 è OFF fintantoché $vi-vx<v_\gamma$).

Con D1 OFF, D2 deve essere ON. Infatti se D2 fosse OFF, vx=0 e v2=vcc, quindi la tensione ai capi di D2 sarebbe $v2-vx=vcc>v_\gamma$ e D2 non potrebbe essere OFF. Suppongo allora D1 OFF e D2 ON. Sotto queste condizioni verifico lo stato di T.

a) D1 OFF (per $vi-vx<v_\gamma$), D2 ON, T OFF(da verificare che $vx<v_\gamma$).

$ir2=(vcc-vx-v_\gamma)/r2$

$ir3=vx/r3$

Ma ir2=ir3, da cui si ricava che vx=0.85 V che è $>v_\gamma$, quindi T non può essere OFF.

Considero allora l'altro caso:

b) D1 OFF (per $vi-vx<v_\gamma$), D2 ON, T ON in AD (da verificare).

$ir2=(vcc-vx-v_\gamma)/r2$

$ie1=(vx-v_\gamma)/r5$

$ir3=vx/r3$

$ic1=(vcc-vu)/r4$

Ma $ir2=ic1/\beta_f+ir3$ e $ic1=\beta_f/(\beta_f+1)*ie1$, da cui si ricava vx=0.846 V , vu=4.524 V.

$vce= vu-(vx-v_\gamma)=4.428$ V > vcesat, quindi è verificato che T lavora in AD.

Si rimane in regione 1 fintantoché D1 rimane OFF, ovvero per $vi-vx< v_\gamma$, sse vi<1.596 V.

Regione 2 : D1 ON, D2 ON, T ON in AD (da verificare), per vi>1.596 V.

$ir1=(vi- v_\gamma -vx)/r1$

$ir2=(vcc-vx- v_\gamma)/r2$

$ir3=vx/r3$

$ie1=(vx- v_\gamma)/r5$

$ic1=(vcc-vu)/r4$

Ma $ir1+ir2=ic1/\beta_f+ir3$ e

$ic1=\beta_f/(\beta_f+1)*ie1$

Risolvendo si trova che:

vx=-0.671+0.951 vi e

vu=12.035 -4.706 vi.

Si rimane in questa regione fintantochè T va SAT, ovvero per quel valore di vi tale che vce=vcesat.

$vce= vu-(vx-v_\gamma)=12.035 -4.706\ vi-(-0.671+0.951vi)+ v_\gamma$ =vcesat=0.2V.

Quindi per vi>2.3436 V, T entra in saturazione.

Regione 2: per 1.596 V < vi < 2.3436V

Regione 3: D1 ON, D2 ON, T SAT.

$ir1=(vi- v_\gamma -vx)/r1$

$ir2=(vcc-vx- v_\gamma)/r2$

$ir3=vx/r3$

$ie1=(vx- v_\gamma)/r5$

$ic1=(vcc-vu)/r4$

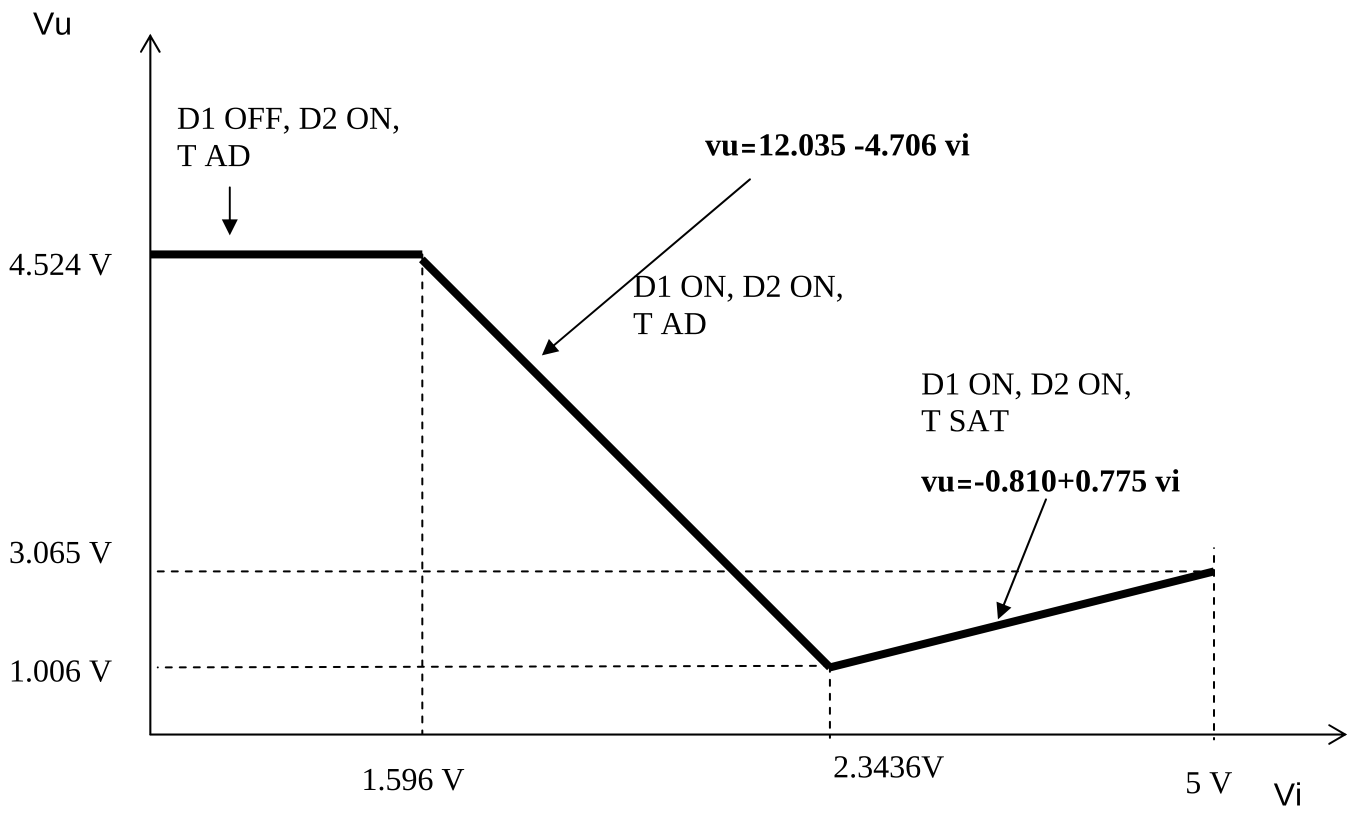
$vx=(vu-vcesat+ v_\gamma)$

Ma ir1+ir2=(ie1-ic1)+ir3

Risolvendo si trova che: **vu=-0.810+0.775 vi**

Regione 3: per 2.3436V < vi < 5V

Di seguito si riporta la caratteristica statica di trasferimento.



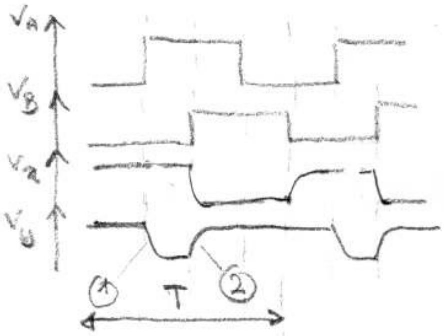
Es. 2

Il primo stadio è descritto dalla tabella seguente:

a	b	x
L	L	H
L	H	alta impedenza
H	L	alta impedenza
H	H	L

mentre il secondo è un NAND CMOS statico.

Il segnale di uscita y ha quindi l'andamento seguente.



Nel periodo T sono quindi significative due transizioni.

(1) $V_A \uparrow \rightarrow$ M6 ON $\rightarrow$ V_y si scarica attraverso M5 e M6 in serie

$$\beta_{eq} = \beta_n/2 \longrightarrow \cdots \longrightarrow t_{p1} = \underline{24.7} \text{ ps}$$ (calcolo del transitorio abituale)

(2) $V_B \uparrow \rightarrow$ M1 ON $\rightarrow V_x \downarrow \rightarrow$ M7 ON $\rightarrow V_y \uparrow$

Quindi il t_p è la somma di t_{px} (propagazione B→X, 2 nMOS in serie identico al precedente)

+ t_{py} (propag. X → Y: Pull-up M7, M8 OFF) →

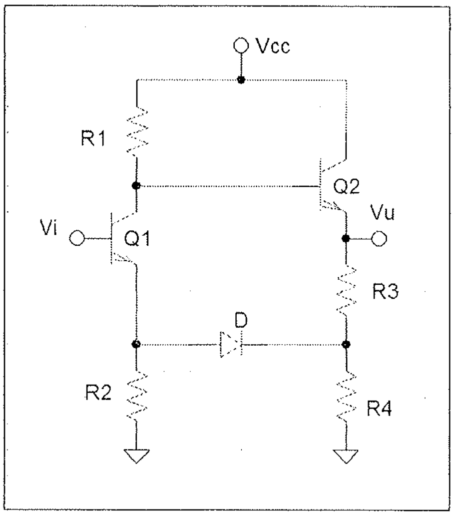
$$\rightarrow \cdots \rightarrow t_{py} = 30.1 \text{ ps}$$

$$\rightarrow t_{p2} = t_{px} + t_{py} = \underline{\underline{54.8}} \text{ ps},$$

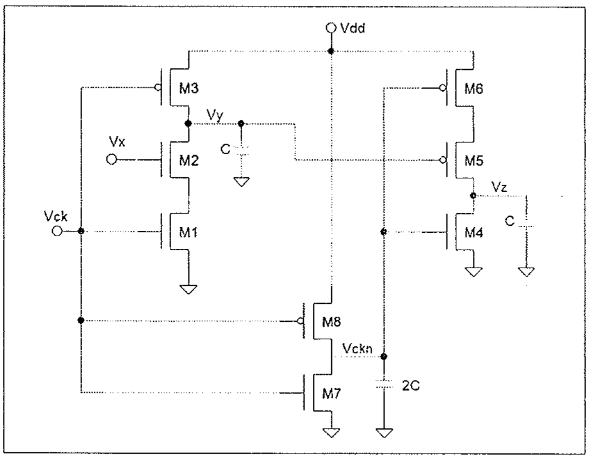
Prova Scritta di Elettronica
3 Luglio 2008

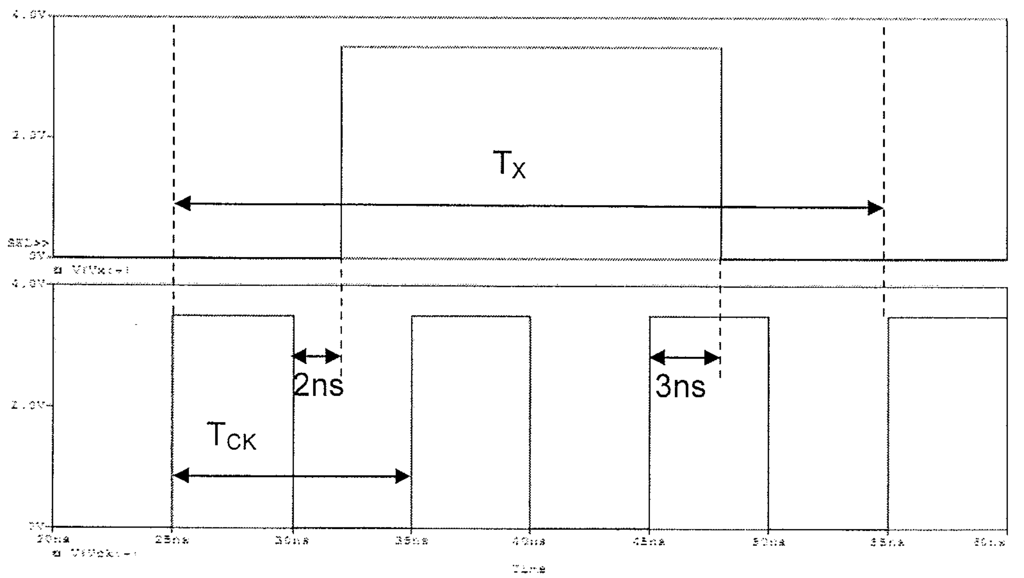
1) Nel circuito in figura, i transistori bipolari e il diodo sono descritti da un modello a soglia, con V_γ=0.7 V e V_{CEsat}=0.2 V. Si determini la caratteristica di trasferimento $V_u(V_i)$.

V_{cc} = 5 V, β_F =100, R_1=1kΩ, R_2=3kΩ, R_3=4.5 kΩ, R_4= 500 Ω.



2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn} = $|V_{Tp}|$=V_T e dai coefficienti β_n e β_p. Il segnale di clock V_{CK} abbia periodo T_{CK} pari a 10 ns, mentre il segnale d'ingresso V_X abbia l'andamento mostrato in figura, periodico con periodo di 30 ns. Si determini l'andamento dei segnali V_{CKn}, V_Y, V_Z, calcolando per ciascuna transizione il tempo di propagazione relativo.
Si calcoli inoltre la potenza media complessivamente dissipata dal circuito.



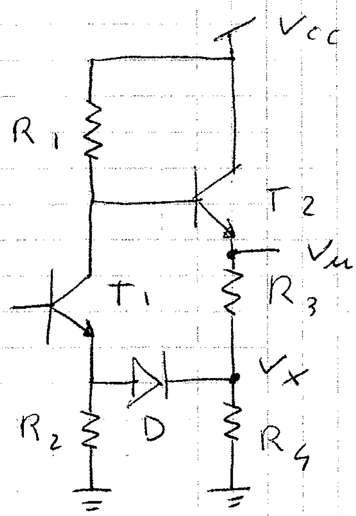


V_{dd} = 3.5 V, V_T = 0.4 V, β_n= 1mA/V^2, β_p= 0.6 mA/V^2, C=0.2pF.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo



$V_{cc} = 5\,V$
$\beta_F = 100$
$V_\gamma = 0.7\,V$
$R_1 = 1\,k\Omega$ $\quad R_2 = 3\,k\Omega$
$R_3 = 4.5\,k\Omega$ $\quad R_4 = 500\,\Omega$

T2 se ON è in R.N. MAI SAT

1) $V_i < V_\gamma$ D OFF T1 OFF T2 ON (R.N.)

$$\begin{cases} V_{cc} - R_1 I_{B2} - V_\gamma = V_u \\ I_{B2} = I_{E2}/(\beta_F + 1) \\ V_u = (R_3 + R_4)\, I_{E2} \end{cases} \Rightarrow V_u = 4.291\,V$$

2) $V_i > V_\gamma$ D OFF T1, T2 ON R.N. (T1 ON per $V_i = V_\gamma$)

$$\left.\begin{array}{l} V_{cc} - R_1 I_{R1} - V_\gamma = V_u \\ V_u = (R_3 + R_4)\, I_{E2} \\ I_{E2} = (\beta_F + 1)\, I_{B2} \\ I_{R1} = I_{B2} + I_{C1} \\ I_{C1} \simeq I_{E1} \\ I_{E1} = (V_i - V_\gamma)/R_2 \end{array}\right\| \Rightarrow V_u = 4.522 - 0.329 V_i$$

CON T1 ON R.N e D OFF T2 può spegnersi?

~~Hp~~ T2 OFF $\Rightarrow V_u \equiv V_{E2} = 0$

calcolo V_{B2}

$$\left.\begin{array}{l} V_{B2} = V_{cc} - R_1 I_{C1} \\ I_{E1} \simeq I_{C1} \\ I_{E1} = (V_i - V_\gamma)/R_2 \end{array}\right\| \Rightarrow V_{B2} = V_{cc} - \frac{R_1}{R_2} V_i + \frac{R_1}{R_2} V_\gamma$$

$$V_{B2} = 4.766 - 0.333\, V_i$$

T2 OFF se $V_{BE_2} < V_\gamma$ se $V_{B2} - V_{E2} < V_\gamma$

$4.766 - 0.333 V_i < V_\gamma \Rightarrow V_i > 12.21\,V$

$\Rightarrow$ per $0 < V_i < V_{cc}$ T2 ON con D OFF

3) ora 2 possibili casi

a) D OFF T1 SAT T2 R.N

b) D ON T1, T2 R.N.

a) $V_u = V_i - V_\gamma + V_{CESAT} - V_\gamma$

$V_u = V_i - 1.2$

calcolo il valore di V_i per cui ciò avviene

$$\left.\begin{array}{l} V_u = 4.522 - 0.329\, V_i \\ V_u = V_i - 1.2 \end{array}\right\| \Rightarrow V_i = 4.305\ V$$

b)

$$\left.\begin{array}{l} V_{CC} - R_1 I_{R1} - V_\gamma = V_u \\ I_{R1} = I_{C1} + I_{B2} \\ I_{C1} \simeq I_{E1} \\ I_{E1} = \dfrac{V_i - V_\gamma}{R_2} + I_D \\ I_D + I_{E2} = I_{R4} \\ I_{R4} = (V_i - 2V_\gamma)/R_4 \\ I_{E2} = (V_u - V_i + 2V_\gamma)/R_3 \end{array}\right\| \Rightarrow V_u = 9.839 - 3.288\, V_i$$

$(V_x = V_i - 2V_\gamma)$

calcolo il valore di V_i di passaggio da 2 a 3b

$$\left.\begin{array}{l} V_u = 4.522 - 0.329\, V_i \\ V_u = 9.839 - 3.288\, V_i \end{array}\right\| \Rightarrow V_i = 1.797\ V$$

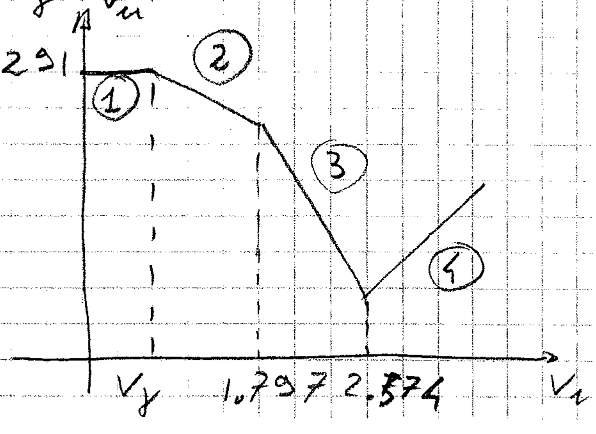
$\Rightarrow$ prima b) di a)

4) D ON T1 SAT T2 R.N.

$V_u = V_1 - V_\gamma + V_{CESAT} - V_\gamma$

$V_u = V_i - 1.2$

$$\left.\begin{array}{l} V_u = 9.839 - 3.288\, V_i \\ V_u = V_i - 1.2 \end{array}\right\| \Rightarrow V_i = 2.574\ V$$

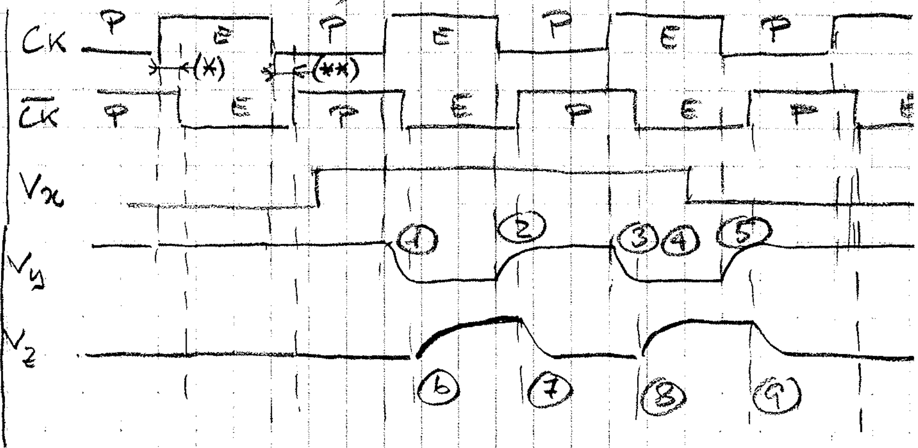


3.7.08 - Es. 2

Si tratta di due invertitori dinamici PE, controllati da segnali di CK e $\overline{CK}$. Il segnale di $\overline{CK}$ è in ritardo (SKEW) rispetto a CK, a causa dell'invertitore CMOS (M7-M8). Applicando le relazioni note, si ricava per quest'ultimo:

(*) $t_{PHL}(V_{CKN}) = 154$ ps

(**) $t_{PLH}(V_{CKN}) = 256$ ps



V_y è l'uscita dello stadio dinamico PE: se CK=0, precarica $V_y = 1$, se CK = 1 valuta V_x.

1. $V_x = V_{DD} \rightarrow V_y = 0$: scarica attraverso 2 nMOS (M2, M1) in serie ; con $\beta_{eq} = \frac{\beta_n}{2}$ si ricava $t_p = \underline{154 \text{ ps}}$, rispetto al fronte positivo di CK
2. Precarica attraverso M3 $\rightarrow t_p = 128$ ps, rispetto a fronte negativo di CK
3. identico a 1
4. $V_x : V_{DD} \rightarrow 0$ non causa commutazione di $V_y : 0 \rightarrow AI$
5. identico a 2

V_z è l'uscita dello stadio dinamico p-PE (M4-M5-M6), che ha ingresso V_y e controllato da V_{CKN}. $\overline{CK} = 1$, prescarica $V_z = 0$, altrimenti valutazione.

6. $V_y = 0 \rightarrow V_z = V_{DD}$: carica attraverso 2 pMOS (M5, M6) $\rightarrow \beta_{eq} = \beta_p/2 \rightarrow$ $\rightarrow t_{PLH} = 256$ ps, rispetto a fronte negativo di $\overline{CK}$
7. Scarica attraverso M4 $\rightarrow t_p = 76.8$ ps
8. identico a 6
9. identico a 7

Potenza dissipata:

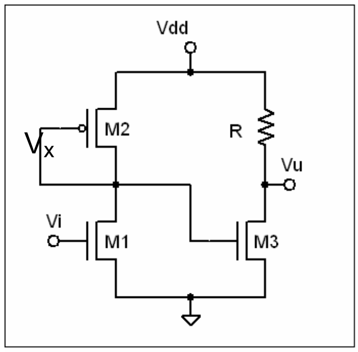
Invertitore CMOS (M8-M7) : $P_{CMOS} = 2C \cdot f_{CK} \cdot V_{DD}^2 = 0.49$ mW

Invertitori PE: 2 commutazione su $T_x = 3T_{CK} \rightarrow f_x = \frac{f_{CK}}{3}$

$$P_{PE} = 2 \times C\, V_{DD}^2 \frac{f_{CK}}{3} = 0.16 \text{ mW}$$

$$P_{TOT} = P_{CMOS} + 2 \times P_{PE} = 0.81 \text{ mW}$$

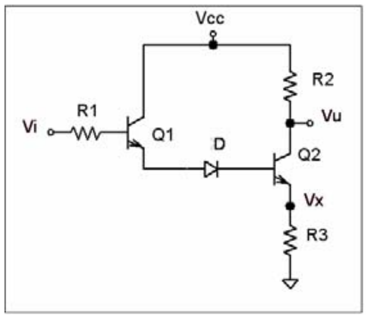
PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
21 SETTEMBRE 2006



1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn1}=|V_{Tp2}|=V_{Tn3}=V_T$ e dai coefficienti β_{n1}, β_{p2}, β_{n3}.
Si determinino β_{n1}, β_{p2}, β_{n3} in modo che:

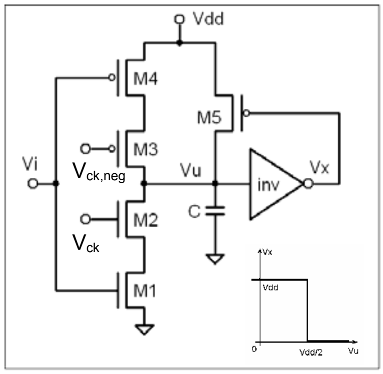
- l'escursione di V_u, al variare di V_i fra 0 e V_{dd}, sia pari a 3.1 V
- la potenza statica dissipata per V_i=0 sia uguale alla potenza statica dissipata per $V_i=V_{dd}$
- il valore di β_{n1} sia pari a 5 volte il valore di β_{p2}

V_{dd} = 3.5 V, V_T= 0.5 V, R_1 = 800 Ω.



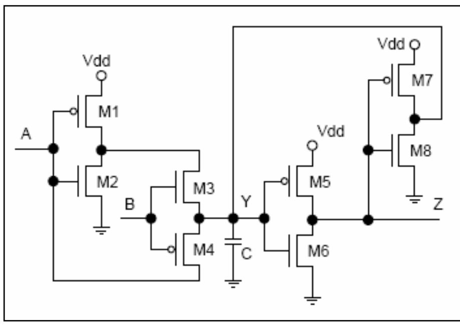
2) Nel circuito in figura, i transistori e il diodo possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.

V_{cc} = 5 V, β_F=100, R_1 = 5 kΩ, R_2 = 1 kΩ, R_3 = 500 Ω.



3) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn}= $|V_{Tp}|$= V_T e dai coefficienti β_1, β_2, β_3, β_4 e β_5. Durante la fase di valutazione ($V_{ck}=V_{dd}$, $V_{ck,neg}$=0) il segnale di ingresso V_i compie una transizione istantanea da 0 a V_{dd}.
Si calcoli il corrispondente tempo di discesa del segnale Vu.
A questo scopo, si assuma per semplicità che l'invertitore "inv" si comporti in maniera ideale, con soglia logica pari a $V_{dd}/2$, come descritto dalla caratteristica di trasferimento riportata.

$\beta_1=\beta_2=\beta_3=\beta_4$=1 ma/V^2 , β_5=100 μA/V^2, V_{DD}=3.3 V, V_T=0.45 V, C = 7 fF.



4) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn}= $|V_{Tp}|$= V_T e dai coefficienti β_n e β_p. I segnali di ingresso A, B possono assumere i valori 0 e V_{DD}.
Si determini la funzione logica svolta dal circuito (Z = Z(A,B)) indicando chiaramente, per ogni configurazione degli ingressi, lo stato (ON, OFF) di tutti i transistori presenti nel circuito. Si consideri, quindi, la sola parte di circuito costituita dai transistori M1, M2, M3 e M4 avente ingressi A e B e uscita Y, supponendo di disconnettere la parte costituita dai transistori M5, M6, M7 e M8. Si calcoli il tempo di propagazione del segnale relativo all'uscita Y supponendo che A commuti istantaneamente dal livello logico basso a quello alto con B fisso al livello logico alto.

V_{DD}=3.3 V, βp=100 μA/V^2, βn=80 μA/V^2, V_T=0.35 V, C =10 fF

Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4
Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.
• Indicare su ciascun foglio nome, cognome, data e numero di matricola
• Non usare penne o matite rosse
• L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 21-09-2006 - Esercizio #1

OSS. PRELIMINARI: M2 sempre SAT ($V_{sg}=V_{sd}$) o spento.

- Suppongo che, per $V_i=V_{dd}$, M1 sia ON, M2 sat, $V_x < V_t$ (<u>da verificare</u>) → M3 OFF →

$V_u= V_{u,High} =V_{dd}$

→ $V_{u,Low}= V_{u,High}$ -escursione=3.5-3.1=0.4V

- Per $V_i=0$, M1 OFF → Id1=0 → $Id2=\beta_{p2}(Vdd-Vx-Vt)^2=0$ → Vx=Vdd-Vt > Vt → M3 ON

Vgs3=Vdd-Vt, Vds3= $V_{u,Low}$ → M3 LIN

$I_R=(V_{dd}- V_{u,Low})/R=3.875$ mA

→ $P_{d,Low}= V_{dd}\, I_R = 13.56$ mW = $P_{d,High}$

$I_{d3}=\beta_{n3}((Vdd-Vt-Vt)\, V_{u,Low}- (V_{u,Low})^2/2)$

Ma $I_{d3}= I_{R,}$ → $\boxed{\beta_{n3}= 4.212\ mA/V^2}$

- Per $V_i=V_{dd}$, M1 ON (suppongo LIN, <u>da verificare</u>), M2 SAT:

$I_{d1}=\beta_{n1}((Vdd-Vt)\, V_x- V_x^2/2)$

$I_{d2}=\beta_{n1}\ /5\ (Vdd-Vx-Vt)^2/2$

Ma $I_{d1}= I_{d2\ ,}$ da cui si ricava che :

vx=0.261387 (OK), vx=5.73861 V (Inaccettabile: Vsg2<Vt) → <u>OK HP M1 LIN, OK HP M3 OFF</u>

$I_{d1}=\beta_{n1}((Vdd-Vt)V_x-V_x^2/2)=P_{d,High}/V_{dd}$

→ $\boxed{\beta_{n1}= 5.167\ mA/V^2}$ → $\boxed{\beta_{p2} = \beta_{n1}/5 = 1.033\ mA/V^2}$

Compito del 21-09-2006 - Esercizio #2

Osservazioni preliminari: T1 quando ON in AD. Inoltre Q1, D e Q2 devono essere o tutti contemporaneamente ON o tutti contemporaneamente OFF .

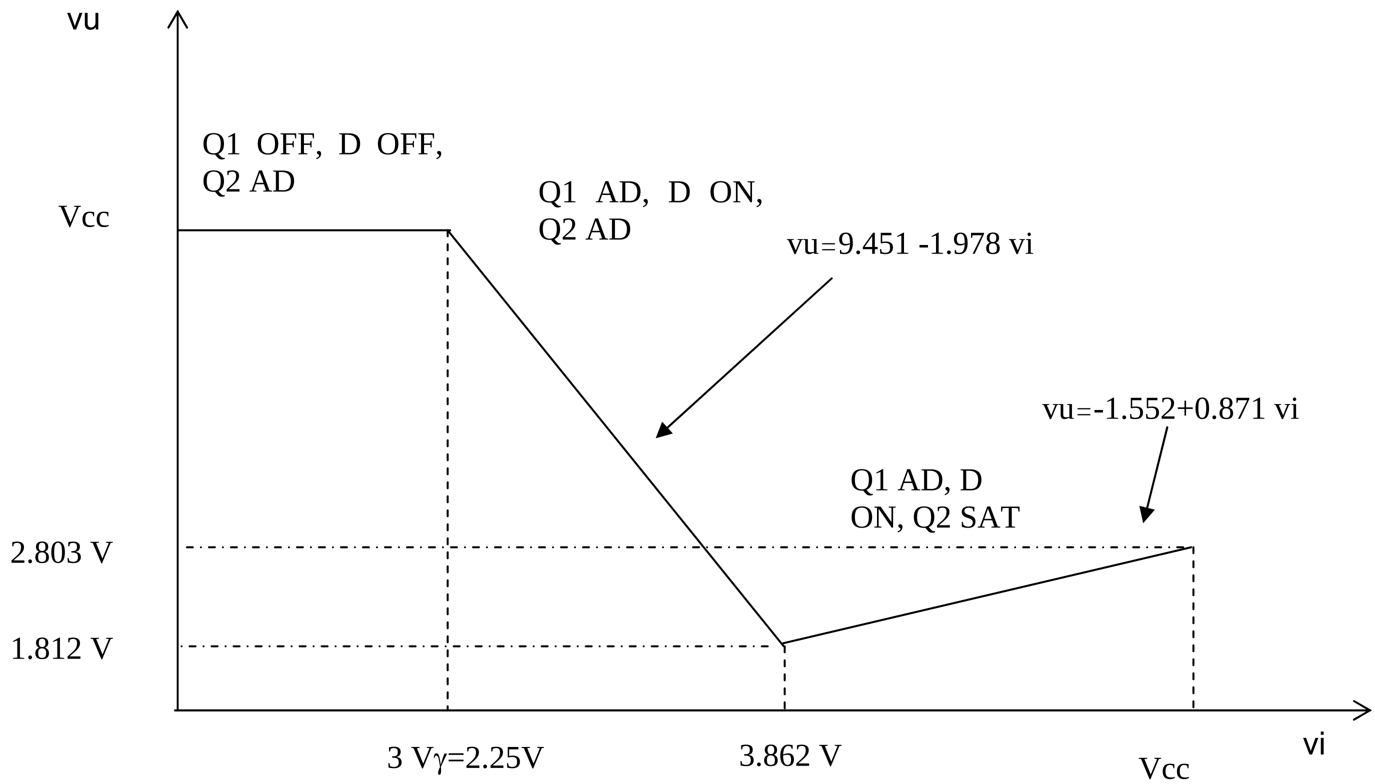
1) Regione 1: $vi < 3v\gamma$, T1, D e T2 tutti contemporaneamente OFF, quindi $vu=Vcc$.

2) Regione 2: $3v\gamma < vi < 3.862$ V, T1 AD, D ON, T2 AD.

$ib1=(vi-3v\gamma-vx)/r1$ $ib2=(vi-3v\gamma-vx)/r1*(\beta f+1)$ $ic2=(vcc-vu)/r2$ $ie2=vx/r3$	Ma $ie2=ib2*(\beta f+1)$ $ic2=ib2*\beta f$ da cui si ricava che: $vu=9.451-1.978\,vi$, e $vx=-2.248+0.999\,vi$
In questa regione si rimane fintantoché Q2 entra in saturazione, allora $vx=vu-vcesat$, ma $vu=9.451-1.978\,vi$ e	$vx=-2.248+0.999\,vi$ $vu-vx=vcesat$, da cui si ricava $vi=3.862$ V (cui corrisponde una $vu=1.812$ V) Quindi si rimane in regione 2 fintantochè $vi<3.862$ V

3) Regione 3: $vi > 3.862$ V, T1 AD, D ON, T2 SAT.

$ib1=(vi-3v\gamma-(vu-vcesat))/r1$ $ib2=(vi-3v\gamma-(vu-vcesat))/r1*(\beta f+1)$ $ic2=(vcc-vu)/r2$ $ie2=(vu-vcesat)/r3$	Ma $ie2=ic2+ib2$, da cui si ricava che $vu=-1.552+0.871\,vi$. $vu(vi=vcc)=2.803$ V .



Esercizio #3

Si tratta di un p-latch C^2MOS; il segnale Vx in retroazione pilota un pMOS per contrastare le correnti di perdita nella fase di alta impedenza di uscita. In corrispondenza del fronte di salita di Vi, il segnale Vu compie quindi una transizione opposta, passando dal valore iniziale Vdd a 0.

Prima della commutazione di V_i (t<0):

$V_i=0$, $V_{CK}=V_{dd}$, $V_{CK,neg}=0 \rightarrow$ M1 OFF, M2 ON, M3 ON, M4 ON $\rightarrow V_u=V_{dd} \rightarrow V_x=0 \rightarrow$ M5 ON
$V_c(t<0)=V_{dd}$

Dopo la commutazione:

$V_i=Vdd$, $V_{CK}=V_{dd}$, $V_{CK,neg}=0 \rightarrow$ M1 ON, M2 ON, M3 ON, M4 OFF

Vu quindi discende, e la capacità si scarica attraverso una rete di pull-down costituita dalla serie di M1 e M2 (equivalenti a un transistore M12 con $\beta_{12}=\beta_1/2$), contrastata del transistore di pull-up M5, acceso (e in regime LIN) fino a che $V_x=0$ (cioè per $V_u>V_{dd}/2$).
Il tempo di discesa è relativo alla variazione di V_u dal 90% al 10% della propria escursione.
Il transitorio si articola quindi in più tratti:

1) <u>$90\%\ V_{dd} > V_u > V_{dd}-V_t$ M12 SAT, M5 LIN ($V_x=0$)</u>

$I_{d12}=\beta_{12}/2\ (V_{dd}-V_t)^2$
$I_{d5}=\beta_5\ ((V_{dd}-V_t)(V_{dd}-V_u)-(V_{dd}-V_u)^2/2)$

$$I_c= I_{d5} - I_{d12} = C\ dV_u/dt \rightarrow t_1=\int_{2.97}^{2.85} C/Ic\ dVu = 0.436\ \text{ps}$$

2) <u>$V_{dd}-V_t > V_u > V_{dd}/2$ M12 LIN, M5 LIN ($V_x=0$)</u>

$I_{d12}=\beta_{12}\ ((V_{dd}-V_t)\ V_u - V_u^{\ 2}/2)$
$I_{d5}=\beta_5\ ((V_{dd}-V_t)(V_{dd}-V_u)-(V_{dd}-V_u)^2/2)$

$$I_c= I_{d5} - I_{d12} = C\ dV_u/dt \rightarrow t_2=\int_{2.85}^{1.65} C/Ic\ dVu = 5.076\ \text{ps}$$

3) <u>$V_{dd}/2 > V_u > 10\%\ V_{dd}$ M12 LIN, M5 OFF ($V_x=V_{dd}$)</u>

$I_{d12}=\beta_{12}\ ((V_{dd}-V_t)\ V_u - V_u^{\ 2}/2)$
$I_{d5}=0$

$$I_c= - I_{d12} = C\ dV_u/dt \rightarrow t_3=\int_{1.65\ V}^{0.33\ V} C/Ic\ dVu = 9.292\ \text{ps}$$

Il tempo di discesa quindi vale:

<u>**$t_f=t_1+t_2+t_3= 14.8$ ps**</u>

Esercizio #4

Funzione logica svolta dal circuito:

A=0 V, B=0 V: M1 ON, M2 OFF, M3 OFF, M4 ON ⇒ $Y=V_T$ V
M5 ON, M6 OFF ⇒ $Z=V_{DD}$ ⇒ M7 OFF, M8 ON allora Y viene portato a 0 V (M4 si spegne essendo $V_{SG}=V_S-V_G=V_Y-V_B=0-0=0<V_T$) e Z confermato a V_{DD}

A=0 V, B= V_{DD}: M1 ON, M2 OFF, M3 ON, M4 OFF ⇒ $Y=V_{DD}-V_T$
M5 OFF, M6 ON ⇒ Z=0 V ⇒ M7 ON, M8 OFF allora Y viene portato a V_{DD} (M3 si spegne essendo $V_{GS}=V_G-V_S=V_B-V_Y=V_{DD}-V_{DD}=0<V_T$) e Z confermato a 0 V

$A=V_{DD}$, B=0 V: M1 OFF, M2 OFF, M3 OFF, M4 ON ⇒ $Y=V_{DD}$
M5 OFF, M6 ON ⇒ Z=0 V ⇒ M7 ON, M8 OFF allora Y confermato a V_{DD} e Z a 0 V

$A=V_{DD}$, $B=V_{DD}$: M1 OFF, M2 ON, M3 ON, M4 OFF ⇒ Y=0 V
M5 ON, M6 OFF ⇒ $Z=V_{DD}$ ⇒ M7 OFF, M8 ON allora Y confermato a 0 V e Z a V_{DD}

Pertanto $Z=\overline{A}\ \overline{B}+AB$

Considero la sola parte di circuito costituita dai transistori M1, M2, M3 e M4.
Analizzo la transizione A=0 B=1 → A=1 B=1 corrispondente a Y: $V_{DD}-V_T \rightarrow 0$

Per A=0 B=1 M1 ON, M2 OFF, M3 ON, M4 OFF ⇒ $Y=V_{DD}-V_T$
Per A=1 B=1 M1 OFF, M2 ON, M3 ON, M4 OFF ⇒ Y=0 V
Nella transizione si spegne M1 e si accende M2 quindi l'uscita andrà bassa attraverso la serie di M3 e M2 cioè attraverso un transistore M_{eq} avente $\beta_{eq}=\beta_n/2=40\ \mu A/V^2$

Per $V_{ds}>V_{gs}-V_T$ M_{eq} è sat
$V_Y>V_{DD}-V_T=3.3-0.35=2,95$

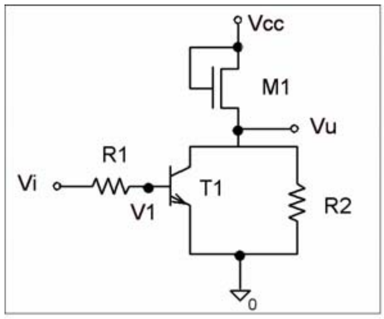
Allora da M_{eq} è sempre in LIN e il transitorio da studiare va da
$V_{DD}-V_T=3.3-0.35=2,95 \rightarrow (V_{DD}-V_T)/2=1.475$

Ids=-C(dY/dt)

$$\mathbf{tphl} = \int_{vdd-vt}^{(vdd-vt)/2} \frac{-Cy}{(bn/2)\left((vdd-vt)(vu)-\frac{(vu)^2}{2}\right)}\, d vu$$

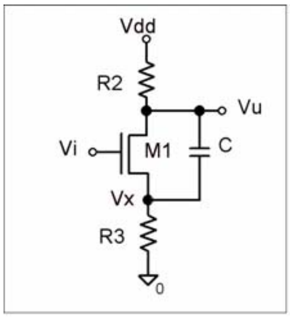
t_{pHL} =93.1027 ps

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
16 FEBBRAIO 2006



1) Nel circuito in figura, il transistori bipolare può essere descritto da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2V, mentre il transistore MOS è caratterizzato da una tensione di soglia V_{Tn1}=V_T, e dal coefficiente β_1 determinato in modo che la potenza erogata dal generatore Vcc in corrispondenza della tensione di soglia logica (V_i=V_u=V_{TL}) sia pari a 150 mW.

Si determinino i margini d'immunità ai disturbi (N_{MH} e N_{ML}) della rete.
V_{cc} = 5 V, β_F= 100, R_1 = 1 kΩ, R_2 = 10 kΩ, V_T = 0.5 V.



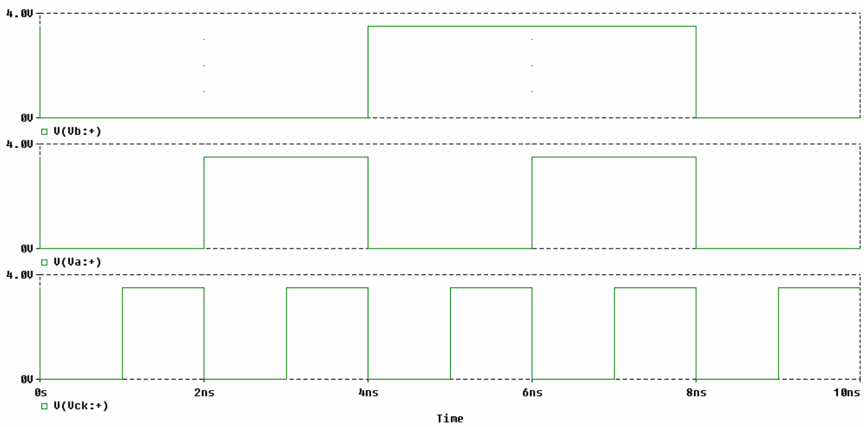
2) Nel circuito in figura, il transistore MOS è caratterizzato dalla tensione di soglia V_{Tn}=V_T e dal coefficiente β_n. Il segnale d'ingresso abbia il seguente andamento:

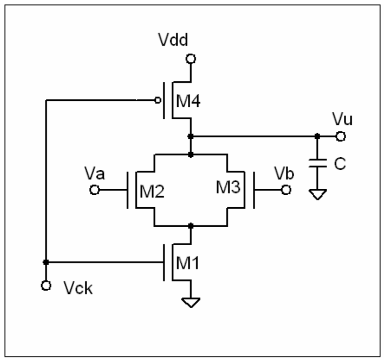
t<0: V_i= 0
t>0: V_i= Vdd

Si calcoli il tempo di propagazione $t_{p,HL}$ (relativo al segnale di uscita V_u).

V_{dd} = 3.5 V, V_T = 0.55 V, β_n= 5 mA/V^2 , R_2 = 1.5 kΩ, R_3 = 100 Ω, C=10 pF.

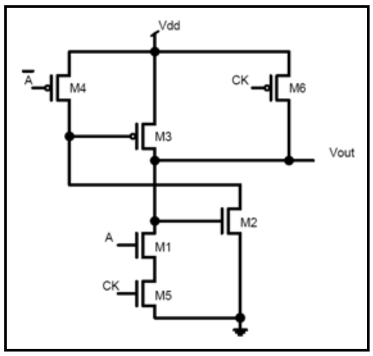
3) Nel circuito in figura i transistori MOS sono caratterizzati dai coefficienti β_1=β_4 e β_2=β_3 e dalla tensione di soglia Vtn=-Vtp=V_t. I segnali periodici di ingresso V_a, V_b e V_{ck} abbiano gli andamenti riportati in figura (f_{ck} = 2·f_a = 4·f_b = 500 MHz):





Si dimensionino i coefficienti β dei transistori in maniera tale che, nel caso peggiore, il tempo di salita di V_u sia pari a 100 ps e il tempo di discesa di V_u sia pari a 150 ps. Si calcoli inoltre la potenza media dissipata dal circuito.

V_{DD} = 3.5 V, V_t = 0.55 V, C =20 fF.



4) Nel circuito in figura i transistori MOS sono caratterizzati dai coefficienti β_n e β_p e dalla tensione di soglia Vtn=-Vtp=Vt. Si descriva qualitativamente il comportamento del circuito ipotizzando la presenza di un clock (CK) periodico con periodo tale da consentire l'esaurirsi di ogni transitorio. Supponendo che in fase di precarica gli ingressi A e Ā vadano entrambi a "1" e a tale valore rimangano anche nella successiva fase di valutazione, calcolare il valore a regime della tensione di uscita (si supponga anche in questo caso che la fase di valutazione sia sufficientemente lunga da permettere l'esaurirsi di ogni transitorio).

V_{DD} = 3.5 V, Vt = 0.5 V, β_n=25 μA/V^2, β_p= 10 μA/V^2

Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4
Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 16-02-06 - Esercizio #1:

Osservazione preliminare: M1 quando on è in saturazione.
Calcolo di β_n.

Alla soglia logica, ovvero per vi=vu=vlt Mn1sat e suppongo T in AD (da verificare).

$ib=(vlt-v_\gamma)/r1$
$idn1sat=\beta_n/2(vcc-vlt-v_T)^\wedge 2$
$ir2=vlt/r2$
$ic=\beta_f*(vlt-v_\gamma)/r1$

Ma
idn1sat=ic+ir2
mentre la potenza erogata dal generatore vcc vale:

Pdiss=idn1sat*(vcc)=150mW

Risolvendo si trova che:

$\beta_n=0.005\ A/V^2$, vlt=1.047V .

Regione 1 : vi< v_γ: M1 sarà on in sat (M1 sempre on e sat per $vu<vdd-vt$) mentre T1 sarà off.

$idn1sat=\beta_n/2(vcc-vu-v_T)^\wedge 2$
ir2=vu/r2
ma idn1sat=ir2, da cui si ricava:
che vu=4.095V oppure vu=4.945 V. Delle due soluzioni quella accettabile è che vu=4.095V.

Regione 2: per vi>v_γ: T1 va in AD, con M1 sempre on e SAT. Cerchiamo se in questa regione ci sono punti a pendenza –1.

$ib=(vi-v_\gamma)/r1$
$idn1sat=\beta_n/2(vcc-vu-v_T)^\wedge 2$
ir2=vu/r2
$ic=\beta_f*(vi-v_\gamma)/r1$
Cerco i punti a dvu/dvi=-1
$d(idn1sat)/dvi=\beta_n(vcc-vu-vt)$
d(ir2)/dvi=-1/r2
$d(ic)/dvi=\beta_f/r1$

Ma idn1sat=ic+ir2
e d(idn1sat)/dvi= d(ic)/dvi+ d(ir2)/dvi
da cui si ricava che vi=10.745V e vu=-15.48V.
In questa regione non ci sono punti a derivata –1.

Regione 3: T1 sat, con M1 sempre on e SAT.

La vu=vcesat=0.2V. Cerchiamo per quale valore di vi T1 diventa saturo.
$ib=(vi-v_\gamma)/r1$
$idn1sat=\beta_n/2(vcc-vcesat-v_T)^\wedge 2$
ir2=vcesat/r2
$ic=\beta_f*(vi-v_\gamma)/r1$

Ma idn1sat=ic+ir2
da cui si ricava che vi=1.212 V.
Quindi per vi> 1.212 V T1 va in saturazione e l'uscita rimane a vcesat.

I punti notevoli coincidono con i punti angolosi. In particolare V_{OHMIN}=4.095V, V_{ILMAX}= V_γ=0.75V, V_{IHMIN}=1.212 V , e V_{OLMAX}=vcesat=0.2 V, da cui si ricava che NM_H=4.095 V-1.212V= 2.883 V e NM_L=0.75 V-0.2 V=0.55V

Compito del 16-02-06 - Esercizio #2

1) t<0, vi=0V, allora vi=vgs=0V, quindi Mn1 off. Allora vx=0V e vu(per t<0)=Vdd.
2) t=0+, vi=vdd e la tensione ai capi del condensatore non cambia.

3) Per t -> ∞, vi=vgs=vdd, quindi suppongo Mn1 on (da verificare che vgs=vdd-vx>v_T). Mn1 è lin sse vu<vdd-v_T=3.0V. Ipotizzo Mn1 on e lin (da verificare).

idn1lin =bn((vdd-vx-vt)*(vu-vx)-(vu-vx)^2/2)
ir2=(vdd-vu)/r2
ir3=vx/r3

dove

$$\begin{cases} ir2 = ir3 \\ id1lin = ir2 \end{cases}$$

Risolvendo si trovano le coppie di soluzioni seguenti:
vx=-0.179V, vu=6.192 V
oppure che vx=0.209 V, vu=0.366 V.

Quella che verifica le Hp su Mn1 è la seconda, vx=0.209 V e vu=0.366 V.

Il tplh è il tempo che il segnale d'uscita impiega per compiere il 50% della transizione totale a partire dal valore iniziale, quindi per passare da 3.5V a (3.5+0.366)/2=1.933 V .

Mn1 sarà sat per vu>vdd-vt=2.95V e lin per vu<vdd-vt=2.95, quindi durante il transitorio Mn1 si troverà prima in saturazione e poi in zona di funzionamento lineare.

Per 2.95 V <vu<3.5 V Mn1 sarà sat:
idn1sat =bn/2*((vdd-vx-vt)^2)
ir2=(vdd-vu)/r2
ir3=vx/r3
icap=ir2-idn1sat=C*d(vu-vx)/dt
ma ir2=ir3 da cui si ricava vx=(vdd-vu)*r3/r2
quindi dvx/dt=-r3/r2*dvu/dt
allora icap=C*(1+r3/r2)*dvu/dt.

$$\mathbf{tphl1} = \int_{3.5}^{2.95} \frac{\mathbf{Cap} * (1 + r3 / r2)}{icap} \, d(vu)$$

da cui si ricava che tphl1= 275 ps.

Per 1.933V <vu<2.95 V Mn1 sarà lin:
idn1lin =bn*((vdd-vx-vt)(vu-vx)-0.5*(vu-vx)^2)
ir2=(vdd-vu)/r2
ir3=((vdd-vu)*r3/r2)/r3
dove, come nel calcolo precedente,
icap=C*(1+r3/r2)*dvu/dt.

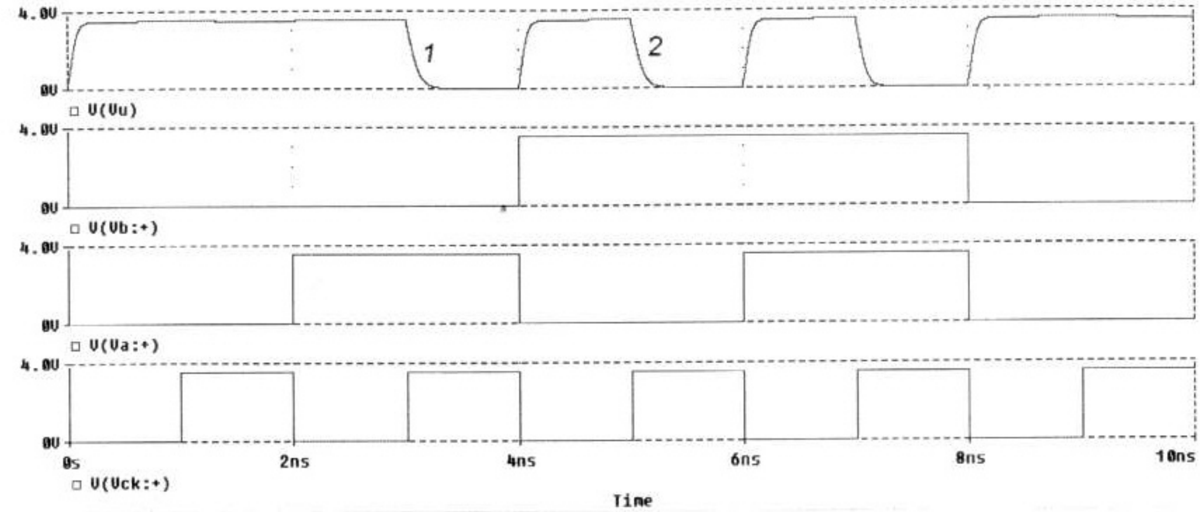
$$\mathbf{tphl2} = \int_{2.95}^{1.933} \frac{\mathbf{Cap} * (1 + r3 / r2)}{icap} \, d(vu)$$

Da cui si ricava che tphl2= 568 ps.

tphl= tphl1+ tphl2=843 ps.

Esercizio n. 3

Il circuito è una porta NOR a 2 ingressi (Va, Vb), realizzata in logica dinamica PE. Vu è precaricato a Vdd quando Vck=0; quando Vck=Vdd, il circuito è in fase di valutazione e Vu si porta a 0 se almeno uno degli ingressi è al valore alto. Il segnale di uscita Vu ha quindi l'andamento seguente:



I tempi di salita sono indipendenti dalla configurazione di ingresso, e richiedono la carica del condensatore di uscita da 0 a Vdd. Occorre quindi stimare il tempo dal 10% al 90% della escursione, ovvero da 0.35V a 3.15. Il pMOS M4 è saturo nel primo tratto (Vu<Vt), e successivamente in regime lineare:

$$\text{SAT: } \frac{\beta_4}{2}(V_{DD}-V_T)^2 = C\frac{dV_u}{dt} \rightarrow t_{sat} = \int_{0.35}^{0.55} \frac{2C}{\beta_4(V_{DD}-V_T)} dV_u = \frac{9.19\cdot 10^{-16}}{\beta_4}$$

$$\text{LIN: } t_{lin} = \int_{0.55}^{3.15} \frac{C}{\beta_4\left[(V_{DD}-V_T)(V_{DD}-V_u)-\frac{(V_{DD}-V_u)^2}{2}\right]} dV_u = \frac{1.87\cdot 10^{-14}}{\beta_4}$$

$$t_{rise} = \frac{1.96\cdot 10^{-14}}{\beta_4}\ \text{sec} \qquad t_{rise} = 100\ \text{ns}$$

$$\rightarrow \beta_4 = \beta_1 = 196.56\ \mu A/V^2$$

Il tempo di discesa, invece, dipende dalla configurazione di ingresso (casi 1 e 2 nella figura, per esempio). La condizione di caso peggiore è relativa al caso di uno solo fra gni nMOS M2 e M3 in conduzione, per cui la scarica avviene sulla serie fra M1 e M2 o M3. In questo caso, l'nMOS equivalente è saturo per Vu>Vdd-Vt, lineare altrimenti.

$$\beta_{eq} = \frac{1}{1/\beta_1 + 1/\beta_2}$$

analog. al caso precedente: $\ldots \rightarrow t_{fall} = \frac{1.96\cdot 10^{-14}}{\beta_{eq}} = 150\ \text{ns} \rightarrow \beta_{eq} = 131.04\ \mu A/V^2$

$$\rightarrow \beta_2 = 393.1\ \mu A/V^2$$

Potenza media dissipata

L'insieme dei segnali di ingresso è periodico con periodo 8 ns (fb=fck/4). Dalla figura, si verifica come in tale periodo avvengano 3 transitori di carica e scarica del condensatore, per cui il valore medio della potenza vale:

$$\tilde{P} = \frac{1}{4T_{ck}} \int_0^{4T_{ck}} (P_n + P_p + P_c)\, dt = \ldots = \frac{3}{4T_{ck}} C V_{DD}^2 = 91.8\ \mu W$$

Soluzione esercizio n.ro 4

Con CK=0 M6 on e M5 off. Vout risulta pertanto precaricato alto a Vdd.

Con CK=1 M6 off mentre M5 on

Se A=0 e Ā=1 sia M1 che M4 sono off. In fase di precarica Vout=Vdd quindi sicuramente all'inizio della fase di valutazione M2 on, di conseguenza il gate di M3 va basso e pertanto M3 risulta acceso, ciò garantisce che l'uscita Vout rimanga a Vdd.
Riassumendo: se A=0 e Ā=1 Vout=Vdd

Se A=1 e Ā=0 allora M1 e M4 on. Il gate di M3 va alto e pertanto M3 off. M1 e M5 sono on e pertanto Vout va bassa, M2 si spegne e pertanto il gate di M3 risulterà a Vdd garantendo lo spegnimeto di M3.
Riassumendo: se A=1 e Ā=0 Vout=0 V

Calcolo della tensione di uscita Vout nel caso A=Ā=1 in fase di valutazione (CK=1)

CK=1 M6 off e M5 on
A=Ā=1 M1 on e M4 off
Vo da alto (valore raggiunto in fase di precarica) tende ad andare basso. M2 inizialmente è acceso pertanto il gate di M3 va basso e M3 si accende. Risultano pertanto accese sia la rete di pull-up costituita da M3 che la rete di pull-down costituita dalla serie di M1 e M5 (βeq=βn/2)

$$I_3=I_{eq}$$

M3 sat se $V_{sd}>V_{sg}-V_t$ Vdd-Vout>Vdd-V_{g3}- V_t Vout<V_{g3}+V_t ma V_{g3}=0 pertanto M3 sat se Vout<1

Meq sat se $V_{ds}>V_{gs}-V_t$ V_{gs}=Vdd Vout>Vdd-Vt=3.5-0.5=3 V

Ipotizziamo che M3 e Meq siano in lineare, pertanto

$$\frac{\beta n}{2} * \left((\mathbf{vdd} - \mathbf{vtn}) * \mathbf{vo} - \frac{\mathbf{vo}^2}{2} \right) == \beta \mathbf{p} * \left((\mathbf{vdd} - \mathbf{vtp}) * (\mathbf{vdd} - \mathbf{vo}) - \frac{(\mathbf{vdd} - \mathbf{vo})^2}{2} \right)$$

Risolvendo risulta Vout=1,42 V (la soluzione Vout=24,57 è ovviamente da scartare)
Il valore di Vout ricavato è compatibile con l'ipotesi M3 e Meq in lineare.

1

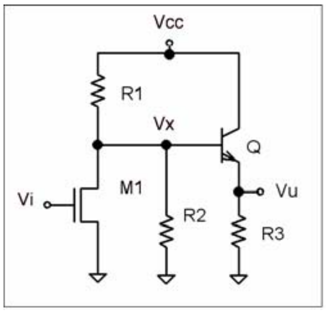
```
vdd = 3.5;
bp = 10 10^-6;
bn = 25 10^-6;
vtn = 0.5;
vtp = 0.5;
```

$$\text{Solve}\left[\frac{bn}{2} * \left((vdd - vtn) * vo - \frac{vo^2}{2}\right) == bp * \left((vdd - vtp) * (vdd - vo) - \frac{(vdd}{}\right.\right.$$

```
{{vo → 1.42416}, {vo → 24.5758}}
```

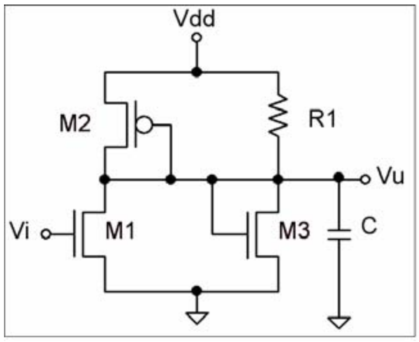
PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
18 LUGLIO 2006

1) Nel circuito in figura, il transistore bipolare può essere descritto da un modello “a soglia” con V_γ=0.75 V e $V_{CE,sat}$=0.2 V, mentre il transistore MOS è caratterizzato dalla tensione di soglia V_{Tn} e dal coefficiente β_n. Si determini il margine d’immunità ai disturbi N_M della rete.



V_{cc} = 5 V, V_{Tn} = 0.5 V, β_n = 5 mA/V^2, β_F=100 , R_1 = 500 Ω, R_2 = 2 kΩ, R_3 = 500 Ω.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn1}=|V_{Tp2}|=V_{Tn3}= V_T$ e dai coefficienti β_{n1}, β_{p2}, β_{n3}. Il segnale d’ingresso abbia il seguente andamento:



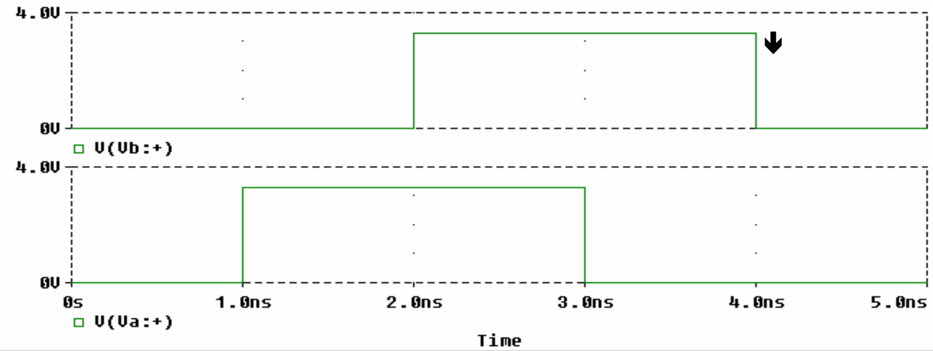
t<0: V_i=0

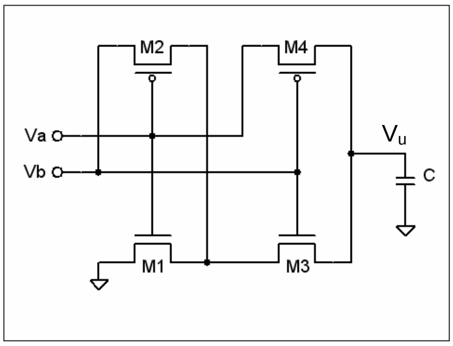
t>0: V_i=Vdd

Si calcoli il tempo di propagazione $t_{p,HL}$ relativo al segnale di uscita V_u.

V_{dd} = 3.5 V, V_T= 0.5 V, β_{n1} = 5 mA/V^2, β_{p2} = 1 mA/V^2, β_{n3} = 0.2 mA/V^2, R_1 = 5 kΩ, C=10 pF.

3) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=-V_{Tp}=V_T$ e dai coefficienti β_n e β_p. I segnali di ingresso V_a e V_b assumono i valori 0 e V_{dd}, secondo l’andamento seguente:

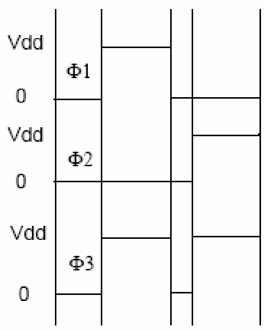


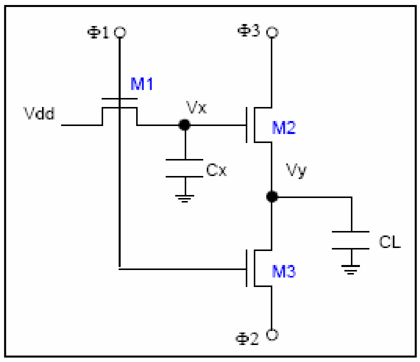


Si determini l’andamento qualitativo del segnale di uscita V_u e si calcoli il tempo di propagazione relativo alla transizione di V_b evidenziata (t=4 ns).

V_T = 0.45 V, V_{dd} = 3.3 V, $\beta_n=\beta_p$=1 mA/V^2, C=50 fF.

4) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia V_T. I segnali di ingresso Φ1, Φ2, Φ3 assumono i valori 0 e V_{dd} secondo l’andamento riportato in figura.
Si determini l’andamento qualitativo di segnali V_x e V_y e si dimensionino i MOS M2 e M3 in modo tale che con $\Phi1=V_{DD}$, $\Phi2=0$ e $\Phi3=V_{DD}$ V_y sia pari a 0.5V e la potenza statica dissipata dall’intero circuito sia di 2mW





V_T = 0.6 V, V_{dd} = 3.5 V

Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4
Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L’elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Esame scritto di Fondamenti di Elettronica A – 18.7.2006 - Esercizio #1

Osservazioni preliminari: il transistore Q quando ON è sempre in A.D. Inoltre fintantoché Q è ON, vx=vu+vγ, e vu>0 (ie≠0).

Regione 1: vi<vtn, allora M1 OFF. Q in AD (se vx> vg, da verificare).

Si rimane in regione 1 fintantochè M1 non va on, ovvero per vi>vtn.

vx=vu+vγ (se Q1 on)
ir1=(vcc-vx)/r1
ir2=vx/r2

ie=vu/r3
Ma ie=(bf+1)*(ir1-ir2)
da cui si ricava che vu=3.224 V (e vx=3.974 V). OK Hp su Q.

Regione 2: vi>vtn, quindi M1 ON e SAT se vu>vi-vtn-vγ (da vericare), e Q on in AD (sse vx>vγ,).

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).

vx=vu+vγ (se Q1 on)
ir1=(vcc-vx)/r1
ir2=vx/r2
ib=vu/r3/(βf+1)
idm1sat=β_n/2*(vi-vtn)^2
d(ir1)/dvi=1/r1
d(ir2)/dvi=-1/r2
d(ib)/dvi=-1/r3/(βf+1)
d(im1sat)/dvi=β_n/2*2*(vi-vtn)*1

Ma
ir1=idm1sat+ir2+ib
d(ir1)/dvi=d(im1sat)/dvi+d(ir2)/dvi+d(ib)/dvi

Risolvendo si ricava che vu=2.972 V, vi =1.004V.
Tale coppia di valori soddisfa le HP fatte sulla regione di funzionamento di M1 vu (=2.972 V) > vi-vtn-vγ (= -0.246 V), e di Q.
Quindi: V_{OHMIN}=2.972 V, V_{ILMAX}= 1.004 V.

(eq.1)

Regione 3: vi>vtn, quindi M1 ON e LIN se vu<vi-vtn-vγ (da vericare), e Q on in AD (sse vx>vγ).

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).

vx=vu+vγ (se Q1 on)
ir1=(vcc-vx)/r1
ir2=vx/r2
ib=vu/r3/(βf+1)
idm1lin=β_n*((vi-vtn)*(vu+vγ)-1/2*(vu+vγ)^2)
d(ir1)/dvi=1/r1
d(ir2)/dvi=-1/r2
d(ib)/dvi=-1/r3/(βf+1)
d(im1lin)/dvi=β_n*((vi-vtn)*-1+(vu+vγ)-1/2*2*(vu+vγ)*-1)
Ma
ir1=idm1lin+ir2+ib
d(ir1)/dvi=d(im1lin)/dvi+d(ir2)/dvi+d(ib)/dvi

da cui si ricavano le seguenti coppie di valori (vi, vu):
(vi=-2.315 V, vu=1.906 V) e
(vi=2.307 V, vu=0.406 V).
Delle due soluzioni quella accettabile è la seconda, quindi:
V_{IHMIN}=2.307 V, e V_{OLMAX}=0.406 V.

Tale coppia di valori soddisfa l'Hp su M1 lin, vu (=0.406) < vi-vtn-vγ (=1.057 V), e su Q.

Si ricava allora che:
NM_H=2.972 V-2.307 V= 0.665 V e
NM_L=1.004 V-0.406 V = 0.598 V =NM

Regione 4: Per completezza: poi Q andrà off quando vx=vu+vγ=vγ, sse vu=0 V. Calcolo il valore di vi per il quale Q va off. M1 è lin.

ir1=(vcc-(vγ))/r1
ir2=(vγ)/r2
idm1lin=β_n*((vi-vtn)*(vγ)-1/2*(vγ)^2)

Ma ir1=idm1lin+ir2, da cui si ricava che Q andrà OFF per:
vi= 3.042 V

Esame scritto di Fondamenti di Elettronica A – 18.7.2006 - Esercizio #2

OSS. PRELIMINARI:
1) M2 è ON quando vu<vdd-vt=3.0V, e quando ON è SAT (vdd-vu<vdd-vu+vt , 0<vt sempre).
2) M3 è ON quando vu>vt, e quando ON è SAT (vu<vu+vt, 0<vt sempre).

1) t<0, vi=0V, allora Mn1 OFF. Suppongo M2 OFF (sse vu>vdd-vt, da verificare),e Mn3 ON (sse vu>vt, da verificare) e SAT.

ir1=(vdd-vu)/r1 idn3sat=β_{n3}/2*(vu-vt)^2 Ma ir1= idn3sat , da cui si ricava che:	vu=-35.603 V o vu=3.27 V. Delle due soluzioni quella accettabile è vu=3.27 V. Quindi M2 OFF (vu>3.0V), e M3 ON (vu>0.5V).

2) Per t -> ∞, vi=vdd, quindi M1 sarà ON e lo suppongo LIN (sse vu<vdd-vt, da verificare). M2 sarà ON e SAT(da verificare che vu<vdd-vt=3.0V) e Mn3 ON e SAT (sse vu>vt, da verificare).

idn1lin =β_{n1}((vdd-vt)*vu-vu^2/2) idp2sat=β_{p2}/2(vdd-vu-vt)^2 idn3sat =β_{n3}/2(vu-vt)^2 ir1=(vdd-vu)/r1 Ma ir1+idp2sat=idn1lin+idn3sat	da cui si ricava che : vu=0.861V o vu=6.460 V. Delle due soluzioni quella accettabile è vu=0.861 V. Quindi M1 ON e LIN (vu=(0.861V) < vdd-vt (=3.0V), e M2 ON (vu=(0.861V) < vdd-vt (=3.0V V), e M3 ON (vu(=0.861V)>0.5V).

3) Il ritardo di propagazione è il tempo necessario al segnale d'uscita vu per compiere l'escursione da 3.27 --→ (3.27+0.861)/2=2.0655 V con vi=vdd.

Durante questo intervallo di tempo i transistori lavorano nelle seguenti regioni:
A) vdd-vt(=3)<vu<3.27, M2 OFF, M1 ON e SAT, M3 ON e SAT;
B) 2.0655<vu<3, M2 ON e SAT, M1 ON e LIN, M3 ON e SAT.

A)
ir1=(vdd-vu)/r1
idn1sat=β_{n1}/2(vdd-vt)^2
idn3sat =β_{n3}/2(vu-vt)^2
Cdvu/dt=ir1-idn1sat-idn3sat

$$tphl1=\int_{3.27}^{3}\frac{C}{ir1-idn1sat-idn3sat}\,dvu$$

tphl1= 123ps

B)
ir1=(vdd-vu)/r1
idn1lin=β_{n1}((vdd-vt)*vu-1/2*vu^2)
idp2sat=β_{p2}/2(vdd-vu-vt)^2
idn3sat=β_{n3}/2(vu-vt)^2
Cdvu/dt =ir1+idp2sat-idn1lin-idn3sat

$$tphl2=\int_{3}^{2.0655}\frac{C}{ir1+idp2sat-idn1lin-idn3sat}\,dvu$$

tphl2= 501 ps

da cui si ricava che tphl=tphl1+tphl2=624ps.

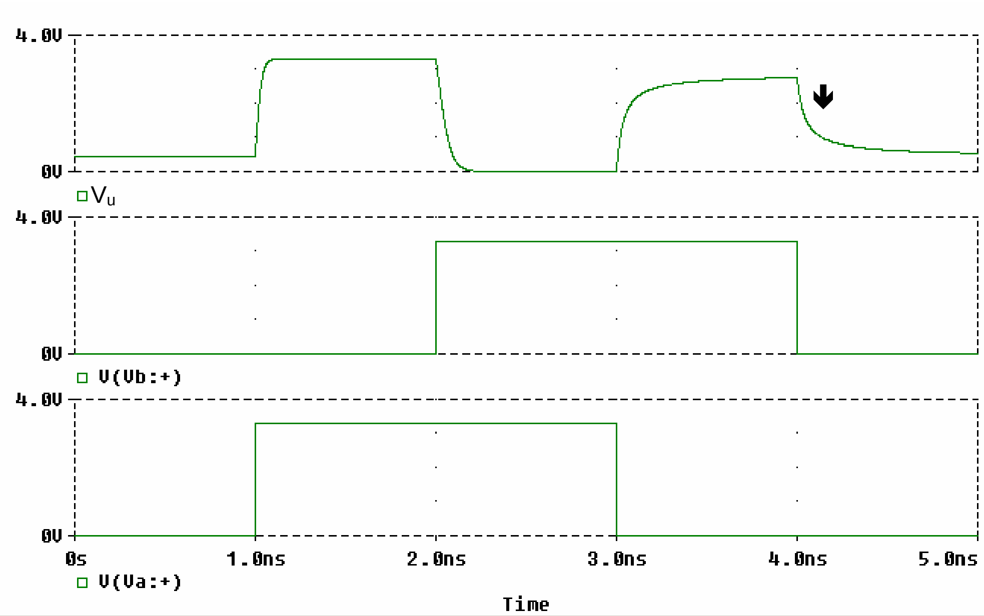
Esame scritto di Fondamenti di Elettronica A – 18.7.2006 - Esercizio #3

La risposta in condizioni statiche è descritta dalla tabella sottostante:

	V_a	V_b	V_u	M_1	M_2	M_3	M_4
(1)	0	0	V_t	OFF	ON	OFF	ON
(2)	0	V_{dd}	$V_{dd} - V_t$	OFF	ON	ON	OFF
(3)	V_{dd}	0	V_{dd}	ON	OFF	OFF	ON
(4)	V_{dd}	V_{dd}	0	ON	OFF	ON	OFF

Si tratta quindi di un XOR basato su pass-transistor; nella condizione (1) il valore di uscita basso è "debole", poiché il nodo si scarica attraverso il pMOS M_4, mentre nella condizione (2) il valore di uscita alto è "debole", poiché il nodo si carica attraverso l'nMOS M_3 in serie al pMOS M_2.

L'andamento qualitativo dell'uscita è quindi il seguente:



A seguito della transizione evidenziata, il condensatore di uscita, inizialmente carico a $V_{dd} - V_t$, si scarica al valore V_t attraverso il pMOS M4. Tale transistore è sempre in saturazione (V_{sg}=V_{sd}=V_u), per cui il tempo di propagazione, necessario a compiere metà dell'escursione (V_u: V_{dd}-V_t→V_{dd}/2) si calcola tramite l'integrale:

$$t_p = \int_{Vdd-Vt}^{Vdd/2} \frac{-2C}{B_p(Vu - Vt)^2} dVu$$

la cui soluzione vale circa 41 ps.

Soluzione

C_L e C_x inizialmente scariche

<u>Caso</u> $\phi 1 = \phi 2 = \phi 3 = 0$ M1, M2, M3 OFF

$\Rightarrow V_Y = 0$ e $V_x = 0$

<u>Caso</u> $\phi 1 = V_{DD}$ $\phi 2 = 0$ $\phi 3 = V_{DD}$

M1 ON M3 ON M2 inizialmente OFF

V_x cresce, quando arriva a V_T M2 ON, V_x continua a crescere fino a $V_{DD} - V_T$

In condizioni stazionarie $V_x = V_{DD} - V_T$ (M2 ON)

$V_{G3} = V_{DD}$ (M3 ON)

$I_{M2} = I_{M3}$

M3 LIN $V_Y < V_{DD} - V_T = 2.9$

M2 SAT $V_{DD} - V_Y > V_{DD} - V_T - V_Y - V_T = -2V_T$

$$\begin{cases} \beta_3 \left[(V_{DD} - V_T) V_Y - \dfrac{V_Y^2}{2} \right] = \dfrac{\beta_2}{2} \left(V_{DD} - V_T - V_Y - V_T \right)^2 \\ \text{con } V_Y = 0.5\,V \\ P_{STATICA} = V_{DD} I_{M2} = \dfrac{V_{DD}\beta_2}{2} \left(V_{DD} - V_T - V_Y - V_T \right)^2 \end{cases}$$

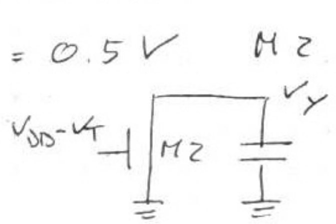
risolvendo il sistema $\beta_3 = 431.3\,\mu A/V^2$ $\beta_2 = 352.7\,\mu A/V^2$

<u>caso</u> $\phi 1 = \phi 2 = \phi 3 = 0$ M1 OFF M3 OFF

M2 $V_x = V_{DD} - V_T$ inizialmente $V_Y = 0.5\,V$ M2 ON

C_L si scarica attraverso M2

fino a $V_Y = 0$

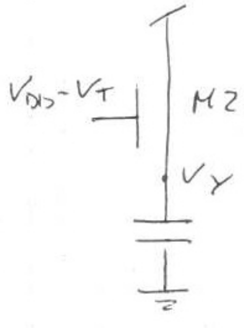


<u>caso</u> $\phi 1 = 0$ $\phi 2 = \phi 3 = V_{DD}$ M1, M3 OFF

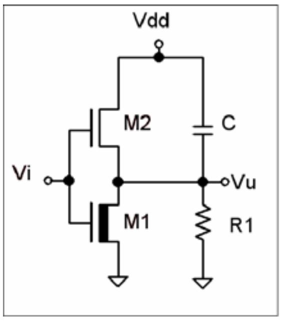
M2 ON con $V_x = V_{DD} - V_T$

V_Y cresce fino a che M2 OFF

$\Rightarrow V_Y = V_{DD} - 2V_T$



<u>PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A</u>
15 GIUGNO 2006

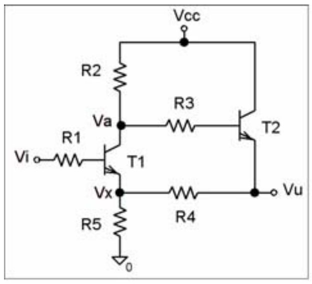


1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{T1}, V_{T2} e dai coefficienti β_1 e β_2. Il segnale d'ingresso abbia il seguente andamento:

t<0: $V_i=V_{dd}$
t>0: $V_i=0$

Si calcoli il tempo necessario al segnale di uscita V_u per compiere il 50% della sua escursione.

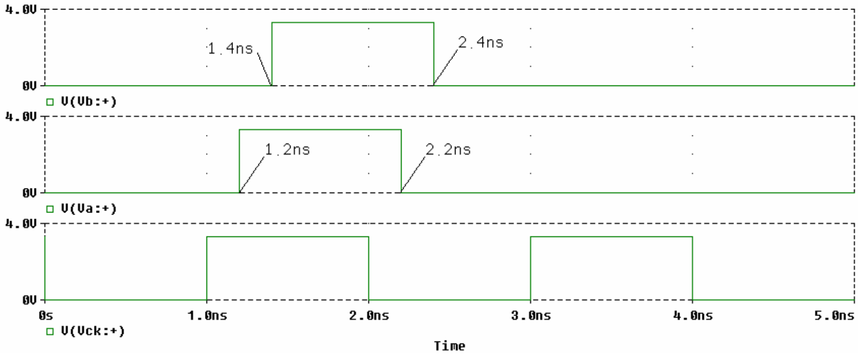
V_{dd} = 3.5 V, V_{T1} = -0.9 V , V_{T2} = 0.55 V, β_1 = 0.1 mA/V^2, β_2 = 8 mA/V^2, R_1 = 1 kΩ, C=12 pF.

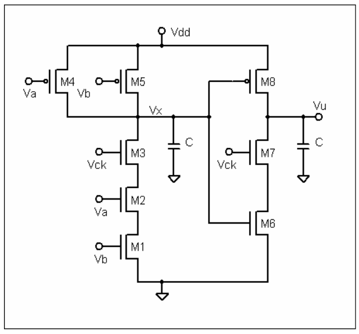


2) Nel circuito in figura, il transistore e i diodi possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.

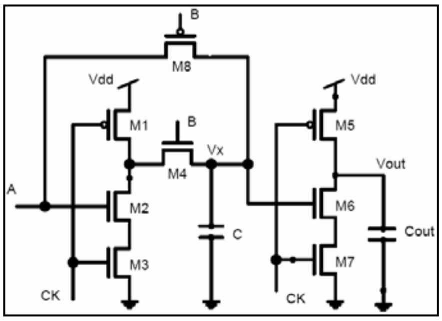
V_{cc} = 5 V, β_F= 100, R_1 = 500 Ω, R_2 = 500 Ω, R_3 = 8 kΩ, R_4= 5 kΩ, R_5 = 500 Ω.

3) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=-V_{Tp}=V_T$ e dai coefficienti β_n e β_p. Il segnale di Clock alterna i valori 0 e V_{dd} con periodo pari a 2ns, mentre i segnali V_a e V_b assumono i valori 0 e V_{dd} secondo l'andamento illustrato nel diagramma sottostante. Si determini il corrispondente andamento del segnale di uscita V_u, calcolando i tempi di propagazione associati a ciascuna transizione di quest'ultimo.

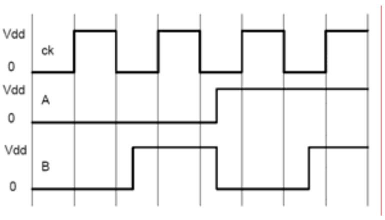




V_{dd} = 3.3 V, V_T = 0.4 V, β_n= 800 μA/V^2, β_p= 500 μA/V^2, C=15 fF.



4) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=-V_{Tp}=V_T$ e dai coefficienti β_n e β_p. Il segnale di clock CK alterna i valori 0 e V_{dd} mentre i segnali A e B variano tra 0 e V_{dd} secondo l'andamento riportato in figura.



Si valuti qualitativamente l'andamento dei segnali Vx e Vout individuando le possibili condizioni di malfunzionamento del circuito.

Supponendo che A si mantenga costante al valore alto e che durante la fase di precarica B commuti dal valore basso a quello alto, si calcoli il tempo impiegato da V_{out} per raggiungere la condizione di alta impedenza.

V_{dd} = 3.5 V, V_T = 0.3 V, β_n= 600 μA/V^2, β_p= 400 μA/V^2, C=10 fF.

Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4
Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

ESAME SCRITTO DI FONDAMENTI DI ELETTRONICA A
15 GIUGNO 2006
SOLUZIONI

Esercizio 1

Osservazione preliminare:

vgs1=vi.

vi>vt1=-0.9V (sempre). Quindi M1 sempre on.

1)t<0, vi=vdd.

M1 lin ($\leftrightarrow$ vu<3.5+0.9=4.4V, quindi sempre).
M2 è on (da verificare) $\leftrightarrow$ vu<vdd-vt2=2.95V.
se M2 on, allora è sat (0<vt2, sempre).

Calcolo di vu(t<0).

id1lin= β1*((vdd-vt1)*vu-1/2*vu^2)
id2sat= β2/2*(vdd-vu-vt2)^2
ir1=vu/r1

Ma id2sat=id1lin+ir1.
Risolvendo si trovano le soluzioni seguenti:
vu=2.11V oppure vu=4.072 V.
Quella che verifica le Hp su M2 è la prima,
vu(t<0)=2.11 V

2) Per t $\rightarrow \infty$, vi=0 quindi M1 on, M2 off e vu=0V.

3) t=0+, vi=0, quindi M1 on, M2 off, e la tensione ai capi del condensatore non cambia rispetto all'istante t=0-.

Il segnale d'uscita varia tra 2.11V e 0V.
Il tempo da valutare, quindi, è quello per passare da 2.11V a 2.11/2=1.055 V.

M1 sarà sat per vu>-vt1=0.9V e lin per vu<0.9V, quindi durante la parte di transitorio d'interesse, M1 rimarrà in saturazione.

Per 1.055<vu<2.11 V M1 sarà sat:

idn1sat = β1/2*((-vt1)^2)
ir1=vu/r1
icap=C*d(vc)/dt

dove vc è la capacità ai capi del condensatore, ed è definita da :
vc= vdd-vo

e quindi:
dvc = -dvo

Sostituendo le espressioni corrispondenti, si ricava che

$$-C\frac{dvu}{dt} = \frac{vu}{r1} + \frac{b1}{2}(-vt1)^2$$

Allora

$$t = -C\int_{2.11}^{1.0554} \frac{1}{\frac{vu}{r1} + \frac{b1}{2}(-vt1)^2}\, dvu$$

ovvero t =8.09 ns.

Esercizio 2

Osservazione preliminare: T2 quando on sempre in AD.

Regione 1: Suppongo T1 off e T2 on in AD. T1 sarà off fintantoché vi-vx<v_γ, dove vx è da ricavare.

ib2=(vcc-(vu+vγ))/(r2+r3)
ie2=vu/(r4+r5)
Ma
ie2=(βf+1)*ib2, da cui si ricava che vu= 4.186 V, quindi T2 on (4.186+vγ<vcc).

Noto vu si ricava vx:
vx=4.186*r5/(r4+r5)= 0.380 V

Si rimane in regione 1 fintantoché T1 rimane off, ovvero per vi<vx+vγ=1.13 V.

Regione 2 : Suppongo T1 on e T2 on in AD. Si rimane in questa regione fintantochè o T1 va sat, oppure T2 va off.

ib1=(vi-(vx+vγ))/r1
ir2=(vcc-va)/r2
ib2=(va-(vγ+vu))/r3

$$\begin{cases} \beta f * ib1 = ir2 - ib2 \\ vx/r5 = (\beta f + 1)ib1 + (\beta f + 1) * ib2 \\ (vu - vx)/r4 = (\beta f + 1) * ib2 \end{cases}$$

Risolvendo si trova che:
va=6.34 -1.188 vi,
vx=-0.736+0.988 vi,
vu=5.491 -1.154 vi
Si rimane in questa regione fintantochè
(A) T1 va sat,
(B) oppure T2 va off.

(A) Si può notare come con T2 in AD, T1 non possa andare in sat. Infatti considerando la maglia formata dal Collettore-Emettitore di T1, da R3, da Base-Emettitore di T2 e da R4 si trova che se T1 fosse sat con T2 in AD: vcesat-ib2*r3-vγ-ie2*r4=0, ovvero ib2*r3+ie2*r4= vcesat-vγ <0, quindi assurdo perché in AD ib2 e ie2 devono essere entrambe >0.

Invece quando T2 è off, ie2=ib2=ic2=0, e vu=vx
allora
ie1=vu/r5
ib1=(vi-(vu+vγ))/r1 , ma
ie1=(βf+1)*ib1 e vu=5.491 -1.154 vi,
da cui si ricava che T2 va off per vi= 2.907V

Si rimane in regione 2 per 1.13V<vi<2.907V .

Regione 3: T1 AD, T2 off

T2 è off, ie2=ib2=ic2=0, e vu=vx.
ie1=vu/r5
ib1=(vi-(vu+vγ))/r1 , ma
ie1=(βf+1)*ib1, da cui si ricava che :
vu=-0.743+0.99 vi
Si rimane in regione 3 finché T1 non e entra in saturazione.

Infine T1 andrà saturo per quel valore di vi tale che ic1<ib1*β_f con vce=vcesat.
vu=-0.743+0.99vi
ib1=(vi-(vu+vγ))/r1
ic1=(vcc-(vu+vcesat))/r2
ic1<ib1*βf, da cui si ricava che T1 andrà in saturazione per vi > 3.186V.

Si rimane in regione 3 per 2.907V <vi <3.186 V

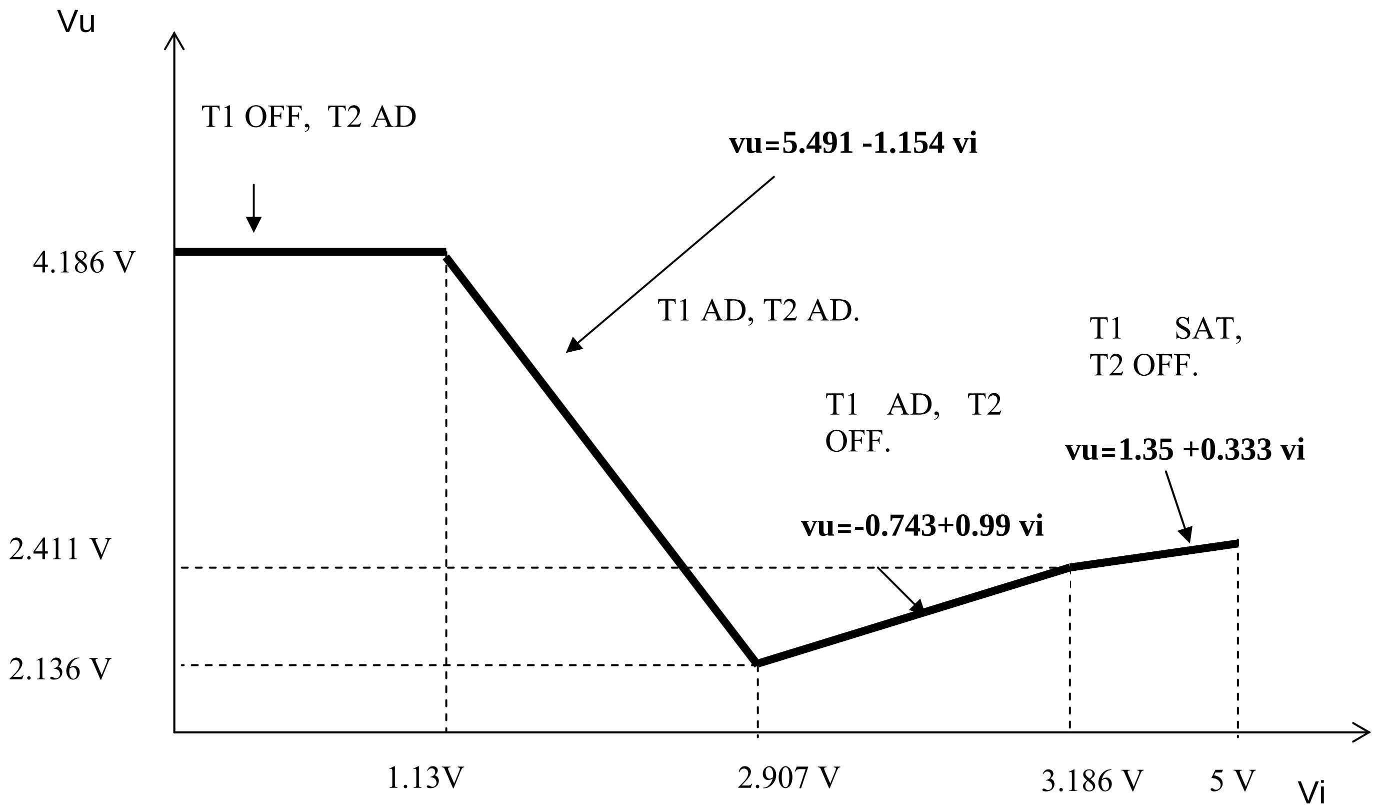
Regione 4: T1 sat, T2 off

ib1=(vi-(vu+vγ))/r1
ic1=(vcc-(vu+vcesat))/r2
ie1=vu/r5

ie1=ib1+ic1
da cui si ricava
vu=1.35 +0.333 vi

Si rimane in regione 3 per 3.186 V<vi<vcc.

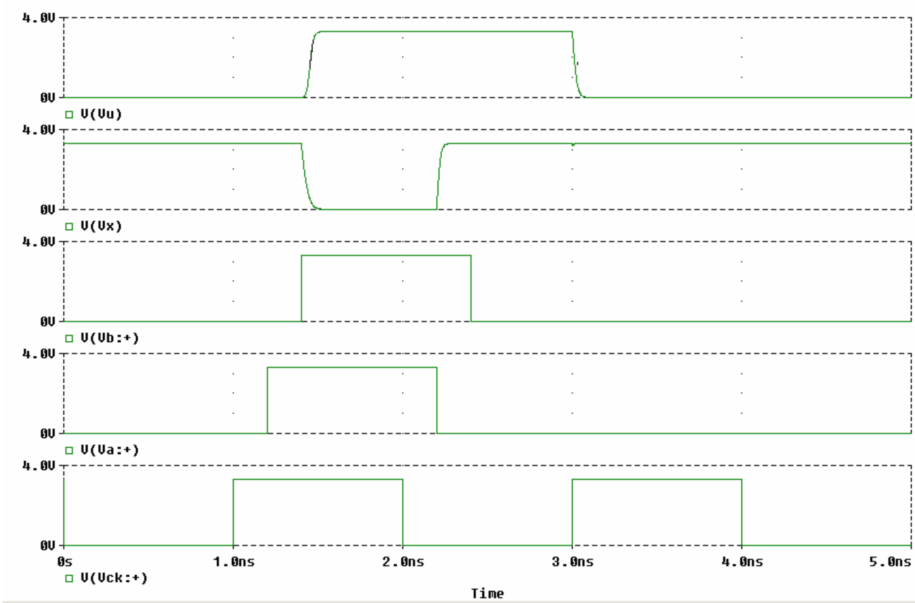
Di seguito si riporta la caratteristica statica di trasferimento.



Esercizio 3

Si tratta di un p-latch TSPCL, il cui primo stadio include la funzione di NAND(A,B).

Intervallo [ns]	Va	Vb	Vck	M1	M2	M3	M4	M5	Vx	M6	M7	M8	Vu
0 → 1	0	0	0	off	off	off	on	on	V_{dd}	on	off	off	a.i.
1 → 1.2	0	0	V_{dd}	off	off	on	on	on	V_{dd}	on	on	off	0
1.2 → 1.4	V_{dd}	0	V_{dd}	off	on	on	off	on	V_{dd}	on	on	off	0
1.4 → 2	V_{dd}	V_{dd}	V_{dd}	on	on	on	off	off	0	off	on	on	V_{dd}
2 → 2.2	V_{dd}	V_{dd}	0	on	on	off	off	off	0 [a.i.]	off	off	on	V_{dd}
2.2 → 2.4	0	V_{dd}	0	on	off	off	on	off	V_{dd}	on	off	off	V_{dd} [a.i.]
2.4 → 3	0	0	0	off	off	off	on	on	V_{dd}	on	off	off	V_{dd} [a.i.]
3 →4	0	0	V_{dd}	off	off	on	on	on	V_{dd}	on	on	off	0
4 → …									V_{dd}				0



- Quindi, per t=1.4ns V_x si scarica da Vdd a 0 tramite la serie di M1,M2,M3 ($\beta_{eq}=\beta_n/3$). Successivamente Vu si carica a Vdd tramite il transistore M8. Il tempo di propagazione è quindi la somma dei due tempi di transizione:

$$\mathbf{tpHLx} = \int_{vdd}^{vdd-vt} \frac{C}{-\frac{bn}{3}\,\frac{((vdd-vt)^2)}{2}}\,dvx + \int_{vdd-vt}^{\frac{vdd}{2}} \frac{C}{-\frac{bn}{3}\left((vdd-vt)\,vx-\frac{vx^2}{2}\right)}\,dvx$$

$$\mathbf{tpLHu} = \int_{0}^{vt} \frac{C}{bp\,\frac{((vdd-vt)^2)}{2}}\,dvu + \int_{vt}^{\frac{vdd}{2}} \frac{C}{bp\left((vdd-vt)\,(vdd-vu)-\frac{(vdd-vu)^2}{2}\right)}\,dvu$$

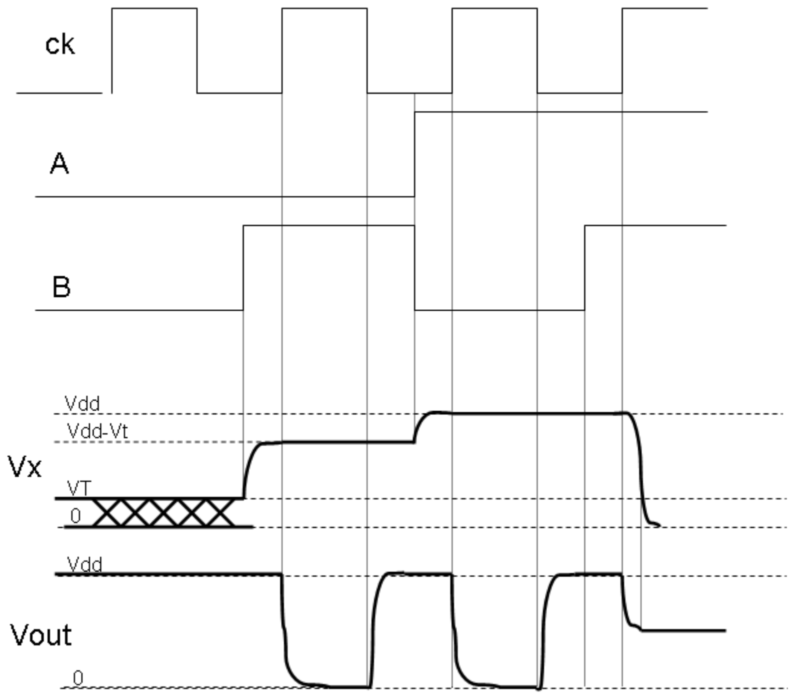
la somma di questi transitori è un transitorio complessivo di durata t1=35.6 ps, che si innesca all'istante 1.4ns.

Il segnale Vx torna al valore Vdd per t=2.2 ns, mentre il segnale Vu commuta solo per t=3 ns, non appena il segnale di CK abilita la transizione di scarica attraverso M7 e M6 ($\beta_{eq}=\beta_n/2$).

$$\mathbf{tpHL} = \int_{vdd}^{vdd-vt} \frac{C}{-\frac{bn}{2}\,\frac{((vdd-vt)^2)}{2}}\,dvu + \int_{vdd-vt}^{\frac{vdd}{2}} \frac{C}{-\frac{bn}{2}\left((vdd-vt)\,vu-\frac{vo^2}{2}\right)}\,dvu$$

il transitorio è di durata t2= 15.5 ps , e si innesca all'istante 3ns.

Esercizio 4



Durante l'ottavo semiperiodo di clock, la transizione di vout (che si scarica tramite la serie di M7 e M6) viene interrotta quando vx (scaricato mediante la serie di M2, M3, M4) raggiunge il valore vt

$$t = \int_{vdd}^{vdd-vt} \frac{Cap}{-\frac{bn}{3}\,\frac{((vdd-vt)^2)}{2}}\,dvo + \int_{vdd-vt}^{vt} \frac{Cap}{-\frac{bn}{3}\left((vdd-vt)\,vo-\frac{vo^2}{2}\right)}\,dvo$$

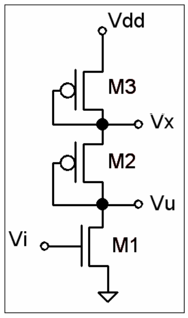
$= 4.99963 \times 10^{-11}$ sec a partire dall'istante di discesa del segnale di clock.

questa è appunto la condizione critica che può determinare malfunzionamento del circuito

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A

7 SETTEMBRE 2006

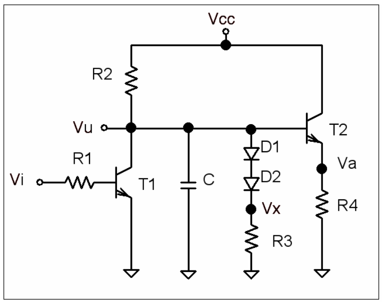
1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn1}= V_{Tn}$, $|V_{Tp2}|=|V_{Tp3}|=V_{Tp}$ e dai coefficienti β_{n1} e β_{p2}. Si calcoli il valore di β_{p3} in modo tale che il consumo di potenza statica della rete alla soglia logica sia pari a 1.75 mW.
Si determini, quindi, il margine d'immunità ai disturbi N_M della rete.



V_{dd} = 3.5 V, V_{Tn}= 0.5 V, V_{Tp}= 0.6 V, β_{n1} = 5 mA/V^2, β_{p2} = 2 mA/V^2.

2) Nel circuito in figura, i transistori bipolari ed i diodi possono essere descritti da un modello "a soglia" con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Il segnale d'ingresso abbia il seguente andamento:

t<0: V_i=Vcc
t>0: V_i=0

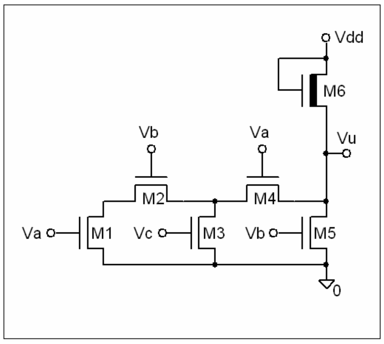


Si calcoli il tempo di propagazione $t_{p,LH}$ relativo al segnale di uscita V_u.

V_{cc} = 5 V, β_F=100 , R_1 = 10 kΩ, R_2 = 500 Ω, R_3 = 2 kΩ, R_4 = 3 kΩ, C=10 pF.

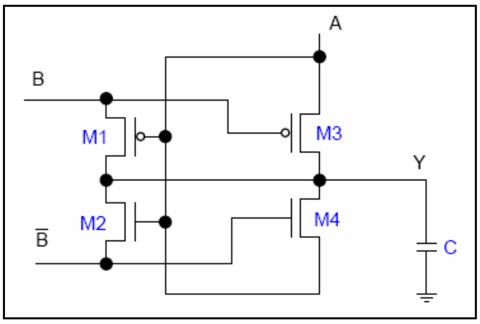
3) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{T1}= V_{T2}= V_{T3}= V_{T4}= V_{T5}=V_{T,enh}$ e $V_{T6}=V_{T,dep}$ <0.
I segnali di ingresso V_a, V_b e V_c possono assumere i valori 0 e V_{dd}.
Si determinino i coefficienti $\beta_1=\beta_2=\beta_3=\beta_4=\beta_5=\beta_{enh}$ e $\beta_6=\beta_{dep}$, in modo che, nelle rispettive condizioni di caso peggiore:

- la minima escursione logica sia pari a 2.9 V;
- la massima potenza istantanea statica dissipata sia pari a 1mW.



$V_{T,enh}$= 0.45 V, $V_{T,dep}$= -0.3 V, V_{dd} = 3.3 V

4) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}= |V_{Tp}|= V_T$ e dai coefficienti β_n e β_p. I segnali di ingresso A, B e $\overline{B}$ possono assumere i valori 0 e V_{DD}.
Si determini la funzione logica svolta dal circuito indicando chiaramente, per ogni configurazione degli ingressi, lo stato (ON, OFF) dei transistori M1, M2, M3 e M4. Supponendo che A commuti istantaneamente dal livello logico basso a quello alto con B fisso al livello logico alto, si calcoli il tempo di discesa/salita relativo al segnale di uscita Y



V_{DD}=3.3 V, βp=50 μA/V^2, βn=20 μA/V^2, V_T=0.35 V, C =10 fF

Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4
Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.
• Indicare su ciascun foglio nome, cognome, data e numero di matricola
• Non usare penne o matite rosse
• L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Esercizio #1

OSS. PRELIMINARI:

1) M2 e M3 quando ON sono entrambi saturi.

Calcolo di β_{p3}. Alla soglia logica M1, M2, M3 sono tutti saturi.

idn1sat=β_{n1}/2*(vlt-vtn)^2 idp2sat=β_{p2}/2*(vx-vlt-vtp)^2 idp3sat=β_{p3}/2*(vdd-vx-vtp)^2 idn1sat=idp2sat idp3sat=idp2sat β_{n1}/2*(vlt-vtn)^2*vdd=Pdiss Risolvendo si trova che:	β_{p3}=2.4 mA/V^2 vx=2.254V e vlt=0.947V Tali valori soddisfano le Hp su M1, M2 e M3: (V_{GS1}=0.947V > 0.5 V); (V_{SG2}=(2.254-0.947) V=1.307 V >0.6V); (V_{SG3}=(3.5-2.254) V=1.246 V >0.6V).

Poiché M2 e M2 quando ON sono sat, è allora possibile ricavare una relazione tra vx e vu che vale sempre quando M2 e M3 sono ON.

idp2sat=β_{p2}/2*(vx-vlt-vtp)^2 idp3sat=β_{p3}/2*(vdd-vx-vtp)^2	idp3sat=idp2sat da cui si ricava che vx=1.802 +0.477vu

Regione 1: vi<vtn=0.5V, M1 off, M2 e M3 sulla soglia, quindi vu=vdd-2vtp=2.3V.

Regione 2: M1 sat (se vtn<vi<vu+vtn), M2 e M3 sat.

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1). Vale la condizione trovata, ovvero vx=1.802 +0.477vu.	
idn1sat=β_{n1}/2*(vi-vtn)^2 idp3sat=β_{p3}/2*(vdd-(1.802 +0.477vu)-vtp)^2 idn1sat=idp3sat Risolvendo si ricava che vu=3.81486 -3.026 vi La dvu/dvi=-3.026 quindi in questa regione non ci sono punti a derivata -1, ma si passa da una	regione a pendenza nulla (per vi <vtn) ad una a pendenza in modulo > di 1. In corrispondenza del punto angoloso prima determinato si ha allora il primo punto notevole (V_{ILMAX} =0.5V, V_{OHMIN} =2.3V).

(eq.1)

Regione 3: M1 lin (vi>vu+vtn), M2 sat M3 sat.

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).	
idn1lin=β_{n1} ((vi-vtn)vu-vu^2/2) idp3sat=β_{p3}/2*(vdd-(1.802 +0.477vu)-vtp)^2 d(idn1lin)/dvi=β_{n1} ((vi-vtn)*-1+vu+vu) d(idp3sat)/dvi=β_{p3} (vdd-(1.802 +0.477vu)-vtp)*(0.477) idn1lin=idp3sat d(idn1lin)/dvi = d(idp3sat)/dvi da cui si ricavano le seguenti coppie di valori (vi, vu): (vi=-0.661V, vu=–0.431V) e (vi=1.158V, vu=0.431V).	Delle due soluzioni quella accettabile è la seconda, alla quale corrisponde un valore di vx=2.0076 V. V_{IHMIN}=1.158V, e V_{OLMAX}=0.431V. Tale coppia di valori soddisfa l'Hp su M1 lin (vi=1.158 V>vu+vtn=0.931 V), e M2 e M3 sat; (V_{SG2}=(2.0076-0.431) V=1.5766 V >0.6V); (V_{SG3}=(3.5-2.0076) V=1.492 V >0.6V). Si ricava allora che: NM_H=2.3 V-1.158 V= 1.142 V e NM_L=0.5V-0.431 V = 0.069 V =NM

Esercizio #2

Osservazioni preliminari: T2 quando ON in AD.

1) t<0, vi=5V, allora T1 ON e per hp SAT (da verificare), quindi la serie diodi D1 e D2 e T2 OFF. Allora vu(t<0)=vcesat.

ib1*βf=(vcc-vγ)/r1*100=0.0425 A ic1=(vcc-vcesat)/r2= 0.0096 A	ib1*βf =0.0425 A > 0.0096=ic1 → ok hp di saturazione di T1

2) Per t -> ∞, Vi=0 V, allora T1 sarà off. D1 e D2 on (da verificare) e T2 ON e in AD (da verificare). Calcolo di vu.

ir2=(vcc-vu)/r2 ir3=(vu-2vγ)/r3 ir4=(vu-vγ)/r4 ib2=(vu-vγ)/r4/(βf+1)	Ma ir2=ir3+ib2 da cui si ricava che : vu=4.295V. vu> 2vγ, quindi ok hp su D1 e D2 e T2.

3) Il ritardo di propagazione è il tempo necessario al segnale d'uscita vu per compiere l'escursione da 0.2V a (4.295+0.2)/2=2.2475V con vi=0 V.

Durante questo intervallo di tempo i transistori lavorano nelle seguenti regioni:
A) Vcesat < vu <vγ: T1,T2 ,D1e D2, OFF.
B) vγ < vu <2 vγ: T1 OFF, T2 AD , D1e D2 OFF.
C) 2 vγ <vu < 2.2475 V: T1 OFF, T2 AD, D1e D2 ON.

A)
ir2=(vcc-vu)/r2
Cdvu/dt=ir2

$$\mathbf{tplh1} = \int_{0.2}^{0.75} \frac{C}{ir2}\, dvu$$

tphl1= 0.61 ns

B)
ir2=(vcc-vu)/r2
ib2=(vu-vγ)/r4/(bf+1)
Cdvu/dt=ir2-ib2

$$\mathbf{tplh2} = \int_{0.75}^{1.5} \frac{C}{ir2 - ib2}\, dvu$$

tphl2= 0.97 ns

C)
ir2=(vcc-vu)/r2
ib2=(vu-vγ)/r4/(bf+1)
ir3=(vu-2vγ)/r3
Cdvu/dt=ir2-ib2-ir3

$$\mathbf{tplh3} = \int_{1.5}^{2.2475} \frac{C}{ir2 - ib2 - ir3}\, dvu$$

tphl3=1.24 ns

da cui si ricava che tphl=tphl1+tphl2+tphl3=2.82 ns.

Osservazioni preliminari: il transistore Q quando ON è sempre in A.D. Inoltre fintantoché Q è ON, vx=vu+vγ, e vu>0 (ie≠0).

Regione 1: vi<vtn, allora M1 OFF. Q in AD (se vx> vg, da verificare).

Si rimane in regione 1 fintantochè M1 non va on, ovvero per vi>vtn.	
vx=vu+vγ (se Q1 on) ir1=(vcc-vx)/r1 ir2=vx/r2	ie=vu/r3 Ma ie=(bf+1)*(ir1-ir2) da cui si ricava che vu=3.224 V (e vx=3.974 V). OK Hp su Q.

Regione 2: vi>vtn, quindi M1 ON e SAT se vu>vi-vtn-vγ (da vericare), e Q on in AD (sse vx>vγ,).

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).	
vx=vu+vγ (se Q1 on) ir1=(vcc-vx)/r1 ir2=vx/r2	Ma ir1=idm1sat+ir2+ib d(ir1)/dvi=d(im1sat)/dvi+d(ir2)/dvi+d(ib)/dvi

ib=vu/r3/(βf+1)
idm1sat=β_n/2*(vi-vtn)^2
d(ir1)/dvi=1/r1
d(ir2)/dvi=-1/r2
d(ib)/dvi=-1/r3/(βf+1)
d(im1sat)/dvi=β_n/2*2*(vi-vtn)*1

Risolvendo si ricava che vu=2.972 V, vi =1.004V.
Tale coppia di valori soddisfa le HP fatte sulla regione di funzionamento di M1 vu (=2.972 V) > vi-vtn-vγ (=-0.246 V), e di Q.
Quindi: V_{OHMIN}=2.972 V, V_{ILMAX}= 1.004 V.

(eq.1)

Regione 3: vi>vtn, quindi M1 ON e LIN se vu<vi-vtn-vγ (da vericare), e Q on in AD (sse vx>vγ).

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).

vx=vu+vγ (se Q1 on)
ir1=(vcc-vx)/r1
ir2=vx/r2
ib=vu/r3/(βf+1)
idm1lin=β_n*((vi-vtn)*(vu+vγ)-1/2*(vu+vγ)^2)
d(ir1)/dvi=1/r1
d(ir2)/dvi=-1/r2
d(ib)/dvi=-1/r3/(βf+1)
d(im1lin)/dvi=β_n*((vi-vtn)*-1+(vu+vγ)-1/2*2*(vu+vγ)*-1)
Ma
ir1=idm1lin+ir2+ib
d(ir1)/dvi=d(im1lin)/dvi+d(ir2)/dvi+d(ib)/dvi

da cui si ricavano le seguenti coppie di valori (vi, vu):
(vi=-2.315 V, vu=1.906 V) e
(vi=2.307 V, vu=0.406 V).
Delle due soluzioni quella accettabile è la seconda, quindi:
V_{IHMIN}=2.307 V, e V_{OLMAX}=0.406 V.

Tale coppia di valori soddisfa l'Hp su M1 lin, vu (=0.406) < vi-vtn-vγ (=1.057 V), e su Q.

Si ricava allora che:
NM_H=2.972 V-2.307 V= 0.665 V e
NM_L=1.004 V-0.406 V = 0.598 V =NM

Regione 4: Per completezza: poi Q andrà off quando vx=vu+vγ=vγ, sse vu=0 V. Calcolo il valore di vi per il quale Q va off. M1 è lin.

ir1=(vcc-(vγ))/r1
ir2=(vγ)/r2
idm1lin=β_n*((vi-vtn)*(vγ)-1/2*(vγ)^2)

Ma ir1=idm1lin+ir2, da cui si ricava che Q andrà OFF per:
vi= 3.042 V

Esercizio #3

Considero il vincolo sulla escursione logica di caso peggiore: in condizioni di ingressi bassi, il pull-down si spegne e il pull-up (a svuotamento) garantisce $V_u=V_H=V_{dd}$. Quindi, nella condizione di caso peggiore, deve essere:

$V_L=V_H$ – escursione= V_{dd}- 2.9 = 0.45 V

Tale condizione di caso peggiore si verifica quando la corrente di pull-down è minima: poiché i segnali di gate dei diversi transistori di pull-down non sono fra di loro indipendenti, si verifica facilmente che la condizione di caso peggiore prevede l'accensione di M3 e M4 in serie; il pull-down è quindi equivalente ad un unico transistore con

$\beta_{eq} =\beta_{enh}/2$
$V_{DS}=V_L$
$V_{GS}=V_{dd}$

quindi $V_{gs}>V_{DS}-V_{tn}$ e il transistore equivalente di pull down lavora in regione lineare, così come il transistore di pull-up. Si ha:

$I_{D,pu}=\beta_{dep} ((V_{dd}-V_L- V_{T,dep})(V_{dd}-V_L)-(V_{dd}-V_L)^2/2)$
$I_{D,pd}=\beta_{eq} ((V_{dd}- V_{T,enh})V_L-V_L^2/2)$

Imponendo l'uguaglianza delle correnti, si trova una relazione fra i coefficienti:

$\beta_{enh} =9.57547\ \beta_{dep}$ (*)

La condizione di caso peggiore per la potenza dissipata, invece, si riferisce alla situazione in cui la corrente di pull-down è massima, e quindi alla situazione in cui tutti i transistori di pull down sono accesi. In questa situazione, utilizzando le regole di composizione in serie e parallelo, si ottiene il coefficiente del transistore equivalente di pull-down:

$\beta_{eq} = 8/5\ \beta_{enh}$

In questa situazione il valore dell'uscita è inferiore al VL di caso peggiore precedentemente calcolato:

$I_{D,pu}=\beta_{dep} ((V_{dd}-V_u- V_{T,dep})(V_{dd}-V_u)-(V_{dd}-V_u)^2/2)$
$I_{D,pd}=\beta_{eq} ((V_{dd}- V_{T,enh})V_u-V_u^2/2)$

Imponendo l'uguaglianza delle correnti, e scartando una soluzione inaccettabile, si trova:

V_u =0.13951
$I_{D,pu}$=5.9425 β_{dep}

e imponendo $I_{D,pu}=P_d/V_{dd}$ si ricava:

β_{dep}= 51 μA/V^2

da cui, tenendo conto della relazione (*):

β_{enh}= 488 μA/V^2

Esercizio #4

Determino la funzione svolta dal circuito:
A=0 V, B=0 V ($\overline{B}$ =V_{DD}) : M1 OFF, M2 OFF, M3 OFF, M4 ON allora Y=0 V

A=V_{DD}, B=0 V ($\overline{B}$ =V_{DD}) : M1 OFF, M2 OFF, M3 ON, M4 OFF allora Y=V_{DD}

A=0 V, B=V_{DD} ($\overline{B}$ =0 V) : M1 ON, M2 OFF, M3 OFF, M4 OFF allora Y=V_{DD}

A=V_{DD}, B=V_{DD} ($\overline{B}$ =0 V) : M1 OFF, M2 ON, M3 OFF, M4 OFF allora Y=0 V

$Y=A\overline{B}+\overline{A}B$ il circuito è pertanto uno XOR

Calcolo il tempo di discesa, il tempo impiegato dal segnale di uscita per passare dal 90% al 10% della sua escursione logica.

L'escursione logica del segnale di uscita è pari a V_{DD} (il segnale non viene mai degradato dal circuito). Devo studiare il passaggio dalla situazione A=0 V, B=V_{DD} ($\overline{B}$ =0 V) Y=V_{DD} alla situazione A=V_{DD}, B=V_{DD} ($\overline{B}$ =0 V) Y=0 V. Si tratta pertanto di calcolare il tempo necessario per passare da Y=V_{DD}*0.9=2,97 V (A=0 V, B=V_{DD} ($\overline{B}$ =0 V)) a Y=V_{DD}*0.1=0,33 V (A=V_{DD}, B=V_{DD} ($\overline{B}$ =0 V))

Il circuito da studiare è semplicemente costituito dalla capacità C e dal MOS M2 avente gate a V_{DD} (A) e source a massa ($\overline{B}$ =0 V).

Per $V_{ds}>V_{gs}-V_T$ M2 è sat
$V_Y>V_{DD}-V_T=3.3-0.35=2{,}95$

Allora da 2,97 a 2,95 M2 sat, da 2,95 a 0,33 M2 LIN

Ids=

$$\mathbf{ta} = \int_{\mathrm{vdd}*0.9}^{\mathrm{vdd}-\mathrm{vt}} \frac{-\mathrm{Cy}}{\frac{\mathrm{bn}}{2}\,(\mathrm{vdd}-\mathrm{vt})^2}\,d\mathbf{vu}$$

$$\mathbf{tb} = \int_{\mathrm{vdd}-\mathrm{vt}}^{0.1*\mathrm{vdd}} \frac{-\mathrm{Cy}}{\mathrm{bn}\left((\mathrm{vdd}-\mathrm{vt})\,(\mathrm{vu}) - \frac{(\mathrm{vu})^2}{2}\right)}\,d\mathbf{vu}$$

$$\mathbf{tf} = (\mathbf{ta}+\mathbf{tb})$$

ta= 2.29819×10^{-12} sec

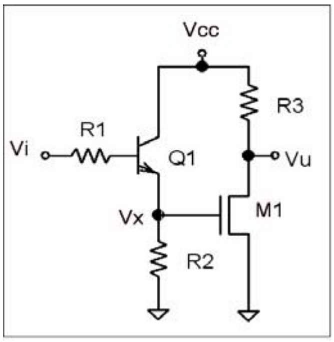
tb= 4.78993×10^{-10} sec

tf= 4.81291×10^{-10} sec

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A

4 LUGLIO 2006

1) Nel circuito in figura, il transistore bipolare può essere descritto da un modello "a soglia" con V_γ=0.75 V e $V_{CE,sat}$=0.2 V, mentre il transistore MOS è caratterizzato dalla tensione di soglia V_{Tn} e dal coefficiente β_n. Si determini il margine d'immunità ai disturbi N_M della rete.



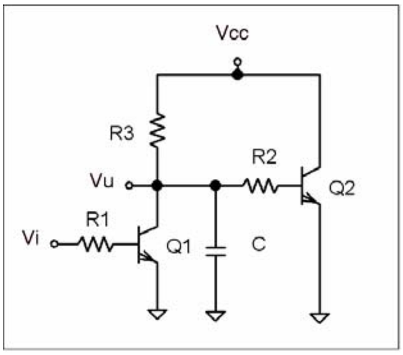
V_{cc} = 5 V, V_{Tn} = 0.55 V, β_n = 1 mA/V^2, β_F=100 , R_1 = 1 kΩ, R_2 = 2 kΩ, R_3 = 15 kΩ.

2) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Il segnale d'ingresso abbia il seguente andamento:

t<0: V_i= 0

t>0: V_i= Vcc

Si calcoli il tempo di propagazione $t_{p,HL}$ relativo al segnale di uscita V_u.



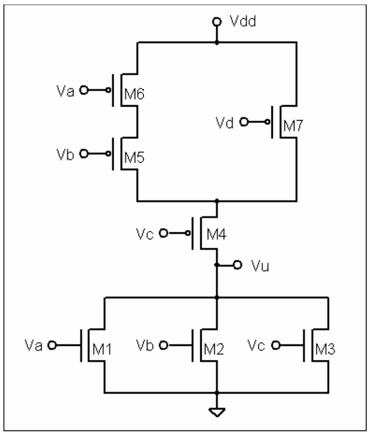
V_{cc} = 5 V, β_F=100, R_1 = 10 kΩ, R_2 = 5 kΩ, R_3 = 1 kΩ, C=100 nF.

3) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia V_{Tn}=-V_{Tp}=V_T e dai coefficienti β_n e β_p.
Si determino β_n e β_p in modo che:

- associando il valore logico "1" ai valori di tensione alti e il valore logico "0" a quelli bassi, la funzione logica realizzata dal circuito sia

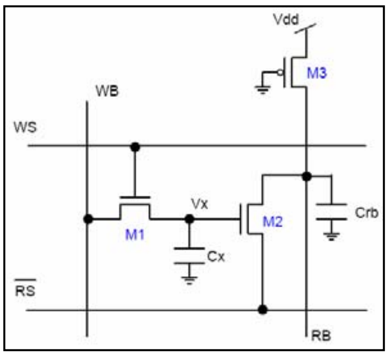
$$U=\overline{(a+b)d+c}\ ;$$

- il valore alto della tensione di uscita sia, in condizioni statiche di caso peggiore, pari a 3.2 V;
- la potenza statica dissipata dal circuito sia, in condizioni di caso peggiore, pari a 3mW.



V_{dd} = 3.5 V, V_T = 0.55 V.

4) Il circuito in figura rappresenta una cella di memoria RAM dinamica. Le linee WS = $\overline{RS}$ sono le abilitazioni in scrittura e lettura: la scrittura avviene per WS=$\overline{RS}$=V_{DD} e la lettura per WS=$\overline{RS}$=0 V. Si determinino i valori di V_x nella fase di scrittura e V_{RB} nella fase di lettura, in condizioni stazionarie, nel caso di valori (rispettivamente scritti o letti) sia alti che bassi.



V_{dd} = 3.3 V, V_{Tn}=|V_{Tp}|=V_T = 0.7 V, β_1=β_2=600 μA/V^2, β_3=140 μA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4
Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

- Esercizio #1

Osservazione preliminari: il transistore Q1 quando ON è sempre in A.D.

Regione 1: Q1off, allora $vx=0$, allora M1 off, allora $vu=vcc$. Si rimane in regione 1 fintantochè Q1 non va on, ovvero per $vi=v\gamma$.

Regione 2: Q1 AD, con $vx<vtn$, quindi M1 ancora off. → $vu=vcc$.
Osservo che la relazione $ie=(\beta f+1)ib$ dove $ie=vx/r2$ e $ib=(vi-(vx+v\gamma))/r1$ equivale a trovare una relazione tra vx e vi che vale sia quando il MOS è ON che OFF, ovvero che :

$$vx = (vi-v\gamma)/(1+r1/r2/(\beta f+1)) = -0.746+0.995\ vi \qquad \text{(eq.1)}$$

Regione 3: Q1 AD e M1 on. M1 andrà on quando $vx>vtn=0.55V$, che sostituendo $vx=0.55V$ nella eq.1, equivale a $vi > 1.303$ V.

M1 ON sse $vx>vtn$, e sarà sat sse $vx<vu+vtn$, mentre lin se $vx>vu+vtn$. Suppongo inizialmente M1 sat, ovvero $vu>0.995\ vi - 1.296$. Cerco il punto a pendenza -1 nella regione 3.

$vx=-0.746+0.995\ vi$ (già dimostrata)

$ir3=(vcc-vu)/r3$
$idM1sat = \beta n/2*(vx-vtn)^2$

Cerco i punti a $dvu/dvi=-1$

$d(idM1sat)/dvi= \beta n/2*2*(vx-vtn)*0.995$
$d(ir3)/dvi=-1/r3*-1$

Ma $idM1sat=ir3$
e $d(idM1sat)/dvi= d(ir3)/dvi$
da cui si ricava che $vu=4.966$ V e ,
$vi=1.37$ V.
Tale coppia di valori soddisfa le HP fatte sulla regione di funzionamento di M1 vu (=4.966 V) > 0.995vi-1.296 (=0.067 V),

Quindi: $V_{OHMIN}=4.966V$, $V_{ILMAX}= 1.37$ V.

Regione 4: Q1 AD e M1 on e lin (M1 lin se $vu<0.995vi-1.296$. Cerco il secondo punto a pendenza –1.

$vx=-0.746+0.995\ vi$ (già dimostrata)

$ir3=(vcc-vu)/r3$
$idM1lin=\beta n*((vx-vtn)*vu-1/2*vu^2)$

Cerco i punti a $dvu/dvi=-1$

$d(idM1lin)/dvi =\beta n(vu*0.995-(vx-vtn)+vu)$
$d(ir3)/dvi=-1/r3*-1$

Ma $idM1lin=ir3$
e $d(idM1lin)/dvi= d(ir3)/dvi$
da cui si ricavano le seguenti coppie di valori (vi, vu):

($vi=0.289$ V, $vu=-0.472$ V) e
($vi=2.182$ V, $vu=0.472$ V).

Delle due soluzioni quella accettabile è la seconda, quindi:

$V_{IHMIN}=2.182$ V , e $V_{OLMAX}=0.472$ V.

Tale coppia di valori soddisfa l'Hp su M1 lin, vu (=0.472) < 0.995vi-1.296 (=0.875 V),

da cui si ricava che:

$NM_H=4.966\ V-2.182\ V= 2.784$ V e
$NM_L=1.37\ V-0.472\ V = 0.898\ V =NM$

- Esercizio #2

Osservazione preliminare: Q2 quando on sempre in AD.

1)t<0, vi=0, suppongo Q1 off e Q2 on in AD. Q1 sarà off fintantoché vi $<v_\gamma$.

.

ir3=(vcc-vu)/r3 ib2=(vu- vγ)/r2	Ma ir3=ib2, da cui si ricava che vu= 4.292 V, quindi Q2 on .

2) Per t -> ∞, vi=vcc, quindi suppongo Q1 on e sat, allora Q2 off. Allora vu=vcesat. Verifico le Hp fatte.

vu=vcesat vi=vcc ib1=(vi-vγ)/r1 ic1=(vcc-vu)/r3	ib1= 0.425 mA ic1= 4.8mA ic1(=4.8mA) <βf*ib1(=42.5mA) è verificata, quindi Q1 è sat.

Il ritardo di propagazione è il tempo necessario al segnale d'uscita vu per compiere l'escursione 4.292 V --> (4.292+0.2)/2 V=2.246 V con vi=vcc.

3) t=0+, vi=vcc, quindi Q1 on in AD e Q2 on in AD. La tensione ai capi del condensatore non cambia rispetto all'istante t=0-. Inizialmente Q1 sarà in AD e Q2 pure, poi Q2 andrà off per vu=vγ (ib2=0), e poi Q1 andrà sat. Durante la transizione vu:4.292 --→2.246 Q1 e Q2 saranno quindi entrambi in AD.	
vi=vcc ir3=(vcc-vu)/r3 ib1=(vi-vγ)/r1 ib2=(vu-vγ)/r2 ir3-βf*ib1-ib2 = C*dvu/dt	$tpHL = \int_{4.292}^{2.246} \frac{C}{ir3 - bf * ib1 - ib2} \, dvu$ ovvero tpHL=4.959 μs.

soluz es 3

vdd=3.5;
vt=0.55;
vux=3.2;
pd=0.003;

il circuito non è un FCMOS; nelle condizioni seguenti sono accesi sia pull-up che pull-down:

c=d=0 a=1 b=1 (1)
c=d=0 a=0 b=1 (2)
c=d=0 a=1 b=0 (3)

La funzione logica richiesta prevede, in queste condizioni, uscita alta. Quindi, sia per quanto riguarda la potenza statica dissipata che la minima tensione di uscita alta, la condizione di caso peggiore è la condizione che prevede il pull-down più efficiente, cioè la (1), cui corrispondono 2 nMOS in parallelo accesi.

In queste condizioni, M1,M2,M4,M7 sono ON, M3,M5,M6 sono OFF, e quindi:

$\beta_{eq,PD}= 2\beta_n$
$\beta_{eq,PU}= \beta_p/2$

vgsn=vdd, vdsn=3.2 V, nMOS sat
vsgp=vdd, vsdp=0.3 V, pMOS lin

idn=$\beta_{eq,PD}$/2(vdd-vt)^2 = 8.7025 β_n
idp=$\beta_{eq,PU}$ ((vdd-vt)(vdd-vux)-(vdd-vux)^2/2) = 0.42 β_p

Imponendo il vincolo sulla potenza dissipata:

idn=pd/vdd

si ricava:
β_n = 98.5 $\mu A/V^2$

e quindi, imponendo idn=idp,

β_p=2.04 mA/V^2

es 4

Fase di SCRITTURA: $WS=\overline{RS}=V_{DD}$

M1 on e M2 OFF ($V_{GS}<V_T$)
Caso WB=0 : in condizioni stazionarie $V_x=0$
Caso WB= V_{DD} : M1 si comporta come un pass transistor pertanto $V_x=V_{DD}-V_T$

Fase di LETTURA: $WS=\overline{RS}=0$

M1 OFF
Se $V_x=0$ allora M2 OFF e $V_{RB}=V_{DD}$
Se $V_x=V_{DD}-V_T$ M2 on e V_{RB} dipende dal dimensionamento di M3 e M2

Regione di funzionamento di M2 e M3:

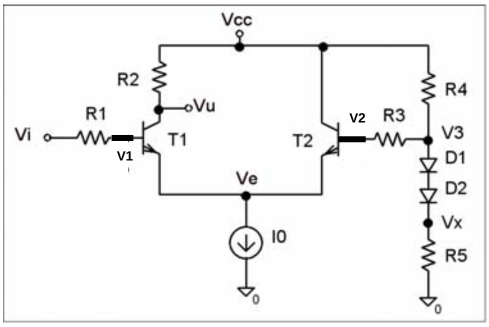
M2: se Vds < Vgs-Vt= Vdd-Vt-Vt= 1.9 V => Vds=V_{RB} supponiamo M2 in LIN
M3: Vsd = Vdd-V_{RB} > Vsg-Vt= Vdd-Vt=2.6 V => supponiamo M3 p.o

$$\beta 2\left((vdd-2\,vt)\,(0.5)-\frac{(0.5)^2}{2}\right)=\frac{\beta 3}{2}\,(vdd-vt)^2$$

al termine del transitorio $V_{RB}=0.49$ V
verifichiamo le ipotesi
M2: Vds=V_{RB}=0.49 V< Vgs-Vt= Vdd-Vt-Vt= 1.9 V allora M2 è effettivamente in LIN
M3: : Vsd = Vdd-V_{RB}=2,81 > Vsg-Vt= Vdd-Vt=2.6 V allora M3 effettivamente in P.O.

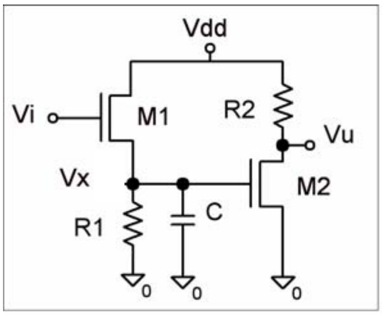
PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A E ELETTRONICA DEI SISTEMI DIGITALI A
2 FEBBRAIO 2006

1) Nel circuito in figura, i diodi e i transistori possono essere descritti da un modello “a soglia”, con V_γ=0.75 V e $V_{CE,sat}$=0.2V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.



V_{cc} = 5 V, β_F= 100, R_1 = 7 kΩ, R_2 = 1.5 kΩ,
R_3 = 100 Ω, R_4 = 10 kΩ, R_5 = 1 kΩ, I_0=0.5 mA.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn1}=V_{Tn1}=V_T$ e dai coefficienti $\beta_1=\beta_2=\beta_n$. Il segnale d’ingresso abbia il seguente andamento:

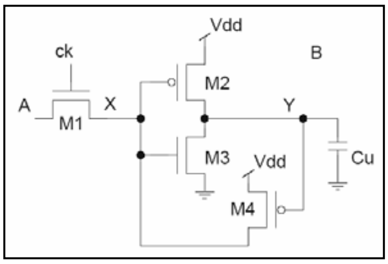


t<0: V_i= 0
t>0: V_i= Vdd

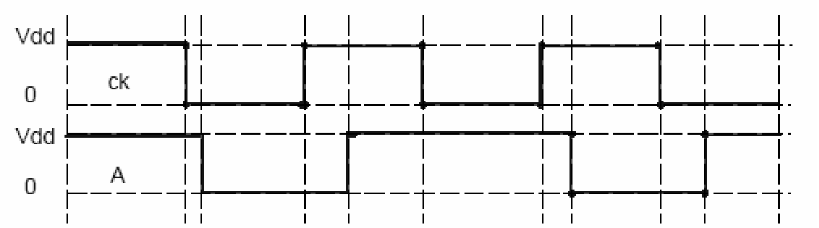
Si calcoli il tempo di propagazione $t_{p,HL}$ (relativo al segnale di uscita V_u).

V_{dd} = 3.5 V, V_T = 0.5 V, β_n= 2 mA/V^2 , R_1 = 8 kΩ, R_2 = 5 kΩ, C=10 pF.

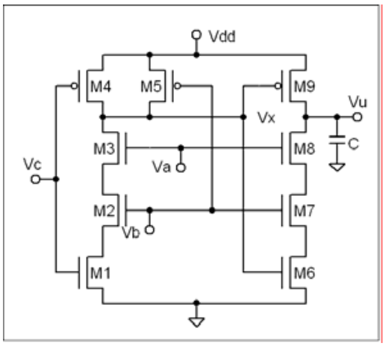
3) Nel circuito in figura i transistori MOS sono caratterizzati dai coefficienti β_n e β_p. Si tracci l’andamento qualitativo dei segnali V_X e V_Y nell’intervallo in figura e si calcoli il tempo di discesa associato al segnale V_Y. Per semplicità, si supponga che i transistori M1 e M4 non introducano ritardi nella propagazione del segnale (risposta istantanea).

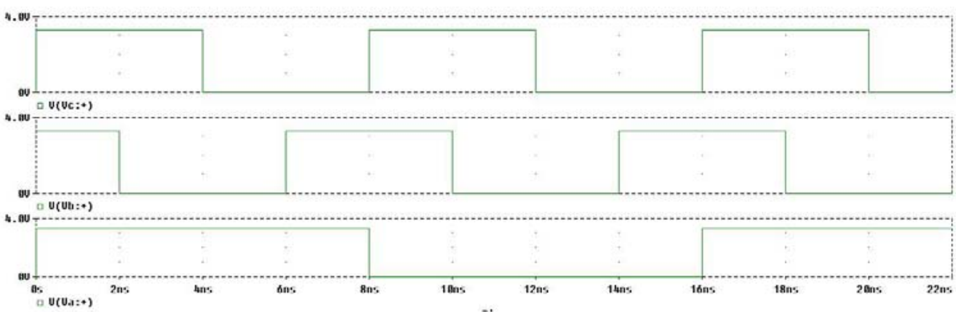


V_{DD} = 3.5 V, βp = 80 μA/V^2, βn = 50 μA/V^2, V_{Tn} = 0.5 V, $|V_{Tp}|$ = 0.4 V, C_u =10 fF



4) Nel circuito in figura i transistori MOS sono caratterizzati dai coefficienti $\beta_n = \beta_p$ e dalle tensioni di soglia Vtn=|Vtp|. I segnali periodici di ingresso Va, Vb e Vc abbiano gli andamenti riportati in figura.





Si determini l’andamento del segnale $V_u(t)$ nel periodo [0,16ns], **<u>considerando la presenza di correnti di perdita</u>** nei transistori M5, M6, M7 e M8. Per semplicità, si assimili a questo fine il bipolo drain-source di ciascuno di tali transistori a un resistore avente resistenza nulla (se “acceso”) o pari a 10 MΩ (se “spento”).

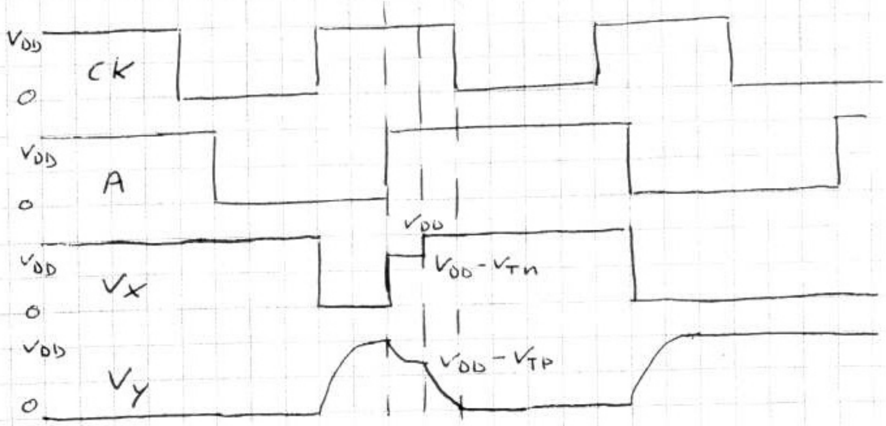
V_{DD} = 3.3 V, C =3 fF

Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4
Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L’elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Esercizio N. 3 2/2/06

Andamento qualitativo dei segnali V_x e V_y



tempo di discesa [escursione logica $V_{DD} \to 0$]

durante il transitorio di discesa:

$CK = 1 \Rightarrow M1 \text{ ON} \Rightarrow V_x = V_{DD} - V_{Tn} \Rightarrow M3 \text{ ON}$

$M4$ OFF si accende per $V_y = V_{DD} - V_{TP}$

$M3$ SAT se $V_y > V_x - V_{Tn} = V_{DD} - V_{Tn} - V_{Tn} = V_{DD} - 2V_{Tn} = 2.5\,V$

1° tratto M3 SAT $(0.9 V_{DD} \to V_{DD} - V_{TP})$

$$t_1 = \int_{0.9 V_{DD} = 3.15}^{V_{DD} - V_{TP} = 3.1} - \frac{C_Y}{\frac{\beta_n}{2}\left(V_{DD} - V_{Tn} - V_{Tn}\right)^2}\, dV_Y = 3.2\ ps$$

2° tratto $(V_{DD} - V_{TP} \to V_{DD} - V_{Tn})$ $V_{DD} - V_{TP} = 3.1\,V$

$M4$ si accende $\Rightarrow V_x = V_{DD}$ istantaneamente

$M3$ SAT se $V_Y > V_{DD} - V_{Tn} = 3\,V \Rightarrow M3$ SAT

$$t_2 = \int_{V_{DD} - V_{TP}}^{V_{DD} - V_{Tn}} - \frac{C_Y}{\frac{\beta_n}{2}\left(V_{DD} - V_{Tn}\right)^2}\, dV_Y = 4.44\,pS$$

3° tratto $(V_{DD} - V_{Tn} \to 0.1\, V_{DD})$ M3 LIN

$$t_3 = \int_{V_{DD} - V_{Tn}}^{0.1\, V_{DD}} - \frac{C_Y}{\beta_n\left[\left(V_{DD} - V_{Tn}\right)V_Y - \frac{V_Y^2}{2}\right]}\, dV_Y = 185.43\ pS$$

$$t_f = t_1 + t_2 + t_3 = 193.07\ pS$$

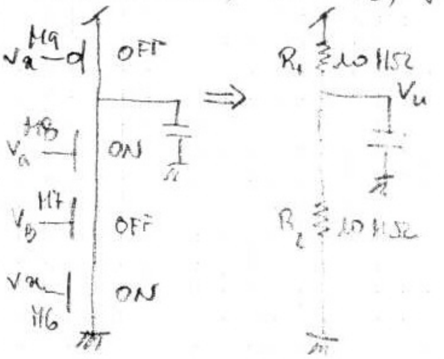
2/2/06 es. 4

$0 < t < 2ms$ $\quad V_A = V_B = V_C = V_{DD}$

M1, M2, M3 ON, M4 OFF $\rightarrow V_x = 0 \rightarrow$ M9 ON, M6 OFF $\rightarrow V_u = V_{DD}$ (a)

$2ms < t < 4ms$ $\quad V_A = V_C = V_{DD}, V_B = 0$

M1 OFF, M2 OFF, M5 ON $\rightarrow V_x = V_{DD} \rightarrow$ M9 OFF, M7 OFF $\rightarrow V_u$ alta impedenza.
Inizialmente, $V_u = V_{DD}$, poi si scarica a causa delle correnti di perdita:



$$\frac{V_{DD}-V_u}{R_1} - \frac{V_u}{R_2} = C\frac{dV_u}{dt} \rightarrow C\frac{dV_u}{dt} + V_u\left(\frac{1}{R_1}+\frac{1}{R_2}\right) = \frac{V_{DD}}{R_1}$$

$$\rightarrow V_u(t) = A\, e^{-\frac{2t}{RC}} + B$$

$$\left.\begin{aligned} V_u(0) &= A + B = V_{DD} \\ V_u(t\to\infty) &= B = V_{DD}\cdot\frac{1}{R_1\left(\frac{1}{R_1}+\frac{1}{R_2}\right)} = \frac{V_{DD}}{2} \end{aligned}\right\} \rightarrow A = V_{DD} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2}$$

$$\rightarrow V_u(t) = \frac{V_{DD}}{2}\left(1 + e^{-2t/RC}\right) \rightarrow t = t_0 + 2ms \rightarrow V_u = 3.094\,V \quad (t = 4ms) \text{ (b)}$$

$4ms < t < 6ms$ $\quad V_A = V_{DD}, V_B = V_C = 0$

M4 ON, M2, M1 OFF; M5 ON $\rightarrow V_x = V_{DD} \rightarrow$ identico al caso precedente:

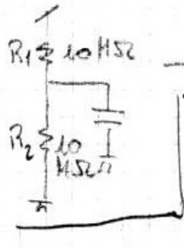
$\rightarrow \dots \rightarrow V_u(6ms) = 2.914\,V$ (c)

$6ms < t < 8ms$ $\quad V_A = V_B = V_{DD}, V_C = 0$

M1 OFF, M2 ON, M3 ON, M5 OFF, M4 ON $\rightarrow V_x = V_{DD} \rightarrow M_6$ ON, M_9 OFF, M_7 ON, M_8 ON $\rightarrow V_u = 0$ (d)

$8ms < t < 10ms$ $\quad V_A = 0, V_B = V_C = V_{DD}$

M1 ON, M2 ON, M3 OFF, M4 OFF, M5 OFF $\rightarrow V_x$ alta impedenza $\rightarrow V_x = V_{DD} \rightarrow$ M9 OFF, M6 ON, M7 ON, M8 OFF
$\rightarrow V_u$ alta impedenza: inizialmente $V_u = 0$, poi:

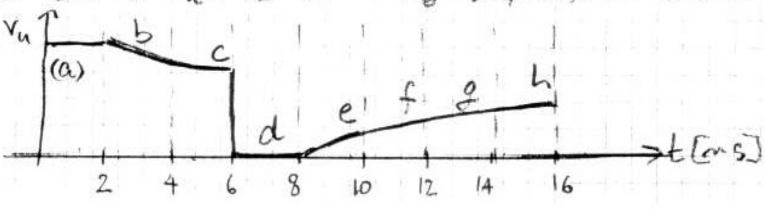


$\rightarrow \dots \rightarrow V_u(10ms) = 0.206\,V$ (e)

$10ms < t < 12ms$ $\quad V_A = V_B = 0, V_C = V_{DD} \rightarrow$ M1 ON, M2 OFF, M_3 OFF, M_4 OFF, M5 ON $\rightarrow V_x = V_{DD}$
$\rightarrow$ M9 OFF, M8 ON, M7 OFF, M6 ON $\rightarrow$ identico al precedente $\rightarrow \dots \rightarrow V_u(12ms) = 0.386\,V$ (f)

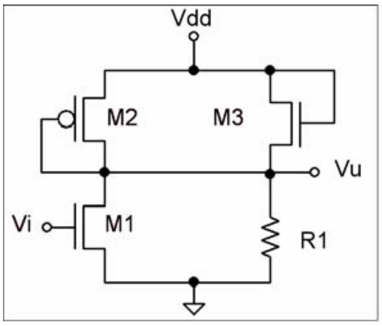
$12ms < t < 14ms$ $\quad V_A = V_B = V_C = 0 \rightarrow$ M1, M2, M3 OFF, M_4 M_5 ON $\rightarrow V_x = V_{DD}$
$\rightarrow$ M6 ON, M7, M8 OFF, M9 OFF $\rightarrow$ analogo, ma con $R_2 = 20\,M\Omega \rightarrow \dots \rightarrow V_u(14ms) = 0.559\,V$ (g)

$14ms < t < 16ms$ $\quad V_A = V_C = 0, V_B = V_{DD} \rightarrow \dots \rightarrow V_x = V_{DD} \rightarrow \dots \rightarrow M_6$ ON, M_7 ON, M8 OFF, M9 OFF
$\rightarrow$ analogo ($R_2 = 10\,M\Omega$)
$\rightarrow V_u(16ms) = 0.695\,V$ (h)



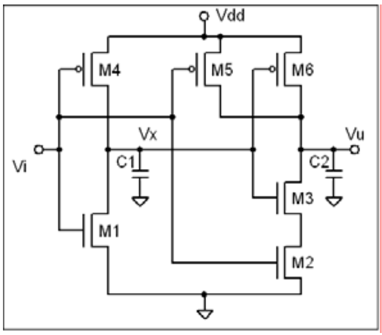
PROVA SCRITTA DI ELETTRONICA
19 LUGLIO 2007

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=V_{Tn1}=V_{Tn3}$ e V_{Tp} e dai coefficienti β_{n1}, β_{n3} e β_{p2}.
β_{p2} è determinato in modo tale che la potenza statica dissipata dal circuito in corrispondenza della tensione d'ingresso Vi=0 V sia pari a 1.2 mW.
Si determinino i margini d'immunità ai disturbi (N_{MH} e N_{ML}) della rete.



V_{dd} = 3.5 V, V_{Tn} = 0.5 V, $|V_{Tp}|$=0.6 V, β_{n1}= 2.5 mA/V^2, β_{n3}= 0.3 mA/V^2, R1=5 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_i.
Il segnale di ingresso V_i è periodico, con periodo di 4 ns e duty-cycle del 50%.
Assimilando il transitorio di uscita del primo stadio ad una transizione istantanea di Vx ritardata di un valore pari al tempo di propagazione relativo, si determini l'andamento del segnale di uscita Vu(t), calcolando in particolare il valore minimo raggiunto dalla tensione Vu.



V_{dd} = 3.3 V, C1= 0.3 pF, C2=30 fF, V_T= 0.4 V, β_1=600µA/V^2, $\beta_2=\beta_3$=400µA/V^2, β_4=400µA/V^2 , $\beta_5=\beta_6$=300µA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 17-07-2007 - Esercizio #1

Osservazioni preliminari: M2 e M3 quando ON sono entrambi saturi, rispettivamente sse vu<vdd-vtp=2.9 V e vu<vdd-vtn=3.0 V.

Dimensionamento di β_{p2}. Per vi=0 V, M1 è OFF, mentre M2 e M3 sono ON e SAT (da verificare).	
idp2sat=β_{p2}/2(vdd-vu-vtp)^2 idn3sat=β_{n3}/2(vdd-vu-vtn)^2 ir1=vu/r1	Ma (idp2sat+idn3sat)*vdd=Pdiss e ir1= idp2sat+ idn3sat da cui si ricava che vu= 1.714 V e β_{p2}= 0.135mA/V^2. Il valore di vu trovato verfica le HP su M2 e M3.

Regione 1: vi<vtn, allora M1 OFF. M2 e M3 on e sat.

Si rimane in regione 1 fintantochè M1 non va on, ovvero per vi>vtn.	
idp2sat=β_{p2}/2(vdd-vu-vtp)^2 idn3sat=β_{n3}/2(vdd-vu-vtn)^2 ir1=vu/r1	Ma idp2sat+idn3sat=ir1 da cui si ricava che vu= 1.714 V o vu=5.143 V. La soluzione accettabile è vu= 1.714 V, che verifica le Hp di funzionamento di M2 e M3.

Regione 2: vi>vtn, quindi M1 ON e SAT se vu>vi-vtn (da vericare), e M2 e M3 on e sat.

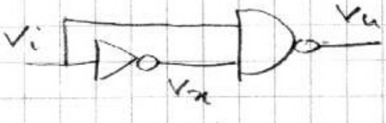
Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).	
idn1sat=β_{n1}/2(vi-vtn)^2 idp2sat=β_{p2}/2(vdd-vu-vtp)^2 idn3sat=β_{n3}/2(vdd-vu-vtn)^2 ir1=vu/r1 d(ir1)/dvi=-1/r1 d(idn1sat)/dvi= β_{n1}/2*2*(vi-vtn) d(idp2sat)/dvi= β_{p2}/2*2(vdd-vu-vtp) d(idn3sat)/dvi=β_{n3}/2*2(vdd-vu-vtn)	Ma idp2sat + idn3sat = idn1sat + ir1 d(idp2sat)/dvi + d(idn3sat)/dvi = d(idn1sat)/dvi + d(ir1)/dvi Risolvendo si ricavano le seguenti coppie di valori (vi, vu): (vi= 0.172 V, vu= 5.315 V) e , (vi= 0.828 V, vu= 1.542 V). Delle due soluzioni quella accettabile è la seconda, quindi: V_{0HMIN}=1.542V, e V_{ILMAX}=0.828 V. Tale coppia di valori soddisfa l'Hp di saturazione di M1 [vu (=1.542) > vi-vtn (=0.328 V)] , M2 e M3.

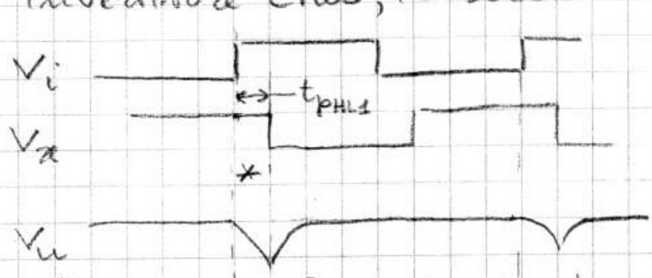
Regione 3: vi>vtn, quindi M1 ON e LIN se vu<vi-vtn (da vericare), e M2 e M3 on e sat.

Cerco se in questa regione esistono punti della caratteristica statica di trasferimento a pendenza –1 (cioè cerco i punti tali che dvu/dvi=-1).	
idn1lin=β_{n1}((vi-vtn)*vu-1/2*vu^2) idp2sat=β_{p2}/2(vdd-vu-vtp)^2 idn3sat=β_{n3}/2(vdd-vu-vtn)^2 ir1=vu/r1 d(ir1)/dvi=-1/r1 d(idn1lin)/dvi= β_{n1}*(vu-1*(vi-vtn)-1/2*2*vu*-1) d(idp2sat)/dvi= β_{p2}/2*2(vdd-vu-vtp) d(idn3sat)/dvi=β_{n3}/2*2(vdd-vu-vtn) Ma idp2sat + idn3sat = idn1lin + ir1 d(idp2sat)/dvi + d(idn3sat)/dvi = d(idn1lin)/dvi + d(ir1)/dvi da cui si ricavano le seguenti coppie di valori (vi,vu):	(vi=-1.608 V, vu=–0.695 V) e (vi=1.415 V, vu=0.695 V). Delle due soluzioni quella accettabile è la seconda, quindi: V_{IHMIN}=1.415 V, e V_{OLMAX}=0.695 V. Tale coppia di valori soddisfa l'Hp di saturazione di M1 [vu (=0.695) < vi-vtn (=0.915 V)] , M2 e M3. Si ricava allora che: NM_H=1.542 V-1.415 V=0.127 V (=NM) e NM_L=0.828 V-0.695 V = 0.133V .

19/7/07 es. 2

Il primo stadio è un invertitore CMOS, il secondo un NAND CMOS.



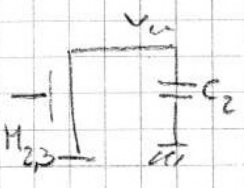


nell'intervallo *, l'uscita tende a portarsi al valore basso (ALEA)
L'intervallo ha ampiezza pari al tempo di propagazione dell' invertitore, che si calcola nella maniera abituale:

$$t_{PHL1} = \dots = 206.6 \text{ ps}$$

Nelle approssimazioni assunte, in tale intervallo la capacità C_2 si scarica attraverso la serie di M2 e M3, con $\beta_{23} = \frac{\beta_2}{2} = 200 \mu A/V^2$

Il transitorio si compone di due parti; inizialmente M23 è saturo:



$$-C_2 \frac{dV_u}{dt} = \frac{\beta_{23}}{2}(V_{DD} - V_T)^2$$

$$\rightarrow \int_0^{t_{SAT}} dt = -\frac{2C}{\beta_{23}(V_{DD}-V_T)^2} \cdot \int_{V_{DD}}^{V_{DD}-V_T} dV_u \rightarrow t_{SAT} = 4.76 \text{ ps}$$

quindi M_{23} entra in regione lineare e, al tempo t_{PLH1}, V_u raggiunge il suo valore minimo:

$$\int_{t_{SAT}}^{t_{PHL1}} dt = \int_{V_{DD}-V_T}^{V_{uMIN}} \frac{-C}{\beta_{23}\left[(V_{DD}-V_T)V_u - \frac{V_u^2}{2}\right]} dV_u$$

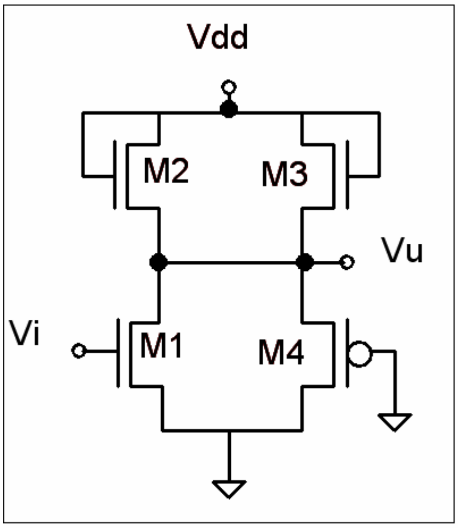
$$t_{PHL1} - t_{SAT} = \frac{2C}{\beta_{23}} \frac{1}{2(V_{DD}-V_T)} \ln \frac{V_{uMIN} - 2(V_{DD}-V_T)}{V_{uMIN}} \cdot \frac{V_{DD}-V_T}{V_{DD}-V_T-2(V_{DD}-V_T)}$$

$$\rightarrow \dots \rightarrow V_{uMIN} = 1.3 \text{ V}.$$

PROVA SCRITTA DI ELETTRONICA
15 FEBBRAIO 2007

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn1}= V_{Tn2}= V_{Tn3}=|V_{Tp4}|=V_T$ e dai coefficienti β_{n1}, $\beta_{n2}=\beta_{n3}$, β_{p4}.
Si determinino β_{n1} e $\beta_{n2}=\beta_{n3}$ in modo che:

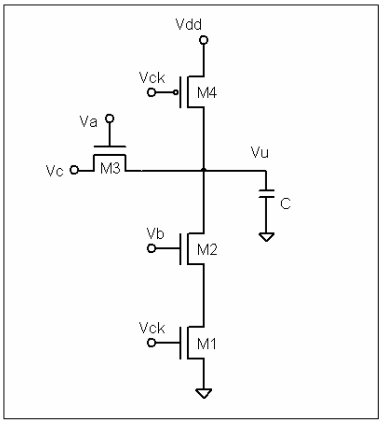
- La tensione di soglia logica V_{LT} del circuito sia uguale a 1.55 V;
- Il valore basso V_L dell'uscita V_U sia pari a 630 mV.

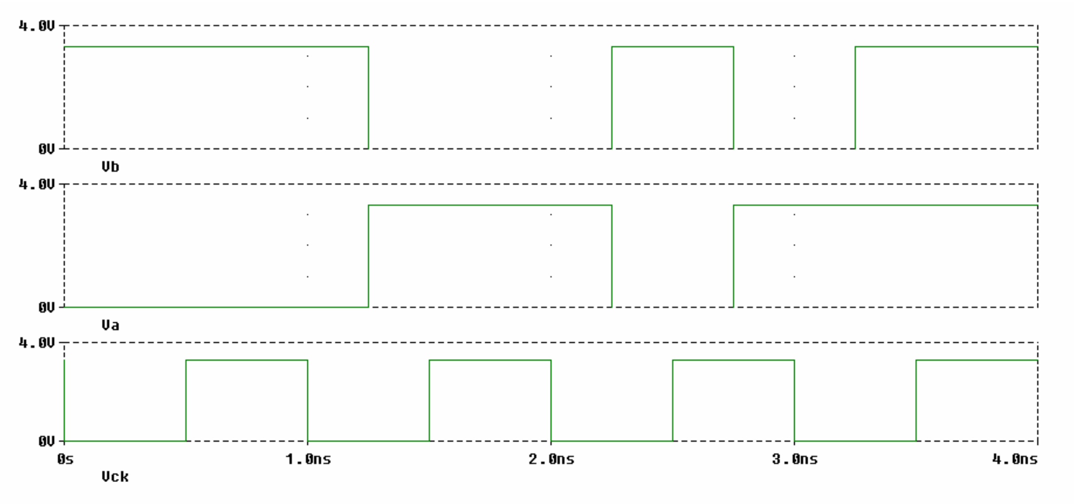


Si determini, quindi, l'escursione logica del circuito e il valore della potenza massima dissipata dallo stesso in condizioni stazionarie.

V_{dd} = 3.5 V, V_T= 0.5 V, β_{p4} = 0.5 m A/V^2.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dai coefficienti β_n e β_p e dalle tensioni di soglia $V_{TN}=|V_{TP}|=V_T$. Il segnale di clock V_{CK} e i segnale di ingresso V_a e V_b abbiano l'andamento illustrato dalla figura sottostante. Il segnale V_c sia costante e pari a V_{dd}.
Si calcoli l'andamento del segnale di uscita V_u, calcolando, per ogni transitorio nell'intervallo analizzato, l'effettiva escursione del segnale ed il tempo di propagazione relativo.
V_{dd} = 3.3 V, V_T= 0.4 V, β_n= 500 μA/V^2,
β_p= 300 μA/V^2, C =20 fF.





Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 15-02-2007 - Esercizio #1

OSS. PRELIMINARI:

(I) M2 e M3 sono OFF (sse vu>vdd-vt) , altrimenti sono sempre SAT (per vu<vdd-vt, poiché $V_{gs}=V_{ds}$). Al fine del calcolo della corrente, i MOS M2 e M3 sono equivalenti ad un unico MOS caratterizzato da un coefficiente $\beta_{eq}= 2\beta_{n2} = 2\beta_{n3}$.

(II) M4 è OFF per vu<vt, altrimenti è SAT (per vu>vt, poiché poiché $V_{sg}=V_{sd}$)

Calcolo dei coefficienti β_{n1} e $\beta_{n2}=\beta_{n3}$.

▪ Alla soglia logica , per vi=vu=v_{LT} , M1 è sat, M2 e M3 sono sat e M4 è sat.	1) Il bilancio delle correnti è allora il seguente: β_{eq}/2*(vdd- v_{LT} -vt)^2=β_{n1}/2*(v_{LT} -vt)^2+β_{p4}/2*(v_{LT} -vt)^2

▪ Quando vi è basso, M1 è OFF e vu=v_H, mentre quando vi è alto M1 è ON. Con M1 ON, in corrispondenza di vi=vdd, si avrà vu=v_L.	Ipotesi: M1 lin (sse vu<vi-vt(=vdd-vt)); M2 e M3 saturi (sse vu<vdd-vt) e M4 saturo (sse vu>vt). Ma vu=v_L=630mV, quindi le hp sono tutte soddisfatte. 2) Il bilancio delle correnti è allora il seguente (con vu=v_L): β_{eq}/2*(vdd- v_L -vt)^2=β_{n1}((vdd-vt)*v_L-v_L^2/2)+β_{p4}/2*(v_L -vt)^2

▪ Risolvendo il sistema formato dalle equazioni 1) e 2) si ottiene:	β_{n1}= 3.345 mA/V^2, e β_{eq}=2.016 mA/V^2, quindi $\beta_{n2} = \beta_{n3} = \beta_{eq}/2 \approx 1$ mA/V^2.

Calcolo dell'escursione logica:

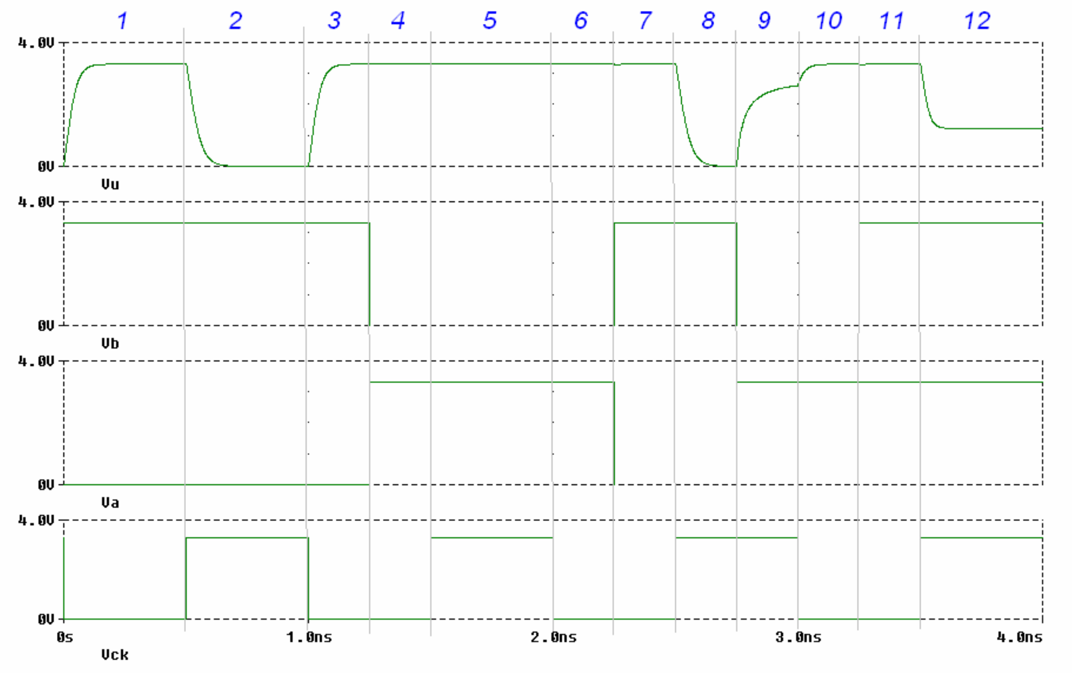
▪ vu=v_H si ottiene con vi=0 V. Ipotesi: M1 OFF; M2 e M3 saturi (sse vu<vdd-vt) e M4 saturo (sse vu>vt).	▪ Il bilancio delle correnti è allora il seguente (con vu=v_L): β_{eq}/2*(vdd- v_H -vt)^2=β_{p4}/2*(v_H -vt)^2 , da cui si ricava che V_H= 2.169 V (valore che soddisfa tutte le Hp fatte). L'escursione logica vale allora: v_H-v_L=1.539 V

Calcolo della massima potenza statica dissipata dal circuito.

P_{diss}=vdd*(Id_{M2}+Id_{M3})=vdd*(Id_{Meq})=vdd*β_{eq}/2*(vdd-vu-vt)^2, e sarà max per vu=v_L=0.630V. $P_{dissmax}$(vu=v_L)=19.8 mW

Compito del 15-02-2007 – Soluzione Esercizio #2

L'andamento di Vu è riportato nella figura sottostante, nella quale sono numerati i diversi intervalli di funzionamento:



Intervallo 1: $V_{ck}=0$, $V_a=0$, $V_b=V_{dd}$, $V_c=V_{dd}$ $\Rightarrow$ M1 off, M2 on, M3 off, M4 on $\Rightarrow$ $V_u=V_{dd}$

Intervallo 2: $V_{ck}=V_{dd}$, $V_a=0$, $V_b=V_{dd}$, $V_c=V_{dd}$ $\Rightarrow$ M1 on, M2 on, M3 off, M4 off $\Rightarrow$ $V_u=V_{dd}\rightarrow 0$: la scarica avviene tramite la serie di M1 e M2, con tempo di propagazione pari a 33 ps

Intervallo 3: $V_{ck}=0$, $V_a=0$, $V_b=V_{dd}$, $V_c=V_{dd}$ $\Rightarrow$ M1 off, M2 on, M3 off, M4 on $\Rightarrow$ $V_u=0\rightarrow V_{dd}$: carica attraverso M4, con tempo di propagazione pari a 27.5 ps

Intervallo 4: $V_{ck}=0$, $V_a= V_{dd}$, $V_b=0$, $V_c=V_{dd}$ $\Rightarrow$ M1 off, M2 off, M3 off, M4 on $\Rightarrow$ $V_u=V_{dd}$
(M3 off perché $V_{g3}=V_{s3}=V_{d3}=V_{dd} \Rightarrow V_{gs3}=0<V_T$)

Intervallo 5: $V_{ck}= V_{dd}$, $V_a= V_{dd}$, $V_b=0$, $V_c=V_{dd}$ $\Rightarrow$ M1 on, M2 off, M3 off, M4 off $\Rightarrow$ $V_u=V_{dd}$ (alta imp.)

Intervallo 6: $V_{ck}=0$, $V_a= V_{dd}$, $V_b=0$, $V_c=V_{dd}$ $\Rightarrow$ M1 off, M2 off, M3 off, M4 on $\Rightarrow$ $V_u=V_{dd}$ (analogo a 4)

Intervallo 7: $V_{ck}=0$, $V_a=0$, $V_b= V_{dd}$, $V_c=V_{dd}$ $\Rightarrow$ M1 off, M2 on, M3 off, M4 on $\Rightarrow$ $V_u=V_{dd}$

Intervallo 8: $V_{ck}=V_{dd}$, $V_a=0$, $V_b=V_{dd}$, $V_c=V_{dd}$ $\Rightarrow$ M1 on, M2 on, M3 off, M4 off $\Rightarrow$ $V_u=V_{dd}\rightarrow 0$ (transitorio identico al caso 2, con tempo di propagazione pari a 33 ps)

Intervallo 9: $V_{ck}=V_{dd}$, $V_a= V_{dd}$, $V_b=0$, $V_c=V_{dd}$ $\Rightarrow$ M1 on, M2 off, M3 on, M4 off $\Rightarrow$ $V_u=0\rightarrow V_{dd}-V_T$: carica attraverso M3 (sempre saturo: $V_{ds}=V_{gs}=V_{dd}$) con tempo di propagazione pari a 27.6 ps

Intervallo 10: $V_{ck}=0$, $V_a= V_{dd}$, $V_b=0$, $V_c=V_{dd}$ $\Rightarrow$ M1 off, M2 off, M3 on$\rightarrow$off, M4 on $\Rightarrow$ $V_u=V_{dd}-V_T\rightarrow V_{dd}$: carica attraverso M4 (sempre lineare) con tempo di propagazione pari a 16.8 ps.

Intervallo 11: $V_{ck}=0$, $V_a=V_{dd}$, $V_b= V_{dd}$, $V_c=V_{dd}$ $\Rightarrow$ M1 off, M2 on, M3 off, M4 on $\Rightarrow$ $V_u=V_{dd}$

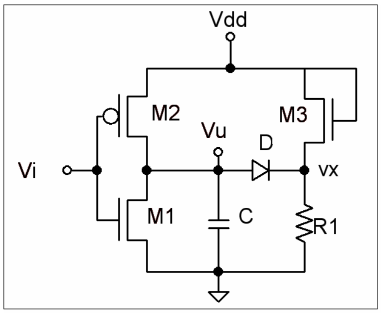
Intervallo 12: $V_{ck}= V_{dd}$, $V_a=V_{dd}$, $V_b= V_{dd}$, $V_c=V_{dd}$ $\Rightarrow$ M1 on, M2 on, M3 off$\rightarrow$on, M4 off $\Rightarrow$ $V_u=V_{dd}\rightarrow$?
V_u comincia a scaricarsi tramite la serie M1 e M2: fino a che $V_u> V_{dd}-V_T$ M1+M2 sat, M3 off, il transitorio richiede 7.6 ps. Per $V_u< V_{dd}-V_T$, è attiva sia una rete di pull-up (M3, sat) che di pull-down (M1+M2, lin). La tensione di regime si calcola uguagliando le due correnti:
$Id_{1,2,\,lin}=I_{d3,sat} \Rightarrow \ldots \Rightarrow V_u=V_{fin}=1.22$ V.
Il contributo al tempo di propagazione va quindi calcolato per Vu: $V_{dd}-V_T \rightarrow (V_{dd}+ V_{fin})/2$, con

$C\, dVu/dT=I_{d3,sat}-I_{d1,2,lin}$

Integrando, si ottiene un contributo di 12.8 ps, che sommato al precedente, porta a un tempo di propagazione pari a 20.4 ps.

PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A
14 GIUGNO 2007

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_T = V_{Tn1} = |V_{Tp2}| = V_{Tn3}$ e dai coefficienti β_1, β_2 e β_3. Il diodo può essere descritto da un modello "a soglia", con V_γ=0.75 V. Il segnale d'ingresso abbia il seguente andamento:

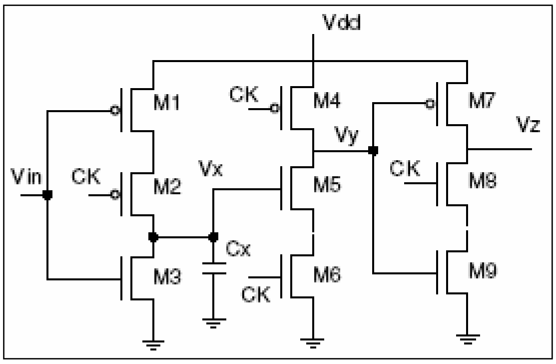


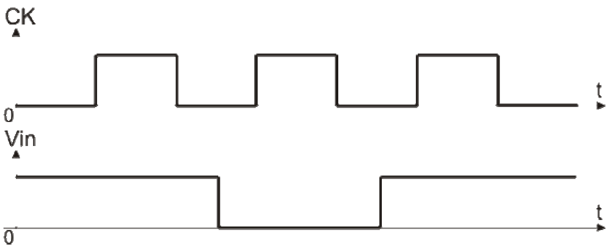
t<0: V_i= 0

t>0: V_i= Vdd

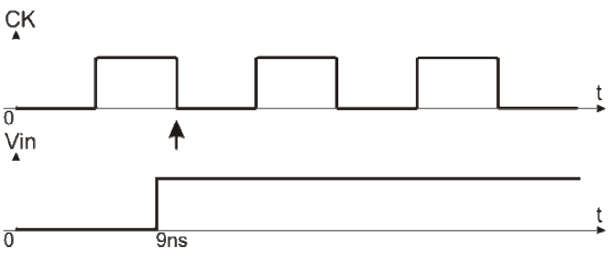
Si calcoli il tempo di propagazione $t_{p,HL}$ relativo al segnale di uscita V_u.
V_{dd} = 3.5 V, V_T = 0.6 V, β_1 = 1 mA/V^2, β_2 = 0.5 mA/V^2, β_3 = 0.3 mA/V^2 ,R_1= 500 Ω, C=10 nF.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_n e β_p. Il segnale di clock (CK) e il segnale di ingresso Vin abbiano l'andamento illustrato qui sotto.
a) Si determini l'andamento qualitativo dei segnali Vx, Vy e Vz nell'intervallo di figura nell'ipotesi che il periodo del segnale di clock sia sufficientemente lungo da permettere l'esaurirsi di ogni transitorio. Si identifichino con chiarezza le situazioni di segnale in alta impedenza.





b) Supponendo successivamente l'andamento dei segnali di ingresso riportato nella figura sottostante, si determini il valore di tensione raggiunto dal segnale Vx nell'istante evidenziato, al termine del periodo di clock .



V_{dd} = 3.3 V, V_T= 0.4 V, β_n= 0.5 mA/V^2, β_p= 0.3 mA/V^2, C_x =0.8 pF, f_{CK}=100 MHz

---

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 14-06-2007 - Esercizio #1

Osservazione preliminare: M3 quando ON è SAT (sse vt<vgs<vds+vt), ovvero vx<vdd-vt=2.9V.

1)t<0, vi=0, allora M1 off.

Suppongo M2 on e lin, quindi con vu>vt (da verificare), D on e M3 on e sat (sse vx<2.9 V, da verificare). Calcolo di vu(t<0).

idp2lin=β_2 ((vdd-vt)(vdd-vu)-1/2*(vdd-vu)^2)
idn3sat=β_3/2(vdd-vx-vt)^2
ir1=vx/r1
vx=vu-v_γ
Ma idp2lin+idn3sat=ir1
Risolvendo si trovano le soluzioni seguenti:
vu=1.849 V oppure vu=-29.799 V.

Quella accettabile è la prima, e le Hp di linearità di M2 (vu>vt) e di saturazione di M3 (vx (=1.099 V) <2.9 V) sono entrambe verificate, quindi vu(t<0)= 1.849 V.

2) Per t -> ∞, vi=vdd allora M2 off, M1 on e per hp lin (sse vu<vdd-vt=2.9V), e D off (sse vu-vx<v_γ, hp da verificare) e M3 on e sat (sse vdd-vx>vt, hp da verificare).

La corrente su C vale 0, e quella su M1 vale 0, idn1=β_1((vdd-vt)vu-1/2*vu^2)=0, quindi vu=0V per t -> ∞, e la hp fatta su M1 è soddisfatta.
Si deve calcolare vx:

idn3sat=β_3/2(vdd-vx-vt)^2
ir1=vx/r1

Ma
idn3sat=ir1

Risolvendo si trovano le soluzioni seguenti:
vx=0.45 V oppure vx=18.683 V.

vx=0.45 V verifica l'hp su M3 (vx<2.9 e su D vu-vx(=-0.45V) <v_γ.

3) t=0+, vi=vdd, quindi M1 on, M2 off, e la tensione ai capi del condensatore non cambia rispetto all'istante t=0-, quindi vc(t=0+)=1.849V. M1 è lin per vu<vdd-vt=2.9V, quindi M1 sarà lin durante tutto il transitorio. Il diodo inizialmente è on, poi ad un certo istante andrà off. Quando ciò avviene M3 sarà sempre on e sat, e idm3sat=ir1 (quindi vx=0.45V) con vx=vu-v_γ, quindi vu=0.45+0.75=1.2 V.

Il tphl è il tempo che il segnale d'uscita impiega per compiere il 50% della transizione totale a partire dal valore iniziale Vu(iniziale)=1.849V, Vu(finale)=0, quindi per passare da 1.849V a (1.849+0)/2=0.9245V.
I tratto transitorio: 1.2<vu<1.849 : M1 lin, M2 off, D on, M3 sat:

idn3sat=β_3/2(vdd-vx-vt)^2
idn1lin=β_1((vdd-vt)*vu-vu^2/2)
vx=vu-v_γ
ir1=vx/r1
-Cdvu/dt= -idn3sat+idn1lin+ir1

$$\mathbf{tplh1} = \int_{1.849}^{1.2} \frac{-\mathbf{C}}{-\mathbf{idn3sat} + \mathbf{idn1lin} + \mathbf{ir1}}\, d\mathbf{vu} = \mathbf{1.637\ \mu s}$$

II tratto transitorio: 0.9245<vu<1.2 : M1 lin, M2 off, D off, M3 sat:

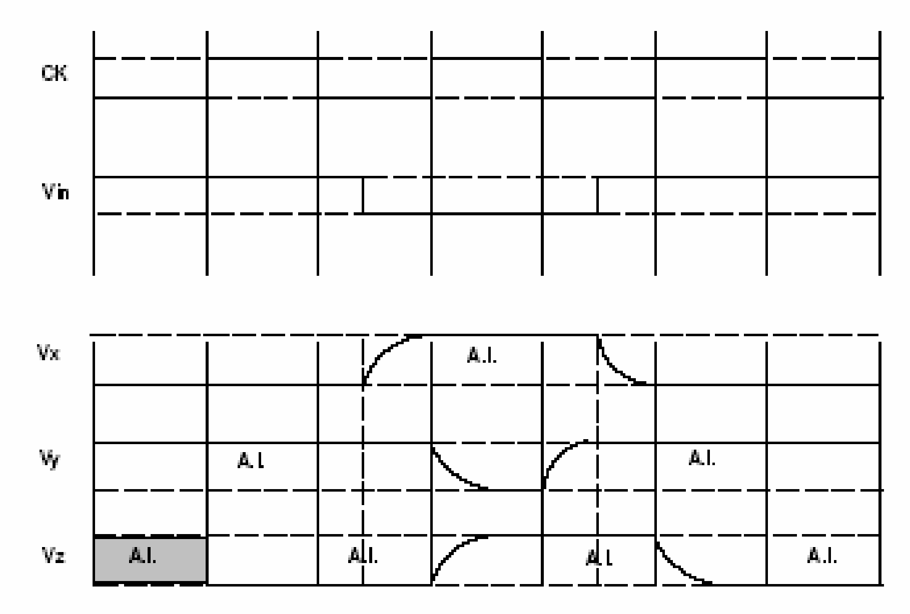
idn1lin=β_1((vdd-vt)*vu-vu^2/2)
-Cdvu/dt= idn1lin

$$\mathbf{tplh2} = \int_{1.2}^{0.9245} \frac{-\mathbf{C}}{\mathbf{idn1lin}}\, d\mathbf{vu} = \mathbf{1.1\ \mu s}$$

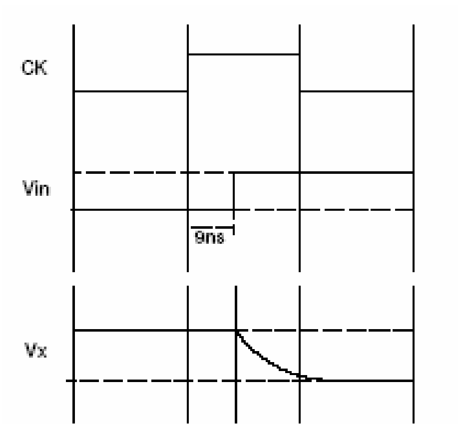
tphl=tphl1+tphl2=2.737 μs.

Compito del 14-06-2007 - Esercizio #2

a) andamento qualitativo dei segnali Vx, Vy e Vz (A.I.: situazione di alta impedenza)



b) calcolo del valore di tensione raggiunto da Vx al termine della fase di clock in corrispondenza della quale Vin commuta istantaneamente



f=100 MHz pertanto T=10ns. Il transitorio di Vx richiesto dura 10-9=1ns e interessa il solo transistore M3

Vx inizialmente è alto pari a Vdd. da Vdd fino a Vdd-Vt, M3 è saturo poi entra in regione lineare di funzionamento:

tratto M3 sat: dalla teoria si ricava

$$\mathbf{tsat} = \frac{\mathbf{cx\,vt}}{\frac{\mathbf{bn}}{2}\,(\mathbf{vdd}-\mathbf{vt})^2} = 0.152\,\mathbf{ns}$$

tratto M3 lin:

$$\mathbf{tlin} = \int_{\mathbf{vdd-vt}}^{\mathbf{vx}} \frac{-\mathbf{cx}}{\mathbf{bn}\left((\mathbf{vdd}-\mathbf{vt})\,\mathbf{vu}-\frac{\mathbf{vu}^2}{2}\right)}\,d\mathbf{vu} =$$

$$\frac{\mathbf{cx}}{\mathbf{bn}\,(\mathbf{vdd}-\mathbf{vt})}\,\mathbf{Ln}\left(\frac{\mathbf{vx}-2\,(\mathbf{vdd}-\mathbf{vt})}{\mathbf{vx}}\cdot\frac{\mathbf{vdd}-\mathbf{vt}}{\mathbf{vdd}-\mathbf{vt}-2\,(\mathbf{vdd}-\mathbf{vt})}\right) =$$

$$\frac{\mathbf{cx}}{\mathbf{bn}\,(\mathbf{vdd}-\mathbf{vt})}\,\mathbf{Ln}\left(-\frac{\mathbf{vx}-2\,(\mathbf{vdd}-\mathbf{vt})}{\mathbf{vx}}\right)$$

con tlin=1ns -tsat = 0.848ns, da cui:

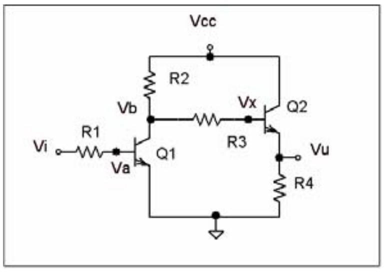
$$\mathbf{vx} = \frac{2\,(\mathbf{vdd}-\mathbf{vt})}{1+e^{\frac{\mathbf{bn\,tlin}}{\mathbf{cx}\,(\mathbf{vdd-vt})}}} = 1.027\,\mathbf{V}$$

PROVA SCRITTA DI ELETTRONICA
11 GENNAIO 2007

1) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini il valore della resistenza R_4 in modo tale che:

- l'escursione di V_u, al variare di V_i fra 0 e V_{cc}, sia pari a 4.15 V

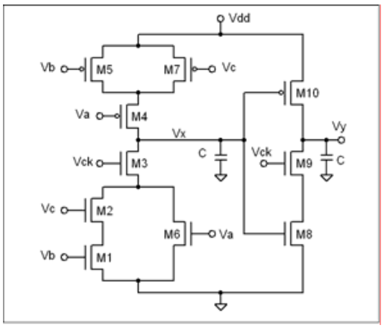
Si determini quindi il margine d'immunità ai disturbi della rete.



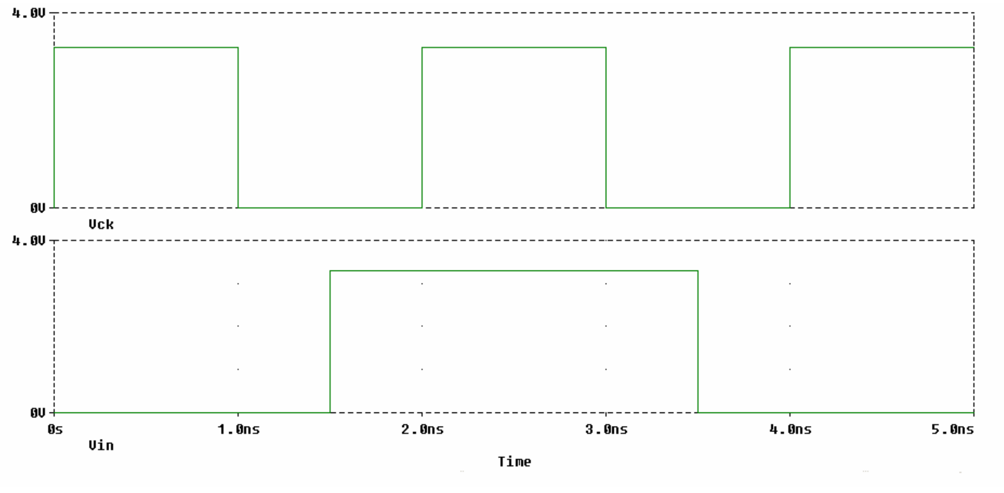
V_{cc} = 5 V, β_F=100, R_1 = 10 kΩ, R_2 = 500 Ω, R_3 = 5 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=|V_{Tp}|=V_T$ e dai coefficienti β_n e β_p. I segnali di clock CK e il segnale di ingresso Vin abbiano l'andamento illustrato dalla figura sottostante. Si determini l'andamento dei segnali Vx e Vy nell' intervallo di figura, nelle ipotesi che:

i) Va=Vin, Vb=0, Vc=Vdd
ii) Va=0, Vb=Vin, Vc=Vdd



In ciascuno dei due casi, si calcolino gli istanti di commutazione dei segnali Vx e Vy, assumendo come tali gli istanti in cui il segnale assume il valore pari al 50% della propria escursione. Per semplicità, ai fini del calcolo dei tempi di propagazione del segnale Vy, è lecito assimilare le transizioni di Vx a transizioni istantanee negli istanti di commutazione sopra definiti.



V_{dd} = 3.3 V, V_T= 0.4 V, β_n= 0.5 mA/V^2, β_p= 0.3 mA/V^2, C=80 fF.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 11-01-07 - Esercizio #1:

Osservazione preliminare: Q2 quando è on è in AD.

Calcolo di R_4:

Quando vi=vcc, Q1 è SAT e Q2 è OFF, quindi vu=0V. Infatti ic1=(vcc-vcesat)/r2(=9.6mA) < β_f*ib1=β_f*(vcc-v_γ)/r1 (=42.5mA)	Quando vi=0V, Q1 è OFF, mentre Q2 è ON in AD. In questo caso deve essere vu=4.15V. ib2=(vcc-vu- v_γ)/ (r2+r3) ir4=ie2=vu/r4 Ma ir4=(β_f +1)*ib2 e vu=4.15V, da cui si ricava che r4= 2260 Ω.

Regione 1 : vi< v_γ: Q1 OFF, Q2 AD, vu=4.15V.

Regione 2 e Regione 3 : Per vi>v_γ: Q1 AD, Q2 AD. Calcolo dei punti notevoli.

ib1=(vi-v_γ)/r1 ir2=(vcc-vb)/r2 ib2=(vb-vu-v_γ)/r3 ie2=vu/r4 Ma ir4=(β_f +1)*ib2 ir2=ib2+β_f *ib1	Risolvendo il sistema di equazioni si trova che: vb=8.732 -4.989 vi, vu=7.812 -4.882 vi Si può notare come in questa regione |dvu/dvi|=4.882>1. Quindi il primo punto notevole coincide con il punto angoloso prima trovato, e cioè: V_{OHMIN}=4.15V, V_{ILMAX}=v_γ=0.75V.
Si rimarrà in questa regione fintantochè Q1 non va SAT o Q2 non va OFF. Si può notare, però, che quando Q1 va OFF vb=vcesat, quindi Q2 deve già essersi spento. Calcoliamo quindi per quale valore di vi Q2 va OFF.	Quando Q2 va OFF ib2=ic2=ie2=0, quindi vu/r4=0 A, quindi vu=0 V. Ma vu=7.812 -4.882 vi = 0V implica che vi=1.6V. Per vi>1.6 V, vu= 0V . Quindi il secondo punto notevole coincide con il secondo punto angoloso, e cioè: V_{OLMAX}=0 V, V_{IHMIN}=1.6 V.
Si ricava allora che NM_H=(4.15-1.6)V=2.55 V e NM_L=(0.75-0)V=0.75 V=NM	

Compito del 11-01-07 - Esercizio #2:

Il circuito consiste di un p-latch TSPCL, che integra la funzione combinatoria Y=a+bc.
L'uscita di ciascuno dei due stadi può portarsi al valore alto non appena gli ingressi assumano una configurazione opportuna, mentre possono portarsi al valore basso solo se abilitati dal segnale di clock al valore alto.

Primo caso (i): M1 off, M5 on, M2 on, M7 off (sempre)

t<1ns: Vin=Va=0, Vck=Vdd
M4 on → pull-up on
M3 on, M6 off → pull-down off
} →Vx = Vdd →M8 on, M9 on, M10 off →Vy = 0

1ns <t<1.5ns: Vin=Va=0, Vck=0
M4 on → pull-up on
M3 off, M6 off → pull-down off
} →Vx = Vdd →M8 on, M9 off, M10 off →Vy = 0 (a.i.)

1.5ns < t < 2ns : Vin=Va=Vdd, Vck=0
M4 off → pull-up off
M6 on, M3 off → pull-down off
} →Vx = Vdd (a.i.) →M8 on, M9 off, M10 off →Vy = 0 (a.i.)

2ns < t < 3ns : Vin=Va=Vdd, Vck=Vdd
M4 off → pull-up off
M6 on, M3 on → pull-down on
} →Vx = 0 →M8 off, M9 on, M10 on →Vy=Vdd

Vx si scarica attraverso 2 nMOS (M3, M6) in serie, il transitorio da Vdd a Vdd/2 richiede 0.13 ns; Vx commuta quindi per **t=2.13 ns** (1). Successivamente Vy si carica attraverso M10, il transitorio da 0 a Vdd/2 richiede 0.11 ns; Vy commuta quindi per **t=2.24ns** (2).

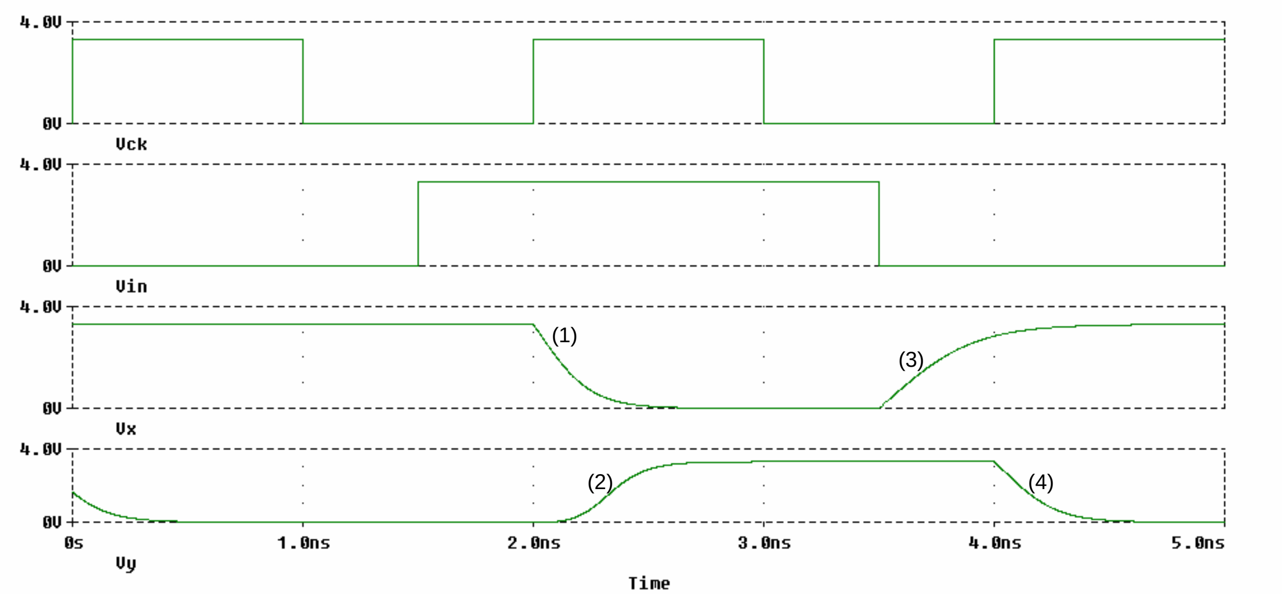
3ns < t < 3.5ns : Vin=Va=Vdd, Vck=0
M4 off → pull-up off
M6 on, M3 off → pull-down off
} →Vx = 0 (a.i) →M8 off, M9 off, M10 on →Vy=Vdd

3.5ns < t < 4ns : Vin=Va=0, Vck=0
M4 on → pull-up on
M6 off, M3 off → pull-down off
} →Vx = Vdd →M8 on, M9 off, M10 on →Vy=Vdd

Il transitorio di Vx avviene immediatamente, e richiede la carica attraverso 2 pMOS (M4,M5), in un tempo pari a 0.22 ns. La commutazione di Vx avviene quindi per **t=3.72ns** (3).

4ns < t : Vin=Va=0, Vck=Vdd
M4 on → pull-up on
M6 off, M3 on → pull-down off
} →Vx = Vdd →M8 on, M9 on, M10 off →Vy=0

Vy commuta dopo il segnale di CK, scaricandosi attraverso 2 nMOS (M8, M9), in un tempo (già calcolato) pari a 0.13 ns. La commutazione avviene quindi a **4.13 ns** (4).
L'andamento qualitativo dei segnali è riportato di seguito:

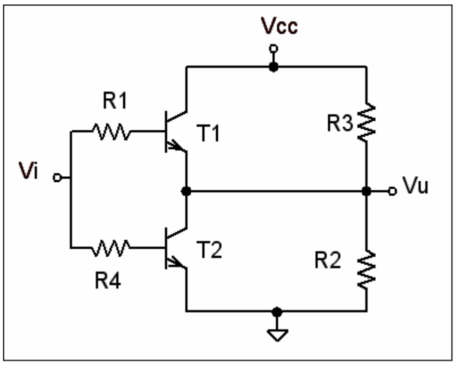


Secondo caso (ii): M4 on, M6 off, M2 on, M7 off (sempre)
Qualitativamente identico al precedente. Il transitorio di discesa di Vx (1) avviene tramite la scarica attraverso 3 nMOS in serie (M1, M2, M3) e richiedono quindi tempi superiori del 50% rispetto al caso precedente. Le commutazioni avvengono quinti per t=**2.2 ns** (1), **2.31 ns** (2), **3.72 ns** (3), **4.13 ns** (4).

PROVA SCRITTA DI ELETTRONICA
7 SETTEMBRE 2007

1) Nel circuito in figura, i transistori possono essere descritti da un modello "a soglia" con V_γ=0.75 V e $V_{CE,sat}$=0.2 V.

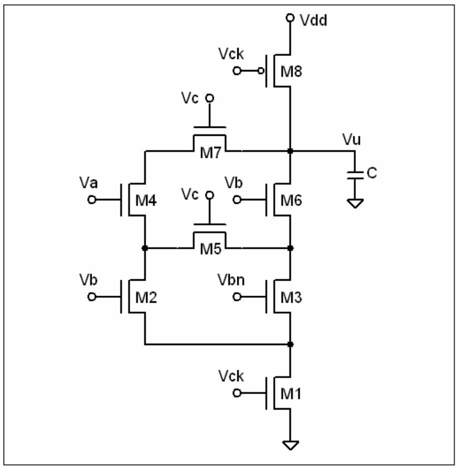
a) Determinare R_2 in modo tale che la pendenza (Av) della caratteristica statica di trasferimento $V_u(V_i)$ in corrispondenza della tensione di soglia logica sia pari a -8.
b) Si determini, per tale valore di R_2, la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.



V_{cc} = 5 V, β_F= 100, R_1 = 7 kΩ, R_3 = 500 Ω, R_4= 5 kΩ.

2) Nel circuito dinamico in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn}=|V_{Tnp}|=V_T$ e dai coefficienti $\beta_1=\beta_5=\beta_7=\beta_x$, $\beta_2=\beta_3=\beta_4=\beta_6=\beta_y$ e β_8.
I segnali V_a, V_b e V_c possono assumere i valori 0 e V_{dd},e possono variare solo durante le fasi di precarica (V_{ck}=0). Il segnale V_{bn} è complementare di V_b.
Si determinino i valori di β_x e β_y, in maniera tale che:

a) il tempo di propagazione $T_{p,HL}$ del segnale Vu di caso peggiore sia 1.8 volte maggiore dello stesso tempo valutato nel caso migliore;
b) il tempo di propagazione $T_{p,HL}$ del segnale Vu, se diverso dal caso peggiore e dal caso migliore, sia pari a 15 ps.



V_{dd} = 3.3 V, V_T = 0.4 V, C=30 fF, β_8= 1 mA/V^2.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse

L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

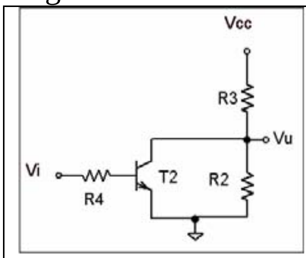
Compito del 7-09-2007 - Esercizio #1

Osservazioni preliminari: T1 quando on è in AD.

Calcolo di R2:
Alla soglia logica vu=vi=vlt, quindi T1 sarà off (vbe1=0), e T2 sarà on in AD. Infatti:

a) T2 non può essere off perché vu=vcc*r2/(r2+r3), ovvero la pendenza della caratteristica d'uscita con T2 off sarebbe = 0, mentre deve essere pari a –8.;
b) T2 non può essere sat perché se vu=vcesat, dovendo essere vi=vu=vlt, T2 sarebbe off, e quindi si avrebbe un assurdo. Quindi T2 sarà on in AD.

Determinazione del guadagnodi tensione Av. Con T1 off il circuito da analizzare si riduce al seguente.

 ir3=(vcc-vu)/r3 ib2=(vi-v_γ)/r4	ir2=vu/r2 Ma ir3=βf*ib2+ir2, da cui si ricava che: $v_u = \frac{(v_\gamma - v_i)}{r_4}\beta_f \frac{1}{1/r_2+1/r_3}+\frac{v_{cc}}{r_3}$ $Av = dv_u / dv_i = \frac{-\beta_f}{r_4(1/r_2+1/r_3)}$ =-8 e quindi il valore di **r_2= 2 kΩ.**

Regione 1: Vi<vg , T1 off, T2 off, e vu da calcolare col partitore resistivo: vu=vcc*r2/(r2+r3)=4V.

Regione 2: T1 off e T2 on in AD (vi>v_γ).

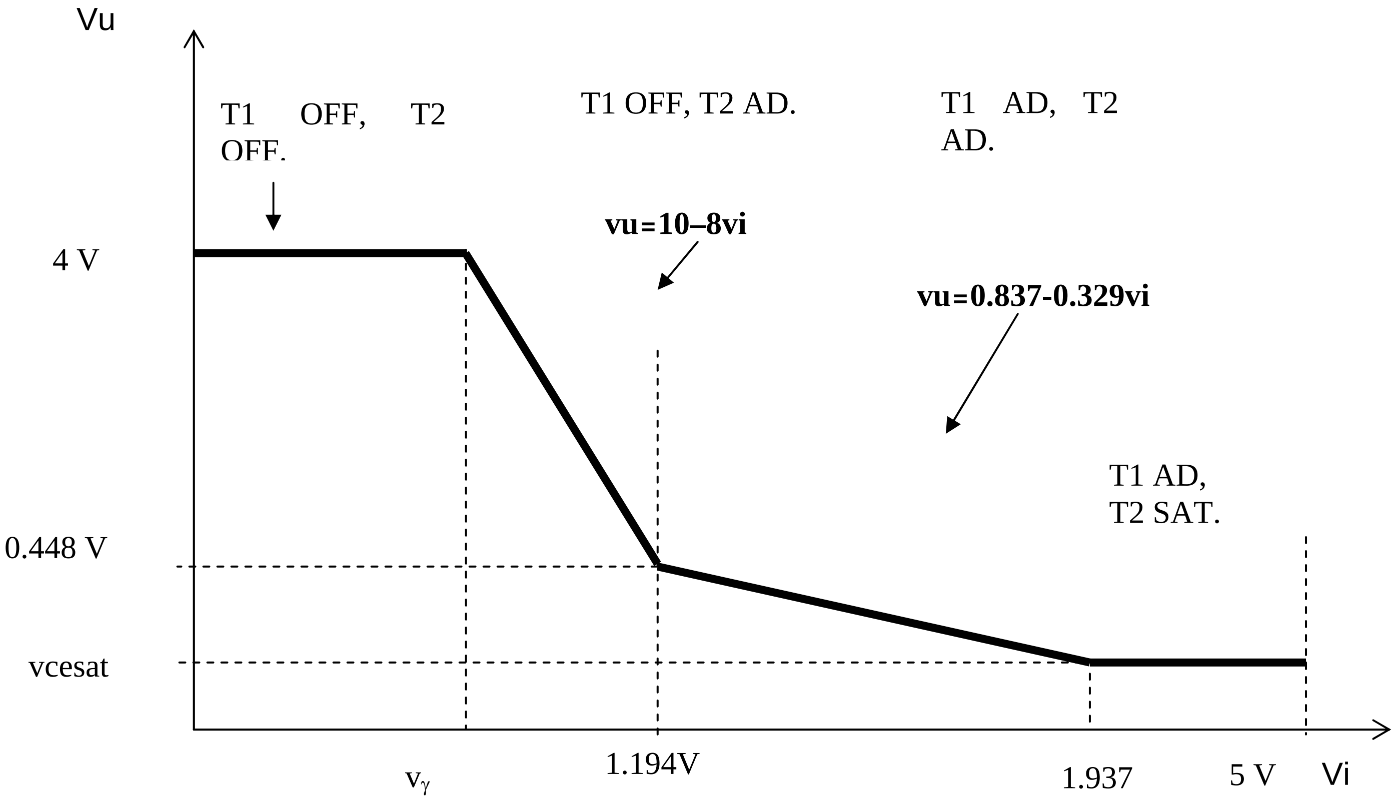
ib2=(vi-v_γ)/r4 ir2=vu/r2 ir3=(vcc-vu)/r3 Ma ir3=βf*ib2+ir2	da cui si ricava che **vu=10-8vi**. Si rimane in regione 2 fintantoché (A) T1 va in ad; (B) oppure T2 va sat.
(A) Quando T1 va in AD, $vbe_1=v_\gamma$ ir3=(vcc-vu)/r3 ib1=(vi-vu-v_γ)/r1 ie1=ib1*(βf+1) ib2=(vi-v_γ)/r4 ic2=ib2*βf ir2=vu/r2	Ma ir2=ir3+ie1-ic2 e vu=10-8 vi da cui si ricava che **vi=1.194 V** **(B)** Quando T2 va sat vu=vcesat, ma vu=10-8vi, da cui si ricava che **vi= 1.225 V**. Delle condizioni succitate quella corretta è la (A), per cui si rimane in regione 2 fintantoché vi<1.194 V.
Regione 2 per vγ<vi<1.194 V .	

Regione 3 : T1 on in AD, T2 on in AD.

ir3=(vcc-vu)/r3 ib1=(vi-vu-v_γ)/r1 ie1=ib1*(βf+1) ib2=(vi-v_γ)/r4 ic2=ib2*βf ir2=vu/r2 Ma ir2=ir3+ie1-ic2	Risolvendo si trova che: **vu=0.837-0.329vi** Si rimane in questa regione fintantochè T2 va sat, sse vu=vcesat, ovvero sse vu=0.837-0.329vi=vcesat, da cui si ricava che vi= 1.937 V.
Regione 3 per 1.194<vi<1.937V .	

Regione 4: Per vi>1.937 V T1 AD, T2 sat, e vu=vcesat=0.2V.

Di seguito si riporta la caratteristica statica di trasferimento.



Compito del 7-09-2007 - Esercizio #2

La funzione logica della porta è descritta dalla Tabella seguente

a b c	u	
0 0 0	1	
0 0 1	1	
0 1 0	1	
0 1 1	0	*
1 0 0	1	
1 0 1	0	**
1 1 0	1	
1 1 1	0	***

esistono 3 condizioni in cui il pull down viene attivato; in ciascuna di queste il PD è comunque equivalente ad un unico nMOS avente β_{eq} opportuno.

Caso *: PD: M6-M5-M2-M1 $\rightarrow \beta^* = \dfrac{1}{\frac{1}{\beta_6}+\frac{1}{\beta_5}+\frac{1}{\beta_2}+\frac{1}{\beta_1}} = \dfrac{1}{\frac{2}{\beta_x}+\frac{2}{\beta_y}}$

Caso **: PD: M7-M4-M5-M3-M1 $\rightarrow \beta^{**} = \dfrac{1}{\frac{3}{\beta_x}+\frac{2}{\beta_y}}$

Caso ***: PD: (M7-M4) // (M5-M6) - M2 - M1

$$\beta^{***} = \frac{1}{\frac{1}{\beta_1}+\frac{1}{\beta_2}+\frac{1}{\frac{1}{\frac{1}{\beta_7}+\frac{1}{\beta_4}}+\frac{1}{\frac{1}{\beta_5}+\frac{1}{\beta_6}}}} = \frac{1}{\frac{1}{\beta_x}+\frac{1}{\beta_y}+\frac{1}{\frac{2}{\frac{1}{\beta_x}+\frac{1}{\beta_y}}}} = \frac{1}{\frac{3/2}{\beta_x}+\frac{3/2}{\beta_y}}$$

il tempo di propagazione vale:

$$t_p = \frac{2C}{\beta}\left\{\frac{V_T}{(V_{DD}-V_T)^2}+\frac{1}{2(V_{DD}-V_T)}\log\left(3-\frac{4V_T}{V_{DD}}\right)\right\} = \frac{K}{\beta} \quad \text{con } K = 1.24\cdot 10^{-14} \left[\frac{s\,V^2}{A}\right]$$

è evidente che:

$$\beta^{**} < \beta^{*} < \beta^{***} \rightarrow \begin{cases} \text{caso peggiore: } \beta=\beta^{**}, & t_{p,pegg} = \frac{K}{\beta^{**}} \\ \text{caso intermedio } \beta=\beta^{*}, & t_{p,int} = \frac{K}{\beta^{*}} \\ \text{caso migliore: } \beta=\beta^{***} & t_{p,migli} = \frac{K}{\beta^{***}} \end{cases}$$

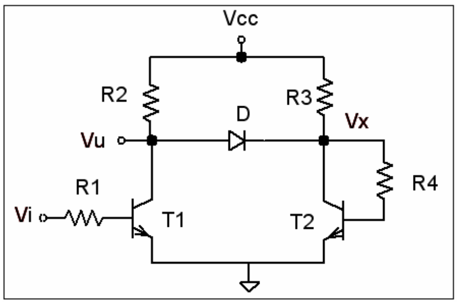
e quindi:

$$\begin{cases} K/\beta^{*} = 15\ ps \\ \frac{\cancel{K}}{\beta^{**}} = 1.8\,\frac{\cancel{K}}{\beta^{***}} \end{cases} \Rightarrow \begin{cases} 2K\left(\frac{1}{\beta_x}+\frac{1}{\beta_y}\right) = 15\ ps \\ \frac{3}{\beta_x}+\frac{2}{\beta_y} = 1.8\times\frac{3}{2}\left(\frac{1}{\beta_x}+\frac{1}{\beta_y}\right) \end{cases} \Rightarrow \ldots \rightarrow$$

$\rightarrow \beta_x = 2{,}36\ mA/V^2 \qquad t_{p,pegg} = 20.2\ ps$

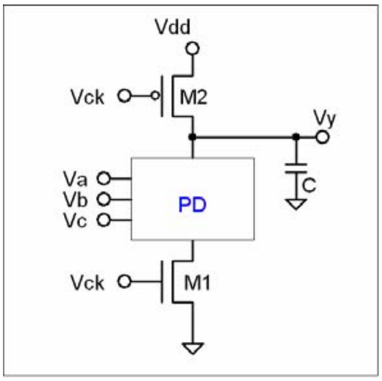
$\beta_y = 5.51\ mA/V^2 \qquad t_{p,migl} = 1.12\ ps$

1) Nel circuito in figura, i transistori e il diodo possono essere descritti da un modello “a soglia”, con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.



V_{cc} = 5 V, β_F= 100, R_1 = 3 kΩ, R_2 = 100 Ω, R_3 = 5 kΩ, R_4= 2 kΩ.

2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia $V_{Tn}=|V_{Tp}|=V_T$. La rete di pull-down PD sia realizzata con transistori identici, aventi coefficiente β_{PD}, e, assumendo che il valore logico “1” sia rappresentato dai valori alti di tensione, deve realizzare la funzione logica:



$$Y=\overline{ab+ac+bc}$$

Si determinino i valori di β_1 e β_{PD} in modo che il tempo di propagazione $T_{p,HL}$ sia pari a 15 ps nel caso migliore, e a 20 ps nel caso peggiore.

V_{dd} = 3.3 V, C= 20 fF, V_T= 0.4 V.

Esame di ELETTRONICA AB (mod. B): svolgere l’esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l’esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L’elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

Compito del 3-07-2007 - Esercizio #1

Osservazioni preliminari:

i) D è schiavo di T2, quindi sarà on solo quando anche T2 è on, mentre T2 può essere on anche se D è off;

ii) Se Q2 è on (cioè vbe2=v_γ), allora è in AD: infatti se fosse sat vce2=0.2V=vbe2-vbc2= v_γ+vcb2 , ma vcb2 deve essere $\geq$0, quindi si avrebbe un assurdo.

Regione 1: T1 off e T2 on in AD e D on . T1 sarà off fintantoché vi<v_γ.

ir2=(vcc-vu)/r2 ir3=(vcc-vx)/r3 ib2=(vx-v_γ)/r4 vx=vu-v_γ Ma ir2+ir3=(βf+1)*ib2	da cui si ricava che **vu=2.091 V** (quindi vx=1.341 V), valore che soddisfa tutte le hp fatte. Si rimane in regione 1 fintantoché T1 va on, quindi per vi>vγ.

Regione 2 : T1 on in AD, T2 on in AD, D on.

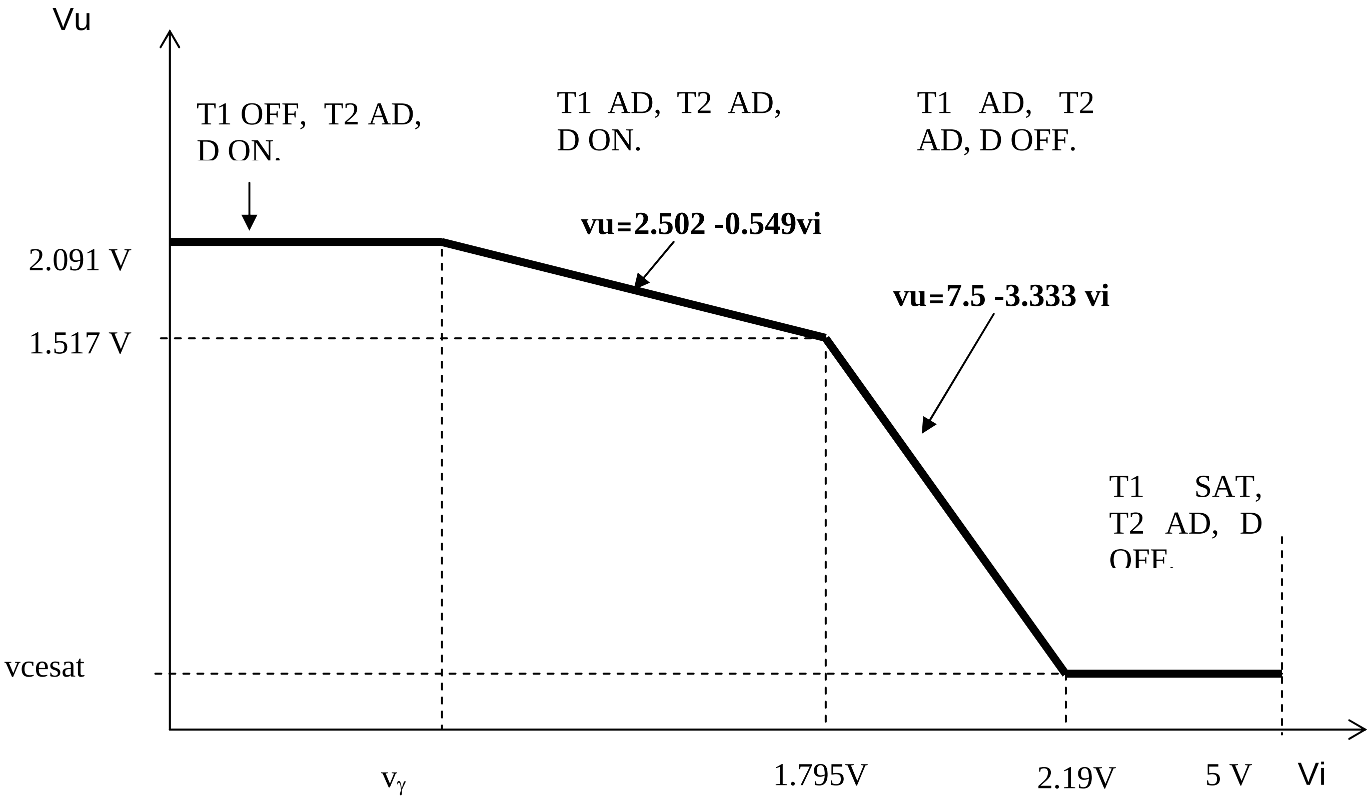
ib1=(vi-v_γ)/r1 ir2=(vcc-vu)/r2 ir3=(vcc-vx)/r3 ib2=(vx- v_γ)/r4 Ma ir2+ir3=βf*ib1+(βf+1)*ib2	Risolvendo si trova che: **vu=2.502 -0.549vi** Si rimane in questa regione fintantochè (A) D1 va off, (B) oppure T1 va sat, (C) oppure T2 va off.
(A) Quando D va off, idiodo=0 ir2=(vcc-vu)/r2 ib1=(vi- v_γ)/r1 vu=2.502 -0.549 vi Ma ir2=βf*ib1 da cui si ricava che vi=1.795 V. **(B)** Si può osservare che quando T1 va sat (ovvero vce1=0.2V), il diodo dovrà già essere off, poiché quando il diodo è on si trova che	vce1(=vcesat)=vce2+vdiodo (dove vce2>0), che dà un assurdo. **(C)** Invece quando T2 è off vx=vcc, allora essendo vdiodo=vcc-ir2-vx, Q2 può andare off sse il diodo è già off. Delle condizioni succitate quella corretta è la (A), per cui si rimane in regione 2 fintantoché vi<1.795 V.
Si rimane in regione 2 per vγ<vi<1.795V .	

Regione 3: T1 AD, T2 AD, D off. In queste condizioni il ramo d'ingresso è disaccoppiato da quello d'uscita. Per valutare vu posso considerare solo il ramo d'ingresso

ib1=(vi-v_γ)/r1 ir2=(vcc-vu)/r2 Ma ir2=βf*ib1, da cui si ricava che: **vu=7.5 -3.333 vi**	Si rimane in questa regione fintantochè T1 va sat: vu=7.5 -3.333vi=vcesat da cui si ricava che vi=2.19 V
Si rimane in regione 3 per 1.795V <vi <2.19V	

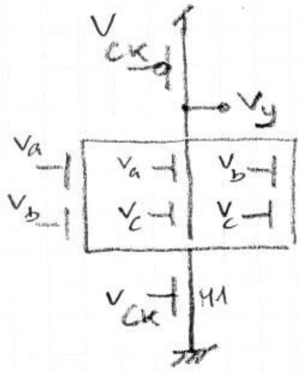
Regione 4: Per vi>2.19V, T1 sat, T2 AD, D off: vu =vcesat.

Di seguito si riporta la caratteristica statica di trasferimento.

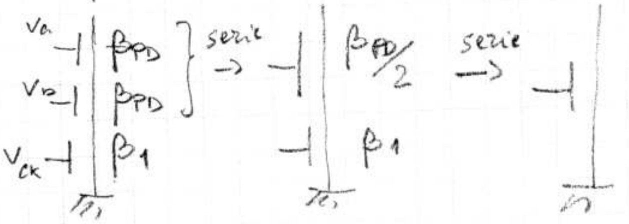


3/7/07 - es. 2

La funzione può essere realizzata con il circuito

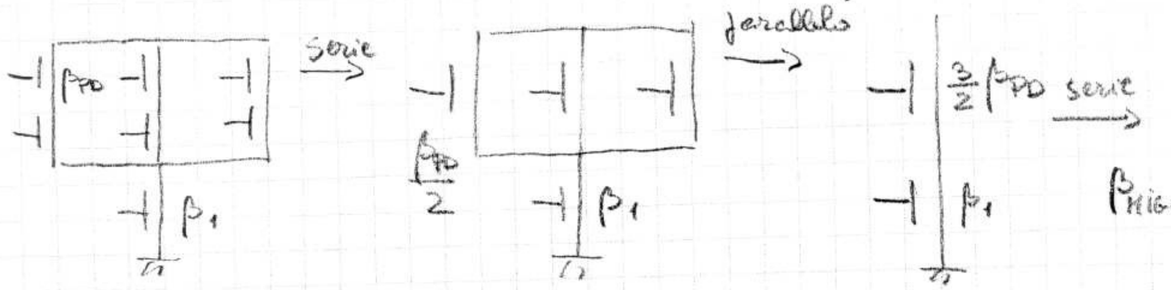


la rete di PD è equivalente a un transistore nMOS.
Nel caso peggiore, uno solo dei 3 rami in parallelo è attivo (esempio: $V_a = V_b = V_{CC}$, $V_C = 0$)



$$\beta_{PEGG} = \frac{1}{\frac{1}{\beta_1} + \frac{1}{\beta_{PD}/2}}$$

Nel caso migliore, tutti e 3 i rami sono attivi ($V_a = V_b = V_c = V_{DD}$) e quindi



$$\beta_{MIGL} = \frac{1}{\frac{1}{\beta_1} + \frac{1}{\frac{2}{3}\beta_{PD}}}$$

---

t_{PHL} è il tempo di propagazione associato alla scarica di C attraverso il nMOS equivalente. Dalla Teoria:

$$t_{PHL} = \frac{1}{\beta_{eq}} \frac{1}{(V_{DD}-V_T)} \cdot \left[\frac{2V_T}{V_{DD}-V_T} + \ln\left(3 - 4\frac{V_T}{V_{DD}}\right)\right] = \frac{1}{\beta_{eq}} \cdot \underbrace{8.26\,10^{-15}}_{K}$$

quindi:

$$t_{PHL} = \frac{K}{\beta_{eq}}$$

caso peggiore:

$$t_{PHL,PEGG} = \frac{K}{\beta_{eq,pegg}} \rightarrow \frac{1}{\beta_{eq,pegg}} = \frac{t_{PHL,pegg}}{K} \rightarrow \frac{1}{\beta_1} + \frac{2}{\beta_{PD}} = \frac{20\,10^{-12}}{8.26\,10^{-15}}$$

caso migliore

$$t_{PHL,MIGL} = \frac{K}{\beta_{eq,MIGL}} \rightarrow \frac{1}{\beta_{eq,MIGL}} = \frac{t_{PHL,MIGL}}{K} \rightarrow \frac{1}{\beta_1} + \frac{2}{3\beta_{PD}} = \frac{15\,10^{-12}}{8.26\,10^{-15}}$$

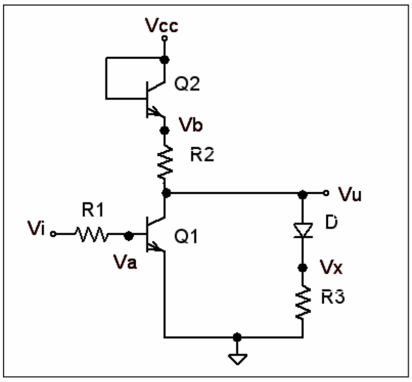
$\rightarrow \beta_1 = 661 \frac{\mu A}{V^2}$

$\beta_2 = 2.2 \frac{mA}{V^2}$

PROVA SCRITTA DI ELETTRONICA
1 FEBBRAIO 2007

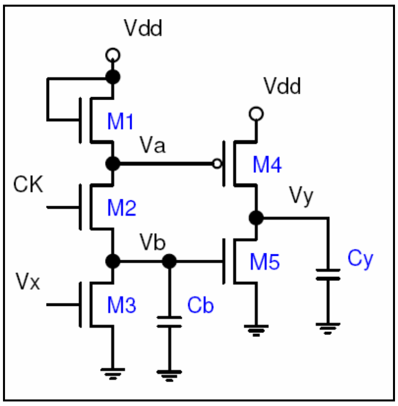
1)) Nel circuito in figura, i transistori e il diodo possono essere descritti da un modello "a soglia", con V_γ=0.75 V e $V_{CE,sat}$=0.2 V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0<V_i<V_{cc}$.

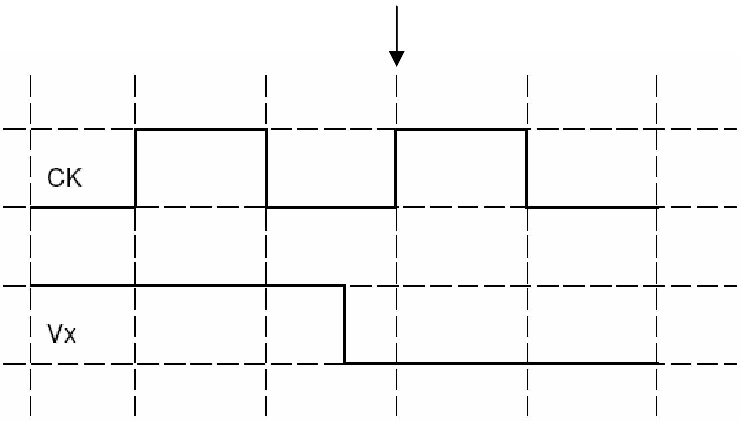
V_{cc} = 5 V, β_F=100, R_1 = 20 kΩ, R_2 = 500 Ω, R_3 = 1kΩ.



2) Nel circuito in figura, i transistori MOS sono caratterizzati dai coefficienti β e dalle tensioni di soglia V_{TN} e $|V_{TP}|$. Il segnale di clock CK e il segnale di ingresso V_{in} abbiano l'andamento illustrato dalla figura sottostante. Si calcoli:

1. il valore assunto dai segnali V_A, V_B, V_Y in corrispondenza dei fronti di discesa e salita del clock supponendo esauriti i transitori prima di ogni transizione del segnale di clock.
2. il tempo di propagazione t_{pHL} del segnale V_y a seguito della transizione istantanea da "0" (0 V) a "1" (V_{DD}) del segnale di clock con V_X=0 V (si veda figura). Ai fini dei calcoli è lecito considerare tale tempo come somma dei tempi di propagazione di ogni stadio, ciascuno calcolato in risposta ad una transizione istantanea del rispettivo ingresso.





V_{dd} = 3.3 V, V_{TN}= 0.4 V, $|V_{TP}|$= 0.6 V, $\beta_1=\beta_2$= 40 μA/V^2, β_3= 90 μA/V^2, β_4= 40 μA/V^2, β_5= 50 μA/V^2, C_b =2 fF, C_y =5 fF.

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).
Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).
Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto **in un unico foglio** (4 facciate) protocollo

•

Compito del 1-02-2007 – Soluzione Esercizio #1

Osservazione preliminare: Q2 quando on sempre in AD.

Regione 1: Suppongo Q1 OFF (Q1 sarà OFF fintantoché vi<v_γ), Q2 ON in AD e D ON.

ie2=(vcc-v_γ-vu)/r2 ir3=(vu-v_γ)/r3 Ma ie2=ir3	Da cui si ricava vu= 3.083 V, valore che soddisfa le ipotesi fatte. Si rimane in regione 1 fintantoché Q1 rimane OFF ovvero per vi< v_γ=0.75 V.

Regione 2 : Suppongo Q1 ON in AD, Q2 in AD e D ON.

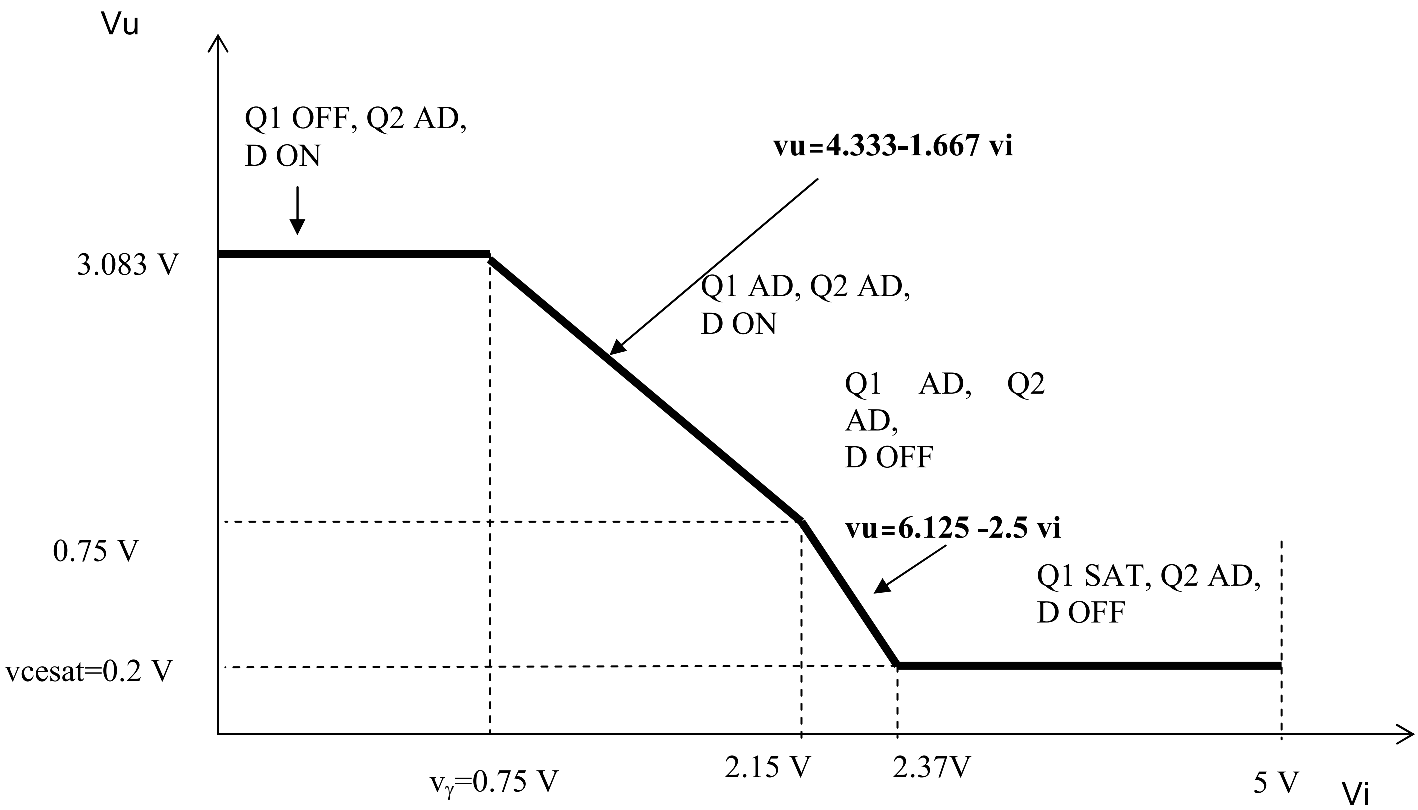
ie2=(vcc-v_γ-vu)/r2 ir3=(vu- v_γ)/r3 ib1=(vi- v_γ)/r1 Ma ie2=ir3+β_f*ib1 Risolvendo si trova che:	**vu= 4.333 -1.667 vi.** Si rimane in questa regione fintantochè o A) Q1 va SAT, oppure B) D va OFF.
A) Si può notare che in realtà se Q1 va SAT, vu=vcesat<v_γ, quindi quando Q1 va sat, D deve essere già spento. Avverrà prima che il diodo D si spenga, quindi il caso B).	B) Cerchiamo quindi solo il valore di vi per il quale D va off, ovvero il valore per il quale: vu=v_γ=0.75V. ie2=(vcc- v_γ- v_γ)/r2 ib1=(vi- v_γ)/r1 Ma ie2=βf*ib1 da cui si ricava che vi = 2.15 V
Si rimane in regione 2 per v_γ <vi<2.15 V .	

Regione 3: Q1 AD, Q2 AD, D OFF.

ie2=(vcc-vu -v_γ)/r2 ib1=(vi-v_γ)/r1 Ma ie2=β_f *ib1 Risolvendo si trova che: **vu=6.125 -2.5 vi** Si rimane in questa regione fintantochè Q1 va SAT.	Quando Q1 va sat, vu=vcesat=0.2V ie2=(vcc-vcesat-v_γ)/r2 ib1=(vi-v_γ)/r1 Ma ie2=β_f *ib1 Risolvendo si trova vi=2.37 V
Si rimane in regione 3 per 2.15 V <vi <2.37 V	

Regione 4: Q1 SAT, Q2 AD, D OFF. vu=vcesat=0.2V.

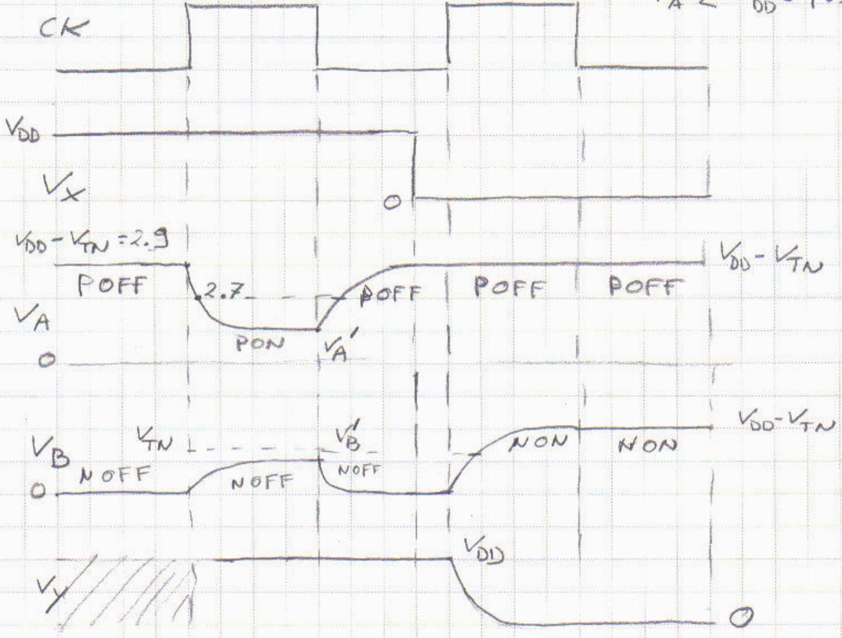
Di seguito si riporta la caratteristica statica di trasferimento.



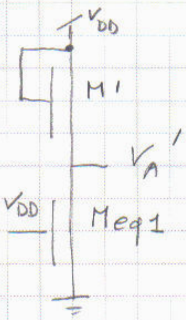
Esercizio N.2

PMOS ON SE $V_{SG} > |V_{TP}|$ $\quad V_{DD} - V_A > |V_{TP}|$

$V_A < V_{DD} - |V_{TP}| = 2.7\ V$



Calcolo V_A'



$$\beta_{eq1} = \frac{\beta_3 \cdot \beta_2}{\beta_2 + \beta_3}$$

M1 SAT $\quad$ Hp Meq LIN

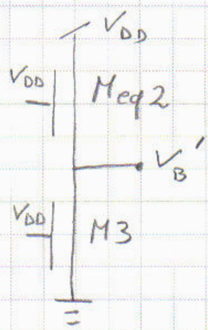
$$\frac{\beta_1}{2}\left(V_{DD} - V_A' - V_{TN}\right)^2 = \beta_{eq1}\left[\left(V_{DD} - V_{TN}\right)V_A' - \frac{V_A'^2}{2}\right]$$

$V_A' = 1.045$

Verifica Meq LIN $\quad V_{DS} < V_{GS} - V_{TN}$

$V_A' < V_{DD} - V_{TN}$ vero $\Rightarrow$ Meq LIN

Calcolo V_B'



$$\beta_{eq2} = \frac{\beta_1 \cdot \beta_2}{\beta_1 + \beta_2}$$

Meq 2 SAT $\quad$ Hp M3 LIN

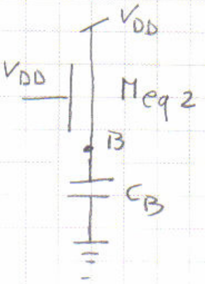
$$\frac{\beta_{eq2}}{2}\left(V_{DD} - V_B' - V_{TN}\right)^2 = \beta_3\left[\left(V_{DD} - V_{TN}\right)V_B' - \frac{V_B'^2}{2}\right]$$

$V_B' = 0.277\ V$

Verifica M3 LIN $\quad V_B' < V_{DD} - V_{TN}$ vero $\Rightarrow$ M3 LIN

Calcolo t_{pHL}

1° stadio



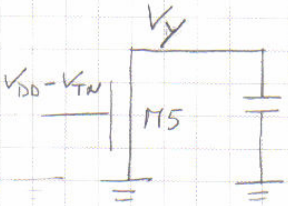
$$C_B \frac{dV_B}{dt} = I_{Deq2} \qquad M_{eq2} \text{ SAT}$$

$$C_B \frac{dV_B}{dt} = \frac{\beta_{eq2}}{2} \left(V_{DD} - V_B - V_{TN} \right)^2$$

$$\int_0^{t_1} dt = \frac{2 C_B}{\beta_{eq2}} \int_0^{\frac{V_{DD}-V_{TN}}{2}} \frac{1}{(V_{DD} - V_B - V_{TN})^2} \, dV_B$$

$$t_1 = 68.96 \text{ps}$$

2° stadio



M5 SAT se $V_{DS} > V_{GS} - V_{TN}$

$$V_Y > V_{DD} - V_{TN} - V_{TN} = V_{DD} - 2V_{TN}$$

$$V_{DD} \xrightarrow[\text{SAT}]{} V_{DD} - 2V_{TN} \xrightarrow[\text{LIN}]{} \frac{V_{DD}}{2}$$

$$C_Y \frac{dV_Y}{dt} = -\frac{\beta_5}{2} \left(V_{DD} - 2V_{TN} \right)^2$$

$$\int_0^{t_2} dt = -\frac{2C_Y}{\beta_5} \int_{V_{DD}}^{V_{DD}-2V_{TN}} \frac{1}{(V_{DD} - 2V_{TN})^2} \, dV_Y$$

$$t_2 = 25.6 \text{ ps}$$

$$C_Y \frac{dV_Y}{dt} = -\beta_5 \left[\left(V_{DD} - 2V_{TN} \right) V_Y - \frac{V_Y^2}{2} \right]$$

$$t_3 = -\frac{C_Y}{\beta_5} \int_{V_{DD}-2V_{TN}}^{\frac{V_{DD}}{2}} \frac{1}{(V_{DD} - 2V_{TN}) V_Y - \frac{V_Y^2}{2}} \, dV_Y$$

$$t_3 = 28.33 \text{ ps}$$

$$t_{pHL} = t_1 + t_2 + t_3 = 122.89 \text{ ps}$$