PROVA SCRITTA DI FONDAMENTI DI ELETTRONICA A 21 SETTEMBRE 2006

1) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia $V_{Tn1}=|V_{Tp2}|=V_{Tn3}=V_T$ e dai coefficienti $\beta_{n1},\ \beta_{p2},\ \beta_{n3}.$

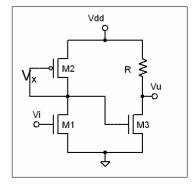
Si determinino β_{n1} , β_{p2} , β_{n3} in modo che:

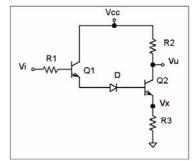
- l'escursione di V_u, al variare di V_i fra 0 e V_{dd}, sia pari a 3.1 V
- la potenza statica dissipata per V_i=0 sia uguale alla potenza statica dissipata per V_i=V_{dd}
- il valore di β_{n1} sia pari a 5 volte il valore di β_{p2}

$$V_{dd} = 3.5 \text{ V}, V_{T} = 0.5 \text{ V}, R_{1} = 800 \Omega.$$

2) Nel circuito in figura, i transistori e il diodo possono essere descritti da un modello "a soglia", con V_{γ} =0.75 V e $V_{CE,sat}$ =0.2V. Si determini la caratteristica statica di trasferimento $V_u(V_i)$, per $0 < V_i < V_{cc}$.

$$V_{cc}$$
 = 5 V, β_F =100, R_1 = 5 k Ω , R_2 = 1 k Ω , R_3 = 500 Ω .



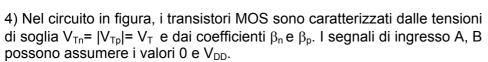


3) Nel circuito in figura, i transistori MOS sono caratterizzati dalle tensioni di soglia V_{Tn} = $|V_{Tp}|$ = V_{T} e dai coefficienti β_1 , β_2 , β_3 , β_4 e β_5 . Durante la fase di valutazione (V_{ck} = V_{dd} , $V_{ck,neg}$ =0) il segnale di ingresso V_i compie una transizione istantanea da 0 a V_{dd} .

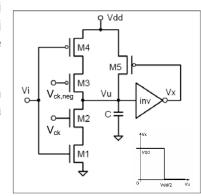
Si calcoli il corrispondente tempo di discesa del segnale Vu.

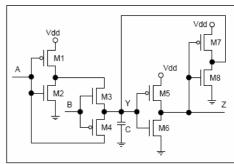
A questo scopo, si assuma per semplicità che l'invertitore "inv" si comporti in maniera ideale, con soglia logica pari a $V_{dd}/2$, come descritto dalla caratteristica di trasferimento riportata.

$$\beta_1 = \beta_2 = \beta_3 = \beta_4 = 1 \text{ ma/V}^2$$
, $\beta_5 = 100 \mu \text{A/V}^2$, $V_{DD} = 3.3 \text{ V}$, $V_T = 0.45 \text{ V}$, $C = 7 \text{ fF}$.



Si determini la funzione logica svolta dal circuito (Z = Z(A,B)) indicando chiaramente, per ogni configurazione degli ingressi, lo stato (ON, OFF) di tutti i transistori presenti nel circuito. Si consideri, quindi, la sola parte di circuito costituita dai transistori M1, M2, M3 e M4 avente ingressi A e B e uscita Y, supponendo di disconnettere la parte costituita dai transistori M5, M6, M7 e M8. Si calcoli il tempo di propagazione del segnale relativo all'uscita Y supponendo che A commuti istantaneamente dal livello logico basso a quello alto con B fisso al livello logico alto.





 V_{DD} =3.3 V, βp =100 $\mu A/V^2$, βn =80 $\mu A/V^2$, V_T =0.35 V, C =10 fF

Esame di ELETTRONICA AB (mod. B): svolgere gli esercizi 1 e 2.

Esame di ELETTRONICA DEI SISTEMI DIGITALI A: svolgere gli esercizi 3 e 4

Esame di FONDAMENTI DI ELETTRONICA A: svolgere almeno uno fra gli esercizi 1 e 2 e almeno uno fra gli esercizi 3 e 4.

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- · Non usare penne o matite rosse
- · L'elaborato deve essere contenuto in un unico foglio (4 facciate) protocollo

Compito del 21-09-2006 - Esercizio #1

OSS. PRELIMINARI: M2 sempre SAT ($V_{sg}=V_{sd}$) o spento.

- Suppongo che, per Vi= V_{dd} , M1 sia ON, M2 sat, $V_x < V_t$ (<u>da verificare</u>) \rightarrow M3 OFF \rightarrow V_u = $V_{u,High}$ = V_{dd} \rightarrow $V_{u,Low}$ = $V_{u,High}$ -escursione=3.5-3.1=0.4V
- $\begin{array}{lll} \bullet & \text{Per V}_{i} = 0, \, \text{M1 OFF} \rightarrow \text{Id1} = 0 \rightarrow & & I_{R} = (V_{dd} V_{u,Low})/R = 3.875 \,\, \text{mA} \\ & \text{Id2} = \beta_{p2} (\text{Vdd-V} \times \text{Vt})^{2} = 0 \rightarrow \text{V} \times = \text{Vdd-Vt} > & \rightarrow P_{d,Low} = V_{dd} \,\, I_{R} = 13.56 \,\, \text{mW} = P_{d,High} \\ & \text{Vt} \rightarrow \text{M3 ON} & \text{I}_{d3} = \beta_{n3} ((\text{Vdd-Vt-Vt}) \,\, V_{u,Low^{-}} \,\, (V_{u,Low})^{2}/2) \\ & \text{Vgs3} = \text{Vdd-Vt}, \,\, \text{Vds3} = V_{u,Low} \rightarrow \text{M3 LIN} & \text{Ma I}_{d3} = I_{R,} \rightarrow \beta_{n3} = 4.212 \,\, \text{mA/V}^{2} \\ \end{array}$

Compito del 21-09-2006 - Esercizio #2

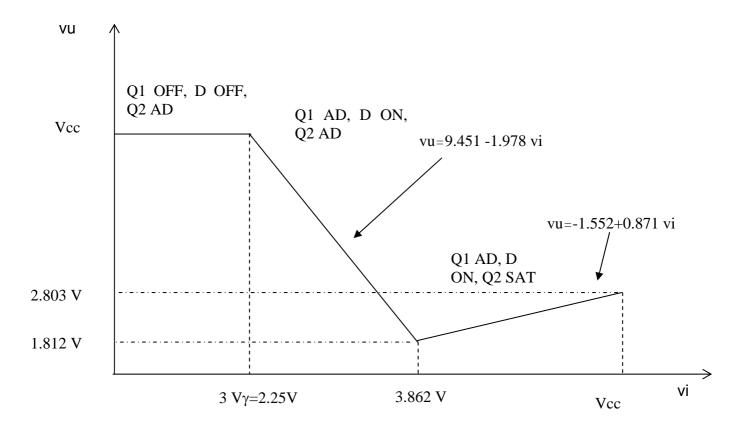
Osservazioni preliminari: T1 quando ON in AD. Inoltre Q1, D e Q2 devono essere o tutti contemporaneamente ON o tutti contemporaneamente OFF .

1) Regione 1: vi< 3vγ, T1, D e T2 tutti contemporaneamente OFF, quindi vu=Vcc.

2) Regione 2: 3vy< vi< 3.862 V, T1 AD, D ON, T2 AD.

_ <u> </u>	, ,
$ib1=(vi-3v\gamma-vx)/r1$	Ma
$ib2=(vi-3v\gamma-vx)/r1*(\beta f+1)$	$ie2=ib2*(\beta f+1)$
ic2=(vcc-vu)/r2	ic2=ib2*βf
ie2=vx/r3	da cui si ricava che:
	vu=9.451 -1.978 vi, e vx=-2.248+0.999 vi
In questa regione si rimane fintantoché	vx=-2.248+0.999 vi
Q2 entra in saturazione, allora	vu-vx=vcesat, da cui si ricava
vx=vu-vcesat, ma	vi=3.862 V (cui corrisponde una vu=1.812 V)
vu=9.451-1.978 vi e	Quindi si rimane in regione 2 fintantochè vi<3.862 V

3) Regione 3: vi> 3.862 V, T1 AD, D ON, T2 SAT.



Esercizio #3

Si tratta di un p-latch C²MOS; il segnale Vx in retroazione pilota un pMOS per contrastare le correnti di perdita nella fase di alta impedenza di uscita. In corrispondenza del fronte di salita di Vi, il segnale Vu compie quindi una transizione opposta, passando dal valore iniziale Vdd a 0.

Prima della commutazione di V_i (t<0):

$$V_i = 0, \ V_{CK} = V_{dd}, \ V_{CK,neg} = 0 \ \rightarrow \ M1 \ OFF, \ M2 \ ON, \ M3 \ ON, \ M4 \ ON \ \rightarrow V_u = V_{dd} \ \rightarrow \ V_x = 0 \ \rightarrow \ M5 \ ON \ V_c(t < 0) = V_{dd}$$

Dopo la commutazione:

$$V_i$$
=Vdd, V_{CK} = V_{dd} , $V_{CK,neq}$ = $0 \rightarrow M1$ ON, M2 ON, M3 ON, M4 OFF

Vu quindi discende, e la capacità si scarica attraverso una rete di pull-down costituita dalla serie di M1 e M2 (equivalenti a un transistore M12 con β_{12} = β_1 /2), contrastata del transistore di pull-up M5, acceso (e in regime LIN) fino a che V_x =0 (cioè per V_u > V_{dd} /2).

Il tempo di discesa è relativo alla variazione di V_u dal 90% al 10% della propria escursione.

Il transitorio si articola quindi in più tratti:

1) 90% $V_{dd} > V_u > V_{dd} - V_t$ M12 SAT, M5 LIN ($V_x = 0$)

$$\begin{split} &I_{d12} \!\!=\!\! \beta_{12} \! / \! 2 \; (V_{dd} \!\!-\!\! V_t)^2 \\ &I_{d5} \!\!=\!\! \beta_5 \; ((V_{dd} \!\!-\!\! V_t) (V_{dd} \!\!-\!\! V_u) \!\!-\!\! (V_{dd} \!\!-\!\! V_u)^2 \! / \! 2) \\ &I_c \!\!=\!\! I_{d5} \!\!-\!\! I_{d12} \!\!=\!\! C \; dV_u \! / \! dt \to t_1 \!\!=\!\! \int_{2.97} \!\!\! C \! / \! Ic \; dVu = 0.436 \; ps \end{split}$$

2)
$$V_{dd}-V_t > V_u > V_{dd}/2$$
 M12 LIN, M5 LIN $(V_x=0)$

$$\begin{split} I_{d12} = & \beta_{12} \left((V_{dd} - V_t) \ V_u \ ^2 V_u \ ^2 / 2 \right) \\ I_{d5} = & \beta_5 \left((V_{dd} - V_t) (V_{dd} - V_u) - (V_{dd} - V_u)^2 / 2 \right) \\ I_c = & I_{d5} - I_{d12} = C \ dV_u / dt \rightarrow t_2 = \int_{2.85}^{C / Ic} \ dV_u = 5.076 \ ps \end{split}$$

3)
$$V_{dd}/2 > V_{u} > 10\% V_{dd}$$
 M12 LIN, M5 OFF $(V_{x}=V_{dd})$

$$\begin{split} I_{d12} &= \beta_{12} \left((V_{dd} - V_t) \ V_u \ ^- V_u \ ^2 / 2 \right) \\ I_{d5} &= 0 \end{split}$$

$$I_c = -I_{d12} = C \ dV_u / dt \rightarrow t_3 = \int_{-C/IC}^{0.33 \ V} C / Ic \ dVu = 9.292 \ ps$$

Il tempo di discesa quindi vale:

$t_{f}=t_{1}+t_{2}+t_{3}=14.8 ps$

Esercizio #4

Funzione logica svolta dal circuito:

A=0 V, B=0 V: M1 ON, M2 OFF, M3 OFF, M4 ON \Rightarrow Y=V_T V

M5 ON, M6 OFF \Rightarrow Z=V_{DD} \Rightarrow M7 OFF, M8 ON allora Y viene portato a 0 V (M4 si spegne

essendo $V_{SG}=V_S-V_G=V_Y-V_B=0-0=0 < V_T$) e Z confermato a V_{DD}

A=0 V, B= V_{DD} : M1 ON, M2 OFF, M3 ON, M4 OFF \Rightarrow Y= V_{DD} - V_{T}

M5 OFF, M6 ON \Rightarrow Z=0 V \Rightarrow M7 ON, M8 OFF allora Y viene portato a V_{DD} (M3 si spegne

essendo $V_{GS}=V_{G}-V_{S}=V_{B}-V_{Y}=V_{DD}-V_{DD}=0 < V_{T}$) e Z confermato a 0 V

 $A=V_{DD}$, B=0 V: M1 OFF, M2 OFF, M3 OFF, M4 ON \Rightarrow Y= V_{DD}

M5 OFF, M6 ON \Rightarrow Z=0 V \Rightarrow M7 ON, M8 OFF allora Y confermato a V_{DD} e Z a 0 V

 $A=V_{DD}$, $B=V_{DD}$: M1 OFF, M2 ON, M3 ON, M4 OFF \Rightarrow Y=0 V

M5 ON, M6 OFF \Rightarrow Z=V_{DD} \Rightarrow M7 OFF, M8 ON allora Y confermato a 0 V e Z a V_{DD}

Pertanto $Z = \overline{A} \overline{B} + AB$

Considero la sola parte di circuito costituita dai transistori M1, M2, M3 e M4. Analizzo la transizione A=0 B=1 \rightarrow A=1 B=1 corrispondente a Y: V_{DD} - $V_{T} \rightarrow$ 0

Per A=0 B=1 M1 ON, M2 OFF, M3 ON, M4 OFF \Rightarrow Y=V_{DD}-V_T Per A=1 B=1 M1 OFF, M2 ON, M3 ON, M4 OFF \Rightarrow Y=0 V

Nella transizione si spegne M1 e si accende M2 quindi l'uscita andrà bassa attraverso la serie di M3 e M2 cioè attraverso un transistore M_{eq} avente $\beta_{eq} = \beta_n/2 = 40 \mu A/V^2$

Per $V_{ds} > V_{gs} - V_T M_{eq}$ è sat $V_Y > V_{DD} - V_T = 3.3 - 0.35 = 2,95$

Allora da M_{eq} è sempre in LIN e il transitorio da studiare va da $V_{DD}\text{-}V_T\text{=}3.3\text{-}0.35\text{=}2,95 \to (V_{DD}\text{-}V_T)/2\text{=}1.475$

Ids=-C(dY/dt)

$$tphl = \int_{vdd-vt}^{(vdd-vt)/2} \frac{-Cy}{(bn/2) \left((vdd-vt) (vu) - \frac{(vu)^2}{2} \right)} dvu$$

 t_{pHL} =93.1027 ps