



UNIVERSITÀ DEGLI STUDI DI PARMA

Facoltà di Ingegneria

Corso di Laurea in Ingegneria Informatica

**Appunti di
Fondamenti di Elettronica A**

Pieni di ERRORI



Docente
Professor Paolo Ciampolini

Paolo Panciroli
Matricola 191172

Anno Accademico 2010/2011

Indice

Capitolo 1. Informazioni generali	6
1.1. Docente	6
1.2. Finalità	6
1.3. Programma	6
1.4. Attività d'esercitazione	7
1.5. Modalità d'esame	7
1.6. Testi consigliati	7
1.7. Note	7
 I. Introduzione	
Capitolo 2. Lezione del 28 febbraio 2011	9
2.1. Introduzione	9
2.2. Semiconduttori	9
Capitolo 3. Lezione del 1 marzo 2011	12
3.1. Il silicio (Si)	12
3.2. Elettroni e lacune	13
3.3. Drogaggi	14
3.4. Problemi	15
Capitolo 4. Lezione del 2 marzo 2011	16
4.1. Introduzione	16
4.2. Proprietà	16
4.3. Drogaggi non uniformi	18
4.4. Relazioni	20
 II. Il diodo a giunzione <i>pn</i>	
Capitolo 5. Lezione del 7 marzo 2011	22
5.1. Introduzione	22
5.2. Applicazione del modello	22
5.3. La giunzione <i>pn</i>	23
Capitolo 6. Lezione del 8 marzo 2011	28
6.1. Introduzione	28
6.2. Validazione	28
6.3. Considerazioni	29
6.4. Funzionamento	29
Capitolo 7. Lezione del 9 marzo 2011	33
7.1. Introduzione	33
7.2. Utilità del diodo	33
7.3. Modello a soglia	35
7.4. Applicazione del modello a soglia	36
Capitolo 8. Lezione del 14 marzo 2011	40
8.1. Introduzione	40
8.2. Limitatore doppio	40
8.3. Rivelatore di massimo	42
8.4. Rivelatore di minimo	44
Capitolo 9. Lezione del 15 marzo 2011	47
9.1. Introduzione	47
9.2. Raddrizzatore a doppia semionda	47
9.3. Convertitore alternata continua	51
Capitolo 10. Lezione del 16 marzo 2011	54
10.1. Introduzione	54

<i>Indice</i>	3
10.2. Problemi del diodo	54
10.3. Modello dinamico	55
Capitolo 11. Lezione del 21 marzo 2011	58
11.1. Introduzione	58
11.2. Analisi dinamica	58
III. Il transistore <i>npn</i>	
Capitolo 12. Lezione del 22 marzo 2011	63
12.1. Introduzione	63
12.2. Diodo <i>npn</i>	63
12.3. Modello di Ebers & Moll	65
12.4. Semplificazioni	66
Capitolo 13. Lezione del 28 marzo 2011	69
13.1. Introduzione	69
13.2. Regione $V_{BE} < 0$ e $V_{BC} < 0$	69
13.3. Regione $V_{BE} < 0$ e $V_{BC} > 0$	70
13.4. Regione $V_{BE} > 0$ e $V_{BC} > 0$	72
13.5. Regioni di funzionamento	72
13.6. Applicazione	73
Capitolo 14. Lezione del 29 marzo 2011	74
14.1. Introduzione	74
14.2. Configurazioni possibili	74
14.3. Connessione in emettitore comune	75
14.4. Relazione tra ingresso ed uscita	78
Capitolo 15. Lezione del 30 marzo 2011	80
15.1. Introduzione	80
15.2. Relazione tra ingresso ed uscita	80
15.3. Modello a soglia	84
Capitolo 16. Lezione del 5 aprile 2011	86
16.1. Introduzione	86
16.2. Invertitore RTL	86
16.3. Invertitore ad accoppiamento diretto	88
16.4. Usabilità del modello a soglia	90
16.5. Qualità dell'invertitore RTL	91
Capitolo 17. Lezione del 6 aprile 2011	93
17.1. Introduzione	93
17.2. Qualità dell'invertitore RTL	93
17.3. Generalizzazioni	97
17.4. Generalizzazione a funzioni a più ingressi	98
Capitolo 18. Lezione del 11 aprile 2011	101
18.1. Introduzione	101
18.2. Generalizzazione a qualsiasi invertitore	101
18.3. Generalizzazione di N_M	102
18.4. Incongruenza	104
Capitolo 19. Lezione del 12 aprile 2011	105
19.1. Introduzione	105
19.2. Rete di invertitori	105
19.3. Aumento del fan out	107
19.4. Modello dinamico del BJT	109
Capitolo 20. Lezione del 13 aprile 2011	112
20.1. Introduzione	112
20.2. Modello dinamico	112
20.3. Risposta dinamica	113
Capitolo 21. Lezione del 18 aprile 2011	119
21.1. Introduzione	119
21.2. Logica TTL statica	119
21.3. Transitorio $V_H \longrightarrow V_L$	121
21.4. Immunità di disturbi	122
21.5. Aumento della complessità	123

Capitolo 22. Lezione del 19 aprile 2011	124
22.1. Introduzione	124
22.2. Logica ECL	124
22.3. Considerazioni sulla logica ECL	126
IV. Il transistore MOS	
Capitolo 23. Lezione del 20 aprile 2011	131
23.1. Introduzione	131
23.2. Transistori ad effetto di campo	131
23.3. Transistori MOS	132
Capitolo 24. Lezione del 2 maggio 2011	137
24.1. Introduzione	137
24.2. Riassunto e conclusione dell'analisi	137
24.3. Analisi della tensione V'_G	138
Capitolo 25. Lezione del 3 maggio 2011	142
25.1. Introduzione	142
25.2. Capacità del MOS	142
25.3. Tensione di soglia	142
25.4. Transistore MOS	143
Capitolo 26. Lezione del 4 maggio 2011	148
26.1. Introduzione	148
26.2. Annulloamento delle ipotesi	148
26.3. Analisi del pinch-off	148
26.4. Completamento del modello	149
26.5. Invertitore nMOS a carico passivo	150
Capitolo 27. Lezione del 9 maggio 2011	155
27.1. Introduzione	155
27.2. Pull-up e pull-down	155
27.3. Realizzazione del bipolo di carico	156
27.4. Tensioni di soglia	160
27.5. Analisi del pull-up depletion	160
Capitolo 28. Lezione del 10 maggio 2011	162
28.1. Introduzione	162
28.2. Pull-up a svuotamento	162
28.3. Transistore pMOS	164
28.4. Pull-up a pMOS ad arricchimento	166
Capitolo 29. Lezione del 11 maggio 2011	168
29.1. Introduzione	168
29.2. Realizzabilità delle logiche cCMOS	168
29.3. Analisi del CMOS	168
29.4. Invertitori MOS	170
29.5. Invertitori pMOS	170
29.6. Realizzazione di un CMOS	172
Capitolo 30. Lezione del 16 maggio 2011	176
30.1. Introduzione	176
30.2. Margine di immunità ai disturbi	176
30.3. Generalizzazione dell'approccio	177
Capitolo 31. Lezione del 17 maggio 2011	181
31.1. Introduzione	181
31.2. Prestazioni	181
31.3. Capacità parassite	181
31.4. Commutazione LH	182
Capitolo 32. Lezione del 18 maggio 2011	187
32.1. Introduzione	187
32.2. C_{wire} dominante	187
32.3. Approccio a buffer	188
32.4. La potenza	191
Capitolo 33. Lezione del 23 maggio 2011	193

33.1. Introduzione	193
33.2. Potenza dissipata	193
Capitolo 34. Lezione del 24 maggio 2011	199
34.1. Introduzione	199
34.2. Considerazioni sulla potenza	199
34.3. Costo	199
34.4. Pass transistor	201
34.5. Transmittion gate	202
Capitolo 35. Lezione del 25 maggio 2011	204
35.1. Introduzione	204
35.2. Tempo di propagazione	204
35.3. Logiche dinamiche PE	208
Capitolo 36. Lezione del 30 maggio 2011	210
36.1. Introduzione	210
36.2. Problemi delle logiche dinamiche PE	210
36.3. Risoluzione del problema	212
Capitolo 37. Lezione del 31 maggio 2011	215
37.1. Introduzione	215
37.2. Connessioni in serie e parallelo	215
37.3. Semplificazione del flip-flop	218
Capitolo 38. Lezione del 1 giugno 2011	222
38.1. Introduzione	222
38.2. Velocità del clock e pipeline	222
38.3. Logiche TSPCL	225
V. Appendici	
Appendice A. Seminario del 11 maggio 2011	228
A.1. Introduzione	228
A.2. Il processo di fabbricazione	228
A.3. La realizzazione della struttura	228
A.4. Problemi della realizzazione	229
A.5. Realizzazione del circuito integrato	230
A.6. Limiti allo sviluppo	230
Appendice B. Esempi del 4 aprile 2011	231
B.1. Esempio 1	231
B.2. Esempio 2	233

Consiglio:
studia bene bene fisica 2, altrimenti
questo corso è incomprensibile

Capitolo 1

Informazioni generali

1.1. Docente

Docente: Professor Paolo Ciampolini
Telefono: 0521-905828
Fax: 0521-905822
Mail: paolo.ciampolini@unipr.it
Pagina personale: <http://ee.unipr.it/~ciampol/>
Ricevimento: Palazzina 4, primo piano, quando necessario o previo accordo via e-mail

1.2. Finalità

Il modulo (da 9 CFU) intende fornire le nozioni di base relative ai principi di funzionamento dei principali dispositivi a semiconduttore, sul loro impiego nei circuiti digitali, sulla organizzazione dei sistemi elettronici digitali e sulle relative metodologie di analisi e progettazione.

1.3. Programma

Parte I

I materiali semiconduttori: definizioni, caratteristiche e proprietà fondamentali.

Parte II

La giunzione *pn*: principi di funzionamento e modelli matematici comportamentali.

Caratteristiche generali dei circuiti digitali, definizioni, principali parametri e cifre di merito. Margini di immunità ai disturbi, proprietà rigenerative. Ritardi di propagazione e tempi caratteristici.

Parte III

Il transistore bipolare: principi di funzionamento e modelli matematici comportamentali.

Famiglie logiche bipolari: circuiti a diodi, TTL, ECL.

Parte IV

Il transistore MOSFET: principi di funzionamento e modelli matematici comportamentali.

Famiglie logiche MOS: *n*MOS, *c*MOS.

Il transistore MOS come interruttore: logiche a pass-transistor e transmission-gate.

Logiche dinamiche CMOS: logiche P/E, Domino, SPCL, TSPCL.

Problemi di interfacciamento: circuiti di ingresso/uscita, buffer.

Parte V

Cenni alla tecnologia di fabbricazione dei circuiti integrati.

1.4. Attività d'esercitazione

Le esercitazioni sono svolte in aula e vertono sull'analisi e sul progetto di semplici circuiti digitali.

1.5. Modalità d'esame

L'esame comprende una prova scritta e una prova orale. Il superamento della prova scritta è necessario per l'accesso alla prova orale. La prova orale deve necessariamente essere superata nello stesso appello della prova scritta. Sono ammessi alle prove scritte solo gli studenti iscritti per via telematica.

Allo scritto sono ammessi tutti i testi e gli appunti ritenuti necessari dal candidato.

La prova orale è fondamentale poiché le componenti teoriche del corso non possono essere valutate da un esame scritto.

La prova scritta ha quattro possibili valutazioni:

- ▷ buono;
- ▷ sufficiente (il voto massimo raggiungibile sarà 28/30);
- ▷ incerto (il voto massimo raggiungibile sarà 26/30);
- ▷ insufficiente (sarà precluso l'accesso alla prova orale).

Non sono previsti appelli straordinari poiché sono previsti otto appelli annuali (tre appelli invernali, tre appelli estivi e due appelli autunnali).

1.6. Testi consigliati

- ▷ J.M. Rabaey: "Digital Integrated Circuits, a Design Perspective"
- ▷ Prentice Hall Millman, Grabel: "Microelettronica", McGraw-Hill
- ▷ R. Menozzi: "Appunti di Elettronica", Pitagora

1.7. Note

- ▷ La lezione di mercoledì 23 marzo 2011 non sarà svolta per via della Sessione di Laurea di Marzo.
- ▷ La lezione del 4 aprile 2011 è stata tenuta da un'assistente del docente titolare del corso (professoressa Ilaria De Munari).
- ▷ All'inizio della lezione del 11 aprile 2011 è stato osservato un minuto di silenzio in memoria del professor Eduardo Calabrese.
- ▷ La lezione del 18 aprile 2011 è stata tenuta da un'assistente del docente titolare del corso (professoressa Ilaria De Munari).
- ▷ La lezione del 19 aprile 2011 è stata tenuta da un'assistente del docente titolare del corso (professoressa Ilaria De Munari).
- ▷ Mercoledì 11 maggio 2011 dalle 14:30 alle 15:30 in Aula F è stato tenuto un seminario sulla natura della tecnologia di produzione dei transistori.
- ▷ La lezione del 23 maggio 2011 è stata tenuta da un'assistente del docente titolare del corso (professoressa Ilaria De Munari).
- ▷ Le lezioni si lunedì 30 maggio 2011 è stata tenuta dalle ore 16:30 alle ore 18:30 in Aula H.

Parte I

Introduzione

Capitolo 2

Lezione del 28 febbraio 2011

2.1. Introduzione

Il corso di Fondamenti di Elettronica si occuperà principalmente dell'utilizzo dei dispositivi elettronici realizzati con i semiconduttori.

La principale differenza rispetto a quanto visto nei corsi di Elettrotecnica, consiste nel fatto che i dispositivi elettronici non hanno una relazione lineare tra corrente e tensione.

I circuiti realizzabili con i dispositivi elettronici sono suddivisibili in due gruppi:

- ▷ analogici;
- ▷ digitali.

In questo corso tratteremo solo i circuiti digitali lasciando la trattazione dettagliata dei circuiti analogici a corsi più specifici.

Uno schema generico del corso in oggetto è riportato in Figura 2.1.

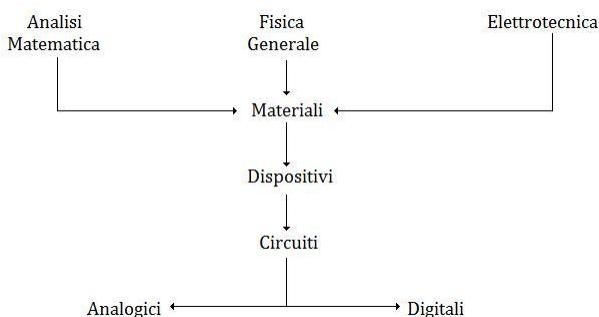


Figura 2.1. Origini ed oggetto di studio del corso.

2.2. Semiconduttori

2.2.1. Richiami

Sappiamo che l'intensità di corrente (J) è legata al campo elettrico (E) dalla relazione:

$$\overline{J} = \sigma \overline{E}$$

Se la conducibilità (σ) è elevata, siamo in presenza di un conduttore; se σ è ridotta siamo in presenza di un isolante.

Possiamo dunque dire che i materiali *semiconduttori* sono materiali che si pongono a metà strada tra i conduttori (materiali ben disposti a condurre corrente sotto l'azione di un campo elettrico) e gli isolanti.

La definizione appena data è però solo quantitativa. In realtà sappiamo che all'aumentare della temperatura, nei conduttori la conducibilità tende a diminuire mentre nei semiconduttori abbiamo il comportamento contrario: all'aumento della temperatura, la conducibilità di un semiconduttore aumenta.

Dalla Fisica e dalla Chimica sappiamo inoltre che gli elettroni ruotano attorno al nucleo dell'atomo su un'orbita e con una velocità tali da controbilanciare esattamente la forza attrattiva del nucleo. Dall'orbita percorsa dall'elettrone possiamo allora associare ad ogni elettrone una energia (l'energia cinetica) ed una forza (la forza attrattiva del nucleo). In particolare, in un sistema atomico, sono permessi solo alcuni valori di energia (alcune orbite non sono cioè percorribili). Siccome gli elettroni hanno natura sia corpuscolare sia ondulatoria è anche necessario che al termine di un'orbita un elettrone abbia effettuato un multiplo intero di periodi ondulatori.

2.2.2. Conclusioni

Non tutti i valori energetici visualizzabili su un asse sono accessibili agli elettroni. In altre parole l'energia degli elettroni è quantizzata (principio di quantizzazione dell'energia).

Ogni valore energetico consentito può essere assunto da uno ed un solo elettrone (principio di esclusione di Pauli)¹. Dal principio di esclusione deduciamo che esistono livelli occupati e livelli liberi.

In condizioni di quiete gli elettroni si posizionano spontaneamente sui livelli ad energia più bassa. È inoltre possibile determinare, tramite analisi statistiche, un livello energetico (detto livello energetico di Fermi, E_F) che discrimina tra i livelli completamente occupati ed i livelli liberi in condizione di quiete.

2.2.3. Sistemi multiatomici

I livelli energetici rilevati nei sistemi monoatomici sono leggermente diversi dai livelli energetici rilevabili sui sistemi batomici ma tutte le proprietà precedenti sono invariate. Avvicinando sempre più due atomi arriveremo alla fine a creare un legame tra i due detto legame covalente. Solitamente gli elettroni che formano il legame sono quelli con livelli energetici più elevati.

Aumentando sempre più il numero degli atomi avremo fascie molto dense di livelli energetici distinti. Allora avremo una struttura energetica a bande. Una struttura energetica a bande è una struttura energetica in cui si alternano bande dense di livelli energetici permessi a bande proibite.

Per muovere un elettrone allora sarà necessaria un'energia tale da spostarlo dal livello energetico in cui si trova ad un altro livello energetico permesso e libero. Allo zero assoluto l'elettrone al livello più prossimo al livello di Fermi sarà quello per il quale l'energia utilizzata sarà minima.

Nei conduttori, il livello di Fermi è interno ad una banda permessa e, pertanto, per eccitare gli elettroni è necessaria poca energia. Negli isolanti, invece, il livello di Fermi è posto in una banda proibita e quindi è necessaria una grande quantità di energia per eccitare gli elettroni.

Il semiconduttore ha dunque una struttura quantitativa uguale a quella di un isolante. La differenza è qualitativa: il gap tra due bande permesse è molto più piccolo rispetto allo stesso gap di un isolante.

Sono semiconduttori quei materiali in cui, a temperatura ambiente, gli elettroni possono essere eccitati per il semplice effetto dello scambio termico con l'ambiente. Una volta eccitato l'elettrone si troverà in una zona con molti livelli energetici liberi in cui muoversi e condurre corrente.

La Figura 2.2 mostra la struttura energetica di isolanti, semiconduttori e conduttori.

Un'altra differenza fondamentale è che a mano a mano che gli elettroni a livelli energetici più elevati si spostano ad energie superiori al livello di Fermi, i livelli da essi precedentemente occupati vengono via via liberati. Allora avremo

¹ In realtà su ogni livello possono essere presenti fino a due elettroni caratterizzati da un momento di spin opposto.

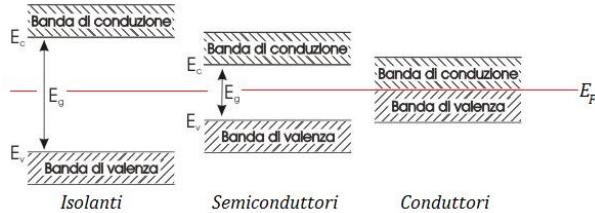


Figura 2.2. Struttura energetica di isolanti, semiconduttori e conduttori.

due bande parzialmente occupate in cui sarà necessaria poca energia per eccitare altri elettroni.

La Tabella 2.1 riassume quanto visto fino ad ora.

	E_F	Gap	Bande di conduzione
Conduttore	Interno	Molto ridotto	Una
Semiconduttore	Estermo	Ridotto	Due
Isolante	Esterno	Elevato	Due

Tabella 2.1. Caratteristiche principali dei conduttori, dei semiconduttori e degli isolanti.

La banda immediatamente superiore al livello di Fermi è detta *banda di conduzione* mentre la banda inferiore al livello di Fermi è detta è detta *banda di valenza*.

I materiali semiconduttori sono tutti i materiali posti sulla quarta colonna della tavola periodica degli elementi. In particolare useremo il Silicio (Si) ed il Germanio (Ge) ed alcuni materiali composti quali l'arseniuro di gallio (GaAs) ed il fosfuro di indio (InP).

Capitolo 3

Lezione del 1 marzo 2011

3.1. Il silicio (Si)

Il silicio (simbolo Si; numero atomico 14) è un elemento della quarta colonna della tavola periodica degli elementi. La banda di valenza del silicio presenta quattro elettroni. Il silicio genera un reticolo cristallino cubico a facce centrate che è rappresentabile in due dimensioni come in Figura 3.1.

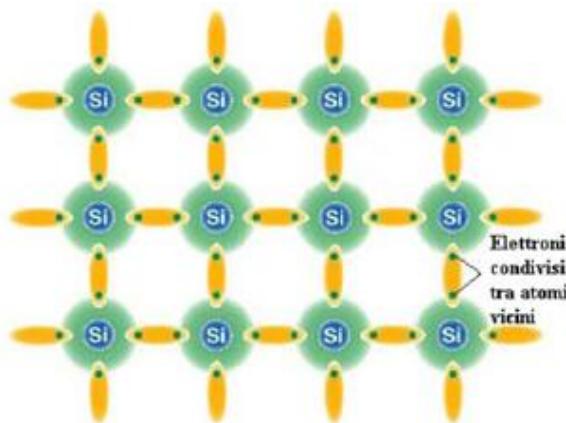


Figura 3.1. Reticolo cristallino del silicio sviluppato su due dimensioni.

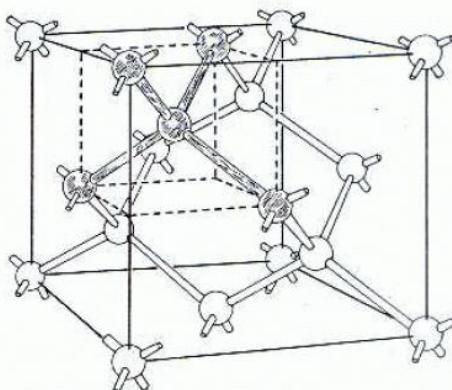


Figura 3.2. Reticolo cristallino tridimensionale del silicio.

In condizione di quiete la carica del cristallo di silicio è nulla in qualunque suo punto. Per tale motivo la densità locale di carica (ρ) è costante in qualsiasi punto del dispositivo.

Quando il cristallo di silicio riceve energia sufficiente a consentire ad uno o più elettroni il salto dell'energy gap, il dispositivo resta globalmente neutro.

Tuttavia a livello locale, in un punto del dispositivo avremo un elettrone in più mentre in un altro punto ne avremo uno in meno.

A questo punto l'assenza di un elettrone in un punto del cristallo provoca una carica locale positiva. Questa carica positiva però attira a sé nuovi elettroni. Per compiere il salto da un livello occupato al livello liberato dal precedente elettrone serve un quantitativo di energia molto minore rispetto alla quantità necessaria per liberare il primo elettrone.

Allora in un semiconduttore si hanno due meccanismi: una carica negativa si muove seguendo l'elettrone ed una carica positiva si muove seguendo l'assenza di un elettrone di legame. Poiché il trasporto di energia è dovuto a due portatori di carica di segno opposto, si parla di *trasporto bipolare*.

Dal momento che la carica positiva è dovuta all'assenza di un elettrone si dice che essa è dovuta ad una *lacuna* (in inglese è detta *hole*, buco).

3.2. Elettroni e lacune

Le lacune e gli elettroni vengono solitamente misurati in densità poiché è più importante conoscere quante lacune od elettroni vi sono in un volume. Indicheremo con n il numero di elettroni liberi nella banda di conduzione per unità di volume (l'unità di misura sarà l'inverso di un volume); indicheremo invece con p il numero di lacune nell'unità di volume.

$$n = \frac{\text{elettroni liberi in conduzione}}{\text{volume } (cm^3)}$$

$$p = \frac{\text{lacune}}{\text{volume } (cm^3)}$$

Per quanto detto fino ad ora è evidente che gli elettroni e le lacune nascono contemporaneamente. Dal momento che esiste l'evento di *generazione* di elettrone e lacuna deve esistere, affinché il sistema rimanga stabile, anche un meccanismo contrario per il quale le coppie scompaiano. La scomparsa delle coppie avviene quando diminuendo la propria energia, l'elettrone trova una lacuna e vi si insedia.

L'ergia può essere ottenuta o ceduta in vari modi (tra i più comuni vi sono il calore, le radiazioni elettromagnetiche e la luce).

Indichiamo con G il tasso di generazione e con R il tasso di ricombinazione.

$$G = \frac{\text{coppie generate}}{\text{volume tempo } (cm^3 s)}$$

$$R = \frac{\text{coppie ricominate}}{\text{volume tempo } (cm^3 s)}$$

In condizioni di stazionarietà deve essere $G = R$. Questa uguaglianza non indica che non vi siano coppie: significa semplicemente che per ogni coppia creata in un dato istante, una seconda coppia scompare.

Possiamo inoltre vedere p ed n come funzione della temperatura:

$$n = p = n_i(T) \implies p \cdot n = n_i^2$$



Alla temperatura di riferimento di 300° Kelvin (circa 27° Celsius), abbiamo:

$$n_i(300) \approx 10^{10} \text{ cm}^{-3}$$

Siccome in un centimetro cubo esistono circa 10^{23} atomi, la generazione di coppie interessa un atomo ogni 10^{13} atomi. Nonostante sia un valore così ridotto rispetto al numero totale di elettroni, esso è comunque sufficiente a far condurre il materiale.

3.3. Drogaggi

Fino ad ora abbiamo visto che in un materiale puro (*intrinseco*), deve necessariamente essere verificata l'uguaglianza $n = p$. È però possibile spezzare il vincolo appena enunciato modificando la struttura del reticolo cristallino inserendovi, senza alterare la struttura del silicio¹, elementi della terza o della quinta colonna della tavola periodica. Questa operazione prende il nome di *drogaggio*. Nel drogaggio si usano soprattutto il Fosforo (simbolo P; numero atomico 15) ed il Boro (simbolo B; numero atomico 5).

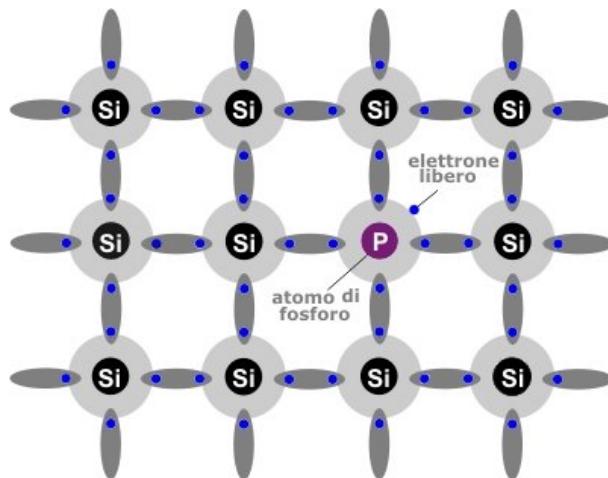


Figura 3.3. Reticolo cristallino del silicio drogato con atomi di fosforo.

Usando un atomo di fosforo (elemento della quinta colonna) abbiamo un elettrone che non si lega con altri atomi. L'elettrone libero è ora bilanciato da una carica positiva fissa (il protone del fosforo non si muove). Allora la lacuna fissa non fornisce contributo alle correnti e quindi non è più vero che $p = n$.

Poiché il fosforo dona il suo elettrone di legame inutilizzato, viene detto *donatore*. Indicheremo allora con N_D il numero di atomi donatori. Concentrazioni tipiche arrivano fino a 10^{21} per centimetro cubo (e siccome la densità del reticolo di silicio è pari a 10^{23} significa che un atomo ogni cento porta carica).

Si faccia inoltre attenzione al fatto che i livelli proibiti al silicio non sono proibiti al fosforo. Allora abbiamo un nuovo livello energetico, prima proibito, vicino alla banda di conduzione, utilizzabile dagli atomi.

Un materiale drogato viene detto *estrinseco*.

Usando materiali della quinta colonna abbiamo uno sbilanciamento in favore degli elettroni ($n > p$).



Usando invece materiali della terza colonna provochiamo uno sbilanciamento in favore delle lacune ($n < p$) poiché abbiamo uno spostamento della lacuna dovuta all'assenza di un elettrone nell'atomo usato per il drogaggio. In questo caso generiamo una lacuna mobile senza generare un elettrone mobile. Gli atomi della terza colonna sono capaci di accettare un elettrone di legame senza mettere a disposizione una lacuna mobile e sono pertanto detti *accettori*. Indicheremo allora con N_A il numero di atomi accettori. In questo caso generiamo un nuovo livello energetico vicino alla banda di valenza.

¹ Modificando la struttura del cristallo avremmo una lega.

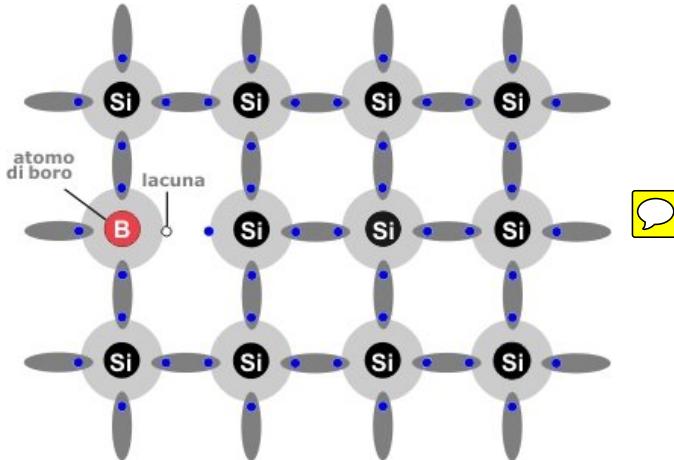


Figura 3.4. Reticolo cristallino del silicio drogato con atomi di boro.

3.4. Problemi

Nasce ora un problema: come dipendono p ed n dalla temperatura?

Per i materiali estrinseci non è più vera l'uguaglianza:

$$p = n = n_i(T)$$

dal momento che $p \neq n$. Resta tuttavia vero che:

$$p \cdot n = n_i^2(T)$$

Inoltre è vero che R e G restano equivalenti. Siccome G dipende solo dalla temperatura e R dipende dalla temperatura e dal numero di elettroni e lacune in circolazione.

$$G = g(T)$$

$$R = p \cdot n \cdot f(T)$$

Allora per l'equilibrio abbiamo:

$$g(T) = n \cdot p \cdot f(T) \implies p \cdot n = \frac{g(T)}{f(T)} = z(T)$$

Dunque, noto il valore di $p \cdot n$ in una situazione, possiamo ricavarne il valore per qualsiasi condizione.

Il dispositivo deve inoltre essere globalmente neutro. La densità di carica è data da:

$$\rho = \underbrace{(-qn)}_{\text{dovuta agli elettroni}} + \underbrace{(qp)}_{\text{dovuta ai protoni}} + \underbrace{(+qN_D)}_{\text{atomi donatori}} + \underbrace{(-qN_A)}_{\text{atomi accettori}}$$

Raccogliendo ed imponendo la densità pari a zero, abbiamo:

$$\rho = q \left(\underbrace{N_D - N_A}_{\text{cariche fisse}} + \underbrace{p - n}_{\text{cariche mobili}} \right) = 0$$

Dal momento che sappiamo essere:

$$p = \frac{n_i^2}{n}$$

possiamo facilmente ricavare la densità di carica in un materiale estrinseco uniformemente drogato.

Capitolo 4

Lezione del 2 marzo 2011

4.1. Introduzione

Nel Capitolo 3 abbiamo introdotto le principali caratteristiche dei semiconduttori. In particolare abbiamo visto che, in essi, la corrente è dovuta agli elettroni e alle lacune. Abbiamo inoltre visto che in un materiale intrinseco vale:

$$n = p$$

$$pn = n_i^2$$

Abbiamo inoltre visto che drogando un semiconduttore intrinseco il bilancio $n = p$ non è più vero. In questo caso resta però vero che:

$$pn = n_i^2$$

Abbiamo infine supposto di aver drogato un materiale in modo uniforme con concentrazioni uniformi N_D ed N_A . Allora in ogni regione la densità di carica ρ sarà nulla. La carica sarà allora data da:

$$\rho = -qn + qp - qN_A + qN_D$$

da cui, raccogliendo q ed imponendo l'uguaglianza a zero, ricaviamo:

$$\rho = q(N_D - N_A + p - n) = 0$$

Sapendo ora che, all'equilibrio, vale

$$pn = n_i^2 \implies p = \frac{n_i^2}{n}$$

abbiamo una equazione in una incognita:

$$\rho = q \left(N_D - N_A + \frac{n_i^2}{n} - n \right) = 0 \implies n^2 - (N_D - N_A)n - n_i^2 = 0$$

da cui possiamo ottenere facilmente il valore di n .

$$n = \frac{(N_D - N_A) + \sqrt{(N_D - N_A)^2 + 4n_i^2}}{2}$$

4.2. Proprietà

4.2.1. Principio di compensazione

Il calcolo del valore di n (che è una grandezza fisica necessariamente positiva) può essere molto semplificato nel caso in cui sia $N_D \gg N_A$.

$$n \approx \frac{N_D + \sqrt{N_D^2}}{2} \approx N_D \implies p = \frac{n_i^2}{N_D}$$



Questo risultato dimostra che è possibile decidere il numero di elettroni liberi drogando in modo opportuno il materiale. Casi tipici sono i seguenti:

$$\begin{aligned} N_D &= 10^{15} \text{ cm}^{-3} \\ n_i &= 10^{10} \text{ cm}^{-3} \end{aligned} \implies \begin{aligned} n &= 10^{15} \text{ cm}^{-3} \\ p &= 10^5 \text{ cm}^{-3} \end{aligned}$$

Una regione così drogata è detta *regione estrinseca di tipo n*.

Nel caso in cui sia $N_A \gg N_D$, ripetendo gli stessi calcoli appena effettuati, avremo una *regione estrinseca di tipo p*.

Si noti che il valore di p viene ricavato per differenza. Allora drogando con concentrazioni identiche di atomi accettori e donatori è come se il materiale non fosse stato drogato (l'elettrone libero donato dal donatore viene catturato dall'accettore e la coppia elettrone lacuna scompare). Questa proprietà è detta *principio di compensazione*.

4.2.2. Legge di Ohm

Sappiamo che i materiali conduttori rispettano la legge di Ohm per cui vale:

$$J = \sigma E$$

Questa relazione vale anche per i semiconduttori?

Per rispondere a questa domanda consideriamo un dispositivo bidimensionale uniformemente drogato con $N_D \gg N_A$ atomi donatori. Applichiamo ad esse un campo elettrico \bar{E} .

La forza esercitata dal campo su una singola carica q è:

$$f = -qE$$

e siccome vale sempre $f = ma$, abbiamo:

$$ma = -qE \implies \bar{a} = \frac{-q}{m} \bar{E}$$

che porta ad un *moto uniformemente accelerato*.

Questo risultato è però valido solo nel vuoto. In realtà l'elettrone si muove all'interno di un reticolo di protoni, neutroni ed elettroni che i quali interagisce. A causa di tutte le interazioni dell'elettrone con il reticolo, possiamo dire che esso si muove *mediamente* nella direzione opposta a quella del campo elettrico. Sperimentalmente si vede che l'elettrone si muove con una velocità mediamente costante e proporzionale al campo elettrico detta *mobilità elettronica* ed indicata con μ_n .

$$\bar{v}_n = -\mu_n \bar{E}$$

Ragionando in modo analogo possiamo arrivare ad un risultato simile per le lacune:

$$\bar{v}_p = +\mu_p \bar{E}$$

Contrariamente agli elettroni le lacune si muovono però nel verso del campo elettrico. Inoltre si ha che la mobilità delle lacune μ_p è tipicamente inferiore alla mobilità degli elettroni.

L'intensità della corrente è data da:

$$J = \frac{I}{s}$$

dove vale:

$$I = \frac{dQ}{dt}$$

dove dQ è la carica di un cilindro di base s ed altezza dx .

$$dQ = -q \cdot n \cdot s \cdot dx$$

Siccome è:

$$dx = -v_n dt$$

e poiché è $v_n = -\mu_n E$, raggruppando tutti i risultati ottenuti abbiamo:

$$J_n = \frac{(-q) n s (-\mu_n) E dt}{s dt} = q \mu_n n E = q \mu_n N_D E$$



dove abbiamo sfruttato il fatto che $n = N_D$ per il fatto che possiamo controllare il drogaggio del materiale. Definendo ora

$$\sigma_n = q \mu_n N_D$$

otteniamo la legge di Ohm in forma locale:

$$J_n = \sigma_n E$$



Per le lacune vale invece:

$$\sigma_p = q \mu_p p \implies J_p = \sigma_p E$$

In forma più generale abbiamo:

$$J = J_n + J_p = q (\mu_n n + \mu_p p) E$$



Poiché il valore di σ dipende dal drogaggio che si è utilizzato, possiamo realizzare, drogando opportunamente le varie porzioni del dispositivo, parti fortemente conduttrive e parti fortemente resistive. Su un unico semiconduttore possiamo quindi costruire sia i dispositivi sia le connessioni tra i dispositivi.

4.3. Drogaggi non uniformi

Fino ad ora abbiamo considerato solo materiali uniformemente drogati. Per quanto appena detto è però necessario considerare che il materiale possa non essere uniformemente drogato. Nuovamente poniamoci nel caso bidimensionale all'equilibrio in cui la concentrazione varia linearmente con x .



All'equilibrio non vi è energia che circola. Siccome gli elettroni in movimento dissipano energia deve essere:

$$J = J_n = J_p = 0$$

Gli elettroni tuttavia scambiano energia tra di loro con bilanci mediamente nulli. Questo non vuol dire che l'elettrone sia fermo: significa solamente che la probabilità che ha un elettrone di muoversi con velocità termica $v_{th}(T)$ è pari alla probabilità che esso ha di muoversi con velocità $-v_{th}(T)$.

Allora in questo caso abbiamo due volumetti interessati dal movimento. Entrambi i volumetti sono di dimensione sdx dove si ha $dx = v_{th} dt$.

Nuovamente abbiamo:

$$J = \frac{I}{s}$$

$$I = \frac{dQ}{dt}$$

Questa volta avremo però:

$$dQ = \frac{dQ_1}{2} - \frac{dQ_2}{2}$$

dove

$$dQ_1 = (-q) n_1 \cdot sdx$$

$$dQ_2 = (-q) n_2 \cdot sdx$$

in cui $n_1 \neq n_2$ sono i valori medi della densità di carica nelle sezioni limitrofe al valore di riferimento.

Sfruttando i valori di dQ_1 e dQ_2 e l'espressione di J abbiamo ora:

$$J = \frac{-qn_1sv_{th}dt + qn_2sv_{th}dt}{2sdt} = \frac{q}{2} (n_2 - n_1) v_{th}$$

che è in contrasto con l'ipotesi di equilibrio da cui siamo partiti.

In realtà, siccome le concentrazioni non sono uniformi, gli elettroni tendono a diffondersi dalle regioni a densità maggiore a quelle a densità minore. Ciò è detto *principio di diffusione* ed è simile a quanto avviene lasciando cadere una goccia di inchiostro in un bicchiere d'acqua.

In altre parole, per effetto termico, gli elettroni tendono ad appiattire la curva della concentrazione.

L'elettrone si può dunque muovere per due motivi: o per l'effetto di un campo elettrico o per effetto diffusivo. Nel caso di un droggaggio non uniforme, entrambi questi effetti sono rilevanti.

Allora in un semiconduttore abbiamo due meccanismi di spostaamento mentre in un conduttore vi è solo l'azione del campo elettrico.

La corrente di diffusione degli elettroni è dunque data da:

$$J_n = qD_n \frac{dn}{dx}$$

dove D_n è il *coefficiente di diffusione* e dipende grandemente dalla temperatura. In particolare vale la *Relazione di Einstein*:

$$D_n = \frac{KT}{q} \mu_n$$

dove $K = 1,38 \cdot 10^{-23}$ è la costante di Boltzman.

Ragionando nello stesso modo per le lacune otteniamo la versione analoga per le lacune:

$$J_p = -qD_p \frac{dp}{dx}$$

$$D_p = \frac{KT}{q} \mu_p$$

È ormai evidente che è difficile ottenere un moto puramente diffusivo poiché nel momento in cui un elettrone si muove, si viene a creare un dipolo che genera un campo elettrico. Applicando allora una versione semplificata del principio di sovrapposizione degli effetti possiamo ottenere un modello complessivo.

$$J = J_n + J_p = 0$$

$$J_n = -q\mu_n n E + qD_n \frac{dn}{dx}$$

$$J_p = q\mu_p p E - qD_p \frac{dp}{dx}$$

Nel caso multidimensionale sarà:

$$J_n = -q\mu_n n E + qD_n \text{grad}(n)$$

$$J_p = q\mu_p p E + qD_p \text{grad}(p)$$

Questo modello è detto *modello a trascinamento diffusivo* (*drift diffusion* in inglese) e sostituisce la legge di Ohm per lo studio dei semiconduttori.

4.4. Relazioni

Per i semiconduttori abbiamo quindi le relazioni seguenti:

$$E = -\frac{dQ}{dx}$$

$$\rho = q(N_D - N_A + p - n)$$

densità carica

$$\frac{d(\varepsilon E)}{dx} = \rho$$

$$J = J_n + J_p = 0$$

Densità corrente

$$J_n = -q\mu_n n E + qD_n \frac{dn}{dx}$$

campo E + diff.

$$J_p = q\mu_p p E - qD_p \frac{dp}{dx}$$

Parte II

Il diodo a giunzione *pn*

Capitolo 5

Lezione del 7 marzo 2011

5.1. Introduzione

Nei Capitoli 2, 3 e 4 abbiamo introdotto i semiconduttori e ne abbiamo evidenziato le principali differenze rispetto ai conduttori.

Abbiamo inoltre modellizzato i semiconduttori come:

$$\bar{J} = \bar{J}_n + \bar{J}_p$$

dove \bar{J}_n è la densità di corrente dovuta agli elettronni e \bar{J}_p è la densità di corrente dovuta alle lacune. Nel caso bidimensionale (che è il caso di nostro interesse), tali componenti si possono esprimere come:

$$J_n = -q\mu_n nE + qD_n \frac{dn}{dx}$$

$$J_p = q\mu_p pE - qD_p \frac{dp}{dx}$$

Infine abbiamo sottolineato come la mobilità elettronica e la mobilità delle lacune possano essere scritte come:

$$D_n = \frac{KT}{q}\mu_n$$

$$D_p = \frac{KT}{q}\mu_p$$

con D_n tipicamente più grande di due o tre volte rispetto a D_p .

5.2. Applicazione del modello

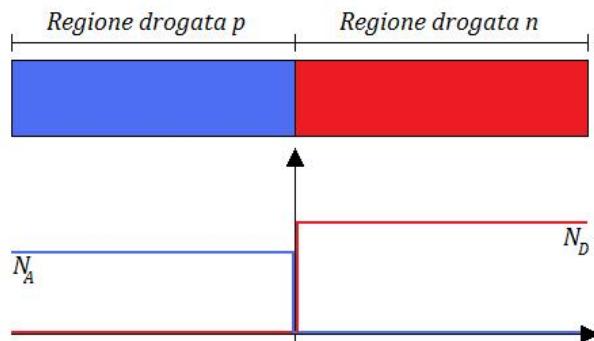


Figura 5.1. Semiconduttore con drogaggi differenti all'equilibrio ($T = 0^{\circ}K$).

In un materiale di tipo n dorgato non uniformementeabbiamo:

$$J_n = 0 \implies q\mu_n n E - qD_n \frac{dn}{dx} = 0$$

ma sappiamo che è:

$$\begin{aligned} E &= -\frac{d\varphi}{dx} \\ D_n &= \frac{KT}{q}\mu_n \end{aligned}$$

e quindi, sostituendo, possiamo scrivere:

$$-q\mu_n n \frac{d\varphi}{dx} + q \frac{KT}{q}\mu_n \frac{dn}{dx} \implies \frac{d\varphi}{dx} = \frac{KT}{q} \cdot \frac{1}{n} \cdot \frac{dn}{dx}$$

che, integrando, porta a:

$$\varphi_2 - \varphi = \frac{KT}{q} \cdot \ln \frac{n_2}{n_1}$$

Allora:

- ▷ conoscendo la differenza di concentrazione in due punti, possiamo calcolare il potenziale;
- ▷ conoscendo la differenza di potenziale in due punti, possiamo calcolare la concentrazione.

Da questa considerazione possiamo decidere arbitrariamente che esiste un punto x_0 in cui, all'equilibrio, sia:

$$\begin{cases} \varphi = 0 \\ n = 0 \\ p = 0 \end{cases}$$

Alloraabbiamo:

$$\varphi(x) = \frac{KT}{q} \cdot \ln \frac{n(x)}{n_0} \iff n(x) = n_0 \cdot e^{\frac{q\varphi(x)}{KT}}$$

Lo stesso ragionamento si può applicare imponendo $J_p = 0$. In questo casosarebbe:

$$\varphi(x) = -\frac{KT}{q} \cdot \ln \frac{p(x)}{p_0} \iff p(x) = p_0 \cdot e^{-\frac{q\varphi(x)}{KT}}$$

5.3. La giunzione pn

Mantenendoci nelle condizioni di equilibrio e di bidimensionalità, vogliamo drogare un blocco di semiconduttore con concentrazioni uniformi di atomi accettori e donatori.

Il punto in cui si passa dalla regione drogata di tipo p (cioè con atomi accettori) e la regione di tipo n (con atomi donatori) è detto *giunzione metallurgica* o più semplicemente *giunzione*.

In condizione di equilibrio sappiamo che è:

$$J_n = J_p = 0$$

Possiamo aspettarci che la maggior parte dei fenomeni di diffusione si concentrino nei pressi del punto di giunzione. Conseguentemente possiamo anche ipotizzare che esista una coordinata w_n ed una sua duale $-w_p$ oltre le quali non si notano gli effetti perturbativi dovuti alla giunzione. Allora il dispositivo è diviso in quattro regioni:

1. una regione drogata p che non risente della giunzione;

2. una regione drogata p che risente della giunzione;
 3. una regione drogata n che risente della giunzione;
 4. una regione drogata n che non risente della giunzione.
- I casi 1 e 4 sono già stati studiati in precedenza.

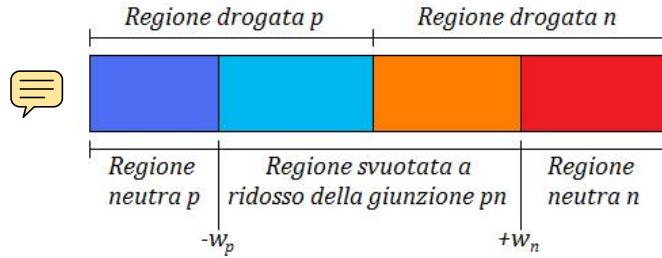


Figura 5.2. Schema di una giunzione pn e delle quattro zone in cui si può ipotizzare di suddividerla.

5.3.1. Intervallo $(-\infty; -w_p)$

Questa regione è detta **zona neutra di tipo p** .

In questo intervallo abbiamo:



$$n \approx \frac{n_i^2}{N_A}$$

$$\rho = q(N_D - N_A + p - n) = 0$$

Inoltre deve essere valida l'uguaglianza:

$$J_p = q\mu_p pE - qD_p \frac{dp}{dx} = 0$$

ma siccome il secondo membro è nullo (la **derivata di una costante** è sempre nulla) deve essere nullo anche il primo membro e dunque sarà: **$E = 0$** .

Il potenziale dovrà essere costante (se il campo elettrico, che è la derivata del potenziale, è nullo il potenziale dovrà essere necessariamente costante). Allora possiamo decidere che il **potenziale φ** sia nullo.

5.3.2. Intervallo $(-w_p; w_n)$



Sappiamo con ragionevolezza che nell'intervallo $(-w_p; w_n)$ il **potenziale** sarà:

$$0 < \varphi < \psi$$

Tuttavia sappiamo anche che, per φ anche di poco maggiore di zero (risultato necessariamente verificato per $x > -w_p$), sarà:

$$\varphi > 0$$

$$p(x) = p_0 \cdot e^{-\frac{q\varphi(x)}{KT}}$$

$$p(x) \gg p_0 \approx N_A$$

Dalla parte opposta, avremo invece, necessariamente:

$$\varphi < \psi$$

$$n(x) = n_0 \cdot e^{-\frac{q\varphi(x)}{KT}}$$

$$n(x) \ll n_0 \approx N_D$$

Dunque in tutto l'intervallo $(-w_p; w_n)$ la concentrazione di elettroni e lacune è trascurabile. Questa regione è detta *regione svuotata*. Il termine "svuotata" non indica che non vi siano portatori di carica ma solo che essi sono in una concentrazione trascurabile rispetto alle concentrazioni delle regioni neutre.

5.3.3. Intervallo $(-w_p; 0)$

In questo intervallo non abbiamo portatori mobili.

Allora in questa regione la densità di carica è:

$$\rho = q(-N_A + p - \infty) = -qN_A$$

poiché p ed n sono trascurabili per piccole variazioni della concentrazione.

Inoltre:

$$\frac{dE}{dx} = \frac{\rho}{\varepsilon}$$

Conseguentemente:

$$\frac{dE}{dx} = \frac{-qN_A}{\varepsilon}$$

da cui:

$$dE = -\frac{qN_A}{\varepsilon} dx \implies E(x) - E(-w_p) = \frac{-qN_A}{\varepsilon} (x + w_p)$$

Per continuità con l'intervallo $(-\infty; -w_p)$, avremo $E(-w_p) = 0$.

$$E(0) = -qN_A(w_p)$$

Allora nell'intervallo in questione il campo elettrico è una retta con coefficiente angolare negativo.

Infine il potenziale è:

$$\frac{d\varphi}{dx} = \frac{qN_A}{\varepsilon} (x + w_p) \implies d\varphi = \frac{qN_A}{\varepsilon} (x + w_p) dx$$

che, integrando da $-w_p$ ad x , porta a:

$$\varphi(x) - \varphi(w_p) = \frac{qN_A}{\varepsilon} \cdot \frac{(x + w_p)^2}{2} = \frac{qN_A}{2\varepsilon} (x - w_p)^2$$

Anche in questo caso, per continuità con l'intervallo $(-\infty; -w_p)$, avremo $\varphi(w_p) = 0$.

$$\varphi(0) = \frac{qN_A}{2\varepsilon} (w_p)^2$$

5.3.4. Intervallo $(0; w_n)$

Applicando ragionamenti similari a quelli visti nel Paragrafo 5.3.3 otteniamo una densità di carica:

$$\rho = qN_D$$

La positività della costante è dovuta al fatto che, in questa regione, gli ioni fissi portano carica positiva.

Per il campo elettrico avremo invece:



Figura 5.3. Concentrazione di atomi accettori e donatori in un diodo a giunzione pn a temperatura ambiente.

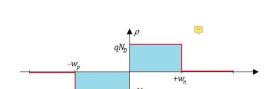


Figura 5.4. Grafico della densità di carica in un diodo a giunzione pn.

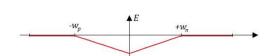


Figura 5.5. Campo elettrico in un diodo a giunzione pn.



Figura 5.6. Potenziale in un diodo a giunzione pn.

$$E(x) = \frac{qN_D}{\varepsilon} (x - w_n)$$

che è una retta con coefficiente angolare positivo ed ordinata di origine negativa.

$$E(0) = \frac{qN_D}{\varepsilon} (-w_n)$$

Infine il potenziale si calcola in modo simile a quanto visto per l'intervallo $(-w_p; 0)$.

$$\begin{cases} E = \frac{qN_d}{\varepsilon} (x - w_n) \\ E = -\frac{d\varphi}{dx} \end{cases} \implies -d\varphi = \frac{qN_d}{\varepsilon} (x - w_n) dx$$

Integrando da $\varphi(0)$ a $\varphi(w_n) = \psi_b$ otteniamo:

$$\varphi(x) = \psi_b - \frac{qN_D}{2\varepsilon} (x - w_p)^2$$

5.3.5. Intervallo $(w_n; +\infty)$

Questa regione è detta *zona neutra di tipo n*.

In questa regione valgono tutti i ragionamenti visti nel Paragrafo 5.3.1 con l'unica differenza che non possiamo impostare arbitrariamente il valore di φ .

In questo intervallo abbiamo:

$$n \approx N_D$$

$$p \approx \frac{n_i^2}{N_D}$$

$$\rho = q(N_D - N_A + p - n) = 0$$

Inoltre deve essere valida l'uguaglianza:

$$J_n = q\mu_{np}pE - qD_n \frac{dn}{dx} = 0 \implies E = 0$$



In questo caso non possiamo porre nuovamente il potenziale a zero poiché esso deve essere misurato in relazione al valore $\varphi = 0$ imposto in precedenza. Dalla relazione ricavata nel Paragrafo 5.2 abbiamo:

$$\varphi(x > w_n) = \frac{KT}{q} \cdot \ln \frac{N_D N_A}{n_i^2}$$

e, siccome $\frac{KT}{q}$ deve essere un potenziale solitamente si indica con V_T ed è detta *tensione termica*. A temperatura ambiente abbiamo:

$$V_T = 25 \text{ mV}$$

Il valore del potenziale nella zona neutra n è indicato con ψ_b ed è detto *potenziale barriera* poiché deve fungere da barriera contro la diffusione dei portatori di carica.

5.3.6. Grafici

I grafici seguenti mostrano le principali caratteristiche di una giunzione pn nelle quattro regioni.

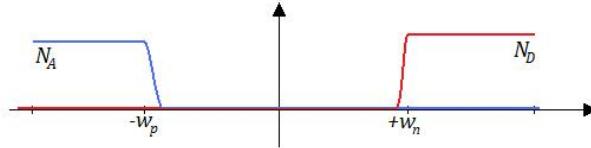


Figura 5.3. Concentrazione di atomi accettori e donatori in un diodo a giunzione *pn* a temperatura ambiente.

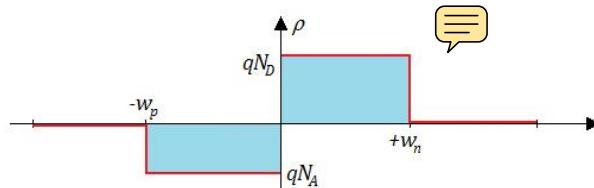


Figura 5.4. Grafico della densità di carica in un diodo a giunzione *pn*.

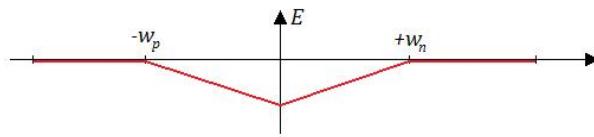


Figura 5.5. Campo elettrico in un diodo a giunzione *pn*.

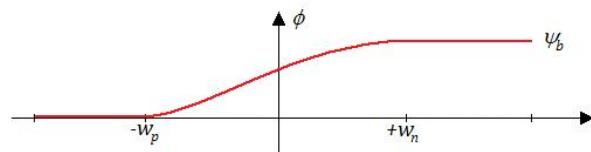


Figura 5.6. Potenziale in un diodo a giunzione *pn*.

Si noti che è:

$$qN_A w_p = qN_D w_n$$

Da questa relazione notiamo che la regione si svuota in maniera inversamente proporzionale alla concentrazione poiché le aree azzurre in Figura 5.4 devono essere uguali.

Oltre ad indicare che la giunzione si comporta quasi come un condensatore, questa relazione ci consente di ridurre di una ingognita le nostre equazioni.

Capitolo 6

Lezione del 8 marzo 2011

6.1. Introduzione

Nel Capitolo 5 abbiamo introdotto un primo dispositivo elettronico, la giunzione pn , la cui struttura sarà alla base di gran parte dei dispositivi elettronici più complessi.

6.2. Validazione

I risultati ed i grafici ottenuti nel Capitolo 5, si basano su una ipotesi: che $-w_p$ e w_n siano entrambi compatibili con le dimensioni fisiche del dispositivo. Dobbiamo ora valutare se l'ipotesi è corretta o meno.

Sappiamo che il campo elettrico si può calcolare in due modi differenti a seconda che consideriamo la zona svuotata n o nella zona svuotata p . Siccome le due zone si congiungono in $x = 0$, in quel punto il campo dovrà, per continuità, essere lo stesso sia che venga calcolato da destra sia che venga calcolato da sinistra. Abbiamo ricavato in precedenza che deve essere:

$$qN_A w_p = qN_D w_n$$

Ragionando in modo analogo per il potenziale otteniamo che deve risultare:

$$\frac{qN_A}{2\varepsilon} w_p^2 = \psi_b - \frac{qN_D}{2\varepsilon} w_n^2$$

che è un'equazione in due incognite.

Allora possiamo mettere le due equazioni a sistema e risolvere per sostituzione.

$$\begin{cases} qN_A w_p = qN_D w_n \\ \frac{qN_A}{2\varepsilon} w_p^2 = \psi_b - \frac{qN_D}{2\varepsilon} w_n^2 \end{cases} \implies \begin{cases} w_p = \frac{N_D}{N_A} w_n \\ \psi_b = \frac{q}{2\varepsilon} (N_A w_p^2 + N_D w_n^2) \end{cases}$$
$$\psi_b = \frac{q}{2\varepsilon} \left(N_A \left(\frac{N_D}{N_A} w_n \right)^2 + N_D w_n^2 \right) = \frac{qN_D^2 w_n^2}{2\varepsilon} \left(\frac{1}{N_A} + \frac{1}{N_D} \right)$$

Sfruttando ora il fatto che

$$\psi_b = \frac{KT}{q} \ln \frac{N_D N_A}{n_i^2}$$

e sciogliendo il quadrato facendo la radice di ambo i membri, ricaviamo un valore numerico per w_n e w_p :

$$w_n = \frac{1}{N_D} \sqrt{\frac{2\varepsilon\psi_b}{q \left(\frac{1}{N_A} + \frac{1}{N_D} \right)}}$$
$$w_p = \frac{1}{N_A} \sqrt{\frac{2\varepsilon\psi_b}{q \left(\frac{1}{N_A} + \frac{1}{N_D} \right)}}$$

Tali valori, con parametri tipici, si attestano sulla dimensione di qualche micron. Allora è sufficiente che il blocchetto di semiconduttore abbia dimensioni superiori a qualche micron perché l'ipotesi sia soddisfatta ed il ragionamento sia valido.

6.3. Considerazioni

Possiamo inoltre calcolare l'ampiezza totale della regione svuotata.

$$w \doteq w_p + w_n = \left(\frac{1}{N_A} + \frac{1}{N_D} \right) \sqrt{\frac{2\epsilon\psi_b}{q \left(\frac{1}{N_A} + \frac{1}{N_D} \right)}} = \sqrt{\frac{2\epsilon\psi_b}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right)}$$

Da questo risultato notiamo che la regione svuotata è tanto più piccola quanto più è drogato il materiale. Conseguentemente, se una parte del materiale è più drogata dell'altra, avremo una regione svuotata asimmetrica più piccola nella zona maggiormente drogata.

Inoltre, dai grafici, notiamo che il campo elettrico ha verso opposto rispetto all'asse x . Dunque il campo ha un effetto di trascinamento delle lacune verso la zona p e degli elettroni verso la zona n che contrasta l'effetto diffusivo dovuto alla differenza di concentrazione. Abbiamo dunque una differenza di potenziale tra le due zone.

Questa differenza di potenziale non produce tuttavia energia all'esterno (si avrebbe una violazione del principio di conservazione dell'energia): attaccando una lampadina ai capi delle regioni drogata questa non si accende. Questo risultato si spiega considerando che la giunzione tra il metallo ed il semiconduttore ha effetti simili alla giunzione pn e deve essere nuovamente studiata in dettaglio. Anche fra la zona p ed il metallo dunque si sviluppa una differenza di potenziale (detta *differenza di potenziale di contatto* ed indicata da ψ_{cp} o ψ_{cn}). Allora dovrà essere:

$$\psi_b + \psi_{cp} + \psi_{cn} = 0$$

La differenza di potenziale di contatto è dipendente solamente dalla configurazione fisica del sistema e non dalla corrente che lo attraversa. Un contatto di questo tipo è detto *contatto ohmico*.

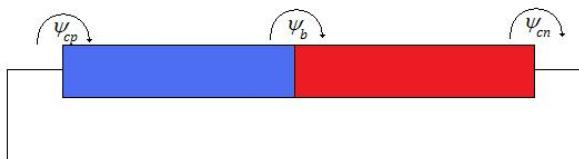


Figura 6.1. Diodo a giunzione pn collegato ad un filo di rame.

6.4. Funzionamento

Fino ad ora abbiamo studiato il comportamento del nostro oggetto in condizione di equilibrio. Vogliamo adesso studiarne il funzionamento fuori equilibrio: agganciamo un generatore di tensione V al sistema.

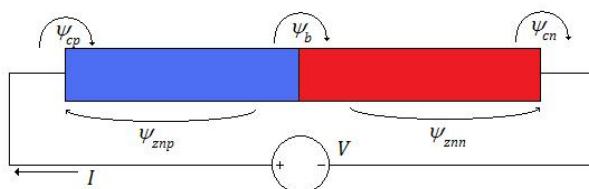


Figura 6.2. Applicazione di un generatore di tensione al diodo.

All'equilibrio, cioè con $V = 0$, abbiamo, per la legge di Kirchoff:

$$\psi_{cp} + \psi_{b_0} + \psi_{cn} = 0$$

dove ψ_{b_0} è il potenziale di barriera all'equilibrio.

Usciamo dalla condizione di equilibrio: al variare di V dovrà variare anche ψ_b . Tuttavia, lo abbiamo studiato in precedenza, le zone neutre si comportano come resistenze. Le cadute di potenziale sulle zone neutre sono indicate con ψ_{znp} e ψ_{znn} . Allora, nuovamente per la legge di Kirchoff, abbiamo:

$$V + \psi_{cp} - \psi_{znp} + \psi_b - \psi_{znn} - \psi_{cn} = 0$$

Ipotizziamo che i contatti siano ohmici e supponiamo che i ragionamenti qualitativi fatti nella condizione di equilibrio siano ancora validi¹. Sotto queste ipotesi, la corrente sarà qualitativamente piccola e, conseguentemente, le cadute di potenziale sulle zone neutre siano qualitativamente piccole. Quantifichiamo il termine *piccolo* come:

$$\psi_{znp}, \psi_{znn} \ll \psi_b$$

Allora possiamo semplificare l'equazione di maglia² in:

$$0 + \psi_{cp} - 0 + \psi_{b_0} - 0 - \psi_{cn} = 0$$

Sottraendo membro a membro le due equazioni ottenute per la condizione fuori equilibrio abbiamo:

$$V + \psi_b - \psi_{b_0} = 0$$

da cui ricaviamo che il potenziale di barriera, in condizione di piccolo scostamento dall'equilibrio, è pari al potenziale di barriera in condizione di equilibrio diminuito della tensione applicata:

$$\psi_b = \psi_{b_0} - V$$

Dunque applicando una tensione positiva abbassiamo la barriera di potenziale mentre applicando una tensione negativa alziamo la barriera di potenziale.

$$\begin{aligned} V > 0 &\implies \psi_b > \psi_{b_0} \\ V < 0 &\implies \psi_b < \psi_{b_0} \end{aligned}$$

Sfruttando il grafico di Figura 6.3 notiamo due comportamenti differenti in base alla tensione applicata.

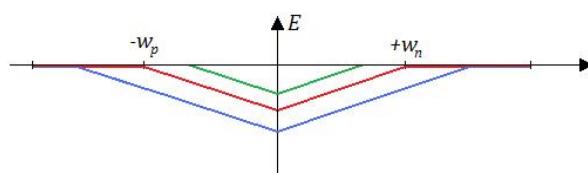


Figura 6.3. Una differenza di potenziale modifica l'influenza del campo elettrico.

¹ Supponiamo cioè che di ragionare in condizione di piccolo scostamento dalla condizione di equilibrio.

² Questa semplificazione non sarà più accettabile quando l'ipotesi di piccolo scostamento cadrà.

Se V è positivo, abbiamo un abbassamento del campo ed il termine diffusivo è più importante del termine di trascinamento. Di conseguenza la corrente sarà positiva.

Se invece V è negativo abbiamo un innalzamento del campo ed il termine di trascinamento è più forte rispetto al termine di diffusione. Di conseguenza la corrente sarà negativa.

La Tabella 6.1 riassume questo risultato.

Tensione	Effetti	Corrente
$V > 0$	Trascinamento < Diffusione	$I > 0$
$V = 0$	Trascinamento = Diffusione	$I = 0$
$V < 0$	Trascinamento > Diffusione	$I < 0$

Tabella 6.1. Effetto vincente rispetto a differenti valori di tensione.

La differenza fondamentale è dovuta alla differenza della popolazione su cui agisce l'effetto:

- ▷ la corrente di diffusione agisce sui portatori maggioritari e quindi basta una ridotta variazione di tensione per avere una grande variazione di corrente;
- ▷ la corrente di trascinamento agisce sui portatori minoritari e quindi una ridotta variazione di tensione porta ad una variazione di corrente molto ridotta.

Il comportamento è graficato in Figura 6.4.

Il dispositivo appena studiato è detto *diodo a giunzione pn* e viene rappresentato simbolicamente come una freccia che punta nella direzione in cui la corrente procede con facilità ed una barriera per il verso opposto.

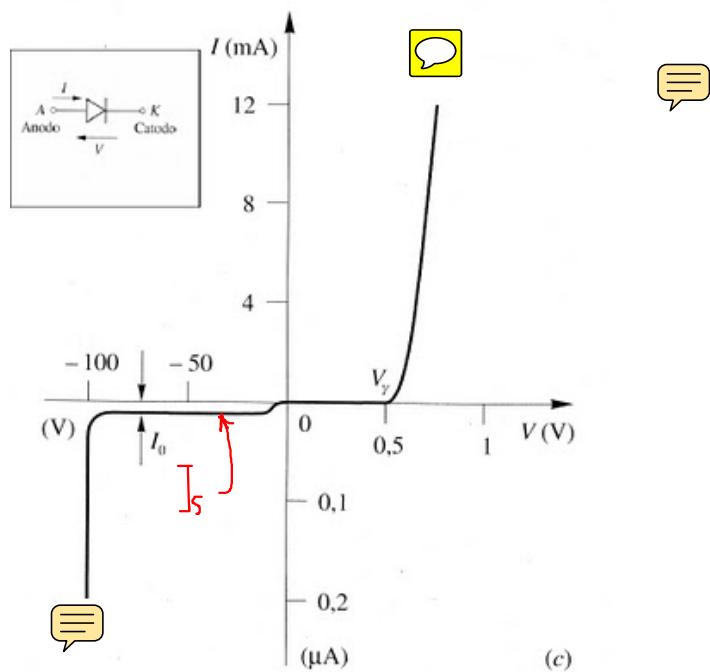


Figura 6.4. Caratteristica e simbolo grafico di un diodo a giunzione pn.

Il diodo a giunzione pn ha due regioni di funzionamento: una detta *diretta* (quando V ed I sono positive) ed una detta *inversa* (con V ed I negative).

La caratteristica del diodo a giunzione pn è modellabile come:

$$I = I_S \left(e^{\frac{qV}{kT}} - 1 \right)$$

developers,
developers,
developers,
developers!!!

In questo modello:

- ▷ il valore -1 è necessario per far passare dall'origine la curva esponenziale che altrimenti passerebbe nel punto $I = 1$ per una tensione nulla;
- ▷ la costante I_S (la corrente inversa di saturazione) è il valore di corrente cui tende asintoticamente il valore della corrente quando si applicano valori di corrente molto negativi.

Sperimentalmente si nota che il modello così ricavato funziona bene solo quando tutte le ipotesi iniziali sono rispettate. Tuttavia se la tensione eccede un certo valore negativo, la corrente ricomincia a crescere a grande velocità risultando fortemente negativa.

La tensione per cui avviene questo fenomeno è detta *tensione di scarica* o *tensione di break-down* ed è dovuta al fatto che, quando la tensione negativa eccede un certo valore, anche il campo elettrico inizia a generare coppie elettronelacuna.

L'ipotesi caduta è dunque la trascurabilità dell'azione del campo rispetto all'azione diffusiva.

Aumentando troppo la tensione positiva e tracciando la curva su scala logaritmica, otteniamo il comportamento graficato in Figura 6.5.

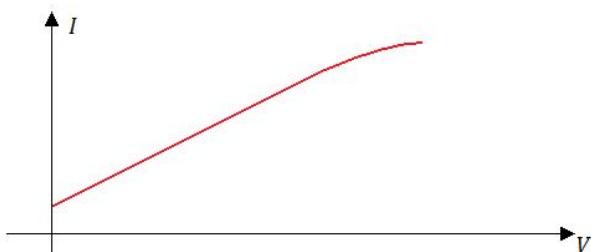


Figura 6.5. Corrente in funzione della tensione in scala logaritmica.

L'ipotesi caduta in questo caso è la trascurabilità delle cadute sulle zone neutre poiché non è più vero che sia:

$$\psi_{znp}, \psi_{znn} \ll \psi_b$$



Figura 6.6. Esempi di diodi in commercio.

Capitolo 7

Lezione del 9 marzo 2011

7.1. Introduzione

Nel Capitolo 6 abbiamo introdotto il **diodo a giunzione pn**. Abbiamo inoltre ricavato un **modello matematico per il diodo** nell'ipotesi di piccolo scostamento dall'equilibrio.

$$I = I_S \left(e^{\frac{V}{V_T}} - 1 \right)$$

dove V_T è pari a $\frac{kT}{q}$.

7.2. Utilità del diodo

Abbiamo ormai completato lo studio del diodo. Vogliamo ora campire a cosa può servire il componente elettronico appena ricavato.

Consideriamo allora la semplice rete formata da un diodo in rete ad un generatore di tensione V_i e ad una resistenza R . Proviamo allora a ricavare la tensione in uscita v_u a partire dalla differenza di potenziale di ingresso v_i .

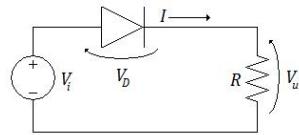


Figura 7.1. Un semplice circuito che usa un diodo.

Detta V_D la caduta di potenziale sul diodo, abbiamo:

$$V_i - V_D - V_u = 0$$

per l'equazione di Kirchoff alla maglia, e:

$$V_u = RI$$

per la legge di Ohm. Introducendo la caratteristica del diodo:

$$I = I_S \left(e^{\frac{V}{V_T}} - 1 \right)$$

possiamo ricavare:

$$V_u = RI_S \left(e^{\frac{V_i - V_u}{V_T}} - 1 \right)$$

Questo risultato è però difficilmente utilizzabile poiché V_u non viene isolato a primo o secondo membro. Calcoliamo allora la tensione di ingresso.

$$\frac{V_u}{RI_S} + 1 = e^{\frac{V_i - V_u}{V_T}}$$

Applichiamo il logaritmo.

$$V_T \ln \left(\frac{V_u}{RI_S} + 1 \right) = \frac{V_i - V_u}{V_i}$$

$$V_i = V_u + V_T \ln \left(\frac{V_u}{RI_S} + 1 \right)$$

Allora siamo riusciti ad esprimere la tensione di ingresso in funzione della tensione di uscita. Il grafico è riportato in Figura 7.2.

Siccome la relazione è biunivoca, ci basta ora ribaltare il grafico rispetto alla diagonale del primo e terzo quadrante per ottenere il grafico di $|V_u|$ in funzione di V_i .

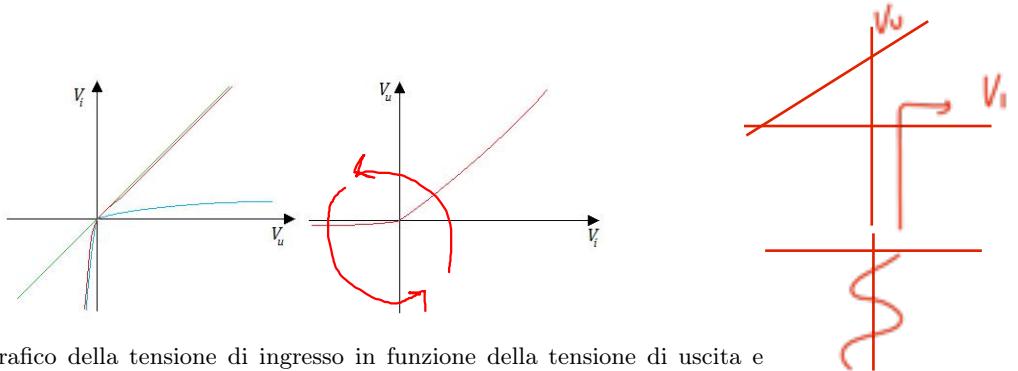


Figura 7.2. Grafico della tensione di ingresso in funzione della tensione di uscita e grafico della tensione di uscita in funzione di quella di ingresso.

Dal grafico notiamo che per qualunque valore di tensione in ingresso troviamo in uscita un valore molto simile (anche se leggermente al di sotto) mentre per qualunque valore negativo otteniamo all'uscita un valore molto prossimo allo zero.

Supponiamo ora di applicare un segnale variabile nel tempo come una sinusoide. Sfruttando, anche solo graficamente, la caratteristica del diodo notiamo che per tutti i valori positivi di v_i , otteniamo in uscita un valore molto prossimo a quello di v_i mentre per i valori negativi di v_i il diodo appiattisce l'uscita a valori praticamente nulli.

Allora il diodo è in grado di discriminare le fasi a valori positivi dalle fasi a valori negativi di un segnale tempo variante. Una prima, evidente, utilità è l'alterazione del valor medio della curva: infatti se in ingresso si ha una sinusoide a valor medio nullo, in uscita avremo un segnale a valor medio positivo. Un'applicazione estremamente diffusa del diodo è la conversione della tensione da alternata (sinusoidale) ad una tensione continua. Questo tipo di circuito è detto *circuito raddrizzatore*.

L'efficienza di questa soluzione è alquanto bassa poiché annulla metà del segnale.

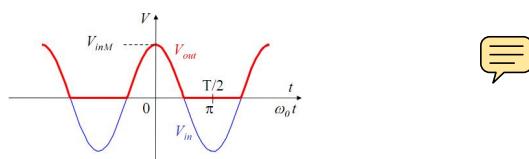


Figura 7.3. Uscita (in rosso) di un raddrizzatore a semionda quando si ha in ingresso (in blu) una sinusoidale.

Scambiamo ora di posizione la resistenza ed il diodo (Figura 7.4).

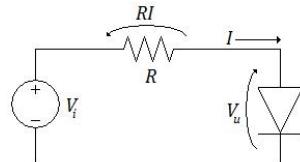


Figura 7.4. Circuito limitatore realizzato con un diodo.

La tensione di uscita è ora ai capi del diodo. Applichiamo nuovamente Kirchoff alla maglia.

$$V_i - RI - V_u = 0 \implies V_u = V_i - RI$$

$$I = I_S \left(e^{\frac{V_u}{V_T}} - 1 \right)$$

$$V_u = V_i - RI_S \left(e^{\frac{V_u}{V_T}} - 1 \right)$$

Anche in questo caso l'equazione è di difficile utilizzo. Ripetiamo il procedimento visto nel caso precedente ed otteniamo:

$$V_i = V_u + RI_S \left(e^{\frac{V_u}{V_T}} - 1 \right)$$

che ribaltato rispetto alla diagonale porta ad avere il grafico riportato in Figura 7.5.



Figura 7.5. Uscita di un limitatore.

Un circuito di questo tipo è un **circuito limitatore** che viene usato per eliminare tutti i valori di ingresso che eccedono un certo valore. Questo tipo di circuito è utile quando è necessario proteggere delle componenti da scariche elettrostatiche ad alta tensione.

Già da questi semplici esempi si nota che non è sempre possibile ottenere una soluzione analitica esatta dell'equazione. Possiamo però approssimare la soluzione con metodi di tipo numerico approssimando l'equazione non lineare ad equazioni lineari (gli strumenti elettronici sfruttano questo sistema in alcuni casi). Una seconda possibilità è quella di risolvere l'equazione l'equazione stessa (e cioè **semplificando il modello**) in modo da potere ottenere un modello risolvibile analiticamente.

7.3. Modello a soglia

Riprendendo la caratteristica del diodo notiamo che essa è composta da due tratti. Nel tratto di polarizzazione diretta abbiamo che $\frac{dI}{dV}$ è molto grande; nel tratto di polarizzazione inversa invece $\frac{dI}{dV}$ è molto piccola.

La curva non è allora approssimabile ad una retta perché perderemmo il carattere di non linearità del diodo. Tuttavia possiamo **sfruttare due rette**: una quasi nulla (a livello $-I_S$) per la corrente per la polarizzazione inversa ed una parallela all'asse della corrente (a $V_\gamma \approx 0,6 \sim 0,8$ V) nella regione di polarizzazione diretta.

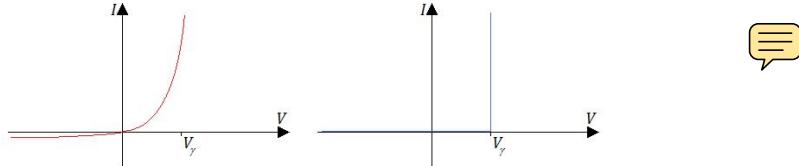


Figura 7.6. Caratteristica $V \rightarrow I$ di un diodo nei modelli esponenziale (in rosso) e a soglia (in blu).

Allora il modello si semplifica enormemente. Abbiamo infatti:

$$\begin{cases} I = 0 & \text{per } V < V_\gamma \\ V = V_\gamma & \text{per } I > 0 \end{cases}$$

Questo modello è detto *modello a soglia del diodo* poiché discrimina il comportamento del diodo in base ad un valore di soglia.

L'approssimazione ci consente di utilizzare due equazioni lineari al posto di una non lineare. A livello grafico possiamo notare che il modello a soglia fornisce approssimazioni sempre migliori per valori sempre più lontani dal punto di soglia.

7.4. Applicazione del modello a soglia

7.4.1. Circuito raddrizzatore

Vediamo ora di applicare il modello a soglia al circuito raddrizzatore di Figura 7.7.

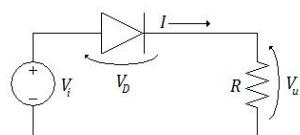


Figura 7.7. Raddrizzatore a semionda.

Dall'equazione di maglia di Kirchoff e dalla legge di Ohm abbiamo:

$$V_i - V - V_u = 0$$

$$V_u = RI$$

Incontriamo ora il primo problema del nostro modello approssimato: avendo due regioni di funzionamento **dobbiamo risolvere due volte il sistema e controllare che i risultati così ottenuti siano compatibili con le ipotesi di funzionamento formulate**¹.

¹ In generale avendo n diodi, si dovranno analizzare e verificare 2^n regioni di funzionamento. Il limite di questo approccio è duplice: bisogna identificare in quali ambiti esso è applicabile e, per grandi circuiti, il numero di calcoli cresce in modo esponenziale.

Il modello a soglia impone che:

$$\begin{cases} I = 0 & \text{per } V < V_\gamma \\ V = V_\gamma & \text{per } I > 0 \end{cases}$$

Diodo OFF. In questo caso è:

$$\begin{cases} I = 0 \rightarrow V_u = 0 \\ V < V_\gamma \\ V - V_i - V_u = 0 \end{cases} \implies V_i < V_\gamma$$

ed il modello risulta corretto.

Diodo ON. In questo caso è:

$$\begin{cases} I > 0 \rightarrow V_u > 0 \\ V < V_\gamma \rightarrow V_u = V_i - V_\gamma \end{cases} \implies V_i > V_\gamma$$

ed il modello risulta corretto.

Grafico.

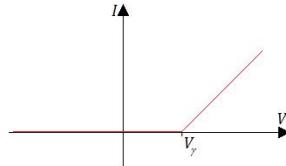


Figura 7.8. Caratteristica $V \rightarrow I$ di un raddrizzatore.

7.4.2. Circuito limitatore positivo

Consideriamo ora il circuito di Figura 7.9.

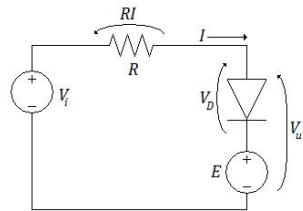


Figura 7.9. Circuito limitatore positivo.

Ancora una volta abbiamo:

$$V_i - RI - V_u = 0$$

$$V_u = V_D + E$$

Diodo OFF. In questo caso abbiamo:

$$\begin{cases} I = 0 \\ I = \frac{V_i - V_u}{R} \end{cases} \implies V_i = V_u$$

$$\begin{cases} V_D < V_\gamma \\ V_D = V_u - E \end{cases} \implies V_u - E < V_\gamma$$

da cui ricaviamo:

$$V_i - E < V_\gamma \implies V_i < E + V_\gamma$$

Dunque il modello è corretto.

Diodo ON. In questo caso abbiamo:

$$\begin{cases} V_D = V_\gamma \implies V_u = V_\gamma + E \\ I > 0 \implies V_i - V_u > 0 \implies V_i > V_u \end{cases} \implies V_i > E + V_\gamma$$

Dunque il modello funziona.

Grafico.

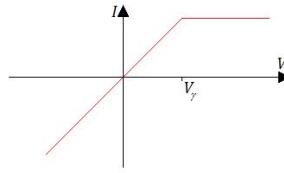


Figura 7.10. Caratteristica $V \rightarrow I$ di un limitatore positivo.

Si noti che variando il valore di E è possibile aumentare o diminuire arbitrariamente il valore della limitazione.

7.4.3. Circuito limitatore negativo

Utilizziamo ora il circuito di Figura 7.11.

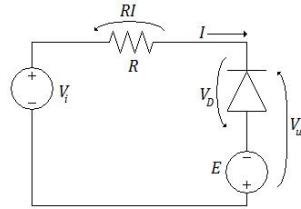


Figura 7.11. Circuito limitatore negativo.

Allora per l'equazione di maglia di Kirchoff è:

$$V_i + RI = V_u$$

$$V_u = -E - V_D$$

Diodo OFF. In questo caso abbiamo:

$$\begin{cases} I = 0 \implies V_u = V_i \\ V_D < V_\gamma \\ V_D = -E - V_i \end{cases} \implies -E - V_u < V_\gamma \implies V_u > -E - V_\gamma$$

Diodo ON. In questo caso abbiamo:

$$\begin{cases} V_D = V_\gamma \rightarrow V_u = -(E + V_\gamma) \\ I > 0 \rightarrow I = \frac{-V_i + V_u}{R} \rightarrow V_i < V_u \end{cases} \implies V_i < -(E + V_\gamma)$$

Dunque il modello funziona.

Grafico.

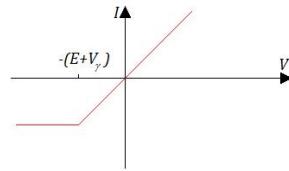


Figura 7.12. Caratteristica $V \rightarrow I$ di un limitatore negativo.

Capitolo 8

Lezione del 14 marzo 2011

8.1. Introduzione

Nel Capitolo 7 abbiamo incominciato l'analisi di circuiti con componenti non lineari. Per effettuare questa analisi abbiamo visto due modelli: uno, molto accurato ma spesso difficilmente risolvibile, che utilizza un'equazione esponenziale ed uno, più semplice da risolvere ma meno preciso, che fa uso di due equazioni lineari. Il secondo modello è chiamato *modello regionale* ed è riassumibile come:

$$\begin{cases} I = 0 & V_D < V_\gamma \\ I > 0 & V_D = V_\gamma \end{cases}$$

La semplicità viene però pagata con un aumento esponenziale delle equazioni da risolvere: con n diodi dobbiamo infatti considerare 2^n regioni (non tutte necessariamente fisicamente possibili).

8.2. Limitatore doppio

Analizziamo il circuito di Figura 8.1.

Notiamo subito che questo circuito prevede quattro regioni di funzionamento. Prima di procedere però, dalla configurazione del circuito, ricaviamo:

$$V_i - V_u = RI$$

$$I = I_1 - I_2$$

$$V_u = V_{D1} + E_2 \implies V_{D1} = V_u - E_1$$

$$V_u = -V_{D2} - E_2 \implies V_{D2} = -V_u - E_2$$

Per ipotesi, imponiamo che E_1 ed E_2 siano positivi.

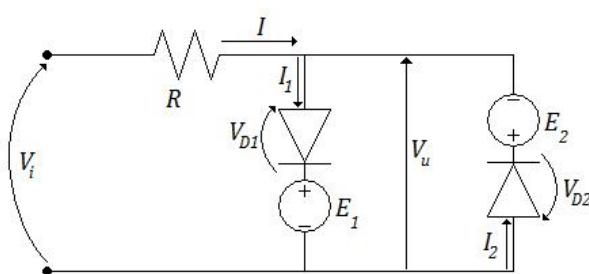


Figura 8.1. Circuito per la realizzazione di un limitatore doppio.

8.2.1. D_1 OFF e D_2 OFF

Formuliamo ora l'ipotesi che sia D_1 sia D_2 siano spenti:

$$\begin{cases} I_1 = 0 \\ I_2 = 0 \end{cases} \implies I = 0 \implies V_u = V_i$$

$$\begin{cases} V_{D1} < V_\gamma \\ V_{D2} < V_\gamma \end{cases} \implies \begin{cases} V_u - E_1 < V_\gamma \\ -V_u - E_2 < V_\gamma \end{cases} \implies \begin{cases} V_i < E_1 + V_\gamma \\ V_i > -V_\gamma - E_2 \end{cases}$$

8.2.2. D_1 ON e D_2 OFF

Consideriamo ora l'ipotesi in cui sia acceso solo D_1 . Abbiamo:

$$\begin{cases} I_1 > 0 \\ I_2 = 0 \end{cases} \implies I > 0 \implies \frac{V_i - V_u}{R} > 0 \implies V_i > V_u \implies V_i > E_1 + V_\gamma$$

che è complementare a quanto ottenuto in precedenza. Controlliamo ora che venga rispettata l'ipotesi che D_2 sia spento:

$$V_{D2} < V_\gamma \implies -(E_2 + V_u) < V_\gamma \implies -(E_2 + E_1 + V_\gamma) < V_\gamma$$

che risulta essere sempre verificata. Quindi se il diodo D_1 è acceso, allora il diodo D_2 non può essere acceso. Allora possiamo evitare di considerare il caso in cui D_1 e D_2 siano entrambi accesi.

8.2.3. D_1 ON e D_2 ON

Supponiamo comunque, per verifica, che entrambi i diodi siano accesi.

In questo caso è:

$$\begin{cases} V_{D1} = V_\gamma \implies V_u - E_1 = V_\gamma \implies V_u = E_1 + V_\gamma > 0 \\ V_{D2} = V_\gamma \implies -V_u - E_2 = V_\gamma \implies V_u = -(E_2 + V_\gamma) < 0 \end{cases}$$

che è assurdo poiché la tensione di uscita non può essere contemporaneamente positiva e negativa.

8.2.4. D_1 OFF e D_2 ON

Per finire esaminiamo il caso duale a quello visto nel Paragrafo 8.2.2. Se solo il diodo D_2 è acceso risulta essere:

$$\begin{cases} I_1 = 0 \\ I_2 > 0 \end{cases} \implies I < 0 \implies \frac{V_i - V_u}{R} < 0 \implies V_i < V_u \implies V_i < -(E_2 + V_\gamma)$$

$$V_{D2} = V_\gamma \implies -V_u - E_2 = V_\gamma \implies V_u = -(E_2 + V_\gamma)$$

8.2.5. Grafico e considerazioni

La caratteristica è riportata in Figura 8.2 e risulta essere la caratteristica di un limitatore doppio. Si tratta cioè di un circuito nel quale si hanno tre comportamenti:

1. la tensione di uscita è pari alla tensione di ingresso se questa è compresa nell'intervallo $[-(E_2 + V_\gamma); (E_1 + V_\gamma)]$;
2. la tensione di uscita è limitata al valore $(E_1 + V_\gamma)$ se la tensione di ingresso eccede tale valore;
3. la tensione di uscita è limitata al valore $-(E_2 + V_\gamma)$ se la tensione di ingresso eccede tale valore.

Questo tipo di circuito risulta molto utile quando è necessario proteggere componenti sensibili da scariche elettriche ad alta intensità.

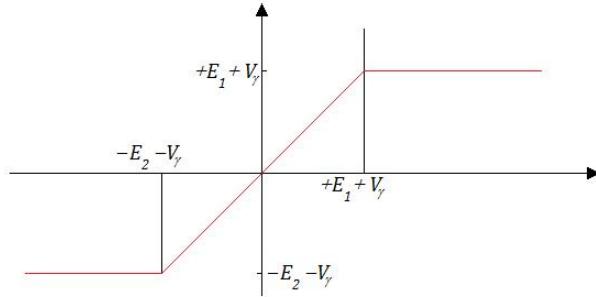


Figura 8.2. Caratteristica di un limitatore doppio.

8.3. Rivelatore di massimo

Esaminiamo ora il circuito di Figura 8.3.

Ancora una volta avremo quattro regioni di funzionamento. Dal circuito possiamo però ricavare preliminarmente:

$$V_u = RI$$

$$I = I_1 + I_2$$

$$V_{D1} = V_1 - V_u$$

$$V_{D2} = V_2 - V_u$$

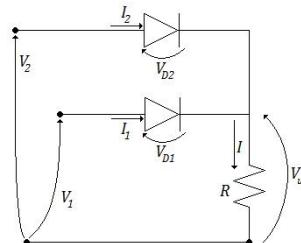


Figura 8.3. Circuito per la realizzazione di un rivelatore di massimo.

8.3.1. D1 OFF e D2 OFF

Abbiamo:

$$\begin{cases} I_1 = 0 \\ I_2 = 0 \end{cases} \implies I = 0 \implies V_u = 0$$

che risulta essere verificata per:

$$\begin{cases} V_{D1} < V_\gamma \\ V_{D2} < V_\gamma \end{cases} \implies \begin{cases} V_1 - V_u < V_\gamma \\ V_2 - V_u < V_\gamma \end{cases} \implies \begin{cases} V_1 < V_\gamma \\ V_2 < V_\gamma \end{cases}$$

8.3.2. $D1$ ON e $D2$ OFF

In questo caso risulta essere:

$$V_{D1} = V_\gamma \implies V_{D1} - V_u = V_\gamma \implies V_u = V_1 - V_\gamma$$

Le condizioni per cui ciò è verificato sono le seguenti:

$$\begin{cases} I_1 > 0 \\ I_2 = 0 \end{cases} \implies I > 0 \implies V_u > 0 \implies V_1 > 0$$

Ed allora ricaviamo:

$$V_1 > V_\gamma$$

Ma dobbiamo anche considerare che $D2$ deve essere spento:

$$V_{D2} < V_\gamma \implies V_2 - V_u < V_\gamma \implies V_2 < V_u + V_\gamma \implies V_2 < V_1$$

Allora $D2$ risulta essere spento se $V_2 < V_1$.

8.3.3. $D1$ ON e $D2$ ON

In questa situazione abbiamo:

$$\begin{cases} V_{D1} = V_\gamma \\ V_{D2} = V_\gamma \end{cases} \implies \begin{cases} V_u = V_1 - V_\gamma \\ V_u = V_2 - V_\gamma \end{cases}$$

Allora le due espressioni per la tensione di uscita devono portare allo stesso risultato. Dunque sarà:

$$V_1 = V_2$$

$$\begin{cases} I_1 > 0 \\ I_2 > 0 \end{cases} \implies I > 0 \implies V_u > 0 \implies \begin{cases} V_1 > V_\gamma \\ V_2 > V_\gamma \end{cases}$$

8.3.4. $D1$ OFF e $D2$ ON

La situazione è simmetrica rispetto a quanto visto nel Paragrafo 8.3.2. In questo caso risulta essere:

$$V_u = V_2 - V_\gamma \implies V_2 > V_\gamma$$

quando si ha:

$$V_1 < V_2$$

8.3.5. Considerazioni

Questo circuito permette di riportare in uscita, a meno di una costante, il segnale di ingresso maggiore tra i due possibili. Possiamo quindi scrivere che:

$$V_u = \max \{0; (V_1 - V_\gamma); (V_2 - V_\gamma)\}$$

Questo circuito è detto *rivelatore di massimo*.

8.3.6. Utilizzo del rivelatore di massimo

Il rivelatore di massimo è molto utile quando dobbiamo discriminare i valori di un segnale binario digitale. Ipotizziamo di assegnare il valore $V_L \approx 0$ al simbolo 0 e $V_H \approx 5$ al simbolo 1.

La Tabella 8.1 ne riassume il comportamento.

V_1	V_2	D_1	D_2	V_u	x_1	x_2	y
V_L	V_L	OFF	OFF	V_L	0	0	0
V_L	V_H	OFF	ON	V_H	0	1	1
V_H	V_L	ON	OFF	V_H	1	0	1
V_H	V_H	ON	ON	V_H	1	1	1

Tabella 8.1. Comportamento digitale di un rivelatore di massimo e sua versione in logica booleana.

Dalla tabella notiamo che il rivelatore di massimo realizza una porta OR a due ingressi. Aumentando arbitrariamente il numero di diodi possiamo aumentare arbitrariamente il numero di ingressi.

Questa tecnologia è estremamente semplice ed economica ma non garantisce prestazioni elevate.

8.4. Rivelatore di minimo

Analizziamo adesso il circuito di Figura 8.4.

Nuovamente dall'analisi circuitale ricaviamo:

$$V_u = E - RI$$

$$I = I_1 + I_2$$

$$V_{D1} = V_u - V_1$$

$$V_{D2} = V_u - V_2$$

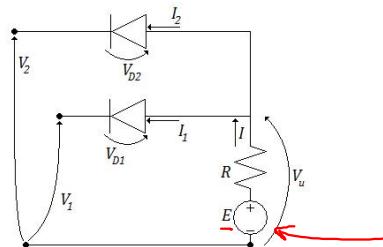


Figura 8.4. Circuito per la realizzazione di un rivelatore di minimo.

8.4.1. D_1 OFF e D_2 OFF

Abbiamo:

$$\begin{cases} I_1 = 0 \\ I_2 = 0 \end{cases} \implies I = 0 \implies V_u = E$$

che risulta essere verificata per:

$$\begin{cases} V_{D1} < V_\gamma \\ V_{D2} < V_\gamma \end{cases} \implies \begin{cases} V_1 - V_u < V_\gamma \\ V_2 - V_u < V_\gamma \end{cases} \implies \begin{cases} V_1 > E - V_\gamma \\ V_2 > E - V_\gamma \end{cases}$$

8.4.2. *D1 ON e D2 OFF*

In questo caso risulta essere:

$$V_{D1} = V_\gamma \implies V_u - V_1 = V_\gamma \implies V_u = V_1 + V_\gamma$$

Le condizioni per cui ciò è verificato sono le seguenti:

$$\begin{cases} I_1 > 0 \\ I_2 = 0 \end{cases} \implies I > 0 \implies \frac{E - V_u}{R} > 0 \implies E > V_u \implies V_1 < E - V_\gamma$$

Ma dobbiamo anche considerare che *D2* deve essere spento:

$$V_{D2} < V_\gamma \implies V_u - V_2 < V_\gamma \implies V_2 > V_u - V_\gamma \implies V_2 > V_1$$

Allora *D2* risulta essere spento se $V_2 > V_1$.

8.4.3. *D1 ON e D2 ON*

In questa situazione abbiamo:

$$\begin{cases} V_{D1} = V_\gamma \\ V_{D2} = V_\gamma \end{cases} \implies \begin{cases} V_u = V_1 + V_\gamma \\ V_u = V_2 + V_\gamma \end{cases}$$

Allora le due espressioni per la tensione di uscita devono portare allo stesso risultato. Dunque sarà:

$$V_1 = V_2$$

$$\begin{cases} I_1 > 0 \\ I_2 > 0 \end{cases} \implies I > 0 \implies V_u > 0 \implies \begin{cases} V_1 < E - V_\gamma \\ V_2 < E - V_\gamma \end{cases}$$

8.4.4. *D1 OFF e D2 ON*

La situazione è simmetrica rispetto a quanto visto nel Paragrafo 8.4.2. In questo caso risulta essere:

$$V_u = V_2 + V_\gamma \implies V_2 < E - V_\gamma$$

quando si ha:

$$V_1 > V_2$$

8.4.5. Considerazioni

Questo circuito (detto *rivelatore di minimo*) ha la funzione di riportare in uscita il valore più piccolo tra quelli forniti in ingresso a meno di una costante V_γ .

$$V_u = \min \{E ; (V_1 + V_\gamma) ; (V_2 + V_\gamma)\}$$

8.4.6. Utilizzo del rivelatore di minimo

Interpretiamo il rivelatore di minimo in senso digitale. Di nuovo ipotizziamo di assegnare il valore $V_L \approx 0$ al simbolo 0 e $V_H \approx 5$ al simbolo 1.

La Tabella 8.2 ne riassume il comportamento.

V_1	V_2	D_1	D_2	V_u	x_1	x_2	y
V_L	V_L	ON	ON	V_L	0	0	0
V_L	V_H	ON	OFF	V_L	0	1	0
V_H	V_L	OFF	ON	V_L	1	0	0
V_H	V_H	OFF	OFF	V_H	1	1	1

Tabella 8.2. Comportamento digitale di un rivelatore di massimo e sua versione in logica booleana.

Dalla tabella notiamo che il rivelatore di massimo realizza una porta AND a due ingressi. Aumentando arbitrariamente il numero di diodi possiamo aumentare arbitrariamente il numero di ingressi.

Analogamente alla porta OR realizzata con i diodi anche questa porta AND è estremamente semplice ed economica ma non garantisce prestazioni elevate.

Capitolo 9

Lezione del 15 marzo 2011

9.1. Introduzione

Nel Capitolo 8, abbiamo visto come realizzare i primi circuiti elettronici con i diodi. In particolare abbiamo visto che è possibile realizzare sia porte logiche AND che porte logiche OR.

In questo Capitolo inizieremo lo studio di circuiti più complessi.

9.2. Raddrizzatore a doppia semionda

Analizziamo ora il circuito di Figura 9.1.

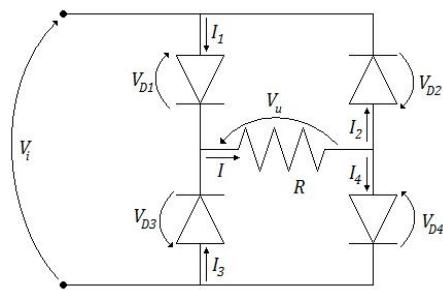


Figura 9.1. Raddrizzatore a doppia semionda.

A prima vista, trattandosi di un circuito con quattro diodi, dovremo analizzare sedici regioni di funzionamento differenti. La Tabella 9.1 mostra le sedici possibili regioni. Sono indicate con una “X” le regioni fisicamente non ammesse.

		OFF	OFF	ON	ON	D3
		OFF	ON	OFF	ON	D4
OFF	OFF	9.2.3	X	X	X	
OFF	ON	X	X	9.2.5	X	
ON	OFF	X	9.2.4	X	X	
OFN	ON	X	X	X	X	
D1						

Tabella 9.1. Tabella delle regioni di funzionamento del raddrizzatore a doppia semionda. Le “X” indicano le zone fisicamente non possibili.

Analizzando preliminarmente il circuito possiamo ricavare che sia:

$$I = I_1 + I_3 = I_4 + I_2$$

$$V_u = RI$$

$$V_{D1} + V_{D2} + V_u = 0$$

$$V_{D3} + V_{D4} + V_u = 0$$

9.2.1. D1 ON

Ipotizzando che il diodo $D1$ è acceso, otteniamo dalle equazioni di maglia che è:

$$\begin{cases} I_1 > 0 \\ I_3 > 0 \end{cases} \implies I > 0 \implies V_u > 0$$

$$V_{D1} - V_\gamma > 0$$

$$V_{D2} = -(V_u + V_{D1})$$

e di conseguenza avremo:

$$V_{D2} < 0$$

Ma allora quando il diodo $D1$ è acceso il diodo $D2$ sarà necessariamente spento.

Sempre dalle equazioni di maglia notiamo quando $D1$ è acceso, sarà anche acceso il diodo $D4$. Infatti sarà:

$$I_4 = I - I_2 \implies V_{D4} - V_\gamma > 0$$

$$V_{D3} = -(V_u + V_{D4}) < 0$$

Ed allora anche quando il diodo $D4$ risulta acceso il diodo $D3$ non può essere acceso.

9.2.2. D2 ON

Se il diodo $D2$ è acceso avremo:

$$\begin{cases} I_2 > 0 \\ I_4 \geq 0 \end{cases} \implies I > 0 \implies V_u > 0$$

$V_{D2} = V_\gamma > 0$

$$V_{D1} = -(V_u + V_{D2}) < 0$$

Ma allora se il diodo $D2$ è acceso, il diodo $D1$ deve essere spento e quindi:

$$I_1 = 0$$

Pertanto, siccome è:

$$I = I_3 + I_1$$

avranno che la corrente è fornita dal diodo $D3$ che dovrà dunque essere acceso.

Ancora, sempre dalle equazioni di maglia, notiamo che il diodo non sono ragionevoli neppure le condizioni di accensione di un solo diodo.

Ma allora le regioni da analizzare si sono ridotte da sedici a tre.

9.2.3. $D1$, $D2$, $D3$ e $D4$ OFF

In questa ipotesi la corrente è evidentemente nulla.

$$I_1 = I_2 = I_3 = I_4 = 0 \implies I = 0$$

Allora per la legge di Ohm, la tensione di uscita è nulla.

$$V_u = 0$$

Questa condizione è accettabile quando si ha:

$$\begin{cases} V_{D1} < V_\gamma \\ V_{D2} < V_\gamma \\ V_{D3} < V_\gamma \\ V_{D4} < V_\gamma \end{cases}$$

Usando le equazioni di maglia per i diodi $D1$ e $D4$ abbiamo:

$$V_i - V_{D1} - V_u - V_{D4} = 0 \implies V_{D1} + V_{D4} = V_i$$

da cui segue che deve essere:

$$V_i < 2V_\gamma$$

Procedendo nello stesso modo per $D2$ e $D3$, avremo:

$$V_i + V_{D2} + V_{D3} + V_u = 0 \implies V_{D2} + V_{D3} = -V_i$$

e quindi:

$$V_i > -2V_\gamma$$

Allora l'ambito di validità di questa regione è:

$$-2V_\gamma < V_i < 2V_\gamma$$

9.2.4. $D1$ ON, $D2$ OFF, $D3$ OFF e $D4$ ON

Le ipotesi significano che la corrente è:

$$I_1 = I_4 = I > 0$$

Ma è anche:

$$V_{D1} = V_{D4} = V_\gamma$$

Sfruttiamo l'equazione di Kirchoff vista nel Paragrafo 9.2.3:

$$V_i - V_{D1} - V_u - V_{D4} \implies V_u = V_i - 2V_\gamma$$

Questa condizione è verificata quando si ha:

$$V_u > 0$$

che, in relazione alla tensione di ingresso, è:

$$V_i > 2V_\gamma$$

9.2.5. D_1 OFF, D_2 ON, D_3 ON e D_4 OFF

È la condizione duale a quelle del Paragrafo 9.2.4. Abbiamo:

$$I_3 = I_2 = I > 0$$

$$\begin{cases} V_{D2} = V_\gamma \\ V_{D3} = V_\gamma \end{cases}$$

Sfruttiamo nuovamente l'equazione di maglia di Kirchoff vista nel Paragrafo 9.2.3.

$$V_i + V_{D2} + V_{D3} + V_u \implies V_u = -(V_i + V_{D2} + V_{D3}) \implies V_u = -V_i - 2V_\gamma$$

Queste ipotesi sono valide quando si ha:

$$V_i < -2V_\gamma$$

9.2.6. Grafico e considerazioni

Il grafico della caratteristica è riportato in Figura 9.2.

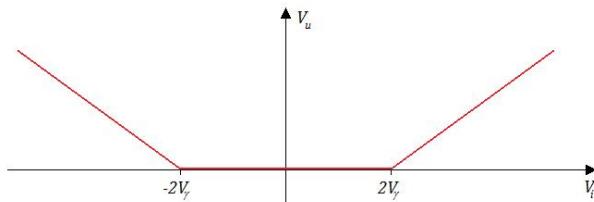


Figura 9.2. Caratteristica del raddrizzatore a doppia semionda.

Questo circuito si comporta come un raddrizzatore a semionda per i valori positivi di V_i che eccedono la soglia $2V_\gamma$. I valori di ingresso negativi che eccedono il valore $-2V_\gamma$ vengono riportati in positivo (vengono cioè "raddrizzati").

Per via di questo comportamento il circuito prende il nome di *raddrizzatore a doppia semionda*.

Il raddrizzatore a doppia semionda è molto più efficiente di un raddrizzatore a semionda poiché, pur consentendo di ottenere un segnale a valor medio non nullo da un segnale a valor medio nullo, non elimina metà del segnale e, raddrizzandolo, porta ad un valor medio più elevato a parità di ingresso.

La configurazione esamitata è detta *ponte raddrizzatore di diodi* ed è spesso disegnata come in Figura 9.3.

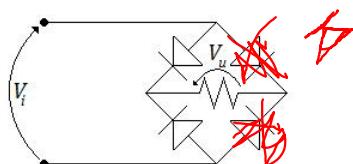


Figura 9.3. Rappresentazione grafica classica del raddrizzatore a doppia semionda.

9.3. Convertitore alternata continua

I circuito raddrizzatori visti fino a questo momento, pur raddrizzando il segnale e portando un valor medio non nullo all'uscita, riportano comunque segnali periodici non costanti. Molti dispositivi domestici funzionano però a corrente continua. **Dobbiamo trovare dunque un modo per estrarre la componente continua del segnale.**

Questo risultato si può ottenere facilmente aggiungendo un **filtro passa basso** che blocchi le componenti ad alta frequenza del segnale. Il più semplice filtro passa basso possibile è un condensatore che si comporta come un circuito aperto per frequenze nulle e come un corto circuito per frequenze elevate.

Analizziamo ora cosa succede aggiungendo un filtro passa basso al raddrizzatore a singola semionda (per semplicità). Lo schema è riportato in Figura 9.4.

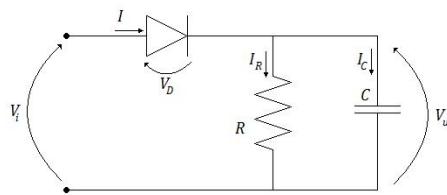


Figura 9.4. L'aggiunta del condensatore di capacità C consente di ridurre la variabilità del segnale di uscita.

L'aggiunta del condensatore di capacità C modifica la caratteristica. Per le relazioni costitutive di resistenza e condensatore e per la legge di Kirchoff abbiamo ora:

$$I_R = \frac{V_u}{R}$$

$$I_C = C \cdot \frac{dV_u}{dt}$$

$$I = I_R + I_C \implies I = \frac{V_u}{R} + C \cdot \frac{dV_u}{dt}$$

$$V_i - V_D - V_u = 0$$

Ipotizziamo di avere in ingresso:

$$V_i = V_m \sin(\omega t)$$

con $V_m \gg V_\gamma$ (che è tipicamente verificata).

9.3.1. Diodo acceso

In questo caso è:

$$V_D = V_\gamma \implies V_u = V_m \sin(\omega t)$$

$$I > 0 \implies \frac{V_u}{R} + C \cdot \frac{dV_u}{dt} > 0$$

Ma, per come è definito l'ingresso, il diodo sarà certamente attivo nell'intervallo $[0; \frac{T}{4}]$ dove T è il periodo. Nell'intervallo $[\frac{T}{2}; \frac{3T}{4}]$ il diodo sarà invece necessariamente spento. Tuttavia nell'intervallo $(\frac{T}{4}; \frac{T}{2})$ in cui si avrà $I = 0$ e cioè un punto, t_{OFF} nel quale il diodo si spegne.

9.3.2. Spegnimento del diodo

Per calcolare t_{OFF} imponiamo che sia:

$$\frac{V_u}{R} + C \cdot \frac{dV_u}{dt} = 0$$

$$-\frac{V_u}{R} = C \cdot \frac{dV_u}{dt}$$

$$-\frac{V_m \sin(\omega t)}{R} = C \cdot \frac{d}{dt} [V_m \sin(\omega t)]$$

$$-\frac{V_m}{R} \cdot \sin(\omega t) = V_m C \omega \cdot \cos(\omega t)$$

$$\frac{\sin(\omega t)}{\cos(\omega t)} = -\omega RC$$

$$\tan(\omega t_{\text{OFF}}) = -\omega RC \implies \omega t_{\text{OFF}} = -\arctan(\omega RC) \pm k\pi$$

Allora abbiamo ricavato l'istante in cui il diodo si spegne. Ricordando che la tangente tende a $\pm\infty$ per $\alpha \rightarrow \pm\frac{\pi}{2}$ ed è periodica su un intervallo di durata $T = \pi$ è chiaro che il punto di spegnimento del diodo si troverà nell'angolo compreso tra $\frac{\pi}{2}$ e π .

Riportato sul grafico di Figura 9.5 vediamo che il punto di spegnimento è tanto più vicino al tempo $\frac{T}{4}$ quanto più è elevato il valore di RC .

Da t_{OFF} in avanti il diodo risulta spento e la corrente sul diodo è nulla.

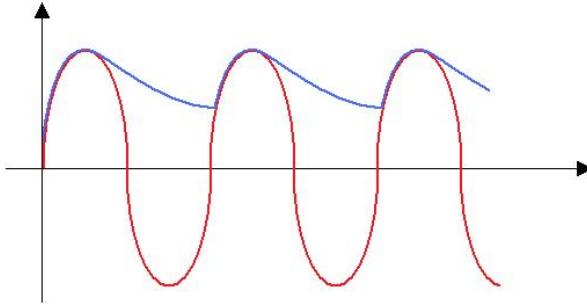


Figura 9.5. Quando il diodo si spegne il condensatore inizia la sua fase di scarica.

9.3.3. Diodo spento

Quando il diodo è spento abbiamo:

$$I = 0$$

$$\frac{V_u}{R} + C \cdot \frac{dV_u}{dt} = 0$$

Ora però l'ingresso è nullo ed il circuito è semplificato come in Figura 9.6.

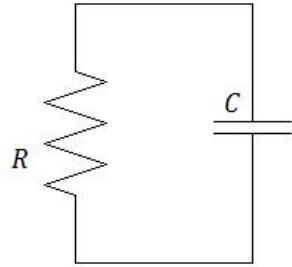


Figura 9.6. Quando il diodo si spegne il circuito si semplifica ad un parallelo tra il condensatore e la resistenza.

Risolvendo l'equazione differenziale abbiamo:

$$\begin{aligned} \frac{1}{RC} \int_{t_{\text{OFF}}}^t dt &= \int_{V_u(t_{\text{OFF}})}^{V_u(t)} \frac{1}{V_u} dV_u \\ \frac{t - t_{\text{OFF}}}{RC} &= \ln \frac{V_u(t)}{V_u(t_{\text{OFF}})} \\ V_u(t) &= V_u(t_{\text{OFF}}) e^{\frac{t-t_{\text{OFF}}}{RC}} \end{aligned}$$

Allora l'uscita decresce con una curva esponenziale tanto più velocemente quanto più è piccolo il valore di RC .

Questa condizione è verificata per tutti i valori per cui si ha:

$$V_u > V_i$$

Allora quando incontriamo nuovamente la sinusoide di ingresso torniamo ad utilizzare la relazione usata per il diodo acceso e quindi torniamo ad avere:

$$V_u = V_i$$

Capitolo 10

Lezione del 16 marzo 2011

10.1. Introduzione

Nel Capitolo 9 abbiamo iniziato lo studio di componenti elettronici più complessi utilizzati per applicazioni di interesse pratico.

Dalle simulazioni notiamo che, dimensionando opportunamente le costanti, possiamo utilizzare il convertitore esaminato nel Paragrafo 9.3 per estrarre una funzione di uscita che si appoggi sul massimo del segnale di ingresso. Questa applicazione è molto utile quando si tratta di demodulare un segnale modulato in ampiezza.



10.2. Problemi del diodo

Fino a questo momento abbiamo applicato segnali tempo varianti all'ingresso di un circuito costituito da uno o più diodi. Aumentando la frequenza (senza aumentare le costanti R e C) ci accorgiamo però di una **anomalia non prevista** dal modello.

Il grafico di Figura 10.1 mostra come il diodo modifichi la sua caratteristica $V_i \rightarrow V_u$ all'aumentare della frequenza (il diodo fatica sempre più a spegnersi). Per una frequenza troppo elevata si arriva al limite per il quale il diodo non si spegne mai e continua a seguire sempre la curva di ingresso.

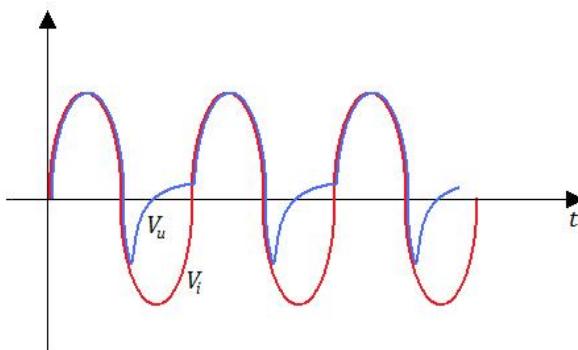


Figura 10.1. Per frequenze elevate il diodo a giunzione *pn* fatica sempre più a spegnersi. Per frequenze sufficientemente alte, il diodo resta sempre acceso.

- Il modello visto fino ad ora ha funzionamento per due motivi:
- abbiamo usato il modello statico del diodo senza contare la variabile t ;
 - abbiamo sempre usato frequenze basse.

Tuttavia il diodo ha bisogno di un tempo non nullo per potersi spegnere. Allora per un periodo $T \rightarrow 0$, il diodo non avrà il tempo fisico di spegnersi.

Nel grafico di Figura 10.2 l'area azzurra rappresenta la concentrazione di lacune che si spostano nel passaggio da polarizzazione diretta a polarizzazione inversa.

Allora la carica non si può spostare in un tempo nullo (sarebbe necessaria un'energia infinita) e quindi abbiamo un tempo di reazione (effetti reattivi associati alla giunzione *pn*) del diodo che sarà a sua volta non nullo.

Il modello usato fino ad ora (modello statico) è utilizzabile solo per piccoli scostamenti dall'equilibrio e per segnali lentamente variabili nel tempo.

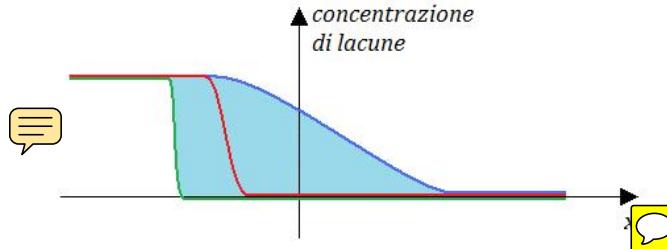


Figura 10.2. Differenti concentrazioni di lacune per tensioni differenti: in rosso la situazione di equilibrio; in verde la condizione di polarizzazione inversa $V < 0$; in blu la condizione di polarizzazione diretta $V > 0$. L'area azzurra è l'area necessaria allo spegnimento del diodo.

10.3. Modello dinamico

Iniziamo ora lo studio di un modello migliore del diodo che **tenga conto della variazione nel tempo**. All'inizio dello studio del diodo a giunzione *pn* avevamo calcolato che la **densità di carica** nella regione svuotata fosse:

$$Q_n = -Q_p = -\underbrace{qN_A}_{\rho} w_p$$

dove:

$$\psi_B = \frac{1}{N_A} \sqrt{\frac{2\varepsilon\psi_{B0}}{q\left(\frac{1}{N_A} + \frac{1}{N_D}\right)}} \Rightarrow \psi_B = \sqrt{\frac{2\varepsilon q\psi_{B0}}{\left(\frac{1}{N_A} + \frac{1}{N_D}\right)}}$$

In ipotesi di piccolo scostamento avevamo inoltre visto che:

$$\psi_B = \psi_{B0} - V$$

Allora possiamo ricavare la **carica dinamica del diodo in funzione della tensione**:

$$Q(V) = \sqrt{\frac{2\varepsilon q (\psi_{B0} - V)}{\left(\frac{1}{N_A} + \frac{1}{N_D}\right)}}$$

che, nuovamente, è una funzione non lineare.

Si noti che per $V = 0$ il valore della carica $Q_0 = Q(0)$ non passa per l'origine. La **capacità del diodo** è data dalla **derivata della curva $Q(V)$**

$$DQ(V) = \frac{d}{dV} Q(V)$$

e quindi, per comodità, useremo la curva $Q - Q_0$ in modo da ottenere $Q(0) = 0$ che non modifica la derivata.

In questa condizione il diodo si comporta come un condensatore di capacità variabile (*diodo varicap*) ed era molto utilizzato nei primi televisori analogici a colori.

Applicando una tensione $V > \psi_{B0}$ abbiamo invece una soluzione assurda: la base della radice è negativa. In realtà, per $V = \psi_{B0}$ abbiamo che il campo elettrico e la barriera di potenziale sono entrambi nulli. **Ma se la barriera è nulla, la regione svuotata non esiste e di conseguenza non ha più senso parlare di piccolo scostamento.**

Allora la pendenza della curva della carica del diodo è detta *capacità di svuotamento*. In particolare la pendenza in $V = 0$ è detta *capacità di giunzione all'equilibrio*.

Siccome la regione svuotata non esiste, dobbiamo considerare, per la carica, un secondo contributo dovuto alla carica dei portatori mobili. Si può dimostrare che **il secondo conturbuto di carica dipende esponenzialmente dalla tensione applicata** (cosa prevedibile in quanto la corrente cresce esponenzialmente in polarizzazione diretta). Questo secondo conturbuto è trascurabile per la polarizzazione inversa mentre è importante per la polarizzazione diretta.

$$\begin{cases} J \propto \left(e^{\frac{V}{V_T}} - 1\right) \\ J \propto \frac{dn}{dx} \end{cases} \implies \frac{dn}{dx} \propto \left(e^{\frac{V}{V_T}} - 1\right) \implies n \propto \left(e^{\frac{V}{V_T}} - 1\right)$$

Possiamo allora ottenere un modello un poco approssimato ma comunque sufficientemente preciso prendendo entrambe le componenti dominanti della carica nel diodo.

$$\begin{cases} Q(V) = \sqrt{\psi_{B0} - V} & V < 0 \\ Q(V) = Q_S \left(e^{\frac{V}{V_T}} - 1\right) & V \geq 0 \end{cases}$$

Tale modello è graficato in Figura 10.3.

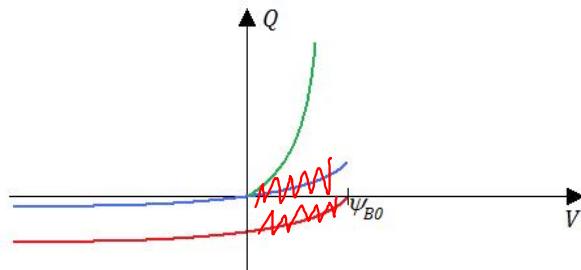


Figura 10.3. Grafico del modello dinamico del diodo. In rosso la funzione Q per $V < 0$; in blu la funzione $Q - Q_0$; in verde la funzione Q per $V \geq 0$.

Riprendendo il modello statico possiamo sfruttare il fatto che sia:

$$\begin{cases} I_0 = I_D \left(e^{\frac{V}{V_T}} - 1\right) \\ Q = Q_S \left(e^{\frac{V}{V_T}} - 1\right) \end{cases} \implies \frac{Q}{I_0} = \frac{Q_S \left(e^{\frac{V}{V_T}} - 1\right)}{I_D \left(e^{\frac{V}{V_T}} - 1\right)} = \frac{Q_S}{I_D} = \tau$$

possiamo scrivere la carica in funzione della corrente od il contrario:

$$Q = \tau I_D \iff I_D = \frac{Q}{\tau}$$

Il valore τ è un tempo ed è il *tempo di vita medio dei portatori*. È cioè il tempo medio intercorso tra il momento in cui un portatore p diffonde in zona n ed il momento in cui esso si ricombina.

Allora abbiamo ricavato un modello dinamico fortemente non lineare del diodo. Nuovamente introduciamo una semplificazione simile a quella vista per la corrente.

$$\begin{cases} V < V_\gamma & \begin{cases} I_D = 0 \\ Q \approx 0 \end{cases} \\ V = V_\gamma & \begin{cases} I_D > 0 \\ Q > 0 \end{cases} \end{cases}$$

Questo modello approssimato per la carica è meno preciso rispetto al modello statico visto per la carica. Il diodo dinamico è rappresentato come in Figura 10.4.

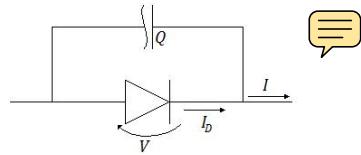


Figura 10.4. Simbolo del modello dinamico del diodo.

La corrente al terminale di uscita del diodo è data da:

$$I = I_D + \frac{dQ}{dt}$$

Allora per frequenze basse possiamo riutilizzare le relazioni studiate per il caso statico (per tali frequenze $\frac{dQ}{dt}$ è infatti trascurabile). Questo diodo si può modellare sia con il controllo di corrente:

$$I = I_D \left(e^{\frac{V}{V_T}} - 1 \right)$$

sia con il modello a controllo di carica:

$$I = \frac{Q}{\tau} = \frac{Q_S \left(e^{\frac{V}{V_T}} - 1 \right)}{\tau}$$

Capitolo 11

Lezione del 21 marzo 2011

11.1. Introduzione

Nel Capitolo 10 abbiamo introdotto il modello dinamico del diodo a giunzione *pn*. Quanto esplicitato nel Capitolo 10 è di estrema importanza poiché consente di determinare i limiti fisici dei circuiti digitali di nostro interesse. Il modello ricavato è descritto dalle equazioni:

$$\begin{cases} V < V_\gamma & \begin{cases} I_D = 0 \\ Q \approx 0 \end{cases} \\ V = V_\gamma & \begin{cases} I_D > 0 \\ Q > 0 \end{cases} \end{cases}$$

La carica è invece modellabile come:

$$Q(V) = \sqrt{\frac{2\varepsilon q(\psi_B - V)}{\left(\frac{1}{N_A} + \frac{1}{N_D}\right)}} = \underbrace{\sqrt{\frac{2\varepsilon q\psi_B}{\left(\frac{1}{N_A} + \frac{1}{N_D}\right)}}}_{\text{carica all'equilibrio}} \cdot \sqrt{1 - \frac{V}{\psi_{B0}}}$$

Abbiamo infine completato il modello a soglia aggiungendo un condensatore in parallelo al diodo in modo da poter vedere, grazie a Kirchoff, la corrente come somma delle due componenti statiche e dinamiche:

$$I = I_{\text{Statica}} + I_{\text{Dinamica}}$$

In questo Capitolo vedremo l'utilizzo del modello dinamico e l'analisi di un semplice circuito.

11.2. Analisi dinamica

Consideriamo il circuito di Figura e supponiamo che la tensione di ingresso $V_i(t)$ sia maggiore di V_γ per $t < 0$ e minore di zero per $t \geq 0$ (Figura 11.3).

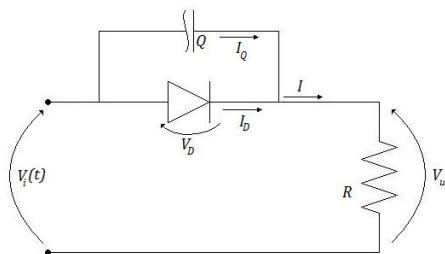


Figura 11.1. Circuito per l'analisi del comportamento dinamico del diodo.

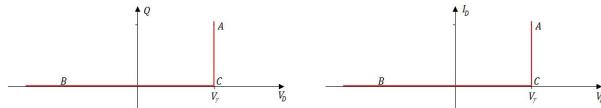
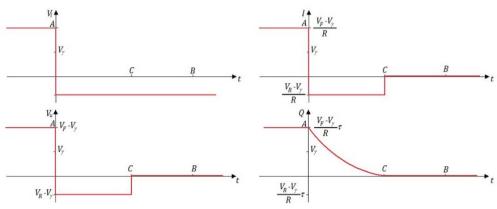


Figura 11.2. Modello a soglia della concentrazione di carica Q e della corrente I_D del diodo.

11.2.1. Situazione per $t < 0$

Il circuito in questione è già stato analizzato nel caso statico (Capitolo 7). Dallo schema circuitale, sfruttando le leggi di Ohm e Kirchoff, abbiamo:



$$V_u = RI$$

$$V_i = V_D + V_u$$

$$I = I_D + I_C \Rightarrow \begin{cases} I_D = \frac{Q}{\tau} \\ I_C = \frac{dQ}{dt} \end{cases} \Rightarrow I = \frac{Q}{\tau} + \frac{dQ}{dt}$$

Per tempi negativi ($t < 0$) siamo in condizioni stazionarie e allora gli effetti reattivi non contano. Dunque l'analisi è già stata effettuata e allora l'uscita è costante:

$$V_u = V_F - V_\gamma$$

e siccome è $V_u = RI$, ricaviamo:

$$I = \frac{V_F - V_\gamma}{R} \Rightarrow Q = \frac{\tau}{R} (V_F - V_\gamma)$$

Allora la novità consiste nel fatto che la carica è diversa da zero (questo non è in contrasto con quanto detto: essere in condizioni statiche significa che i valori sono costanti e non necessariamente nulli).

11.2.2. Situazione per $t = 0^+$: transitorio $A \rightarrow C$

Per $t = 0$ abbiamo un transitorio: la commutazione dell'ingresso non si riflette istantaneamente sull'uscita. Aspettando un tempo sufficientemente elevato torneremo comunque ad una condizione statica nella quale avremo:

$$\begin{cases} I = I_D = 0 \\ V_u = RI = 0 \end{cases} \Rightarrow V_D = V_i = -V_R$$

Allora, nel transitorio, la corrente e la carica dovranno spostarsi da un valore positivo ad un valore negativo.

Analizziamo il transitorio. Consideriamo l'istante $t = 0^+$. Siccome la carica non può variare istantaneamente sarà:

$$Q(0^-) = \frac{V_F - V_\gamma}{R} \tau = Q(0^+)$$

da cui ricaviamo che la tensione non può variare istantaneamente e quindi:

$$V_D = V_\gamma$$

Allora risulta:

$$V_i = -V_R \Rightarrow V_u = V_i - V_D \Rightarrow -V_R - V_\gamma = -(V_R + V_\gamma)$$

che è un valore negativo. Dunque la tensione di uscita presenta un gradino che porta da un valore positivo ad un valore negativo. Il fatto che questo punto sia esterno alla caratteristica statica dipende dal fatto che nel ricavarla non si era tenuto conto degli effetti dinamici del diodo.

La corrente è data ora da:

$$I = \frac{Q}{\tau} + \frac{dQ}{dt}$$

e non è più possibile eliminare la derivata. Allora, riprendendo quanto detto prima e ricordando che nel tratto da A a C di Figura 11.2 la tensione è $V_D = V_\gamma$, risulta:

$$\frac{Q}{\tau} + \frac{dQ}{dt} = \frac{-(V_R + V_\gamma)}{R} \Rightarrow \frac{dQ}{dt} = -\frac{1}{\tau} \left(Q + \frac{\tau}{R} (V_R + V_\gamma) \right)$$

da cui si ricava:

$$\frac{dQ}{Q + \frac{\tau}{R} (V_R + V_\gamma)} = -\frac{1}{\tau}$$

che, integrata, porta a:

$$\begin{aligned} \int_0^t -\frac{1}{\tau} dt &= \int_{Q(0)}^{Q(t)} \frac{1}{Q + \frac{\tau}{R} (V_R + V_\gamma)} dQ \\ -\frac{1}{\tau} &= \ln \left[\frac{Q(t) + \frac{\tau}{R} (V_R - V_\gamma)}{Q(0) + \frac{\tau}{R} (V_R - V_\gamma)} \right] \Rightarrow e^{-\frac{t}{\tau}} = \frac{Q(t) + \frac{\tau}{R} (V_R - V_\gamma)}{Q(0) + \frac{\tau}{R} (V_R - V_\gamma)} \end{aligned}$$

Semplificando quanto appena ottenuto otteniamo:

$$Q(t) = \frac{\tau}{R} (V_F - V_\gamma) e^{-\frac{t}{\tau}} - \frac{\tau}{R} (V_R + V_\gamma)$$

Allora nel transitorio la carica decade con una legge esponenziale ed una costante di tempo τ . Analiticamente la carica tende asintoticamente al valore $-\frac{\tau}{R} (V_R + V_\gamma)$. Tuttavia, siccome abbiamo usato il modello a soglia, l'ambito di validità è ridotto ai valori tali per cui: $Q \geq 0$.

Allora, la tensione di uscita resta costante e negativa fino al punto C che è il punto tale per cui risulta $Q(C) = 0$. Parimenti la corrente sarà negativa e costante fino al punto C .

Il tempo impiegato per raggiungere il valore zero dalla curva $Q(t)$ è il tempo di spegnimento del diodo.

$$\begin{aligned} \{t_{\text{OFF}} = t \mid Q(t) = 0\} &\Rightarrow \frac{\tau}{R} (V_F - V_\gamma) e^{-\frac{t}{\tau}} - \frac{\tau}{R} (V_R + V_\gamma) = 0 \\ e^{-\frac{t}{\tau}} &= \frac{V_R + V_\gamma}{V_F - V_\gamma} \Rightarrow t_{\text{OFF}} = \tau \cdot \ln \frac{V_F - V_\gamma}{V_R + V_\gamma} \end{aligned}$$

Il tempo di spegnimento sarà sempre certamente maggiore di zero e non dipende dalla resistenza R del circuito. Poiché questo tempo dipende solo dalle cariche interne al diodo, è detto *tempo di storage*.

Il tempo di spegnimento è un valore molto importante poiché in base ad esso possiamo decidere se utilizzare o meno un dato diodo in un circuito. Un diodo sarà utilizzabile solo se il tempo di spegnimento è molto inferiore al tempo di commutazione.

11.2.3. Situazione per $t > 0$: transitorio $C \rightarrow B$

In questa situazione abbiamo cambiato la zona di funzionamento e, dal modello a soglia, è:

$$\begin{cases} Q = 0 \\ I_D = 0 \end{cases}$$

Allora la carica deve passare da zero a zero e non si spostano portatori. Dunque il transitorio è istantaneo. Inoltre, siccome in questo caso si ha $I = I_D$, la tensione di uscita è a sua volta nulla. Ai capi del diodo avremo ora una tensione pari a $-V_R$.

11.2.4. Grafici

La Figura 11.3 mostra i grafici di quanto ottenuto fino ad ora.

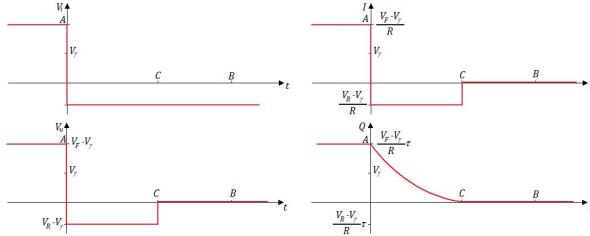


Figura 11.3. Comportamento dinamico delle principali caratteristiche del diodo.

Dalle simulazioni e dai risultati sperimentali notiamo che, all'aumentare del valore di R notiamo che il modello risulta sempre meno preciso. Questo è dovuto al fatto che abbiamo approssimato una curva esponenziale con una retta orizzontale imponendo:

$$Q \approx 0$$

Una migliore approssimazione è costituita dall'utilizzo di una retta obliqua (Figura 11.4).

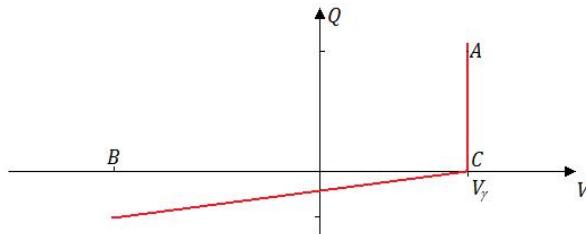


Figura 11.4. Grafico che mostra una migliore approssimazione del comportamento dinamico del diodo. Questo grafico spiega anche il differente comportamento per valori diversi di R .

Sfruttando ora un condensatore normale di capacità C abbiamo:

$$I = C \cdot \frac{dV_u}{dt}$$

$$V_u = RI \implies I = \frac{V_u}{R}$$

$$\frac{V_u}{R} = -C \cdot \frac{d}{dt} (V_R + V_u)$$

Ancora, dai grafici e dalle prove sperimentali, notiamo che mentre il diodo ha necessità di un certo lasso di tempo per lo spegnimento, l'accensione richiede un tempo pressoché nullo. Allora la non linearità del diodo statico si ritrova sul diodo dinamico.

Parte III

Il transistore *npn*

Capitolo 12

Lezione del 22 marzo 2011

12.1. Introduzione



Nel Capitolo 11 abbiamo analizzato il modello dinamico del diodo ed abbiamo notato che il suo comportamento varia fortemente dalla fase di spegnimento (che necessita di un tempo t_{OFF} detto *tempo di storage* non nullo) alla fase di accensione (che richiede invece un tempo nullo).

Abbiamo inoltre notato che, nonostante il tempo di storage sia indipendente dalla reistenza di carico, il recupero della condizione asintotica dipende proprio dalla resistenza di carico.

Infine abbiamo mostrato che se il tempo di storage è paragonabile al periodo del segnale di ingresso, il diodo non riesce a spegnersi e quindi è come se il diodo stesso non fosse presente (il condensatore in parallelo al diodo lo cortocircuita). Allora esistono un periodo minimo ed una frequenza massima oltre i quali il modello non è più utilizzabile.

12.2. Diodo *npn*

Fino ad ora abbiamo ragionato utilizzando il diodo a giunzione *pn* in cui la corrente circola prevalentemente in una sola direzione. Con il diodo abbiamo costruito sia gli AND sia gli OR. Resta però da realizzare il NOT che è piuttosto complesso da realizzare con i diodi.

Ricordiamo che tutti i ragionamenti fatti sino ad ora per il diodo sono validi con alcune limitazioni:

- ▷ lo scostamento dalla regione di equilibrio deve essere ridotto;
- ▷ il diodo deve essere sufficientemente grande da poter essere partizionato in due regioni neutre ai margini ed in due regioni svuotate limitrofe alla giunzione.

Costruiamo ora una struttura più complessa: la giunzione *npn* che aggancia una regione *n* ad ogni lato della regione *p* (Figura 12.1).

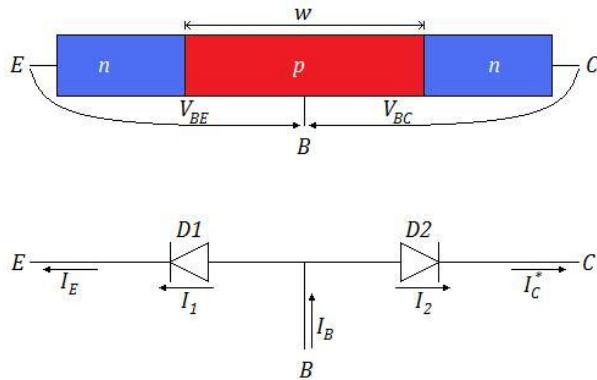


Figura 12.1. Dispositivo composto da due diodi.

I terminali sono indicati come emettitore (E), base (B) e collettore (C).

Possiamo pensare di analizzare il sistema appena costruito con quanto già sappiamo del diodo a giunzione pn poiché si tratta, in effetti, di un circuito composto da due diodi.

Detta w la distanza tra le due regioni n , abbiamo però due comportamenti differenti per la situazione in cui il diodo $D2$ è spento:

- ▷ per w superiore a qualche micron, la corrente di collettore I_C^* è trascurabile (allora il circuito si riduce al solo diodo $D1$ che abbiamo già studiato in precedenza):

$$\begin{cases} V_{BE}^{+-} > 0 \\ V_{BC} < 0 \end{cases} \Rightarrow \begin{cases} I_1 > 0 \\ I_2 = 0 \end{cases} \Rightarrow \begin{cases} I_B = I_E = I_1 \\ I_C^* = 0 \end{cases}$$

- ▷ per w inferiore a qualche micron, la corrente di collettore I_C^* è paragonabile alla corrente di emettitore $-I_E$ e la corrente di base I_B è molto inferiore alle altre due correnti:

$$\begin{cases} V_{BE} > 0 \\ V_{BC} < 0 \end{cases} \Rightarrow \begin{cases} I_1 > 0 \\ I_2 = 0 \end{cases} \Rightarrow \begin{cases} I_C^* = -I_E \\ I_B \ll I_C^* \end{cases}$$



Le Figure 12.2 mostrano i diversi comportamenti del dispositivo in funzione della dimensione di w .

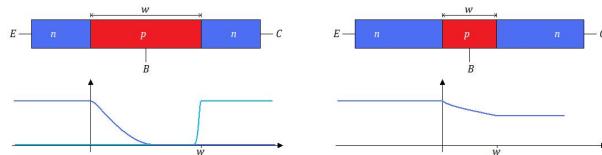


Figura 12.2. Diversi comportamenti nella regione svuotata. Una base di dimensioni sufficientemente elevate (a sinistra) consente di studiare il dispositivo come fatto in precedenza.

Il modello precedente nel secondo caso non funziona poiché, se w è troppo piccolo, la regione p non è più partizionabile in regioni svuotate e regioni neutre. Quando w è di dimensioni inferiori a pochi micron, le due regioni n hanno un effetto complementare sulla regione svuotata: gli elettroni hanno probabilità sempre maggiori di sopravvivere al passaggio nella base.

In questo caso, la giunzione polarizzata in inversa trasporta molta carica grazie al supporto della giunzione polarizzata in diretta che pone nella base portatori minoritari recuperati poi dal collettore.

Questo effetto è detto *effetto transistor* ed è alla base dei componenti detti *transistori*. In particolare il componente appena realizzato è detto *transistor bipolare a giunzione* (o BJT, bipolar junction transistor) ed è indicato con il simbolo di Figura 12.3.

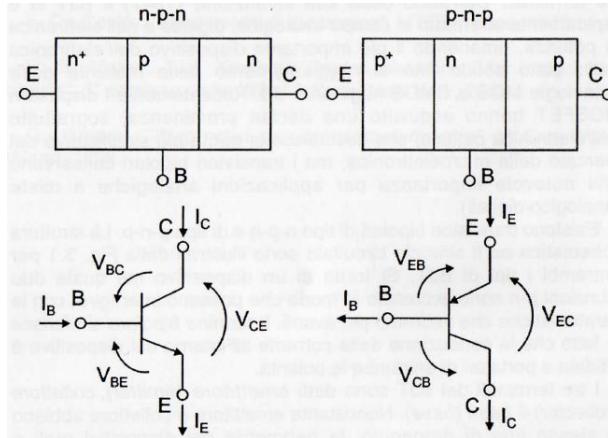


Figura 12.3. Simboli grafici per la rappresentazione di un transistore *npn* (a sinistra) o *pnp* (a destra) in un circuito elettrico.

12.3. Modello di Ebers & Moll

L'emettitore è così detto perché immette portatori nella base ove si trovano le lacune. Una parte sperabilmente piccola degli elettroni immessi nella base, ricombinerà con le lacune lì presenti. Tuttavia il collettore, recupererà una gran parte degli elettroni immessi nella base dall'emettitore.

I flussi di lacune ed elettroni sono mostrati in Figura 12.4.

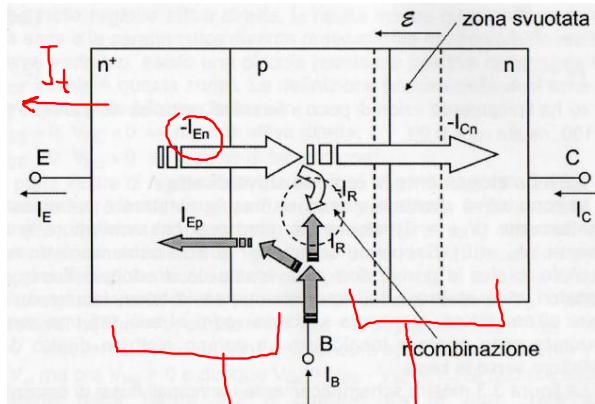


Figura 12.4. Flussi di elettroni e lacune all'interno del modello di Ebers & Moll.

Detta I_t la corrente dovuta all'effetto transistor, possiamo utilizzare il modello studiato per il diodo e completarlo con l'aggiunta del termine I_t , definito, dalle leggi di Kirchoff, come:

$$I_t = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - I_S \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

Parimenti, possiamo definire le correnti sui due diodi, come:

$$I_1 = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right)$$

$$I_2 = I_{BCS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

Notiamo che, siccome la corrente di collettore è elevata quando si è in regione di polarizzazione diretta, assumeremo che sia $I_C = -I_C^*$.

I grafici dei due possibili BJT (*npn* e *pnp*), sono riportati in Figura 12.3. Utilizzeremo prevalentemente il modello *npn*.

Il modello riportato in Figura 12.5 è chiamato *Modello di Ebers & Moll* e funziona sufficientemente bene per le nostre applicazioni.

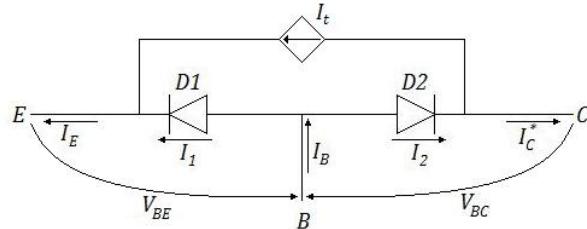


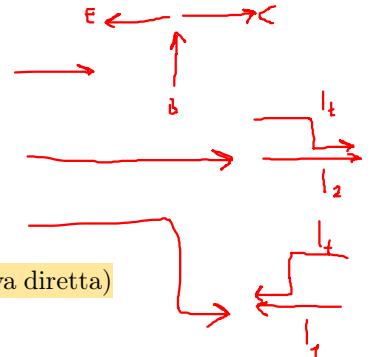
Figura 12.5. Grafico del modello di Ebers & Moll.

Il modello è descritto da:

$$\begin{cases} I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + I_{BCS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - (I_{BCS} + I_S) \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_E = (I_{BES} + I_S) \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - I_S \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \end{cases}$$

Si dice che il modello di Ebers & Moll è in **regione normale** (o attiva diretta) quando si ha:

$$\begin{cases} V_{BE} > 0 \\ V_{BC} < 0 \end{cases} \implies \begin{cases} V_B > V_E \\ V_B < V_C \end{cases} \implies V_E < V_B < V_C$$



Allora possiamo controllare la corrente tra collettore ed emettitore agendo sulla tensione della base. Se V_B è bassa, la corrente tra collettore ed emettitore è bassa; se V_B è alta, la corrente tra collettore ed emettitore è alta.

12.4. Semplificazioni

Il modello di Ebers & Moll è notevolmente più complesso rispetto al modello usato per il diodo a giunzione *pn*. Possiamo tuttavia semplificarcici un poco la vita sfruttando le leggi di Kirchoff:

$$I_C + I_B = I_E$$

$$V_{BE} = V_{BC} + V_{CE} \iff V_B - V_E = V_B - V_C + V_C - V_E$$

Possiamo inoltre ottenere ulteriori semplificazioni a seconda della regione di funzionamento.

Poniamoci in regione attiva diretta (funzionamento normale del transistore). Per ipotesi, abbiamo:

$$\begin{cases} V_{BE} > 0 \\ V_{BC} < 0 \end{cases} \implies V_{BE} > V_{BC} \implies \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \gg \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

ed allora possiamo semplificare l'espressione delle correnti trascurando l'esponentiale di V_{BC} :

$$\begin{aligned} I_B &\approx I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ I_C &\approx I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ I_E &\approx (I_S + I_{BES}) \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \end{aligned}$$

Allora tutte le correnti dipendono solamente dalla tensione applicata alla base. Inoltre possiamo semplicemente calcolare la corrente di collettore nota la corrente di base come:

$$I_C = \beta_F I_B$$

dove β_F è una costante definita dal rapporto:

$$\beta_F = \frac{I_C}{I_B}$$

Analogamente abbiamo:

$$\alpha_F = \frac{I_C}{I_E}$$

ed $\alpha_F < 1$ prende il nome di *efficienza di emettitore* poiché vale:

$$I_C = \alpha_F I_E$$

È inoltre evidente che α_F e β_F sono legati dalla relazione:

$$\alpha_F = \frac{\beta_F}{\beta_F + 1} \Rightarrow \lim_{\beta_F \rightarrow \infty} \frac{\beta_F}{\beta_F + 1} = 1$$

Allora il modello si semplifica ulteriormente:

$$\begin{cases} I_B \approx I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ I_C \approx \beta_F I_B \\ I_E \approx I_C + I_B \end{cases}$$

e lo schema elettrico è riportato in Figura 12.6.

Parimenti, semplificando con α_F è:

$$\begin{cases} I_B \approx I_C + I_E \\ I_C \approx \alpha_F I_E \\ I_E \approx (I_S + I_{BES}) \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \end{cases}$$

che si può rappresentare come in Figura 12.7.

Dunque, in polarizzazione diretta, il transistore ha una complessità di poco superiore a quella del diodo. Allora, siccome l'equazione esponenziale è quella del diodo, possiamo utilizzare nuovamente la semplificazione vista per il diodo ed il relativo modello a soglia.

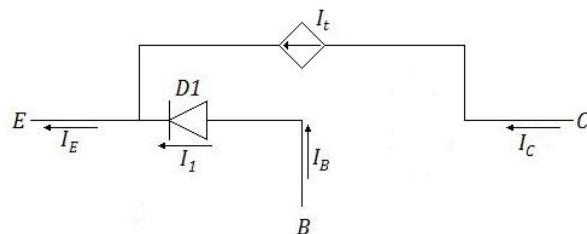


Figura 12.6. Semplificazione del modello di Ebers & Moll con l'uso del parametro β_F .

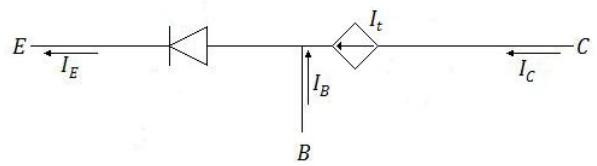


Figura 12.7. Semplificazione del modello di Ebers & Moll con l'uso del parametro α_F .

Capitolo 13

Lezione del 28 marzo 2011

13.1. Introduzione

Nel Capitolo 12 abbiamo introdotto il transistore bipolare a giunzione (BJT) *n-p-n*. Abbiamo inoltre ricavato il modello di Ebers & Moll a partire dalle equazioni usate per descrivere il diodo a giunzione *p-n*.

Abbiamo ricavato sia un modello non approssimato:

$$\begin{cases} I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + I_{BCS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - (I_{BCS} + I_S) \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_E = (I_{BES} + I_S) \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - I_S \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \end{cases}$$

sia un modello approssimato per il funzionamento in regione normale:

$$\begin{cases} I_B \approx I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ I_C \approx I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ I_E \approx (I_S + I_{BES}) \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \end{cases}$$

da cui abbiamo poi ricavato le costanti β_F (data dal rapporto tra I_C ed I_B) ed α_F (data dal rapporto tra I_C e I_E).

In questo Capitolo continueremo lo studio del transistore bipolare nelle sue altre regioni di funzionamento.

13.2. Regione $V_{BE} < 0$ e $V_{BC} < 0$

In questa regione, dal momento che entrambi gli esponenziali sono molto minori di 1, il modello si semplifica in:

$$\begin{cases} I_B \approx -I_{BES} - I_{BCS} \\ I_C \approx -I_{BCS} \\ I_E \approx -I_{BES} \end{cases}$$

L'effetto transistore in questa regione di funzionamento non si manifesta. Il modello circuitale semplificato è riportato in Figura 13.1.

Questa regione è detta *regione di interdizione*. Per semplicità spesso si dice che il transistore è spento.

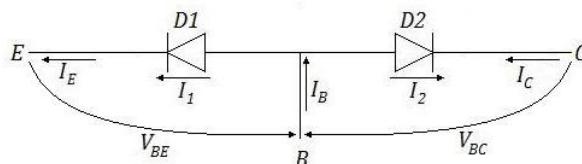


Figura 13.1. Semplificazione del modello di Ebers & Moll con per la regione di interdizione.

13.3. Regione $V_{BE} < 0$ e $V_{BC} > 0$

Ragionando analogamente a quanto fatto nel Capitolo 12 per la regione attiva diretta, notiamo che l'esponenziale associato a V_{BE} è trascurabile rispetto all'esponenziale associato a V_{BC} .

13.3.1. Analisi qualitativa

Ci troviamo in questo caso nella regione duale rispetto alla regione normale. Il modello si semplifica in:

$$\begin{cases} I_B = I_{BCS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_C = -(I_S - I_{BCS}) \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_E = -I_S \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \end{cases}$$




Questa regione è detta *regione attiva inversa*. Possiamo dire che il collettore e l'emettitore si scambiano i ruoli rispetto alla regione attiva diretta. Analogamente alla regione attiva diretta, possiamo ricavare le costanti:

$$\frac{I_E}{I_B} = -\beta_R$$

$$\frac{I_E}{I_C} = \alpha_R$$

da cui ricavare le relazioni:

$$I_E = -\beta_R I_B$$

$$I_E = \alpha_R I_C$$

$$\alpha_R = \frac{\beta_R}{\beta_R - 1}$$

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

L'equivalente circuitale semplificato è riportato nelle Figure 13.2 e 13.3.

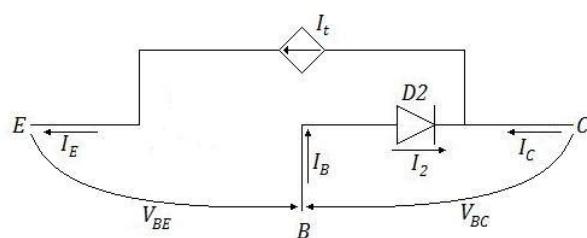


Figura 13.2. Semplificazione del modello di Ebers & Moll con per la regione attiva inversa. La corrente del transistore è data da $I_t = \beta_R I_B$.

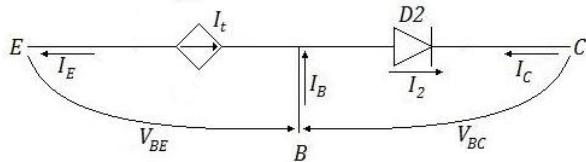


Figura 13.3. Semplificazione del modello di Ebers & Moll con per la regione attiva diretta. La corrente di transistore è $I_t = \alpha_R I_R$.

13.3.2. Analisi quantitativa

Dal punto di vista quantitativo, la simmetria non esiste. Utilizzando il transistor in regione attiva indiretta, i parametri β_R e α_R sono solitamente più piccoli rispetto a β_F e α_F . Per tale motivo tenderemo a non usare la regione attiva indiretta.



Questo differente comportamento è dovuto al fatto che in regione attiva diretta vogliamo che la corrente dovuta all'effetto transistor sia dominante rispetto alla corrente dovuta al diodo. Questo provoca due flussi: uno di elettroni che vengono iniettati in base; l'altro di lacune che vengono iniettate nell'emettitore. Dal collettore vengono accettati gli elettroni provenienti dall'emettitore e vengono iniettate in base ben poche lacune.

Allora perché β_F sia grande è necessario che la corrente dovuta all'effetto transistor sia grande rispetto alla corrente di base e dunque deve essere $I_S \gg I_{BES}$. Questo risultato però può essere raggiunto solamente sbilanciando fortemente le polopolarizzazioni dei portatori di carica: la concentrazione di atomi donatori in base deve quindi essere necessariamente molto maggiore rispetto alla concentrazione degli atomi accettori in base.

$$\text{EM} \rightarrow N_{D,E} \gg N_{A,B}$$

Inoltre è anche necessario che w sia quanto più piccolo possibile.

Per avere un valore elevato di β_R ragioniamo in modo uguale ed opposto. Tuttavia non è possibile che il drogaggio della regione di base sia contemporaneamente molto minore sia di quello dell'emettitore sia di quello del collettore dal momento che, mentre l'emettitore è polarizzato in diretta ed ha una regione svuotata più piccola rispetto alla condizione di quiete, il collettore è polarizzato in inversa ed ha una regione svuotata più grande rispetto alla condizione di equilibrio.

La regione svuotata della giunzione tra base e collettore è:

$$w_{BC} = \frac{1}{N_{A,C}} \sqrt{\frac{2\epsilon(\psi_{BC} - V_{BC})}{q \left(\frac{1}{N_{A,C}} - \frac{1}{N_{D,C}} \right)}}$$

è varia significativamente a seconda della variazione della V_{BC} . La condizione in cui la regione neutra della base non esiste più (detta di *condizione di punch through*) è fastidiosa non possiamo più controllare il transistore con la tensione di base.

Allora per fare in modo che la condizione di punch through non si presenti, dobbiamo ridurre la concentrazione di drogante presente nel collettore in modo che la regione svuotata si estenda solo dalla parte del collettore e non nella base.

$$N_{A,B} \gg N_{D,C}$$

Ma allora, riprendendo quanto detto per l'emettitore, è:

$$N_{D,B} \gg N_{A,B} \gg N_{D,C} \implies N_{D,B} \gg N_{D,C}$$

Questa differenza tecnologica necessaria al funzionamento del transistore impedisce al dispositivo di funzionare bene in regione attiva inversa. Tuttavia, questa stessa differenza, ci consente di realizzare facilmente le strutture *n-p-n* necessarie alla realizzazione dei transistori (Figura 13.4) poiché la precisione nei drogaggi non è critica. Grazie a ciò è molto facile controllare l'ampiezza della regione di base (tecnologicamente possiamo facilmente realizzare regioni di base di dimensioni pari a frazioni del decimo di micron).

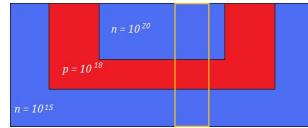


Figura 13.4. Differenti drogaggi consentono di realizzare facilmente un transistore bipolare (evidenziato in giallo).

13.4. Regione $V_{BE} > 0$ e $V_{BC} > 0$

~~T_R~~

Vediamo ora l'ultima regione di funzionamento del diodo, in questa regione (detta *regione di saturazione*) entrambe le giunzioni sono polarizzate in diretta. Entrambi gli esponenziali del modello di Ebers & Moll sono significativi e non si può semplificare.

$$\begin{cases} I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + I_{BCS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - (I_{BCS} + I_S) \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_E = (I_{BES} + I_S) \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - I_S \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \end{cases}$$

Il fatto che il modello non possa essere semplificato trova conferma nel fatto che le correnti sono una combinazione lineare degli esponenziali. Allora, dal momento che la regione di saturazione prevede entrambi i diodi accesi, sommando le espressioni ottenute per le regioni di funzionamento attiva diretta ed attiva indiretta, torniamo ad ottenere il modello completo.

Una rappresentazione alternativa del modello è riportata in Figura 13.5.

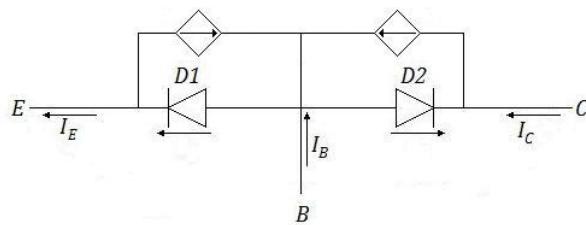


Figura 13.5. Seconda rappresentazione grafica del modello di Ebers & Moll che mostra come in saturazione esso possa essere dedotto come somma tra le semplificazioni per le regioni di funzionamento attiva diretta ed attiva indiretta.

13.5. Regioni di funzionamento

Il grafico di Figura 13.6 mostra le quattro ragioni di funzionamento di un BJT.

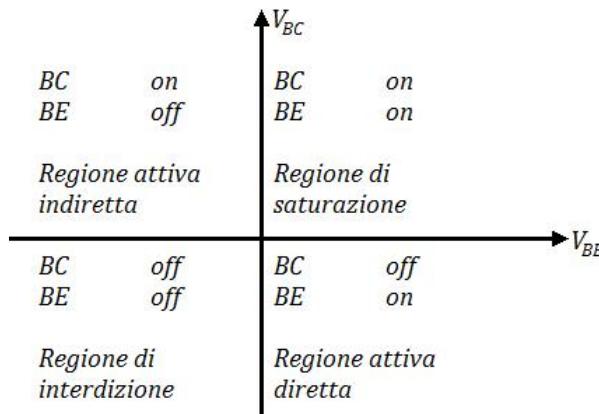


Figura 13.6. Regioni di funzionamento di un BJT.

13.6. Applicazione

Il transistore è il primo componente che studiamo a presentare tre morsetti. Si potrebbe dunque pensare che un tripolo qualsiasi sia descritto da sei grandezze indipendenti. Per le leggi di Kirchoff però risulta immediato dedurre che le grandezze indipendenti siano solo quattro.

$$\begin{cases} I_1 + I_2 + I_3 = 0 \\ V_{1,2} + V_{2,3} + V_{3,1} = 0 \end{cases}$$

Allora possiamo descrivere il comportamento del generico tripolo di Figura 13.7 con due sole equazioni per le correnti e due equazioni per le tensioni.

Per determinare il comportamento della rete abbiamo però bisogno di altre due condizioni: una per il morsetto di ingresso ed una per il morsetto di uscita che leghino le correnti con le tensioni.

Allora mentre il diodo è descritto da una equazione in due incognite, il transistore è descritto da due equazioni in quattro incognite.

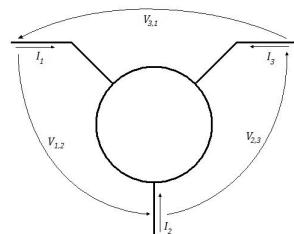


Figura 13.7. Un tripolo generico.

Capitolo 14

Lezione del 29 marzo 2011

14.1. Introduzione

Nel Capitolo 13 abbiamo ultimato lo studio del transistor bipolare a giunzione definendone un **modello regionale a quattro regioni**. Abbiamo poi anticipato che useremo poco la regione di polarizzazione inversa.

Abbiamo infine cercato un possibile utilizzo del BJT ed osservato che **un tripolo può essere descritto da due equazioni in quattro incognite**.

Nel presente Capitolo formalizzeremo quanto accennato in precedenza.

14.2. Configurazioni possibili

Consideriamo il circuito di Figura 14.1 dove la scatola centrale è un tripolo.

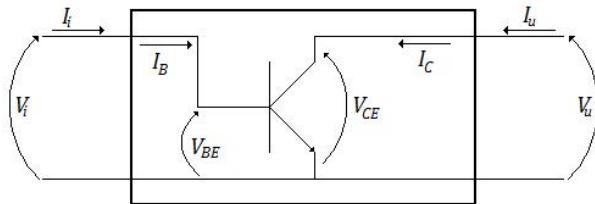


Figura 14.1. Connessione in emettitore comune.

Dal momento che abbiamo quattro incognite il componente tripolare dovrà essere descritto da due equazioni in quattro incognite. **Le altre due equazioni sono fornite dai componenti agganciati alle porte**.

In particolare, con la configurazione di Figura 14.1, abbiamo che la I_i è pari alla I_B e la I_u è pari alla I_C . Le tensioni sono analogamente $V_i = V_{BE}$ e $V_u = V_{CE}$. Siccome l'**emettitore è il riferimento comune per le tensioni** questa configurazione è detta **connessione in emettitore comune** ed è descritta dalle correnti:

$$\begin{cases} I_B(V_{BE}, V_{CE}) \\ I_C(V_{BE}, V_{CE}) \end{cases}$$

Altre configurazioni possibili sono la **connessione in base comune** (Figura 14.2) e la **connessione in collettore comune** (Figura 14.3).

Le tre differenti configurazioni hanno usi e caratteristiche piuttosto differenti e si adattano meglio ad alcune situazioni piuttosto che ad altre.

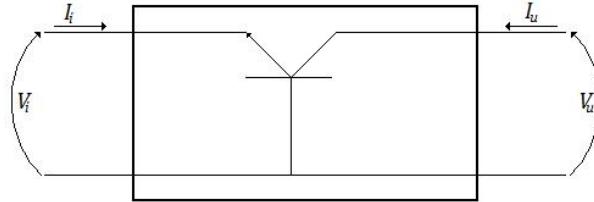


Figura 14.2. Connessione in base comune.

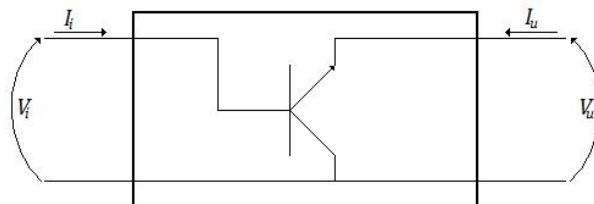


Figura 14.3. Connessione in collettore comune.

14.3. Connessione in emettitore comune

Riprendiamo il circuito di Figura 14.4.

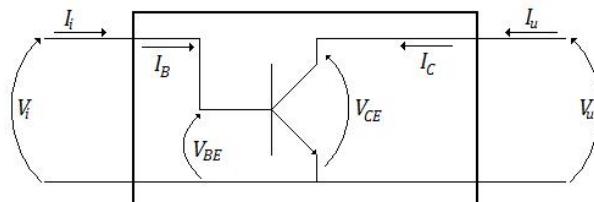


Figura 14.4. Connessione in emettitore comune.

Dal modello di Ebers & Moll definito in precedenza

$$\begin{cases} I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + I_{BCS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - (I_{BCS} + I_S) \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_E = (I_{BES} + I_S) \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - I_S \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \end{cases}$$

cerchiamo di esplicitare le correnti del tripolo in esame.

$$\begin{cases} I_B(V_{BE}, V_{CE}) \\ I_C(V_{BE}, V_{CE}) \end{cases}$$

La V_{BC} non è definita nel modello. Fortunatamente, siccome la V_{BC} non è indipendente dalle altre tensioni, possiamo scriverla come:

$$V_{BC} = V_{BE} - V_{CE} \implies V_{CE} = V_{BE} - V_{BC}$$

14.3.1. Ingresso

Allora possiamo vedere la corrente di ingresso come:

$$I_B(V_{BE}, V_{CE}) = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + I_{BCS} \left(e^{\frac{V_{BE}-V_{CE}}{V_T}} - 1 \right)$$

Questa configurazione è però molto complessa poiché implica che la corrente I_B dipende da una coppia di grandezze e quindi dovrebbe essere in un **grafico tridimensionale**. Dobbiamo allora ricavare un sistema più pratico.

Una soluzione molto più pratica consiste nel tracciare una **serie di curve bidimensionali parametriche** fissando la V_{CE} o la V_{BE} in modo da ottenere una serie di funzioni di una sola variabile.

$$I_B(V_{BE}, V_{CE}) \longrightarrow I_B(V_{BE}) \text{ con } V_{CE} = \text{costante}$$

In condizione di funzionamento **normale**, ricaviamo che è:

$$e^{\frac{V_{BE}}{V_T}} \gg e^{\frac{V_{CE}}{V_T}}$$

$$I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right)$$

ed allora l'intera famiglia di curve collassa sulla sola curva di Figura 14.5.

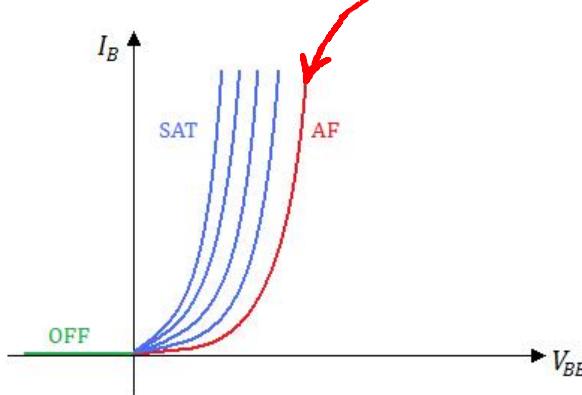


Figura 14.5. Caratteristica dell'ingresso di un BJT.

Se invece ci poniamo nella regione di **saturazione** abbiamo:

$$I_B(V_{BE}, V_{CE}) = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} \right) + I_{BCS} \left(\frac{e^{\frac{V_{BE}}{V_T}}}{e^{\frac{V_{CE}}{V_T}}} \right)$$

$$I_B = e^{\frac{V_{BE}}{V_T}} \left(I_{BES} + \frac{I_{BCS}}{e^{\frac{V_{CE}}{V_T}}} \right)$$

e quindi la famiglia di curve presenta **andamenti esponenziali moltiplicati per una costante tanto più grande quanto più V_{CE} è piccolo**.

14.3.2. Uscita

Vediamo ora cosa succede per la corrente di uscita.

Analogamente a quanto visto prima è:

$$I_C(V_{BE}, V_{CE}) \longrightarrow I_C(V_{CE}) \text{ con } V_{BE} = \text{costante}$$

RN

$$I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - (I_{BCS} + I_S) \left(e^{\frac{V_{BE}-V_{CE}}{V_T}} - 1 \right)$$

In regione di funzionamento **normale**, il termine dovuto alla V_{CE} è trascurabile e la curva di uscita risulta essere costante per valori costanti di V_{BE} :

$$I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) = \beta_F I_B \quad \text{RN}$$

Questa condizione ha senso solo quando si ha:

$$V_{BE} > V_{CE} \implies I_S \left(e^{\frac{V_{CE}}{V_T}} - 1 \right) > I_C$$

In saturazione abbiamo invece la condizione opposta a quella per il funzionamento in regione normale. La corrente di uscita è allora:

$$I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} \right) - (I_{BCS} + I_S) \left(\frac{e^{\frac{V_{BE}}{V_T}}}{e^{\frac{V_{CE}}{V_T}}} \right) < \beta_F I_B$$

dove abbiamo trascurato le unità.

La Figura 14.6 mostra l'uscita del BJT.

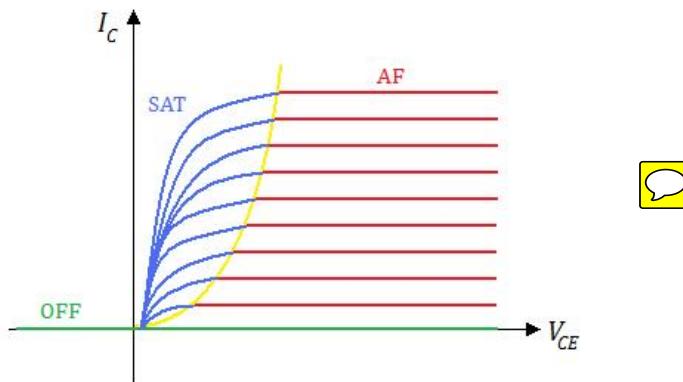


Figura 14.6. Caratteristica dell'uscita di un BJT.

Dall'immagine si nota subito che tutte le curve della regione di saturazione passano per uno stesso punto che non è l'origine. In particolare l'uscita si annulla quando risulta essere:

$$I_S \left(e^{\frac{V_{BE}}{V_T}} \right) - (I_{BCS} + I_S) \left(\frac{e^{\frac{V_{BE}}{V_T}}}{e^{\frac{V_{CE}}{V_T}}} \right) = 0 \implies e^{\frac{V_{BE}}{V_T}} = \frac{I_S + I_{BCS}}{I_S} = \frac{1}{\alpha_R}$$

che è una costante. Passando ora ai logaritmi risulta:

$$V_{CE} = V_T \cdot \ln \left(\frac{1}{\alpha_R} \right)$$

Il punto di attraversamento dell'asse delle ascisse dunque non dipende dalla tensione V_{BE} .

Fisicamente la spiegazione di questo comportamento sta nel fatto che, all'aumentare della V_{CE} il flusso che dal collettore porta elettroni in base diventa sempre più importante e, per valori sufficientemente elevati di V_{CE} può anche dominare sul flusso che dall'emettitore porta gli elettroni al collettore.

14.3.3. Tabella

La Tabella 14.1 riassume quanto visto fino ad ora.

Porta	Regione	Caratteristica
Ingresso	Diretta	Famiglia collassata su una sola curva.
	Saturazione	Curve esponenziali crescenti al decrescere di V_{CE} .
	Interdizione	Corrente nulla.
Uscita	Diretta	Valori costanti per valori costanti di V_{BE} .
	Saturazione	Curve esponenziali decrescenti al decrescere di V_{CE} .
	Interdizione	Corrente nulla.

Tabella 14.1. Caratteristiche delle varie regioni di funzionamento del BJT.

14.4. Relazione tra ingresso ed uscita

Consideriamo nuovamente un transistore ad emettitore comune come in Figura 14.7.

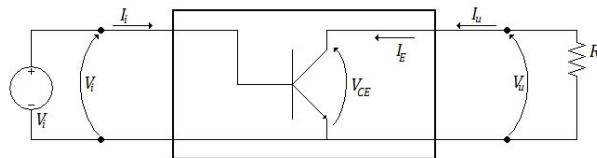


Figura 14.7. Un semplice circuito elettrico per lo studio della relazione ingresso-uscita del BJT.

Notiamo anzitutto che il circuito in questione non può mai funzionare in regione normale. In regione normale infatti è:

$$\begin{cases} V_{BE} > 0 \\ V_{BC} < 0 \end{cases} \implies I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) > 0$$

$$\begin{cases} I_C = \beta_F I_B > 0 \\ V_u = -R I_C < 0 \end{cases} \implies V_u < 0$$

$$\begin{cases} V_{BE} < V_{CE} \\ V_{BE} > 0 \end{cases} \implies V_{CE} > 0$$

Ma la V_{CE} è esattamente la V_u . Allora la V_u deve essere contemporaneamente maggiore e minore di zero. Dunque la conclusione è assurda e quindi la tesi è assurda.

Una possibile soluzione per far funzionare il dispositivo in regione normale consiste nell'inserimento di una tensione di polarizzazione V_{CC} in serie alla resistenza R che sia più grande della caduta sulla resistenza stessa (Figura 14.8). Con questo sistema abbiamo infatti:

$$V_u = V_{CC} - R I_C$$

ed essendo $V_{CC} > R I_C$ la tensione di uscita è positiva. Si nota che, per far lavorare il dispositivo in regione normale dobbiamo consumare energia. Allora abbiamo un costo energetico.

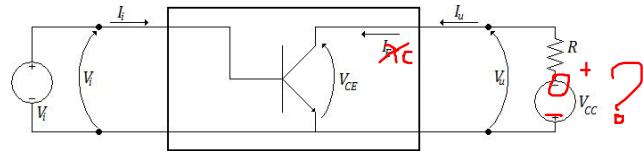


Figura 14.8. L'aggiunta del generatore V_{CC} consente di far funzionare il BJT in regione normale.

Per quanto riguarda la polarizzazione inversa risulta essere:

$$\begin{cases} V_{BE} < 0 \\ V_{BC} > 0 \end{cases} \implies I_B = I_{BES} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) > 0$$

$$\begin{cases} I_E = -\beta_R I_B < 0 \\ I_E = \alpha_R I_C < 0 \end{cases} \implies I_C < 0 \implies V_u = V_{CC} + R |I_C| > 0$$

$$\begin{cases} V_{CE} < 0 \\ V_u = V_{CE} \end{cases} \implies V_u < 0$$

che porta nuovamente ad una conclusione assurda.

Allora, imponendo che il dispositivo funzioni in regione normale, gli si impedisce di funzionare in regione attiva inversa. Dunque il modello ricavato fino ad ora fornisce comunque tutti gli strumenti necessari all'analisi.

Capitolo 15

Lezione del 30 marzo 2011

15.1. Introduzione

Nel Capitolo 14 abbiamo completato lo studio del BJT e ne abbiamo graficato le caratteristiche di ingresso ed uscita per le tre regioni di nostro interesse.

Abbiamo poi introdotto un primo circuito facente uso della connessione in emettitore comune ed abbiamo imposto che funzioni in regione normale tramite l'introduzione di un generatore di tensione V_{CC} .

Nel presente Capitolo continueremo lo studio di tale circuito.

15.2. Relazione tra ingresso ed uscita

Riprendiamo il circuito di Figura 15.1.

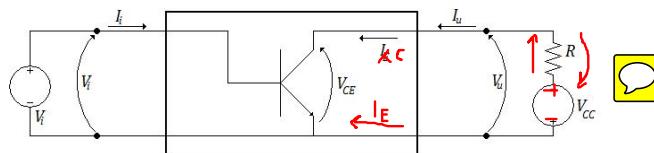


Figura 15.1. L'aggiunta del generatore V_{CC} consente di far funzionare il BJT in regione normale.

Come dimostrato nel Capitolo 14 questo circuito può funzionare in tre sole regioni:

1. regione normale;
2. regione di interdizione;
3. regione di saturazione.

Indipendentemente dalla regione di funzionamento, dalla configurazione del circuito possiamo osservare che è:

$$V_i = V_{BE}$$

$$V_u = V_{CE} = V_{CC} - R I_C$$

15.2.1. Regione di interdizione

Iniziamo a ragionare ponendo il transistore nella regione di interdizione. Dal modello di Ebers & Moll è:

$$\begin{cases} V_{BE} < 0 \\ V_{CE} < 0 \end{cases} \implies V_{BC} < 0 \implies V_{CE} > V_{BE}$$

da cui segue che la tensione di ingresso dovrà essere negativa.

Sempre dal modello di Ebers & Moll, usando le note semplificazioni, troviamo:

$$I_C \approx I_{BCS} \approx 0$$

da cui ricaviamo che la tensione di uscita è:

$$V_u = V_{CC} - RI_C \implies V_u = V_{CC} > 0$$

La condizione per cui si presenta questa situazione è $V_u > V_i$. Siccome però $V_u = V_{CC} > 0$ e $V_i < 0$, la condizione è sempre verificata.

15.2.2. Regione normale

In regione normale è:

$$\begin{cases} V_{BE} > 0 \\ V_{CE} < 0 \end{cases} \implies \begin{cases} V_i > 0 \\ V_u > V_i \end{cases}$$

Applichiamo le note semplificazioni del modello di Ebers & Moll ed otteniamo:

$$\begin{cases} I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \end{cases}$$

Allora troviamo che la tensione di uscita è:

$$V_u = V_{CC} - R I_S \cancel{I_B} \left(e^{\frac{V_i}{V_T}} - 1 \right)$$

dove abbiamo usato l'uguaglianza $V_i = V_{BE}$.

15.2.3. Regione di saturazione

In questo caso abbiamo:

$$\begin{cases} V_{BE} > 0 \\ V_{CE} > 0 \end{cases} \implies \begin{cases} V_i > 0 \\ V_u < V_i \end{cases}$$

$$I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - (I_{BCS} + I_S) \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

$$I_C = I_S \left(e^{\frac{V_i}{V_T}} - 1 \right) - (I_S + I_{BCS}) \left(e^{\frac{V_i - V_u}{V_T}} - 1 \right)$$

Allora la tensione di uscita è:

$$V_u = V_{CC} - R \left[I_S \left(e^{\frac{V_i}{V_T}} - 1 \right) - (I_S + I_{BCS}) \left(e^{\frac{V_i - V_u}{V_T}} - 1 \right) \right]$$

che è abbastanza complessa.

Fortunatamente possiamo risolvere l'uguaglianza sfruttando il grafico della caratteristica di uscita del BJT vista nel Paragrafo 14.3.2.

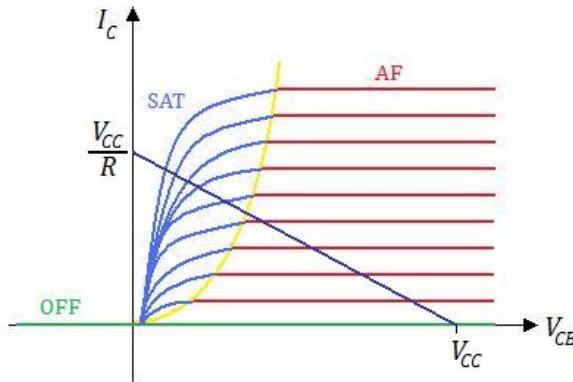
Dal momento che è:

$$\begin{cases} V_{CE} = V_u \\ V_u = V_{CC} - RI_C \end{cases} \implies I_C = \frac{V_{CC} - V_u}{R}$$

abbiamo l'espressione di una retta. Tale retta (solitamente detta *retta di carico della rete*) rappresenta il luogo dei punti (V_u, I_C) che soddisfa la legge di Kirchoff alla maglia. Ogni curva rappresenta invece il luogo dei punti che soddisfano le equazioni del modello di Ebers & Moll per una data tensione di ingresso.

Dal grafico di Figura 15.2 notiamo che l'uscita cala sempre più lentamente al crescere dell'ingresso per raggiungere asintoticamente il valore:

$$V_T \cdot \ln \left(\frac{1}{\alpha_R} \right)$$



15.2.4. Riassunto

Il grafico di Figura 15.3 mostra quanto ottenuto dallo studio appena effettuato.

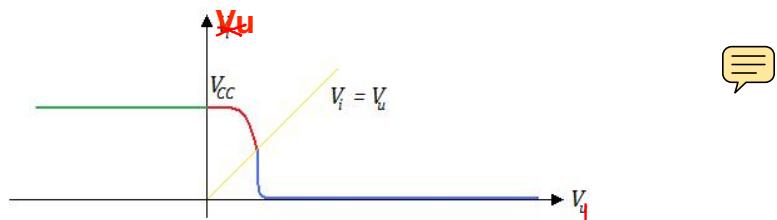


Figura 15.3. Caratteristica di ingresso-uscita di un BJT ad emettitore comune. In verde la caratteristica in interdizione, in rosso la caratteristica in regione normale ed in azzurro la caratteristica in saturazione.

Questo circuito dispone di tre regioni con comportamenti qualitativamente molto differenti: due tratti a valori approssimativamente costanti (regione di interdizione e regione di saturazione) ed un tratto di raccordo (regione normale) che può avere una pendenza anche molto elevata.

La pendenza è data dalla derivata dell'uscita. Siccome la parte con pendenza non nulla è dovuta alla regione normale, riprendiamo l'uscita in tale regione:

$$V_u = V_{CC} - RI_S I_S \left(e^{\frac{V_i}{V_T}} - 1 \right)$$

e ne calcoliamo la derivata nel punto $V_i = V_{i0}$. Risulta:

$$DV_u = -\frac{RI_S \cdot e^{\frac{V_{i0}}{V_T}}}{V_T} = -\frac{RI_{C0}}{V_T}$$

Poiché siamo in regione normale, la V_{i0} è positiva ed allora possiamo trascurare il termine unitario. Allora la corrente di collettore è:

$$I_C = I_S \cdot e^{\frac{V_{i0}}{V_T}}$$

Notiamo allora che la derivata ha un valore a denominatore molto basso ed un valore a numeratore molto più elevato. Allora la **pendenza è molto elevata**.

Un circuito di questo tipo si **presta bene alla realizzazione di una porta NOT**. Consideriamo ad esempio i segnali:

$$\begin{cases} V_L = 0 \\ V_H \approx V_{CC} \end{cases}$$

La Tabella 15.1 mostra quanto appena detto.

V_i	V_u
V_L	V_H
V_H	V_L

Tabella 15.1. Funzionamento dell'invertitore logico realizzato con un BJT.

Si faccia attenzione al fatto che, pur non usando la regione normale di funzionamento del BJT, il componente si comporta come un invertitore proprio per la presenza della regione normale ad elevata pendenza.

Per lavorare in regione normale è necessario progettare opportunamente il segnale di ingresso. Infatti se a $V_i = V_{i0}$ corrisponde $V_u = V_{u0}$ dovrà anche essere:

$$V_i = V_{i0} + \Delta V_i \longleftrightarrow V_u = V_{u0} + \Delta V_u$$

Per $\Delta V_i \rightarrow 0$ avremo allora:

$$\frac{\Delta V_u}{\Delta V_i} = \frac{dV_u}{dV_i} = A_V \implies dV_u = A_V dV_i$$

dove A_V detto *guadagno di tensione*. Il guadagno di tensione può assumere valori anche molto elevati. Allora, quando si presenta un segnale variabile in un intervallo ristretto di V_i , il segnale di uscita varia in modo analogo all'ingresso amplificato di una costante $-A_V$. Allora il dispositivo studiato si comporta come un *amplificatore analogico invertente*.

Il rispetto delle condizioni di piccolo spostamento e di alta pendenza è estremamente importante. Usare segnali con uno spostamento elevato provoca una distorsione del segnale di uscita rispetto al segnale di ingresso. La scelta della pendenza inficia invece il guadagno: *più elevata è la pendenza, maggiore è l'amplificazione in ampiezza*.

Un'altra caratteristica del dispositivo studiato è che, mentre il segnale di ingresso è un segnale debole in potenza ed in corrente, il segnale di uscita è un segnale più forte sia in ampiezza sia in potenza. Questo fatto è dovuto al generatore di tensione V_{CC} .

Ancora, pur avendo una I_B libera di crescere indefinitamente, notiamo che la I_C non può avere lo stesso comportamento. Quando si entra in regione di saturazione, la I_C ha raggiunto il suo valore massimo (si dice quindi che è *satura*). Il problema è però dato dalla corrente I_B . La sua crescita esponenziale porta invece ad avere correnti di ingresso totalmente irragionevoli. Una possibile soluzione consiste nell'introdurre una resistenza sulla base (Figura 15.4).

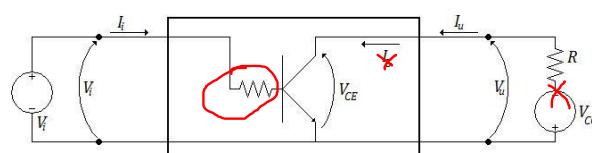


Figura 15.4. L'inserimento della resistenza in base consente di limitare la corrente di ingresso a valori ragionevoli.

15.3. Modello a soglia

Cerchiamo ora di ricavare un modello a soglia valido per il BJT e limitato alle tre regioni usate fino ad ora.

Nel Capitolo 14 abbiamo ricavato le due caratteristiche per l'ingresso e per l'uscita.

15.3.1. Ingresso

Per l'ingresso approssimiamo tutte le curve esponenziali con una retta verticale.

In regione di funzionamento normale ed in regione di saturazione il modello a soglia risulta essere:

$$\begin{cases} V_{BE} = V_\gamma \\ I_B > 0 \end{cases}$$

mentre in interdizione è:

$$\begin{cases} V_{BE} > 0 \\ I_B < V_\gamma \end{cases}$$

$V_{BE} < V_\gamma$

$I_B \approx 0$

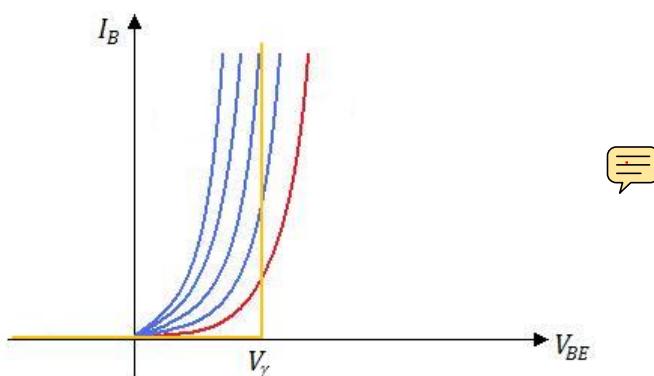


Figura 15.5. Modello a soglia dell'ingresso di un BJT.

15.3.2. Uscita

Anche in questo caso approssimiamo gli esponenziali a rette verticali.
Per la regione di funzionamento normale è:

$$\begin{cases} V_{CE} > V_{CESat} \\ I_C = \beta_F I_B \end{cases}$$

mentre in saturazione abbiamo:

$$\begin{cases} V_{CE} = V_{CESat} \\ I_C < \beta_F I_B \end{cases}$$

Solitamente assumiamo che sia: $V_{CESat} = 0,2$ V. La V_{CESat} è la differenza tra la tensione di soglia dell'emettitore e la tensione di soglia del collettore.

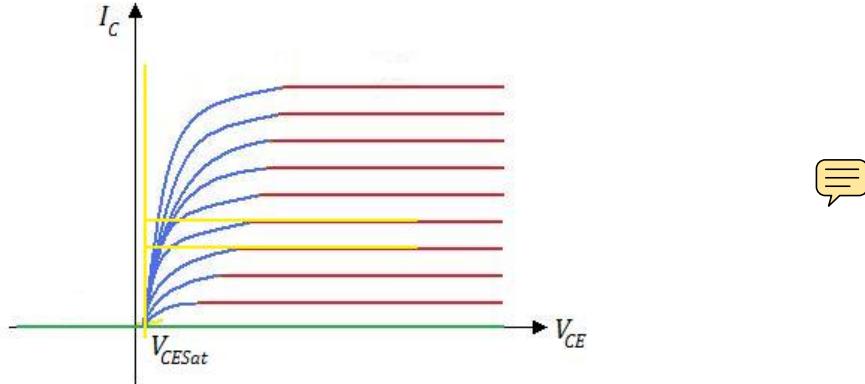


Figura 15.6. Modello a soglia dell'uscita di un BJT.

15.3.3. Riassunto

Unendo tutti i risultati del modello a soglia ricaviamo un modello complesso:

$$\text{Regione di interdizione} = \begin{cases} V_{BE} < V_\gamma \\ V_{CE} > V_{CESat} \quad V_{BC} < V'_\gamma \\ I_B = 0 \\ I_C = 0 \end{cases}$$

$$\text{Regione normale} = \begin{cases} V_{BE} = V_\gamma \\ V_{CE} > V_{CESat} \\ I_B > 0 \\ I_C = \beta_F I_B \end{cases}$$

$$\text{Regione di saturazione} = \begin{cases} V_{BE} = V_\gamma \\ V_{CE} = V_{CESat} \\ I_B \cancel{>} 0 \\ I_C < \beta_F I_B \end{cases}$$

Capitolo 16

Lezione del 5 aprile 2011

16.1. Introduzione

Nel Capitolo 15 abbiamo concluso lo studio del primo circuito realizzato con un BJT ed abbiamo scoperto che esso funziona bene come amplificatore (per segnali analogici) e come porta logica NOT (per segnali digitali).

Abbiamo inoltre ricavato un modello a soglia per il BJT ampliando opportunamente il modello a soglia già sviluppato e funzionante per il diodo a giunzione *pn*.

Nel presente Capitolo cercheremo di risolvere i problemi cui si è accennato alla fine del Capitolo 15.

16.2. Invertitore RTL

Consideriamo ora il circuito di Figura 16.1 e cerchiamone la caratteristica ingresso-uscita sfruttando il modello a soglia.

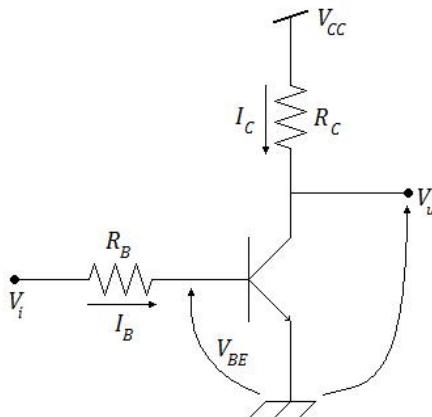


Figura 16.1. Un invertitore RTL.

16.2.1. Considerazioni iniziali

Indipendentemente dalla regione di funzionamento possiamo dire:

$$\begin{cases} I_B = \frac{V_i - V_{BE}}{R_B} \\ I_C = \frac{V_{CC} - V_u}{R_C} \\ V_{CE} = V_u \end{cases}$$

16.2.2. Regione di interdizione

Dal modello a soglia sappiamo che è:

$$\begin{cases} I_B = 0 \\ I_C = 0 \end{cases} \implies \begin{cases} V_i = V_{BE} \\ V_u = V_{CC} \end{cases}$$

ma siccome è $V_i = V_{BE}$ e $V_u = V_{CE}$ risulta anche:

$$\begin{cases} V_i < V_\gamma \\ V_{CC} = V_{CE} > V_{CESat} \end{cases}$$

16.2.3. Regione normale

In regione normale è:

$$\begin{cases} I_C = \beta_F I_B \\ I_B = \frac{V_i - V_\gamma}{R_B} \\ V_u = V_{CC} - R_C I_C \end{cases} \implies \begin{cases} V_u = V_{CC} - \frac{\beta_F R_C}{R_B} (V_i - V_\gamma) \\ V_i > V_\gamma \\ V_{CE} = V_u > V_{CESat} \end{cases}$$

Notiamo che l'uscita è proporzionale all'ingresso secondo la funzione:

$$V_u = V_{CC} - \frac{\beta_F R_C}{R_B} (V_i - V_\gamma)$$

la cui derivata è:

$$A_V = -\frac{\beta_F R_C}{R_B}$$

che porta ad un guadagno lineare dato dal rapporto tra la resistenza di base e la resistenza di collettore.

Per ricavare il valore di V_i^* , ossia del punto in cui la retta interseca la retta costante di V_{CESat} , imponiamo:

$$V_i^* = V_\gamma + \frac{V_{CC} - V_{CESat}}{|A_V|}$$

16.2.4. Regione di saturazione

In questa regione ovviamente l'uscita è:

$$V_u = V_{CESat}$$

e vale nella regione in cui è:

$$V_i > V_i^*$$

La verifica è immediata dal modello a soglia. Infatti deve essere:

$$I_B = \frac{V_i - V_\gamma}{R_B} \implies V_i > V_\gamma$$

$$I_C = \frac{V_{CC} - V_{CESat}}{R_C} < \beta_F \cdot \frac{V_i - V_\gamma}{R_B} \implies V_i > V_\gamma + \frac{V_{CC} - V_{CESat}}{\frac{\beta_F R_C}{R_B}}$$

Siccome è:

$$V_i^* = V_\gamma + \frac{V_{CC} - V_{CESat}}{|A_V|}$$

allora risulta che è:

$$V_i > V_i^*$$

16.2.5. Considerazioni finali

Il grafico dei risultati ottenuti fino ad ora è riportato in Figura 16.2.

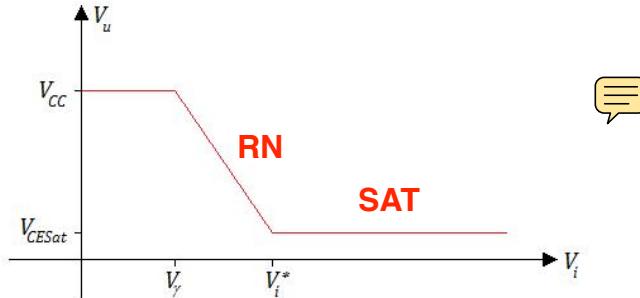


Figura 16.2. Caratteristica ingresso-uscita dell'invertitore RTL.

Il ramo di caratteristica nella regione di interdizione è ovviamente identico a quanto visto senza la resistenza R_B . Tale resistenza è infatti inserita per limitare la corrente ma a transistore spento la corrente è nulla e dunque la resistenza R_B non interviene.

Nella regione normale l'uscita è rappresentata da una retta. Se l'approssimazione del modello fosse buona, otterremmo un grande vantaggio da questa caratteristica poiché consentirebbe di gestire facilmente l'amplificazione dal momento che una amplificazione lineare non distorce il segnale ricevuto.

Dalle simulazioni svolte al calcolatore sul dispositivo reale possiamo notare che l'andamento ottenuto dal modello a soglia è qualitativamente identico all'andamento della caratteristica ingresso-uscita del dispositivo reale.

Il circuito in Figura 16.1 è detto Invertitore RTL (Resistor Transistor Logic, logica a transistore e resistore) ed è un circuito fuzionante.



16.3. Invertitore ad accoppiamento diretto

Fino a questo momento il modello a soglia ha sempre funzionato perfettamente.

Consideriamo ora il circuito di Figura 16.3 e cerchiamone la caratteristica ingresso-uscita sfruttando il modello a soglia.

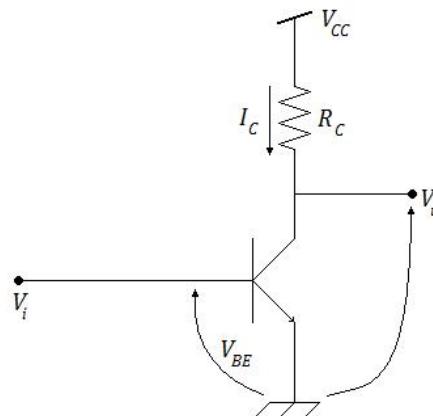


Figura 16.3. Un invertitore ad accoppiamento diretto.

16.3.1. Considerazioni iniziali

Indipendentemente dalla regione di funzionamento possiamo dire:

$$\begin{cases} I_C = \frac{V_u - V_{CC}}{R_C} \\ V_i = V_{BE} \\ V_u = V_{CE} \end{cases}$$



16.3.2. Regione di interdizione

Dal modello a soglia, in interdizione, abbiamo:

$$\begin{cases} I_B = 0 \\ I_C = 0 \end{cases} \implies \begin{cases} V_i = V_{BE} \\ V_u = V_{CC} \end{cases}$$

ma siccome è $V_i = V_{BE}$ e $V_u = V_{CE}$ risulta anche:

$$\begin{cases} V_i < V_\gamma \\ V_{CC} = V_{CE} > V_{CESat} \end{cases}$$

16.3.3. Regione normale

In regione normale è:

$$V_{BE} = V_i = V_\gamma$$

Ma perché sia vero deve anche essere:

$$I_C = \beta_F I_B > 0 \implies \frac{V_u - V_{CC}}{R_C} > 0 \implies V_u > V_{CC}$$

e, contemporaneamente, deve valere:

$$V_{CE} = V_u > V_{CESat}$$

da cui è:

$$V_{CESat} < V_u < V_{CC}$$

che rappresenta una retta verticale.

16.3.4. Regione di saturazione

La regione di saturazione è individuata dalle condizioni:

$$\begin{cases} V_u = V_{CE} = V_{CESat} \\ V_i = V_{BE} = V_\gamma \end{cases}$$

che sono soddisfatte in un unico punto.

16.3.5. Considerazioni finali

Il grafico dei risultati ottenuti fino ad ora è riportato in Figura 16.4.

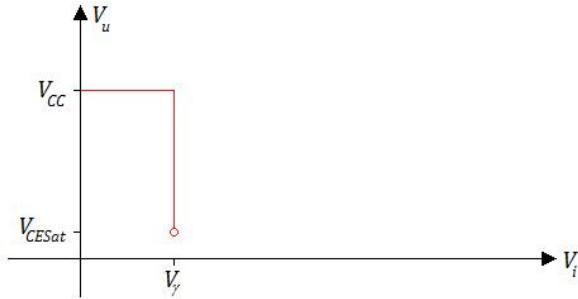


Figura 16.4. Caratteristica ingresso-uscita dell'invertitore ad accoppiamento diretto.

Il ramo di caratteristica nella regione di interdizione è ovviamente identico a quanto visto con la resistenza R_B . Tale resistenza è infatti inserita per limitare la corrente ma a transistore spento la corrente è nulla e dunque la resistenza R_B non interviene.

La retta verticale della regione normale presenta un guadagno infinito. Il guadagno infinito obbliga però a trattare un segnale di ingresso di ampiezza infinitesima provocando così la perdita dell'informazione.

Il peggio tuttavia è rappresentato dal fatto che l'intera regione di saturazione implode in un unico punto. In questo caso allora il modello a soglia non fornisce una previsione sufficientemente accurata. La caratteristica ingresso-uscita nella regione di saturazione infatti è completamente sconosciuta.

16.4. Usabilità del modello a soglia

La differenza tra i ciruciti di Figura 16.1 e 16.3 è molto limitata: la resistenza R_B sulla maglia di ingresso presente nel primo e non nel secondo. Siccome la maglia di uscita è identica nei due circuiti dovremo concentrare la nostra analisi sulla maglia di ingresso. Inoltre, dal momento che il modello a soglia ha fallito, usiamo il modello di Ebers & Moll.

Consideriamo il circuito di Figura 16.1.

La corrente di base è:

$$I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \implies V_{BE} = V_T \cdot \ln \left(\frac{I_B}{I_{BES}} + 1 \right)$$

ma può anche essere espressa come:

$$I_B = \frac{V_i - V_{BE}}{R_B} \implies V_i = V_{BE} + \underbrace{R_B I_B}_{V_R}$$

Dunque la tensione di ingresso è una somma di due termini, entrambi dipendenti dalla corrente I_B . Allora possiamo pensare di variare la corrente V_i da un valore V_{i0} ad un valore $V_{i0} + \Delta V_i$. Conseguentemente avremo una variazione di I_B da I_{B0} ad $I_{B0} + \Delta I_B$.

$$V_i : V_{i0} \rightarrow V_{i0} + \Delta V_i$$

$$I_B : I_{B0} \rightarrow I_{B0} + \Delta I_B$$

Allora una variazione della tensione di ingresso può essere vista come:

$$\Delta V_i = \Delta V_R + \Delta V_{BE}$$

Siccome il termine dato da ΔV_{BE} è molto minore rispetto al termine ΔV_R , può essere trascurato:

$$\Delta V_i \approx \Delta V_R$$

Trascurare la caduta di tensione sulla giunzione è trascurabile solo poiché la caduta di tensione sulla resistenza è presente. Se la resistenza R_B non fosse presente, la caduta dovuta alla giunzione non sarebbe più trascurabile. Questa situazione è riportata in Figura 16.5.

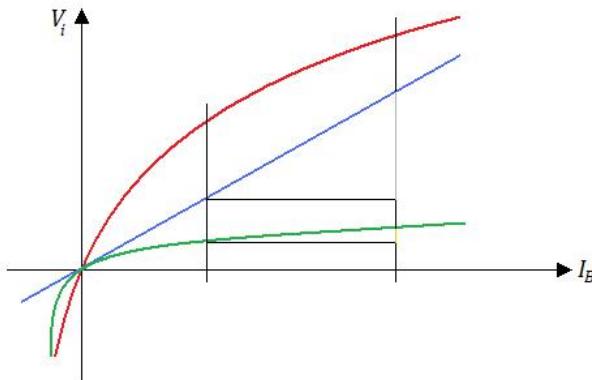


Figura 16.5. La componente esponenziale dovuta alla giunzione (in verde) è trascurabile solo in presenza di una resistenza (in azzurro). In giallo la variazione ΔV_{BE} ; in grigio la variazione ΔV_R .

Allora possiamo utilizzare il modello a soglia quando abbiamo circuiti che presentano, in serie alla giunzione, una o più resistenze. Le resistenze infatti presentano cadute di tipo ohmico che rendono trascurabili le cadute dovute alle giunzioni.

16.5. Qualità dell'invertitore RTL

Nel Paragrafo 16.2 abbiamo dimostrato che il circuito di Figura 16.1 rappresenta un invertitore. Vogliamo ora studiarne la qualità.

16.5.1. Invertitore

Prima di tutto è necessario accertarci che il circuito sia effettivamente un invertitore logico. Infatti, scelti due valori:

$$\begin{cases} V_L = V_{CESat} \\ V_H = V_{CC} \end{cases}$$

mentre per il valore V_{CESat} siamo certi che esso sia minore di V_γ , per il valore alto V_{CC} non sappiamo se valga:

$$V_{CC} > V_i^*$$

Questa condizione è vera solo quando abbiamo:

$$|A_V| > \frac{V_{CC} - V_{CESat}}{V_{CC} - V_\gamma}$$

che, fortunatamente, non è un vincolo critico. Questo risultato, però, mostra che, anche per avere un invertitore, dobbiamo avere un guadagno elevato.

16.5.2. Resistenza ai disturbi

Una volta assicurati di disporre di un invertitore logico, dobbiamo controllarne la resistenza ai disturbi in modo da poterlo effettivamente utilizzare in una rete logica o come amplificatore.

16.5.2.1. Segnale analogico

Il segnale analogico sfrutta il tratto ad elevata pendenza della caratteristica. Inoltre, per quanto riguarda i segnali analogici, una delle ipotesi fondamentali formulate all'inizio dell'analisi del BJT, era quella di piccolo scostamento.

In presenza di rumore allora l'amplificatore amplifica sia il segnale analogico ricevuto sia il rumore rendendo di fatto indistinguibile la variazione dell'uscita voluta (cioè quella associata al segnale) da quella non voluta (cioè quella associata al rumore).

16.5.2.2. Segnale digitale

Il segnale digitale sfrutta i tratti a pendenza quasi nulla.

In questo caso, un rumore che scosti di poco il segnale di ingresso dal suo valore nominale non provoca variazioni significative sul valore di uscita.

La rete digitale è allora più immune ai disturbi rispetto all'amplificatore poiché è in grado di distinguere il segnale dal rumore. Il circuito di Figura 16.1 allora funziona meglio come circuito digitale rispetto a quanto può fare come amplificatore.

Capitolo 17

Lezione del 6 aprile 2011

17.1. Introduzione

Nel Capitolo 16 abbiamo analizzato l'invertitore RTL ed abbiamo indicato un criterio che ci consente di sapere a priori se il modello a soglia sia attendibile o meno nel processo di analisi. Abbiamo inoltre iniziato le studio della qualità di un invertitore RTL a partire dalle sue caratteristiche fondamentali.

17.2. Qualità dell'invertitore RTL

Nel Paragrafo 16.2 abbiamo dimostrato che il circuito di Figura 16.1 rappresenta un invertitore. Vogliamo ora studiarne la qualità.

17.2.1. Invertitore

Prima di tutto è necessario accertarci che il circuito sia effettivamente un invertitore logico. Infatti, scelti due valori:

$$\begin{cases} V_L = V_{CESat} \\ V_H = V_{CC} \end{cases}$$

mentre per il valore V_{CESat} siamo certi che esso sia minore di V_γ , per il valore alto V_{CC} non sappiamo se valga:

$$V_{CC} > V_i^*$$

Questa condizione è vera solo quando abbiamo:

$$|A_V| > \frac{V_{CC} - V_{CESat}}{V_{CC} - V_\gamma}$$

che, fortunatamente, non è un vincolo critico. Questo risultato, però, mostra che, anche per avere un invertitore, dobbiamo avere un guadagno elevato.

17.2.2. Effetto del rumore

Una volta assicurati di disporre di un invertitore logico, dobbiamo controllarne la resistenza ai disturbi in modo da poterlo effettivamente utilizzare in una rete logica o come amplificatore.

Possiamo interpretare il rumore ~~può essere interpretato~~ come una piccola variazione rispetto al segnale che si desidera rappresentare. L'effetto di questa variazione è estremamente diverso in base alla regione in cui si lavora.

17.2.2.1. Segnale analogico

Il segnale analogico sfrutta il tratto ad elevata pendenza della caratteristica.

$$|A_V| = \frac{dV_u}{dV_i} = \lim_{\Delta V_i \rightarrow 0} \frac{\Delta V_u}{\Delta V_i} > 1$$

Inoltre, per quanto riguarda i segnali analogici, una delle ipotesi fondamentali formulate all'inizio dell'analisi del BJT, era quella di piccolo scostamento.

In presenza di rumore allora l'amplificatore amplifica sia il segnale analogico ricevuto sia il rumore rendendo di fatto indistinguibile la variazione dell'uscita voluta (cioè quella associata al segnale) da quella non voluta (cioè quella associata al rumore).

17.2.2.2. Segnale digitale

Il segnale digitale sfrutta i tratti a pendenza quasi nulla.

$$|A_V| = \frac{dV_u}{dV_i} = \lim_{\Delta V_i \rightarrow 0} \frac{\Delta V_u}{\Delta V_i} = 0$$

In questo caso, un rumore che scosti di poco il segnale di ingresso dal suo valore nominale non provoca variazioni significative sul valore di uscita.

La rete digitale è allora più immune ai disturbi rispetto all'amplificatore poiché è in grado di distinguere il segnale dal rumore. Il circuito di Figura 16.1 allora funziona meglio come circuito digitale rispetto a quanto può fare come amplificatore.

17.2.3. Immunità ai disturbi

17.2.3.1. Valori fondamentali

Abbiamo scoperto che l'invertitore RTL è in grado, quando usato come porta logica binaria, di discriminare tra il segnale ed il rumore. Questa discriminazione è fattibile solo quando il rumore (indicato con N per noise) non supera una certa ampiezza. Cioè vogliamo individuare il massimo valore di N tale per cui sia

$$V_i^{**} = V_L + N \longrightarrow V_u = V_H$$

Dalla caratteristica possiamo facilmente individuare il valore massimo del rumore come:

$$N_{Max} = V_i^{**} - V_L$$

Ancora dalla caratteristica possiamo identificare facilmente tale valore limite come V_γ . In generale indicheremo tale punto con:

$$V_{iL Max}$$

e quindi possiamo ricavare:

$$N_{Max} = V_{iL Max} - V_L$$

che nel nostro caso specifico, con valori tipici di, è:

$$N_{Max} = |V_\gamma - V_{CESat}| = 0,75 - 0,2 = 0,55 \text{ V}$$

Analogamente possiamo individuare un valore di rumore tale da non modificare l'uscita quando in ingresso abbiamo V_H .

$$V_i^{***} = V_H + N \longrightarrow V_u = V_H$$

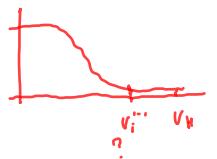
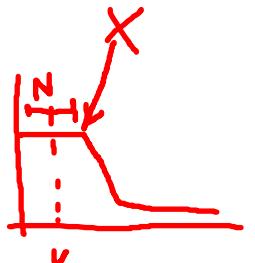
Di nuovo, dalla caratteristica, ricaviamo che il massimo rumore sovrapponibile a V_H è:

$$N_{Max} = V_{iH Min} = V_\gamma + \frac{V_{CC} - V_{CESat}}{|A_V|}$$

$$N_{Max} = V_H - V_i^* = V_{CC} - V_\gamma - \frac{V_{CC} - V_{CESat}}{|A_V|} = 3,77 \text{ V}$$

Si nota che questo margine dipende dal guadagno. Maggiore è il guadagno, maggiore è l'immunità ai disturbi per il valore alto.

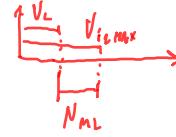
Possiamo inoltre identificare l'escursione (Logic Swing) come:



$$\Delta V_u = V_H - V_L$$

ed il massimo errore tollerabile rispetto al valore basso come:

$$N_{ML} = V_{iL\ Max} - V_L$$



mentre per il valore alto è:

$$N_{MH} = V_H - V_{iH\ Min}$$



Con i valori tipici notiamo che N_{ML} è significativamente più piccolo rispetto a N_{MH} . In fase di progetto dovremo allora considerare N_{ML} come parametro di resistenza. In generale sarà:

$$N_M = \min \{N_{ML}, N_{MH}\}$$

Imponendo che entrambi i margini siano positivi e facendo la somma delle due relazioni otteniamo:

$$N_{MH} + N_{ML} = V_H - V_{iH\ Min} - V_{iL\ Max} - V_L > 0$$

da cui possiamo ricavare:

$$\underbrace{V_H - V_L}_{\Delta V_u} > \underbrace{V_{iH\ Min} - V_{iL\ Max}}_{\Delta V_i}$$

Ma $V_H - V_L$ è l'escursione mentre $V_{iH\ Min} - V_{iL\ Max}$ è l'escursione dell'ingresso. Allora:

$$\frac{\Delta V_u}{\Delta V_i} > 1 \implies |A_V| > 1$$

e quindi, per avere un buon invertitore, dobbiamo necessariamente realizzare un buon amplificatore. La Figura 17.1 mostra graficamente i margini appena individuati.

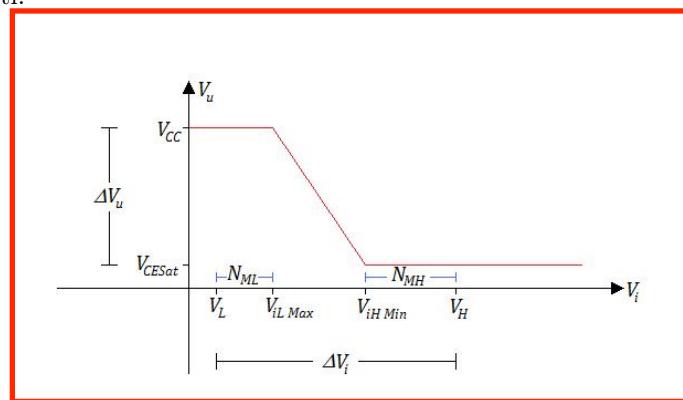


Figura 17.1. Rappresentazione grafica dei margini di immunità ai disturbi.

Siccome la somma tra N_{ML} e N_{MH} è limitata, se aumentiamo uno, l'altro deve diminuire. La condizione ottima di progetto (Figura 17.2) è:

$$N_{ML} = N_{MH}$$

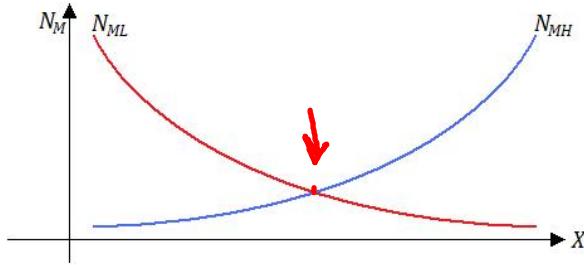


Figura 17.2. La condizione ottima di progetto consiste nell'individuazione del miglior equilibrio possibile tra N_{ML} e N_{MH} .

17.2.3.2. Esempio pratico

Consideriamo il circuito di Figura 17.3 e cerchiamo di individuarne l'immunità ai disturbi.

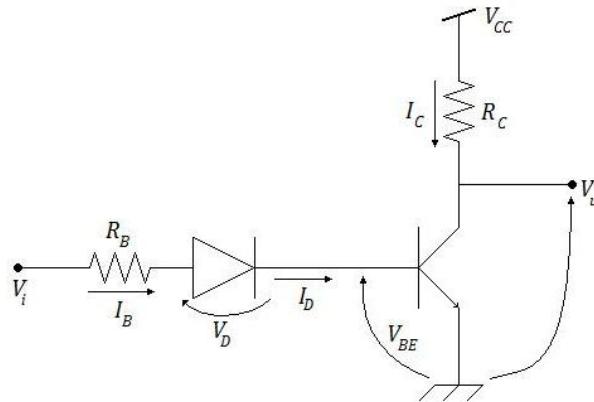


Figura 17.3. L'aggiunta del diodo aumenta l'immunità ai disturbi della rete.

Dal momento che in serie alle giunzioni abbiamo un carioresistivo possiamo utilizzare i modelli a soglia. Per ridurre le regioni di studio, osserviamo preliminarmente che:

$$I_D = I_B$$

Allora se il diodo è acceso deve valere:

$$I_D > 0 \implies I_B > 0$$

e quindi il transistore deve essere acceso. Parimenti, se il transistore è acceso, il diodo non può essere spento. Allora dobbiamo valutare solo tre casi contro i sei indicati dal modello a soglia.

Regione di interdizione. In questa regione è:

$$\begin{cases} I_C = 0 \\ V_u = V_{CC} - R_C I_C \end{cases} \implies V_u = V_{CC}$$

$$\begin{cases} V_{BE} < V_\gamma \\ V_D < V_\gamma \end{cases}$$

$$\begin{cases} V_i - R_B I_B - V_D - V_{BE} = 0 \\ I_B = 0 \end{cases} \implies V_i < 2V_\gamma$$

Regione normale. In regione normale abbiamo:

$$\begin{cases} V_{BE} > V_\gamma \\ V_D > V_\gamma \end{cases}$$

$$\begin{cases} I_B = \frac{V_i - 2V_\gamma}{R_B} \\ I_C = \beta_F I_B \\ V_u = V_{CC} - R_C I_C \end{cases} \implies V_u = V_{CC} - \frac{\beta_F R_C}{R_B} (V_i - 2V_\gamma)$$

La V_u è una retta della stessa pendenza della retta del circuito di Figura 16.1. Tale tratto si estende in:

$$2V_\gamma < V_i < 2V_\gamma + \frac{V_{CC} - V_{CESat}}{|A_V|}$$

Regione di saturazione. In questo caso, ovviamente è:

$$\begin{cases} V_u = V_{CESat} \\ V_i > V_i^* \end{cases}$$

dove:

$$V_i^* = 2V_\gamma + \frac{V_{CC} - V_{CESat}}{|A_V|}$$

Considerazioni finali. La caratteristica è perfettamente identica alla caratteristica del circuito di Figura 16.1 ma è stata traslata in avanti di V_γ . Allora i margini si sono spostati. Risultano infatti:

$$N_{ML} = 2V_\gamma - V_{CESat} = 1,3 \text{ V}$$

$$N_{MH} = V_{CC} - 2V_\gamma - \frac{V_{CC} - V_{CESat}}{|A_V|} = 2,02 \text{ V}$$

$$N_M = 1,3 \text{ V}$$

L'aggiunta del diodo ha quindi più che raddoppiato il margine di resistenza al rumore. In linea di principio possiamo pensare di aggiungere diodi per spostare la caratteristica. Queste soluzioni sono praticate ma senza portarle a conseguenze estreme: l'aggiunta di troppi diodi infatti provoca un peggioramento delle prestazioni dinamiche.

17.3. Generalizzazioni

Quanto visto nel Paragrafo 17.2.2 è estremamente limitato alla sola porta logica NOT. Dobbiamo ora trovare un modo per generalizzare quanto detto a più porte logiche (come le porte AND e OR).

Dobbiamo inoltre generalizzare i margini di rumore a caratteristiche che non si basino sulla caratteristica specifica dell'invertitore RTL.

17.4. Generalizzazione a funzioni a più ingressi

Consideriamo il circuito di Figura 17.4.

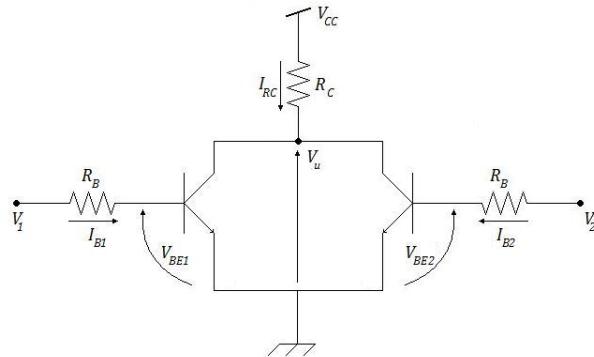


Figura 17.4. Circuito per la realizzazione di una porta logica NOR.

Per semplificare l'analisi supponiamo che sia:

$$V_1, V_2, V_u \in \{V_L, V_H\}$$

Allora possiamo riferirci alla tabella di verità riportata in Tabella 17.1.

V_1	V_2	V_u
V_L	V_L	V_H
V_L	V_H	V_L
V_H	V_L	V_L
V_H	V_H	V_L

Tabella 17.1. Tabella di funzionamento del circuito di Figura 17.4.

17.4.1. $V_1 = V_L ; V_2 = V_L$

In questo caso il BJT **T1 è spento**. Infatti, se fosse acceso, sarebbe:

$$\begin{cases} V_{BE1} = V_\gamma \\ I_{B1} > 0 \\ I_{B1} = \frac{V_1 - V_{BE1}}{R_B} \end{cases} \implies V_1 > V_\gamma$$

che è una conclusione assurda. Allora il transistore **T1 deve essere spento**. Analogamente, anche **T2 dovrà essere spento**.

Ma allora deve essere:

$$\begin{cases} I_{C1} = 0 \\ I_{C2} = 0 \\ I_{RC} = I_{C1} + I_{C2} = 0 \\ V_u = V_{CC} - R_C I_{RC} \end{cases} \implies V_u = V_{CC}$$

Quindi, quando entrambi i **transistori sono spenti**, il circuito si comporta come un **invertitore**.

17.4.2. $V_1 = V_L ; V_2 = V_H$

Per quanto appena detto, il transistore $T1$ deve essere spento. Ma se $T1$ è spento ($I_{C1} = 0$), abbiamo un solo invertitore RTL ($T2$) che ha in ingresso un valore alto. Allora il transistore $T2$ è saturo. Per verificarlo, accertiamoci che sia:

$$I_{C2} < \beta_F I_{B2}$$

Per la Legge di Ohm è:

$$I_{RC} = \frac{V_{CC} - V_{CESat}}{R_C}$$

$$I_{RC} = I_{C1} + I_{C2} = I_{C2}$$

$$I_{B2} = \frac{V_{CC} - V_\gamma}{R_B}$$

Dunque, deve essere:

$$\frac{V_{CC} - V_{CESat}}{R_C} < \beta_F \cdot \frac{V_{CC} - V_\gamma}{R_B}$$

Questa condizione è verificata per:

$$V_{CC} > V_\gamma + \frac{V_{CC} - V_{CESat}}{|A_V|}$$

che è la condizione per avere un buon invertitore.

Allora $V_u = V_L$.

17.4.3. $V_1 = V_H ; V_2 = V_L$

In questo caso abbiamo la condizione inversa a quella precedente. Allora avremo:

$$V_u = V_L$$

17.4.4. $V_1 = V_H ; V_2 = V_H$

Siamo nella condizione in cui entrambi gli invertitori sono accesi. Verifichiamo che siano in regione di saturazione. In saturazione deve essere:

$$\begin{cases} I_{C1} < \beta_F I_{B1} \\ I_{C2} < \beta_F I_{B2} \end{cases}$$

$$I_{C1} + I_{C2} = \beta_F (I_{B1} + I_{B2})$$

Per la Legge di Kirchoff allora:

$$\begin{cases} I_{RC} < \beta_F (I_{B1} + I_{B2}) \\ I_{RC} = \frac{V_{CC} - V_{CESat}}{R_C} \\ I_{B1} = \frac{V_{CC} - V_\gamma}{R_B} \\ I_{B2} = \frac{V_{CC} - V_\gamma}{R_B} \\ \frac{V_{CC} - V_{CESat}}{R_C} < \frac{2\beta_F}{R_B} (V_{CC} - V_\gamma) \end{cases}$$

che è certamente verificata per quanto detto nel Paragrafo 17.4.2.

Allora l'uscita deve essere:

$$V_u = V_{CE1} = V_{CE2} = V_{CESat} = V_L$$

17.4.4.1. Considerazioni finali

Riportando la Tabella 17.2 in formato digitale notiamo che abbiamo realizzato una porta logica NOR a due ingressi.

Possiamo allora generalizzare quanto appena ottenuto: volendo una porta NOR a tre ingressi con la semplice aggiunta di un terzo ramo in parallelo ai primi due. Inoltre la progettazione non è critica poiché se funziona il BJT, funziona anche la porta NOR.

Ancora, avendo la funzione NOR, per la Legge di De Morgan, possiamo realizzare qualsiasi funzione logica di cui possiamo avere necessità.

V_1	V_2	V_u
0	0	1
0	1	0
1	0	0
1	1	0

Tabella 17.2. Tabella di funzionamento del circuito di Figura 17.4 in formato digitale.

Capitolo 18

Lezione del 11 aprile 2011

18.1. Introduzione

Nel Capitolo 17 abbiamo analizzato le grandezze fondamentali dell'invertitore RTL. Abbiamo visto che tale dispositivo ha una buona immunità ai disturbi. Abbiamo inoltre definito un sistema per aumentare l'immunità ai disturbi.

Infine abbiamo generalizzato il circuito a funzioni di più ingressi realizzando facilmente una porta NOR.

In questo Capitolo continueremo le generalizzazioni di quanto visto nel caso particolare dell'invertitore RTL.

18.2. Generalizzazione a qualsiasi invertitore

Assumiamo di avere un invertitore che presenti la caratteristica rossa di Figura 18.1 cioè una caratteristica in cui si abbiano due zone in cui il guadagno è inferiore ad uno ed una zona con guadagno maggiore di uno.

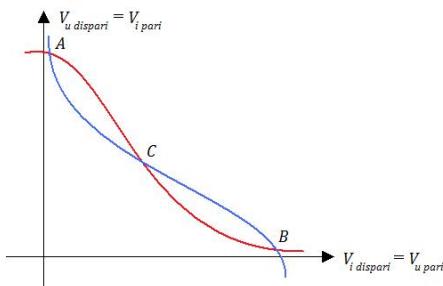


Figura 18.1. Caratteristica di una invertitori in serie.

Prima di tutto vogliamo imporre che il valore alto dell'ingresso sia pari al valore ~~alto~~ dell'uscita e che il valore basso in ingresso sia pari al valore alto dell'uscita.

Consideriamo ora la serie di invertitori di Figura 18.2.

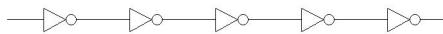


Figura 18.2. Invertitori in serie.

In una rete di questo tipo, gli ingressi degli invertitori pari coincidono con le uscite degli invertitori dispari e gli ingressi degli invertitori dispari coincidono con le uscite degli invertitori pari.

Allora la caratteristica di entrambi è data dai punti di intersezione di quella di Figura 18.1.

Dall'intersezione della caratteristiche degli invertitori pari con la caratteristica degli invertitori dispari, ricaviamo i valori nominali e notiamo che abbiamo

tre sole condizioni di funzionamento (indicate dai punti A , B e C). I punti A e B sono inoltre simmetrici rispetto alla diagonale del primo e terzo quadrante e sono individuati da:

$$\begin{cases} A = (V_L, V_H) \\ B = (V_H, V_L) \end{cases}$$

Il punto C , che necessariamente è posto sulla diagonale, indica una terza condizione. Questo punto di lavoro individuato da:

$$C = (V_{TL}, V_{TL})$$

è la condizione in cui ciò che entra nell'invertitore è pari a ciò che esce dall'invertitore stesso.



Supponiamo di porre in ingresso alla rete logica il valore V_{TL} . In assenza di rumore avremmo in uscita il valore V_{TL} . Tuttavia è impossibile mantenere costante il valore V_{TL} .

Sfruttando il grafico della caratteristica notiamo facilmente che, anche a causa di un piccolo spostamento da V_{TL} , il valore dell'uscita si è avvicinato sempre più al valore nominale (V_H per valori appena maggiori di V_{TL} o V_L per valori appena inferiori a V_{TL}). In altre parole, la qualità del segnale migliora dopo ogni inversione. Si parla in questo caso di *capacità di rigenerazione del segnale*.

In particolare V_{TL} è detto *valore di soglia logica* (Logic Threshold) poiché è il valore di soglia per cui il circuito è in grado di riportare un segnale rumoroso al suo valore nominale. Si noti che tale valore non è necessariamente posto a metà dell'escursione.

Inoltre, poiché V_{TL} è pressoché impossibile da mantenere, non dovremo preoccuparci della condizione di lavoro in V_{TL} .

Si noti che la capacità di rigenerare il segnale dipende dalla pendenza elevata del tratto di curva in cui si posiziona V_{TL} . Infatti, per una pendenza inferiore ad uno, troviamo che in risposta ad una perturbazione di V_{TL} il circuito riporta il segnale a V_{TL} . Ciò risulta evidente dal grafico di Figura 18.3 avendo un solo punto di intersezione esso deve, necessariamente, essere stabile.

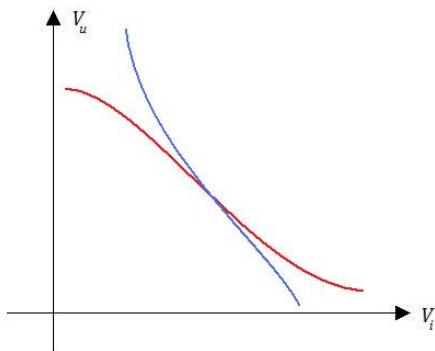
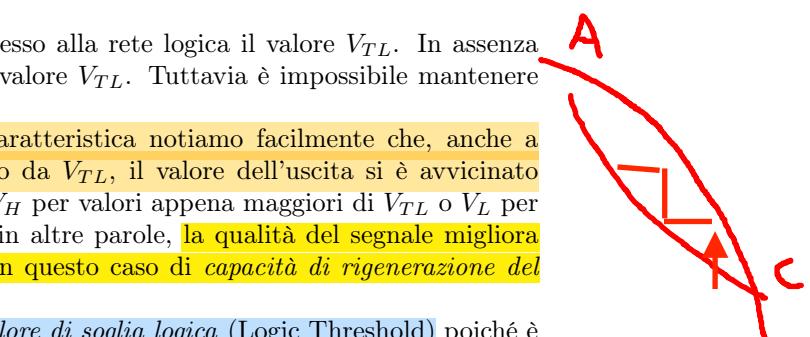


Figura 18.3. Se si ha una curva con guadagno $A_V < 1$ nella zona di massima pendenza si ottiene un circuito che tende a riportare l'uscita a V_{TL} .

18.3. Generalizzazione di N_M

Generalizziamo ora il concetto di margine di immunità ai disturbi. Riprendiamo la caratteristica di Figura 18.4

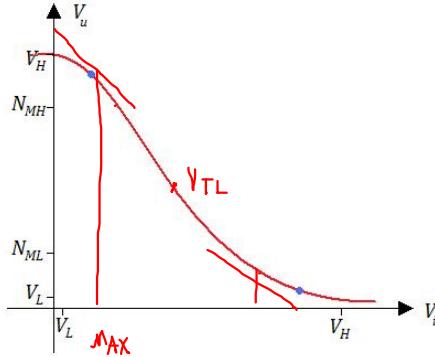


Figura 18.4. Caratteristica di un invertitore. Sono evidenziati i margini di tolleranza al rumore.

In questo caso la determinazione di N_M è più complessa rispetto a quanto visto nel Capitolo 17 poiché non abbiamo tratti a pendenza nulla. Possiamo tuttavia riconoscere due tratti a pendenza:

$$|A_V| < 1$$

in cui il rumore viene attenuato ed un tratto a pendenza:

$$|A_V| > 1$$

in cui il rumore viene amplificato.

Possiamo etichettare i due punti in cui il guadagno è $A_V = -1$ come:

$$(V_{iL\ Max}, V_{OH\ Min})$$

per l'ingresso di un segnale basso. Si noti che $V_{OH\ Min}$ è più vicino a V_H di quanto non lo sia $V_{iL\ Min}$ a V_L :

$$V_H - V_{OH\ Min} > V_L - V_{iL\ Max}$$

Per quanto riguarda l'ingresso alto abbiamo invece:

$$(V_{iH\ Min}, V_{OL\ Max})$$



Risulta inoltre:

$$\begin{cases} V_i < V_{iL\ Max} \Rightarrow V_u > V_{OH\ Min} \\ V_i > V_{iH\ Min} \Rightarrow V_u < V_{OL\ Max} \end{cases}$$

Dal grafico di Figura 18.5 notiamo che il margine di immunità ai disturbi associato al valore alto è:

$$N_{MH} = V_{OH\ Min} - V_{iH\ Min}$$

e, analogamente, per il margine basso è:

$$N_{ML} = V_{iL\ Max} - V_{OL\ Max}$$

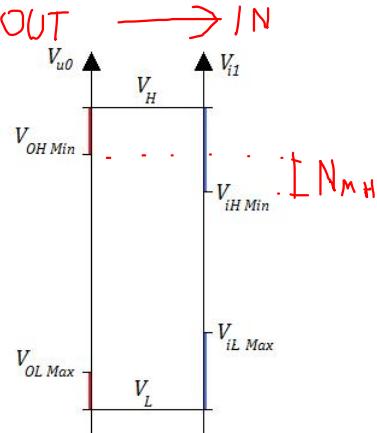


Figura 18.5. Distribuzione dei margini di immunità ai disturbi.

Allora il margine di immunità complessivo è:

$$N_M = \min \{N_{ML}, N_{MH}\}$$

Ancora, vogliamo che entrambi i margini siano positivi. Dunque è:

$$V_{OH\ Min} - V_{iH\ Min} + V_{iL\ Max} - V_{OL\ Max} > 0$$

da cui segue che:

$$\underbrace{V_{OH\ Min} - V_{OL\ Max}}_{\Delta V_u} > \underbrace{V_{iH\ Min} - V_{iL\ Max}}_{\Delta V_i}$$

In questo caso non possiamo approssimare il rapporto incrementale alla derivata. Tuttavia, risulta comunque evidente che **deve essere**:

$$\frac{\Delta V_u}{\Delta V_i} > 1$$

che conferma quanto detto all'inizio dell'analisi.

Anche in questo caso generico è evidente che la somma $N_{ML} + N_{MH}$ è un valore finito. Inoltre è possibile individuare graficamente N_{MH} e N_{ML} utilizzando un campasso.

18.4. Incongruenza

Tutti i ragionamenti fatti fino a questo punto si basano sull'**ipotesi** che la rete sia costituita dalla serie di invertitori di Figura 18.2.

Per l'analisi abbiamo però utilizzato le caratteristiche degli invertitori calcolate a vuoto. Quando costruiamo il circuito di Figura 18.2, tuttavia, connettiamo in serie più invertitori. Dunque, per il primo invertitore è:

$$V_u = V_{CC} - R_C (I_C - I'_B)$$

dove I'_B è la corrente di base dovuta al secondo invertitore.

Analizzeremo la caratteristica, considerando correttamente la condizione di carico, nel Capitolo 19.

Capitolo 19

Lezione del 12 aprile 2011

19.1. Introduzione

Nel Capitolo 18 abbiamo generalizzato le grandezze fondamentali viste nel particolare caso dell'invertitore RTL nel Capitolo 17.

Abbiamo però notato che tutti i calcoli svolti si sono basati sulla caratteristica a vuoto dell'invertitore. Tuttavia, una rete elettrica richiede che i componenti siano interconnessi tra loro.

Nel presente Capitolo studieremo la connessione tra i componenti.

19.2. Rete di invertitori

Consideriamo anzitutto una rete composta da due invertitori RTL identici come in Figura 19.1.

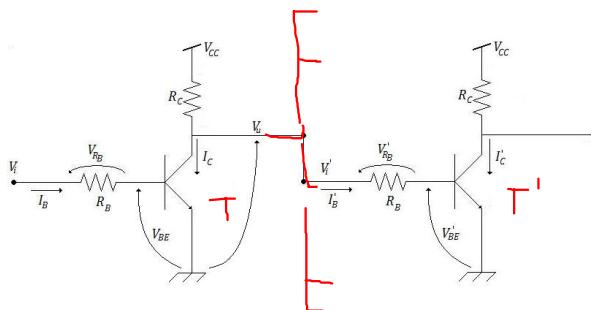


Figura 19.1. Due invertitori RTL in serie.

In particolare la corrente sul nodo evidenziato (il nodo di connessione tra le due porte) è detta **corrente di fan out** poiché il quel nodo la corrente si apre a ventaglio.

Nel caso di fan out pari a zero la caratteristica è quella riportata in Figura 19.2.

Dal momento che abbiamo la connessione di due transistori dovremmo valutare nove condizioni. Tuttavia poiché il secondo BJT dipende dal primo possiamo ridurre il numero di casi di studio.

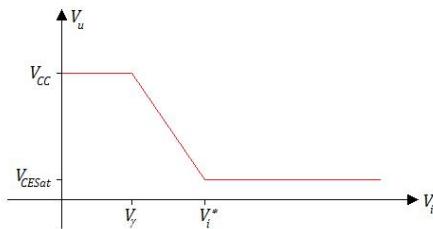


Figura 19.2. Caratteristica di un invertitore RTL a vuoto.

19.2.1. Considerazioni preliminari

Osserviamo, dalla conformazione del circuito che è:

$$\begin{cases} I_B = \frac{V_i - V_{BE}}{R_B} \\ I'_B = \frac{V_u - V_{BE}}{R_B} \\ I_{RC} = I_C + I'_B \end{cases}$$

19.2.2. T in interdizione

Quando il transistore T è in regione di interdizione risulta essere:

$$\begin{cases} I_B = 0 \\ V_{BE} < V_\gamma \end{cases} \implies V_i = V_{BE} \implies V_i < V_\gamma$$

$$I_C = 0 \implies I_{RC} = I'_B \implies V_u = V_{CC} - R_C I'_B$$

Ipotizzando che anche T' sia in interdizione ricaviamo:

$$\begin{cases} I'_B = 0 \\ V_u = V'_{BE} = V_{CC} \end{cases}$$

poiché anche $V_{BE} < V_\gamma$ il risultato è assurdo. Allora, se T è in interdizione, T' deve necessariamente essere acceso.

Ma se T' è acceso deve essere:

$$V'_{BE} = V_\gamma \implies I'_B = \frac{V_u - V_\gamma}{R_B}$$

da cui possiamo ricavare che l'uscita è:

$$V_u = V_{CC} - R_C \frac{V_u - V_\gamma}{R_B}$$

$$V_u = \frac{V_{CC} + \frac{R_C}{R_B} \cdot V_\gamma}{1 + \frac{R_C}{R_B}} = \frac{R_B}{R_B + R_C} V_{CC} + \frac{R_C}{R_B + R_C} V_\gamma$$

che è più piccola di V_{CC} e maggiore di V_γ . In particolare abbiamo:

$$\lim_{\frac{R_C}{R_B} \rightarrow 0} V_u = V_{CC}$$

oppure:

$$\lim_{\frac{R_C}{R_B} \rightarrow +\infty} V_u = V_\gamma$$

19.2.3. T in regione normale

Ipotizziamo che T resti acceso. Allora deve essere:

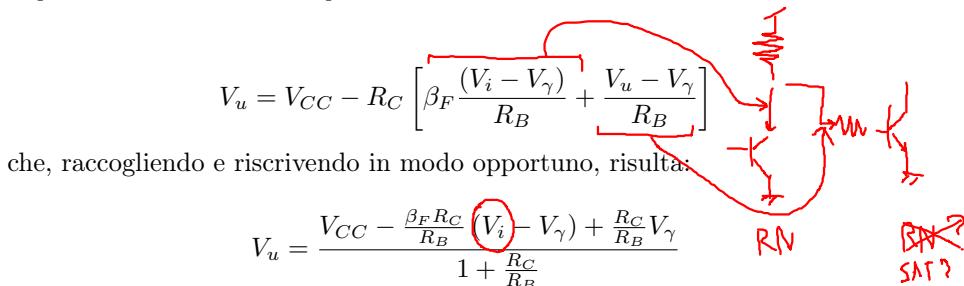
$$V_{BE} = V_\gamma \implies I_B = \frac{V_i - V_\gamma}{R_B}$$

$$I_C = \beta_F I_B$$

$$I'_B = \frac{V_u - V_\gamma}{R_B}$$

$$V_u = V_{CC} - R_C (I_C + I'_B)$$

Allora la tensione di uscita è:



che, raccogliendo e riscrivendo in modo opportuno, risulta:

Dunque, in questo caso il guadagno di tensione è:

$$A_V = \frac{-\beta_F \frac{R_C}{R_B}}{1 + \frac{R_C}{R_B}} \quad A_V = \frac{V_u}{V_i}$$

Allora il guadagno di tensione è inferiore rispetto al guadagno di tensione a vuoto.

Tutto questo è vero fino a quando si ha:

$$\begin{cases} V_{CE} = V_u > V_{CESat} \\ I'_B > 0 \\ V_u > V_\gamma \end{cases} \implies V_u > V_\gamma$$

dove si sono assunti i valori tipici $V_{CESat} = 0,2$ e $V_\gamma = 0,75$.

19.2.4. T' in interdizione

Quando il transistore T' si spegne (ossia quando la tensione di uscita V_u raggiunge la tensione V_γ), ritorniamo ad essere nella condizione già studiata nel Capitolo 16, ossia risulta essere la caratteristica del transistore a vuoto.

19.2.5. Considerazioni finali

Il grafico di Figura 19.3 mostra la situazione ricavata con un fan out pari ad uno. Si nota che il margine basso di immunità ai disturbi è invariato. Tuttavia l'ammaccatura nella parte alta della caratteristica abbassa il margine alto di immunità ai disturbi.

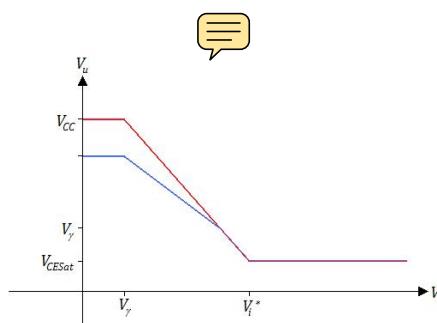


Figura 19.3. Cartteristica di un invertitore RTL a vuoto (in rosso) a confronto con la caratteristica di un invertitore con fan out maggiore o pari ad uno (in blu).



19.3. Aumento del fan out

Aumentando il fan out aggangiando n invertitori RTL, abbiamo una corrente di fan out di n volte più elevata rispetto a quanto visto nel Paragrafo 19.2.

19.3.1. Considerazioni iniziali

Utilizzando n invertitori T' identici connessi al nodo di uscita del transistore T , possiamo sfruttare tutti i ragionamenti già effettuati per $n = 1$ nel Paragrafo 19.2.

19.3.2. T in interdizione

Per quanto detto in precedenza tutti i transistori T' sono accesi. Allora sarà:

$$\begin{cases} I_{RC} = I_C + nI'_B \\ I'_B = \frac{V_u - V_\gamma}{R_B} \\ I_C = 0 \end{cases}$$

$$V_u = V_{CC} - R_C I_{RC}$$

$$V_u = \frac{V_{CC} + n \frac{R_C}{R_B} V_\gamma}{1 + n \frac{R_C}{R_B}}$$

19.3.3. T in regione normale

Supponiamo che gli n transistori T' siano accesi. Allora risulta:

$$V_u = \frac{V_{CC} - \frac{\beta_F R_C}{R_B} (V_i - V_\gamma) + n \frac{R_C}{R_B} V_\gamma}{1 + n \frac{R_C}{R_B}}$$

e, di conseguenza, il **guadagno** è:

$$A_V = \frac{-\beta_F \frac{R_C}{R_B}}{1 + n \frac{R_C}{R_B}}$$

19.3.4. T' in interdizione

Anche in questo caso, la caratteristica risulta essere esattamente quella del singolo invertitore RTL.

19.3.5. Considerazioni finali

Dai conti effettuati in precedenza si nota che l'**effetto del fan out è tanto più elevato quanto maggiore è il numero di porte connesse al nodo di uscita**.

La Figura 19.4 mostra la variazione della caratteristica del transistore T al variare del fan out. Si noti che tutte le rette passano per il punto di ordinata V_γ .

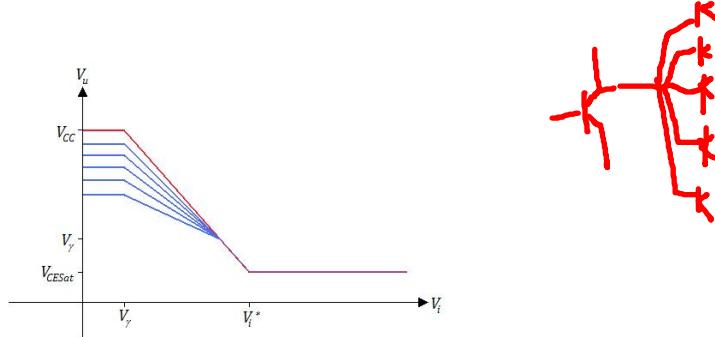


Figura 19.4. L'aumento del fan out abbatte sempre più il margine alto di immunità ai disturbi.

Modificando il fan out allora il margine alto di immunità ai disturbi varia. Possiamo ricavare che il margine basso di immunità ai disturbi è:

$$\begin{cases} V_{iL\ Max} = V_\gamma = 0,75 \text{ V} \\ V_{OL\ Max} = V_{CESat} = 0,2 \text{ V} \end{cases} \implies N_{ML} = V_\gamma - V_{CESat} = 0,515 \text{ V}$$

ed è indipendente dal fan out. Il margine alto invece è dato da:

$$\begin{cases} V_{iH\ Min} = V_\gamma + \frac{V_{CC} - V_{CESat}}{\beta_F \frac{R_C}{R_B}} = 1,23 \text{ V} \\ V_{OH\ Min} = \frac{V_{CC} + n \frac{R_C}{R_B} V_\gamma}{1 + n \frac{R_C}{R_B}} \end{cases}$$

che dipende da n poiché da n dipende il valore di $V_{OH\ Min}$.

Conseguentemente il margine alto di immunità ai disturbi è:

$$N_{MH} = V_{OL\ Min}(n) - 1,23$$

e diminuisce all'aumentare di n . Arriveremo quindi ad ottenere un valore di n per cui il margine di immunità ai disturbi più basso sarà il margine alto e non più quello basso. L'equivalenza si ottiene per $n \approx 31$ (dalle simulazioni si nota inoltre che per $n \approx 80$, il margine N_{MH} diventa nullo).

L'andamento qualitativo del margine assoluto N_M è riportato in Figura 19.5.

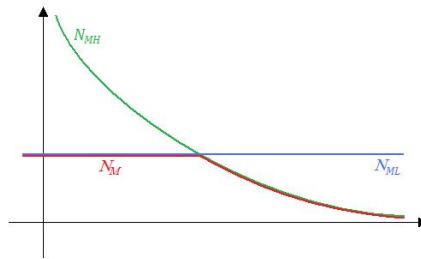


Figura 19.5. Andamento del margine di immunità ai disturbi all'aumentare del fan out.

Il punto indicato con *fan out max* è il punto in cui il fan out inizia a degradare il margine di immunità ai disturbi (nel caso specifico è pari 31). Possiamo definire il fan out massimo come il massimo numero di porte che possono essere connesse senza degradare il margine di immunità ai disturbi. Solitamente il fan out è associato ad una condizione di progetto (ad esempio tipicamente si impone che il fan out non abbassi il valore del margine oltre una certa soglia).

19.4. Modello dinamico del BJT

Abbiamo ormai concluso lo studio della caratteristica statica dell'invertitore RTL. Vogliamo ora valutare la risposta dinamica dell'invertitore. Per il **diodo** (Capitolo 12) avevamo sviluppato un modello a soglia, detto *modello a controllo di carica*, descritto da:

$$\begin{cases} V < V_\gamma & \begin{cases} I_D = 0 \\ Q \approx 0 \end{cases} \\ V = V_\gamma & \begin{cases} I_D > 0 \\ Q > 0 \end{cases} \end{cases}$$

$$I_D = \frac{Q}{\tau} = \frac{Q_S \left(e^{\frac{V}{V_T}} - 1 \right)}{\tau}$$

Siccome il transistore bipolare è costituito da due diodi, possiamo sfruttare nuovamente quanto visto per il diodo. Dal modello dei due diodi abbiamo definito il modello di Ebers & Moll.

$$\begin{cases} I_B = I_{BES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + I_{BCS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - (I_{BCS} + I_S) \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \\ I_E = (I_{BES} + I_S) \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - I_S \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \end{cases}$$

Dal modello abbiamo poi ricavato versioni semplificate per le tre zone di polarizzazione possibili.

19.4.1. Polarizzazione diretta

Dallo studio delle singole zone di funzionamento si nota che in regione normale sia la corrente I_C sia la carica Q_F dipendono in maniera esponenziale dalla V_{BE} .

$$\begin{cases} I_C = I_F \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ Q_F = Q_B \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \end{cases} \implies \frac{Q_F}{I_C} = \frac{Q_B}{I_F} = \tau_F$$

$$Q_F = \tau_F I_C$$

Allora possiamo generalizzare il modello esattamente come abbiamo fatto per il diodo.

$$\begin{cases} I_C = \frac{Q_F}{\tau_F} \\ I_E = \frac{I_C}{\alpha_F} = \frac{Q_F}{\alpha_F \tau_F} \\ I_B = I_E - I_C = \frac{Q_F}{\alpha_F \tau_F} - \frac{Q_F}{\tau_F} = \frac{Q_F}{\beta_F \tau_F} \end{cases}$$

Il grafico del modello dinamico a controllo di carica del BJT per la regione normale è riportato in Figura 19.6.

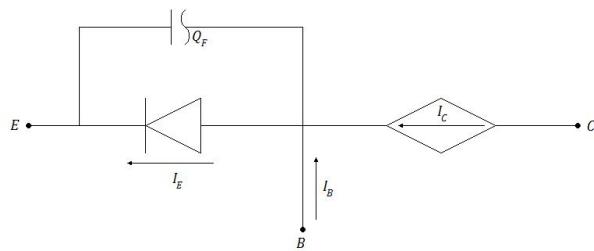


Figura 19.6. Modello dinamico della polarizzazione diretta del BJT.

19.4.2. Polarizzazione inversa

Ragionando in modo analogo a quanto fatto nel Paragrafo 19.4.1, e ricordando che in inversa si scambiano di ruolo collettore ed emettitore, ricaviamo:

$$Q_R = Q_{RS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

$$Q_F = \tau_F I_C$$

Allora possiamo generalizzare il modello esattamente come abbiamo fatto per il diodo.

$$\begin{cases} I_E = \frac{Q_R}{\tau_R} \\ I_C = \frac{Q_R}{\alpha_R \tau_R} \\ I_B = \frac{Q_R}{\beta_R \tau_R} \end{cases}$$

Il grafico è riportato in Figura 19.7.

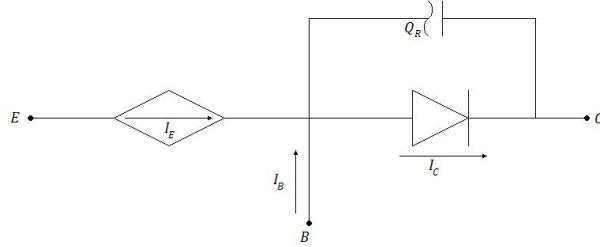


Figura 19.7. Modello dinamico della polarizzazione inversa del BJT.

19.4.3. Regione di saturazione

Si tratta del modello più generale possibile. Come già il modello statico è ricavabile facilmente dalla somma dei modelli per la polarizzazione diretta ed inversa.

Il grafico è riportato in Figura 19.8.

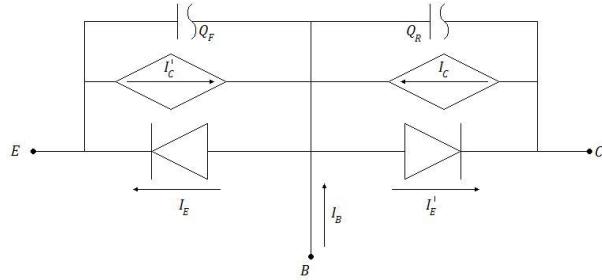


Figura 19.8. Modello dinamico della regione di saturazione del BJT. I termini indicati con I'_x sono relativi alla polarizzazione inversa mentre i termini I_x sono relativi alla polarizzazione diretta.

Capitolo 20

Lezione del 13 aprile 2011

20.1. Introduzione

Nel Capitolo 19 abbiamo introdotto il concetto di fan out ed abbiamo messo in luce il fatto che l'aumento del fan out oltre un certo livello può abbattere le prestazioni di un invertitore RTL. Abbiamo inoltre introdotto il modello dinamico del BJT.

Nel presente Capitolo approfondiremo lo studio della risposta dinamica del BJT.

20.2. Modello dinamico

Il modello dinamico è riportato in Figura 20.1.

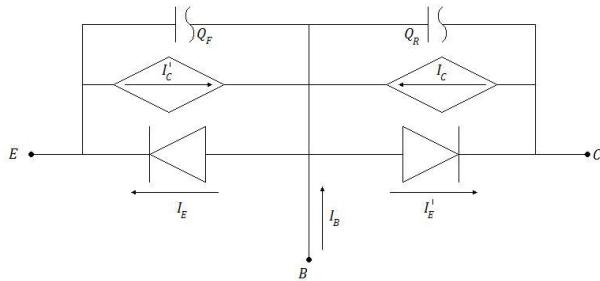


Figura 20.1. Modello dinamico della regione di saturazione del BJT. I termini indicati con I'_x sono relativi alla polarizzazione inversa mentre i termini I_x sono relativi alla polarizzazione diretta.

Le equazioni che descrivono tale modello sono:

$$\begin{cases} Q_F = Q_{FS} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \\ Q_R = Q_{RS} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \end{cases}$$

$$\begin{cases} I_C = \frac{Q_F}{\tau_F} \\ I'_C = \frac{Q_R}{\tau_R} \end{cases}$$

$$\begin{cases} I_E = \frac{Q_F}{\alpha_F \tau_F} \\ I'_E = \frac{Q_R}{\alpha_R \tau_R} \end{cases}$$

$$I_B = \frac{Q_F}{\beta_F \tau_F} \cdot \frac{Q_R}{\beta_R \tau_R}$$

Possiamo inoltre vedere ogni corrente come somma o differenza delle altre correnti:

$$\begin{cases} I_C = \frac{Q_F}{\tau_F} - \frac{Q_R}{\alpha_R \tau_R} - \frac{dQ_R}{dt} \\ I_E = \frac{Q_F}{\alpha_F \tau_F} - \frac{Q_R}{\tau_R} + \frac{dQ_F}{dt} \\ I_B = \frac{Q_F}{\beta_F \tau_F} + \frac{Q_R}{\beta_R \tau_R} + \frac{dQ_F}{dt} + \frac{dQ_R}{dt} \end{cases}$$

20.3. Risposta dinamica

Sfruttiamo ora il modello riportato nel Paragrafo 20.2 e calcoliamo la risposta dinamica di un invertitore RTL con fan out pari a zero (Figura 20.2).

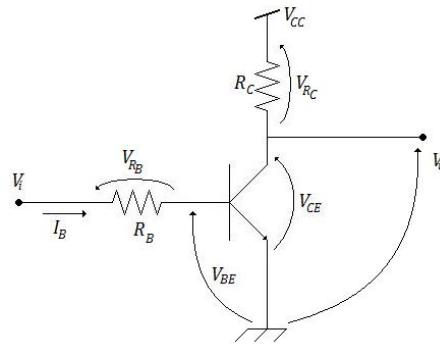


Figura 20.2. Invertitore RTL con fan out pari a zero.

Supponiamo di **mandare in ingresso un segnale variabile nel tempo** simile a quello riportato in Figura 20.3.



Figura 20.3. Segnale a **gradino** in ingresso per lo studio della risposta dinamica dell'invertitore RTL.

Siccome sia Q_F sia Q_R sono descritte da funzioni esponenziali di difficile gestione, sfruttiamo le **opportune approssimazioni** (riportate in Figura 20.4).

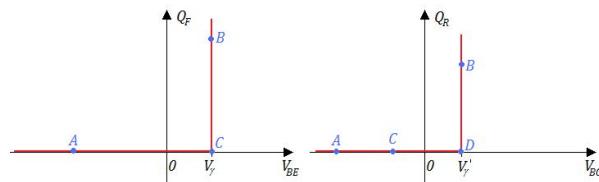


Figura 20.4. **Modelli a soglia** di Q_F e Q_R . Sono evidenziati i punti notevoli studiati nel seguito.

20.3.1. Situazione per $t < 0$ (punto A)

In questa situazione siamo in una condizione statica. Allora possiamo riprendere l'analisi statica già svolta. Siccome è $V_i = 0$, il transistore è spento (in interdizione). Allora è:

$$V_u = V_{CC}$$

$$I_B = 0 \implies \frac{V_i - V_{BE}}{R_B} = 0 \implies V_i = V_{BE} = 0$$

Allora, grazie alle approssimazioni di Figura 20.4, possiamo dire che Q_F è nulla. Inoltre:

$$V_{CC} - V_u = 0 \implies V_u = V_{CC} \implies V_{BC} = V_{BE} - V_{CE} = -V_{CC}$$

dimostra che anche Q_R è nulla.

20.3.2. Situazione per $t \rightarrow +\infty$ (punto B)

Per $t > 0$ l'ingresso si porta a V_{CC} . Per un tempo sufficientemente lungo, torniamo poi nella situazione già studiata nel caso statico. Allora è:

$$V_u = V_{CESat}$$

da cui segue che deve essere:

$$\begin{cases} V_{BE} = V_\gamma \\ V_{BC} = V'_\gamma \end{cases} \implies \begin{cases} Q_F \geq 0 \\ Q_R \geq 0 \end{cases}$$

Dalle equazioni del modello possiamo inoltre ricavare:

$$\begin{cases} I_C = \frac{Q_F}{\tau_F} + \frac{Q_R}{\alpha_R \tau_R} = \frac{V_{CC} - V_{CESat}}{R_C} \\ I_B = \frac{Q_F}{\tau_{BF}} + \frac{Q_R}{\tau_{BR}} = \frac{V_{CC} - V_\gamma}{R_B} \end{cases}$$

dove abbiamo assunto $\tau_{BF} \doteq \beta_F \tau_F$ e $\tau_{BR} \doteq \beta_R \tau_R$. Sostituendo possiamo ottenere:

$$I_B = \frac{1}{\tau_F} \cdot \left(I_C + \frac{Q_R}{\alpha_R \tau_R} \right) + \frac{Q_R}{\beta_R \tau_R}$$

da cui isoliamo:

$$Q_R = \tau_R \cdot \frac{\beta_F I_B - I_C}{\frac{1}{\alpha_R} + \frac{\beta_F}{\beta_R}} = K \cdot (\beta_F I_B - I_C) > 0$$

Analogamente, possiamo ricavare che anche Q_F è maggiore di zero.

20.3.3. Situazione per $t > 0$ (punti C e D)

Dalle due condizioni asintotiche notiamo che la situazione è simile a quella già vista per il diodo: la carica si dovrà spostare dal tratto orizzontale al tratto verticale. Per mantenere la generalità della trattazione dovremo considerare che Q_F e Q_R passano per i punti C e D in momenti differenti.

L'ingresso commuta istantaneamente e si porta a:

$$V_i = V_{CC}$$

Nel tratto da A a C, abbiamo:

$$\begin{cases} Q_F = 0 \\ V_{BE} = V_\gamma \end{cases}$$

che, siccome non si ha spostamento di carica, è un transitorio istantaneo. Allora, istantaneamente, si passa a:

$$I_B = \frac{V_{CC} - V_\gamma}{R_B}$$

La corrente di collettore è invece:

$$I_C == \frac{Q_F}{\tau_F} - \underbrace{\frac{Q_R}{\alpha_R \tau_R}}_{=0} - \underbrace{\frac{dQ_R}{d\tau}}_{=0}$$

ed allora la tensione di uscita è:

$$V_u = V_{CC} - R_C I_C = V_{CC} - R_C \cdot \frac{Q_F}{\tau_F}$$

Allora per avere $V_u = V_{CESat}$ è necessario che Q_F sia maggiore di zero. Dunque prima si accende la giunzione base-emettitore e poi si accende anche la giunzione collettore-emettitore.

Riassumendo possiamo suddividere il transitorio in tre parti:

1. da **A** a **C** (le cariche sono entrambe nulle);
2. da **C** a **D** ($Q_F > 0$ e $Q_R = 0$);
3. da **D** a **B** (entrambe le cariche sono positive).

20.3.3.1. Tratto 1

In questo transitorio abbiamo:

$$\begin{cases} V_{BE} < V_\gamma \\ V_{BC} < V'_\gamma \end{cases}$$

Dal momento che questo transitorio è istantaneo non è riportato nei grafici.

20.3.3.2. Tratto 2

In questo transitorio abbiamo:

$$\begin{cases} V_{BE} = V_\gamma \\ V_{BC} < V'_\gamma \end{cases}$$

La corrente di base è esprimibile come:

$$\begin{aligned} I_B &= \frac{V_{CC} - V_\gamma}{R_B} = \frac{Q_F}{\tau_{BF}} + \frac{dQ_F}{dt} \\ \frac{dQ_F}{dt} &= I_B - \frac{Q_F}{\tau_{BF}} \implies \frac{dQ_F}{Q_F - \tau_{BF} I_B} = -\frac{dt}{\tau_{BF}} \end{aligned}$$

che, integrata, porta a:

$$-\frac{t}{\tau_{BF}} = \ln \frac{Q_F(t) - \tau_{BF} I_B}{-\tau_{BF} I_B} \implies e^{-\frac{t}{\tau_{BF}}} = \frac{Q_F(t) - \tau_{BF} I_B}{-\tau_{BF} I_B}$$

da cui ricaviamo:

$$Q_F(t) = \tau_{BF} I_B \left(1 - e^{-\frac{t}{\tau_{BF}}} \right)$$

che è l'andamento di un esponenziale crescente nel tempo.

La carica Q_R in questo tratto è ancora nulla.

L'uscita è:

$$V_u(t) = V_{CC} - \frac{R_C}{\tau_F} \cdot \frac{\beta_F \tau_F}{R_B} \cdot (V_{CC} - V_\gamma) \cdot \left(1 - e^{-\frac{t}{\tau_{BF}}} \right)$$

è un esponenziale decrescente. L'uscita mantiene questo andamento fino a quando non raggiunge il valore V_{CESat} . Il tempo t_F tale che sia:

$$V_u(t_F) = V_{CESat}$$

è detto *tempo di discesa (fall)*.

20.3.3.3. Tratto 3

In questo ultimo tratto del transitorio abbiamo:

$$\begin{cases} V_{BE} = V_\gamma \\ V_{BC} = V'_\gamma \end{cases}$$

$$V_{CE} = V_u = V_{CESat}$$

Dal punto di vista del valore dell'uscita allora il transitorio è finito. Resta però da valutare il transitorio dello spostamento delle cariche Q_F e Q_R . Questa volta però il modello non può essere semplificato. Siccome siamo in saturazione il modello è descritto come:

$$\begin{cases} I_C = \frac{V_{CC} - V_\gamma}{R_B} = \frac{Q_F}{\tau_F} - \frac{Q_R}{\alpha_R \tau_R} - \frac{dQ_R}{dt} \\ I_B = \frac{V_{CC} - V_{CESat}}{R_C} = \frac{Q_F}{\beta_F \tau_F} + \frac{Q_R}{\beta_R \tau_R} + \frac{dQ_F}{dt} + \frac{dQ_R}{dt} \end{cases}$$

che, risolto, porta nuovamente a degli esponenziali.

20.3.4. Transitorio di spegnimento

Consideriamo ora di tornare indietro: l'ingresso commuta dal valore alto al valore basso. Il transitorio può essere ora suddiviso in altri tre tratti, opposti a quelli esaminati nel Paragrafo 20.3.3:

1. da **B** a **D** (sia Q_F sia Q_R sono positive);
2. da **D** a **C** ($Q_R = 0$ e $Q_F > 0$);
3. da **C** a **A** (sia Q_F sia Q_R sono nulle).

20.3.4.1. Tratto 1

In questo caso abbiamo:

$$\begin{cases} V_i = 0 \\ V_{BE} = V_\gamma \\ I_B = \frac{V_i - V_{BE}}{R_B} \end{cases} \implies I_B = -\frac{V_\gamma}{R_B}$$

da cui segue che l'uscita è:

$$\begin{cases} V_{BE} = V_\gamma \\ V_{BC} = V'_\gamma \end{cases} \implies V_{CE} = V_{CESat} = V_u$$

20.3.4.2. Tratto 2

In questo caso è:

$$V_{BE} = V_\gamma \implies I_B = -\frac{V_\gamma}{R_B}$$

Siccome possiamo ora semplificare nuovamente l'espressione di I_B possiamo trovare la stessa espressione del Paragrafo 20.3.3.2 con l'unica differenza che il termine noto passa da un valore positivo ad un valore negativo.

Allora mentre la carica Q_F cala fino al valore nullo, la tensione di uscita tende a salire verso il valore V_{CC} .

Si noti che la corrente di scarica I_B è significativamente più piccola rispetto alla corrente di carica. Allora, tipicamente, il tempo di salita t_R (*rise*) è significativamente più elevato rispetto al tempo di caduta.

20.3.4.3. Tratto 3

Nuovamente si tratta di un transitorio istantaneo poiché non vi è alcuno spostamento di carica.

20.3.5. Grafici e considerazioni finali

La Figura 20.5 riporta tutti i valori fondamentali.

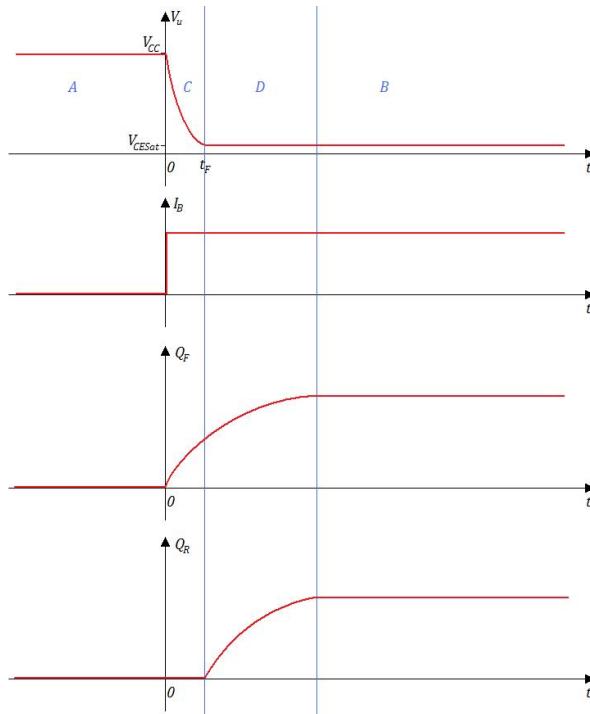


Figura 20.5. Grafici di V_u , I_B , Q_F e Q_R della risposta dinamica.

La Figura 20.6 mostra l'andamento dell'ingresso e dell'uscita.

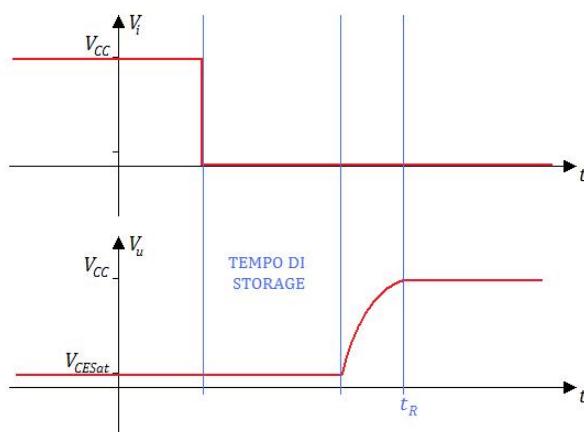


Figura 20.6. Transitorio dello spegnimento dell'invertitore RTL. Si nota che la variazione della tensione di uscita è lenta anche a causa del tempo di storage.

Ancora una volta abbiamo una risposta fortemente asimmetrica: l'accensione è molto più rapida dello spegnimento (ove incidono sia il tempo di storage sia la corrente più bassa). Il tempo di storage è a sua volta determinato dalla carica Q_R .

$$\begin{cases} Q_R = K \cdot (\beta_F I_B - I_C) \\ I_B = \frac{V_{CC} - V_\gamma}{R_B} \\ I_C = \frac{V_{CC} - V_{CESat}}{R_C} \end{cases}$$

La carica Q_R allora è tanto più elevata quanto più elevato è il guadagno a vuoto del dispositivo.

$$\frac{\beta_F R_C}{R_B} \cdot \frac{V_{CC} - V_\gamma}{V_{CC} - V_{CESat}} > 1 \implies |A_V| \cdot \frac{V_{CC} - V_\gamma}{V_{CC} - V_{CESat}} > 1$$

Dunque, in fase di progetto, si dovrà tenere conto di questo fatto e cercare di ottenere un buon compromesso. Abbassando il guadagno, riduciamo il tempo di salita ma abbassiamo sia il margine di immunità ai disturbi sia il fan out massimo sopportabile.

Capitolo 21

Lezione del 18 aprile 2011

TTL

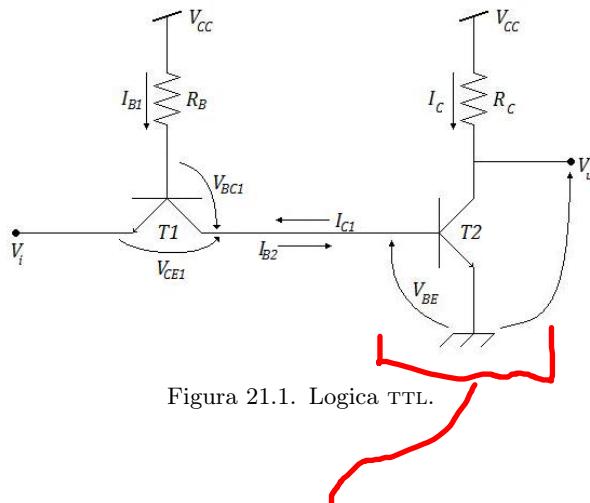
21.1. Introduzione

Nel Capitolo 20 abbiamo ultimato lo studio del modello diunamico del BJT ed abbiamo notato che presenta una grande lentezza in fase di dissaturazione.

Nel presente Capitolo vedremo una versione semplificata della logica TTL (Transistor Transistor Logic).

21.2. Logica TTL statica

La logica TTL è riportata in Figura 21.1.



Poiché lo stadio di uscita è un normale BJT possiamo aspettarci una caratteristica ingresso-uscita statica simile a quella riportata in Figura 21.2 (cioè la caratteristica statica di un invertitore RTL).

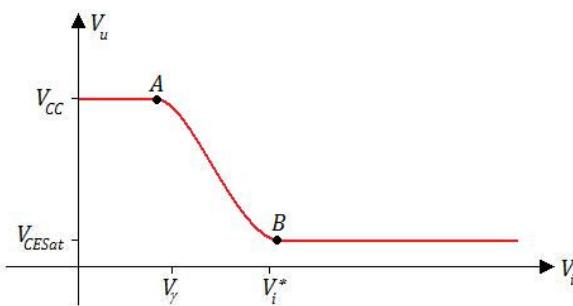


Figura 21.2. Caratteristica ingresso-uscita dell'invertitore RTL.

21.2.1. Considerazioni iniziali

Iniziamo notando che è:

$$I_{B2} = -I_{C1}$$

Notiamo anche che se $T2$ è in interdizione, $T1$ non potrà che essere acceso.

21.2.2. $T2$ in interdizione

Quando $T2$ è in interdizione abbiamo:

$$I_{B2} = 0 \implies I_{C1} = 0$$

Ipotizziamo allora che anche $T1$ sia in interdizione. Se $T1$ è in interdizione abbiamo:

$$\begin{cases} V_{BE1} < V_\gamma \\ V_i = V_L = V_{CESat} \\ I_{B1} = 0 \\ V_{CC} - I_{B1}R_B - V_{BE1} = V_i \end{cases} \implies V_{BE1} = V_{CC} - V_i = V_{CC} - V_{CESat}$$

che, con valori tipici, risulta certamente maggiore di V_γ . Ma allora l'ipotesi è contraddetta e quindi quando il transistore $T2$ è in interdizione, il transistore $T1$ dovrà essere acceso. In particolare, poiché è $I_{C1} = 0$, il transistore $T1$ è saturo.

$$V_{CE1} = V_{CESat}$$

$$V_i - V_{CE1} = V_{BE2} \implies V_{BE2} = 2V_{CESat}$$

Allora nel punto **A** di Figura 21.2 avremo $T1$ in saturazione e $T2$ in interdizione. Questa situazione è verificata per:

$$\begin{cases} V_{BE2} < V_\gamma \\ V_{CE1} = V_{CESat} \\ V_i + V_{CE1} = V_{BEs} \end{cases} \implies V_i < V_\gamma - V_{CESat}$$

che con valori tipici porta a $V_i < 0,5$ V. L'uscita è:

$$V_u = V_{CC}$$

21.2.3. $T2$ in saturazione

In questa condizione abbiamo:

$$I_{B2} > 0 \implies I_{C1} < 0$$

che risulta compatibile soltanto con l'ipotesi che $T1$ sia in saturazione. Verifichiamo che $T1$ sia effettivamente in saturazione:

$$\begin{cases} V_{BE1} = V_\gamma \\ I_{B1} > 0 \\ V_i = V_{CC} \end{cases}$$

$$V_{CC} - R_B I_{B1} - V_{BE1} = V_i \implies -R_B I_{B1} - V_{BE1} = 0$$

Ma siccome $-R_B I_{B1} - V_{BE1}$ è negativo, siamo in presenza di un assurdo. Allora il transistore $T1$ dovrà essere in regione di funzionamento inversa. Verifichiamo che sia effettivamente così:

$$\begin{cases} V_{BE1} < V_\gamma \\ V_{BC} = V'_\gamma \\ V_{BE2} = V_\gamma \end{cases}$$

$$V_{CC} - R_B I_{B1} - V_{BC1} - V_{BE2} = 0 \implies I_{B1} = \frac{V_{CC} - V'_\gamma - V_\gamma}{R_B} > 0$$

$$I_{E1} = -\beta_R I_{B1}$$

$$I_{E1} = -\frac{\beta_R}{R_B} \cdot (V_{CC} - V'_\gamma - V_\gamma)$$

Si noti che la corrente I_{B1} è indipendente dalla tensione di ingresso (quindi non dipende dalle proprietà di eventuali componenti connessi a monte). Questo porta ad evidenti vantaggi nella costruzione di reti logiche.

Allora nel punto **B** di Figura 21.2 abbiamo $T1$ in inversa e $T2$ in saturazione. L'uscita è:

$$V_u = V_{CESat}$$

21.2.4. $T2$ in regione normale

Vediamo ora il raccordo tra i punti **A** e **B** di Figura 21.2.

Dal momento che $T2$ passa dall'interdizione alla saturazione, dovrà necessariamente passare per la regione normale. $T1$ potrà invece lavorare in saturazione oppure in inversa (che sono le uniche condizioni di funzionamento compatibili con $I_{C1} < 0$).

Ipotizziamo che $T1$ sia in saturazione. Abbiamo:

$$\begin{cases} V_{BE2} = V_\gamma \\ V_{CE2} = V'_\gamma \\ V_{CE1} = V_{CESat} \end{cases}$$

$$V_i + V_{CE1} - V_{BE2} = 0 \implies V_i = V_\gamma - V_{CESat}$$

che, con valori tipici, risulta nella condizione:

$$V_i = 0,5 \text{ V}$$

Allora abbiamo un tratto verticale nella caratteristica. Questa situazione irragionevole è dovuta al modello a soglia che, come noto, non è applicabile se non si hanno resistenze sulle maglie. Per avere la caratteristica reale dovremmo applicare il modello completo di Ebers & Moll.

21.2.5. Grafico e considerazioni finali

Il grafico della caratteristica ingresso-uscita è riportato in Figura 21.3.

21.3. Transitorio $V_H \rightarrow V_L$

Analizziamo ora il comportamento dinamico della logica TTL riportata in Figura 21.1.

Supponiamo che l'ingresso passi dal valore alto al valore basso. Nella logica RTL questa era la situazione critica: il transitorio di spegnimento risultava infatti molto lento rispetto al transitorio di accensione.

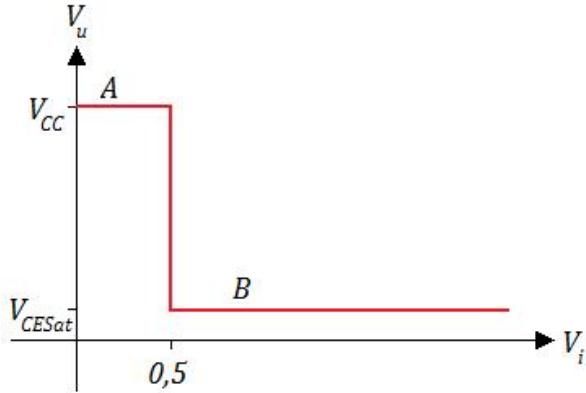


Figura 21.3. Caratteristica ingresso-uscita della logica TTL.

In questa situazione abbiamo T2 in saturazione. Allora è:

$$V_{BE2} = V_\gamma$$

Ipotizziamo che T1 sia in staurazione. Avremmo:

$$V_{CE1} = V_{CESat}$$

che porta a:

$$V_i + V_{CE1} - V_{BE2} = 0 \implies V_i = 0,5 \text{ V}$$

che non è un valore basso. Allora l'ipotesi non è ragionevole.

Dovendo togliere carica al dispositivo avremo:

$$I_{B2} < 0 \implies I_{C1} > 0$$

e, dal momento che T1 non può essere né saturo, né in inversa, né in interdizione, dovrà essere in regione normale. Allora sarà:

$$\begin{cases} V_{BE1} = V_\gamma \\ V_i = V_L = 0,2 \text{ V} \end{cases}$$

$$V_{CC} - R_B I_{B1} - V_{BE1} = V_i \implies I_{B1} = \frac{V_{CC} - V_\gamma - V_L}{R_B}$$

Inoltre abbiamo:

$$I_{C1} = \beta_F I_{B1}$$

da cui possiamo ricavare il valore di I_{B2} :

$$I_{B2} = -\frac{\beta_F}{R_B} \cdot (V_{CC} - V_\gamma - V_L)$$

che può essere anche vari ordini di grandezza rispetto alla I_B della logica RTL.

21.4. Immunità di disturbi

Dalla caratteristica, pur ricavata con il modello a soglia, notiamo che l'immunità ai disturbi è differente rispetto a quella della logica RTL. In particolare il margine basso di immunità ai disturbi è dato da:

$$N_{ML} = V_{iL Max} - V_{OL Max}$$

che con i valori tipici:

$$\begin{cases} V_{iL\ Max} = 0,5 \text{ V} \\ V_{OL\ Max} = V_{CESat} = 0,2 \text{ V} \end{cases}$$

porta ad un margine di 0,3 V (più basso rispetto a quello della logica RTL).

Introducendo allora una terza giunzione (costituita da un transistore) tra T1 e T2 possiamo traslare verso destra la caratteristica.

21.5. Aumento della complessità

Il dispositivo studiato nel presente Capitolo è un semplice invertitore. Possiamo però realizzare logiche più complesse utilizzando il circuito di Figura 21.4 che presenta all'ingresso due transistori.

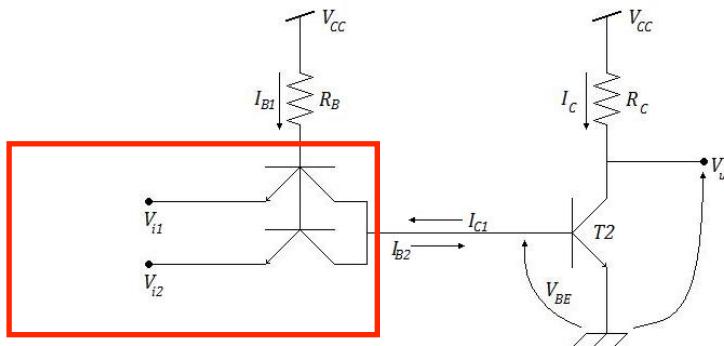


Figura 21.4. Logica TTL a due ingressi.

In questo caso abbiamo:

$$\begin{cases} I_{RB} = I_{B1} - I'_{B1} \\ I_{B2} = - (I_{C1} + I'_{C1}) \\ I_B = I_{BES} \left(e^{-\frac{V_{BE}}{V_T}} - 1 \right) + I_{BCS} \left(e^{-\frac{V_{BC}}{V_T}} - 1 \right) \\ \begin{cases} V_{BE1} = V_u - V_{i1} \\ V'_{BE1} = V_u - V_{i2} \end{cases} \\ V_{i1} > V_{i2} \implies V_{BE} < V'_{BE1} \\ V_{i1} < V_{i2} \implies V_{BE} > V'_{BE1} \end{cases}$$

Abbiamo allora realizzato una porta logica NAND. La Tabella 21.1 mostra quanto appena ricavato.

V_{i1}	V_{i2}	V_u	V_{i1}	V_{i2}	V_u
V_L	V_L	V_H	0	0	1
V_L	V_H	V_H	0	1	1
V_H	V_L	V_H	1	0	1
V_H	V_H	V_L	1	1	0

Tabella 21.1. Tabella di verità della logica TTL e rispettiva tabella di verità in logica binaria.

Capitolo 22

Lezione del 19 aprile 2011

ECL

22.1. Introduzione

Nel Capitolo 21 abbiamo introdotto la logica TTL ed abbiamo notato che con dispositivi di questo tipo è possibile realizzare porte NAND.

Nel presente Capitolo studieremo la logica ECL (Emissary Coupled Logic).

22.2. Logica ECL

La Logica ECL è riportata in Figura 22.1.

Ipotizziamo anzitutto che sia I_0 sia V_{REF} siano costanti. Per le ipotesi fatte e per la connessione dei due transistori essi non potranno mai lavorare in regione normale inversa.

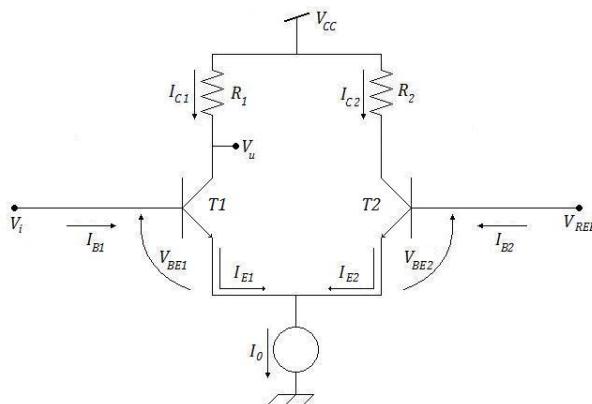


Figura 22.1. Logica ECL.

22.2.1. $T1$ e $T2$ non saturano

Ipotizzando inoltre che né $T1$ né $T2$ siano in saturazione, per le leggi di Kirchoff risulta:

$$I_{E1} + I_{E2} = I_0$$

e siccome I_0 è costante e positiva almeno uno dei due transistori dovrà essere acceso e, per esclusione, in regione normale diretta. Inoltre sarà:

$$V_i - V_{BE1} + V_{BE2} - V_{REF} = 0 \implies V_i = V_{BE1} - V_{BE2} + V_{REF}$$

e quindi il modello a soglia non è accettabile (tralasciando V_{BE1} e V_{BE2} otterremmo una V_i costante che è assurdo). Dobbiamo allora utilizzare il modello di Ebers & Moll.

Possiamo comunque sfruttare le approssimazioni della regione normale.

$$I_E \approx I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right)$$

Per determinare la tensione di uscita sfruttiamo la relazione:

$$V_u = V_{CC} - R_C I_{C1} = V_{CC} - R_C \cdot I_S \left(e^{\frac{V_{BE1}}{V_T}} - 1 \right)$$

Siccome è:

$$I_0 = I_{E1} + I_{E2}$$

e siamo in **regione normale** possiamo scrivere che:

$$I_C = \alpha_F I_E \implies I_C \approx I_E$$

ed allora abbiamo:

$$\begin{cases} I_{E1} \approx I_{C1} = I_S \left(e^{\frac{V_{BE1}}{V_T}} - 1 \right) \\ I_{E2} \approx I_{C2} = I_S \left(e^{\frac{V_{BE2}}{V_T}} - 1 \right) \end{cases}$$

$$I_0 = I_S \cdot \left(e^{\frac{V_{BE1}}{V_T}} - 1 + e^{\frac{V_{BE2}}{V_T}} - 1 \right)$$

Vogliamo ora riportare l'espressione di I_0 ad una forma dipendente solo da parametri circuitali. Siccome almeno un transistore è acceso, possiamo trascurare il termine -1 poiché sicuramente **almeno uno tra** $e^{\frac{V_{BE1}}{V_T}}$ ed $e^{\frac{V_{BE2}}{V_T}}$ è molto **maggiore di 1**. L'espressione si semplifica quindi in:

$$I_0 = I_S \cdot \left(e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}} \right)$$

$$I_S = \frac{I_0}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}}$$

Riprendendo l'**espressione di V_u** abbiamo:

$$V_u = V_{CC} - R_C \cdot \frac{I_0}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} \cdot \left(e^{\frac{V_{BE1}}{V_T}} - 1 \right)$$

che si può vedere nella forma:

$$V_u = V_{CC} - R_C I_0 \left[\frac{e^{\frac{V_{BE1}}{V_T}}}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} - \frac{1}{e^{\frac{V_{BE1}}{V_T}} + e^{\frac{V_{BE2}}{V_T}}} \right]$$

Sempre per le considerazioni circa l'accensione dei transistori possiamo ulteriormente semplificare l'espressione della tensione di uscita in:

$$V_u = V_{CC} - R_C I_0 \left[\frac{1}{1 + e^{\frac{V_{BE2}-V_{BE1}}{V_T}}} \right]$$

e, dal momento che si ha:

$$V_{BE1} - V_{BE2} = V_i - V_{REF}$$

giungiamo all'**espressione cercata nei soli parametri circuitali**.

$$V_u = V_{CC} - R_C I_0 \cdot \left(\frac{1}{1 + e^{\frac{V_{REF}-V_i}{V_T}}} \right)$$

$$I_{C1} = I_0 \cdot \left(\frac{1}{1 + e^{\frac{V_{REF}-V_i}{V_T}}} \right)$$

Il grafico di Figura 22.2 riporta I_{C1} e di I_{C2} in funzione di V_i e V_u in funzione di V_i .

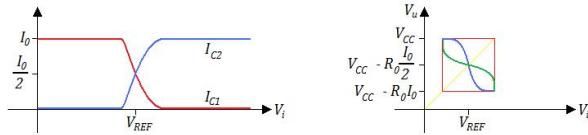


Figura 22.2. Grafici di I_{C1} (in rosso) e di I_{C2} (in azzurro) in funzione di V_i (a sinistra) e V_u in funzione di V_i (a destra).

La Tabella 22.1 mostra le grandezze fondamentali che hanno permesso di ricavare le caratteristiche di Figura 22.2.

V_i	I_{C1}	I_{C2}	V_u
$\ll V_{REF}$	0	I_0	V_{CC}
$= V_{REF}$	$\frac{I_0}{2}$	$\frac{I_0}{2}$	$V_{CC} - R_C \frac{I_0}{2}$
$\gg V_{REF}$	I_0	0	$V_{CC} - R_C I_0$

Tabella 22.1. Grandezze fondamentali nel tracciamento dei grafici di Figura 22.2.

Dai grafici notiamo che la cartteristica ottenuta sembra quella di un invertitore (ad ingressi bassi corrispondono uscite alte e viceversa).

Affiché la logica ECL si effettivamente un invertitore dobbiamo fare in modo che il punto di ascissa V_{REF} si trovi sulla bisettrice del primo e terzo quadrante decidendo opportunamente i parametri di progetto (V_{REF} , I_0 ed R_C). In altre parole, perché sia un invertitore, la logica ECL deve avere una caratteristica inscritta in un quadrato di lato $R_C I_0$ la cui diagonale sia la bisettrice del primo e terzo quadrante (Figura 22.2).

22.2.2. Condizione per cui $T1$ e $T2$ non saturano

Perché $T1$ non saturi è necessario che sia:

$$\begin{cases} V_{CE1} > V_{CESat} \\ V_{BE1} = V_\gamma \\ V_u - V_{CE1} + V_{BE1} - V_i > 0 \end{cases}$$

Per avere una stima approssimativa della condizione di non saturazione sfruttiamo il modello a soglia con $V_\gamma = 0,7$ V e $V_{CESat} = 0,2$ V. Risulta:

$$V_u > V_i - V_\gamma - V_{CESat} = V_i - 0,5 \implies V_u = V_i - 0,5$$

che è una retta parallela alla bisettrice passante per $V_i = 0,5$.

Allora, perché il transistore non saturi, la caratteristica ingresso uscita dovrà trovarsi al di sopra di tale retta. Dunque il quadrato in cui andrà inscritta la caratteristica dovrà avere lato pari a 0,5. Quind dovrà essere:

$$R_C I_0 = 0,5$$

22.3. Considerazioni sulla logica ECL

Questa logica è un logica molto veloce (si tratta di una delle logiche più rapide in assoluto) poiché, dal momento che i dispositivi non saturano, non abbiamo i transitori dovuti alla loro dissaturazione. Di contro, si tratta di una logica con una escursione massima pari a 0,5 V e quindi molto sensibile al rumore.

22.3.1. Aumento dell'escursione

Per aumentare l'escursione logica consideriamo il circuito di Figura 22.3

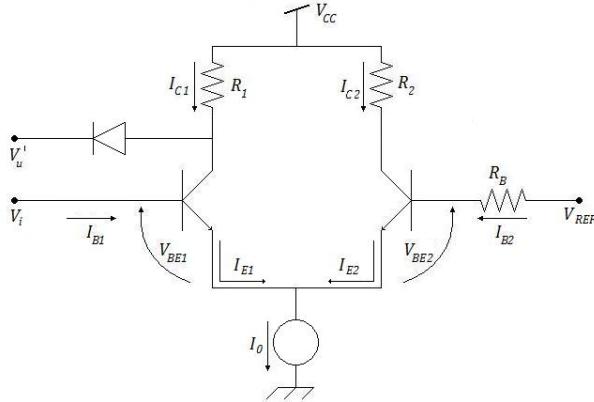


Figura 22.3. Logica ECL con una maggiore escursione logica.

Abbiamo:

$$\begin{cases} V'_u = V_u - V_\gamma \\ V_{CE1} = V_u - (V_i - V_\gamma) \end{cases}$$

da cui troviamo:

$$V'_u = V_i - 2V_\gamma + V_{CESat} = V_i - 1,2$$

Abbiamo cioè traslato la retta verso destra e quindi aumentato l'escursione logica.

Il circuito funziona bene a vuoto ma provoca problemi di fan out: la tensione di uscita V'_u si abbassa ad ogni porta connessa all'uscita.

Una soluzione al problema del fan out è costituita dall'utilizzo di un BJT (Figura 22.4).

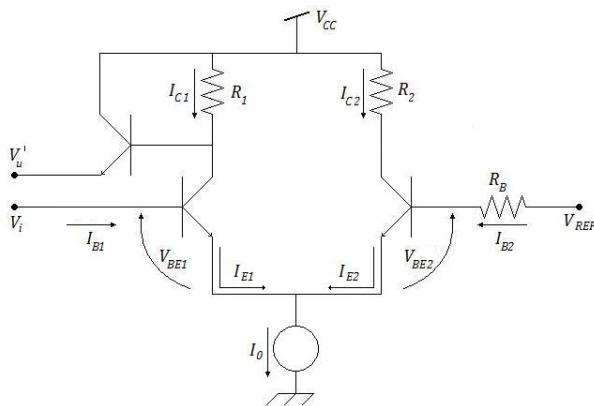


Figura 22.4. Logica ECL con una maggiore escursione logica ed immunità al problema del fan out.

22.3.2. Generazione di V_{REF}

Dobbiamo ora risolvere il problema della generazione della tensione di riferimento V_{REF} . Siccome la logica ECL è una logica che funziona nei circuiti

integrità, è impensabile l'utilizzo di un generatore di tensione costante a V_{REF} . Tale tensione dovrà essere generata dall'unica tensione di alimentazione V_{CC} e mantenuta costante al fine di bloccare la caratteristica nel piano.

Possiamo pensare di generare V_{REF} con un partitore di tensione. Questa soluzione è tuttavia inapplicabile poiché la formula del partitore di tensione vale solo a vuoto.

Una soluzione migliore consiste nell'uso di un ulteriore transistor in modo che la dipendenza della V_{REF} dalla variazione della tensione sul partitore di tensione.

Anche per I_0 valgono le stesse considerazioni fatte per V_{REF} . Una soluzione consiste nell'utilizzo di una resistenza in parallelo.

Quanto appena ricavato è riportato in Figura 22.5.

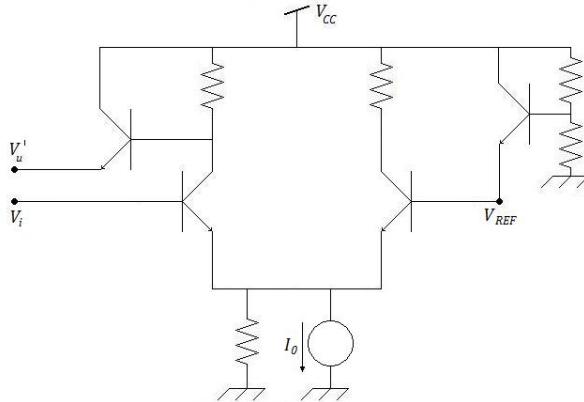


Figura 22.5. Logica ECL con una maggiore escursione logica, immunità al fan out e V_{REF} ed I_0 costanti.

22.3.3. Realizzazione di una porta NOR

Consideriamo infine di avere due porte di ingresso come in Figura 22.6.

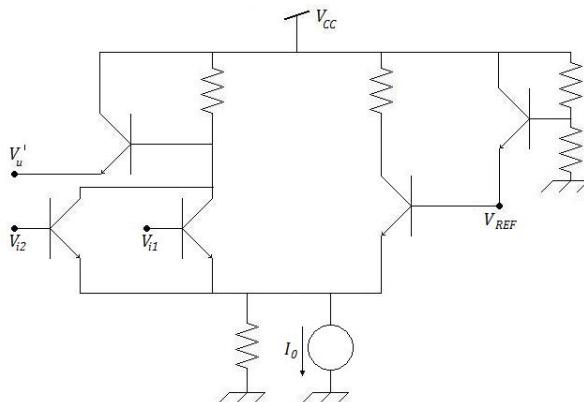


Figura 22.6. Logica ECL con una maggiore escursione logica, immunità al fan out, V_{REF} e I_0 costanti e due ingressi.

In questo caso, è sufficiente che uno dei due ingressi assuma il valore alto V_H perché l'uscita assuma il valore basso V_L . Abbiamo dunque una porta logica NOR. La Tabella 22.2 mostra quanto appena ricavato.

Si noti da ultimo che abbiamo a disposizione un piedino di uscita anche sul transistor $T2$. Questo fatto riveste una grande importanza in quanto

ci permette di ricavare due uscite sincrone eliminando il fenomeno delle alee statiche.

V_{i1}	V_{i2}	V_u	V_{i1}	V_{i2}	V_u
V_L	V_L	V_L	0	0	0
V_L	V_H	V_H	0	1	1
V_H	V_L	V_H	1	0	1
V_H	V_H	V_H	1	1	1

Tabella 22.2. Tabella di verità della logica ECL e rispettiva tabella di verità in logica binaria.

Parte IV

Il transistore MOS

Capitolo 23

Lezione del 20 aprile 2011

23.1. Introduzione

Nel Capitolo 23 abbiamo visto la logica ECL e come, con essa, sia possibile realizzare porte logiche NOR.

Abbiamo anche visto come tutte le logiche fino ad ora esaminate condividono un difetto tipico: le prestazioni del dispositivo a vuoto sono differenti dalle prestazioni del dispositivo caricato.

La soluzione ideale sarebbe trovare un meccanismo per il quale la corrente di ingresso alla porta $i+1$ fosse indipendente dalla corrente di uscita della porta i -esima.

Nel presente Capitolo introdurremo i dispositivi ad effetto di campo.

23.2. Transistori ad effetto di campo

Consideriamo un blocco di materiale uniformemente drogato di tipo n con una concentrazione $N = N_D$ (Figura 23.1). La conducibilità di questo dispositivo è:

$$\sigma = q\mu_n \cancel{N} = q\mu_n N_D$$

All'applicazione di un campo elettrico \bar{E} avremo una corrente:

$$\bar{J} = \sigma \bar{E}$$

ed allora il blocchetto si caratterizza come una resistenza data da:

$$R = \frac{1}{\sigma} \cdot \frac{L}{wh}$$

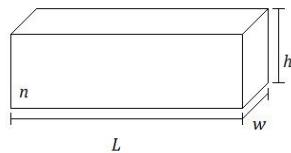


Figura 23.1. Un blocchetto di semiconduttore. **non in scala**

Consideriamo ora la giunzione pn ed applichiamo una differenza di potenziale V (Figura 23.2).

Nelle regioni neutre la conducibilità sarà ancora:

$$\begin{cases} \sigma_n = q\mu_n N_D \\ \sigma_p = q\mu_p N_A \end{cases}$$

mentre per entrambe le regioni svuotate la conducibilità sarà nulla.

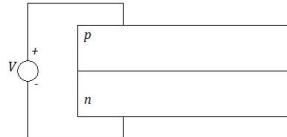


Figura 23.2. Giunzione *pn* a cavallo della quale si applica una differenza di potenziale V .

Costruiamo un **nuovo dispositivo** con le due considerazioni sopra riportate. Il dispositivo (Figura 23.3) consiste in una **giunzione *pn* a cavallo della quale è posto un generatore di tensione V_2** . Sulla porzione **drogata *n*** si applica un **generatore di tensione V_1** . La **portata massima della corrente circolante sul dispositivo** è **pari al volume massimo della regione drogata *n***. In genere avremo:

$$R = \frac{1}{q\mu_n N_D} \cdot \frac{L}{w(h-w(V))}$$

dove $w(V)$ è la dimensione della regione svuotata al variare della tensione data da V_2 .

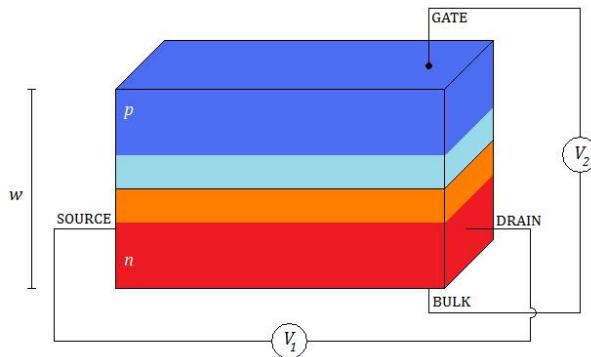


Figura 23.3. Un JFET.

Questo dispositivo è detto transistore ad effetto di campo (JFET, **Junction Field Effect Transistor**) e sfrutta il campo elettrico per modulare la dimensione della regione di canale (che è la regione di conduzione). Purtroppo un dispositivo di questo tipo è estremamente **complesso da realizzare e miniaturizzare**.

La regione di canale deve poter essere completamente chiusa ma quando abbiamo introdotto la giunzione *pn* abbiamo dimostrato che la **regione svuotata ha un'ampiezza di pochi micron**. Il chip di silicio ha però uno spessore di centinaia di micron. **Lo svuotamento dell'intero canale allora dovrebbe richiedere tensioni di migliaia di Volt** che non sono ragionevoli.

Inoltre noi vogliamo poter realizzare circuiti su un solo pezzo di semiconduttore. Ma due transistori JFET sullo stesso pezzo di semiconduttore possono coesistere solo se circondati da giunzioni *pn*.

I JFET sono allora di difficile utilizzo nei circuiti integrati. Trovano tuttavia applicazione in campo medico (elettrocardiogramma, elettroencefalogramma, eccetera).

23.3. Transistori MOS

Nonostante la complessità del JFET l'idea è interessante. **Tale complessità è dovuta alla scelta di modularle le dimensioni fisiche del dispositivo.** Possiamo però **modularle anche le caratteristiche di conducibilità.**

Costruiamo un nuovo dispositivo costituito da un semiconduttore (tipicamente il silicio, Si), un isolante (l'ossido di silicio, SiO_2) ed un conduttore (un metallo). Un dispositivo di questo tipo è detto transistore MOS (Metal Oxide Semiconductor) ed è una specie di condensatore. I transistori MOS (Figura 23.4) sono attualmente alla base della realizzazione della maggior parte dei circuiti integrati.

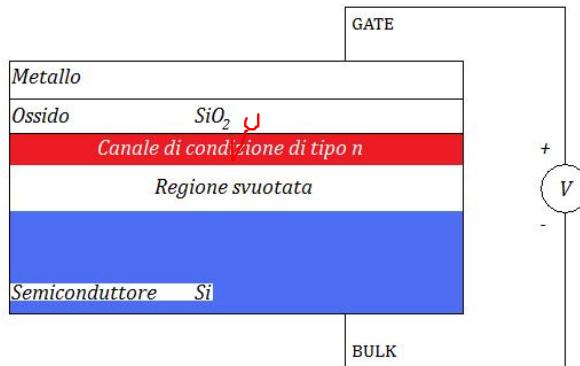


Figura 23.4. Un transistore MOS.

23.3.1. Analisi qualitativa

Applichiamo una differenza di potenziale V ai capi del dispositivo. Quando si applica la tensione V gli elettroni del semiconduttore sono trascinati verso l'alto e vengono bloccati contro l'isolante. Possiamo allora ipotizzare che esista una regione perturbata nei pressi della giunzione tra il semiconduttore e l'isolante dove gli elettroni vengono concentrati. Quindi abbiamo aumentato la conducibilità dello strato superficiale del semiconduttore. Parimenti abbiamo aumentato la carica positiva sulla giunzione tra l'isolante ed il metallo. Ancora, nel semiconduttore, poiché i portatori di carica si sono spostati, abbiamo creato una seconda regione di conduzione dovuta allo svuotamento.

Dunque siamo riusciti a modificare la conducibilità del dispositivo in funzione della tensione applicata senza toccare le dimensioni fisiche del MOS. Il canale di conduzione è inoltre completamente isolato dal dispositivo grazie alla zona svuotata. Allora non abbiamo bisogno del complesso sistema di isolamento richiesto dal JFET.

Lo schema del MOS completo è riportato in Figura 23.5 ed è detto MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

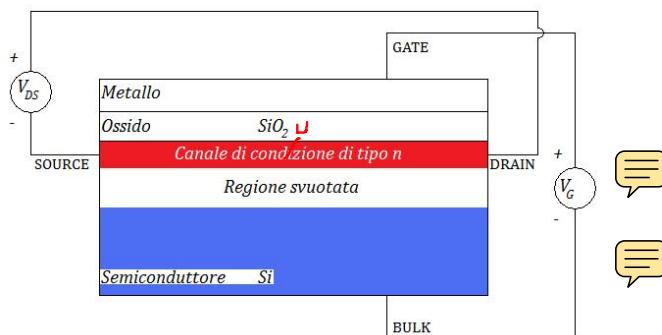


Figura 23.5. Un transistore MOSFET. Si noti che la corrente di gate I_G è certamente nulla grazie alla presenza dell'isolante.

Anche questo sistema è però piuttosto complesso da realizzare in dimensioni ridotte. Sfruttiamo allora la versione di Figura 23.6 che è più facile da gestire.

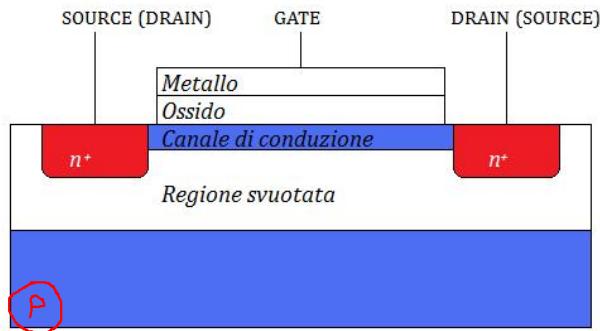


Figura 23.6. Un transistor MOSFET realizzato su un pezzo di semiconduttore. La regione svuotata circonda completamente il dispositivo.

Tale dispositivo presenta due enormi vantaggi: l'intera struttura di conduzione, facilmente realizzabile, "galleggia" in una zona completamente neutra (non abbiamo quindi bisogno di complesse strutture di isolamento) e la corrente di gate è intrinsecamente nulla. Un altro indubbio vantaggio del MOSFET è che, contrariamente al BJT, si tratta di un dispositivo completamente simmetrico e quindi possiamo scambiare il drain ed il source senza problemi.

23.3.2. Analisi quantitativa

Abbiamo ormai compreso che il MOSFET è un dispositivo estremamente utile ed interessante. Passiamo all'analisi quantitativa considerando lo schema di Figura 23.7.

Ipotizziamo che l'ossido abbia una dimensione pari a T_{OX} e che esista una coordinata x_D oltre la quale l'interfaccia tra ossido e semiconduttore non abbia più effetto.

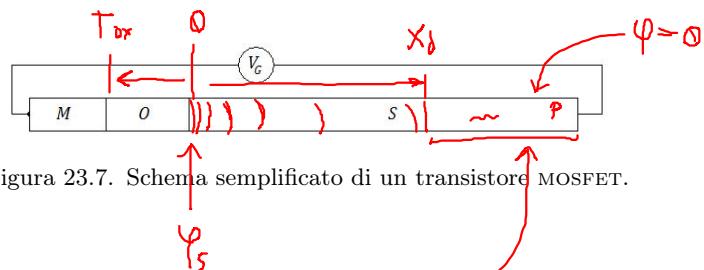


Figura 23.7. Schema semplificato di un transistor MOSFET.

23.3.2.1. Condizione per $x > x_D$

Incominciamo l'analisi partendo dalla regione svuotata. Per ipotesi in questa regione è:

$$\begin{cases} p = p_0 = N_A \\ n = n_0 = \frac{n_i^2}{N_A} \end{cases}$$

da cui ricaviamo che il campo elettrico è:

$$E = -qD_p \frac{dp}{dx} = 0$$

Inoltre, siccome il potenziale φ è definito a meno di una costante possiamo impostare che sia $\varphi = 0$.

Da ultimo anche la densità di carica ρ è nulla.

23.3.2.2. Condizione per $x < -T_{OX}$

Il potenziale φ è nuovamente costante. Grazie a Kirchoff ricaviamo:

$$\varphi = V_G - \varphi_{MS} = V'_G$$

dove φ_{MS} è il potenziale di contatto tra metallo e semiconduttore.

Siccome φ è costante, il campo elettrico, che ne è la derivata, è nullo.

23.3.2.3. Condizione per $-T_{OX} < x < 0$

Siamo nell'ossido. Supponiamo che l'ossido sia puro e quindi risulti:

$$\rho = 0$$

$$\begin{cases} \frac{d(\varepsilon E)}{dx} = \rho \\ \varepsilon = \varepsilon_{OX} \end{cases} \implies \frac{dE}{dx} = \frac{\rho}{\varepsilon} = 0$$

ed allora sarà:

$$E = E_{OX}$$

Per quanto riguarda il potenziale, sfruttanddot quanto ricavato ed integrando, abbiamo:

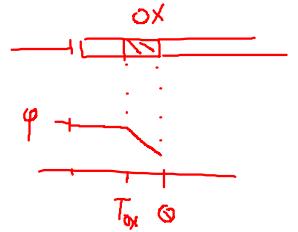
$$\varphi(x) = V'_G - E_{OX} \cdot (x + T_{OX})$$

che è l'equazione di una retta a pendenza negativa. Il limite estremo è:

$$\varphi_S = \varphi(0) = V'_G - E_{OX} T_{OX}$$

Il campo elettrico alla superficie è allora:

$$E_{OX} = \frac{V'_G - \varphi_S}{T_{OX}}$$



23.3.2.4. Condizione per $0 < x < x_D$

Siamo nella regione perturbata. Ragionevolmente il potenziale φ sarà compreso tra φ_S (che è positivo) e 0.

$$\varphi_S > \varphi > \varphi(x_D)$$

Inoltre nell'intervallo possiamo scrivere ρ nella forma:

$$\rho = \frac{q}{N_D - N_A + p} n$$

ma siccome N_D non è fisicamente presente nel dispositivo, p è trascurabile e $n \ll n_S \approx N_A$ è anch'esso trascurabile, abbiamo:

$$\rho = -qN_A$$

Allora sia il campo sia la densità di carica hanno un andamento rispettivamente di tipo lineare e di tipo parabolico come già visto per il diodo.

23.3.2.5. Grafici riassuntivi

I grafici di Figura 23.8 mostrano le grandezze fondamentali di un transistore MOSFET.

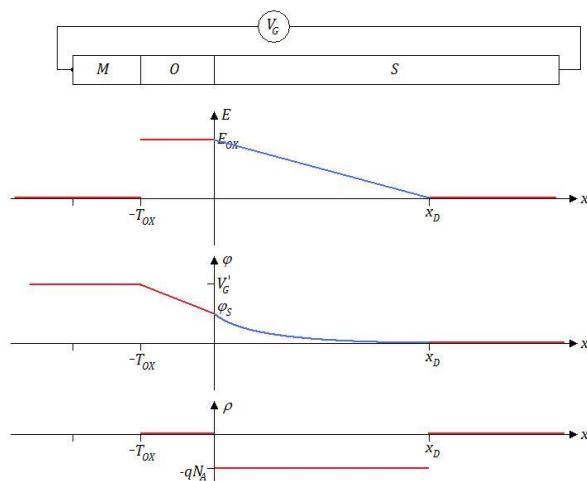


Figura 23.8. Grandezze fondamentali di un transistore MOSFET. In azzurro le porzioni di caratteristica che abbiamo solo ipotizzato.

Capitolo 24

Lezione del 2 maggio 2011

24.1. Introduzione

Nel Capitolo 23 abbiamo introdotto i transistori MOSFET che presentano il vantaggio di non avere il problema del fan out dal momento che presentano una corrente di ingresso nulla.

24.2. Riassunto e conclusione dell'analisi

I risultati già ottenuti sono riportati in Figura 24.1.

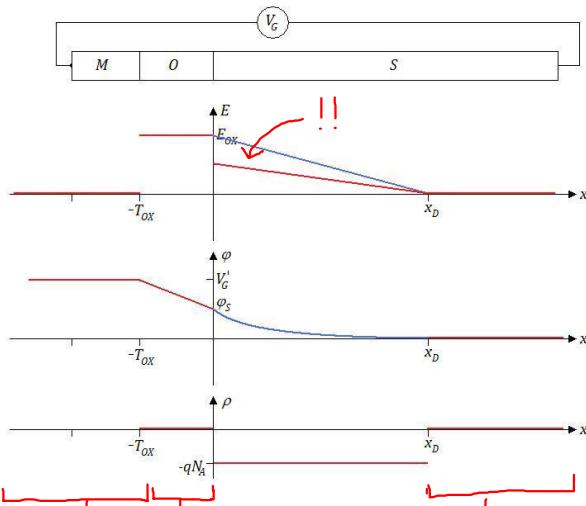


Figura 24.1. Grandezze fondamentali di un transistore MOSFET. In azzurro le porzioni di caratteristica che abbiamo solo ipotizzato.

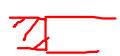
In particolare ricordiamo che:

$$x > x_D \Rightarrow \begin{cases} E = 0 \\ \varphi = 0 \\ \rho = 0 \end{cases}$$



$$x < -T_{OX} \Rightarrow \begin{cases} E = 0 \\ \varphi = V'_G \end{cases}$$

$$-T_{OX} < x < 0 \Rightarrow \begin{cases} E = E_{OX} \\ \varphi = V'_G - E_{OX} \cdot (x + T_{OX}) \\ \rho = 0 \end{cases}$$



Osserviamo che nel passaggio dalla regione di ossido alla regione di semiconduttore il campo elettrico non è continuo. Infatti è:

$$\frac{dE}{dx} = \frac{\rho}{\varepsilon} = \frac{-qN_A}{\varepsilon_p}$$

$$\int_{0^-}^{0^+} d(\varepsilon E) = \int_{0^-}^{0^+} \rho dx \Rightarrow \varepsilon_s E_s - \varepsilon_{OX} E_{OX} = 0 \Rightarrow \varepsilon_s E_s = \varepsilon_{OX} E_{OX}$$

Allora il campo elettrico nel semiconduttore è:

$$E_s = \frac{\varepsilon_{OX}}{\varepsilon_s} E_{OX}$$

$$\frac{dE}{dx} = \frac{-qN_A}{\varepsilon_s} \Rightarrow E(x) = \frac{qN_A}{\varepsilon_s} (x_D - x)$$

Possiamo ora ricavare φ :

$$\varphi(x) = \frac{qN_A}{2\varepsilon_s} (x - x_D)^2$$

$$0 < x < x_D \Rightarrow \begin{cases} E(x) = \frac{qN_A}{\varepsilon_s} (x_D - x) \\ \varphi(x) = \frac{qN_A}{2\varepsilon_s} (x - x_D)^2 \\ \rho = -qN_A \end{cases}$$

A questo punto è possibile ricavare il valore di x_D .

$$\begin{cases} E(x) = \frac{qN_A}{\varepsilon_s} (x_D - x) \\ \varphi(x) = \frac{qN_A}{2\varepsilon_s} (x - x_D)^2 \end{cases} \xrightarrow{x=0} x_D = \sqrt{\frac{2\varepsilon_s \varphi_s}{qN_A}}$$

Con valori significativi risulta che l'ampiezza della zona perturbata (anche nel caso peggiore $\varphi_s = V_G'$) si misura in micron. Dunque l'ipotesi iniziale è verificata e possiamo fare altri ragionamenti.

24.3. Analisi della tensione V_G'

Nel semiconduttore avremo una carica di elettroni fortemente superficiale dovuta ai portatori mobili. Il grafico di Figura 24.2 mostra le due cariche della regione di semiconduttore.

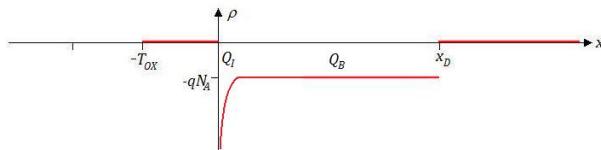


Figura 24.2. La regione di semiconduttore presenta sia una carica superficiale (Q_I) sia una carica "profonda" (Q_B).



La carica Q_B è una carica fissa e si trova distribuita sotto la superficie del semiconduttore fino a punto x_D . La carica Q_I è invece dovuta alle cariche mobili raggruppate all'interfaccia ossido semiconduttore. Dobbiamo ora trovare un modo per legare le due cariche (che vanno tenute distinte) alla variabile V_G e non alla variabile φ_s .

$$\rho = q(N_D - N_A + p - n)$$

$$\begin{cases} N_D = 0 \\ p = p_0 e^{-\frac{q\varphi_s}{KT}} \\ p_0 = N_A \\ n = n_0 e^{\frac{q\varphi_s}{KT}} \\ n_0 = \frac{n_i^2}{N_A} \end{cases} \xrightarrow{\quad} \rho = q \left(-N_A + N_A e^{-\frac{q\varphi_s}{KT}} - \frac{n_i^2}{N_A} e^{\frac{q\varphi_s}{KT}} \right)$$

?

Sfruttando ora l'equazione di Poisson e mettendola a sistema con l'espressione di ρ :

$$\frac{dE}{dx} = -\frac{d^2\varphi}{dx^2} = \frac{\rho}{\varepsilon_p}$$

ricaviamo l'andamento riportato in Figura 24.3.

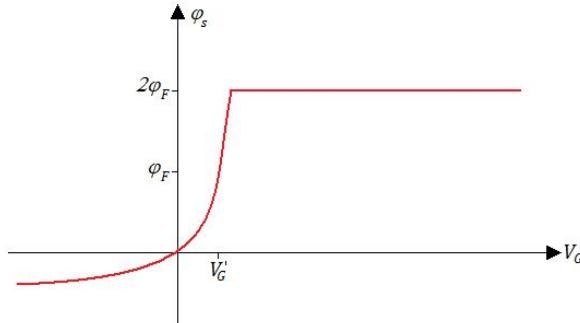


Figura 24.3. Andamento di φ_s al variare di V_G .

Allora possiamo suddividere la curva in tre tratti: due a pendenza quasi nulla (per $V'_G < 0$ e per $V'_G > V^*_G$) ed uno ad elevata pendenza.

24.3.1. $V'_G = 0$

Dal grafico ricaviamo che quando è:

$$V'_G = 0 \implies \begin{cases} \varphi_s = 0 \\ n_s = n_0 \\ p_s = p_0 \end{cases}$$

il potenziale è nullo nell'intera struttura. Inoltre le lacune e gli elettroni presentano la stessa concentrazione sia nel substrato sia nello strato di interfaccia. Questa situazione, detta di **banda piatta (flat band)**, si ha solo quando risulta:

$$V'_G = V_G - \psi_{MS} = 0 \implies V_G = \psi_{MS} = V_{FB}$$

24.3.2. $V'_G < 0$

In questa situazione abbiamo che il campo elettrico viene ribaltato: nel semiconduttore le lacune sono spinte verso la superficie mentre gli elettroni vengono spinti in profondità.

$$V'_G < 0 \implies \begin{cases} \varphi_s < 0 \\ n_s < n_0 \\ p_s > p_0 \end{cases}$$

Questa condizione, detta **condizione di accumulazione** poiché accumula i portatori maggioritari all'interfaccia,

24.3.3. $V'_G > 0$

In questa situazioneabbiamo:

$$V'_G > 0 \implies \begin{cases} \varphi_s > 0 \\ n_s > n_0 \\ p_s < p_0 \end{cases}$$

e cioè un aumento della concentrazione di elettroni ed una diminuzione della concentrazione delle lacune. Dal grafico di Figura 24.4 notiamo che per $\varphi_s > \varphi_s^*$ gli elettroni e le lacune, alla superficie, si scambiano di ruolo: i portatori maggioritari divengono minoritari mentre i portatori minoritari divengono maggioritari.

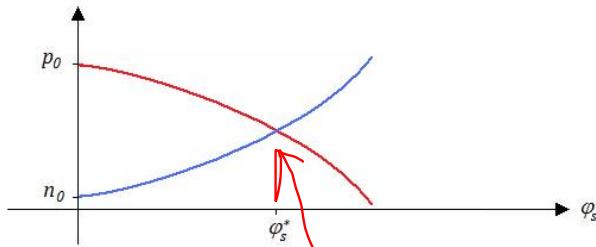


Figura 24.4. Andamento della concentrazione superficiale di elettroni e di lacune.

Questa condizione è detta di **inversione**. Il punto di inversione si ricava facilmente valutando l'uguaglianza:

$$n_s(\varphi_s^*) = p_s(\varphi_s^*)$$

Sfruttando le formule note ricordate all'inizio dell'analisi ricaviamo che è:

$$\varphi_s^* = \frac{KT}{q} \cdot \ln \left[\frac{N_A}{n_i} \right] = \varphi_F$$

Il potenziale appena ricavato (note le concentrazioni di drogante è un numero) è detto **potenziale di Fermi** e viene indicato con φ_F .

Possiamo allora distinguere due sottoregioni:

▷ una regione di **svuotamento** in cui è:

$$\begin{cases} 0 < \varphi_s < \varphi_F \\ n_s < n_0 < p_s < p_0 \end{cases}$$

▷ una regione di **debole inversione** in cui è:

$$\begin{cases} \varphi_s > \varphi_F \\ n_0 < p_s < n_s < p_0 \end{cases}$$

Inoltre per un certo valore di φ_s la concentrazione degli elettroni alla superficie non supererà anche il valore assoluto delle lacune nel substrato. Per individuare tale valore di φ_s sarà sufficiente imporre l'uguaglianza:

$$n_s(\varphi_s^*) = p_0$$

Anche in questo caso, sostituendo e semplificando ricaviamo che è:

$$\varphi_s^* = 2 \cdot \frac{KT}{q} \cdot \ln \left[\frac{N_A}{n_i} \right] = 2\varphi_F$$

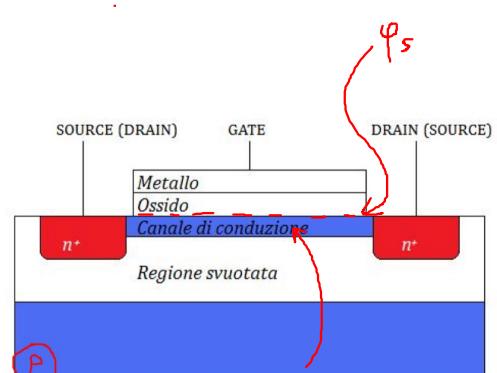
Per distinguere la regione di inversione precedentemente ricavata da quella appena individuata diremo che per:

$$\varphi_F < \varphi_s < 2\varphi_F$$

ci troviamo in **debole inversione** (*weak inversion*) mentre per:

$$\varphi_s > 2\varphi_F$$

ci troviamo in **forte inversione** (*strong inversion*).



24.3.4. Tabella riassuntiva e considerazioni

La Tabelle 24.1 riassume le regioni appena analizzate in relazione al potenziale superficiale φ_s .

φ_s	Regione
$\varphi_s < 0$	di accumulazione
$0 < \varphi_s < \varphi_F$	di svuotamento
$\varphi_F < \varphi_s < 2\varphi_F$	di debole inversione
$\varphi_s > 2\varphi_F$	di forte inversione

Tabella 24.1. Tabella riassuntiva delle regioni di φ_s .

Possiamo inoltre associare il valore di V'_G alle cariche Q_B e Q_I .

$$Q_B = -\sqrt{2qN_A\varepsilon_s\varphi_s}$$

$$Q_I = C_{OX} \left(V'_G - V'^*_G \right)$$

$$C_{OX} = \frac{\varepsilon_{OX}}{T_{OX}}$$



L'andamento delle cariche in relazione a V'_G è graficato in Figura 24.5.

Si noti che, oltre il punto V'^*_G (cioè in zona di forte inversione), l'aumento della carica dipende solamente dal valore di Q_I .

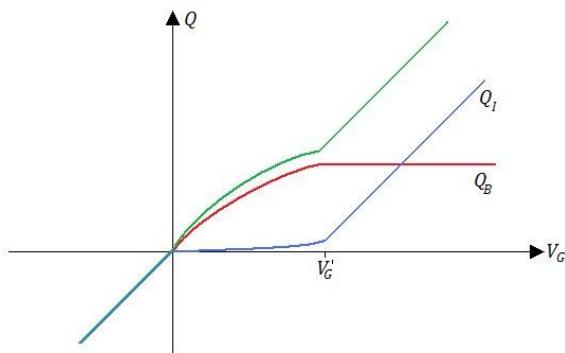


Figura 24.5. Andamento della carica Q . Si noti che essa è composta dalla somma della carica Q_I e della carica Q_B .

Capitolo 25

Lezione del 3 maggio 2011

25.1. Introduzione

Nel Capitolo 24 abbiamo analizzato la distribuzione di carica all'interno di un condensatore MOS. I ragionamenti effettuati ci hanno portato a riconoscere quattro regioni: di accumulazione (che useremo molto di rado), di svuotamento, di debole inversione e di forte inversione. Abbiamo inoltre definito Q_B come la carica di bulk e Q_I come la carica di interfaccia e di inversione ed identificato

$$x_D = \sqrt{\frac{2\varepsilon_0 U}{qN_A}}$$

Abbiamo infine notato che in regione di forte inversione il MOS risulta essere un normale condensatore.

25.2. Capacità del MOS

Partendo dal grafico della carica rispetto alla tensione del condensatore MOS possiamo ricavare la capacità equivalente del condensatore.

$$C(V) = \frac{dQ}{dV}$$

Possiamo definire la capacità massima del condensatore MOS come C_{OX} in modo da, eventualmente, sovrastimare un ritardo.

Ancora una volta siamo in presenza di un condensatore anomalo con capacità variabile (Figura 25.1).

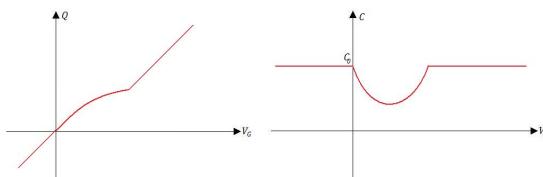


Figura 25.1. Andamento qualitativo della carica Q e della capacità ad essa associata.

25.3. Tensione di soglia

Notiamo che V_G' discrimina due regioni: una in cui il canale esiste ed una in cui il canale ancora non esiste. Per questo motivo indichiamo questo valore con il nome di tensione di soglia (V_T').

$$V_T' = \left\{ V_G' : \varphi_s = 2\varphi_F \right\}$$

Per calcolare il valore della tensione di soglia ricordiamo:

$$E_{OX} = \frac{V'_G - \varphi_s}{T_{OX}}$$

$$E_S = \frac{qN_A x_D}{\varepsilon_S}$$

$$\varepsilon_{OX} E_{OX} = \varepsilon_S E_S$$

da cui possiamo ricavare:

$$\begin{aligned} \frac{\varepsilon_{OX}}{T_{OX}} (V'_T - 2\varphi_F) &= \varepsilon_S \cdot \frac{qN_A}{\varepsilon_S} \cdot \sqrt{\frac{2\varepsilon_S}{qN_A}} \cdot \sqrt{2\varphi_F} \\ V'_T &= 2\varphi_F + \frac{\sqrt{2\varepsilon_S qN_A}}{C_{OX}} \cdot \sqrt{2\varphi_F} \end{aligned}$$

Siccome però noi controlliamo la tensione di soglia V_T è più comodo esprimere:

$$V'_T = V_T - \psi_{MS} \implies V_T = V'_T + \psi_{MS}$$

Definendo ora:

$$\frac{\sqrt{2\varepsilon_S qN_A}}{C_{OX}} = \gamma$$

otteniamo l'espressione:

$$V_T = \psi_{MS} + \gamma \cdot \sqrt{2\varphi_F} + 2\varphi_F$$

che è nettamente più maneggevole. Inoltre ψ_{MS} indica che deve essere pareggiato il potenziale di contatto tra metallo e semiconduttore, $\gamma \cdot \sqrt{2\varphi_F}$ indica che deve essere svuotato il bulk e $2\varphi_F$ indica il potenziale da raggiungere per entrare in forte inversione.

Per abbassare od alzare la tensione di soglia è possibile drogare in modo opportuno lo strato superficiale (aggiungendo elettroni per abbassare V_T od aggiungendo lacune per alzarne il valore). Solitamente queste modifiche si effettuano in fase di costruzione del dispositivo.

Possiamo inoltre esprimere la carica di interfaccia come:

$$Q_I = C_{OX} \cdot (V'_G - V'_T) \implies Q_I = C_{OX} \cdot (V_G - V_T)$$

25.4. Transistore MOS

Vediamo ora come applicare le relazioni trovate ad un transistore MOS (Figura 25.2)

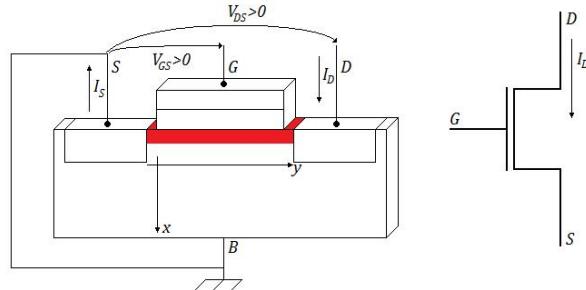


Figura 25.2. Transistore MOS e suo simbolo circuitale. Il canale di conduzione (evidenziato in rosso) ha lunghezza L e larghezza W .

Una volta creato il canale di conduzione vogliamo trasferire corrente lungo l'asse y dal source al drain. Sappiamo che sia la corrente di gate e la corrente di bulk sono nulle. Allora sarà:

$$\begin{cases} I_G = 0 \\ I_B = 0 \\ I_D = -I_S \end{cases}$$

Ipotizziamo di mettere a massa sia il bulk sia il source e di applicare una differenza di potenziale positiva V_{DS} tra drain e source ed una differenza di potenziale positiva V_{GS} tra gate e source.

Vogliamo quindi individuare la corrente

$$I_D(V_{GS}, V_{DS})$$

Muovendoci lungo l'asse y di Figura 25.2 notiamo che la tensione cresce dal valore 0 assunto in prossimità del source al valore V_{DS} assunto in prossimità del drain. Allora la carica accumulata da ogni condensatore di dimensione dy è funzione di y .

$$Q_I(y) = C_{OX}(V_{GS} - \varphi(y) - V_T)$$

Siccome siamo in una situazione bidimensionale il campo elettrico ha sempre due componenti. Semplifichiamo i calcoli supponendo di essere in una condizione di *profilo graduale* e cioè che il campo longitudinale abbia effetti trascurabili sul campo verticale e che il campo verticale non risenta delle variazioni del campo longitudinale.

Per la convenzione scelta, la corrente I_D scorre dal terminale di drain al terminale di source.

$$I_D = - \int_s J_{ds}$$

dove s indica una sezione infinitesima del dispositivo. Assumiamo che il canale sia di lunghezza L e di larghezza W . Possiamo riscrivere:

$$I_D = -W \int_0^{+\infty} J dx$$

Siccome il canale è già completamente formato risulta essere:

$$J = J_n = q\mu_n n E + qD_n \frac{dn}{dy}$$

Dal momento che il canale è formato la componente diffusiva non conta (essendo derivata della concentrazione, che è costante, risulta essere nulla) ed allora semplifichiamo ulteriormente:

$$J = q\mu_n n E$$

$$I_D = -W \cdot \int_0^{+\infty} [q\mu_n n E_y] dx$$

Osserviamo ora che μ_n è costante. Inoltre, essendo in ipotesi di profilo graduale, la componendo di campo E_y è costante rispetto ad x . Allora è:

$$I_D = -W\mu_n E_y \cdot \int_0^{+\infty} [qn] dx$$

Il termine n indica la concentrazione degli elettroni che varia lungo x e non può essere estratto dall'integrale. Inoltre qn è una densità di carica mobile che, integrata, porta alla carica di interfaccia.

$$\int_0^{+\infty} [qn] dx = Q_I$$

$$I_D = -\mu_n W C_{OX} (V_{GS} - V_T - \varphi(y)) E_y$$

Ricordando ora che è sempre possibile scrivere:

$$E_y = -\frac{d\varphi}{dy}$$

otteniamo:

$$I_D = \mu_n W C_{OX} (V_{GS} - V_T - \varphi(y)) \frac{d\varphi}{dy}$$

Separiamo le variabili:

$$I_D dy = \mu_n W C_{OX} (V_{GS} - V_T - \varphi(y)) d\varphi$$

possiamo integrare ambo i membri:

$$\int_0^L I_D dy = \int_{\varphi(0)}^{\varphi(L)} \mu_n W C_{OX} (V_{GS} - V_T - \varphi(y)) d\varphi$$

$$I_D L = \mu_n W C_{OX} \left[(V_{GS} - V_T) \varphi - \frac{\varphi^2}{2} \right]_{\varphi(0)}^{\varphi(L)}$$

Ricordando ora che $\varphi(L) = V_{DS}$ e $\varphi(0) = 0$ otteniamo:

$$I_D = \mu_n C_{OX} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

che è valida fino a quando le ipotesi formulate sono valide.

Vogliamo ora tracciare l'andamento della corrente di drain in funzione della tensione V_{DS} usando come parametro la tensione V_{GS} .

Notiamo anzitutto che

$$\mu_n C_{OX} \cdot \frac{W}{L} = \underline{\underline{\beta}}$$

è costante. In particolare possiamo definire $\frac{W}{L}$ come il fattore di forma del canale. Dal momento che vogliamo tracciare curve a V_{GS} costante dobbiamo analizzare la dipendenza di

$$(I_D = \underline{\underline{\beta}} \cdot \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right])$$

da V_{GS} . Possiamo suddividere il termine variabile in due componenti: una ($A = (V_{GS} - V_T) V_{DS}$) è una retta passante per l'origine e dipendente da V_{GS} ; l'altra ($B = -\frac{V_{DS}^2}{2}$) è una parabola a concavità rivolta verso il basso ed indipendente da V_{GS} .

Il profilo riportato in Figura 25.3 è il profilo che abbiamo nel caso siano verificate tutte le ipotesi ($V_{DS} > V_T$, di profilo graduale e di trasporto ohmico).

Dai dati sperimentali notiamo che il modello così ottenuto è rispettato solamente fino al raggiungimento del massimo delle curve. Dal raggiungimento del massimo la corrente si mantiene costante (si noti l'analogia con la famiglia delle caratteristiche del BJT che consente di costruire gli stessi dispositivi in modo molto più semplice).

Il massimo della curva (V_{DS}^*) è un punto importante poiché segna la differenza tra la parte ben descritta dal nostro modello approssimato e la parte dove il modello non funziona più.

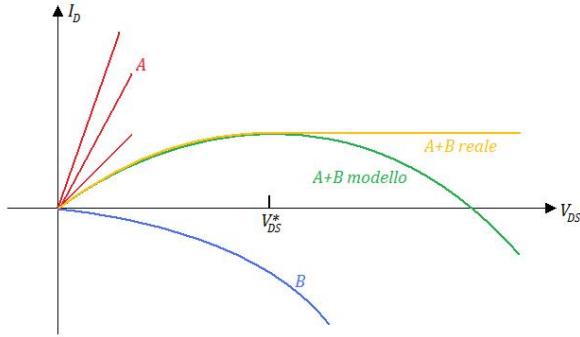


Figura 25.3. Andamento qualitativo della corrente I_D al variare di V_{DS} . In rosso la componente identificata con A ; in blu la componente B ; in verde la somma $A + B$; in giallo il comportamento reale.

$$\frac{dI_D}{dV_{DS}} = \beta \cdot [V_{GS} - V_T - V_{DS}^*] = 0 \implies V_{DS}^* = V_{GS} - V_T$$

$$I_D(V_{DS}^*) = \frac{\beta}{2} \cdot (V_{GS} - V_T)^2$$

Si nota che il punto V_{DS}^* è il punto in cui la differenza tra la tensione di gate e la tensione di drain egualia la tensione di soglia.

$$\begin{cases} V_{DS} < V_{DS}^* & V_G - V_D > V_T \\ V_{DS} = V_{DS}^* & V_G - V_D = V_T \\ V_{DS} > V_{DS}^* & V_G - V_D < V_T \end{cases}$$

Allora dal punto V_{DS}^* in poi la carica superficiale si annulla. Conseguentemente il canale non è più formato e l'ipotesi di trasporto esclusivamente ohmico cade.

Per la conservazione della carica però il restringimento del canale obbliga gli elettroni a muoversi più velocemente. Siccome inoltre è:

$$v_n = \mu_n E_y$$

il campo elettrico E_y risulta estremamente elevato (teoricamente tendente ad infinito) e conseguentemente cade anche l'ipotesi di profilo graduale.

Il punto $V_{DS} = V_{DS}^*$ in cui il canale si strozza origina la condizione di **pinch-off**.

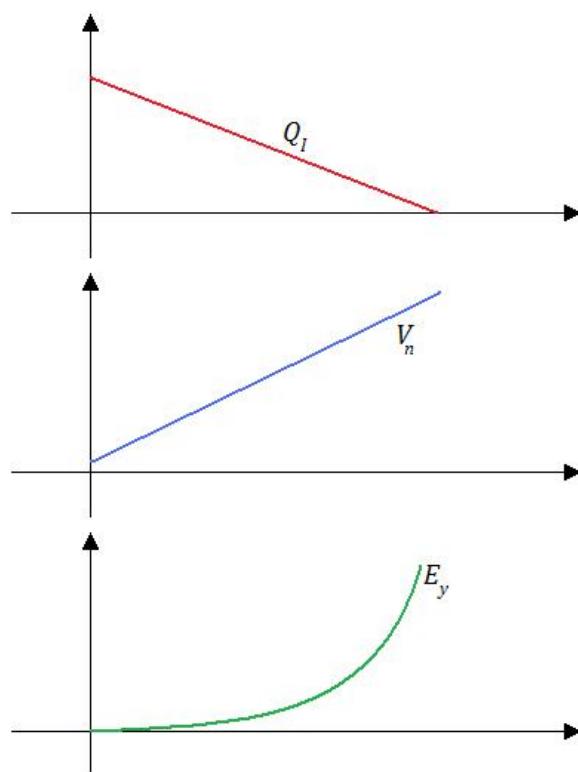


Figura 25.4. Andamento qualitativo della velocità degli elettroni e del campo all'approssimarsi del punto di pinch-off.

Capitolo 26

Lezione del 4 maggio 2011

26.1. Introduzione

Nel Capitolo 25 abbiamo iniziato l'analisi del funzionamento del transistore MOSFET notando che il modello approssimato costruito con una serie di ipotesi restrittive:

$$I_D = \beta_n \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

dove:

$$\beta_n = \mu_n \cdot C_{OX} \cdot \frac{W}{L}$$

e V_T è la tensione di soglia (solitamente controllabile in fase di costruzione), funziona correttamente fino al raggiungimento di una tensione V_{DS}^* (corrispondente al punto di pinch-off) per poi decadere completamente.

26.2. Annullamento delle ipotesi

La previsione errata era basata su alcune ipotesi:

1. il canale è completamente formato;
2. il trasporto è solamente ohmico;
3. vale la condizione di profilo graduale.

Ma al punto di pinch-off il canale risulta sostanzialmente nullo e quindi non più formato. Allora decade l'ipotesi di completa formazione e di conseguenza anche l'ipotesi di trasporto esclusivamente ohmico. Inoltre, poiché dal pinch-off in poi risulta:

$$Q_I \rightarrow 0 \implies E_y \rightarrow +\infty$$

che annulla la condizione di profilo graduale.

26.3. Analisi del pinch-off

Il potenziale φ , integrale del campo, riuslta essere finito. Ma allora:

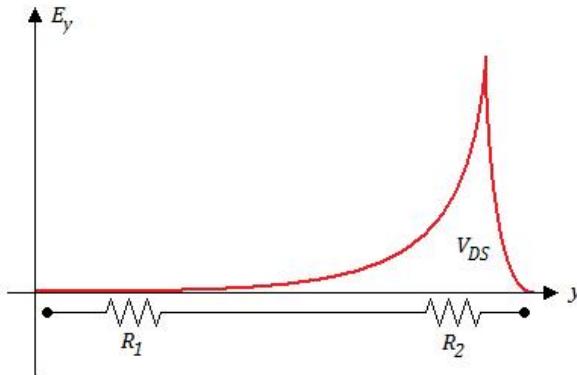
$$E_y = \frac{d\varphi}{dy}$$

sottende un area finita. Dal momento che è l'ampiezza del campo lungo y :

$$E_y \rightarrow +\infty$$

la sua larghezza, per sottendere un'area finita, dovrà essere necessariamente nulla.

Allora possiamo individuare il punto di pinch-off come un tratto infinitesimo di lunghezza nulla. Dal grafico di Figura 26.1 possiamo notare che dal punto di pinch-off in poi la resistenza R_2 assorbe tutta la variazione di tensione nel dispositivo mentre la resistenza R_1 continua a vedere lo stesso valore di tensione e quindi di corrente. Questo fatto spiega il mantenersi costante della corrente I_D in funzione di V_{DS} che risulta dipendente solo dalla tensione V_{GS} .

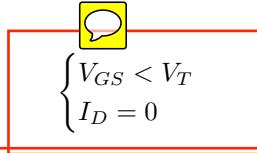
Figura 26.1. Andamento del campo elettrico in relazione ad y .

26.4. Completamento del modello

Possiamo ora ipotizzare tre regioni di funzionamento per un transistore MOSFET:

1. regione di interdizione;
2. regione di funzionamento lineare;
3. regione di saturazione.

La regione di interdizione coincide con lo spegnimento del dispositivo ed è descritta da:



Quando il dispositivo si accende abbiamo la formazione del canale e dobbiamo distinguere due casi: la regione di funzionamento lineare (o zona triodo) e la regione di saturazione.

La regione in cui il canale è formato (regione di funzionamento lineare) è descritta da:

$$\begin{cases} V_{GS} > V_T \\ V_{DS} < V_{GS} - V_T \\ I_D = \beta_n \cdot [(V_{GS} - V_T) V_{DS} + \frac{V_{DS}^2}{2}] \end{cases}$$

Infine la regione di saturazione (cioè quella seguente al pinch-off) è descritta da:

$$\begin{cases} V_{GS} > V_T \\ V_{DS} \geq V_{GS} - V_T \\ I_D = \frac{\beta_n}{2} \cdot (V_{GS} - V_T)^2 \end{cases}$$

Il grafico di Figura 26.2 mostra le varie regioni di funzionamento in base alla V_{DS} ed alla V_{GS} .

Si noti che il MOSFET è estremamente simile, come caratteristiche, al BJT ma è più compatto e completamente simmetrico.

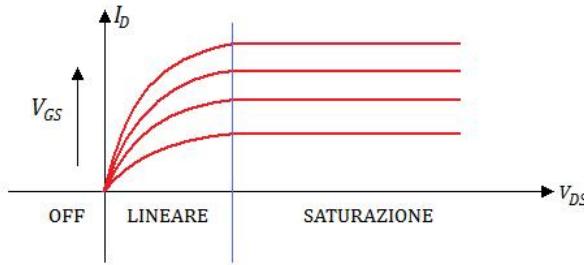


Figura 26.2. Zone di funzionamento del MOSFET.

26.5. Invertitore nMOS a carico passivo

Data la similitudine con il BJT, proviamo a costruire una invertitore RTL con i MOSFET. Proviamo a sostituire un MOSFET al BJT di Figura 26.3.

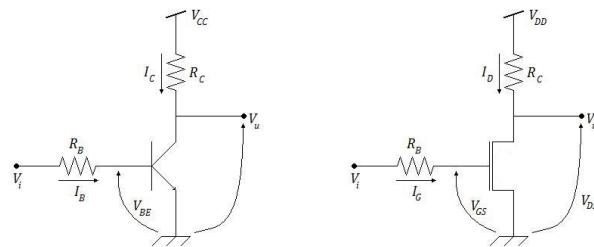


Figura 26.3. Realizzazione di un invertitore con un MOSFET.

26.5.1. Considerazioni iniziali

Notiamo anzitutto che, essendo I_G identicamente nulla, possiamo eliminare la resistenza di ingresso R_B . Possiamo inoltre studiare il dispositivo a vuoto poiché ulteriori MOSFET connessi in uscita non degraderanno la corrente. Il circuito allora si semplifica con quello di Figura 26.4.

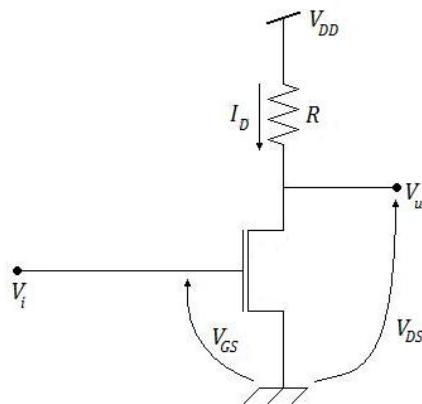


Figura 26.4. Realizzazione di un invertitore con un MOSFET.

Dal circuito abbiamo inoltre:

$$V_i = V_{GS}$$

$$V_u = V_{DS}$$

$$V_u = V_{DD} - RI_D$$

Per effettuare calcoli un poco più precisi, consideriamo i seguenti valori:

$$\begin{cases} V_{DS} = 3,5 & \text{V} \\ R = 10 & \Omega \\ V_T = 0,4 & \text{V} \\ \beta_n 1 & \text{mA/V}^2 \end{cases}$$

26.5.2. Regione di interdizione

Quando il transistore è spento risulta:

$$\begin{cases} V_{GS} < V_T \\ V_{GS} = V_i \end{cases} \implies V_i < V_T$$

$$I_D = 0 \implies V_u = V_{DD}$$

26.5.3. Regione di saturazione

In saturazione è:

$$\begin{cases} V_{GS} < V_{DS} + V_T \\ V_i = V_{GS} \\ V_u = V_{DS} \end{cases} \implies V_u > V_i - V_T$$

La corrente, dal modello, è:

$$I_D = \frac{\beta_n}{2} \cdot (V_{GS} - V_T)^2$$

e sostituita nell'espressione di V_u porta ad una curva decrescente.

$$V_u = V_{DD} - \frac{\beta_n R}{2} \cdot (V_{GS} - V_T)^2$$

26.5.4. Regione lineare

In regione lineare dovrà essere:

$$V_u < V_i - V_T$$

e la corrente è descritta da:

$$I_D = \beta_n \cdot \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

e, sostituendo, abbiamo:

$$V_u = V_{DD} - \beta_n R \cdot \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right]$$

Dal momento che isolare il termine in V_u non è facile, isoliamo V_i :

$$\frac{V_u - V_{DD}}{\beta_n R} = V_u \cdot \left[V_i - V_u - \frac{V_u}{2} \right]$$

Dividendo ambo i membri per V_u ed isolando V_i abbiamo:

$$V_i = \frac{V_u}{2} + V_T - \frac{1}{\beta_n R} + \frac{V_{DD}}{V_u \beta_n R}$$

che è l'inversa della curva voluta. Il grafico di tale curva è riportato in Figura 26.5.

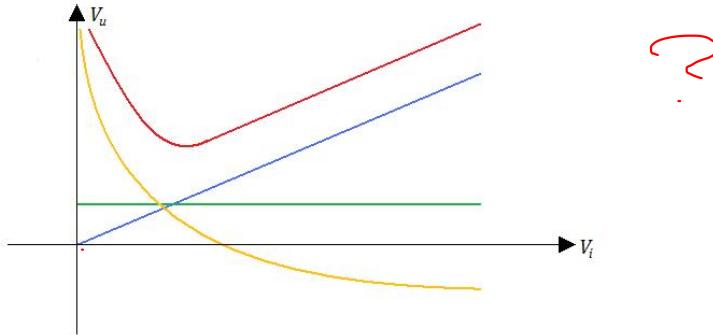


Figura 26.5. Grafico della tensione di uscita (V_u) in relazione alla tensione di ingresso (V_i). In blu la componente $\frac{V_u}{2}$; in verde la costante $\frac{1}{\beta_n R}$; in giallo la parabola $\frac{V_{DD}}{V_u \beta_n R}$; in rosso la V_u .

26.5.5. Considerazioni finali

Dal grafico di Figura 26.6 notiamo che abbiamo nuovamente la caratteristica di un invertitore.

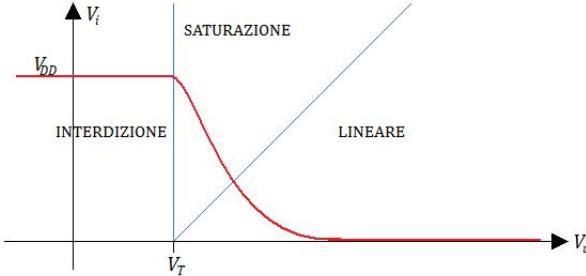


Figura 26.6. Caratteristica ingresso-uscita di un invertitore con un MOSFET.

Alternativamente potevamo ragionare ricordando che è:

$$V_u = V_{DD} - RI_D$$

potevamo scrivere la retta di carico:

$$I_D = \frac{V_{DD} - V_u}{R}$$

ed ottenere il grafico di Figura 26.7.

Riassumendo abbiamo qualitativamente un invertitore ma abbiamo risparmiato una resistenza in ingresso ed abbiamo una struttura più compatta.

26.5.6. Problemi

Quantitativamente la regione a guadagno positivo presenta un guadagno pari a:

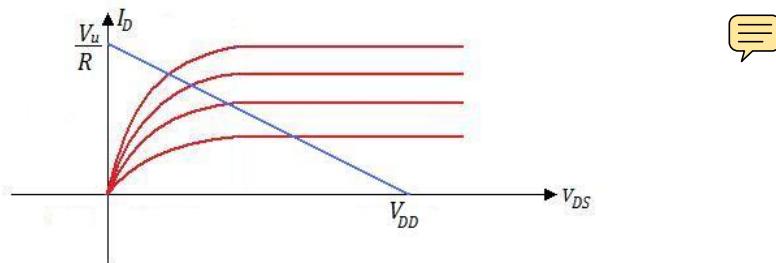


Figura 26.7. Retta di carico di un invertitore a MOSFET.

$$A_V = \frac{dV_u}{dV_i} = -\beta_n R (V_i^* - V_T)$$

Dal momento che vogliamo un guadagno elevato in modulo e che questo dipende da $\beta_n R$, il nostro obiettivo, in fase di progettazione, sarà di avere un elevato valore per $\beta_n R$.

Per aumentare β_n notiamo dalla sua espressione:

$$\beta_n = C_{OX} \mu_n \frac{W}{L} = \frac{\varepsilon_{OX}}{T_{OX}} \mu_n \frac{W}{L}$$

che possiamo intervenire solo su alcuni parametri. In particolare μ_n ed ε_{OX} sono incontrollabili e T_{OX} è alquanto difficile da controllare con precisione (in fase di fabbricazione si tende ad avere T_{OX} dell'ordine di pochi strati atomici). Restano quindi controllabili solamente i valori di W ed L (tipicamente si tende a costruire transistori con canali quanto più corti e larghi possibile). Anche W ed L sono tuttavia limitati dalla tecnologia: costruire transistori con canali corti a piacimento è tecnologicamente impossibile (i processori della serie Intel i7 hanno canali di quarantacinque nanometri) e costruire canali larghi limita l'integrazione su uno stesso chip.

Per quanto riguarda R , il resistore deve essere integrato sullo stesso chip (Figura 26.8). Questo comporta una maggiore densità del dispositivo ma richiede che anche il resistore sia realizzato con la stessa tecnologia usata per il transistore. Al solito la resistenza è proporzionale alla resistività (ρ) ed alla lunghezza del resistore (L) ed inversamente proporzionale alla larghezza del resistore (W) e dal suo spessore (t):

$$R = \rho \frac{L}{tW}$$

Ancora una volta abbiamo un termine ($\frac{\rho}{t}$) dipendente dal materiale (in particolare ρ dipende dal droggaggio) ed un termine ($\frac{L}{W}$) controllabile. In questo caso ci troviamo nella situazione opposta a quella voluta per β_n : vogliamo un resistore lungo e stretto. Nuovamente però la larghezza minima è soggetta a vincoli tecnologici attualmente insormontabili.

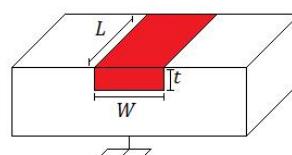


Figura 26.8. Realizzazione di un resistore integrato su un chip di semiconduttore.

Possiamo allora riscrivere il guadagno come:

$$A_V = C_{OX} \mu_n \left(\frac{W}{L} \right)_{MOS} \cdot \frac{\rho}{t} \left(\frac{L}{W} \right)_R = C_{OX} \mu_n \frac{\rho}{t} \cdot \frac{\left(\frac{W}{L} \right)_{MOS}}{\left(\frac{W}{L} \right)_R}$$

che mostra come un guadagno elevato richieda dispositivi ingombri. In particolare, il resistore integrato è l'elemento critico del circuito.

Un ulteriore problema è il *piazzamento* che è il problema di trovare spazio per tutti i pezzi del circuito integrato.

Capitolo 27

Lezione del 9 maggio 2011

27.1. Introduzione

Nel Capitolo 26 abbiamo visto come realizzare un invertitore *nMOS* a carico passivo e ne abbiamo analizzato il comportamento. Abbiamo poi evidenziato alcuni problemi di progettazione e di produzione di questi dispositivi (che restano tuttavia i migliori dispositivi di cui disponiamo per la realizzazione di circuiti integrati). Infine abbiamo sottolineato come l'aspetto più critico sia la realizzazione del resistore integrato.

Nel presente Capitolo vedremo una soluzione alternativa.

27.2. Pull-up e pull-down

Il comportamento del transistore *nMOS* è abbastanza semplice: quando il transistore è spento (ingresso basso), l'uscita è alta; quando il transistore è acceso (ingresso alto), l'uscita è bassa.

In altre parole, quando l'ingresso è basso la resistenza alza al massimo l'uscita. Per questo motivo definiamo la resistenza come *resistenza di pull-up*.

All'accensione del transistore la resistenza abbassa quanto più può la tensione di uscita. Allora la rete diviene una *rete di pull-down*.

Possiamo allora vedere il circuito come in Figura 27.1 ossia come un partitore costituito di due resistenze (R_{PU} di pull-up e R_{PD} di pull-down) dove la tensione di uscita è:

$$V_u = \frac{R_{PD}}{R_{PD} + R_{PU}} \cdot V_{DD}$$

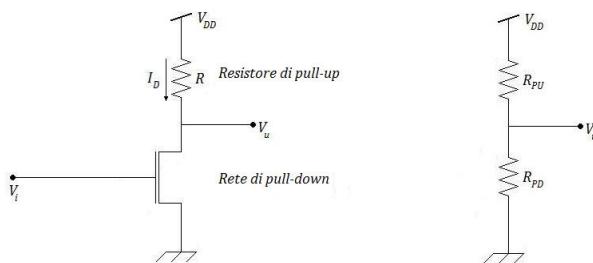


Figura 27.1. Schematizzazione delle reti di pull-up e di pull-down agenti in un transistore *nMOS* a carico passivo.

Quando il transistore è spento è:

$$\begin{cases} R_{PD} \approx 0 \\ R_{PU} \rightarrow +\infty \end{cases}$$

mentre quando il transistore si accende, volendo un'uscita bassa, dovremo avere:

$$R_{PU} \rightarrow 0$$

che ci riporta al problema precedente: vogliamo un resistore lungo e stretto ed un transistore corto e largo.

Si noti che il problema non si pone in zona di interdizione in quanto la corrente sulla resistenza è nulla e quindi la resistenza di pull-up è pressoché infinita.

Nel Capitolo 26 abbiamo tracciato la caratteristica del transistore *n*MOS sfruttando una costruzione grafica usando la retta di carico ed abbiamo devinato il guadagno come:

$$A_V = \frac{dV_u}{dV_i}$$

che mostra come il guadagno sia tanto maggiore quanto più è grande la resistenza (Figura 27.2).

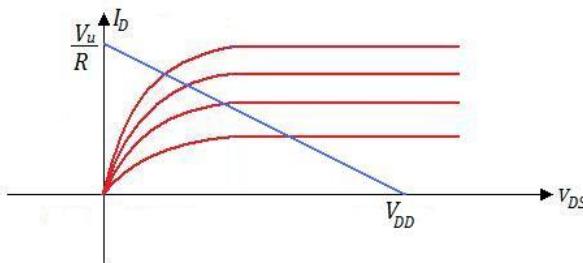


Figura 27.2. Famiglia delle caratteristiche del *n*MOS a carico passivo.

Nella regione ad elevato guadagno (cioè in saturazione) allora vogliamo una resistenza elevata mentre nelle regioni a basso guadagno vorremmo un guadagno nullo e quindi una resistenza bassa (che implica una maggiore immunità ai disturbi).

Allora vogliamo un bipolo di carico che vari il suo comportamento in base alla regione di funzionamento somigliando ad una resistenza elevata in saturazione e ad una resistenza bassa in zona lineare (Figura 27.3).

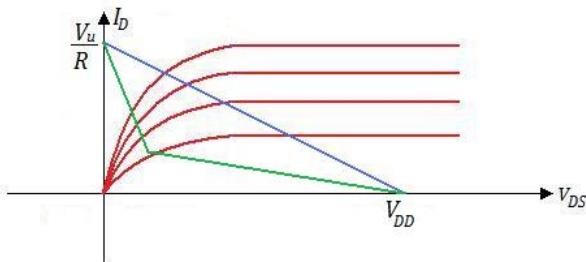


Figura 27.3. Famiglia delle caratteristiche del *n*MOS a carico passivo. In azzurro la retta di carico reale; in verde la retta di carico voluta.

27.3. Realizzazione del bipolo di carico

Una prima soluzione può essere l'utilizzo di due transistori *n*MOS (Figura 27.4) con:

$$\begin{cases} \beta_1 \neq \beta_2 \\ V_{T1} = V_{T2} = V_T \end{cases}$$

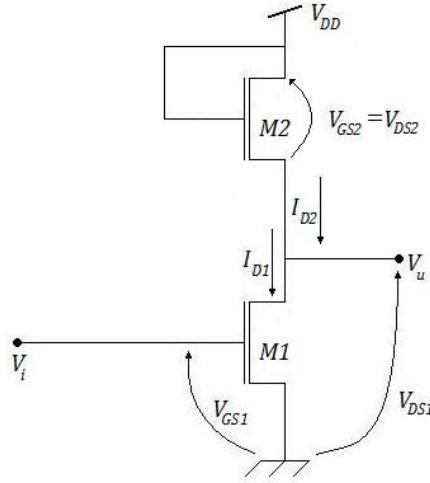


Figura 27.4. Realizzazione nMOS in cui il carico è un secondo nMOS.

Siccome nella rete di pull-up gate e drain sono corto circuitati è:

$$V_{GS} = V_{DS}$$

e quindi la condizione di funzionamento lineare:

$$V_{GS} > V_{DS} + V_T$$

non potrà mai essere verificata. Allora i casi della rete di pull-up sono solo due: il transistore è spento oppure è in saturazione.

Quando il transistore di pull-up è spento risulta:

$$V_{GS} = V_{PU} < V_T \implies I_D = 0$$

Quanto invece è in saturazione è:

$$V_{PU} > V_T \implies \frac{\beta_2}{2} (V_{PU} - V_T)^2$$

che è una parabola con concavità rivolta verso l'alto.

La caratteristica della rete di pull-up è riportata in Figura 27.5 e mostra esattamente le caratteristiche ricercate. Riportando la retta di carico sul piano delle caratteristiche del transistore, infatti, notiamo che la resistenza è grande quando il transistore di pull-down è in saturazione ed è piccola quando il transistore è in regione lineare.

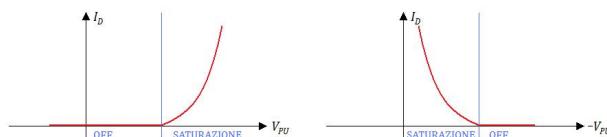
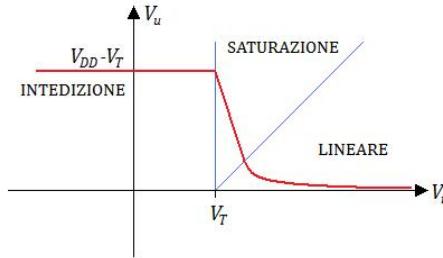


Figura 27.5. Caratteristica della rete di pull-up realizzata con un nMOS (a sinistra) e retta di carico (a destra).

Questo oggetto è detto **transistore nMOS a carico saturato**. La caratteristica del transistore nMOS a carico saturato è riportata in Figura 27.6.

Figura 27.6. Caratteristica ingresso-uscita di un *n*MOS a carico saturato.

27.3.1. *M*1 in interdizione

Quando il transistore *M*1 è spento è:

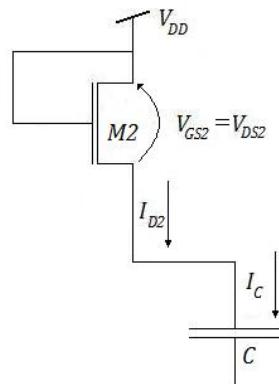
$$\begin{cases} V_{GS1} = V_i < V_T \\ I_{D1} = 0 \\ I_{D2} = I_{D1} = 0 \end{cases}$$

Allora possiamo ipotizzare che I_{D2} sia spento e quindi è:

$$V_u > V_{DD} - V_T$$

che è soddisfatta per infiniti valori di V_u .

In questa condizione possiamo identificare una capacità parassita C caricata dal transistore di pull-up caricata da una corrente di carica $I_C = I_{D1} + I_{D2}$ (Figura 27.7).

Figura 27.7. Quando il transistore *M*1 è in interdizione la rete si riduce al solo transistore *M*2 in serie con una capacità parassita.

La corrente di carica della capacità parassita è:

$$I_{D2} = I_C = C \cdot \frac{dV_u}{dt} \Rightarrow \frac{dV_u}{dt} = \frac{I_{D2}}{C} > 0$$

che resta positiva fino a quando risulta:

$$V_{GS} - V_u = V_T \Rightarrow V_u < V_{DD} - V_T$$

Allora il nodo di uscita non può avere una tensione superiore a $V_{DD} - V_T$.

Questo è un difetto della rete poiché l'uscita alta risulta inferiore di una soglia V_T al valore massimo V_{DD} .

27.3.2. *M1 in saturazione*

Quando il transistore $M1$ è in saturazione deve essere:

$$\begin{cases} V_{GS1} < V_{DS1} + V_T \\ V_{GS1} = V_i \\ V_{DS1} = V_u \end{cases} \implies V_u > V_i - V_T$$

La corrente I_{D1} è allora:

$$\begin{cases} I_{D1} = \frac{\beta_1}{2} (V_i - V_T)^2 > 0 \\ I_{D1} = I_{D2} \end{cases} \implies I_{D2} > 0$$

Ma se la corrente I_{D2} è maggiore di zero, $M2$ deve essere acceso e, dal momento che non può funzionare in regione lineare, dovrà essere in saturazione:

$$I_{D2} = \frac{\beta_2}{2} (V_{DD} - V_u - V_T)^2$$

Dall'uguaglianza delle due correnti abbiamo:

$$\frac{\beta_1}{2} (V_i - V_T)^2 = \frac{\beta_2}{2} (V_{DD} - V_u - V_T)^2$$

Semplificando e scartando le radici negative otteniamo:

$$V_u = V_{DD} - V_T - \sqrt{\frac{\beta_1}{\beta_2} (V_i - V_T)}$$

che è l'equazione di una retta a pendenza negativa con un guadagno:

$$A_V = \sqrt{\frac{\beta_1}{\beta_2}}$$

La caratteristica lineare è molto interessante in quanto consente la realizzazione di un amplificatore non distorcente. Inoltre il guadagno dipende da:

$$A_V = \sqrt{\frac{\left(\frac{\varepsilon_{OX}}{T_{OX}} \mu_n \frac{W}{L}\right)_{M1}}{\left(\frac{\varepsilon_{OX}}{T_{OX}} \mu_n \frac{W}{L}\right)_{M2}}} = \sqrt{\frac{\left(\frac{W}{L}\right)_{M1}}{\left(\frac{W}{L}\right)_{M2}}}$$

Ancora una volta la rete di pull-up deve essere lunga e stretta mentre il pull-down dovrà essere corto e largo.

27.3.3. *M1 in regione lineare*

Quanto $M1$ è in questa regione risulta:

$$\begin{cases} I_{D1} = \beta_1 \left[(V_{GS1} - V_T) V_{DS1} - \frac{V_{DS1}^2}{2} \right] > 0 \\ I_{D2} = \frac{\beta_2}{2} (V_{GS2} - V_T^2) > 0 \\ I_{D1} = I_{D2} \end{cases}$$

dalla cui uguaglianza otteniamo:

$$V_u^2 \cdot (\beta_1 + \beta_2) - 2\beta_2 \cdot (V_{DD} - V_T) \cdot V_u - 2\beta_1 \cdot (V_i - V_T) \cdot V_i + \beta_2 \cdot (V_{DD} - V_T^2) = 0$$

che è un'arco di curva.

27.3.4. Considerazioni finali

- Il transistore *n*MOS a carico saturato presenta due notevoli vantaggi:
1. è compatto e facile da realizzare;
 2. ha un tratto di caratteristica lineare.
- Di contro è ancora un dispositivo in cui il guadagno dipende dai fattori di forma. Inoltre la tensione di ~~una~~^{una} alta è passata da V_{DD} a $V_{DD} - V_T$ che riduce l'escursione e di conseguenza i margini di immunità ai disturbi.

USCITA

27.4. Tensioni di soglia

L'abbassamento della tensione di uscita massima è dovuto al fatto che il transistore si spegne quando la tensione di ingresso supera il valore V_T (ipotizzato maggiore di zero).

$$V_{GS} = V_{DS} \implies V_{GS} < V_{DD} - V_T$$

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 = 0 \implies V_{GS} = V_T \implies V_u = V_{DD} - V_T$$

L'unica ipotesi di questo ragionamento è che sia:

$$V_T > 0$$

Tecnologicamente possiamo però drogare i materiali in modo da avere un canale prefabbricato (*built-in*). Se abbiamo un canale prefabbricato abbiamo allora necessità un campo negativo per chiudere il canale. Allora la tensione di soglia non è necessariamente positiva.

Possiamo produrre due dispositivi:

- ▷ dispositivi di tipo *enhancement* (ad arricchimento), con creazione del canale a soglia $V_T > 0$;
- ▷ dispositivi di tipo *depletion* (a svuotamento, con canale prefabbricato) a soglia $V_T > 0$.

I simboli circuitali sono riportati in Figura 27.8.

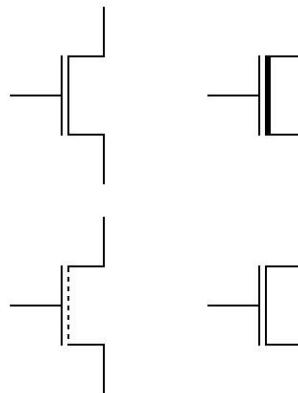


Figura 27.8. Simboli circuituali usati per gli *n*MOS enhancement (a sinistra) depletion (a destra).

27.5. Analisi del pull-up depletion

Con una rete di pull-up di tipo depletion il transistore non può lavorare in saturazione e quindi, se è acceso, deve essere in regione lineare.

$$I_D = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

La capacità parassità si annulla in questo caso quando la corrente I_D è nulla.

$$\beta V_{DS} \left[V_{GS} - V_T - \frac{V_{DS}}{2} \right] = 0$$

Ma $V_{GS} - V_T - \frac{V_{DS}}{2}$ non potrà mai essere nullo poiché, per ipotesi è:

$$V_{GS} > V_{DS} + V_T$$

e, siccome è $V_{DS} > 0$, risulta:

$$V_{GS} > \frac{V_{DS}}{2} + V_T$$

Allora l'unico risultato possibile è che sia:

$$V_{DS} = 0$$

che ci consente di ottenere nuovamente l'escursione massima.

Capitolo 28

Lezione del 10 maggio 2011

28.1. Introduzione

Nel Capitolo 27 abbiamo analizzato una soluzione alternativa al *nMOS* a carico passivo che utilizza come resistore un secondo *nMOS*.

Successivamente abbiamo introdotto sia gli *nMOS* ad arricchimento (enhancement) sia gli *nMOS* a svuotamento (depletion) dimostrando come i secondi sia in grado di riportare al massimo l'escursione tra il valore alto ed il valore basso.

Nel presente Capitolo vedremo altre architetture per la costruzione di logiche di inversione.

28.2. Pull-up a svuotamento

Cerchiamo ora di ottenere una caratteristica simile a quella di un invertitore utilizzando una rete di pull-up realizzata con un transistore a svuotamento per cui sia $V_{T2} < 0$ (Figura 28.1).

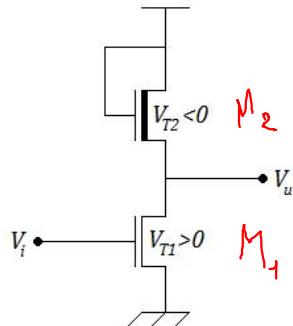


Figura 28.1. Rete di pull-down realizzata con un *nMOS* a svuotamento.

28.2.1. Considerazioni iniziali

Per come sono connessi i dispositivi è:

$$V_{GS2} = V_{DS2} \implies V_{GS2} > V_{DS2} + V_{T2}$$

ed allora il transistore M_2 non è saturato.

28.2.2. M_1 in interdizione

Quando M_1 è in interdizione risulta:

$$V_{GS1} = V_i < V_{T1}$$

da cui segue che la corrente è:

$$I_{D1} = 0 \implies I_{D2} = 0$$

e, siccome $M2$ non può saturare deve essere:

$$\beta_2 V_{DS1} \left[V_{GS2} - V_{T2} - \frac{V_{DS2}}{2} \right] = 0$$

che essendo:

$$V_{GS2} > V_{T2} + V_{DS2} > V_{T2} + \frac{V_{DS2}}{2}$$

risulta verificata solo per:

$$V_{DS2} = 0$$

Allora quando il transistore $M1$ è spento deve essere:

$$V_u = V_{DD}$$

28.2.3. $M1$ in saturazione

In questo caso risulta:

$$V_i < V_u + V_{T1} \implies V_u > V_i - V_{T1}$$

Sfruttando le equazioni delle correnti e la loro uguaglianza, ricaviamo:

$$\frac{\beta_1}{\beta_2} (V_i - V_{T1})^2 = (V_{DD} - V_u)^2 - 2V_{T2} \cdot (V_{DD} - V_u)$$

da cui segue:

$$(V_{DD} - V_u)^2 - 2V_{T2} (V_{DD} - V_u) - \frac{\beta_1}{\beta_2} (V_i - V_{T1})^2 = 0$$

$$(V_{DD} - V_u) = V_{T2} \pm \sqrt{V_{T2}^2 + \frac{\beta_1}{\beta_2} \cdot (V_i - V_{T1})^2}$$

$$V_u = V_{DD} - V_{T2} \pm \sqrt{V_{T2}^2 + \frac{\beta_1}{\beta_2} \cdot (V_i - V_{T1})^2}$$

Dal momento che il risultato deve essere fisicamente accettabile scartiamo la soluzione con il segno “-”.

$$V_u = V_{DD} - V_{T2} - \sqrt{V_{T2}^2 + \frac{\beta_1}{\beta_2} \cdot (V_i - V_{T1})^2}$$

28.2.4. Considerazioni finali

Il grafico di Figura 28.2 riporta la caratteristica ingresso-uscita del circuito esaminato.

Notiamo che, ancora una volta, la pendenza della curva dipende dal rapporto tra i fattori di forma.

Questo approccio (cioè l'utilizzo di un transistore con carico a svuotamento) presenta il vantaggio della piena escursione logica ma richiede transistori con soglie differenti. Un altro svantaggio è che il droggaggio per la prefabbricazione del canale richiede un processo tecnologico in più. Una soluzione più naturale consiste nell'utilizzo di un transistore *p*mos che ha, intrinsecamente, una soglia negativa.

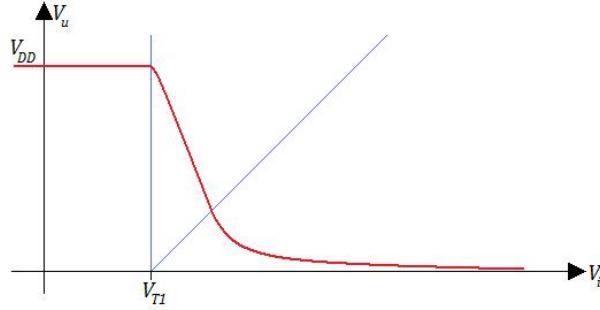
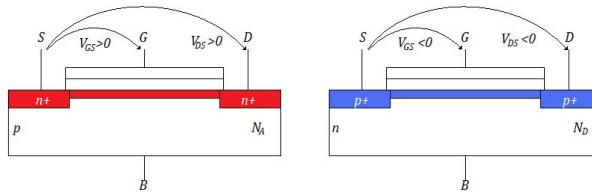


Figura 28.2. Caratteristica ingresso-uscita di un transistore con carico a svuotamento.

28.3. Transistor pMOS

Abbiamo fino ad ora descritto l'*n*MOS come un dispositivo costituito da un substrato *p* con N_A atomi accettori che crea un canale di tipo *n* applicando un campo diretto verso il basso. Utilizzando un substrato di tipo *n* con N_D atomi donatori possiamo creare un canale di tipo *p* usando un campo diretto verso l'alto.

La Figura 28.3 mostra affiancati un transistor *n*MOS ed il suo analogo *p*MOS con i segni delle grandezze fondamentali. Si nota facilmente che il transistor *p*MOS è analogo al transistor *n*MOS a patto di cambiare il segno delle cariche.

Figura 28.3. Confronto tra un *n*MOS (con $V_{Tn} > 0$ per l'enhancement e $V_{Tn} < 0$ per il depletion) ed un *p*MOS (con $V_{Tp} < 0$ per l'enhancement e $V_{Tp} > 0$ per il depletion).

Per il transistor *n*MOS abbiamo inoltre definito:

$$\begin{cases} V_{GS} < V_T \\ V_T < V_{GS} < V_{DS} - V_T \\ V_{GS} > V_{DS} - V_T \end{cases}$$

SECNI ?!

interdizione	/	\	\ /
saturazione			
lineare			

$$\beta_n = C_{OX} \mu_n \frac{W}{L}$$

Per il transistor *p*MOS possiamo allora definire:

$$\begin{cases} V_{GS} > V_{Tp} \\ V_{DS} - V_{Tp} < V_{GS} < V_{Tp} \\ V_{GS} < V_{DS} - V_{Tp} \end{cases}$$

interdizione	/	\	\ /
saturazione			
lineare			

$$\beta_p = C_{OX} \mu_p \frac{W}{L}$$

Notiamo una piccola differenza: il transistor a canale *p* richiede più spazio per funzionare bene quanto il transistor a canale *n*. Il vantaggio risiede nell'utilizzo combinato di transistori a canale *p* e a canale *n*.

La Tabella 28.1 riporta quanto appena detto.

nMOS		
Zona	Tensione di ingresso	Corrente
Interdizione	$V_{GS} < V_{Tn}$	$I_D = 0$
Saturazione	$V_{Tn} < V_{GS} < V_{DS} + V_{Tn}$	$I_D = \frac{\beta_n}{2} (V_{GS} - V_{Tn})^2$
Lineare	$V_{GS} > V_{DS} + V_{Tn}$	$I_D = \beta_n \left[(V_{GS} - V_{Tn}) V_{DS} - \frac{V_{DS}^2}{2} \right]$
pMOS		
Zona	Tensione di ingresso	Corrente
Interdizione	$V_{GS} > V_{Tp}$	$I_D = 0$
Saturazione	$V_{DS} \cancel{>} V_{Tp} < V_{GS} < V_{Tp}$	$I_D = \frac{\beta_p}{2} (V_{GS} - V_{Tp})^2$
Lineare	$V_{GS} < V_{DS} \cancel{>} V_{Tp}$	$I_D = \beta_p \left[(V_{GS} - V_{Tp}) V_{DS} - \frac{V_{DS}^2}{2} \right]$

Tabella 28.1. Valori della tensione V_{GS} , zone di funzionamento e corrente per i transistori nMOS e pMOS.

Il modello generale così definito presenta la scomodità dei segni delle disequazioni. Possiamo però utilizzare un modello alternativo.

Consideriamo ad esempio un transistore pMOS ad arricchimento. Un transistore di questo tipo richiede che sia:

$$V_{Tp} < 0 \implies V_{Tp} = -|V_{Tp}|$$

Allora quando questo è spento risulta:

$$V_{GS} > V_{Tp} \implies -V_{GS} < -V_{Tp} \implies V_{SG} < |V_{Tp}|$$

$$I_D = 0$$

In saturazione la condizione, ragionando in modo analogo, è invece:

$$V_{SD} + |V_{Tp}| > V_{SG}$$

$$I_D = \frac{\beta_p}{2} (-V_{GS} + V_{Tp})^2 \implies I_D = \frac{\beta_p}{2} (V_{SG} - |V_{Tp}|)^2$$

Infine in regione lineare è:

$$V_{GS} < V_{DS} + V_{Tp} \implies V_{SG} > V_{SD} - |V_{Tp}|$$

$$I_D = \beta_p \left[(V_{GS} - V_{Tp}) V_{DS} - \frac{V_{DS}^2}{2} \right] \implies I_D = \beta_p \left[(V_{SG} - |V_{Tp}|) V_{SD} - \frac{V_{SD}^2}{2} \right]$$

Il simbolo circuitale del pMOS è riportato in Figura 28.4

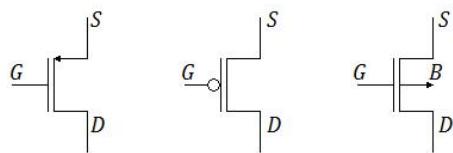


Figura 28.4. Simboli circuitali del pMOS.

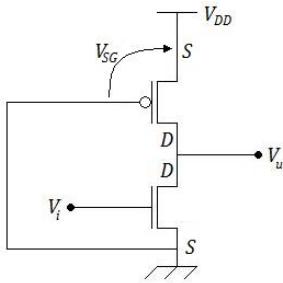


Figura 28.5. Realizzazione della rete di pull-up con un pMOS.

28.4. Pull-up a pMOS ad arricchimento

Consideriamo il circuito di Figura 28.5 e cerchiamone la caratteristica ingresso-uscita.

Vogliamo che la rete di pull-up sia sempre accesa. Dunque deve essere:

$$V_{SG} > |V_{Tp}|$$

Allora è sufficiente agganciare il gate del pMOS al potenziale di terra. Il circuito è chiamato *pseudo nMOS*.

28.4.1. Considerazioni iniziali

L'*nMOS* è in interdizione quando risulta:

$$V_{GS} = V_i < V_{Tn}$$

mentre *satura* quando è:

$$V_{GS} < V_{DS} + V_{Tp} \implies V_u > V_i - V_{Tn}$$

Per quanto riguarda il *pMOS* invece non potremo mai essere in interdizione in quanto:

$$V_{SG} - V_{DD} > |V_{Tp}|$$

non può mai essere verificata (il gate è connesso al potenziale di terra). Siamo invece in *saturazione* quando è:

$$V_{SG} < V_{SD} + |V_{Tp}| \implies V_u < |V_{Tp}|$$

28.4.2. nMOS in interdizione

Quando il transistore *nMOS* è interdetto risulta:

$$I_{Dn} = 0 \implies I_{Dp} = 0$$

Supponiamo che il *pMOS* sia in regione lineare. Allora:

$$\beta_p \left[(V_{SG} - V_{Tp}) V_{SD} - \frac{V_{SD}^2}{2} \right] = 0 \implies \beta_p V_{SD} \left[V_{SG} - V_{Tp} - \frac{V_{SD}}{2} \right] = 0$$

da cui segue che è:

$$\begin{cases} V_{SD} = 0 \\ V_{SD} = V_u - V_{DD} \end{cases} \implies V_u = V_{DD}$$

che verifica la condizione di funzionamento lineare del *pMOS*.

28.4.3. nMOS in saturazione

Per continuità continuiamo a supporre che sia il *p*MOS sia in regione lineare.
Uguagliando le correnti abbiamo:

$$\frac{\beta_n}{2} (V_u - V_{Tn})^2 = \beta_p \left[(V_{DD} - |V_{Tp}|) (V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right]$$

che è un'equazione di secondo grado:

$$V_{DD} - V_u = (V_{DD} - |V_{Tp}|) \pm \sqrt{(V_{DD} - |V_{Tp}|) - \frac{\beta_n}{\beta_p} (V_i - V_{Tp})^2}$$

Ancora una volta dobbiamo scegliere solo la soluzione positiva della radice.
Allora l'uscita è

$$V_u = |V_{Tp}| + \sqrt{(V_{DD} - |V_{Tp}|)^2 - \frac{\beta_n}{\beta_p} (V_i - V_{Tp})^2}$$

e, nuovamente, dipende dal rapporto tra i fattori di forma.

28.4.4. Considerazioni finali

La caratteristica dello pseudo *n*MOS è riportata in Figura 28.6. Dal grafico si comprende il motivo del nome: il *p*MOS si comporta come faceva il transistore *n*MOS.

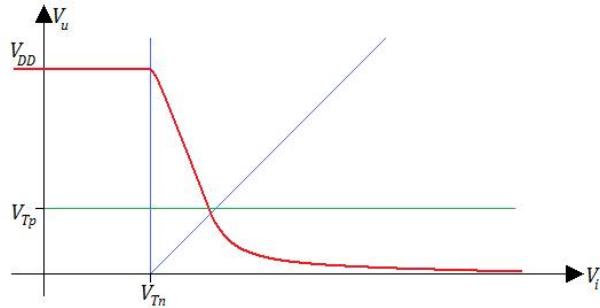


Figura 28.6. Andamento qualitativo della caratteristica ingresso-uscita dello pseudo *n*MOS.

Capitolo 29

Lezione del 11 maggio 2011

29.1. Introduzione

Nel Capitolo 28 abbiamo introdotto ed analizzato le logiche *pMOS* mostrando che, per funzionare in modo equivalente alle logiche *nMOS* richiedono una maggiore occupazione d'area. Abbiamo anche accennato al fatto che il vantaggio delle logiche *pMOS* consiste nel loro utilizzo congiunto con le logiche *nMOS*.

Nel presente Capitolo inizieremo lo studio delle logiche *CMOS (complementary MOS)*.

29.2. Realizzabilità delle logiche CMOS

Un primo problema delle logiche CMOS consiste nella realizzazione del circuito integrato: il *pMOS* ed l'*nMOS* richiedono infatti substrati differenti.

La soluzione consiste nuovamente nell'utilizzo del principio di compensazione. Possiamo, cioè, realizzare un substrato di tipo *n* all'interno di un substrato di tipo *p* (Figura 29.1) avendo cure di imporre:

$$N_D \gg N_A$$

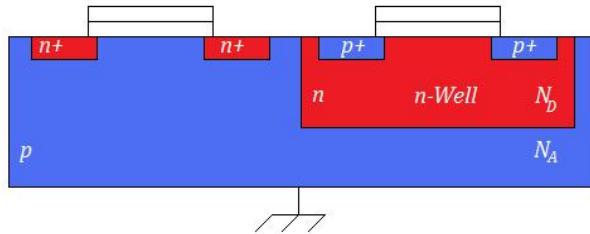


Figura 29.1. Realizzazione di un CMOS tramite il principio di compensazione. La tasca di tipo *n* è autoisolata dal substrato per via della polarizzazione.

29.3. Analisi del CMOS

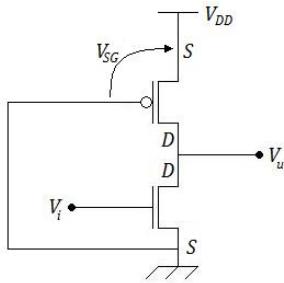
Nel Capitolo 28 abbiamo notato che il transistore di pull-up può solo funzionare in regione lineare o di saturazione. Per completezza riportiamo quanto già ottenuto.

Consideriamo il circuito di Figura 29.2 e cerchiamone la caratteristica ingresso-uscita.

Vogliamo che la rete di pull-up sia sempre accesa. Dunque deve essere:

$$V_{SG} > |V_{Tp}|$$

Allora è sufficiente agganciare il gate del *pMOS* al potenziale di terra. Il circuito è chiamato *pseudo nMOS*.

Figura 29.2. Realizzazione della rete di pull-up con un *p*MOS.

29.3.1. Considerazioni iniziali

L'*n*MOS è in interdizione quando risulta:

$$V_{GS} = V_i < V_{Tn}$$

mentre satura quando è:

$$V_{GS} < V_{DS} + V_{Tp} \implies V_u > V_i - V_{Tn}$$

Per quanto riguarda il *p*MOS invece non potremo mai essere in interdizione in quanto:

$$V_{SG} - V_{DD} > |V_{Tp}|$$

non può mai essere verificata (il gate è connesso al potenziale di terra). Siamo invece in saturazione quando è:

$$V_{SG} < V_{SD} + |V_{Tp}| \implies V_u < |V_{Tp}|$$

29.3.2. *n*MOS in interdizione

Quando il transistore *n*MOS è interdetto risulta:

$$I_{Dn} = 0 \implies I_{Dp} = 0$$

Supponiamo che il *p*MOS sia in regione lineare. Allora:

$$\beta_p \left[(V_{SG} - V_{Tp}) V_{SD} - \frac{V_{SD}^2}{2} \right] = 0 \implies \beta_p V_{SD} \left[V_{SG} - V_{Tp} - \frac{V_{SD}}{2} \right] = 0$$

da cui segue che è:

$$\begin{cases} V_{SD} = 0 \\ V_{SD} = V_u - V_{DD} \end{cases} \implies V_u = V_{DD}$$

che verifica la condizione di funzionamento lineare del *p*MOS.

Inoltre, dalle equazioni che descrivono la corrente I_{Dp} e dalla sovrapposizione del loro grafico con il grafico della famiglia di curve descriventi la corrente I_{Dn} notiamo che abbiamo nuovamente un invertitore.

29.3.3. *n*MOS in saturazione

Per continuità continuiamo a supporre che sia il *p*MOS sia in regione lineare. Uguagliando le correnti abbiamo:

$$\frac{\beta_n}{2} (V_u - V_{Tn})^2 = \beta_p \left[(V_{DD} - |V_{Tp}|) (V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right]$$

che è un'equazione di secondo grado:

$$V_{DD} - V_u = (V_{DD} - |V_{Tp}|) \pm \sqrt{(V_{DD} - |V_{Tp}|)^2 - \frac{\beta_n}{\beta_p} (V_i - V_{Tp})^2}$$

Ancora una volta dobbiamo scegliere solo la soluzione positiva della radice. Allora l'uscita è

$$V_u = |V_{Tp}| + \sqrt{(V_{DD} - |V_{Tp}|)^2 - \frac{\beta_n}{\beta_p} (V_i - V_{Tp})^2}$$

e, nuovamente, dipende dal rapporto tra i fattori di forma.

29.3.4. Considerazioni finali

La caratteristica dello pseudo *n*MOS è riportata in Figura 29.3. Dal grafico si comprende il motivo del nome: il *p*MOS si comporta come faceva il transistore *n*MOS.

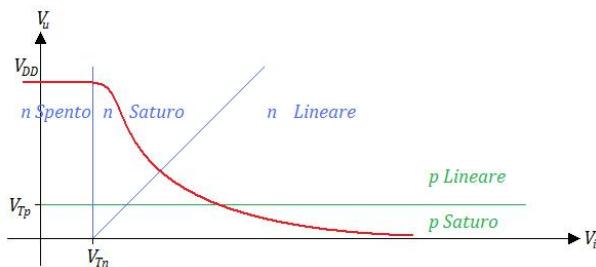


Figura 29.3. Andamento qualitativo della caratteristica ingresso-uscita dello pseudo nMOS.

29.4. Invertitori MOS

In generale, tutti gli invertitori MOS visti fino ad ora hanno un comportamento riassumibile come segue.

Quando l'entrata assume il valore basso, la rete di pull-down si spegne e lascia campo libero alla rete di pull-up: la corrente I_D è nulla, l'uscita è $V_u = V_{DD}$ e la potenza dissipata P è nulla.

Quando l'entrata assume il valore alto, la rete di pull-down si accende: la corrente I_D è maggiore di zero, l'uscita tende ad un valore basso dipendente dai fattori di forma e la potenza dissipata è diversa da zero.

Tutte le reti viste fino ad ora presentano una forte dipendenza dai fattori di forma dai quali dipende il guadagno. Ma dal guadagno dipende proporzionalmente l'escursione logica da cui dipende, a sua volta in modo proporzionale, il margine di immunità ai disturbi.

Possiamo allora distinguere due situazioni: quando il pull-down si spegne siamo in una situazione ideale; quando il pull-down si accende spremiamo energia per mantere la più alta escursione logica possibile.

29.5. Invertitori pMOS

Possiamo allora pensare all'utilizzo di un invertitore duale realizzato con un pMOS (Figura 29.4).

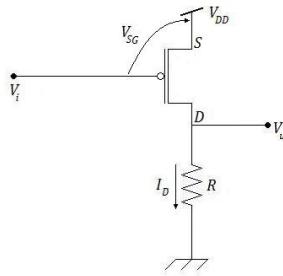


Figura 29.4. Analisi di un invertitore pMOS a carico passivo.

29.5.1. Transistore pMOS in interdizione

Il transistore è spento quando è:

$$V_{SG} < |V_{Tp}| \implies V_i > V_{DD} - |V_{Tp}|$$

In questa condizione la corrente di drain I_D è nulla. Conseguentemente, per la Legge di Ohm, è:

$$V_u = RI_D = 0$$

29.5.2. Transistore pMOS in saturazione

La condizione di saturazione si ottiene quando abbiamo:

$$V_u < V_i + |V_{Tp}|$$

In saturazione la corrente è:

$$I_D = \frac{\beta_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

e quindi porta ad avere in uscita:

$$V_u = RI_D = \frac{\beta_p R}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

che è un'arco di parabola.

29.5.3. Transistore pMOS in regione lineare

Ci troviamo in regione lineare quando è:

$$V_u > V_i + |V_{Tp}|$$

✓15

La corrente è esprimibile come:

$$I_D = \beta_p \left[(V_{DD} - V_i - |V_{Tp}|) (V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right]$$

che ci consente di esprimere l'uscita come:

$$V_u = RI_D = R\beta_p \left[(V_{DD} - V_i - |V_{Tp}|) (V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right]$$

Nuovamente, per la complessità dell'equazione, è conveniente ricavare V_i (V_u) e ribalzarne successivamente il grafico.

$$\frac{1}{\beta_p R} - \frac{V_{DD}}{\beta_p R (V_{DD} - V_u)} = -(V_{DD} - V_i - |V_{Tp}|) + \frac{V_{DD} - V_u}{2}$$

$$V_{DD} - V_i - |V_{Tp}| = \frac{V_{DD} - V_u}{2} - \frac{1}{\beta_p R} + \frac{V_{DD}}{\beta_p R (V_{DD} - V_u)}$$

$$V_i = \underbrace{V_{DD} - |V_{Tp}| + \frac{1}{\beta_p R}}_{\text{Retta orizzontale costante.}} - \underbrace{\frac{V_{DD} - V_u}{2}}_{\text{Retta a pendenza negativa.}} - \underbrace{\frac{V_{DD}}{\beta_p R (V_{DD} - V_u)}}_{\text{Ramo di iperbole.}}$$

29.5.4. Considerazioni finali

Il grafico della caratteristica ingresso-uscita del circuito in esame è riportato in Figura 29.5.

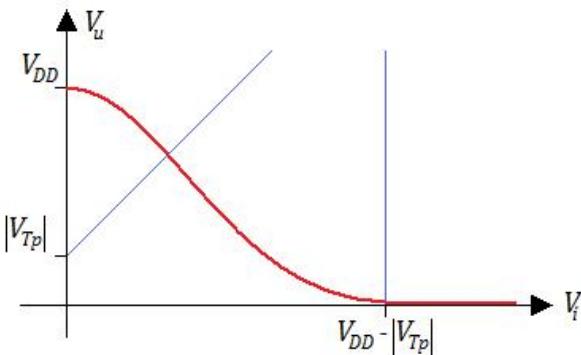


Figura 29.5. Caratteristica ingresso-uscita di un *p*MOS a carico passivo.

Confrontando la caratteristica del *p*MOS a carico resistivo con quella del suo analogo a canale *n*, notiamo che è esattamente duale.

In questa rete, il pull-down è realizzato spegnendo il transistore ed otteniamo una uscita esattamente nulla. Di contro, l'uscita alta è ottenuta facendo scorrere corrente sulla resistenza *R*.

Quando l'entrata assume il valore alto, la rete di pull-up si spegne e lascia campo libero alla rete di pull-up: la corrente I_D è nulla, l'uscita è $V_u = V_{DD}$ e la potenza dissipata P è nulla.

Quando l'entrata assume il valore basso, la rete di pull-up si accende: la corrente I_D è maggiore di zero, l'uscita tende ad un valore basso dipendente dai fattori di forma e la potenza dissipata è diversa da zero.

Nel *p*MOS la rete di pull-up è una rete attiva in grado di spegnersi mentre la rete di pull-down è passiva.

29.6. Realizzazione di un CMOS

Visti i vantaggi delle due reti *n*MOS e *p*MOS, realizziamo una rete pienamente complementare: l'invertitore FCMOS (Fully Complementary MOS) riportato in Figura 29.6.



29.6.1. Considerazioni iniziali

Per come è fatto il circuito, possiamo dire che è certamente:

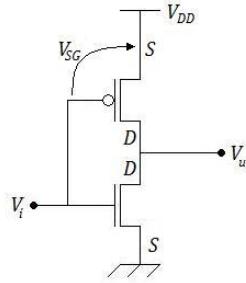


Figura 29.6. Realizzazione di un FCMOS.

$$\begin{cases} V_{GSn} = V_i \\ V_{DSn} = V_u \\ V_{SGp} = V_{DD} - V_i \\ V_{SDp} = V_{DD} - V_u \end{cases}$$

Ipotizziamo inoltre che sia no β_n e β_p e:

$$\begin{cases} V_{Tn} > 0 \\ V_{Tp} < 0 \end{cases}$$

$$V_{DD} > |V_{Tp}| + V_{Tn}$$

29.6.2. Interdizione

Quando il transistore **nMOS** è in interdizione abbiamo:

$$V_{GSn} = V_i < V_{Tn}$$

$$\begin{cases} I_{Dn} = 0 \\ I_{Dn} = I_{Dp} \end{cases} \implies I_{Dp} = 0$$

Per quanto riguarda il **pMOS** la condizione è invece:

$$V_i > V_{DD} - |V_{Tp}|$$

che è compatibile con i nostri scopi poiché $V_{DD} - |V_{Tp}|$ si trova oltre il punto V_{Tn} e quindi consente la contemporanea accensione di entrambi i MOS.

29.6.3. Saturazione

Quando il transistore **nMOS** è in saturazione abbiamo:

$$V_{GSn} > V_{DSn} + V_{Tn} \implies V_u > V_i + V_{Tn}$$

Per quanto riguarda il **pMOS** la condizione è invece:

$$V_u < V_i - |V_{Tp}|$$

29.6.4. Regioni di funzionamento

Dal grafico possiamo ridurre lo studio delle regioni di funzionamento.

29.6.4.1. $V_i < V_{Tn}$

Quando la tensione di ingresso è minore della tensione di soglia V_{Tn} ($I_{Dn} = I_{Dp} = 0$), il pMOS è certamente acceso. Supponiamo che sia in regione lineare. Allora, per i ragionamenti già effettuati è:

$$V_{SDp} = 0 \implies V_u = V_{DD}$$

che è il massimo valore possibile.

L'ipotesi fatta è verificata per:

$$V_u = V_{Tn} + |V_{Tp}|$$

che, per ipotesi, è sempre verificata.

Possiamo già dire che, quando l'ingresso è alto, l'uscita assume il massimo valore possibile senza dissipare potenza ed indipendentemente dai fattori di forma.

29.6.4.2. $V_i > V_{DD} - |V_{Tp}|$

Quando la tensione di ingresso è sufficientemente elevata da spegnere il pMOS ($I_{Dn} = I_{Dp} = 0$, l'nMOS è certamente acceso. Ipotizziamo che l'nMOS sia in regione lineare.

$$V_{DSn} = 0 \implies V_u = 0$$

L'ipotesi è soddisfatta se è:

$$V_{DD} - |V_{Tp}| < V_{DD} - (V_{Tn} + |V_{Tp}|)$$

che è verificata per l'ipotesi che la somma delle tensioni di soglia sia inferiore a V_{DD} .

Allora quando in ingresso abbiamo un valore alto, l'uscita assume il valore nullo senza dissipare potenza ed indipendentemente dai fattori di forma.

29.6.4.3. Regione 2

Nella Regione 2 di Figura 29.7, entrambi i transistori sono saturi. La corrente è allora:

$$\frac{\beta_n}{2} (V_i - V_{Tn})^2 = \frac{\beta_p}{2} (V_{DD} - V_i - |V_{Tp}|)^2$$

Dal momento che V_u non è presente nell'uguaglianza, la tensione di ingresso sarà costante.

$$\sqrt{\frac{\beta_n}{\beta_p}} (V_i - V_{Tn}) = V_{DD} - V_i - |V_{Tp}|$$

Definendo ora:

$$\sqrt{\frac{\beta_n}{\beta_p}} = \theta$$

abbiamo:

$$V_i \cdot (\theta + 1) = V_{DD} - |V_{Tp}| + \theta V_{Tn} \implies V_i = \frac{V_{DD} - |V_{Tp}| + \theta V_{Tn}}{\theta + 1}$$

che è costante. Allora nella Regione 2, la caratteristica ingresso-uscita sarà una retta verticale costante.

Allora il guadagno è infinito indipendentemente dal rapporto tra i fattori di forma.

Il valore V_i^* discrimina tra le altre due regioni di funzionamento: per $V_i < V_i^*$ il transistore si tipo n satura, mentre per $V_i > V_i^*$ il transistore n è in regione lineare.

29.6.5. Considerazioni finali

Il grafico è riportato in Figura 29.7.

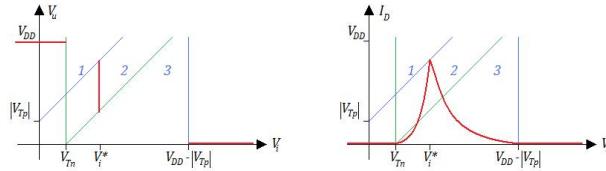


Figura 29.7. Caratteristica ingresso-uscita dell'invertitore FCMOS.

In una rete di questo tipo il pull-up ed il pull-down non potranno mai essere contemporaneamente accesi. Il fattore di forma quindi non influenza il comportamento dell'uscita. Questo dispositivo può dunque essere costruito con i più piccoli componenti possibili. Inoltre, quando il dispositivo non commuta, non viene consumata potenza.

Dal momento che l'invertitore così realizzato non dipende dai fattori di forma è detto *invertitore ratioless*. Gli invertitori ratioless sono molto piccoli e non consumano potenza quando non commutano.

Capitolo 30

Lezione del 16 maggio 2011

30.1. Introduzione

Nel Capitolo 29 abbiamo introdotto gli invertitori ratioless (realizzati con logiche CMOS) in cui l'escursione non dipende dai fattori di forma ed il consumo di energia in condizioni statiche (cioè quando il dispositivo non commuta) è nullo.

In questo Capitolo completeremo l'analisi del circuito CMOS.

30.2. Margine di immunità ai disturbi

Riprendiamo il circuito di Figura 30.1 e cerchiamone il margine di immunità ai disturbi.

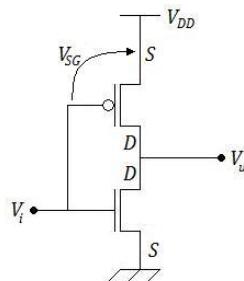


Figura 30.1. Realizzazione di un FCMOS.

30.2.1. Considerazioni iniziali

Sappiamo che il margine di immunità ai disturbi è il più piccolo tra il margine alto ed il margine basso. Con le logiche di tipo CMOS si ha la possibilità di controllare il piazzamento della retta verticale di V_u (V_i) grazie ai fattori di forma.

Dalle simulazioni, risulta evidente che i due margini sono uguali solo quando i transistori sono pienamente complementari, ossia quando è:

$$\begin{cases} V_{Tn} = |V_{Tp}| = V_T \\ \beta_n = \beta_p = \beta \end{cases}$$

Questa condizione non implica l'uguaglianza fisica dei transistori: dal momento che le lacune hanno una mobilità più bassa rispetto agli elettroni l'ingombro del transistori pMOS sarà maggiore.

Imponiamo la condizione di complementarietà:

$$\rightarrow C_{OX}\mu_n \left(\frac{W}{L} \right)_n = C_{OX}\mu_p \left(\frac{W}{L} \right)_p \implies \frac{\left(\frac{W}{L} \right)_n}{\left(\frac{W}{L} \right)_p} = \frac{\mu_n}{\mu_p}$$

ed otteniamo:

$$V_i^* = \frac{V_{DD}}{2}$$

30.2.2. Calcolo dei margini

Il punto $(V_{IL\ Max}; V_{OH\ Min})$ si trova necessariamente nella regione in cui il transistore di tipo p è lineare ed il transistore n è saturo. Analogamente il punto $(V_{IH\ Min}; V_{OL\ Max})$ si trova nella regione in cui il pMOS è saturo ed il transistore n è lineare. Possiamo calcolare solo uno dei due casi poiché l'altro sarà simmetrico.

Consideriamo allora il punto $(V_{IH\ Min}; V_{OL\ Max})$:

$$I_{DpSat} = I_{DnLin} \implies \frac{\beta}{2} (V_{DD} - V_i - V_T)^2 = \beta \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right]$$

Il punto si trova sulla curva in corrispondenza di:

$$\frac{dV_u}{dV_i} = -1$$

e quindi non è sulla porzione verticale della caratteristica. Derivando ricaviamo:

$$2V_u - 2V_i + V_{DD} = 0 \implies V_u = V_i - \frac{V_{DD}}{2}$$

Allora il punto è identificato da:

$$\begin{cases} \frac{\beta}{2} (V_{DD} - V_i - V_T)^2 = \beta \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right] \\ V_u = V_i - \frac{V_{DD}}{2} \end{cases}$$

che, sostituendo, porta a:

$$(V_{IH\ Min}; V_{OL\ Max}) = \frac{1}{8} (5V_{DD} - 2V_T)$$

Analogamente, per $(V_{IL\ Max}; V_{OH\ Min})$, sarà:

$$(V_{IL\ Max}; V_{OH\ Min}) = \frac{1}{8} (3V_{DD} - 2V_T)$$

30.3. Generalizzazione dell'approccio

Vogliamo ora generalizzare l'approccio CMOS a funzioni logiche universali (in particolare, NAND e NOR) senza perdere la qualità di ratioless? La risposta ovviamente è sì. e da...

30.3.1. Realizzazione del NOR con logica nMOS

Ricordando la generalizzazione utilizzata per i BJT, realizziamo il circuito di Figura 30.2 dove usiamo un pull-down a nMOS.

In questo circuito abbiamo riportato in Tabella 30.1 che è una porta NOR

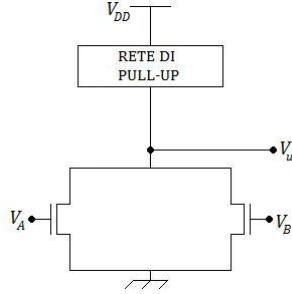


Figura 30.2. Realizzazione di un NOR con una rete di pull-down realizzata a nMOS.

V_A	V_B	V_u
L	L	H
L	H	L
H	L	L
H	H	L

Tabella 30.1. Tabella di verità di una porta NOR realizzata con una rete di pull-down a nMOS.

30.3.2. Realizzazione del NOR con logica CMOS

Vogliamo ora realizzare una porta NOR con soli transistori CMOS.

La porta NOR ha espressione:

$$y = \overline{a + b} \implies \begin{cases} y = 1 & a + b = 0 \\ y = 0 & a + b = 1 \end{cases}$$

Cioè il NOR porta l'uscita al valore basso se uno degli ingressi è alto. Allora possiamo riprendere la rete di pull-down dal circuito precedente. Per quanto riguarda la rete di pull-up, essa deve accendersi quando entrambi gli ingressi sono bassi. Allora la rete di pull-down si può realizzare come la serie di due transistori pMOS

Realizziamo il circuito di Figura 30.3 che ha la Tabella di Verità riportata in Tabella 30.2.

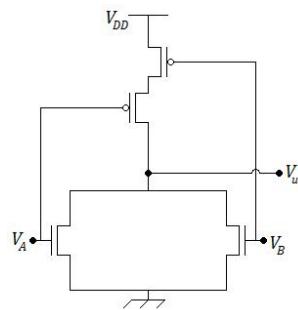


Figura 30.3. Realizzazione di un NOR con logiche CMOS.

Questo NOR presenta tutte le caratteristiche viste nell'invertitore CMOS ed è una famiglia logica compelta. La generalizzazione ad n ingressi è inoltre molto semplice: si aggiunge un transistore di tipo n in parallelo al pull-down ed un transistore p in serie al pull-up.

V_A	V_B	PD	PU	V_u
L	L	OFF	ON	H
L	H	ON	OFF	L
H	L	ON	OFF	L
H	H	ON	OFF	L

Tabella 30.2. Tabella di verità di una porta NOR realizzata con una rete di pull-down a nMOS.

30.3.3. Realizzazione del NAND con logica CMOS

Realizziamo ora la porta logica NAND con transistori CMOS. Il NAND è definito come:

$$y = \overline{a \cdot b} \Rightarrow \begin{cases} y = 0 & a \cdot b = 1 \\ y = 1 & a \cdot b = 0 \end{cases}$$

Analogamente a quanto visto in precedenza, la rete di pull-down del NAND si realizza facilmente con una serie di transistori di tipo n e la rete di pull-up si realizza facilmente usando il parallelo di transistori di tipo p (Figura 30.4).

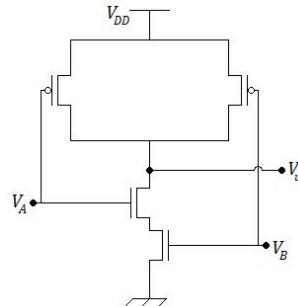


Figura 30.4. Realizzazione di un NAND con logiche CMOS.

Anche in questo caso la generalizzazione a più ingressi richiede solo l'aggiunta di una coppia di transistori per ogni nuovo ingresso.

30.3.4. Considerazioni

Per quanto detto nei Paragrafi 30.3.2 e 30.3.3, risulta evidente che la logica CMOS è estremamente potente dal momento che consente di realizzare sia logiche NOR sia logiche NAND. Questa universalità consente la realizzazione di qualsiasi tipo di circuito.

Ad esempio:

$$y = \overline{a \cdot b + c}$$

richiede di realizzare la rete di Figura 30.5.

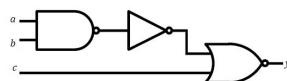


Figura 30.5. Realizzare una logica di questo tipo senza CMOS richiede dieci transistori.

Una rete di questo tipo però richiede dieci transistori. Possiamo però sfruttare un sistema alternativo basandoci sulla descrizione delle reti di pull-up e di pull-down.

$$\begin{cases} y = 0 & a \cdot b + c = 1 \\ y = 1 & a \cdot b + c = 0 \end{cases} \Rightarrow \begin{cases} y = 0 & \begin{cases} a = 1 \\ b = 1 \\ c = 1 \vee c = 0 \end{cases} \\ y = 1 & \begin{cases} c = 0 \\ a = 0 \vee b = 0 \end{cases} \end{cases}$$

Il circuito così realizzato (Figura 30.6), cioè mappando la funzione logica su una rete di pull-up e di pull-down, richiede solo sei transistori (contro i dieci precedenti) e mantiene tutte le caratteristiche precedenti.

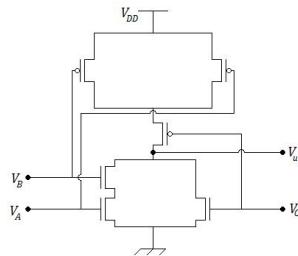


Figura 30.6. Realizzazione di una piccola rete logica con sole logiche CMOS.

Si noti che i paralleli al pull-down sono serie al pull-up e viceversa. Si noti inoltre che, per qualsiasi relazione di logica combinatoria del tipo:

$$y = \overline{a \cdot b + c}$$

è possibile realizzare la rete che la descrive con un numero di transistori pari al doppio delle variabili della relazione secondo la legge seguente.

Ogni somma viene mappata come un parallelo al pull-down ed una serie al pull-up. Ogni prodotto è mappato come una serie al pull-down ed un parallelo al pull-up.

Questa capacità del CMOS è di estrema importanza nella realizzazione dei circuiti integrati poiché consente una grande riduzione dei costi, delle dimensioni e del numero di componenti. Inoltre è possibile progettare la funzione da realizzare agendo direttamente sui transistori.

Resta ora da valutare le prestazioni della rete CMOS:

- ▷ velocità di commutazione;
- ▷ consumo in commutazione;
- ▷ costo (dimensioni, numero di transistori).

Capitolo 31

Lezione del 17 maggio 2011

31.1. Introduzione

Nel Capitolo 30 abbiamo studiato i margini di immunità ai disturbi delle logiche CMOS ed abbiamo dimostrato come queste possano realizzare qualsiasi funzione logica a partire dalle porte NAND e NOR. Abbiamo inoltre definito una regola costruttiva generale per la realizzazione delle funzioni logiche.

Nel presente Capitolo analizzeremo le prestazioni delle logiche CMOS.

31.2. Prestazioni

Le prestazioni di una logica si possono misurare in tre modi:

- ▷ la velocità;
- ▷ il consumo di potenza;
- ▷ il costo.

In particolare, il costo può essere una prestazione estremamente variabile e per tale ragione tenderemo a misurare il costo come l'ingombro del circuito che è una misura oggettiva e facilmente accessibile.

31.3. Capacità parassite

Iniziamo valutando la velocità o, alternativamente, il ritardo di propagazione. Per semplicità riferiamoci ad un invertitore CMOS (Figura 31.1) e valutiamo il tempo necessario all'uscita per rispondere ad una variazione dell'ingresso.

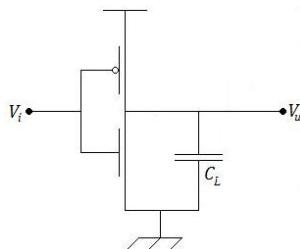


Figura 31.1. Invertitore CMOS.

Abbiamo in precedenza definito il tempo di commutazione come l'istante in cui il valore di uscita è pari alla metà dell'escursione.

Il transitorio di commutazione è certamente presente poiché la commutazione richiede lo spostamento di carica. Questo fatto è evidente perché ogni connessione tra metallo e semiconduttore ed ogni filo metallico hanno una capacità parassita propria; inoltre il transistore MOS nasce come un condensatore anomalo che presenta la serie tra la capacità dell'ossido (C_{OX}) e del bulk (C_B). Ancora, le regioni di drain e di source introducono nuove capacità di giunzione (C_{jS} e C_{jD}) e la sovrapposizione tra le tasche di drain e source ed il gate introduce due capacità di overlap o di sovrapposizione (C_{jGS} e C_{jGD}).

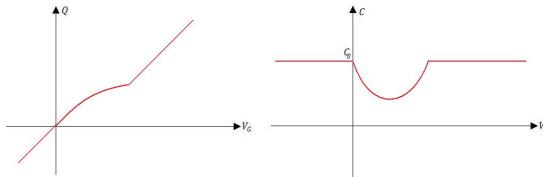


Figura 31.2. Andamento di carica e capacità in un CMOS.

Le Figure 31.3 e 31.4 mostrano tutte le capacità che entrano in gioco in un CMOS. La Tabella Tabella 31.1 mostra infine la complessità del dispositivo (le capacità parassite variano infatti in base alla regione di funzionamento). Anche nel caso, estremamente semplice, del circuito di Figura 31.5 abbiamo una ventina di capacità parassite dovute ai MOS cui vanno aggiunte le capacità parassite dei fili.

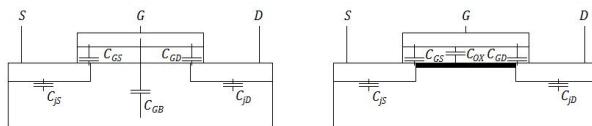


Figura 31.3. Tutte le capacità parassite di un CMOS nel caso in cui il canale sia formato (a destra) o meno (a sinistra).

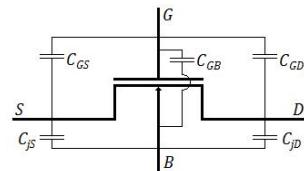


Figura 31.4. Tutte le capacità parassite di un CMOS in una rappresentazione circuitale.

È tuttavia possibile dimostrare che tutto può essere ricondotto ad un'unica capacità di carico che considera tutte le componenti evidenziate in precedenza composte opportunamente (Figura 31.5).

La capacità complessiva di carico (*load*) C_L è considerabile come:

$$C_L = C_{MOS} + C_{wire} = \alpha C_{OX} \frac{W}{L} + C_{wire}$$

ed il suo valore varia moltissimo a seconda delle situazioni: se il cavo connette due CMOS in un unico circuito possiamo trascurarne la capacità mentre se porta i dati a zone lontane la capacità del cavo può arrivare ad essere dominante sulla capacità del MOS. Il coefficiente α indica quanti transistori si trovano nella rete.

31.4. Commutazione LH

Calcoliamo ora il tempo di propagazione associato alla commutazione istantanea dell'ingresso dal valore basso al valore alto (Figura 31.6).

	Interdizione	Lineare	Saturazione
C_{GB}	< 0	≈ 0	≈ 0
C_{GS}	$C_{Overlap}$	$C_{Overlap} + C_0/2$	$> C_{Overlap} + C_0/2$
C_{GD}	$C_{Overlap}$	$C_{Overlap} + C_0/2$	$< C_{Overlap} + C_0/2$

Tabella 31.1. Tabella di verità di una porta NOR realizzata con una rete di pull-down a nMOS.

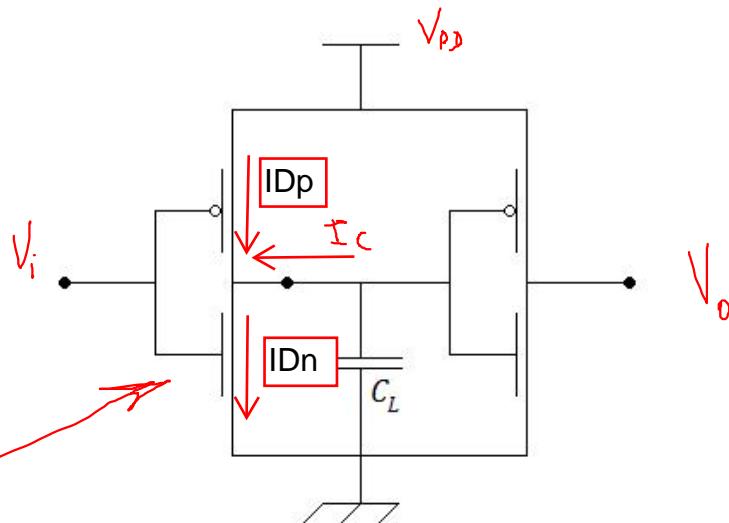


Figura 31.5. La capacità C_L riassume tutte le capacità parassite presenti in una rete CMOS.

Quando l'ingresso è costante possiamo utilizzare la caratteristica statica vista in precedenza.

$$t < 0 \implies V_i = 0 \implies V_u = V_{DD} \wedge C_L = V_{DD}$$

$$t \rightarrow +\infty \implies V_i = V_{DD} \implies V_u = 0 \wedge C_L = 0$$

Quando il tempo è $t = 0^+$ la commutazione dell'ingresso è istantanea. L'uscita però è la tensione ai capi della capacità C_L e non potrà commutare istantaneamente:

$$V_u(0^-) = V_u(0^+) = V_{DD}$$

Mappando questo valore sulla caratteristica statica $V_u(V_i)$ notiamo che si trova fuori dalla curva.

Le correnti sono allora:

$$\begin{cases} I_{Dn} + I_C = I_{Dp} \\ V_{Tp} = V_{DD} - V_i = 0 \end{cases} \implies I_{Dn} = -I_C$$

dove si è sfruttato il fatto che sia $I_D = I_C$ e $V_i = V_{DD}$. Dunque il transistore di pull-down svuota la capacità C_L . Possiamo allora scrivere:

$$I_{Dn} = -C_L \cdot \frac{dV_u}{dt}$$

La corrente I_{Dn} presenta espressioni differenti per le differenti regioni di funzionamento del transistore di pull-down. Il transitorio in esame è allora il transitorio per passare dal punto C al punto B e presenta un tratto, da V_{DD} a $V_{DD} - V_{Tn}$ in saturazione ed uno, da $V_{DD} - V_{Tn}$ a $\frac{V_{DD}}{2}$ compiuto in regione lineare.



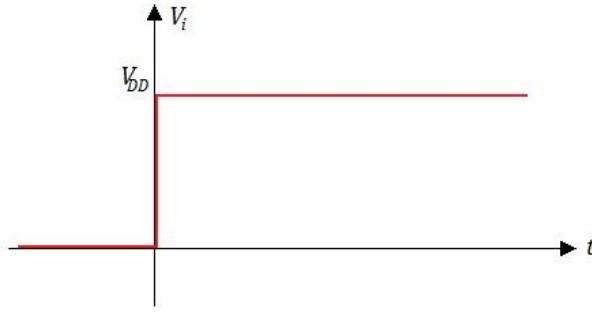


Figura 31.6. Commutazione dell'ingresso dal valore basso al valore alto.

31.4.1. Tratto $V_{DD} < V_u < V_{DD} - V_{Tn}$

$$\frac{\beta_n}{2} (V_{GS} - V_{Tn})^2 = -C_L \frac{dV_u}{dt}$$

Siccome V_{GS} è pari a V_{DD} possiamo riscrivere:

$$\frac{\beta_n}{2} (V_{DD} - V_{Tn})^2 = -C_L \frac{dV_u}{dt}$$

Allora la derivata di V_u è una costante. Separando le variabili, otteniamo:

$$dt = -\frac{2C_L}{\beta_n (V_{DD} - V_{Tn})^2} \cdot dV_u$$

ed integrando ricaviamo:

$$\int_0^t dt = \int_{V_u(0)=V_{DD}}^{V_u(t)} \frac{-2C_L}{\beta_n (V_{DD} - V_{Tn})^2} \cdot dV_u$$

$$V_u = V_{DD} - \frac{\beta_n (V_{DD} - V_{Tn})^2}{2C_L} \cdot t$$

che è l'espressione di una retta a pendenza negativa. Questo tratto termina a $t = t_{Sat}$ ossia quando V_u raggiunge il valore di limite.

$$V_u(t_{Sat}) = V_u \rightarrow V_{DD} - V_{Tn}$$

$$t_{Sat} = \frac{2C_L}{\beta_n} \cdot \frac{V_{Tn}}{(V_{DD} - V_{Tn})^2}$$

31.4.2. Tratto $V_{DD} - V_{Tn} < V_u < \frac{V_{DD}}{2}$

In questo tratto il transistore di pull-down è in regione lineare. Allora l'equazione differenziale è:

$$\boxed{IDn} \quad \boxed{IC}$$

$$\beta_n \left[(V_{DD} - V_{Tn}) V_u - \frac{V_u^2}{2} \right] = -C_L \frac{dV_u}{dt}$$

Separando le variabili e raccogliendo è:

$$dt = \frac{C_L \cdot dV_u}{\beta_n \cdot \frac{V_u}{2} \cdot [2(V_{DD} - V_{Tn}) - V_u]}$$

Definendo poi $K \triangleq 2(V_{DD} - V_{Tn})$ possiamo scrivere:

$$dt = \frac{2C_L}{\beta_n} \cdot \frac{1}{V_u (K - V_u)} dV_u$$

Integrando e ricordando che $V(t_{Sat}) = V_{DD} - V_{Tn}$ e $V(t_{PHL}) = \frac{V_{DD}}{2}$ troviamo:

$$\int_{t_{Sat}}^{t_{PHL}} dt = \int_{V_{DD}-V_{Tn}}^{\frac{V_{DD}}{2}} \frac{2C_L}{\beta_n} \cdot \frac{1}{V_u(V_u-K)} \cdot dV_u$$

$$t_{PHL} - t_{Sat} = \frac{2C_L}{\beta_n} \cdot \int_{V_{DD}-V_{Tn}}^{\frac{V_{DD}}{2}} \frac{1}{V_u(V_u-K)} \cdot dV_u$$

Per semplificare i calcoli sfruttiamo la scomposizione in fratti semplici:

$$\frac{1}{V_u(V_u-K)} = \frac{1}{K} \cdot \left(\frac{1}{V_u-K} - \frac{1}{V_u} \right)$$

$$t_{PHL} - t_{Sat} = \frac{2C_L}{\beta_n} \cdot \frac{1}{K} \cdot \int_{V_{DD}-V_{Tn}}^{\frac{V_{DD}}{2}} \left(\frac{1}{V_u-K} - \frac{1}{V_u} \right) \cdot dV_u$$

Abbiamo allora:

$$t_{PHL} - t_{Sat} = \frac{2C_L}{\beta_n} \cdot \frac{1}{2(V_{DD}-V_{Tn})} \cdot \left[\ln \frac{V_u-K}{V_u} \right]_{V_{DD}-V_{Tn}}^{\frac{V_{DD}}{2}}$$

$$t_{PHL} - t_{Sat} = \frac{2C_L}{\beta_n} \cdot \frac{1}{2(V_{DD}-V_{Tn})} \cdot$$

$$\cdot \left[\ln \frac{\frac{V_{DD}}{2} - 2(V_{DD}-V_{Tn})}{\frac{V_{DD}}{2}} - \ln \frac{V_{DD}-V_{Tn}-2(V_{DD}-V_{Tn})}{V_{DD}-V_{Tn}} \right]$$

Semplificando e sfruttando opportunamente le proprietà dei logaritmi, otteniamo infine:

$$t_{PHL} - t_{Sat} = \frac{2C_L}{\beta_n} \cdot \frac{1}{2(V_{DD}-V_{Tn})} \cdot \left[\ln \frac{3V_{DD}-4V_{Tn}}{V_{DD}} \right]$$

che è un numero. Allora l'istante di commutazione è:

$$t_{PHL} = \frac{2C_L}{\beta_n} \cdot \frac{1}{2(V_{DD}-V_{Tn})} \cdot \left[\ln \frac{3V_{DD}-4V_{Tn}}{V_{DD}} \right] +$$

$$+ \underbrace{\frac{2C_L}{\beta_n} \cdot \frac{V_{Tn}}{(V_{DD}-V_{Tn})^2}}_{t_{Sat}}$$

Raccogliendo e semplificando nuovamente, ricaviamo:

$$t_{PHL} = \frac{2C_L}{\beta_n} \cdot \left[\frac{V_{Tn}}{(V_{DD}-V_{Tn})^2} + \frac{1}{2(V_{DD}-V_{Tn})} \cdot \ln \left(3 - \frac{4V_{Tn}}{V_{DD}} \right) \right]$$

$$t_{PHL} = \frac{C_L}{\beta_n} \cdot \frac{1}{(V_{DD}-V_{Tn})} \cdot \left[\frac{2V_{Tn}}{V_{DD}-V_{Tn}} + \ln \left(3 - \frac{4V_{Tn}}{V_{DD}} \right) \right]$$

che mette in risalto la dipendenza da alcuni parametri.

31.4.3. Considerazioni

La forma finale ottenuta:

$$t_{PHL} = \frac{C_L}{\beta_n} \cdot \frac{1}{(V_{DD}-V_{Tn})} \cdot \left[\frac{2V_{Tn}}{V_{DD}-V_{Tn}} + \ln \left(3 - \frac{4V_{Tn}}{V_{DD}} \right) \right]$$

mette in luce la dipendenza del transistorio dalle soglie e dai fattori di forma.

In particolare dovrà sempre essere verificata la condizione:

$$V_{DD} > |V_{Tp}| + V_{Tn}$$

Per individuare più facilmente le dipendenze possiamo considerare:

$$V_{DD} - V_{Tn} \approx V_{DD}$$

In questa ipotesi è:



$$t_{PHL} \approx \frac{C_L}{\beta_n V_{DD}} \cdot \ln(3) \approx \frac{C_L}{\beta_n V_{DD}}$$

Allora per ottenere il circuito il più veloce possibile dobbiamo rendere quanto più piccolo possibile il numeratore e quanto più piccolo possibile il denominatore.

La presenza della V_{DD} al denominatore si spiega facilmente ricordando che essa è l'alimentazione del transistore di pull-down e la corrente dipende dalla tensione in base ad una legge quadratica ed allora, pur incidendo sull'escursione da percorrere, incide in modo maggiore sulla corrente di scarica.

Riassumendo: un circuito veloce richiede capacità di carico ridotte, tensione di alimentazione elevata e β_n alto. L'aumento della velocità però incide sull'area occupata e sul consumo energetico.

Inoltre C_L può dipendere dal circuito. Considerando un circuito in cui C_L sia dominata da C_{MOS} abbiamo:



$$t_P = \frac{\alpha C_{OX} WL^2}{C_{OX} \mu_n W V_{DD}} = \frac{\alpha L^2}{\mu_n V_{DD}}$$

ed allora, se C_L è dominata dalle capacità intrinseche del MOS la soluzione consiste nel diminuire la lunghezza (la larghezza infatti non incide). Tipicamente si pone allora $L = L_{Min}$.

Capitolo 32

Lezione del 18 maggio 2011

32.1. Introduzione

Nel Capitolo 31 abbiamo iniziato l'analisi prestazionale delle logiche CMOS individuando un tempo di commutazione dell'uscita dal valore alto al valore basso indicato con t_{PHL} . In generale, quando C_{MOS} è dominante su C_{wire} , abbiamo definito:

$$t_P \approx \frac{C_L}{\beta V_{DD}}$$

dove C_L è la capacità di carico di un determinato nodo.

Abbiamo inoltre notato che l'aumento delle prestazioni si ottiene rendendo minima la lunghezza del dispositivo.

Nel presente Capitolo analizzeremo la situazione in cui C_{wire} è dominante su C_{MOS} .

32.2. C_{wire} dominante

Nel Capitolo 31 abbiamo analizzato il caso in cui C_{MOS} sia dominante su C_{wire} . Consideriamo ora il caso in cui sia C_{wire} dominante su C_{MOS} . Questa condizione si verifica sempre all'uscita del circuito integrato: una volta elaborato il segnale infatti il risultato deve essere portato ad altre zone del dispositivo (ad esempio ad un registro).

Le connessioni richiedono tuttavia dimensioni fisiche enormi rispetto a quelle del circuito integrato (passiamo da pochi micron a qualche millimetro) poiché devono essere in grado di resistere alle sollecitazioni meccaniche cui saranno sottoposti (Figura 32.1).



Figura 32.1. Le lamelle di collegamento tra il circuito integrato e l'esterno hanno dimensioni migliaia di volte maggiori rispetto a quelle interne ai MOSFET.

Una serie di invertitori che presentano una capacità di carico C_0 ad ogni connessione interna hanno un tempo di propagazione interno:

$$t_{P0} = \frac{C_0}{\beta_0 V_{DD}}$$

All'uscita avremo però una capacità C_L ed un tempo di propagazione esterno:

$$t_{PL} = \frac{C_L}{\beta_0 V_{DD}} = \frac{C_L}{C_0} \cdot \frac{C_0}{\beta_0 V_{DD}} = \frac{C_L}{C_0} \cdot t_{P0}$$

32.3. Approccio a buffer

Abbiamo in precedenza sottolineato come l'aumento di β non portasse ad alcun vantaggio: l'aumento di velocità del transistore i aumentava di pari passo il tempo di propagazione del transistore $i - 1$. Sul transistore di uscita però questo fatto non ha la stessa incidenza.

32.3.1. Buffer singolo

Realizzaizmo allora una serie in cui l'ultimo elemento, detto *stadio di buffer*, abbia dimensioni differenti rispetto agli altri transistori (Figura 32.2).

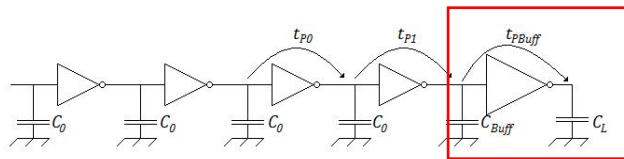


Figura 32.2. Serie di invertitori in cui l'ultimo stadio funge da buffer.

Consideriamo che i transistori standard abbiano dimensione W_0 e β_0 mentre che lo stadio di buffer abbia W_{Buff} e β_{Buff} . La capacità tra i nodi è C_0 mentre la capacità esterna è:

$$C_L = RC_0$$

con $R \gg 1$. Con queste ipotesi la larghezza del canale del buffer può essere espressa come:

$$W_{Buff} = KW_0$$

che con $K \gg 1$ porta ad un β_{Buff} pari a:

$$\beta_{Buff} = C_{OX}\mu \frac{W_{Buff}}{L_{Min}} = \underbrace{C_{OX}\mu}_{\beta_0} \underbrace{\frac{W_0}{L_{Min}} \cdot \frac{W_{Buff}}{W_0}}_K \implies \beta_{Buff} = K\beta_0$$

Allora il tempo di propagazione del buffer è:

$$t_{PBuff} = \frac{C_L}{\beta_{Buff}V_{DD}} = \frac{R}{K}t_{P0}$$

Siamo nuovamente al caso precedente: l'aumento di β velocizza C_L ma aumenta la capacità dello stadio precedente.

$$C_L = \alpha C_{OX} W_{Buff} L_{Min} = KC_0$$

Il tempo di propagazione dello stadio precedente al buffer è:

$$t_{P1} = \frac{C_{Buff}}{\beta_0 V_{DD}} = Kt_{P0}$$

Allora abbiamo aumentato di un fattore K il tempo di propagazione del penultimo stadio e diminuito dello stesso fattore il tempo di propagazione dell'ultimo stadio.

Quando il dimensionamento è uniforme abbiamo un tempo di propagazione complessivo:

$$t_{PTOT} = t_{P0} + Rt_{P0} = (1 + R)t_{P0}$$

mentre nel caso di dimensionamento non uniforme abbiamo:

$$t_{PTOTBuff} = Kt_{P0} + \frac{R}{K}t_{P0} = \left(K + \frac{R}{K} \right) t_{P0}$$

Graficamente (Figura 32.3) è evidente che esiste un K ottimo per il quale la velocità dell'ultimo stadio viene diminuita tanto quanto viene aumentata la velocità del penultimo stadio. Per ricavare tale valore deriviamo rispetto a K .

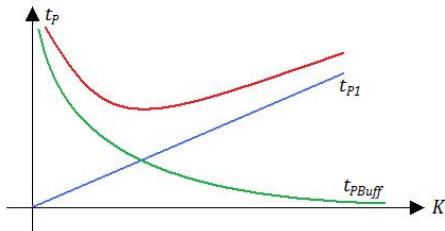


Figura 32.3. Grafico del tempo di propagazione al variare di K . Il valore ottimale è il valore di K per il quale si ha l'intersezione tra la linea di t_{P1} e la parabola di T_{PBuff} .

$$\frac{d \left(K + \frac{R}{K} \right) t_{P0}}{dK} = 0 \implies t_{P0} \left(1 + \frac{R}{K^2} \right) = 0$$

$$K = \sqrt{R}$$

Allora la condizione ottima è quella in cui si ha:

$$\begin{cases} t_{PBuff} = \sqrt{R}t_{P0} \\ t_{P1} = \sqrt{R}t_{P0} \end{cases} \implies t_{PTot} = 2 \cdot \sqrt{R} \cdot t_{P0}$$

L'utilizzo del buffer allora provoca una crescita a radice quadrata del ritardo in funzione di R contro la precedente crescita lineare (Figura 32.4).

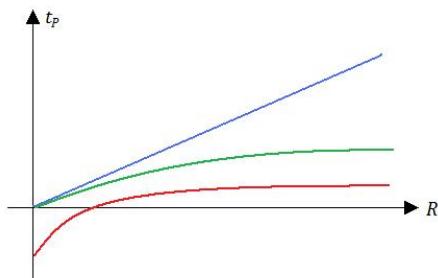


Figura 32.4. Andamento del ritardo per diversi tipi di buffer: in blu il ritardo in un circuito privo di buffer, in verde il ritardo con un solo stadio di buffer ed in rosso il ritardo con n stadi di buffer (la cui analisi si rimanda al Paragrafo 32.3.2).

Inoltre avevamo definito:

$$K = \frac{W_{Buff}}{W_0} = \frac{\beta_{Buff}}{\beta_0} = \frac{C_{Buff}}{C_0} = \sqrt{R}$$

ed allora è:

$$R = \frac{C_L}{C_0} = \frac{C_L}{C_{Buff}} \cdot \frac{C_{Buff}}{C_0} = \frac{C_L}{C_{Buff}} \cdot K \implies \frac{C_L}{C_{Buff}} = \frac{C_{Buff}}{C_0} \cdot \sqrt{R}$$

L'aumento di prestazioni incide però sulle dimensioni e quindi sul costo.

32.3.2. Buffer a n stadi

Se la soluzione ottenuta non fosse sufficiente è possibile migliorare ulteriormente le prestazioni a patto di utilizzare altra area. La soluzione ottenuta in precedenza può essere vista come la traslazione all'indietro del problema. Possiamo allora pensare di dimensionare in modo differente un gruppo di n stadi (Figura 32.5).

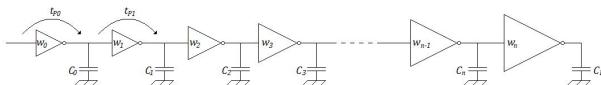


Figura 32.5. Buffer a n stadi.

In vincoli sono nuovamente:

$$C_L = RC_0$$

con $R \gg 1$. Per quanto detto prima il valore ottimale per la capacità C_i dell' i -esimo stadio si ha quando risulta:

$$\frac{C_i}{C_{i-1}} = \frac{C_{i+1}}{C_i}$$

Allora il valore ottimale si ha quando risulta:

$$\frac{C_1}{C_0} = \frac{C_2}{C_1} = \frac{C_3}{C_2} = \dots = \frac{C_{n-1}}{C_{n-2}} = \frac{C_L}{C_{n-1}}$$

Il ritardo sarà allora:

$$\begin{aligned} t_{P0} &= \frac{C_0}{\beta_0 V_{DD}} \\ t_{P1} &= \frac{C_1}{\beta_0 V_{DD}} = \frac{C_1}{C_0} \cdot \frac{C_0}{\beta_0 V_{DD}} = K \cdot t_{P0} \\ t_{P2} &= \frac{C_2}{\beta_1 V_{DD}} = \frac{C_2}{C_1} \cdot \frac{C_1}{C_0} \cdot \frac{\beta_0}{\beta_1} \cdot \frac{C_0}{\beta_0 V_{DD}} = K \cdot t_{P0} \\ t_{PTot} &= n \cdot K \cdot t_{P0} \end{aligned}$$

Possiamo poi individuare K a partire da R :

$$R = \frac{C_L}{C_0} = \frac{C_L}{C_{n-1}} \cdot \frac{C_{n-1}}{C_{n-2}} \cdot \dots \cdot \frac{C_1}{C_0} = K^n$$

In questo modo possiamo anche ricavare una espressione per n :

$$R = K^n \implies \ln(R) = n \ln(K) \implies n = \frac{\ln(R)}{\ln(K)}$$

Allora è:

$$t_{PTot} = \frac{\ln(R) \cdot K}{\ln(K)} \cdot t_{P0}$$

Come in precedenza deriviamo rispetto a K ed uguagliamo a zero per ottenere il tempo minimo:

$$\frac{dt_{PTot}}{dK} = 0 \implies \ln(R) \left(\frac{1}{\ln(K)} - \frac{K}{\ln^2(K)} \cdot \frac{1}{K} \right) t_{P0} = 0$$

Volendo il minimo e non potendo agire né su $\ln(R)$ né su t_{P0} che sono costanti, dobbiamo risolvere l'equazione:

$$\frac{1}{\ln(K)} - \frac{1}{\ln^2(K)} = 0 \implies \ln(K) = 1 \implies K = e^{\ln(K)} = e^1 \implies K = e$$

Quindi il rapporto dimensionale ottimo tra gli n stadi è una costante. Conseguentemente il numero ottimale di stadi è:

$$n = \ln(R)$$

ed essendo un logaritmo aumenta molto lentamente con l'argomento. Se ad esempio R è pari a diecimila, il numero ottimo di stadi di buffer è:

$$n = \ln(10000) \approx 9,4$$

e quindi useremo nove o dieci stadi.

Sostituendo otteniamo infine il tempo di propagazione complessivo:

$$t_{PTot} = e \cdot \ln(R) \cdot t_{P0}$$

L'estrema compressione del ritardo ottenuta richiede però un costo in area enormemente superiore (Figura 32.6) tanto che le zone adibite ai buffer e alle microsalvature possono occupare fino al 50% della superficie complessiva.

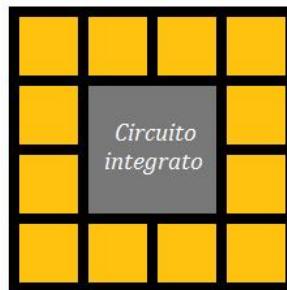
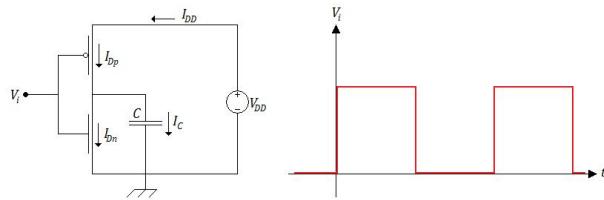


Figura 32.6. L'utilizzo di buffer ed interconnessioni può portare ad avere anche il 50% dell'area occupata da essi.

32.4. La potenza

La potenza è un secondo indicatore di prestazioni. Abbiamo già introdotto la differenza tra la potenza statica (che è approssimativamente nulla) e la potenza dinamica (che è la potenza necessaria alla commutazione).

Consideriamo allora il circuito di Figura 32.7 e cerchiamo di individuare la variazione della corrente I_{DD} quando l'ingresso varia secondo il grafico riportato.

Figura 32.7. Quando l'ingresso varia secondo il grafico di destra, la corrente I_{DD} varia.

Per la legge di Kirchoff è:

$$I_{DD} = I_{Dp} = I_{Dn} + I_C$$

La **potenza** è:

$$P_{DD} = V_{DD} I_{DD}$$

e risulta non nulla solo se la corrente sul transistor è non nulla.

Dal momento che non siamo in condizioni statiche, durante il transitorio sono accesi entrambi i transistori di pull-up e di pull-down. Inoltre la componente I_C esiste fino a quando la rete di pull-up alza l'uscita.

Poiché inoltre la potenza varia notevolmente nel tempo ci riferiremo alla **potenza media**:

$$P = \frac{1}{T} \cdot \int_0^T P_{DD} dt$$

Capitolo 33

Lezione del 23 maggio 2011

33.1. Introduzione

Nel Capitolo 32 abbiamo analizzato il ritardo di commutazione quando la capacità di carico è dominata dalla capacità delle connessioni.

Abbiamo inoltre visto come è possibile migliorare le prestazioni con l'aggiunta di uno o più stadi buffer.

Nel presente Capitolo analizzeremo nel dettaglio la potenza dissipata.

33.2. Potenza dissipata

Consideriamo un semplice invertitore CMOS (Figura 33.1).

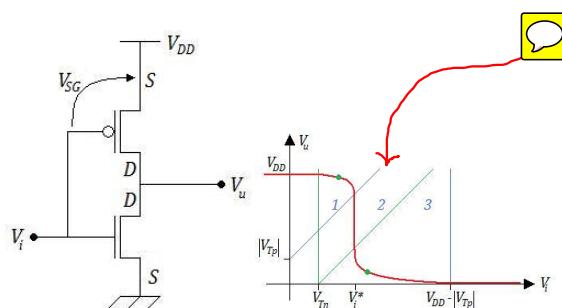


Figura 33.1. Invertitore CMOS e sua caratteristica statica.

Abbiamo notato in precedenza che, in condizioni statiche, la potenza dissipata è nulla.

$$P_{Statica} = 0$$

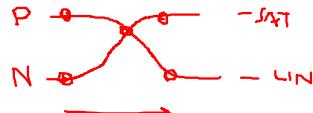
In condizione dinamica la potenza dissipata è però diversa da zero.

Fino a quando V_i è inferiore a V_{Tn} il transistore nMOS è spento mentre è acceso il pMOS. Per V_i maggiore di $V_{DD} - V_{Tp}$ siamo invece nella situazione duale: il pMOS è spento mentre il transistore nMOS è acceso (per comodità di trattazione consideriamo $V_{Tn} = V_{Tp} = V_T$).

Fino ad ora abbiamo considerato solo ingressi con variazione istantanea che ci consentivano di evitare il tratto intermedio della caratteristica. Nella realtà questo è tuttavia impossibile ed allora finiremo per passare anche nei tratti in cui la caratteristica non è piatta.

Allora dovremo distinguere tre condizioni:

- ▷ pMOS lineare e nMOS in saturazione (Regione 1);
- ▷ pMOS ed nMOS in saturazione (Regione 2);
- ▷ nMOS lineare e pMOS in saturazione (Regione 3).



Quindi quando l'ingresso è compreso tra V_{Tp} e $V_{DD} - V_T$ entrambi i transistori MOS sono attivi ed assorbono corrente. Si noti che in tale intervallo di tensioni almeno uno dei due transistori è sicuramente in saturazione.

Nella fase di commutazione da ingresso basso ad ingresso alto, fino a quando la tensione di ingresso è inferiore alla tensione V_T , la corrente è nulla poiché il

$$V_i \begin{cases} < V_T \\ > V_T \end{cases} \quad I=0$$

transistore *n*MOS è spento. Da V_T a V_u^* il transistore *n*MOS satura e la corrente ha andamento parabolico. Infine da V_u^* fino a V_{DD} il *p*MOS satura e la corrente ha un andamento ancora parabolico fino a $V_{DD} - V_T$ in cui torna a zero.

$$I_{DnSat} = \frac{\beta_n}{2} (V_{DD} - V_i)^2$$

Nella fase di commutazione inversa abbiamo invece un comportamento speculare.

$$I_{DpSat} = \frac{\beta_p}{2} (V_{DD} - V_T - V_i)^2$$

Allora abbiamo una situazione di transitorio dinamica in cui la potenza dissipata non è nulla.

$$P_{Dinamica} \neq 0$$

Questa potenza dinamica non nulla è chiamata *potenza di corto circuito* (P_{CC}).

33.2.1. Considerazioni preliminari

Prima di procedere con il calcolo analitico notiamo che la variazione della potenza del transitorio di ingresso, la corrente mantiene un andamento parabolico mentre il picco si sposta lungo l'asse del tempo. In particolare il picco della corrente dipende da V_u^* che a sua volta dipende dal dimensionamento dell'invertitore CMOS. Se V_u^* è pari a $V_{DD}/2$, esso si colloca esattamente a metà della transizione e cioè t^* è posto a metà tra t_1 e t_2 . In queste condizioni l'andamento delle correnti è perfettamente simmetrico rispetto a t^* . Conseguentemente la potenza media è:

$$\langle P \rangle = \frac{1}{T} \int_0^T P_{Ist} dt$$

dove P_{Ist} è la potenza istantanea data da:

$$P_{Ist} = V_{DD} \cdot i$$

Dunque la potenza media è l'area sottesa dal grafico della corrente.

$$\langle P \rangle = \frac{1}{T} \int_0^T [V_{DD} \cdot i(t)] dt$$

Inoltre, se il tempo di salita ed il tempo di discesa sono uguali, l'area sottesa dalla corrente di salita sarà pari all'area sottesa dalla corrente di discesa (Figura 33.2).

33.2.2. Calcolo di $\langle P_{CC} \rangle$

La potenza media su un periodo T è:

$$\langle P_{CC} \rangle = \frac{1}{T} \int_0^T P_{Ist} dt = \frac{1}{T} \int_0^T [V_{DD} \cdot i(t)] dt = \frac{V_{DD}}{T} \cdot \int_0^T i(t) dt$$

che può essere spezzato in una serie di integrali come:

$$\langle P_{CC} \rangle = \frac{V_{DD}}{T} \cdot \left[\underbrace{\int_0^{t_1} i(t) dt}_{=0} + \int_{t_1}^{t^*} i(t) dt + \int_{t^*}^{t_2} i(t) dt \right] +$$

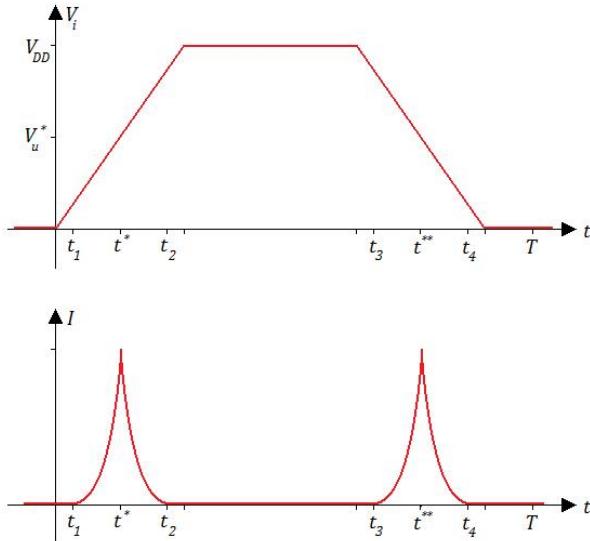


Figura 33.2. Variazione della corrente al variare della tensione di ingresso.

$$+ \frac{V_{DD}}{T} \cdot \left[\underbrace{\int_{t_2}^{t_3} i(t) dt}_{=0} + \underbrace{\int_{t_3}^{t^{**}} i(t) dt}_{=0} + \underbrace{\int_{t^{**}}^{t_4} i(t) dt}_{=0} + \underbrace{\int_{t_4}^T i(t) dt}_{=0} \right]$$

Per quanto detto in precedenza, se il tempo di salita (t_r) ed il tempo di discesa (t_f) sono uguali e V_u^* è pari a $\frac{V_{DD}}{2}$, risulta:

$$\langle P_{CC} \rangle = \frac{V_{DD}}{T} \cdot 4 \cdot \left[\int_{t_1}^{t^*} i(t) dt \right]$$

Ma la corrente del transistore di tipo n quando questo è insaturatione risulta:

$$i(t) = \frac{\beta_n}{2} [V_i(t) - V_T]^2$$

Ricavando:

$$V_i(t) = \frac{V_{DD}}{t_r} \cdot t$$

e sostituendo l'integrale risulta essere:

$$\langle P_{CC} \rangle = \frac{4 \cdot V_{DD}}{T} \cdot \int_{t_1}^{t^*} \left\{ \frac{\beta_n}{2} \left[\frac{V_{DD}}{t_r} \cdot t - V_T \right]^2 \right\} dt$$

Gli estremi di integrazione sono:

$$V_u(t_1) = V_T \implies t_1 = \frac{t_r}{V_{DD}} V_T$$

$$V_u(t^*) = \frac{V_{DD}}{2} \implies t^* = \frac{t_r}{V_{DD}} \cdot \frac{V_{DD}}{2} = \frac{t_r}{2}$$

A questo punto non resta che risolvere l'integrale.

$$\langle P_{CC} \rangle = \frac{4 \cdot V_{DD}}{T} \cdot \frac{\beta_n}{2} \cdot \int_{\frac{V_{DD}}{t_r} V_T}^{\frac{t_r}{2}} \left[\frac{V_{DD}}{t_r} \cdot t - V_T \right]^2 dt$$

$$\langle P_{CC} \rangle = \frac{4 \cdot V_{DD}}{T} \cdot \frac{\beta_n}{2} \cdot \left[\frac{1}{3} \cdot \left(\frac{V_{DD}}{t_r} t - V_T \right)^3 \right]_{\frac{V_{DD}}{t_r} V_T}^{\frac{t_r}{2}}$$

$$\langle P_{CC} \rangle = \frac{\beta_n}{2} \cdot \frac{t_r}{T} \cdot V_{DD}^3 \cdot \left(1 - \frac{2V_T}{V_{DD}} \right)$$

33.2.3. Connessione con un carico

Ipotizziamo adesso di connettere un secondo invertitore CMOS al precedente circuito. Tale carico è sostanzialmente capacitivo e pertanto possiamo considerare il circuito di Figura 33.3.

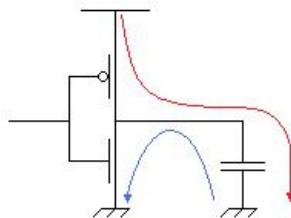


Figura 33.3. Invertitore CMOS con carico capacitivo. In rosso è indicata la corrente di carica mentre in blu la corrente di scarica.

In questo caso abbiamo un ulteriore contributo alla potenza dovuto alla corrente che scorre sulla capacità in fase di carica e scarica del condensatore. Il contributo dovuto alle capacità si nota ancora meglio con un ingresso che varia istantaneamente (Figura 33.4).

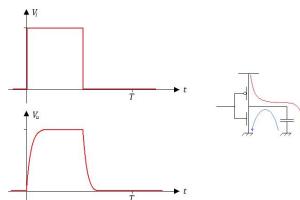


Figura 33.4. Variazione della tensione di uscita al variare istantaneo della tensione di ingresso in un CMOS con carico capacitivo.

In questo caso, per metà periodo carichiamo il condensatore sul pMOS e per l'altra metà del periodo lo scarichiamo sul transistor nMOS.

Per il calcolo della potenza dissipata (detta *potenza associata al carico*, P_{AL}) ragioniamo sui singoli componenti.

$$\langle P_{AL} \rangle = \langle P_{nMOS} \rangle + \langle P_{pMOS} \rangle + \langle P_C \rangle$$

33.2.3.1. Potenza media dissipata sul carico

Il carico capacitivo dissipa una potenza media pari a:

$$\langle P_C \rangle = \frac{1}{T} \cdot \int_0^T V_C I_C dt$$

$$\begin{cases} V_C = V_u \\ I_C = C \cdot \frac{dV_u}{dt} \end{cases}$$

$$\langle P_C \rangle = \frac{1}{T} \cdot C \cdot \int_0^T V_u \cdot dV_u$$

$$\begin{cases} V_u(0) = V_{DD} \\ V_u(T) = V_{DD} \end{cases}$$

$$\langle P_C \rangle = \frac{1}{T} \cdot C \cdot \int_{V_{DD}}^{V_{DD}} V_u \cdot dV_u = 0$$

Questo risultato è compatibile con quanto detto in precedenza: il condensatore accumula energia nel primo semiperiodo e ne fornisce un eguale quantitativo nel secondo semiperiodo.

33.2.3.2. Potenza media dissipata sul nMOS

Per un semiperiodo il transistore di tipo *n* è spento:



$$\langle P_{nMOS} \rangle = \frac{1}{T} \cdot \int_0^T V_{DS} I_{DS} dt$$



$$\langle P_{nMOS} \rangle = \frac{1}{T} \cdot \left[\int_0^{\frac{T}{2}} V_{DS} I_{DS} dt + \underbrace{\int_{\frac{T}{2}}^T V_{DS} I_{DS} dt}_{I_{DS}=0 \Rightarrow \int dt=0} \right]$$

Il termine:

$$\int_{\frac{T}{2}}^T V_{DS} I_{DS} dt$$

è nullo poiché tra $\frac{T}{2}$ e T la corrente I_{DS} è nulla. Allora è:

$$\begin{aligned} \langle P_{nMOS} \rangle &= \frac{1}{T} \cdot \int_0^{\frac{T}{2}} V_{DS} I_{DS} dt = \int_0^{\frac{T}{2}} V_u \cdot C \frac{dV_u}{dt} dt \\ \langle P_{nMOS} \rangle &= -\frac{C}{T} \cdot \int_0^{\frac{T}{2}} V_u dV_u \end{aligned}$$

$$\begin{cases} V_u(0) = V_{DD} \\ V_u(\frac{T}{2}) = 0 \end{cases}$$

$$\langle P_{nMOS} \rangle = -\frac{C}{2T} \cdot (-V_{DD}^2) = \frac{C}{2T} \cdot V_{DD}^2$$

33.2.3.3. Potenza media dissipata sul pMOS

Analogamente a quanto calcolato nel Paragrafo 33.2.3.2 abbiamo:

$$\langle P_{pMOS} \rangle = \frac{1}{T} \cdot \int_{\frac{T}{2}}^T (V_{DD} - V_u) C \frac{dV_u}{dt} dt$$

$$\begin{cases} V_u(\frac{T}{2}) = 0 \\ V_u(T) = V_{DD} \end{cases}$$

$$\langle P_{pMOS} \rangle = \frac{C}{2T} \cdot V_{DD}^2$$

33.2.3.4. Potenza complessiva

La potenza media complessiva dissipata è:

$$\langle P_{AL} \rangle = \frac{C}{T} \cdot V_{DD}^2 = C \cdot f \cdot V_{DD}^2$$

Attualmente si tende a diminuire la tensione di alimentazione e ad aumentare la frequenza di lavoro $f = 1/T$. Siccome la frequenza incide poco sulla potenza dissipata dinamicamente dal singolo invertitore, il maggior contributo deriva dalla potenza associata ai carichi.

Capitolo 34

Lezione del 24 maggio 2011

34.1. Introduzione

Nel Capitolo 33 abbiamo analizzato la potenza dissipata da un invertitore CMOS in fase di commutazione distinguendo la **potenza dinamica in potenza di corto circuito (P_{CC}) e la potenza associata al carico (P_{AL})**.

Nel presente Capitolo effettueremo alcune considerazioni sulla potenza ed analizzeremo il costo dei dispositivi.

34.2. Considerazioni sulla potenza

Date le espressini delle due potenze

$$\langle P_{CC} \rangle = \frac{\beta_n}{2} \cdot \frac{t_r}{T} \cdot V_{DD}^3 \cdot \left(1 - \frac{2V_T}{V_{DD}}\right)$$
$$\langle P_{AL} \rangle = C \cdot V_{DD}^2 \cdot f$$

quella che incide maggiormente sulla dissipazione dipende fortemente da vari parametri. In particolare le dipendenza dalla frequenza si ha in entrambe le potenze dissipate: **l'aumento della frequenza aumenta anche la potenza dissipata.**

Ma l'aumento della frequenza (e quindi la diminuzione del periodo) obbliga i tempi di salita (t_R , tempo di *raise*) e di discesa (t_F , tempo di *fall*) a diminuire. Allora la potenza di corto circuito si mantiene più o meno costante mentre la potenza associata al carico aumenta.

Allora la potenza associata al carico tende ad essere dominante sulla potenza di corto circuito e, per semplicità, considereremo solo la potenza associata al carico.

Riprendendo ora le ultime considerazioni circa il tempo di propagazione possiamo notare che l'aumento della tensione di alimentazione provoca una diminuzione lineare del ritardo ma, di contro, provoca un aumento quadratico del consumo.

Dobbiamo quindi distinguere tra due tipi di circuito:

- ▷ circuiti ad elevate prestazioni (con un consumo importante);
- ▷ circuiti a basso consumo (ma a prestazioni meno elevate).

Soltamente si misurano le caratteristiche di un dispositivo tramite il prodotto tra ritardo e consumo:

$$t_P \cdot P_{AL} = \frac{C_L}{\beta \cdot V_{DD}} \cdot C_L \cdot f \cdot V_{DD}^2 = \frac{C_L^2 \cdot V_{DD} \cdot f}{\beta}$$

Si faccia attenzione al fatto che β e C_L sono ottenuti con molte variabili comuni: aumentare uno senza aumentare anche l'altro è estremamente difficile.

34.3. Costo

Abbiamo, in precedenza, analizzato sia la velocità sia il consumo dei dispositivi in logiche CMOS. Abbiamo anche evidenziato come siano logiche di tipo ratioless. Resta ora da valutare il costo. Dal momento che molte misure di costo

sono relative (il costo di produzione ammortizzato su migliaia di dispositivi ha un'incidenza inferiore al costo ammortizzato su poche decine di dispositivi), individueremo come *costo* l'ingombro del dispositivo.

Un limite delle logiche CMOS in questo senso è il numero di transistori utilizzati: mentre un logica di tipo *n*MOS o *p*MOS a n ingressi richiede $n+1$ transistori le logiche CMOS richiedono $2n$ ingressi.

Vogliamo progettare un multiplexer a due ingressi (Figura 34.1).

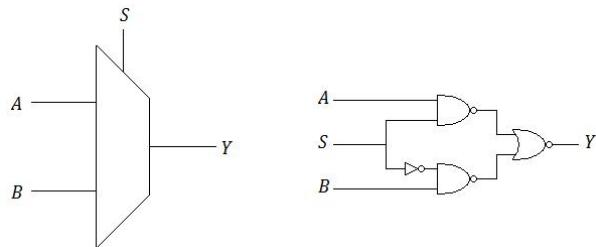


Figura 34.1. La realizzazione di un multiplexer a due ingressi con porte logiche può richiedere fino a quattordici transistori.

Il sistema così realizzato richiede un totale di 14 transistori (2 dovuti al NOT e 4 per le due porte NAND e per la porta NOR).

Tuttavia grazie alla legge di De Morgan possiamo anche vedere l'uscita come:

$$\begin{aligned} \overline{\overline{SA + SB}} &= \overline{\overline{S}\overline{A} \cdot \overline{S}\overline{B}} = \overline{(\overline{S} + \overline{A}) \cdot (\overline{S} + \overline{B})} = \\ &= \overline{\overline{S} \cdot \overline{B} + \overline{A} \cdot (\overline{S} + \overline{B})} \end{aligned}$$

che è realizzabile come in Figura 34.2.

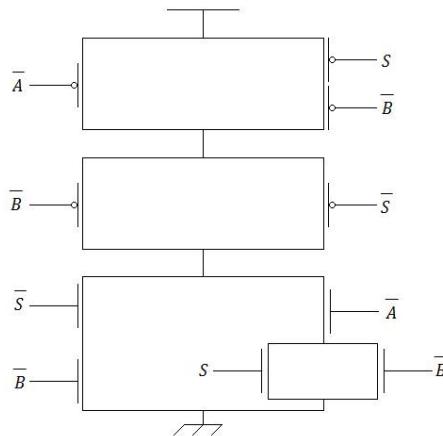


Figura 34.2. La realizzazione del multiplexer con reti di pull-up e pull-down può essere sia più economica sia più costosa rispetto alla realizzazione con porte logiche.

Questo soluzione richiede dieci transistori se sono disponibili i segnali complementari. Allora se sono disponibili i segnali complementari questa soluzione è più economica mentre in caso contrario è più dispendiosa.

Possiamo però realizzare il multiplexer con due soli transistori utilizzandoli come interruttori (Figura 34.3). Questo approccio, che sfrutta i transistori nella loro versione "a rubinetto" è detto *approccio a pass-transistor*.

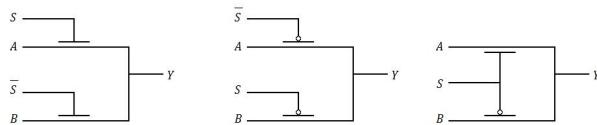


Figura 34.3. Possibili realizzazioni del multiplexer con un minor numero di transistori.

34.4. Pass transistor

Iniziamo lo studio della configurazione a pass-transistor partendo dall'analisi del funzionamento del transistore *n*MOS (Figura 34.4).

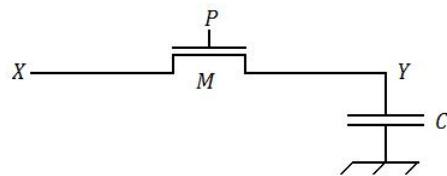


Figura 34.4. Configurazione a pass-transistor.

Data la simmetria del transistore MOS, supponendo di avere $X, Y \in [0, V_{DD}]$ abbiamo cinque possibili condizioni:

1. $P = 0$;
2. $P = V_{DD}$;
- a) $X = 0$ e $Y = 0$;
- b) $X = 0$ e $Y = 1$;
- c) $X = 1$ e $Y = 0$;
- d) $X = 1$ e $Y = 1$.

34.4.1. $P = 0$

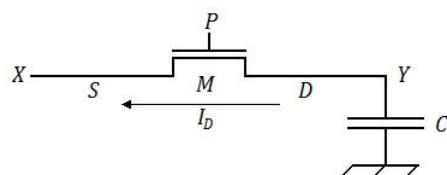
In questa condizione il transistore è spento. Allora la corrente sul carico è:

$$I_C = 0 \implies C_L \cdot \frac{dV_u}{dt} = 0$$

e dunque la tensione di uscita è costante. Il transistore è quindi in grado di tenere in memoria l'ultimo valore trasmessogli.

34.4.2. $P = V_{DD}$: $X = 0$ e $Y = 1$

In questa situazione Y deve commutare il suo valore da 1 a 0. Si tratta del transitorio di scarica della rete di pull-down. Il transistore M passa dalla zona di saturazione alla zona di funzionamento lineare. La tensione V_Y tende asintoticamente a zero.

Figura 34.5. Quando Y deve passare da 1 a 0 esegue le funzioni di drain.

34.4.3. $P = V_{DD}$: $X = 1$ e $Y = 0$

In questa situazione Y deve commutare il suo valore da 0 ad 1. Si tratta del transitorio di carica della rete di pull-up realizzata con un transistore di tipo n . Il transistore M è in saturazione e la tensione di uscita raggiunge il valore massimo $V_{DD} - V_T$.

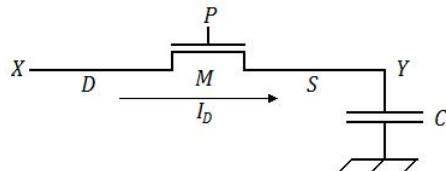


Figura 34.6. Quando Y deve passare da 0 a 1 esegue le funzioni di source.

34.4.4. Considerazioni

Il pass-transistor realizzato con n MOS è quindi in grado di trasferire uno zero forte (funziona bene come pull-down) ed un uno debole (funziona male come pull-up). Dualmente il pass-transistor realizzato con p MOS è in grado di trasferire uno zero debole (il valore passa da V_{DD} a $|V_{T_P}|$) ed un uno forte (il valore passa da 0 a V_{DD}).

34.5. Transmission gate

Dal momento che gli interruttori presentano problemi complementari (in accordo con quanto già detto durante l'analisi delle logiche CMOS), possiamo realizzare una struttura più complessa (Figura 34.7) detta *transmission gate*.

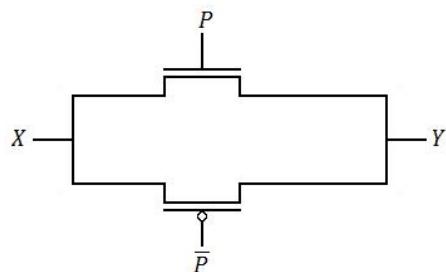


Figura 34.7. Realizzazione di un transmission gate.

Il transmission gate è un dispositivo totalmente bidirezionale ed è indicato dal simbolo circuitale di Figura 34.8.

Grazie al transmission gate possiamo ora realizzare un multiplexer con un numero ridotto di transistori (Figura 34.9).

Questa soluzione richiede solo sei transistori ma presenta notevoli problemi:

- ▷ la corrente di ingresso non è nulla;
- ▷ il dispositivo non funziona come invertitore bensì come interruttore;

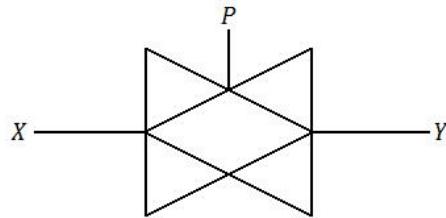


Figura 34.8. Simbolo circuitale del transmission gate.

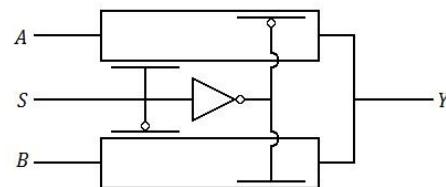


Figura 34.9. Realizzazione di un multiplexer a due vie con i transmission gate.

▷ non si ha immunità ai disturbi (il segnale di uscita è, nella migliore delle ipotesi, uguale al segnale di ingresso; nella peggiore delle ipotesi il transmission gate introduce rumore).

L'ingombro ridotto viene quindi pagato con prestazioni ridotte.

Le prestazioni possono però essere migliorate grazie alla capacità rigenerativa degli invertitori. L'aggiunta di uno o più invertitori aumenta però nuovamente l'ingombro.

Ragionando con i transmission gate possiamo anche realizzare logiche AND ed OR (Figura 34.10).

Resta ora da verificare se questa logica funziona bene quanto le logiche CMOS (cioè se non consumi energia in fase statica e se sia ratiocless).



Figura 34.10. Realizzazione di logiche OR (a sinistra) ed AND (a destra) con i transmission gate.

Capitolo 35

Lezione del 25 maggio 2011

35.1. Introduzione

Nel Capitolo 34 abbiamo introdotto la progettazione a transmission gate utilizzando i transistori come interruttori e risparmiando grandemente sul numero di transistori. Il risparmio è controbilanciato dalla perdità dell'immunità ai disturbi e all'eliminazione della corrente di ingresso.

In questo Capitolo inizieremo la valutazione delle prestazioni delle reti a pass transistor.

35.2. Tempo di propagazione

In precedenza abbiamo calcolato il ritardo di propagazione di una rete come somma dei ritardi dei singoli stadi. Questo approccio è accettabile solo nel caso in cui il ritardo sia indipendente dalla presenza di una rete di fan out (con le logiche CMOS la corrente di fan out è nulla e quindi il ritardo è indipendente).

Nelle reti a pass transistor la corrente di fan out non è nulla ed allora il ritardo non è più indipendente dal fan out. Consideriamo ad esempio il circuito di Figura 35.1.

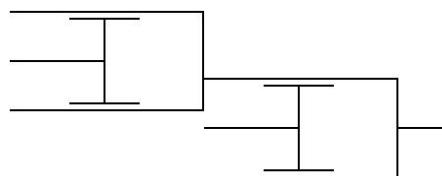


Figura 35.1. Una rete a pass transistor.

Possiamo semplificarcici la vita calcolando il ritardo sulla rete di Figura 35.2 che rappresenta il percorso del segnale quando i transistori sono accesi. Ogni transistore è sede di una corrente differente. Il calcolo del ritardo sarebbe molto complesso.

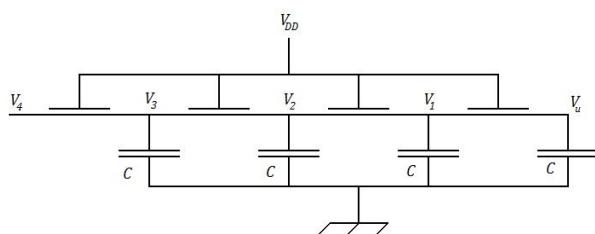


Figura 35.2. Versione semplificata del circuito di Figura 35.1 per lo studio del tempo di propagazione.

Per semplificare un poco i ragionamenti, semplifichiamo al primo ordine riducendo le equazioni non lineari con equazioni lineari, approssimando i transistori a dei resistori ed applicando la legge di Ohm (Figura 35.3).

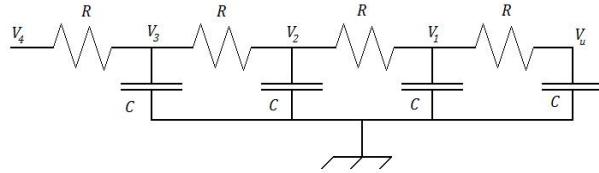


Figura 35.3. Versione semplificata al primo ordine del circuito di Figura 35.2.

35.2.1. Uno stadio

Limitandoci allo studio dell'ultimo stadio abbiamo:

$$I_{Ru} = I_{Cu} \implies \frac{V_1 - V_u}{R} = C \cdot \frac{dV_u}{dt}$$

$$V_1 = V_u + RC \frac{dV_u}{dt}$$

dove V_1 assume ora il ruolo di V_i . Allora per $t < 0$ siamo in condizioni statiche ed è:

$$\begin{cases} V_1 = 0 \\ I_C = C \frac{dV_u}{dt} = 0 \\ I_C = I_R \end{cases} \implies V_u = V_1 = 0$$

Per $t > 0$ abbiamo invece $V_i = V_{DD}$ e possiamo dire che è:

$$V_{DD} = V_u + RC \frac{dV_u}{dt} \implies \frac{dt}{RC} = \frac{dV_u}{V_{DD} - V_u}$$

Integrandoabbiamo:

$$\int_0^t \frac{dt}{RC} = \int_{V_1(0)=0}^{V_1(t)} \frac{dV_u}{V_{DD} - V_u}$$

$$\frac{t}{RC} = - [\ln(V_{DD} - V_u)]_0^{V_1(t)}$$

$$\frac{t}{RC} = - \ln \frac{V_{DD} - V_1(t)}{V_{DD}}$$

Scambiando i segni ed eseguendo l'esponenziale ricaviamo:

$$\frac{V_{DD} - V_1(t)}{V_{DD}} = e^{-t/RC} \implies V_u(t) = V_{DD} \cdot \left(1 - e^{-t/RC}\right)$$

Allora il tempo di propagazione per un solo stadio è:

$$t_P|V_u(t_P) = \frac{V_{DD}}{2} \implies V_{DD} \cdot \left(1 - e^{-t/RC}\right) = \frac{V_{DD}}{2} \implies t_p = RC \cdot \ln(2)$$

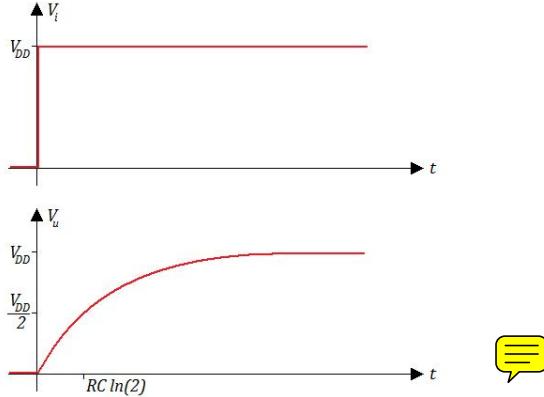


Figura 35.4. Tempo di propagazione di un solo stadio.

35.2.2. Due stadi

Consideriamo ora il caso con due stadi. Al nodo V_1 , per la Legge di Kirchoff, abbiamo:

$$I_{R1} = I_{C1} + I_{Ru}$$

$$\frac{V_2 - V_1}{R} = C \frac{dV_1}{dt} + C \frac{dV_u}{dt}$$

e quindi è:

$$V_2 = V_1 + RC \left(\frac{dV_1}{dt} + \frac{dV_u}{dt} \right)$$

La relazione tra V_1 e V_u è però la stessa calcolata nel Paragrafo 35.2.1:

$$V_1 = V_u + RC \frac{dV_u}{dt}$$

ed allora, sostituendo e riordinando possiamo ricavare:

$$V_2 = V_u + 3RC \frac{dV_u}{dt} + R^2 C^2 \frac{d^2 V_u}{dt^2}$$

Avendo deciso di limitare il nostro studio al primo ordine, possiamo trascurare le derivate seconde:

$$V_2 \approx V_u + 3RC \frac{dV_u}{dt}$$

Notando che la forma di V_2 differisce da quella di V_1 per il solo coefficiente 3 possiamo identificare il tempo di propagazione come:

$$t_P = 3RC \ln(2)$$

35.2.3. Tre stadi

Con tre stadi, la corrente di ingresso è la somma delle correnti sui condensatori. Allora è:

$$\frac{V_3 - V_2}{R} = C \frac{dV_2}{dt} + C \frac{dV_1}{dt} + \frac{dV_u}{dt}$$

e conseguentemente risulta:

$$V_3 = V_2 + RC \frac{d}{dt} (V_2 + V_1 + V_u)$$

Ricordando le relazioni tra V_2 , V_1 e V_u ricaviamo:

$$V_3 = V_u + 3RC \frac{dV_u}{dt} + RC \frac{d}{dt} \left[V_u + 3RC \frac{d^2V_2}{dt^2} + V_u + 3RC \frac{d^2V_1}{dt^2} + V_u \right]$$

$$V_3 == V_u + 6RC \frac{dV_u}{dt}$$

35.2.4. Caso generale

Dallo studio dei Paragrafi 35.2.1, 35.2.2 e 35.2.3 notiamo che il tempo di propagazione dipende dalla variabile τ come riportato in Tabella

Stadi	τ	t_P
1	RC	$\tau \ln(2)$
2	$3RC$	$\tau \ln(2)$
3	$6RC$	$\tau \ln(2)$
\vdots	\vdots	\vdots
n	$\frac{n(n+1)}{2}RC$	$\tau \ln(2)$

Tabella 35.1. Relazione tra numero di stadi e costante τ .

Allora possiamo ricavare l'aumento della costante come:

$$\tau(n) = \frac{n^2 + n}{2} \cdot RC$$

che, essendo una parabola appoggiata su una retta, dimostra come il ritardo delle logiche a pass transistor aumenti molto più rapidamente rispetto al ritardo delle logiche CMOS.

35.2.5. Considerazioni

Nonostante l'aumento del ritardo sia esponenziale e manchi completamente l'immunità ai disturbi, le logiche a pass transistor non vanno eliminate a pre-scindere: vi sono alcuni casi in cui le logiche a pass transistor, a patto che siano mantenute di dimensioni ridotte, riducono di molto l'occupazione di area.

Una soluzione per aumentare la possibilità di utilizzo delle logiche a pass transistor consiste nello spezzare le catene eccessivamente lunghe con uno (o due nel caso non si voglia invertire il segnale) invertitori CMOS che rigenerano completamente il segnale ed introducono un ritardo trascurabile (Figura 35.5).

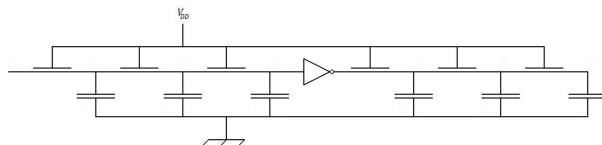


Figura 35.5. Spezzare la catena dei transmission gate con un invertitore statico riduce notevolmente il ritardo dovuto al tempo di propagazione e rigenera il segnale.

Avendo ad esempio una serie di sei pass transistor avremmo una costante di ritardo:

$$\tau = 21RC$$

Spezzando la catena a metà con un invertitore (con tempo di propagazione t_{PInv}) avremo una costante di ritardo pari a:

$$\tau = 2 \cdot 6RC + t_{PI_{inv}} = 12RC + t_{PI_{inv}}$$

Le logiche a passtransistor consentono dunque un enorme risparmio di area a patto di rinunciare a prestazioni estremamente elevate.

35.3. Logiche dinamiche PE

Il pass transistor ci consente di minimizzare l'occupazione di area perdendo velocità di elaborazione. Vogliamo ora vedere se vi siano altri possibili approcci di progettazione alternativi al CMOS. Fino ad ora abbiamo individuato tutti i vantaggi del CMOS nel suo essere ratiolless. Di contro però abbiamo sempre dovuto costruire due reti comandate dallo stesso set di segnali di ingresso (quindi una rete ad n ingressi richiede $2n$ transistori). Le logiche di tipo nMOS richiedono invece $n+1$ transistori per n segnali di ingresso. Abbiamo però già detto che il vantaggio è solo apparente in quanto la logica CMOS è ratiolless mentre la logica nMOS non lo è. Possiamo fare le stesse considerazioni per la velocità di propagazione del segnale.

Vogliamo ora provare ad unire il buono delle logiche CMOS con il buono delle logiche nMOS: rete ratiolless da una parte e pochi transistori dall'altra. L'indipendenza dalle dimensioni nei CMOS è dovuta al fatto che la rete di pull-up e quella di pull-down non sono mai accese simultaneamente. Possiamo forzare questo comportamento dall'esterno (Figura 35.6).

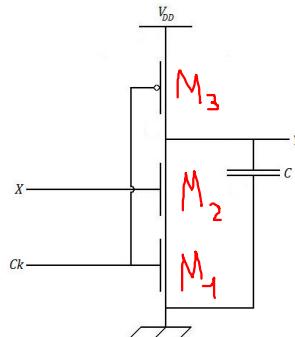


Figura 35.6. Logica dinamica per la realizzazione di un semplice invertitore.

In un circuito di questo tipo abbiamo un invertitore CMOS comandato dal clock (Ck). Quando il segnale di **clock è basso** abbiamo:

$$Ck = 0 \Rightarrow \begin{cases} M3 \text{ On} \\ M1 \text{ Off} \end{cases} \Rightarrow \begin{cases} PU \text{ On} \\ PD \text{ Off} \end{cases} \Rightarrow V_u = V_{DD}$$

e quindi l'uscita è certamente alta indipendentemente dal valore assunto da X . Chiamiamo questa situazione **fase di precarica**. Nel caso in cui il segnale di clock sia alto abbiamo invece la dipendenza da X . Se l'ingresso è $X = 1$ abbiamo

$$\begin{cases} Ck = 1 \\ X = 1 \end{cases} \Rightarrow \begin{cases} M3 \text{ Off} \\ M1 \text{ On} \\ M2 \text{ On} \end{cases} \Rightarrow \begin{cases} PU \text{ Off} \\ PD \text{ On} \end{cases} \Rightarrow V_u = 0$$

che è la nota condizione di pull-up spento e pull-down acceso. Quando infine è $X = 0$, abbiamo:

$$\begin{cases} Ck = 0 \\ X = 0 \end{cases} \Rightarrow \begin{cases} M3 \text{ Off} \\ M1 \text{ On} \\ M2 \text{ Off} \end{cases} \Rightarrow \begin{cases} PU \text{ Off} \\ PD \text{ Off} \end{cases}$$

che è una situazione nuova in cui entrambe le reti sono spente. Questa condizione è detta **condizione di alta impedenza** e l'uscita, a patto di avere un sistema perfettamente isolato, si mantiene costante al valore precedentemente memorizzato (si parla di *fase di valutazione*).

Questo tipo di logica, alternando fasi di **precarica** (*preload*) e di **valutazione** (*evaluation*), è detta logica PE.

35.3.1. Pregi

Dal momento che il l'accensione e lo spegnimento delle reti è comandato dal segnale di clock la logica è ancora ratioless e quindi i **transistori possono essere delle stesse dimensioni dei transistori CMOS**. Inoltre per un logica ad n ingressi dobbiamo usare, in questo caso, $n + 2$ transistori. Per il minor numero di transistori necessari abbiamo poi una capacità di carico inferiore ed una maggior velocità di propagazione.

La Figura 35.7 mostra la variazione dell'uscita. Una rete di questo tipo considera il segnale solo sul fronte di discesa del clock e quindi funziona come invertitore negli istanti in cui il segnale assume un valore significativo.

La logica dinamica è attualmente la **logica più performante a disposizione per la costruzione di circuiti integrati**.

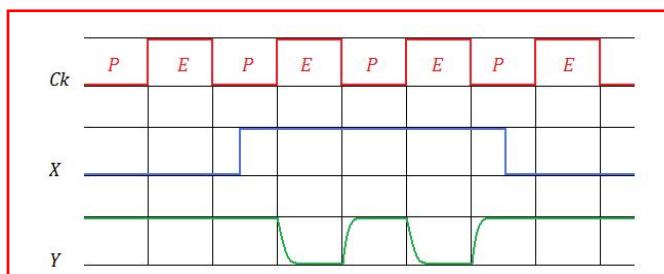


Figura 35.7. Variazione dell'uscita al variare del segnale di clock e dell'ingresso. Il segnale viene **valutato solo sul fronte di discesa del clock**.

35.3.2. Difetti

Nonostante i notevoli pregi le logiche dinamiche non sono immuni a problemi.

In particolare la condizione di **alta impedenza richiede un isolamento perfetto**. Tuttavia le giunzioni e le capacità parassite impediscono l'isolamento perfetto. Allora la condizione di **memorizzazione non è eterna**. Ci interessa che la memorizzazione resista almeno per il tempo necessario al clock che deve avere un valore minimo. Generalmente questo non è un problema ma può diventarlo quando si richiedono lunghi tempi di stand-by al dispositivo. Allora il tempo di clock deve essere compreso tra un tempo minimo (che consente a tutti i blocchi di ricevere ed elaborare il segnale) ed un tempo massimo (tale da non perdere i valori memorizzati nella situazione di alta impedenza).

$$T_{Ck\ Min} < T_{Ck} < T_{Ck\ Max}$$

$$f_{Ck\ Max} > f_{Ck} > f_{Ck\ Min}$$

Fortunatamente la finestra è piuttosto ampia: le frequenze massime si misurano in GHz mentre le frequenze minime in kHz.

Altri problemi sono la maggior complessità di realizzazione del circuito ed il **maggior consumo di potenza**. A parità di ingresso infatti la logica dinamica commuta due volte contro la singola commutazione della logica statica.

Un altro problema ancora è che **in alcune situazioni critiche la logica dinamica non funziona a dovere**.

Capitolo 36

Lezione del 30 maggio 2011

36.1. Introduzione

Nel Capitolo 35 abbiano visto come realizzare dispositivi a prestazioni elevatissime grazie alle logiche CMOS dinamiche introducendo anche la logica a precarica e valutazione (*preload and evaluation*).

36.2. Problemi delle logiche dinamiche PE

Supponiamo che il segnale di ingresso vari come riportato in Figura 36.1.



Figura 36.1. Variazione dell'uscita al variare del segnale di clock e dell'ingresso quando questo varia durante la fase di valutazione. Si notano uscite errate.

Quando l'ingresso varia durante le fasi di valutazione possiamo avere grossi problemi sull'uscita. Se ad esempio la commutazione dell'ingresso dal valore basso al valore alto avviene molto vicino alla fine della fase di valutazione possiamo arrivare a valori intermedi dell'uscita. Un secondo problema è che un transitorio discendente dell'ingresso non può portare ad un transitorio di salita dell'uscita: vi sono casi in cui il dispositivo non funziona da invertitore e può provocare errori nella funzione logica.

Questi problemi sono facilmente risolvibili impedendo all'ingresso di variare durante la fase di valutazione del dispositivo. Vi sono però problemi più gravi (variazioni non volute dell'uscita) visibili solo con reti un poco più complesse. Consideriamo dunque il **NAND a due ingressi** di Figura 36.2.

Supponiamo che gli ingressi varino secondo lo schema seguente:

$$AB = 01 \rightarrow 00 \rightarrow 10$$

Se gli ingressi variano in questo modo l'uscita Y dovrebbe sempre essere al valore alto.

Fino a quando A si mantiene al valore basso non abbiamo problemi: Y resta al valore alto mentre X è mantenuto al valore basso. I due condensatori C_y e C_x hanno inizialmente carica rispettivamente pari a V_{DD} e 0. Quando A passa al valore alto, il transistor si accende e mette in connessione i due condensatori inizialmente isolati. La corrente I_{DS} sul transistor da luogo ad un transitorio in cui il condensatore C_y viene scaricato ed il condensatore C_x viene caricato. Tale transitorio ha termine quando si ha:

$$C_y = C_x$$

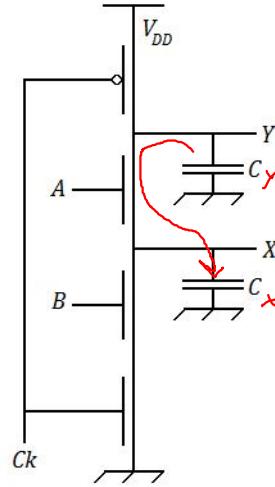


Figura 36.2. Realizzazione di un NAND a due ingressi con pull-up e pull-down.

Ipotizziamo che il transitorio inizi in $t = 0$. Per $t < 0$ abbiamo:

$$\begin{cases} V_x^- = 0 \\ V_y^- = V_{DD} \end{cases} \implies \begin{cases} Q_x^- = C_x^- = 0 \\ Q_y^- = C_y^- V_{DD} \end{cases}$$

Per $t \rightarrow +\infty$ abbiamo invece:

$$V_x^+ = V_y^+ \implies \begin{cases} Q_x^+ = C_x^+ V_x^+ \\ Q_y^+ = C_y^+ V_y^+ \end{cases}$$

Il transitorio si ha su un circuito isolato ed allora, per il principio di conservazione della carica, deve essere:

$$Q_x^- + Q_y^- = Q_x^+ + Q_y^+$$

e cioè:

$$C_y^- V_{DD} = (C_x + C_y) V_y^+ \implies V_y^+ = V_{DD} \cdot \frac{C_y}{C_x + C_y} < V_{DD}$$

Il transitorio porta allora ad una variazione non voluta dell'uscita (Figura 36.3).

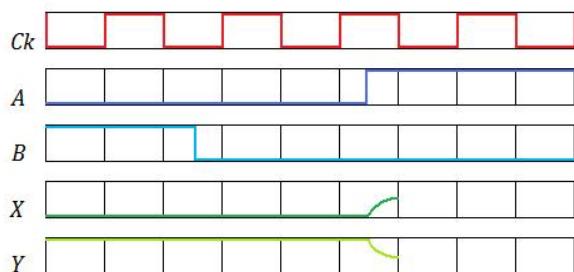


Figura 36.3. Variazione delle uscite al variare del segnale di clock e dell'ingresso quando questo varia durante la fase di valutazione. Si notano uscite errate.

Anche questo malfunzionamento si risolve imponendo che il sistema vari il proprio ingresso solamente durante la fase di precarica. Questa condizione è però estremamente difficoltosa da ottenere. Consideriamo ad esempio una cascata di due invertitori (Figura 36.4).

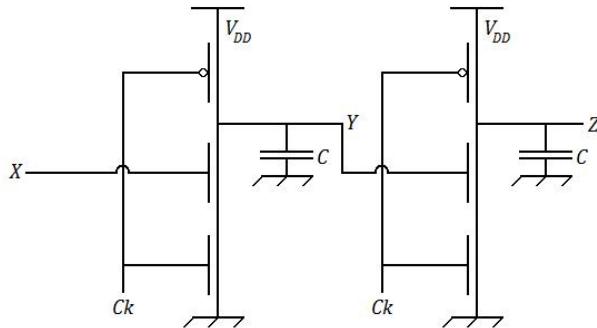


Figura 36.4. L'ingresso X varia solo durante la precarica. L'uscita Y è l'entrata del circuito di destra ma varia necessariamente durante la fase di valutazione.

In questo caso abbiamo che l'uscita del primo invertitore è l'ingresso del secondo invertitore. Ma l'uscita varia proprio durante le fasi di valutazione e torniamo ad avere il problema precedentemente analizzato.

Allora non è possibile connettere in cascata due invertitori in logica PE.

36.3. Risoluzione del problema

36.3.1. Scomposizione del problema

Il problema delle logiche PE si può suddividere in due parti:

1. durante la valutazione il pull-up non è attivo: l'eventuale commutazione discendente dovuta ad un ingresso alto è irreversibile;
2. in fase di valutazione il valore di precarica si mantiene al livello alto per un transitorio più o meno lungo.

Ma allora il valore alto della precarica innesca certamente un transitorio irreversibile.

36.3.2. Possibile soluzione

Una possibile soluzione consiste nella realizzazione della struttura duale (Figura 36.5).

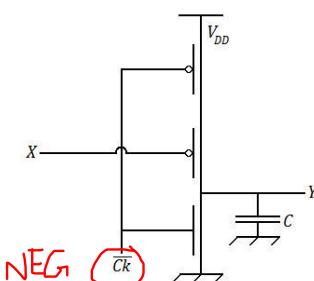


Figura 36.5. Struttura duale rispetto a quanto realizzato fino ad ora.

In questa logica condizioniamo il pull-up invece del pull-down. Quando il clock è al livello alto, il pull-up è spento ed il pull-down è acceso e quindi l'uscita è al livello basso (fase di precarica). Quando invece il clock è al livello basso il pull-down è certamente spento mentre il pull-up è acceso in se il valore di X è al livello basso mentre è spento se X è al livello alto e ci troviamo in alta impedenza (fase di valutazione).

Di nuovo però abbiamo una sola possibile commutazione irreversibile (questa volta dal valore basso al valore alto).

La soluzione consiste nell'utilizzo alternato delle due strutture (Figura 36.6).

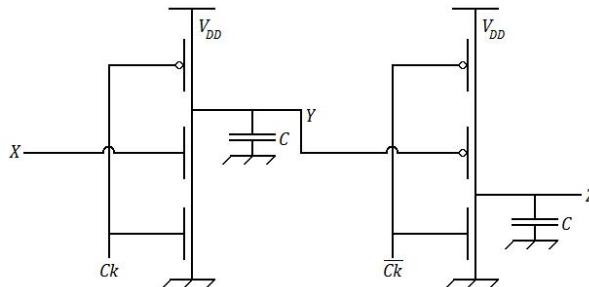


Figura 36.6. Realizzazione di un doppio invertitore che fa uso di logiche complementari. Si risolve il problema della variazione di Y durante la valutazione di Z .

L'unica accortezza necessaria consiste nel segnale di clock: dal momento che le fasi di valutazione e di precarica hanno ingressi complementari, al fine di sincronizzare correttamente la sequenza i dispositivi di tipo p richiedono un segnale di clock complementare a quello dei dispositivi di tipo n .

36.3.3. Osservazioni

Nella soluzione del Paragrafo 36.3.2 abbiamo dovuto utilizzare il segnale di clock ed il suo complemento. La realizzazione del clock “negato” richiede però un invertitore. L'utilizzo dell'invertitore però inserisce uno sfasamento del clock (vedremo un caso critico nel Capitolo 37) detto *clock skew* (Figura 36.7).



Figura 36.7. Lo sfasamento tra clock e clock negato porta al fenomeno del clock skew che può dare gravi problemi.

Il clock skew nel caso esaminato fino ad ora non porta problemi poiché abbiamo utilizzato le logiche complementari per risolvere il problema della valutazione errata.

Il clock è inoltre un grosso svantaggio della logica PE complementare poiché richiede la distribuzione di due segnali di clock complementari. La distribuzione dei due segnali è critica: usare un unico segnale e negarlo ogni volta richiede un invertitore per ogni negazione mentre usare due segnali complementari richiede più interconnessioni.

Un ultimo problema è che le logiche a canale p sono più lente: maggiori prestazioni richiedono maggiori dimensioni.

36.3.4. Soluzioni alternative

Una soluzione alternativa consiste nelle logiche di tipo domino che alternano logiche PE ad invertitori realizzati con logiche CMOS stiche (Figura 36.8).

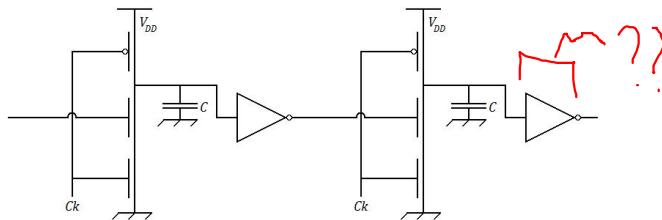
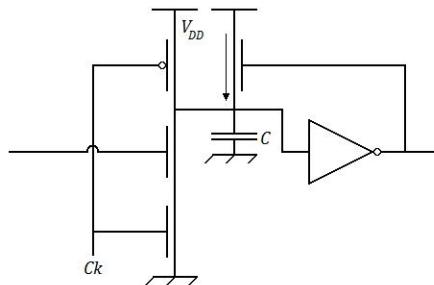


Figura 36.8. Logica domino.

Le logiche domino devono il loro nome al fatto che l'ultima logica può commutare solamente nel caso in cui tutte le logiche precedenti abbiano commutato. La commutazione irreversibile viene però eliminata a meno che non commutino tutte le logiche. Inoltre le logiche di tipo domino sono composte da soli transistori a canale n ed offrono attualmente le migliori prestazioni possibili.

Un secondo notevole vantaggio è che si può portare l'uscita dell'invertitore statico ad attivare un pull-up che ricarichi il condensatore e consenta di mantenere alto il livello. Questo condensatore è detto *level keeper* e consente di mantenere il livello dell'alta impedenza (Figura 36.9).

Figura 36.9. Realizzazione di un elemento di memoria con un transistore *level keeper* o *bleeding transistor*.

La capacità C funziona da elemento di memoria. Possiamo allora pensare di realizzare elementi di logica sequenziale con piccole capacità di memorizzazione come ad esempio un flip-flop di tipo D (Figura 36.10).

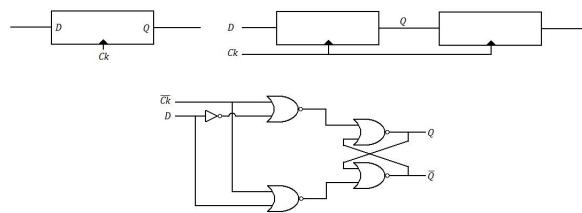


Figura 36.10. Realizzazione di un flip-flop di tipo D.

Il solo platch così realizzato richiede diciotto transistori. Per ogni flip-flop allora occorrono ben trentasei transistori. Siccome ogni flip-flop può memorizzare un solo bit di informazione, la realizzazione di una memoria da un gigabit richiede un trentasei miliardi di transistori, un numero evidentemente impossibile.

Capitolo 37

Lezione del 31 maggio 2011

37.1. Introduzione

Nel Capitolo 36 abbiamo analizzato i principali problemi delle logiche PE ed abbiamo trovato soluzioni progettuali alternative che consentono di risolvere i problemi stessi. Abbiamo inoltre individuato un metodo di progetto che consente la realizzazione di flip-flop con strutture di tipo master-slave a condizione di usare trentasei transistori per ogni bit di memoria.

Nel presente Capitolo vedremo altre soluzioni per la **realizzazione di strutture di memoria**.

37.2. Connessioni in serie e parallelo

Abbiamo visto come è possibile realizzare porte logiche tramite la connessione in serie ed in parallelo dei transistori. Qualunque connessione in serie o in parallelo, sotto alcune condizioni, si può riportare ad un unico transistore equivalente. Ovviamente il β del transistore equivalente dipenderà dai β degli altri transistori.

37.2.1. Condizioni

Le condizioni restrittive sono ragionevoli:

1. la tensione di soglia è uguale per qualsiasi transistore nella rete;
2. ci limitiamo a **circuiti digitali** con un valore alto (pari a V_{DD}) ed un valore basso (pari a 0).

37.2.2. Transistori in parallelo

Per semplificare la trattazione consideriamo il parallelo tra due transistori di Figura 37.1.

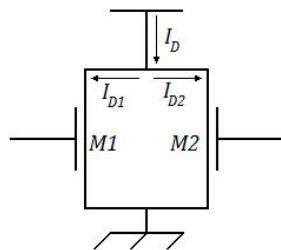


Figura 37.1. Parallelo di due transistori.

Le condizioni (alcune topologiche ed altre tecnologiche) sono:

$$\begin{cases} V_{T1} = V_{T2} \\ V_{G1} = V_{G2} \\ V_{S1} = V_{S2} \\ V_{D1} = V_{D2} \end{cases}$$

Il transistore equivalente è caratterizzato da:

$$I_{Deq} = I_{D1} + I_{D2}$$

$$\begin{cases} V_{T1} = V_{T2} \\ V_{G1} = V_{G2} = V_G \\ V_{S1} = V_{S2} = V_S \\ V_{D1} = V_{D2} = V_D \end{cases}$$

Dal momento che i transistori sono in parallelo e sono caratterizzati dalle stesse grandezze, se $M1$ è lineare (o saturo) anche $M2$ sarà lineare (o saturo). Considerando che i due transistori siano in regione di funzionamento lineare e sostituendo l'espressione delle correnti I_{D1} e I_{D2} ricaviamo:

$$I_{Deq} = (\beta_1 + \beta_2) \cdot \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Allora il β equivalente di due transistori in parallelo è pari alla somma dei β . In generale sarà allora:

$$\beta_{eq} = \sum_{i=1}^n \beta_i$$

37.2.3. Transistori in serie

Questa volta disponiamo in serie i due transistori (Figura 37.2).

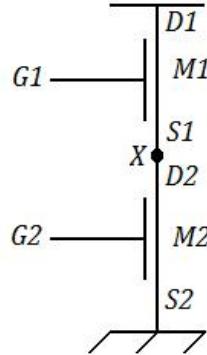


Figura 37.2. Serie di due transistori.

Al solito impotizziamo che sia:

$$\begin{cases} V_{T1} = V_{T2} \\ V_{G1} = V_{G2} = V_G \\ I_{D1} = I_{D2} \end{cases}$$

È facile riconoscere che $D1$ coincide con il terminale di drain del transistore equivalente mentre $S2$ coincide con il source del transistore equivalente. Il nodo X è però più problematico. Dall'espressione classica della corrente non possiamo ricavare facilmente l'espressione equivalente poiché i terminali di source hanno tensioni differenti. Rapportando tutte le tensioni alla tensione comune di bulk abbiamo:

$$\begin{cases} V_{GS} = V_{GB} - V_{SB} \\ V_{DS} = V_{DB} - V_{SB} \end{cases}$$

$$I_D = \beta \cdot \left[(V_{GB} - V_{SB} - V_T) \cdot (V_{DB} - V_{SB}) - \frac{(V_{DB} - V_{SB})^2}{2} \right]$$

Sviluppando i prodotti e riordinando i termini ricaviamo:

$$I_D = \beta \cdot \left[(V_{GB} - V_T) V_{DB} - \frac{V_{DB}^2}{2} - (V_{DB} - V_T) V_{SB} + \frac{V_{SB}^2}{2} \right]$$

Notando la forte somiglianza tra il termine in rosso ed il termine in blu possiamo riscrivere:

$$I_D = \beta \cdot \left\{ \left[(V_{GB} - V_T) V_{DB} - \frac{V_{DB}^2}{2} \right] - \left[(V_{DB} - V_T) V_{SB} - \frac{V_{SB}^2}{2} \right] \right\}$$

Ora il termine tra parentesi quadre è la stessa funzione con variabili differenti.
Allora possiamo scrivere:

$$I_D = \beta \cdot [F(V_{GB}, V_{DB}) - F(V_{DB}, V_{SB})]$$

Sfruttando l'equivalenza:

$$I_D = I_{D1} = I_{D2}$$

abbiamo ora:

$$I_{D1} = \beta_1 \cdot [F(V_G, V_D) - F(V_G, V_X)]$$

$$I_{D2} = \beta_2 \cdot [F(V_G, V_X) - F(V_G, V_S)]$$

Ora definiamo:

$$\begin{cases} A \triangleq F(V_G, V_D) \\ X \triangleq F(V_G, V_X) \\ B \triangleq F(V_G, V_S) \end{cases}$$

ed usando nuovamente l'uguaglianza delle correnti ricaviamo:

$$\beta_1 A + \beta_2 B = \beta_1 X + \beta_2 X \implies X = \frac{\beta_1 A + \beta_2 B}{\beta_1 + \beta_2}$$

Allora possiamo scrivere:

$$I_{D1} = I_{D2} = \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} \cdot (A - B)$$

L'equazione della corrente del transistore equivalente è ora:

$$I_D = \beta_{eq} \cdot [F(V_G, V_D) - F(V_G, V_S)] = \beta_{eq} \cdot (A - B)$$

Siccome però deve essere:

$$I_D = I_{D1} = I_{D2}$$

per avere verificata l'uguaglianza sarà necessariamente:

$$\beta_{eq} = \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} = \frac{1}{1/\beta_1 + 1/\beta_2}$$

Generalizzando sarà:

$$\beta_{eq} = \frac{1}{\sum_{i=1}^n 1/\beta_i}$$

37.2.4. Serie e paralleli

Grazie alle relazioni messe in evidenza nei Paragrafi 37.2.2 37.2.3 possiamo ridurre qualsiasi rete ad un unico transistore tramite passaggi successivi. La rete di Figura 37.3 si può ad esempio ricondurre ad un solo transistore equivalente calcolando prima il β_{eq} della serie e successivamente del parallelo.

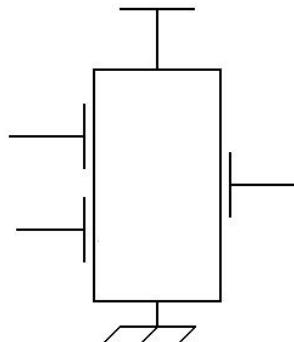


Figura 37.3. Parallello di due transistori.

37.3. Semplificazione del flip-flop

Nel Capitolo 36 abbiamo realizzato un flip-flop di tipo master-slave con trentasei transistori (due dei quali necessari al segnale di clock). Abbiamo realizzato il latch con due porte NOR. Il latch è un elemento di memoria da un bit che alterna fasi di trasparenza in cui riceve un valore a fasi di mantenimento in cui mantieere il valore precedente. Una soluzione simile è ottenibile con il circuito di Figura 37.4.

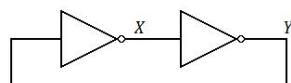


Figura 37.4. La serie di due invertori è un elemento di memoria.

La rete così realizzata è un circuito bistabile poiché ha solo due punti di lavoro. Riuscendo a forzare un valore iniziale possiamo fare in modo che il circuito ricordi tale valore. Una possibile soluzione per forzare l'ingresso consiste nell'utilizzo di un multiplexer comandato dal clock (Figura 37.5).

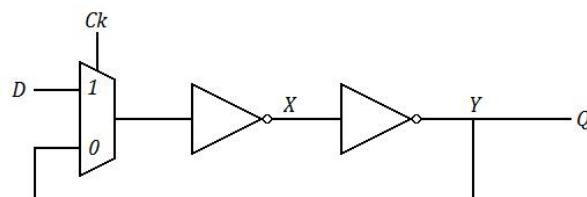


Figura 37.5. Il multiplexer consente di forzare un valore in ingresso.

In questo caso per $Ck = 1$ il sistema è trasparente e si trova in valutazione: l'uscita è trasparente e si ha $Q = D$. Quando invece il è $Ck = 0$, l'uscita viene mantenuta al valore precedente poiché si chiude il ramo di retroazione.

La convenienza di questa soluzione dipende da come si realizza il multiplexer. Con la realizzazione di Figura 37.6 abbiamo necessità di sedici transistori per ogni latch. Il totale per un flip-flop è allora di trentadue (più due per il clock) transistori. Il risparmio è di appena due transistori.

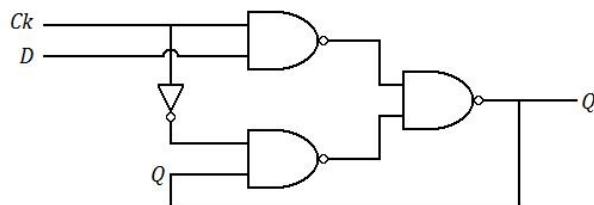


Figura 37.6. Realizzazione del sistema di Figura 37.5 con porte logiche invertenti.

AARLH!

In precedenza abbiamo però visto come i pass transistor e i transmission gate si prestino ottimamente alla realizzazione di piccoli circuiti alternati a logiche CMOS. Allora possiamo realizzare il latch come in Figura 37.7.

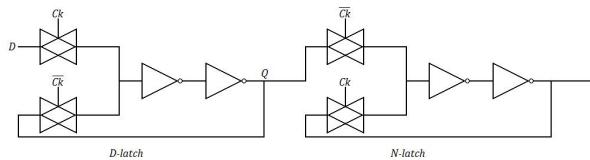


Figura 37.7. Realizzazione della rete logica di Figura 37.6 con transmission gate.

Questa soluzione richiede solo otto transistori per ogni latch con un totale di appena sedici transistori per ogni flip-flop. Si noti che il problema della propagazione quadratica del ritardo è eliminato dal momento che si ha un solo transmission gate seguito da invertitori CMOS. Inoltre tali invertitori rigenerano anche il segnale in modo da eliminare anche il problema dell'immunità ai disturbi. La logica così realizzata è però statica.

Possiamo ulteriormente migliorare la situazione ricordando che il ramo di retroazione serve solo a mantenere un valore quando necessario. Ma questa azione è svolta, nei limiti di tempo opportuni, dalla capacità parassita C . Possiamo allora eliminare il ramo di retroazione (Figura 37.8).

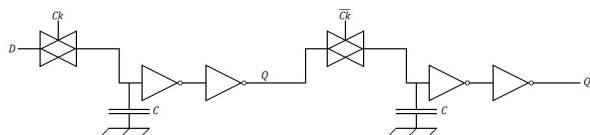


Figura 37.8. La capacità parassita C consente di eliminare completamente il ramo di retroazione.

La logica così realizzata valuta il valore di D e lo trasmette all'uscita Q quando si ha $Ck = 1$ e mantiene il valore precedente per $Ck = 1$. La permanenza del valore in C è però soggetta alle correnti di perdita. Solitamente la permanenza del valore è comunque molto superiore al ciclo di clock.

La soluzione appena ottenuta è dinamica e consente di realizzare il latch con appena sei transistori per un totale di dodici (più due per il clock) transistori per ogni flip-flop.

Possiamo ancora ridurre il numero di transistori notando che il doppio invertitore era necessario con la logica statica. Siccome il totale degli invertitori sul flip-flop è pari possiamo eliminare un invertitore da ogni latch (Figura 37.9).

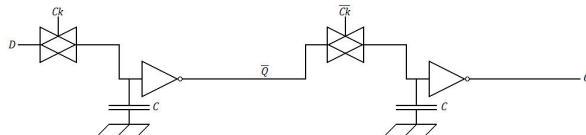


Figura 37.9. Dal momento che il totale dei flip-flop è pari possiamo eliminarne una coppia in modo da ridurre ulteriormente il numero dei transistori.

Questa soluzione richiede appena sei transistori per ogni latch per un totale di otto (più due) transistori per ogni flip-flop. Il flip-flop così realizzato occupa meno di un quarto dello spazio richiesto dalla prima implementazione.

37.3.1. Il segnale di clock

L'allarme lanciato nel Capitolo 36 era relativo all'utilizzo del segnale di clock e del suo complemento, il clock negato. È infatti possibile che il clock ed il clock negato siano leggermente sfalsati fra loro (condizione di clock skew).

Mentre per le logiche PE, il clock skew non è critico, per il circuito di Figura 37.9, la condizione di skew è critica: quando sia il clock sia il clock negato si trovano al valore alto, è possibile (dipendentemente dalla velocità di commutazione del clock e dalla velocità di propagazione dell'ingresso) avere in uscita il dato di ingresso.

La soluzione per ottenere immunità allo skew, è relativamente semplice e consiste nel fare in modo che i due segnali di clock e di clock negato non siano mai contemporaneamente al valore alto (Figura 37.10).



Figura 37.10. Utilizzare segnali di clock a fasi differenti introduce un margine di sicurezza tale da eliminare il problema del clock skew.

Il margine di sicurezza così introdotto impedisce che lo skew provochi un malfunzionamento. La robustezza del circuito viene però pagata da una maggior lentezza di elaborazione. Questa soluzione (*approccio a doppia fase di clock*) è tipica nelle reti moderne e si arriva ad avere fino a quattro fasi di clock.

37.3.2. Clock a singola fase

Il singolo latch è realizzato dalla rete di Figura 37.11.

Questo circuito può essere realizzato come un C²MOS (Figura 37.12).

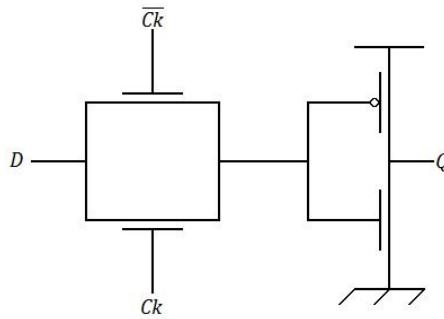
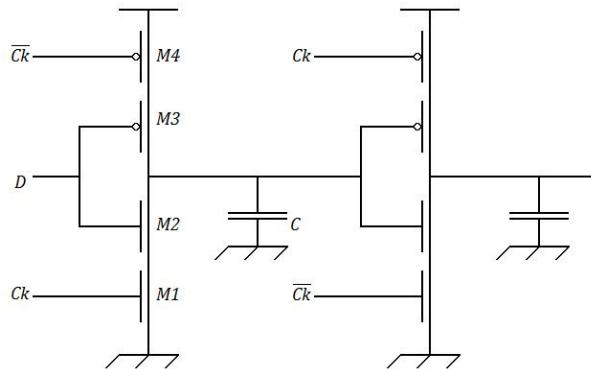


Figura 37.11. Realizzazione di un Dlatch in logica CMOS.

Figura 37.12. Realizzazione di Dlatch e Nlatch in logica C²MOS: il sistema è immune allo skew.

Quando abbiamo $Ck = 1$ sarà necessariamente $\overline{Ck} = 0$. Allora avremo il pull-up acceso ed il pull-down spento per $D = 0$ e la condizione duale per $D = 1$. Allora l'uscita è: $Q = \overline{D}$. Quando invece è: $Ck = 0$ e $\overline{Ck} = 1$ sia il pull-up sia il pull-down sono spenti e siamo in condizione di hold.

Il circuito per l'Nlatch si realizza facilmente invertendo il segnale di clock.

Il vantaggio di questa configurazione risiede nell'insensibilità al problema dello skew. Dal momento che il dato di ingresso, per raggiungere l'uscita, deve subire due inversioni successive, per passare dall'ingresso all'uscita sono necessarie sia una rete di pull-up sia una rete di pull-down. Ma nelle situazioni anomale ($Ck = \overline{Ck}$) entrambe le reti di pull-up o di pull-down sono spente. Allora il dato di ingresso può, al più, superare un solo latch per essere poi bloccato dal secondo latch. La soluzione così ottenuta è allora robusta a prescindere dalla fase del clock e si parla di *rete a singola fase di clock*.

Un flip-flop così realizzato utilizza la logica SPCL (*Single Phase Clock Logic*). Il flip-flop SPCL è un flip-flop dinamico che richiede solo otto transistori ed è immune allo skew.

Disporre di dispositivi di flip-flop immuni al clock skew, semplici, poco ingombranti e veloci è di estrema importanza dal momento che consente di realizzare logiche ad elevate prestazioni.

Capitolo 38

Lezione del 1 giugno 2011

38.1. Introduzione

Nel Capitolo 37 abbiamo studiato un modo per ottenere elementi di memoria a fase di clock sia singola sia multipla tramite il successivo raffinamento delle strutture precedentemente realizzate passando da trentaquattro (più due) transistori ad appena otto (più due) transistori riducendo notevolmente l'ingombro e quindi il costo ma mantenendo prestazioni dinamiche di alto livello e senza consumare potenza in condizioni statiche. Abbiamo infine introdotto la logica SPCL che è immune al problema dello skew.

In questo Capitolo vedremo come realizzare logiche pipeline.

38.2. Velocità del clock e pipeline

Possiamo immaginare che un sistema di elaborazione sia composto da una serie di reti logiche e di registri (possiamo visualizzarli come flip-flop) che hanno il compito di sincronizzare il flusso dei dati (Figura 38.1).

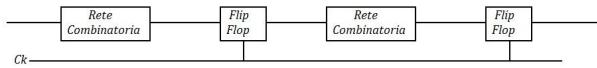


Figura 38.1. Schema generale di una rete logica.

È abbastanza evidente che il segnale di clock dovrà essere ragionevolmente superiore alla somma dei tempo di propagazione delle reti logiche e dei flip-flop:

$$T_{Ck} \gg t_{PRC} + t_{PFF}$$

Supponiamo di voler realizzare una rete logica che effetti l'operazione:

$$\sqrt{AB + C}$$

e ne memorizzi il risultato. La rete può essere realizzata come in Figura 38.2.

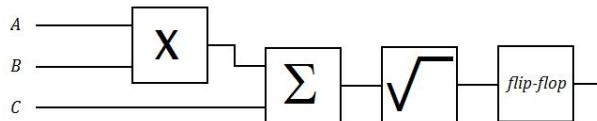


Figura 38.2. Esecuzione sequenziale dell'operazione $\sqrt{AB + C}$.

Supponendo che sia:

$$t_{P1} = t_{P2} = t_{P3} = t_P$$

e che t_{PM} sia il tempo di propagazione dell'elemento di memoria, il segnale di clock dovrà avere periodo pari a:

$$T_{Ck1} = 3t_P + t_{PM}$$

Possiamo realizzare la stessa logica sincronizzando ogni uscita grazie ad un flip-flop (Figura 38.3) otteniamo invece un periodo di clock:

$$T_{Ck2} = t_P + t_{PM}$$

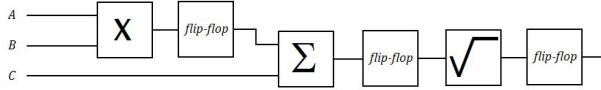


Figura 38.3. Realizzazione di una semplice pipeline.

Realizzando il flip-flop con una logica sufficientemente veloce avremo $t_{PM} \ll t_P$. Allora la prima logica avrà una frequenza pari a:

$$f_1 = \frac{1}{3t_p}$$

mentre la seconda logica potrà lavorare ad una frequenza:

$$f_2 = \frac{1}{t_p}$$

che è tre volte superiore, a patto di occupare più spazio, rispetto alla prima logica.

Frazionando una logica combinatoria in n stadi avremo un periodo di clock dato da:

$$T_{Ckn} \gg \frac{t_P}{n} + t_{PM}$$

Il frazionamento della pipeline ha però un limite: il tempo di memorizzazione è una costante e frazionando la pipeline oltre un certo livello, il tempo di memorizzazione diventa dominante sul ritardo delle reti (Figura 38.4). Esiste un n ottimo oltre il quale il frazionamento diventa dannoso ma aumentando la velocità del flip-flop il valore di n ottimo viene spostato in avanti.

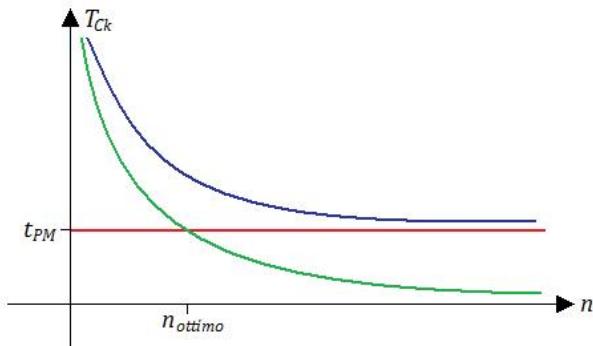


Figura 38.4. Ridurre il tempo di memorizzazione consente di aumentare il valore di n_{ottimo} .

Ricordando che il flip-flop è frazionato in se stesso come Platch ed Nlatch possiamo individuare strutture ancora più frazionate come quello di Figura 38.5.

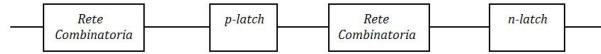


Figura 38.5. È possibile frazionare il flip-flop per velocizzare ulteriormente il circuito.

Questa soluzione, che offre un frazionamento molto elevato, non è tuttavia immune al problema dello skew dal momento che vi sono condizioni (la più semplice possibile è che tra i due latch si trovi un invertitore ma la situazione si può produrre per qualsiasi rete invertente) nelle quali il segnale può sfruttare le due reti di pull-down per propagarsi. Per risolvere il problema è sufficiente inserire tra i due latch una rete non invertente. Una pipeline così realizzata è detta **pipeline NORA** (*No Race*).

Esiste però un'eccezione: se la logica è una logica dinamica PE la rete può essere anche una logica invertente (Figura 38.6).

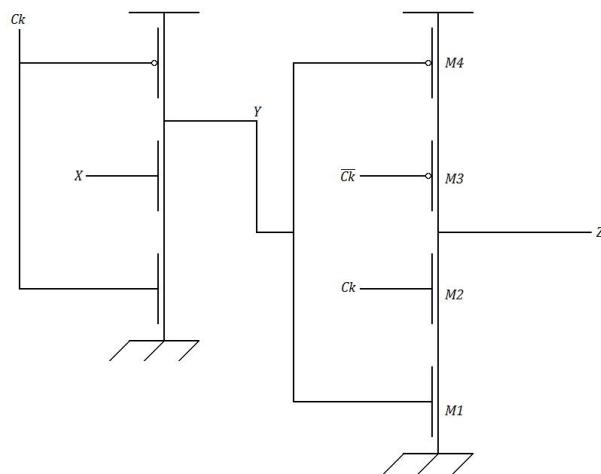


Figura 38.6. Usare logiche PE consente di usare latch e logiche invertenti.

Per dimostrare che questa logica è immune alle corse, supponiamo di essere nella condizione di skew per cui è:

$$Ck = \overline{Ck} = 0$$

La logica PE si trova allora in precarica ed il nodo Y si porta al valore alto indipendentemente da X . Quando invece è:

$$Ck = \overline{Ck} = 1$$

la logica PE è in fase di valutazione ed Y può portarsi al valore basso o restare al valore alto. Il latch inizialmente (cioè con Y al valore alto) è descrivibile come:

$$\begin{cases} M1 \text{ on} \\ M2 \text{ on} \\ M3 \text{ off} \\ M4 \text{ off} \end{cases} \Rightarrow \begin{cases} PU \text{ off} \\ PD \text{ on} \end{cases} \Rightarrow Q = \overline{Y}$$

e quindi il pull-down è attivo ed il pull-up è spento. Quando poi Y si porta al valore basso $M1$ si spegne e $M4$ si accende. Allora entriamo in condizione di alta impedenza e l'uscita Q mantiene il suo valore precedente.

$$\begin{cases} M1 \text{ off} \\ M2 \text{ on} \\ M3 \text{ off} \\ M4 \text{ on} \end{cases} \Rightarrow \begin{cases} PU \text{ off} \\ PD \text{ off} \end{cases} \Rightarrow Q_t = Q_{t-1}$$

38.3. Logiche TSPCL

Si tratta di logiche *veramente* a singola fase di clock (True SPCL) e sono l'evoluzione delle logiche SPCL (la Figura 38.7 mostra un Platch non invertente).

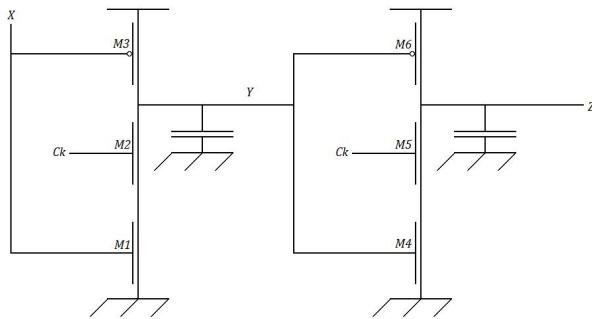


Figura 38.7. Realizzazione di logica TSPCL.

In questo tipo di logica, quando è $Ck = 1$ abbiamo la serie di due invertitori entrambi accesi ($M2$ e $M5$ sono attivi). Allora l'uscita della serie è:

$$Z = \overline{Y} = \overline{\overline{X}} = X$$

che è una condizione di valutazione.

Quando invece il clock è al valore basso i due pull-down sono spenti e l'uscita mantiene invariato il suo precedente valore (siamo in condizione di hold).

Questa logica richiede due transistori in più rispetto alla logica SPCL ma risolve il problema dello skew alla radice (avendo un solo segnale di clock questo non può essere sfasato con se stesso). Per realizzare un flip-flop abbiamo ora bisogno della rete duale di Figura 38.8.

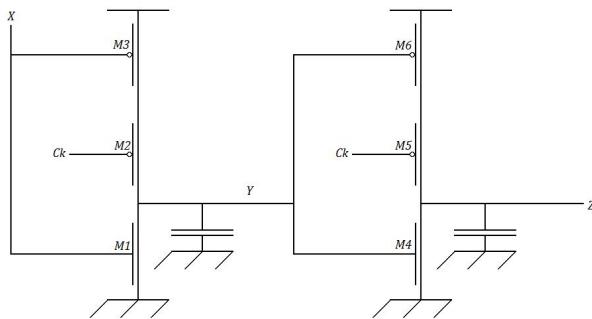


Figura 38.8. Realizzazione del nLatch in logica TSPCL.

Il numero di transistori per un flip-flop sale da otto a dodici ma si eliminano tutte le interconnessioni dovute al segnale di clock negato. È tuttavia possibile ridurre il numero di transistori per latch a cinque (Figura 38.9).

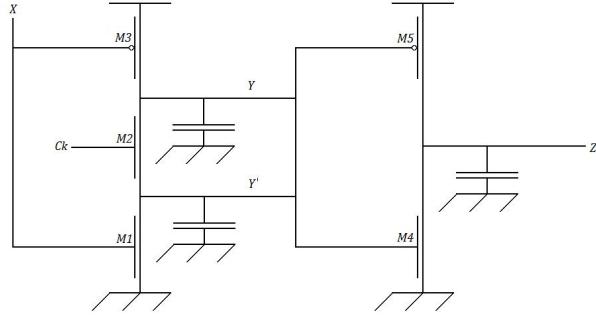


Figura 38.9. Realizzazione di un latch a cinque transistori in logica TSPCL.

In questa logica quando il clock è alto il primo transistore è acceso e la rete è trasparente. Quando invece il clock è al valore basso ed X varia dal valore basso al valore alto Y da 1 resta ad 1 (lo spegnimento di $M3$ manda Y in alta impedenza). Il transistore $M1$ da spento si accende e porta Y' al valore basso, spegnendo $M4$. Allora il secondo stadio si porta certamente in alta impedenza.

Questa logica presenta però un difetto: la rete del primo stadio deve caricare e scaricare due capacità parassite al posto di una. Inoltre la capacità di Y' viene caricata dalla serie di un *p*MOS e di un *n*MOS: il transistore a canale *n* però funziona male a pull-up e quindi il transistore è più lento.

Possiamo migliorare ulteriormente l'ingombro condizionando con il segnale di clock la rete invertente che realizza la logica combinatoria a valle del latch (Figura 38.10). Il costo di sincronizzazione in questo modo passa ad appena quattro transistori.

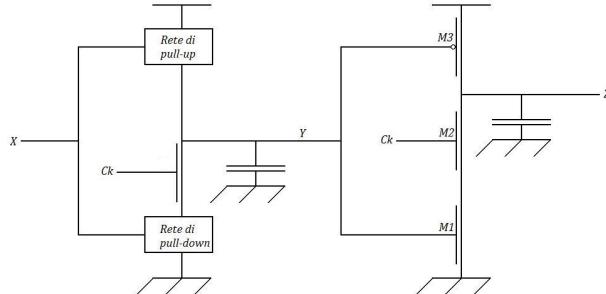


Figura 38.10. Condizionare la rete logica di ingresso con il clock è possibile ridurre l'ingombro a quattro transistori.

Parte V

Appendici

Appendice A

Seminario del 11 maggio 2011

A.1. Introduzione

Abbiamo più volte sottolineato, nel corso della trattazione dei transistori MOSFET come gli aspetti produttivi incidano fortemente sulle possibilità di realizzare logiche sempre più veloci.

In questa Appendice vedremo alcuni aspetti tecnologici circa la realizzazione dei transistori.

A.2. Il processo di fabbricazione

Per realizzare logiche CMOS abbiamo bisogno di materiali semiconduttori monocristallini.

Tutto quanto nasce da un substrato di semiconduttore (tipicamente il silicio). Il silicio non può però essere il silicio della sabbia o del vetro: per realizzare un transistore è necessario utilizzare un silicio estremamente puro e raffinato (la purezza deve essere paragonabile al droggaggio, cioè una parte per miliardo). Il raffinamento si ottiene solitamente tramite processi di fusione successivi. Alle temperature di fusione è però facile contaminare nuovamente il semiconduttore.

Inoltre è necessario che il silicio presenti un reticolo cristallino molto ben definito. Questo è ottenibile immersando in un bagno di silicio fuso un cristallo di silicio già formato che viene poi estratto con estrema lentezza. In questo modo è possibile creare un lingotto cristallino che viene successivamente affettato (in fette di circa mezzo millimetro) con mole diamntate. Lo spessore del dispositivo è “imposto” dalle lavorazioni meccaniche che richiedono una certa resistenza.

Per via delle dimensioni richieste dal processo meccanico di creazione delle fette di semiconduttore, solamente una faccia è accessibile al progettista per la realizzazione del circuito integrato (Figura A.1).

Tutte le procedure di raffinamento e cristallizzazione necessarie per portare al *grado elettronico* rendono il processo di creazione delle fette di silicio un processo molto lento e costoso tanto che solo poche aziende al mondo possono realizzare tali fette.

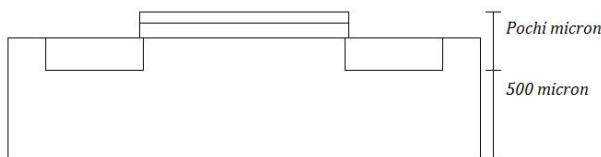


Figura A.1. La parte utilizzata per la realizzazione del circuito integrato è di pochi micron mentre il substrato è di circa 500 micron.

A.3. La realizzazione della struttura

Una volta ottenuta la fetta di silicio, essa viene lucidata per rimuovere le imperfezioni dovute al taglio con la sega diamantata ed ossidata.

Le tasche con drogaggio differente sono tipicamente realizzate con processi fotolitografici. I principali sistemi per drogare il semiconduttore sono due. Il primo consiste nell'inforntare ad elevata temperatura il silicio in forni la cui atmosfera sia satura di gas drogante. Il secondo (impiantazione ionica) consiste nello sparare ioni di drogante direttamente sulla fetta di silicio. Il primo metodo (a caldo) richiede svariati minuti mentre il secondo sistema (a freddo) rischia di danneggiare la superficie.

Per evitare che vengano drogate anche zone che non devono essere drogati, si utilizzano alcuni strati di materiale "sacrificale" che verrà poi rimossa perché faccia da scudo alla fetta di silicio. Tipicamente prima si cresce uno strato di ossido di silicio sull'intera fetta e successivamente si distribuisce una certa quantità di gelatina fotosensibile (*photoresist*) sullo strato di silicio. Infine, utilizzando maschere di contatto o di proiezione si illuminano con raggi ultravioletti le zone che andranno ad essere drogati. Da ultimo è possibile rimuovere la parte esposta ai raggi ultravioletti. Una volta rimosso il photoresist dalle porzioni volute si inizia un nuovo attacco chimico (tipicamente con l'acido cloridrico) per erodere l'ossido. Eroso l'ossido dalle porzioni volute è possibile impiantare gli ioni droganti nelle zone non più protette dall'ossido.

L'intero processo è molto lento. Questa lentezza è però comoda in quanto consente un controllo molto preciso del processo di produzione.

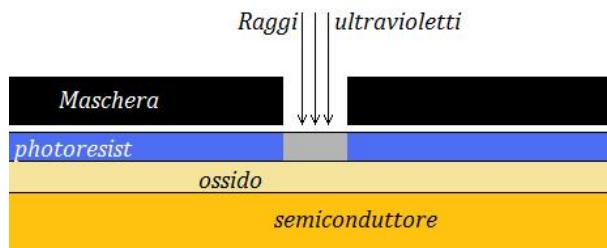


Figura A.2. Schema grafico del processo di creazione delle tasche.

Il processo fotolitografico si può riassumere nei seguenti passi.

1. Definizione di una maschera.
2. Crescita dello scudo.
3. Deposizione del photoresist.
4. Impressione del photoresist.
5. Attacco dell'ossido.
6. Completamento della fase di produzione.

Una volta effettuato il passo 6 si ricomincia dall'inizio per quante volte è necessario.

A.4. Problemi della realizzazione

La tecnologia attuale consente di realizzare questo tipo di strutture in pochi micron. Abbiamo però un problema: per definire l'immagine del transistore non possiamo usare una radiazione con lunghezza d'onda maggiore rispetto alle dimensioni del dispositivo. Per tale ragione, recentemente, si è passati dall'utilizzo dei raggi ultravioletti all'utilizzo dei raggi X e dei raggi elettronici (con conseguente aumento della complessità).

Un secondo problema nella realizzazione dei circuiti integrati è che per inserire anche solo due dispositivi MOS è necessario ripetere per tre volte l'intero processo dalla creazione dello scudo fino al drogaggio. Allora il progettista non può che controllare le dimensioni in pianta del dispositivo.

Un ulteriore problema consiste nell'allineamento delle maschere che deve essere perfetto. Se l'ossido non copre completamente e perfettamente il canale

(tipicamente di pochi nanometri) il dispositivo non funziona. Questo problema è di facile soluzione grazie all'*autoallineamento*: prima si realizzano l'ossido ed il gate (tipicamente si utilizza il polisilicio poiché è più facile da gestire rispetto ai metalli) e poi si drogano le tasche laterali.

A.5. Realizzazione del circuito integrato

Abbiamo ora la necessità di realizzare il circuito vero e proprio necessario alla connessione di due transistori. Tipicamente questa fase consiste nello spargere un nitrato sull'intera superficie. Successivamente, con altri processi fotolitografici, si perfora lo strato isolante in corrispondenza delle tasche di drain e source.

Successivamente si sparge una superficie metallica uniforme su tutto il dispositivo. Con un nuovo processo fotolitografico si realizzano infine le connessioni volute.

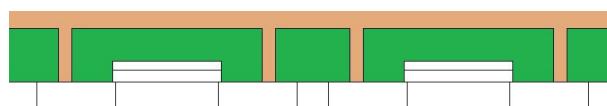


Figura A.3. Schema grafico della realizzazione delle interconnessioni. In verde il nitrato; in color rame il metallo.

Si presenta però di nuovo il problema dell'allineamento. In questo caso non possiamo però sfruttare l'autoallineamento. La soluzione consiste nell'utilizzo di una maschera un poco più grande rispetto alla maschera del gate in modo che, anche in caso di errore di allineamento, il circuito non entri in cortocircuito tra il drain ed il source.

Un ennesimo problema consiste nella realizzazione delle interconnessioni: connettere due punti può richiedere di passare sopra a percorsi già realizzati. La soluzione consiste nell'utilizzare varie metallizzazioni differenti (le tecnologie attuali hanno fino a dieci metallizzazioni). Ogni metallizzazione richiede però maschere opportune con le relative interconnessioni che sono attualmente la parte che occupa più spazio nella realizzazione di un circuito integrato.

Attualmente si cerca di ridurre le dimensioni dei dispositivi assottigliando l'ossido e riducendo la lunghezza dei componenti.

A.6. Limiti allo sviluppo

Lo sviluppo di nuovi chip e circuiti integrati presenta alcuni limiti evidenti:

1. il costo di una macchina per la fotolitografia aumenta in modo esponenziale al diminuire delle dimensioni;
2. mentre le tecnologie aumentano la propria produttività in modo esponenziale, i progettisti restano umani e richiedono sistemi CAD per poter progettare circuiti integrati sempre migliori;
3. le potenze consumate dai chip aumentano in modo esponenziale;
4. parimenti alle potenze consumate il calore dissipato aumenta in modo esponenziale;
5. le dimensioni dello strato di ossido non possono essere ridotte a meno di uno strato atomico a meno di non trovare soluzioni alternative.

Appendice B

Esempi del 4 aprile 2011

B.1. Esempio 1

Ricordando il modello a soglia del BJT:

$$\text{Regione di interdizione} = \begin{cases} V_{BE} < V_\gamma \\ V_{CE} > V_{CESat} & V_{BC} < V'_\gamma \\ I_B = 0 \\ I_C = 0 \end{cases}$$

$$\text{Regione normale} = \begin{cases} V_{BE} = V_\gamma \\ V_{CE} > V_{CESat} \\ I_B > 0 \\ I_C = \beta_F I_B \end{cases}$$

$$\text{Regione di saturazione} = \begin{cases} V_{BE} = V_\gamma \\ V_{CE} = V_{CESat} \\ I_B = 0 \\ I_C < \beta_F I_B \end{cases}$$

si ricavi la caratteristica ingresso-uscita del circuito di Figura B.1.

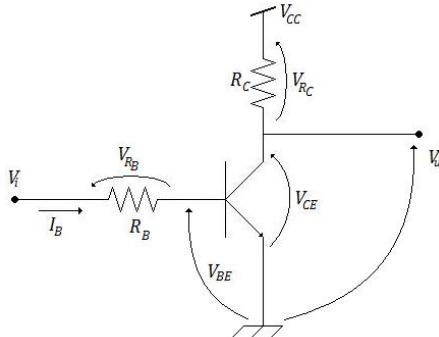


Figura B.1. Circuito in esame nell'Esempio B.1.

Il circuito è a vuoto: non abbiamo componenti connessi all'uscita. Allora sul ramo di uscita non circola corrente.

Facciamo variare la tensione di ingresso nell'intervallo:

$$0 \leq V_i \leq V_{CC}$$

Il transistore è spento quando sia ha:

$$V_{BE} < V_\gamma$$

e quindi quando vale:

$$V_i < V_\gamma$$

dall'equazione alla maglia:

$$V_i - V_{R_B} - V_{BE} = 0 \implies V_i = V_{R_B} + V_{BE}$$

ricaviamo:

$$V_{R_B} + V_{BE} < V_\gamma$$

ed allora, per $V_i < V_\gamma$, il transistore non può che essere spento. Ma allora deve essere:

$$I_C = I_B = I_E = 0$$

$$V_{R_B} = 0$$

$$V_i = V_{BE} < V_\gamma$$

$$I_{R_C} = I_C = 0 \implies V_{R_C} = I_C R_C = 0$$

e di conseguenza risulta:

$$V_{CC} - V_{R_C} - V_{CC} = 0 \implies V_u = V_{CC}$$

Dunque fino a che la tensione V_i risulta inferiore a V_γ , la tensione di uscita è la tensione di alimentazione V_{CC} .

Quando la tensione V_{BE} raggiunge il valore di V_γ , il transistore si accende (usando il modello a soglia perdiamo la gradualità dell'accensione del transistore). Sul punto di transizione valgono sia le condizioni di transistore spento, sia le condizioni di transistore acceso. Il transistore si accende quando abbiamo:

$$V_i = V_\gamma$$

Ma, per quanto appena detto, avremo $V_u = V_{CC}$. Siccome però abbiamo anche $V_u = V_{CE}$ risulta essere $V_{CE} > V_{CESat}$ e dunque il transistore è in regione normale.

Per $V_i > V_\gamma$ il transistore è sicuramente acceso. Siccome l'ingresso varia con continuità ipotizziamo di essere ancora in regione normale. Allora sarà:

$$\begin{cases} V_{CC} - V_{R_C} - V_u = 0 \\ V_{R_C} = I_C R_C \\ I_C = \beta_F I_B \\ V_i - V_{R_B} - V_{BE} = 0 \\ V_{R_B} = R_B I_B \end{cases}$$

da, sostituendo, cui ricaviamo:

$$V_{CC} - \frac{\beta_F R_C}{R_B} (V_i - V_\gamma) - V_u = 0$$

Allora, quando il transistore è in regione normale, risulta essere:

$$V_u = V_{CC} + \underbrace{\frac{\beta_F R_C}{R_B} \cdot V_\gamma}_{\text{termine costante}} - \underbrace{\frac{\beta_F R_C}{R_B} \cdot V_i}_{\text{retta di uscita}}$$

Questo risultato è valido fino a quando risulta essere $V_u > V_{CESat}$. Nel momento in cui si raggiunge $V_u = V_{CESat}$, il BJT entra in saturazione. In saturazione abbiamo:

$$V_u = V_{CE} \implies V_u = V_{CESat}$$

Vogliamo però individuare il valore V_i^* per cui l'uscita diviene V_{CESat} . Anche in questo caso sfruttiamo la transizione. Abbiamo il sistema:

$$\begin{cases} V_u = V_{CC} + \frac{\beta_F R_C}{R_B} \cdot V_\gamma - \frac{\beta_F R_C}{R_B} \cdot V_i^* \\ V_u = V_{CESat} \end{cases}$$

che, risolto, fornisce il valore cercato.

La caratteristica ingresso-uscita del circuito in esame è riportata in Figura B.2. Si noti che il circuito è un invertitore e può essere usato per la realizzazione di una porta logica NOT.

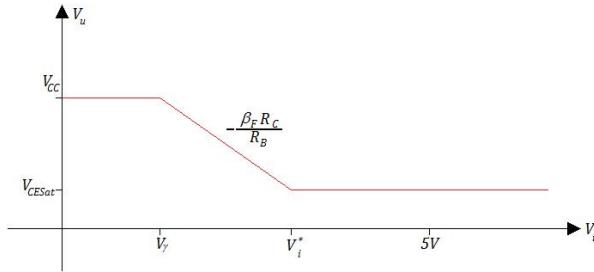


Figura B.2. Caratteristica ingresso-uscita del circuito nell'Esempio B.1.

B.2. Esempio 2

Consideriamo ora il circuito di Figura B.3 sapendo che è:

$$\begin{cases} V_\gamma = 0,7 \quad V \\ 0 \leq V_i \leq 5 \quad V \\ R_1 = 4 \quad k\Omega \\ R_2 = 1 \quad k\Omega \\ R_3 = 500 \quad \Omega \\ \beta_F = 100 \end{cases}$$

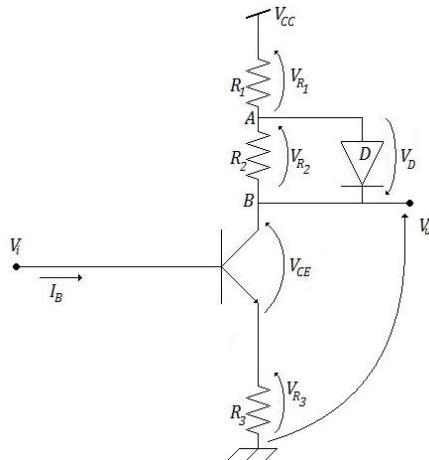


Figura B.3. Circuito in esame nell'Esempio B.2.

Quando il BJT è spento abbiamo:

$$V_i < V_\gamma$$

$$V_i - V_{BE} - R_3 I_3 = 0$$

$$V_{BE} < V_\gamma$$

$$I_E = I_B = I_C = 0$$

$$V_u = V_{CC} - R_1 I_1 - R_2 I_2$$

Se il diodo D è acceso la corrente al nodo A è:

$$I_{R_1} = I_{R_2} + I_B$$

mentre al nodo B risulta:

$$I_{R_2} + I_D = I_C$$

ed allora è:

$$I_{R_1} = I_C = 0 \implies I_{R_2} + I_D = 0 \implies I_{R_2} = -I_D$$

che è un risultato assurdo. Allora l'ipotesi è errata e dunque il diodo deve essere spento e quindi l'unico risultato accettabile è:

$$\begin{cases} I_D = 0 \\ I_{R_2} = 0 \end{cases}$$

Quindi otteniamo:

$$V_u = V_{CC}$$

Per $V_i = V_\gamma$ siamo nel punto di transizione ed abbiamo:

$$V_{BE} = V_\gamma$$

$$I_C = 0 \implies I_D = 0$$

ed il diodo continua ad essere spento.

Per $V_i > V_\gamma$ ci poniamo nella condizione in cui il BJT è in regione normale ed il diodo è ancora spento. In queste condizioni è:

$$\begin{cases} V_u = V_{CC} - (R_1 + R_2) I_C \\ I_C = \beta_F I_B \\ V_i - V_{BE} - R_3 I_E = 0 \\ I_E = (\beta_F + 1) I_B \approx \beta_F I_B \end{cases}$$

$$V_u = V_{CC} - (R_1 + R_2) \cdot \beta_F \cdot \frac{V_i - V_\gamma}{R_3}$$

$$V_u = 12 - 10V_i$$

All'aumentare della tensione V_i però si può raggiungere un punto in cui il diodo D si accende. Potremmo però anche arrivare ad una condizione in cui il transistore entri in saturazione.

La V_i^* della saturazione del diodo è facilmente calcolabile imponendo $V_u = V_{CESat}$ nell'equazione appena ricavata per la V_u . Cerchiamo allora di trovare la V_i^* nel caso in cui il transistore saturi.

$$V_u = V_{CESat} - R_3 I_E$$

$$V_i - V_\gamma - R_3 I_E = 0 \implies R_3 I_E = V_i - V_\gamma$$

$$V_u = V_{CESat} + V_i - V_\gamma = -0,5 + V_i$$

Per ricavare la minima V_i^* mettiamo a sistema le tensioni di uscita nelle due diverse condizioni:

$$\begin{cases} V_u = -0,5 + V_i \\ V_u = 12 + 10V_i \end{cases} \implies V_i^* = 1,136 \text{ V}$$

Nel caso in cui si accenda il diodo è invece:

$$V_{CC} - R_1 I_{R_1} - V_\gamma = V_u$$

$$I_{R_1} = I_{R_2} + I_D = I_C \approx I_E$$

$$V_i - V_\gamma - R_3 I_E = 0$$

$$V_u = V_{CC} - R_1 I_C - V_\gamma = V_{CC} - R_1 \cdot \frac{V_i - V_\gamma}{R_3} - V_\gamma$$

$$\begin{cases} V_u = -8V_i + 9,9 \\ V_u = 12 - 10V_i \end{cases} \implies V_i^* = 1,05 \text{ V}$$

che è più piccola della precedente. Allora prima si accende il diodo e poi il transistore entra in saturazione.

Il punto in cui il BJT entra in saturazione ed il diodo resta attivo troviamo:

$$V_i^{**} = 1,15 \text{ V}$$

Il grafico è riportato in Figura B.4.

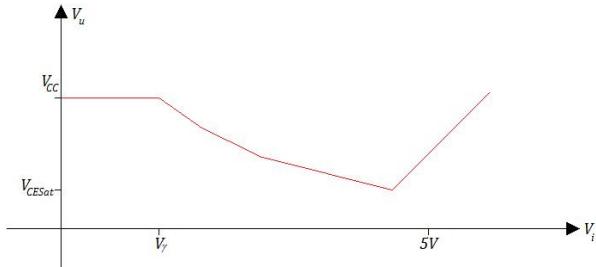


Figura B.4. Caratteristica ingresso-uscita del circuito nell'Esempio B.2.