

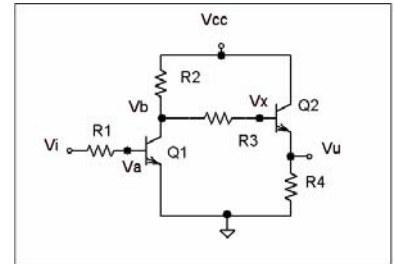
PROVA SCRITTA DI ELETTRONICA  
11 GENNAIO 2007

1) Nel circuito in figura, i transistori possono essere descritti da un modello “a soglia”, con  $V_T = 0.75 \text{ V}$  e  $V_{CE,sat} = 0.2 \text{ V}$ . Si determini il valore della resistenza  $R_4$  in modo tale che:

- l'escursione di  $V_u$ , al variare di  $V_i$  fra 0 e  $V_{CC}$ , sia pari a 4.15 V

Si determini quindi il margine d'immunità ai disturbi della rete.

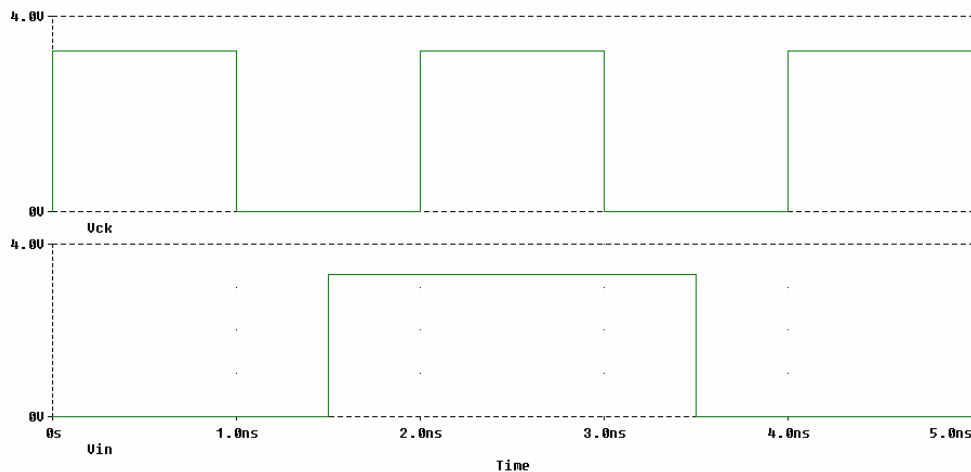
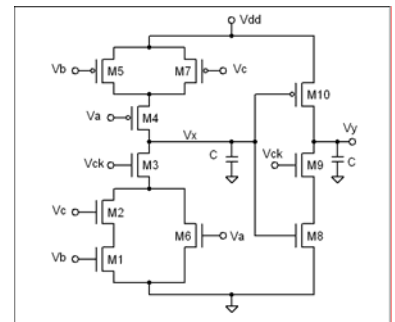
$V_{CC} = 5 \text{ V}$ ,  $\beta_F = 100$ ,  $R_1 = 10 \text{ k}\Omega$ ,  $R_2 = 500 \Omega$ ,  $R_3 = 5 \text{ k}\Omega$ .



2) Nel circuito in figura, i transistori MOS sono caratterizzati dalla tensione di soglia  $V_{Tn} = |V_{Tp}| = V_T$  e dai coefficienti  $\beta_n$  e  $\beta_p$ . I segnali di clock CK e il segnale di ingresso Vin abbiano l'andamento illustrato dalla figura sottostante. Si determini l'andamento dei segnali Vx e Vy nell'intervallo di figura, nelle ipotesi che:

- $V_a = V_{in}$ ,  $V_b = 0$ ,  $V_c = V_{dd}$
- $V_a = 0$ ,  $V_b = V_{in}$ ,  $V_c = V_{dd}$

In ciascuno dei due casi, si calcolino gli istanti di commutazione dei segnali Vx e Vy, assumendo come tali gli istanti in cui il segnale assume il valore pari al 50% della propria escursione. Per semplicità, ai fini del calcolo dei tempi di propagazione del segnale Vy, è lecito assimilare le transizioni di Vx a transizioni istantanee negli istanti di commutazione sopra definiti.



$V_{dd} = 3.3 \text{ V}$ ,  $V_T = 0.4 \text{ V}$ ,  $\beta_n = 0.5 \text{ mA/V}^2$ ,  $\beta_p = 0.3 \text{ mA/V}^2$ ,  $C = 80 \text{ fF}$ .

Esame di ELETTRONICA AB (mod. B): svolgere l'esercizio 1 (tempo disponibile 1h 15m).

Esame di ELETTRONICA DEI SISTEMI DIGITALI A: l'esercizio 2 (tempo disponibile 1h 15m).

Esame di FONDAMENTI DI ELETTRONICA A: svolgere gli esercizi 1 e 2 (tempo disponibile 2h).

- Indicare su ciascun foglio nome, cognome, data e numero di matricola
- Non usare penne o matite rosse
- L'elaborato deve essere contenuto in un unico foglio (4 facciate) protocollo

Compito del 11-01-07 - Esercizio #1:

Osservazione preliminare: Q2 quando è on è in AD.

Calcolo di  $R_4$ :

Quando $v_i = v_{cc}$ , Q1 è SAT e Q2 è OFF, quindi $v_u = 0V$ . Infatti $i_{c1} = (v_{cc} - v_{cesat})/r_2 (=9.6mA) < \beta_f * i_{b1} = \beta_f * (v_{cc} - v_\gamma)/r_1 (=42.5mA)$	Quando $v_i = 0V$ , Q1 è OFF, mentre Q2 è ON in AD. In questo caso deve essere $v_u = 4.15V$ . $i_{b2} = (v_{cc} - v_u - v_\gamma)/(r_2 + r_3)$ $i_{r4} = i_{e2} = v_u/r_4$ Ma $i_{r4} = (\beta_f + 1) * i_{b2}$ e $v_u = 4.15V$ , da cui si ricava che $r_4 = 2260 \Omega$ .
---	--

**Regione 1** :  $v_i < v_\gamma$ : Q1 OFF, Q2 AD,  $v_u = 4.15V$ .

**Regione 2 e Regione 3** : Per  $v_i > v_\gamma$ : Q1 AD, Q2 AD. Calcolo dei punti notevoli.

$i_{b1} = (v_i - v_\gamma)/r_1$ $i_{r2} = (v_{cc} - v_b)/r_2$ $i_{b2} = (v_b - v_u - v_\gamma)/r_3$ $i_{e2} = v_u/r_4$ Ma $i_{r4} = (\beta_f + 1) * i_{b2}$ $i_{r2} = i_{b2} + \beta_f * i_{b1}$	Risolvendo il sistema di equazioni si trova che: $v_b = 8.732 - 4.989 v_i$ , $v_u = 7.812 - 4.882 v_i$ Si può notare come in questa regione $ dv_u/dv_i  = 4.882 > 1$ . Quindi il primo punto notevole coincide con il punto angoloso prima trovato, e cioè: $V_{OHMIN} = 4.15V$ , $V_{ILMAX} = v_\gamma = 0.75V$ .
Si rimarrà in questa regione fintanto che Q1 non va SAT o Q2 non va OFF. Si può notare, però, che quando Q1 va OFF $v_b = v_{cesat}$ , quindi Q2 deve già essersi spento. Calcoliamo quindi per quale valore di $v_i$ Q2 va OFF.	Quando Q2 va OFF $i_{b2} = i_{c2} = i_{e2} = 0$ , quindi $v_u/r_4 = 0$ A, quindi $v_u = 0$ V. Ma $v_u = 7.812 - 4.882 v_i = 0V$ implica che $v_i = 1.6V$ . Per $v_i > 1.6$ V, $v_u = 0V$ . Quindi il secondo punto notevole coincide con il secondo punto angoloso, e cioè: $V_{OLMAX} = 0$ V, $V_{IHMIN} = 1.6$ V.
Si ricava allora che $NM_H = (4.15 - 1.6)V = 2.55$ V e $NM_L = (0.75 - 0)V = 0.75$ V = NM	

## Compito del 11-01-07 - Esercizio #2:

Il circuito consiste di un p-latch TSPCL, che integra la funzione combinatoria  $Y=a+bc$ .

L'uscita di ciascuno dei due stadi può portarsi al valore alto non appena gli ingressi assumano una configurazione opportuna, mentre possono portarsi al valore basso solo se abilitati dal segnale di clock al valore alto.

**Primo caso (i):** M1 off, M5 on, M2 on, M7 off (sempre)

$t < 1\text{ns}$ :  $V_{in}=V_a=0$ ,  $V_{ck}=V_{dd}$

M4 on	→ pull-up on	}	→ $V_x = V_{dd}$	→ M8 on, M9 on, M10 off	→ $V_y = 0$
M3 on, M6 off	→ pull-down off				

$1\text{ns} < t < 1.5\text{ns}$ :  $V_{in}=V_a=0$ ,  $V_{ck}=0$

M4 on	→ pull-up on	}	→ $V_x = V_{dd}$	→ M8 on, M9 off, M10 off	→ $V_y = 0$ (a.i.)
M3 off, M6 off	→ pull-down off				

$1.5\text{ns} < t < 2\text{ns}$ :  $V_{in}=V_a=V_{dd}$ ,  $V_{ck}=0$

M4 off	→ pull-up off	}	→ $V_x = V_{dd}$ (a.i.)	→ M8 on, M9 off, M10 off	→ $V_y = 0$ (a.i.)
M6 on, M3 off	→ pull-down off				

$2\text{ns} < t < 3\text{ns}$ :  $V_{in}=V_a=V_{dd}$ ,  $V_{ck}=V_{dd}$

M4 off	→ pull-up off	}	→ $V_x = 0$	→ M8 off, M9 on, M10 on	→ $V_y = V_{dd}$
M6 on, M3 on	→ pull-down on				

$V_x$  si scarica attraverso 2 nMOS (M3, M6) in serie, il transitorio da  $V_{dd}$  a  $V_{dd}/2$  richiede 0.13 ns;  $V_x$  commuta quindi per  **$t=2.13\text{ ns}$**  (1). Successivamente  $V_y$  si carica attraverso M10, il transitorio da 0 a  $V_{dd}/2$  richiede 0.11 ns;  $V_y$  commuta quindi per  **$t=2.24\text{ ns}$**  (2).

$3\text{ns} < t < 3.5\text{ns}$ :  $V_{in}=V_a=V_{dd}$ ,  $V_{ck}=0$

M4 off	→ pull-up off	}	→ $V_x = 0$ (a.i.)	→ M8 off, M9 off, M10 on	→ $V_y = V_{dd}$
M6 on, M3 off	→ pull-down off				

$3.5\text{ns} < t < 4\text{ns}$ :  $V_{in}=V_a=0$ ,  $V_{ck}=0$

M4 on	→ pull-up on	}	→ $V_x = V_{dd}$	→ M8 on, M9 off, M10 on	→ $V_y = V_{dd}$
M6 off, M3 off	→ pull-down off				

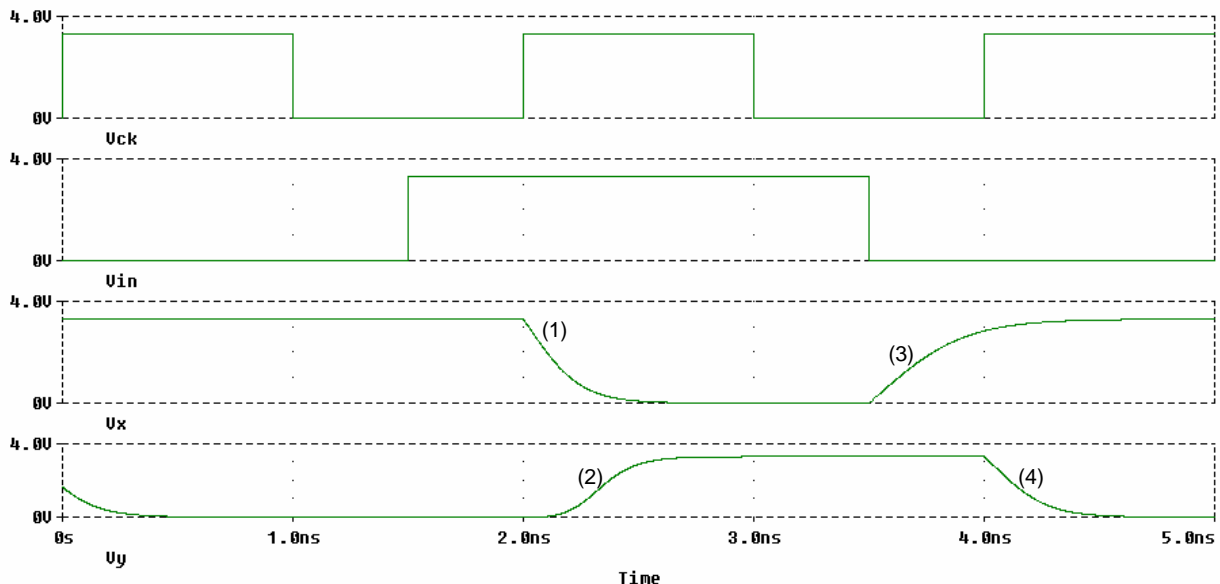
Il transitorio di  $V_x$  avviene immediatamente, e richiede la carica attraverso 2 pMOS (M4,M5), in un tempo pari a 0.22 ns. La commutazione di  $V_x$  avviene quindi per  **$t=3.72\text{ ns}$**  (3).

$4\text{ns} < t$ :  $V_{in}=V_a=0$ ,  $V_{ck}=V_{dd}$

M4 on	→ pull-up on	}	→ $V_x = V_{dd}$	→ M8 on, M9 on, M10 off	→ $V_y = 0$
M6 off, M3 on	→ pull-down off				

$V_y$  commuta dopo il segnale di CK, scaricandosi attraverso 2 nMOS (M8, M9), in un tempo (già calcolato) pari a 0.13 ns. La commutazione avviene quindi a  **$4.13\text{ ns}$**  (4).

L'andamento qualitativo dei segnali è riportato di seguito:



**Secondo caso (ii):** M4 on, M6 off, M2 on, M7 off (sempre)

Qualitativamente identico al precedente. Il transitorio di discesa di  $V_x$  (1) avviene tramite la scarica attraverso 3 nMOS in serie (M1, M2, M3) e richiedono quindi tempi superiori del 50% rispetto al caso precedente. Le commutazioni avvengono quindi per  **$t=2.2\text{ ns}$**  (1),  **$2.31\text{ ns}$**  (2),  **$3.72\text{ ns}$**  (3),  **$4.13\text{ ns}$**  (4).