



Facultad de Ingeniería Universidad de Buenos Aires

PROYECTO DE TESIS DE INGENIERÍA INFORMÁTICA

Calibración de una antena polarimétrica
utilizando los acoplamientos mutuos

ESTUDIANTE: Soler, José Francisco

PADRÓN: 91227

DIRECTORA: Wachsenchauser, Rosita

CO-DIRECTOR: Marino, Pablo

Índice

1. INTRODUCCIÓN	4
1.1. DEFINICIÓN	4
1.2. CARACTERÍSTICAS	4
2. MOTIVACIÓN	4
3. Objetivo de la tesis	5
4. Metodología de la tesis	5
5. Estado del Arte	5
6. Cronograma	5
6.1. Cronograma detallado	5
7. Bibliografía	6
8. Currículum Vitae	7
9. Materias Aprobadas	8
10. Plan de cursada	9
10.1. Polarización	9
10.1.1. Parte Teórica	9
10.1.2. Simulación y Valores Medidos	11
10.2. Parámetros en Señal	12
10.2.1. Parte Teórica	12
10.2.2. Simulaciones	13
10.2.3. Mediciones	13
10.3. Excursiones	16
10.3.1. Parte Teórica	16
10.3.2. Simulaciones	18
10.3.3. Mediciones	20
10.4. Estudio Respuesta En Frecuencia	21
10.4.1. Parte Teórica	21
10.4.2. Simulaciones	26
10.4.3. Mediciones	27

1. INTRODUCCIÓN

Las antenas de arreglo de fase controlada son comunmente utilizadas en aplicaciones aéreas y espaciales. Para obtener un buen comportamiento de las mismas es necesario que estén correctamente calibradas. Esto implica, que las tolerancias de fases y amplitudes se mantengan y sus valores sean bien conocidas por cada elemento del arreglo.

Las antenas de arreglo de fase en tierra son, generalmente, calibradas utilizando fuentes externas de campo lejano o cercano. Sin embargo, en aplicaciones aéreas o espaciales, la utilización de dichas fuentes es impráctica o difícil de implementar. A su vez, si se opta por caracterizar todos los componentes, el tiempo que implicaría es excesivo. Por estas razones, surgieron distintos métodos de calibración interna.

En este conexto, se propone un nuevo método de calibración, el cual aprovecha el acoplamiento mutuo inherente entre los módulos radiantes de la antena.

1.1. DEFINICIÓN

Una antena de arreglo de fase controlada es una antena compuesta por un conjunto de módulos radiantes dispuestos de tal forma, que, aplicando la teoría de construcción y destrucción de ondas, la señal emitida logra ser dirigida donde se desee.

Calibración interna es colocar sensores que permitan la medición directa u indirecta de la potencia y fase de salida/entrada de la antena polarimétrica.

1.2. CARACTERÍSTICAS

La utilización de una buena calibración interna es una problemática muy desafiante dado que es uno de los factores limitantes en la calidad de los productos obtenidos con estas antenas.

2. MOTIVACIÓN

Hay numerosas motivaciones para la investigación de un nuevo método de calibración: Primero, a la hora de adquirir imágenes satelitales es crucial que se conozca perfectamente la señal emitida y recibida por la antena. Ya sea por envejecimiento de los materiales, por variaciones de temperaturas u algún otro factor, se observan dispersiones de las mismas. Hay dos enfoques para encarar esta problemática:

- Controlando las dispersiones máximas que pueden presentarse utilizando hardware más complejo.
- Corrigiendo dichas dispersiones haciendo uso de calibración interna.

Al utilizar la calibración interna se evita aumentar la complejidad y peso del hardware utilizado a costa de un mayor procesamiento de software, logrando así, disminuir el costo de la misión.

Otro motivo es que el método de calibración convencional posee numerosas limitaciones y falencias; la principal es que no abarca todo el sistema de transmisión/recepción, dejando así parámetros fuera de control.

3. Objetivo de la tesis

La presente tesis tiene como objetivo la investigación, análisis y desarrollo de un nuevo método de calibración interna de una antena polarimétrica que abarque el sistema completo de transmisión/recepción.

4. Metodología de la tesis

En la presente tesis se investigarán los métodos de calibraciones actuales para poder determinar que ventajas, desventajas, limitaciones y diferencias hay entre cada una de ellos. Se buscará tener una visión global de esta problemática para poder determinar y entender que posibles falencias puede tener este nuevo método.

Posteriormente, se investigarán las limitaciones que poseen las antenas polarimétricas para poder determinar que recaudos se deben tener en cuenta a la hora de desarrollar el método.

Luego, tomando todo en cuenta, se determinarán las hipótesis necesarias para que el algoritmo funcione correctamente. Para la validación del método se realizará un modelo de antena.

Finalmente, se probarán, analizarán y documentarán los resultados obtenidos de la comparación entre el algoritmo propuesto y el algoritmo de la calibración convencional. A su vez, se dejará asentado que posibles mejoras se podrían aplicar al algoritmo para determinar otros aspectos que están fuera del alcance de esta tesis.

5. Estado del Arte

La calibración de una antena polarimétrica se ha estudiado en numerosas ocasiones, abordando el problema desde distintos enfoques. En el siguiente gráfico se pueden observar los distintos métodos utilizados.

$$\left\{ \begin{array}{l} hola \\ chau \end{array} \right\} \left\{ \begin{array}{l} todobien \\ seee \end{array} \right.$$

todo

Dichos métodos se han clasificado por la utilización o no de componentes externos a la antena.

6. Cronograma

6.1. Cronograma detallado

agregar cronograma

7. Bibliografía

8. Currículum Vitae

9. Materias Aprobadas

10. Plan de cursada

Código	Denominación	Créditos	Fecha
75.00	TESIS	24-OBL	2 - 2015

Cuadro 1: Plan de cursada

TOTAL CRÉDITOS: 24

El tema de

El presente trabajo consiste en estudiar las características de una etapa amplificadora multietapa. En este caso, el circuito bajo estudio es una configuración circuital conocida como *Cascode*. La misma se encuentra implementada en el presente trabajo por medio de un transistor de NMOSFET de doble gate de código BF966. El circuito equivalente que se obtiene al utilizar este transistor en esta configuración es equivalente al de dos transistores MOSFET con valores para sus parámetros principales exhibidos en el cuadro 2.

Transistor	k	V_{TH}	$\frac{W}{L}$
T1	$7.5 \frac{\text{mA}}{\text{V}^2}$	-1V	1
T2	$100 \frac{\text{mA}}{\text{V}^2}$	-1V	1

Cuadro 2: Parámetros de los transistores equivalentes del MOSFET doble gate BF966

El circuito equivalente simplificado del *Cascode* se exhibe en la figura 1.

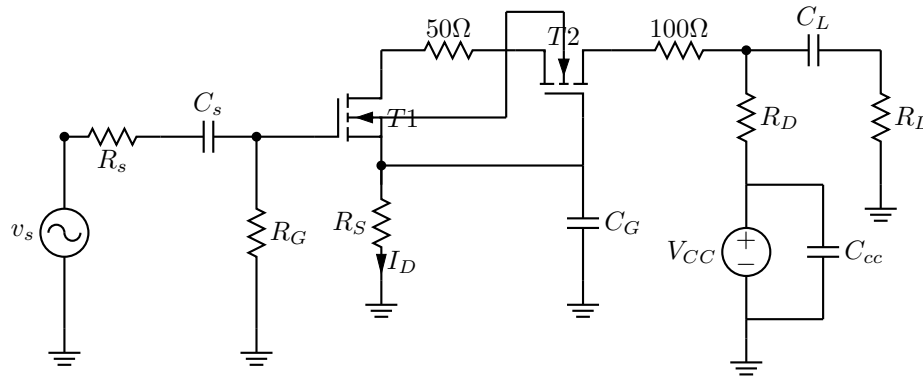


Figura 1: Cascode implementado a partir de una transistor de doble gate (BF966)

10.1. Polarización

10.1.1. Parte Teórica

Se procede a verificar que el circuito exhibido en la figura 1 se polarice de forma correcta. Dado que en continua los capacitores actúan como circuitos abiertos, se puede simplificar el diagrama circuital del esquemático en cuestión.

El circuito a polarizar entonces es el exhibido en la figura 2.

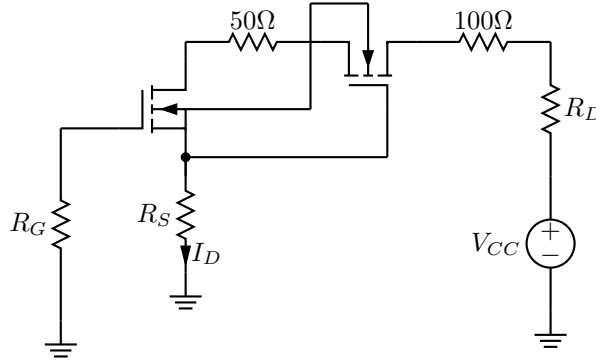


Figura 2: Circuito de Polarización

Primero se procede a calcular la corriente I_D . Para realizar esto se recorre la malla de entrada obteniéndose la ecuación 1. Luego, con la ecuación característica de un MOSFET exhibida en 2 y la ecuación 1 se despeja el valor la corriente I_D y de la tensión de gate V_{GS_1} . Los valores obtenidos son: $V_{GS_1} = -0,698$ V y $I_D = 0,695$ mA.

$$I_D = \frac{V_{GS_1}}{R_S} \quad (1)$$

$$I_D = k_1(V_{GS} - V_{TH})^2 \quad (2)$$

Con la corriente I_D se calcula la tensión V_{GS_2} del segundo transistor de la misma forma que se calculó la del primero. El valor obtenido es $V_{GS_2} = -0,916$ V. Luego de calcular la corriente que entra al drain de ambos transistores y sus respectivas tensiones V_{GS} , queda por calcular las tensiones V_{DS} de los mismos para verificar que ambos están actuando en su correspondiente zona de saturación.

Recorriendo la malla que involucra a la tensión V_{GS} del transistor T2 y la tensión V_{DS} del transistor T1 se obtiene la ecuación exhibida en 3. De la misma se despeja el valor de V_{DS_1} . El valor obtenido es $V_{DS_1} = 0,881$ V.

$$I_D \cdot 50\Omega + V_{DS_1} + V_{GS_2} = 0 \quad (3)$$

Por último, se procede a calcular el valor de la tensión entre drain y source del transistor T2. Para hacer esto, se recorre la malla planteando la ley de tensiones de Kirchhoff que involucra las ramas en la cual se encuentra la fuente de tensión V_{CC} , ambos transistores y la resistencia R_S , obteniéndose la ecuación exhibida en 4. Despejando la única incógnita de esta ecuación, se obtiene que el valor de la misma es $V_{DS_2} = 5,04$ V.

$$I_D R_S + V_{DS_1} + I_D \cdot 50\Omega + V_{DS_2} + I_D R_D - V_{CC} = 0 \quad (4)$$

Dado que ambas tensiones V_{DS} dieron valores mayores a $V_{GS} - V_{TH}$, se corrobora que el circuito se encuentra polarizado correctamente. En la figura 3 se muestran los valores de polarización calculados.

Parámetro Medido	Valor Obtenido
I_D	0.695 mA
V_{GS_1}	-0.695 V
V_{GS_2}	-0.916 V
V_{DS_1}	0.881 V
V_{DS_2}	5.04 V

Cuadro 3: Resumen de los valores de polarización obtenidos

10.1.2. Simulación y Valores Medidos

En la figura 3 se exhibe el esquemático del circuito a simular. Se ajustaron los modelos de los transistores para coincidir con los exhibidos en el cuadro 2. El circuito armado es el equivalente del transistor BF966 presentado en el enunciado del trabajo práctico, el cual incluye muchas capacidades parásitas no consideradas en el circuito planteado en la figura 1. Dado que en el cálculo de polarización las capacidades equivalen a circuitos abiertos, el circuito de polarización de continua es el mismo.

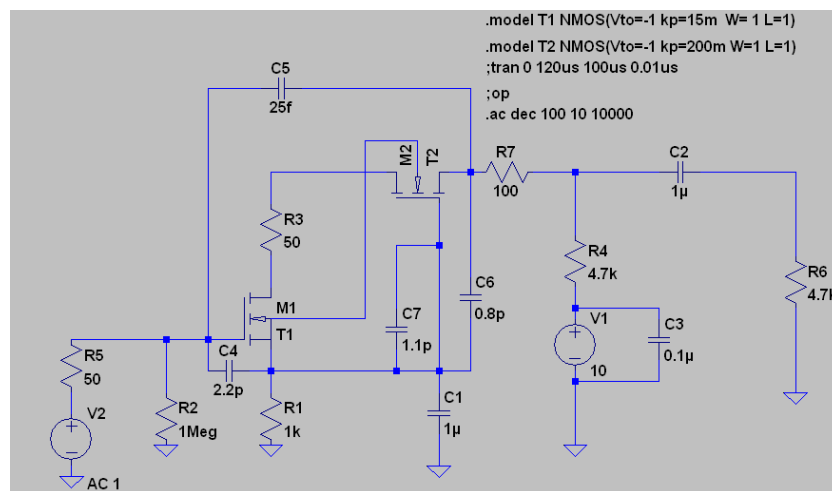


Figura 3: Esquemático del Circuito de Polarización

En la tabla 4 se exhiben los valores obtenidos por simulación y los obtenidos de forma empírica al medir el circuito indicado en el enunciado del TP. Al realizar la medición, como no se puede acceder al nodo D_1 o S_2 , directamente se midió $V_{D_2S_1}$, que es igual a $V_{DS_1} + V_{DS_2}$.

Dado que las mediciones se realizaron de forma directa sin armar ningún banco específico, se muestran directamente en el cuadro 4.

Se puede observar que hay una diferencia entre los valores simulados y los valores medidos, especialmente en el valor de V_{GS_1} . Esto se puede llegar a deber a la dispersión de los parámetros del transistor.

Parámetro	Valor Obtenido (Simulación)	Valor Obtenido (Medición)
I_D	0.695 mA	0.660 mA
V_{GS_1}	-0.695 V	-0.418 V
$V_{D_2S_1}$	5.921 V	6.22 V
V_{D_2}	6.73 V	6.85 V

Cuadro 4: Resumen de los valores de polarización medidos y simulados

10.2. Parámetros en Señal

10.2.1. Parte Teórica

En la presente sección se procede a realizar los cálculos de los parámetros de señales más comunes como lo son A_v , R_o y R_i . Para hacer esto primero se procede a realizar los cálculos de las transconductancias de cada transistor. La fórmula de la transconductancia en un MOSFET es la exhibida en la ecuación 5.

$$g_m = \left[\frac{\partial I_D}{\partial V_{GS}} \right]_Q = 2k(V_{GS} - V_{TH}) \quad (5)$$

Teniendo en cuenta los parámetros de los transistores modelados exhibidos en la tabla 2 se obtiene que los valores de transconductancia buscados son los siguientes:

$$g_{m_1} = 4,575 \frac{\text{mA}}{\text{V}}$$

$$g_{m_2} = 16,8 \frac{\text{mA}}{\text{V}}$$

Con las transconductancias calculadas se procede a realizar los cálculos del A_v , R_o y R_i . En la figura 4 se exhibe el circuito de señal que resulta de considerar a los capacitores de bajas frecuencias como cortocircuitos y los de altas frecuencias como circuitos abiertos, asumiendo que se está trabajando en frecuencias medias.

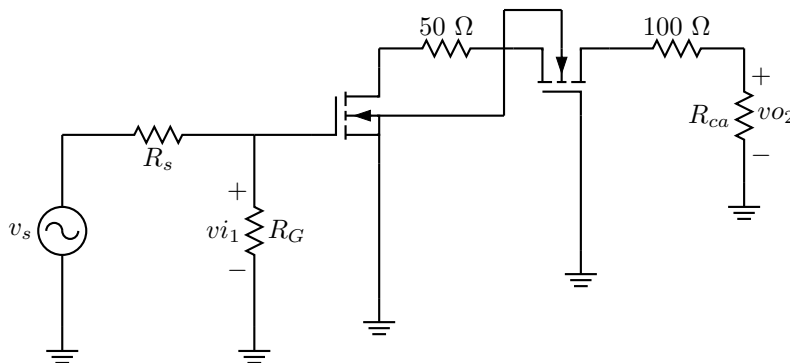


Figura 4: Equivalente circuital del *Cascode* en Señal

Con el circuito de señal se procede a calcular la ganancia de tensión A_v . En la fórmula 6 se exhibe el cálculo de este parámetro:

$$A_v = \frac{v_{o2}}{v_{i1}} \simeq \frac{-i_d(R_{ca})}{v_{gs1}} = -gm_1(R_{ca}) \simeq -11,21 \quad (6)$$

Luego se procede a calcular R_o y R_i . Debido a que R_{ig} , la resistencia vista entre Gate y común del transistor T1, es infinita, el cálculo de la resistencia de entrada es el siguiente:

$$R_i = R_{ig} || R_G = R_G = 1 \text{ M}\Omega$$

Para calcular la resistencia de salida como bien se sabe se reemplaza a la carga por una fuente de tensión o corriente pasivando las fuentes independientes del circuito y se calcula la resistencia como la tensión de salida obtenida sobre la corriente de salida. Dado que no se especifica en el enunciado cuanto vale el valor de λ , se asume que este valor tiende a cero y por lo tanto la resistencia de señal r_{ds} tiende a infinito. Esto trae como consecuencia que el generador controlado del transistor T2 no se prenda en ningún momento, por lo cual la resistencia vista entre Drain y común de este transistor tiende a valer infinito. La fórmula de la resistencia de salida se exhibe en la ecuación 7.

$$R_o = R_{oc} || R_D = R_D = 4,7 \text{ k}\Omega \quad (7)$$

10.2.2. Simulaciones

El circuito a simular para obtener los parámetros de señal es el mismo exhibido en la figura 3. Para calcular los parámetros deseados sólo debe elegirse la correcta opción de simulación. En este caso, se hace un estudio en frecuencia mediante la opción de simulación *AC analysis* para verificar en qué rango se puede considerar que uno se encuentra en frecuencias medias y se calculan los parámetros en cuestión para esta condición.

Primero se procede a calcular A_v . El resultado de la simulación es mostrado en la figura 5. Luego se procede a calcular la resistencia de entrada R_i . Esta medición como la del A_v se realiza sin modificar el circuito en la simulación. El resultado de la simulación es exhibido en la figura 6.

Por último se procede a calcular la resistencia de salida del *Cascode*, R_o . Se reemplaza en el esquemático de Spice la fuente de tensión senoidal ideal por un corto y la carga por un generador para computar el cálculo de este parámetro. En la figura 7 se exhibe el resultado de la simulación. Se puede observar como la misma coincide con al valor teórico calculado.

10.2.3. Mediciones

Para realizar las mediciones de los parámetros de señal se procede a medir el circuito polarizado en la primera etapa del TP. Con la ayuda de un osciloscopio se mide la tensión de salida y la tensión de entrada, teniendo especial cuidado con la amplitud de la señal de entrada y la frecuencia de trabajo elegidos.

En la sección siguiente (10.3 Excursiones) se calcula que la máxima tensión de entrada v_i antes de que alguno de los transistores recorte es de $\simeq 152 \text{ mV}$. De esta forma, para cumplir con este requisito, se alimenta al circuito con una

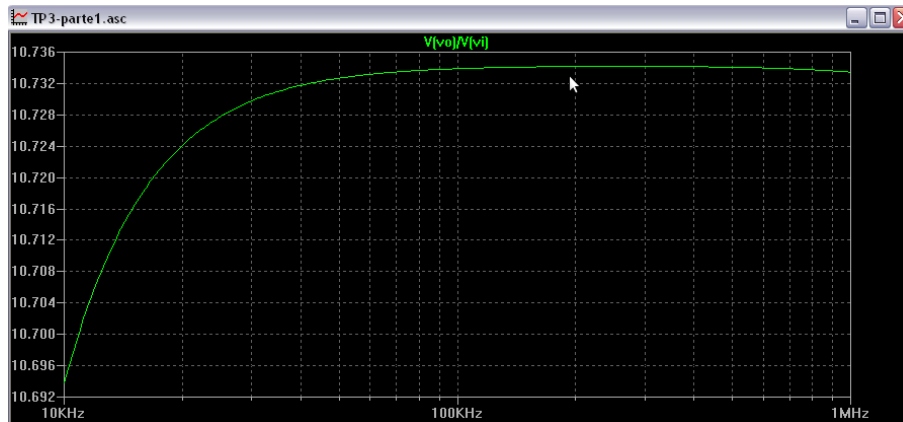


Figura 5: Simulación del parámetro de señal A_v

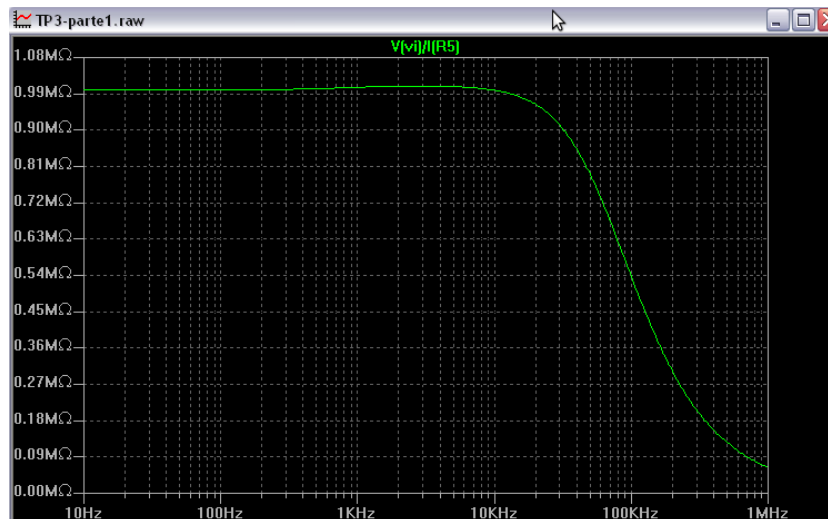


Figura 6: Simulación del parámetro de señal R_i

tensión de entrada v_i de 20 mV y una frecuencia de 50 kHz a la hora de calcular el parámetro A_v , obteniéndose como resultado:

$$A_v \simeq -10$$

Luego se procede a calcular la resistencia de entrada. Dado que la medición de la resistencia de entrada involucra el cálculo de una corriente, se agrega una resistencia del orden de la resistencia a medir y se calcula R_i en función de un divisor resistivo. Debe tenerse en cuenta el efecto de carga introducido por la punta del osciloscopio en esta medición dado que R_i es del orden de los $M\Omega$ y como se sabe la resistencia equivalente de una punta x1 es de $\simeq 1 M\Omega$ y la de una punta x10 es de $\simeq 10 M\Omega$. En la figura 8 se exhibe el banco de medición equivalente y en la ecuación 8 se exhibe la expresión de R_i en función de los parámetros (conocidos) involucrados en el banco de medición. La resistencia

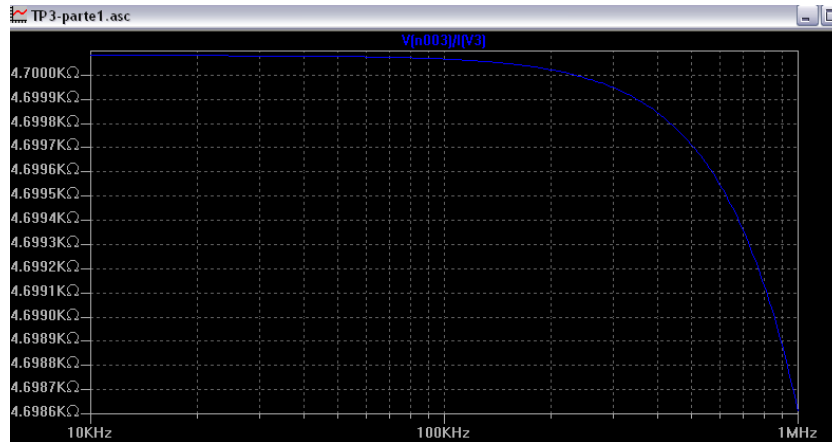


Figura 7: Simulación del parámetro de señal R_o

auxiliar utilizada es de $1\text{ M}\Omega$ y la relación de tensiones $\frac{\hat{V}_s}{\hat{V}_x}$ calculada es igual a $\simeq 1,46$ utilizando en la medición puntas x1.

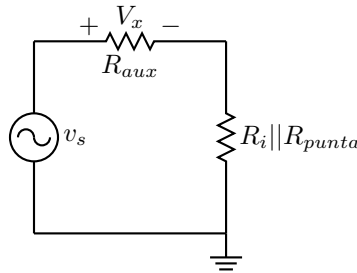


Figura 8: Banco de Medición para medir R_i

$$\hat{V}_x = \hat{V}_s \left(\frac{R_{aux}}{R_{aux} + R_i || R_{punta}} \right) \Rightarrow R_i || R_{punta} = \left(\frac{\hat{V}_s}{\hat{V}_x} - 1 \right) R_{aux} \simeq 466\text{ k}\Omega \quad (8)$$

$$\Rightarrow R_i = \frac{R_{punta} \cdot 466\text{ k}\Omega}{R_{punta} - 466\text{ k}\Omega} \simeq 872\text{ k}\Omega$$

Por último se procede a calcular la resistencia de salida. Para realizar esta medición se plantea un banco de medición parecido al utilizado para calcular R_i . El banco es similar dado que la resistencia en cuestión se calcula como una relación entre la tensión y la corriente en un malla determinada del circuito (en este caso, la malla de salida). Como toda resistencia de salida, para calcular la misma se debe reemplazar la carga por un generador de prueba y se deben pasivar todas las fuentes independientes involucradas en el circuito. Sin embargo, debido a que la resistencia de carga se encuentra soldada a la plaqueta, no se puede extraer la misma para realizar esta medición. De esta forma, el banco de medición armado para medir la resistencia de salida es el exhibido en la

figura 9. La expresión de la resistencia de salida en función de los parámetros involucrados es la mostrada en la ecuación 9. La resistencia auxiliar utilizada es de 4.7 kΩ y la relación de tensiones $\frac{\hat{V}_s}{\hat{V}_x}$ medidas es igual a $\simeq 1,53$.

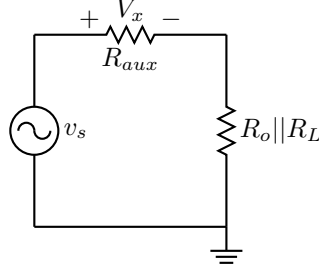


Figura 9: Banco de Medición para medir R_o

$$\begin{aligned}\hat{V}_x &= \hat{V}_s \left(\frac{R_{aux}}{R_{aux} + R_o || R_L} \right) \Rightarrow R_o || R_L = \left(\frac{\hat{V}_s}{\hat{V}_x} - 1 \right) R_{aux} \simeq 2,5 \text{ k}\Omega \quad (9) \\ \Rightarrow R_o &= \frac{R_L \cdot 2,5 \text{ k}\Omega}{R_L - 2,5 \text{ k}\Omega} \simeq 5,34 \text{ k}\Omega\end{aligned}$$

10.3. Excursiones

10.3.1. Parte Teórica

Para comenzar se calculan las rectas de carga dinámica de cada transistor, teniendo en cuenta el esquemático del *Cascode* en señal presentado en la figura 4. Debido a que las corrientes de gate son pequeñas y despreciables, las corrientes de drain de los dos transistores son iguales. Con esto sabido, se recorre la malla que involucra a las tensiones v_{ds1} y v_{gs2} , obteniéndose la ecuación mostrada en 10.

$$v_{ds1} + i_d \cdot 50 \Omega - v_{gs2} = 0 \quad (10)$$

Dado que la corriente de drain de un transistor se puede escribir en función de su transconductancia, se reemplaza esta expresión en la ecuación 10 y despejando se llega a la expresión de la recta de carga dinámica del transistor T1. La misma se exhibe en la ecuación 11.

$$i_d = \frac{v_{ds1}}{r_{d2} + 50\Omega} = \frac{v_{ds1}}{110\Omega} \quad (11)$$

Para realizar el cálculo de la excursión del segundo transistor, se recorre la malla que involucra a las ddp v_{ds1} y v_{ds2} obteniéndose como resultado la ecuación exhibida en 12. Dado que R_{ca} en este caso es del orden de los KΩ, se puede despreciar el efecto de carga impuesto por la resistencia de 50 Ω en esta última ecuación. Luego, reemplazando el resultado obtenido en 11 en 12 se obtiene la expresión de la recta de carga del transistor T2. La misma se exhibe en la ecuación 13.

$$i_d \cdot (R_{ca} + 50\Omega) + v_{ds1} + v_{ds2} = 0 \quad (12)$$

$$i_d = \frac{-v_{ds2}}{R_{ca} \cdot (1 - \frac{rd_2}{R_{ca}})} \Rightarrow i_d \simeq \frac{-v_{ds2}}{R_{ca}} \quad (13)$$

Con las pendientes de las RCDs, se procede a calcular las máximas excursiones de cada transistor. Para realizar esto hay que recordar que estas últimas rectas fueron calculadas en señal, de modo que cada RCD pasa por el punto de reposo en el cual se encuentra su respectivo transistor. Teniendo esto en cuenta y despreciando las tensiones y corrientes de codo se exhiben a continuación las máximas excursiones por corte y saturación de cada transistor:

$$\hat{V}_{DS1}(corte) = I_{D1Q} \cdot 110\Omega \simeq 77 \text{ mV}$$

$$\hat{V}_{DS1}(sat.) = V_{DS1} = 0,881 \text{ V}$$

$$\hat{V}_{DS2}(corte) = I_{D1Q} \cdot 2,35\Omega \simeq 1,645 \text{ V}$$

$$\hat{V}_{DS2}(corte) = V_{DS2} = 5,01 \text{ V}$$

Como se puede observar, ambos transistores llegan a sus límites debido a sus máximas excursiones por corte. Sin embargo, esto no nos dice cual es el transistor que está limitando la máxima señal de entrada que se puede ingresar. Para determinar cual de los transistores es el limitante en este circuito se procede a obtener las tensiones de entradas v_i necesarias para que las salidas de cada uno no presenten recortes. Para ello se utilizan las amplificaciones de cada etapa las cuales se exhiben a continuación:

$$A_{v1} = -0,27$$

$$A_{v2} = 39,48$$

Obteniendo las v_i de recorte:

$$v_{i1} = \frac{v_{ds1}}{-0,27} = 285,2 \text{ mV}$$

$$v_{i2} = \frac{v_{ds2}}{39,48} = 41,3 \text{ mV}$$

Aquí se muestra que el recorte está limitado por el primer transistor y por lo tanto la señal a la salida del circuito presenta recorte con una entrada de:

$$v_i = 285,2 \text{ mV}$$

Luego de realizar el análisis de las excursiones, se procede a analizar el criterio que debe tomarse para que haya baja distorsión en la señal de salida respecto de la de entrada. Del enunciado del presente trabajo se extrae que la condición que debe cumplirse es que:

$$V_{GS} - V_{GSQ} \ll \frac{V_{GSQ} - V_{TH}}{2}$$

Esta condición se obtiene del desarrollo por Taylor de la ecuación de transferencia del transistor MOS en el punto de trabajo Q. Realizando un desarrollo de Taylor hasta la derivada primera se obtiene:

$$I_d(V_{GS}) = I_d + 2k(V_{GSQ} - V_{TH})(V_{GS} - V_{GSQ}) + \dots$$

Ahora si se multiplica y divide el segundo termino de la sumatoria por $V_{GS} - V_{TH}$ se obtiene:

$$I_d(V_{GS}) = I_d + \frac{2k(V_{GSQ} - V_{TH})(V_{GS} - V_{TH})}{(V_{GSQ} - V_{TH})} + \dots$$

Reemplazando la ecuación característica del MOS se llega a que:

$$I_d(V_{GS}) = I_d + \frac{2I_d(V_{GS} - V_{GSQ})}{(V_{GS} - V_{TH})}$$

Esta ecuación muestra que para que la linealización sea respetada, se necesita que los términos no lineales tengan baja influencia por lo tanto se necesita que:

$$V_{GS} - V_{GSQ} \ll \frac{(V_{GSQ} - V_{TH})}{2}$$

Se calcularon los valores

$$\frac{(V_{GSQ1} - V_{TH})}{2} = 152 \text{ mV}$$

$$\frac{(V_{GSQ2} - V_{TH})}{2} = 42 \text{ mV}$$

Para concluir se obtiene que antes de que la tensión de salida sufra un recorte por corte, esta se vera previamente distorsionada.

10.3.2. Simulaciones

Para realizar la simulación, se procede a calcular algunos armónicos del espectro de Fourier de la señal que obtenemos a la salida del circuito. Para esto se emplea el comando .four del LTSPICE el cual calcula estos armónicos y nos brinda el THD (Distorsión Armónica Total) con el cual tenemos una relación porcentual de la influencia de los armónicos sobre la frecuencia fundamental. El valor que se tomara para considerar a la señal de salida "óptima" (baja distorsión) sera un THD en un intervalo de cero a tres por ciento. La señal utilizada es senoidal con frecuencia de 50 KHz. En las figuras 10, 11 y 12 se muestra el aumento del THD causada por la aparición de armónicos.

Dichas amplitudes son (expresadas en mV) 10, 25 y 160 respectivamente. Como conclusión, se observa que la señal de entrada que no presenta distorsión apreciable es:

$$\hat{V}_i = 25 \text{ mV}$$

Fourier components of V(vo)
DC component:0.000384387

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	5.000e+04	1.072e-01	1.000e+00	-179.19°	0.00°
2	1.000e+05	8.789e-04	8.196e-03	92.63°	271.82°
3	1.500e+05	3.167e-05	2.953e-04	-129.53°	49.66°
4	2.000e+05	3.147e-05	2.934e-04	-9.16°	170.03°
5	2.500e+05	1.952e-05	1.820e-04	88.85°	268.04°
6	3.000e+05	3.416e-05	3.186e-04	119.03°	298.22°
7	3.500e+05	6.916e-06	6.449e-05	81.22°	260.41°
8	4.000e+05	4.792e-05	4.468e-04	-96.67°	82.52°
9	4.500e+05	3.826e-05	3.567e-04	-33.99°	145.20°
10	5.000e+05	1.766e-05	1.647e-04	-15.07°	164.12°
11	5.500e+05	2.669e-05	2.489e-04	-142.99°	36.20°
12	6.000e+05	4.682e-05	4.366e-04	84.24°	263.44°
13	6.500e+05	1.705e-05	1.590e-04	127.55°	306.74°
14	7.000e+05	1.058e-05	9.866e-05	115.95°	295.14°
15	7.500e+05	1.455e-05	1.357e-04	62.56°	241.75°
16	8.000e+05	1.048e-05	9.776e-05	-96.23°	82.96°
17	8.500e+05	6.043e-06	5.635e-05	36.63°	215.82°
18	9.000e+05	4.940e-06	4.607e-05	-65.74°	113.46°
19	9.500e+05	7.191e-06	6.706e-05	56.68°	235.88°
20	1.000e+06	1.030e-05	9.605e-05	-79.72°	99.47°
21	1.050e+06	1.035e-06	9.651e-06	-74.75°	104.44°
22	1.100e+06	5.744e-06	5.356e-05	-107.61°	71.58°
23	1.150e+06	5.742e-06	5.354e-05	-74.47°	104.72°
24	1.200e+06	1.443e-06	1.345e-05	67.46°	246.66°
25	1.250e+06	4.020e-06	3.749e-05	12.38°	191.57°

Total Harmonic Distortion: 0.825743%

Figura 10: Señal sin distorcion

Fourier components of V(vo)
DC component:-0.00125854

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	5.000e+04	2.679e-01	1.000e+00	-179.19°	0.00°
2	1.000e+05	5.505e-03	2.055e-02	92.44°	271.63°
3	1.500e+05	1.128e-04	4.212e-04	-159.46°	19.73°
4	2.000e+05	5.125e-05	1.913e-04	-13.52°	165.67°
5	2.500e+05	8.115e-05	3.029e-04	70.81°	250.00°
6	3.000e+05	7.438e-05	2.776e-04	112.82°	292.01°
7	3.500e+05	5.502e-05	2.054e-04	-49.52°	129.67°
8	4.000e+05	1.245e-04	4.648e-04	-124.72°	54.47°
9	4.500e+05	7.707e-05	2.877e-04	-128.69°	50.50°
10	5.000e+05	7.694e-05	2.872e-04	18.24°	197.43°
11	5.500e+05	7.465e-05	2.787e-04	136.63°	315.82°
12	6.000e+05	9.941e-05	3.711e-04	45.01°	224.20°
13	6.500e+05	7.196e-05	2.686e-04	21.66°	200.85°
14	7.000e+05	3.315e-05	1.238e-04	-166.21°	12.98°
15	7.500e+05	2.125e-05	7.931e-05	7.04°	186.23°
16	8.000e+05	3.169e-05	1.183e-04	-122.32°	56.87°
17	8.500e+05	1.245e-05	4.647e-05	5.54°	184.73°
18	9.000e+05	3.083e-05	1.151e-04	-129.11°	50.08°
19	9.500e+05	6.703e-06	2.502e-05	-88.86°	90.33°
20	1.000e+06	1.315e-05	4.907e-05	176.38°	355.57°
21	1.050e+06	2.006e-05	7.488e-05	166.31°	345.50°
22	1.100e+06	8.959e-06	3.344e-05	-21.33°	157.86°
23	1.150e+06	1.201e-05	4.484e-05	-79.41°	99.78°
24	1.200e+06	1.267e-05	4.728e-05	-131.06°	48.13°
25	1.250e+06	7.570e-06	2.826e-05	-64.00°	115.19°

Total Harmonic Distortion: 2.057670%

Figura 11: Señal presentando sintomas de distorcion

Fourier components of V(vo)
DC component:-0.13768

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	5.000e+04	1.673e+00	1.000e+00	-179.18°	0.00°
2	1.000e+05	2.258e-01	1.349e-01	92.41°	271.59°
3	1.500e+05	1.409e-03	8.421e-04	150.10°	329.28°
4	2.000e+05	9.042e-04	5.403e-04	155.30°	334.48°
5	2.500e+05	6.328e-04	3.781e-04	-178.86°	0.32°
6	3.000e+05	7.006e-04	4.186e-04	162.98°	342.16°
7	3.500e+05	3.499e-04	2.091e-04	177.30°	356.48°
8	4.000e+05	6.379e-04	3.812e-04	-171.50°	7.68°
9	4.500e+05	6.862e-04	4.100e-04	147.09°	326.26°
10	5.000e+05	2.277e-04	1.361e-04	62.53°	241.71°
11	5.500e+05	4.814e-04	2.877e-04	-119.90°	59.28°
12	6.000e+05	4.786e-04	2.860e-04	178.65°	357.83°
13	6.500e+05	3.027e-04	1.809e-04	-139.00°	40.18°
14	7.000e+05	7.593e-04	4.537e-04	-172.72°	6.46°
15	7.500e+05	6.238e-04	3.728e-04	125.71°	304.89°
16	8.000e+05	7.700e-05	4.601e-05	83.17°	262.35°
17	8.500e+05	2.269e-04	1.356e-04	156.08°	335.26°
18	9.000e+05	2.841e-05	1.698e-05	66.56°	245.74°
19	9.500e+05	1.998e-04	1.194e-04	-153.93°	25.25°
20	1.000e+06	1.134e-04	6.774e-05	165.36°	344.54°
21	1.050e+06	1.578e-04	9.431e-05	-144.22°	34.96°
22	1.100e+06	1.878e-04	1.122e-04	-177.87°	1.31°
23	1.150e+06	1.359e-04	8.120e-05	-170.17°	9.01°
24	1.200e+06	1.781e-04	1.064e-04	176.75°	355.93°
25	1.250e+06	9.009e-05	5.383e-05	173.34°	352.52°

Total Harmonic Distortion: 13.491290%

Figura 12: Señal con distorsion apreciable

10.3.3. Mediciones

Para el análisis de la distorsión, se procede a observar en el laboratorio la señal a la salida a través del osciloscopio. Se observa que a partir de una V_i de 25 mV de amplitud, la señal comienza a distorsionar. Este valor implica que a la salida se tiene 266.5 mV de tensión pico, por lo que el transistor comienza a distorsionar bastante antes de llegar a la máxima excursión por corte calculada por inspección.

Tensión máxima de salida medida:

$$\hat{V}_i = 25 \text{ mV}$$

¿Qué efectos causaría la eliminacion C_g en los valores medidos en los punto 1 a 4? La eliminación de C_g a frecuencias medias causaría la aparición en alterna de Rs, provocando las siguientes modificaciones en los parámetros del circuito:

- El punto de reposo no evidencia variaciones ya que el capacitor en corriente continua actúa como un circuito abierto.
- La ganancia total del circuito caería ya que el primer transistor estaría realimentado para alterna. La nueva ganancia total sería la de un emisor común realimentado, la cual se exhibe al ecuación 14.
- Aumenta la resistencia de entrada a de gate R_{ig} , pero como es muy grande en comparación con R_G , al estar relacionadas mediante un paralelo la resistencia R_G dominaría y la resistencia interna R_i se mantendría sin modificación apreciable.

- Al incorporarse R_S en el circuito de señal la tensión de entrada quedaría compuesta por $v_i = v_{gs1} + v_{R_S}$, lo cual permite que la máxima señal de entrada v_i que puede introducirse sin que haya recorte aumente.

$$A_v = \frac{-R_D || R_L}{r_{d1} + 1} = -1,93 \quad (14)$$

10.4. Estudio Respuesta En Frecuencia

10.4.1. Parte Teórica

A continuación se estudiará la respuesta en frecuencia del circuito. Para ello, cabe destacar 3 zonas marcadas, las cuales son bajas frecuencias, las llamadas frecuencias medias y altas frecuencias.

Frecuencias medias son aquellas frecuencias en que el circuito se comporta como si fuese puramente resistivo, ya que a esas frecuencias las reactancias capacitivas no son comparables a los valores de resistencias.

En bajas frecuencias, los capacitores que están conectados en serie a la señal comienzan a influir haciendo que el A_v disminuya. Estos capacitores comienzan a influir. Para determinar cual es la frecuencia de corte inferior del circuito, es necesario saber que capacitores son los que afectan a la ganancia, en este caso el A_v . Estos capacitores son los que están conectados en serie al recorrido de la señal, en el circuito 13 son C_G y C_L . Los mismos comienzan a influir porque el valor de sus reactancias comienzan a hacerse comparables con los valores de las resistencias del circuito.

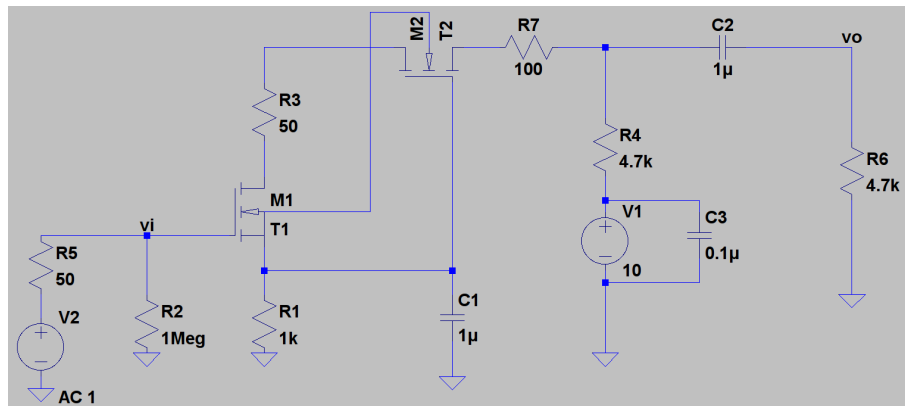


Figura 13: Circuito equivalente en baja frecuencia

No se realizará un análisis sobre la respuesta con el capacitor C_L ya que, al considerarse r_o y r_μ infinitas, dicho componente no posee interacción ni con la entrada ni con el resto de los capacitores.

Para calcular la frecuencia de corte inferior se supondrá a priori, que los polos impuestos por los capacitores se encuentran suficientemente separados entre sí para que no haya influencia entre los mismos. A su vez, se supondrá que la frecuencia de corte es causada por un polo de primer orden. Para esto, se calculará la frecuencia de corte de cada capacitor por separado, por ende, se

considerará que los polos impuestos por el resto de los capacitores están suficientemente a la izquierda (en una frecuencia menor), de esto se interpreta que se debe considerar a estos capacitores como cortocircuitos.

En señal, las resistencias "vistas" por el capacitor se aprecian en el grafico 14

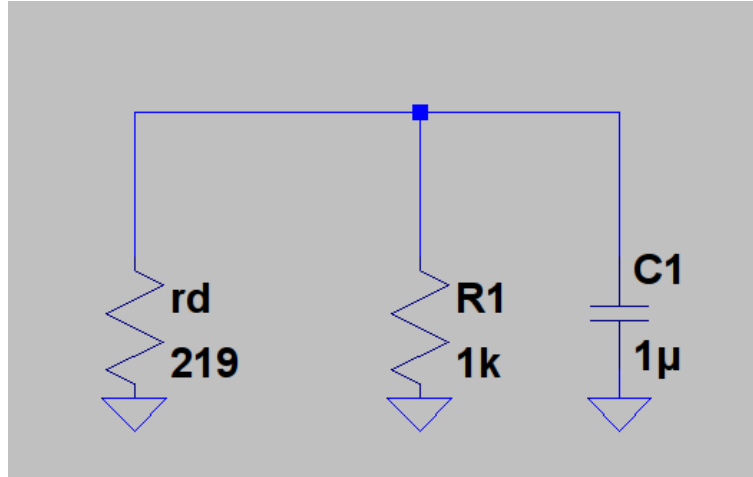


Figura 14: Circuito equivalente "visto" por C_g

Para conocer el valor de r_d se realiza la siguiente ecuación:

$$r_d = \frac{1}{g_{m1}} = \frac{1}{4,575 \frac{\text{mA}}{\text{V}}} = 219 \Omega \quad (15)$$

Quedando así, la resistencia total vista por el capacitor:

$$R_t = r_d // R1 = 219 \Omega // 1 \text{ K}\Omega = 180 \Omega \quad (16)$$

Como $\tau = R_t \cdot C$, la frecuencia de corte inferior queda de la siguiente manera:

$$F_c = \frac{1}{2\pi \cdot \tau} = \frac{1}{2\pi \cdot 180 \mu\text{s}} = 884 \text{ Hz} \quad (17)$$

En altas frecuencias, los capacitores anteriormente mencionados continúan comportándose como un cortocircuito como lo hacían a frecuencias medias, pero ahora, los capacitores del modelo del transistor comienzan a influir afectando así, nuevamente, a la ganancia A_v porque están conectados en paralelo al recorrido de la señal. Por ende, mientras más se aumenta la frecuencia, menor es la reactancia, hasta que se comportan como un cortocircuito. En este punto extremo, la $V_o = 0$.

El circuito equivalente a altas frecuencias es mostrado en la figura 15

Para calcular la frecuencia de corte superior se supondrá a priori que los polos impuestos por los capacitores se encuentran suficientemente separados entre sí para que no haya influencia entre los mismos. A su vez, se supondrá que la frecuencia de corte es causada por un polo de primer orden. Para esto, se

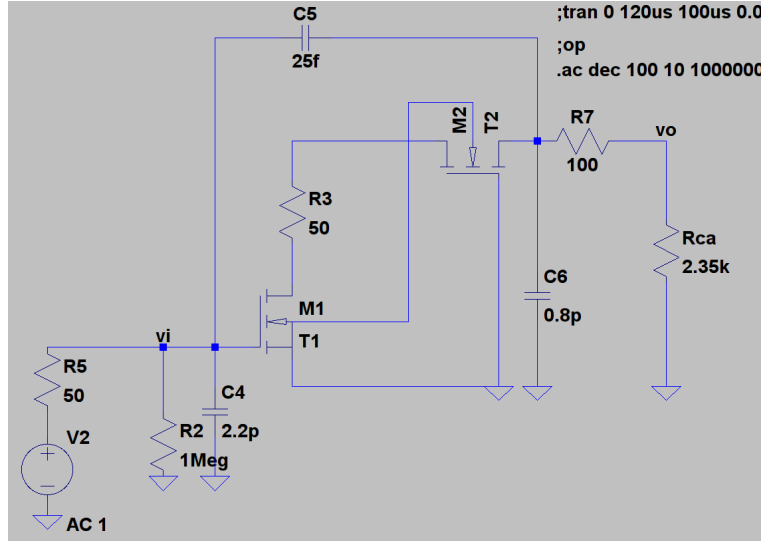


Figura 15: Circuito equivalente a alta frecuencia

calculará la frecuencia de corte de cada nodo por separado. Por ende, se considerará que los polos impuestos por el resto de los capacitores están suficientemente a la derecha (en una frecuencia mayor), de esto se interpreta que se debe considerar a estos capacitores como abiertos.

Como puede observarse en el gráfico 15, sólo se debe calcular la frecuencia de corte en los nodos de la entrada (G_1) y salida (D_2), ya que el resto de los capacitores del modelo mostrados en la figura 1 están conectados en ambos terminales a masa.

Primero se procederá a calcular el tau referente al nodo del G_1 , para ello se debe calcular que resistencia equivalente "ve.el capacitor equivalente (como hay un capacitor que une la entrada con la salida, es necesario reflejarlo utilizando los criterios de müller). En el gráfico 16 se muestra el circuito equivalente.

Como el capacitor C_5 está conectado entre la entrada y la salida, su capacitancia reflejada se multiplica por un factor de $(1 - A_v)$, el A_v es el calculado en la sección anterior y es igual a $-11,21$, resultando en los siguientes valores equivalentes:

$$R_{eq} = R_5 // R_2 = R_5 = 50 \Omega \quad (18)$$

$$C_{eq} = C_4 + C_5^* \cdot (1 - A_v) = 2,2 \text{ pF} + 25 \text{ fF} \cdot (1 + 11,21) = 2,5 \text{ pF} \quad (19)$$

La fórmula de la frecuencia de corte es la misma que para bajas frecuencias, por ende se procederá a calcularla como en la ecuación 8. El resultado a continuación:

$$\tau = R_{eq} \cdot C_{eq} = 125 \text{ ps} \quad (20)$$

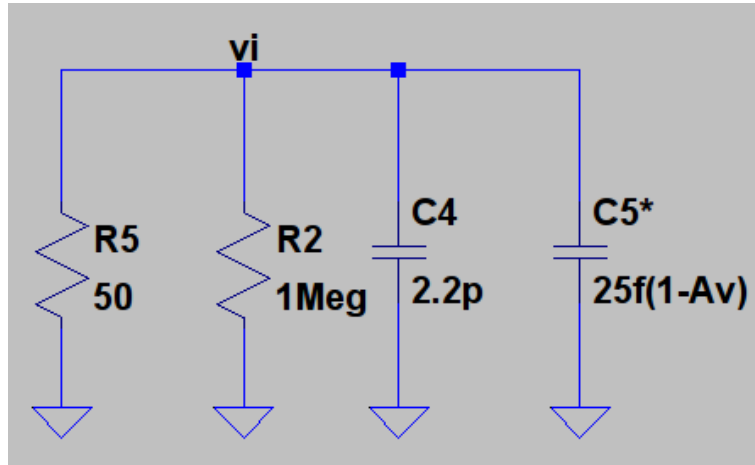


Figura 16: Circuito equivalente a alta frecuencia para el nodo G_1

$$F_{c_{sup1}} = \frac{1}{2\pi \cdot \tau} = \frac{1}{2\pi \cdot 125 \text{ ps}} = 1,2 \text{ GHz} \quad (21)$$

Ahora se procederá a calcular el tau con respecto al nodo de salida o nodo de D_2 realizando el mismo procedimiento. Esta vez, el A_v utilizado para la reflexión de C_5 es de una ganancia inversa, ya que la señal entra por el nodo D_2 y sale por G_1 . Por ende este valor tiende a 0 y se lo desprecia. En el gráfico 17 se muestra el circuito de resistencias y capacitores equivalentes. Como se supone un V_a tendiendo a infinito, la resistencia vista hacia el nodo D_2 tiende a infinito y no se la considera.

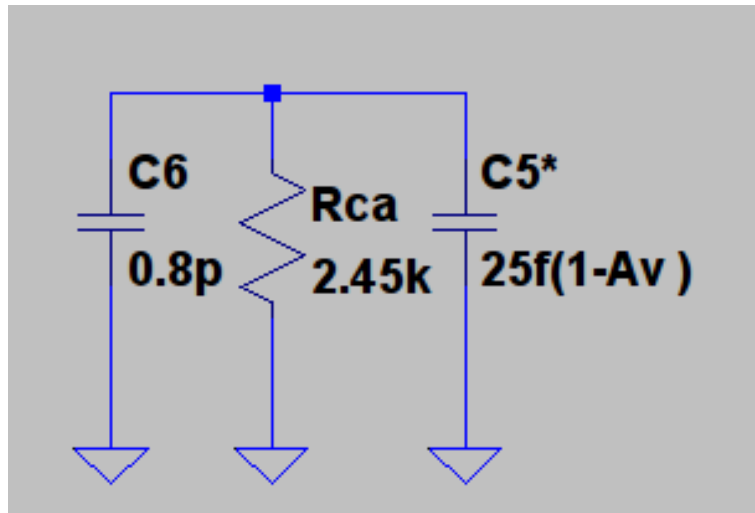


Figura 17: Circuito equivalente a alta frecuencia para el nodo D_2

$$R_{eq} = R_{ca} = 2450 \, \Omega \quad (22)$$

$$C_{eq} = C_6 + C_5^* \cdot (1 - A_v) = 0,8 \text{ pF} + 25 \text{ fF} = 0,825 \text{ pF} \quad (23)$$

Con los valores exhibidos en las ecuaciones 17 y 22 se procederá a calcular la segunda posible frecuencia de corte superior:

$$\tau = R_{eq} \cdot C_{eq} = 2,02 \text{ ns} \quad (24)$$

$$F_{c_{sup2}} = \frac{1}{2 \cdot \pi \cdot \tau} = \frac{1}{2\pi \cdot 2,02 \text{ ns}} = 79 \text{ MHz} \quad (25)$$

Comparando ambas frecuencias de corte superiores, 1,2 GHz y 79 MHz, se puede concluir que la frecuencia de corte superior ronda por los 79 MHz. Por lo tanto el ancho de banda del circuito es de 885 Hz – 79 MHz

A la hora de realizar las mediciones, se debe tener en cuenta el efecto de carga que el circuito punta-osciloscopio genera en el circuito. Las mediciones se realizaron con dos puntas distintas, una punta x_{10} y otra activa, la cual posee un factor de atenuación igual a 20. Dichas puntas se cuelgan en paralelo a los circuitos calculados anteriormente para dichas mediciones. Para la medición de la frecuencia de corte inferior el capacitor equivalente no afecta, ya que para esta frecuencia se lo considera como un circuito abierto.

Las resistencias y capacitores equivalentes de dichos componentes se muestran en el cuadro 5.

Punta	R_{int}	C_{int}
X_{10}	10 M Ω	20 pF
X_{20}	20 M Ω	2 pF

Cuadro 5: Resistencias y capacitancias equivalentes en punta X_{10} y X_{20}

En la tabla 6 se muestran los capacitores y resistencias equivalentes y los valores de las frecuencias de corte superior, tomando en cuenta el efecto de carga que la punta-osciloscopio genera. La fórmula para calcular la frecuencia de corte es la fórmula anteriormente mencionada.

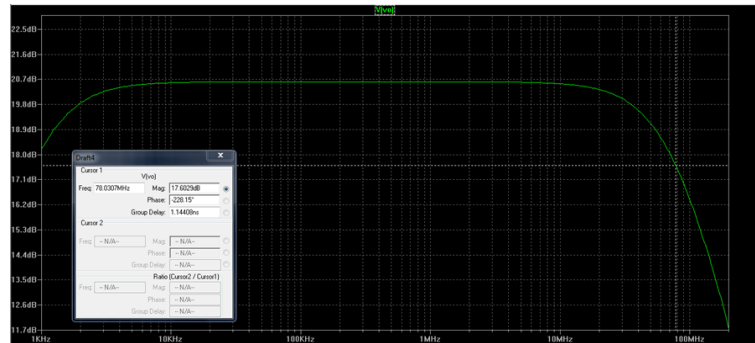
Parámetros	X_{10}	X_{20}
R_{eq}	2450 Ω	2450 Ω
C_{eq}	20 pF	2,825 pF
$F_{c_{sup}}$	3 MHz	23 MHz

Cuadro 6: Frecuencias de corte superior tomando en cuenta el efecto de carga de las distintas puntas

Como puede apreciarse en el cuadro 6 la frecuencia de corte superior es menor utilizando la punta X_{10} ya que esta introduce un mayor efecto de carga en la medición.

10.4.2. Simulaciones

A continuación se procederá a realizar la simulación de la respuesta en frecuencia para corroborar lo calculado analíticamente y las mediciones efectuadas.



Aquí se puede observar que la frecuencia de corte superior calculada analíticamente no difiere en mucho, su error corresponde al método utilizado. Finalmente se observa que la frecuencia de corte superior del circuito mediante simulación es $\simeq 78$ MHz.

Simulación con Puntas

Ahora analizaremos los efectos de las puntas en las mediciones

Las puntas no afectan en bajas frecuencias ya que presentan capacidades equivalentes muy pequeñas

Punta X 10

La punta x10 presenta

$$C_{eq} = 20pf$$

$$R_{eq} = 10Meg$$

Ubicadas en paralelo a la salida y entre ellas generando una capacidad equivalente total en el nodo de salida de

$$C_{eqtot} = 0,8pf + 20pf = 20,8pf$$

Obteniendo de esta manera

$$f_h = 3,24MHz$$

Punta Activa

La punta Activa presenta

$$C_{eq} = 2pf$$

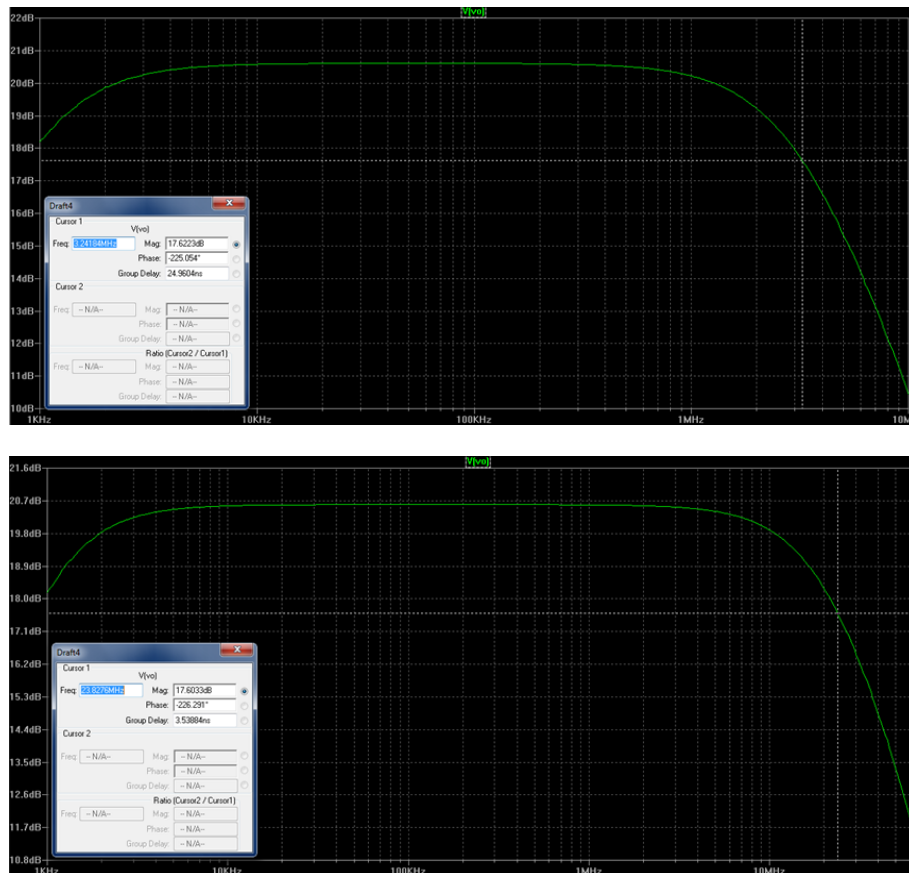
$$R_{eq} = 1Meg$$

Ubicadas en paralelo a la salida y entre ellas generando una capacidad equivalente total en el nodo de salida de

$$C_{eqtot} = 0,8pf + 2pf = 2,8pf$$

Obteniendo de esta manera

$$f_h = 23,83MHz$$



Finalmente cabe aclarar que las resistencias equivalentes de las puntas no afectan al valor de la equivalente ya que son grandes en comparación la resistencia de salida del circuito

Se concluye que el polo generado por la inclusión de las puntas afecta a la frecuencia de corte superior de la transferencia. Por consiguiente y como muestran las simulaciones la punta activa al tener un tau mas pequeño que la punta X10, afecta en menor medida a la medición de la fh.

10.4.3. Mediciones

Para la medición de la respuesta en frecuencia se utilizaron dos puntas, una activa X_{20} y otra pasiva X_{10} . La punta pasiva posee una capacitancia de 20 pF y una resistencia en paralelo de 10 M Ω , mientras que la punta activa posee una capacitancia 2 pF y una resistencia de 20 M Ω en paralelo. Como indica el ítem a realizar se midió la frecuencia de corte superior.

Para realizar la medición se conectaron 2 puntas, una a la entrada del circuito y otra a la salida, se fue variando la frecuencia hasta que la amplitud de la señal de salida sea menor que la amplitud de entrada por un factor de $\sqrt{2}$.

La punta conectada a la entrada del circuito no influye en la medición dado que el nodo GATE-T1 no es el dominante por lo demostrado en la parte teórica.

$$puntaX10 \Rightarrow Ceq = 0,8 \text{ pF} + 20 \text{ pF} = 20,8 \text{ pF}$$

$$puntaActiva \Rightarrow Ceq = 0,8 \text{ pF} + 2 \text{ pF} = 2,8 \text{ pF}$$

En la tabla 7 se muestran los valores de tensión de la salida medidos a diferentes frecuencias. La v_i utilizada es de 30 mV y, como el A_v es de 10, la salida a frecuencias medias es de 300 mV.

Frecuencia	V_o punta X_{10} (mV)	V_o punta X_{20} (mV)
100 KHz	295	290
500 KHz	280	285
1 MHz	254	285
3 MHz	215	286
8 MHz	180	280
10 MHz	82	272

Cuadro 7: Mediciones de V_o a distintas frecuencias

Como se puede apreciar en la tabla 7, se obtuvo una frecuencia de corte de 3,1 MHz con la punta X_{10} . En cuanto a la medición con la punta activa, no se pudo medir la frecuencia de corte superior ya que el generador de funciones no entrega una frecuencia mayor que 10 MHz. Por ende, lo único que se puede asegurar es que la frecuencia de corte superior del circuito se encuentra por encima de los 10 MHz.