

Práctica 4 - Arquitecturas de Referencia

Descripción General

Procesador ORGA1i

El procesador ORGA1i es un procesador ORGA1 que ha sido extendido con la capacidad para atender la interrupción de un único dispositivo de E/S. Para ello:

- Posee una señal de entrada llamada INT (Interrupción) y de salida INTA (Interrupción Reconocida).
- Posee un nuevo flag: I. Este flag indica:
 - si $I=1$ el procesador puede ser interrumpido y atender la interrupción del dispositivo
 - si $I=0$ el procesador no puede ser interrumpido
- Todos los flags (I,C,V,N,Z) se almacenan en un registro de uso específico PSW.
- La dirección de memoria 0x0000 se reserva para almacenar la dirección de la rutina de atención de la interrupción del dispositivo de E/S.

Las señales INTR e INTA conectan al procesador con el dispositivo de E/S. Si el dispositivo activa la señal de interrupción y el flag I vale 1, al terminar de ejecutar la instrucción en curso, el procesador realiza *átomicamente* la siguiente secuencia de pasos:

1. Coloca $[SP]=PSW$, y decrementa el SP ($SP=SP-1$).
2. Coloca $[SP]=PC$, y decrementa el SP ($SP=SP-1$).
3. Coloca $I=0$ para evitar que el procesador vuelva a interrumpirse.
4. Coloca $PC=[0x0000]$.
5. Activa la señal INTA para indicarle al dispositivo que atenderá su pedido.

Luego de esto, comienza a ejecutarse la rutina de atención de la interrupción propiamente dicha.

El conjunto de instrucciones del procesador incluye las instrucciones:

- CLI que coloca el flag $I=0$
- STI que coloca el flag $I=1$
- PUSH R_i , cuyo efecto es $[SP]=R_i$ y luego $SP=SP-1$
- POP R_i , cuyo efecto es $SP=SP+1$ y luego $R_i=[SP]$
- IRET, cuyo efecto es $PC=[SP+1]$, $PSW=[SP+2]$, $SP=SP+2$

Procesador 8086 + PIC 8259¹

El procesador 8086 posee una arquitectura de 16 bits con direccionamiento a byte. Sus características más sobresalientes (para la realización de esta guía) son las siguientes:

Registros cuenta con 12 registros de 16 bits, 8 de propósito general (llamados: AX, BX, CX, DX, BP, SP, DI y SI) y cuatro para manejo de memoria (CS, DS, SS, ES). Puede accederse a la parte baja y alta de los cuatro primeros utilizando AL, BL, CL y DL, y AH, BH, CH y DH.

¹**Aclaración:** en esta sección se desarrolla una descripción incompleta de las características de la arquitectura Intel 8086, pero que es suficiente para realizar los ejercicios de esta guía de ejercicios.

Flags provee los que existen en la ORGA1i y algunos más (que no vienen al caso en este momento).

Instrucciones las operaciones de la ORGA1i son un subconjunto de las del Intel 8086, pero deben tenerse en cuenta las siguientes particularidades:

- el único modo de direccionamiento para acceder a memoria es el directo;
- a lo sumo uno de los operandos puede ser una dirección de memoria;
- a lo sumo uno de los operandos puede ser una constante;
- para acceder a los registros de E/S se utiliza un espacio de direcciones independiente al de memoria (al contrario de lo que ocurre con la ORGA1i), para lo cual la arquitectura 8086 provee las instrucciones especiales:
 - **IN Reg,RegES** que copia el contenido del registro de E/S a un registro del CPU
 - **OUT RegES,Reg** que copia el contenido del registro en el registro de E/S.

El PIC 8259 es un módulo cuyo objetivo es gestionar distintas interrupciones para el procesador 8086. Cuenta con ocho entradas IR0 a IR7, donde IR0 es la interrupción de mayor prioridad e IR7 es la interrupción de menor prioridad. El PIC contiene los siguientes registros de E/S:

- **IRR** (Interrupt Request Register): El i-ésimo bit se activa si la i-ésima línea de interrupción es activada.
- **IMR** (Interrupt Mask Register): Permite indicar qué interrupciones deben ser atendidas y que interrupciones no deben serlo. El i-ésimo bit prendido indica que la i-ésima interrupción debe ser atendida. Si el bit está apagado, la interrupción se desestima.

Cuando el PIC solicita una interrupción al CPU:

1. Si el CPU decide atender la interrupción, levanta la señal **INTA** (interrupción reconocida).
2. Al detectarlo, el PIC coloca en el bus de datos el número de interrupción que corresponde atender.
3. El CPU lee el número de interrupción del bus de datos, e indexa el vector de interrupciones (tabla que comienza en la dirección 0x0000) para obtener la dirección de inicio de la rutina de atención para la interrupción solicitada.
4. El CPU apila la palabra de estado, el program counter y deshabilita todas las interrupciones.
5. El CPU inicia la ejecución de la rutina de atención de la interrupción.