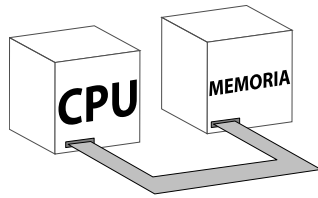


Práctica 5 - Buses

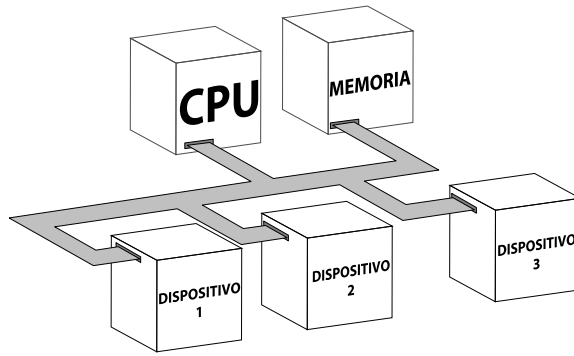
Organización del Computador 1

Primer Cuatrimestre 2018 - Turno Mañana

Todos los dispositivos utilizados en la materia sólo censan las líneas del bus durante el nivel bajo del *clock* y las cargan durante el nivel alto. Para la presente práctica se utilizarán los siguientes esquemas de conexión:



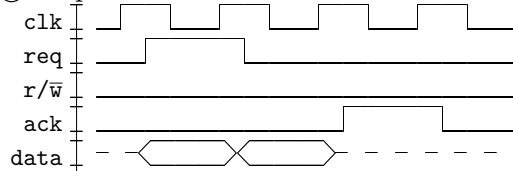
Esquema 1



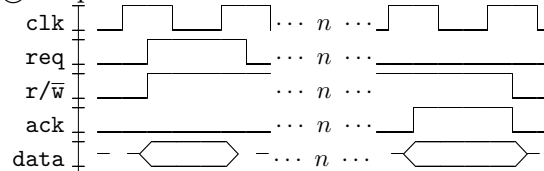
Esquema 2

Ejercicio 1 Los siguientes gráficos de tiempos son el resultado de una sola operación realizada en el esquema indicado:

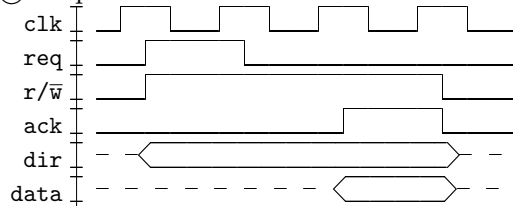
Ⓐ Esquema de conexión 1:



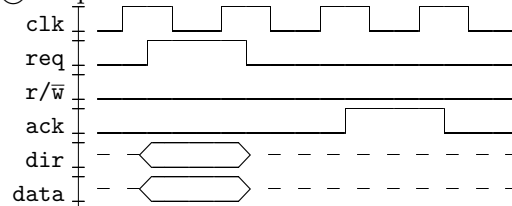
Ⓑ Esquema de conexión 1:



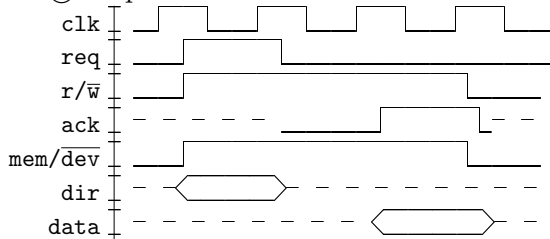
Ⓒ Esquema de conexión 1:



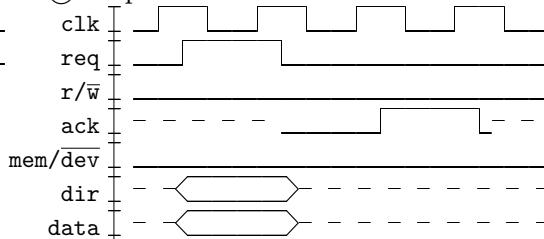
Ⓓ Esquema de conexión 1:



Ⓔ Esquema de conexión 2:



⓫ Esquema de conexión 2:

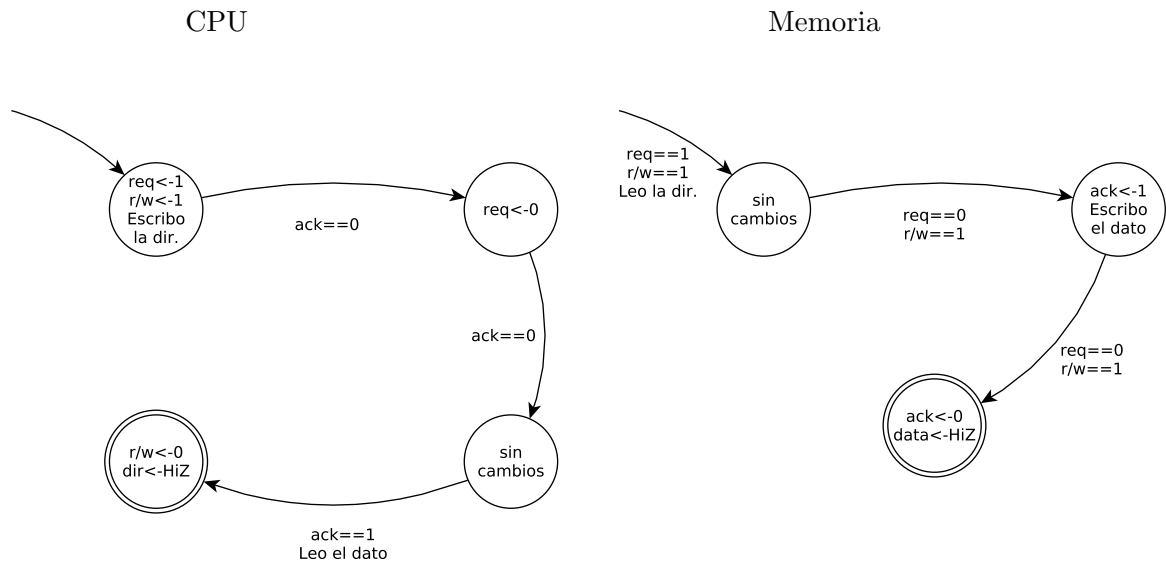


para cada uno de ellos responder:

a) ¿corresponde a un protocolo de lectura o de escritura?

- b) ¿cuántos ciclos se destina a la transferencia?
- c) ¿las líneas son multiplexadas o dedicadas?
- d) Si se tienen direcciones de 7 *bits* y palabras de 12 *bits*, ¿cuántas líneas componen las señales *data* y *dir* ?
- e) ¿el gráfico refleja la existencia de un único espacio de direcciones o el espacio de direcciones de E/S está diferenciado?

Ejercicio 2 ¿A cuál diagrama del ejercicio 1 corresponden estas máquinas de estados?



Ejercicio 3 Para cada gráfico de tiempo del ejercicio 1 realizar la máquina de estados correspondiente a cada dispositivo que interviene en la comunicación.

Ejercicio 4 Para cada gráfico de tiempo del ejercicio 1, ¿cuánto tiempo toma realizar la transferencia si se supone que el *clock* tiene una frecuencia de 50 KHz?

Ejercicio 5 Se desea construir un bus síncrono para conectar una CPU con un módulo de memoria y *n* dispositivos de E/S. Las características del sistema son las que siguen:

- El esquema de acceso a los dispositivos de E/S se realiza mediante registros no mapeados a memoria (es decir, un espacio de direcciones independiente de E/S).
- Los registros del CPU son de 32 *bits*
- El espacio direccionable es 4 GB para direcciones de memoria y 1 MB para direcciones de dispositivos de E/S.
- El ciclo de reloj del bus tiene una duración de 35 ns.
- La memoria tiene un retardo de 70 ns.
- Sólo el CPU puede iniciar transferencias por el bus.
- Los dispositivos de E/S pueden tardar un tiempo no determinado.
- El CPU debe poder leer y escribir a memoria y a dispositivos de E/S.

- a) Diseñe el bus (e.g. si es multiplexado o dedicado, qué líneas de control, cuántas líneas de datos, etc).

- b) Escriba un diagrama de tiempos para una transferencia de lectura a la memoria.
- c) Escriba un diagrama de tiempos para una transferencia de escritura a un dispositivo de E/S.

Ejercicio 6 Una computadora con direccionamiento a byte, posee un bus de 32 líneas de datos y 32 líneas de direcciones que conecta la CPU, la memoria y los dispositivos de E/S. Dicho bus es asíncrono.

- a) Indicar un posible conjunto de señales de control que deberá tener el bus.
- b) Describir un ciclo de bus para escribir el valor `0x44553366` a partir de la posición `0xFFFF0004`. Mostrar el contenido de las posiciones de memoria subsiguientes suponiendo que los datos se almacenan en modo *little-endian*.

Ejercicio 7 Sea un procesador de 32 bits, con un bus de datos de 32 bits y un bus síncrono de 8 MHz con líneas de datos y direcciones dedicadas. Si una transferencia de 32 bits lleva 4 ciclos del reloj del bus. ¿Cuál es la máxima capacidad del bus?

Ejercicio 8 Considere un bus síncrono de 50 MHz y 32 líneas sobre las que se multiplexan direcciones y datos.

- a) ¿Cuánto dura un ciclo del reloj de este bus y cuál es la máxima capacidad del bus suponiendo que una transferencia toma 5 ciclos de reloj del bus?
- b) Además de las líneas de datos, mencione otras 2 líneas que obligatoriamente debería tener el bus.

Ejercicio 9 Sea un bus síncrono con un ciclo de reloj de t ns cuyo protocolo para realizar una lectura es el que sigue:

1. La CPU coloca la dirección que desea leer en el bus de direcciones
2. La CPU baja la línea de \overline{RD} para indicar que es una lectura
3. La CPU baja la línea de \overline{MREQ} para indicar que desea realizar un acceso a memoria
4. El módulo de memoria detecta la señal baja en \overline{MREQ}
5. El módulo de memoria baja la señal de \overline{WAIT} para indicar al CPU que está comenzando a buscar la dirección
6. El módulo de memoria selecciona la dirección solicitada, cuando la encuentra, la coloca en el bus de datos
7. Cuando se encuentra estable la señal en el bus de datos, levanta la señal de \overline{WAIT} para indicar al CPU que el dato ya se encuentra en el bus de datos
8. La CPU detecta la la señal alta en \overline{WAIT} , y lee el bus de datos

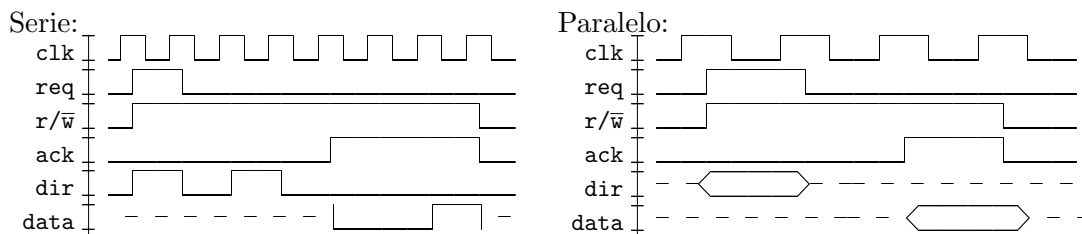
Este bus se utiliza para conectar una CPU con un módulo de memoria. La CPU tiene direccionamiento a *byte*, e instrucciones y datos de 16 *bits*. Las señales cambian a lo sumo una sola vez por ciclo de reloj del bus. La memoria necesita $2t$ ns para seleccionar la dirección requerida

- a) ¿Cuántas líneas de datos, de direcciones y qué líneas de control tiene este bus? ¿Necesita alguna nueva línea de control?
- b) Completar el protocolo asegurando que el estado de las señales del bus es el mismo al comienzo y al final de la transferencia

- c) Dibujar el diagrama de tiempos del protocolo. ¿Cuántos ciclos de reloj del bus lleva una transferencia entre la memoria y el CPU?
- d) Suponer que esta CPU tiene la posibilidad de almacenar internamente hasta 8 bytes de memoria para ahorrarse futuros accesos. ¿Cuánto tiempo le lleva cargar los 8 bytes?
- e) Sea la CPU del punto anterior, si la memoria principal soporta transmisiones por ráfaga con las siguientes características:
- La memoria tiene una línea de entrada para indicar si se desea 1 palabra o 4 palabras consecutivas
 - Encontrar la primer palabra que necesita $2t$ ns
 - A partir de la segunda palabra coloca 1 palabra por cada 2 ciclos de reloj del bus

Suponiendo que se agrega una nueva línea de control al bus llamada $\overline{\text{BURST}}$ para poder diferenciar los accesos. Dibujar el diagrama de tiempos cuando se necesita cargar los 8 bytes del CPU. ¿Cuánto tiempo lleva cargarlos ?

Ejercicio 10 Los siguientes diagramas de tiempos corresponden a dos pedidos de lecturas en el esquema de conexión 1. Se lee la dirección de memoria 101 y vuelve el resultado 001.

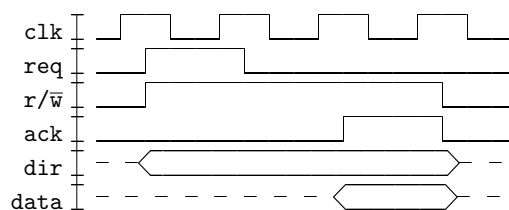


Calcular la capacidad de cada bus y qué protocolo es el más rápido en realizar la transferencia si el *clock* del protocolo paralelo y serial oscilan respectivamente a las siguientes velocidades:

- (a) 300 Hz y 600 Hz, (b) 10 KHz y 40 KHz, (c) 5 KHz y 50 KHz.

Ejercicio 11 En una computadora que respeta el esquema de conexión 1 y se utiliza un bus síncrono en el cual se producen lecturas como se indica en la figura, se desea agregar otro procesador capaz de comunicarse con la memoria.

Para ello, se quita la línea *req* y se agregan *req1* y *req2*. A su vez, se modifica el protocolo de manera tal que: si ambos CPU quieren usar el bus a la vez (lo que indican levantando su línea de *req*), el que esté conectado a la línea *req2* debe bajarla y el ciclo continúa como antes.



- a) Dibuje un diagrama de tiempo de una lectura donde ambos CPU deseen utilizar el bus.
- b) Realice una máquina de estados para cada CPU, teniendo en cuenta sólo las acciones de una lectura.