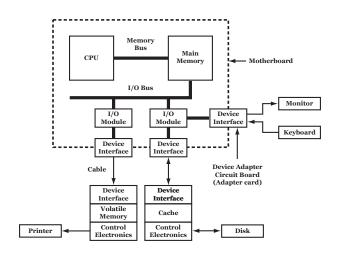
# Organización del Computador 1 Entradas / Salidas

Dr. Marcelo Risk

Departamento de Computación Facultad de Ciencias Exactas y Naturales Universidad de Buenos Aires

2017

#### Modelo de I/O



#### Mapeo de I/O

#### ► En el espacio de memoria:

 Se accede a través de instrucciones de lectura y escritura en memoria.

#### ► En un espacio de I/O:

► Se accede con instrucciones especiales de I/O (IN y OUT).

# Polling vs. Interrupciones

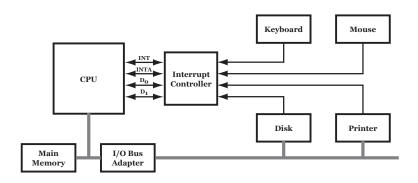
#### Polling:

El dispositivo de I/O es consultado periódicamente por la CPU.

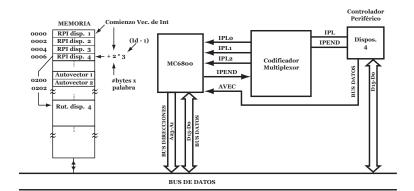
#### **▶** Interrupciones:

 El dispositivo I/O interrumpe la CPU cuando quiere comunicarse.

# Subsistema de I/O con interrupciones

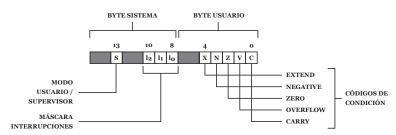


# Interrupciones Motorola 6800

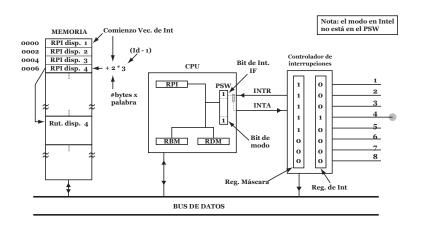


## Interrupciones Motorola 6800

#### REGISTRO DE ESTADO (SR)



## **Interrupciones Intel 8086**



#### Interrupciones: hardware

- El controlador del dispositivo de E/S activa la señal de interrupción solicitada.
- La CPU termina de ejecutar la instrucción en curso y verifica si hay interrupciones pendientes. Activa la línea de reconocimiento de interrupción (si la posee).
- Detecta quien la interrumpió
  - Autovectorización (soft).
  - Vectores de interrupción (hard).
- Guarda el contexto del programa en curso en la pila (PSW y PC).
- Deshabilita las interrupciones.
  - ► Global (único nivel) Interno (Intel)
  - Selectivo (multi nivel) Interno (Motorola)
- Coloca en PC la dirección de la Rutina de Atención de interrupciones a utilizar que obtuvo de la tabla de vectores de interrupción (Autovector o Vect. Int. ext).

#### Interrupciones: software

- Si utilizó autovectorización se detecta al dispositivo que originó la interrupción y se reconoce la interrupción seteando algún registro interno del controlador dispositivo de E/S.
- Habilita las interrupciones:
  - Primero Selectivo externo, guardando la máscara previa (si posee).
  - Segundo Global interno.
- Rutina específica del dispositivo.
- Deshabilita las interrupciones:
  - Primero Global interno.
  - Segundo Selectivo Global restaurando la máscara previa.
- Retorna de la interrupción con una instrucción que hace todo por hardware (RTI o IRET).
  - Restaura el PC de la pila.
  - Restaura el PSW de la pila (datos de interrupción).

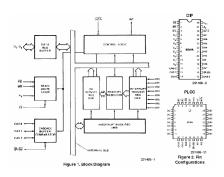
# Controlador de interrupciones Intel

# intel. 8259A PROGRAMMABLE INTERRUPT CONTROLLER (82594/82594-2)

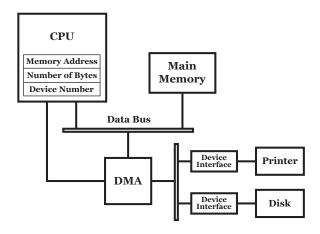
- 8086, 8088 Compatible
   MCS-80, MCS-85 Compatible
- Eight-Level Priority Controller
- Expandable to 64 Levels
- Programmable Interrupt Modes
- Individual Request Mask Capability
- Single +5V Supply (No Clocks)
- Available in 28-Pin DIP and 28-Lead PLCC Package (See Packaging Spec., Order #23/369)
- Available in EXPRESS

   Standard Temperature Range

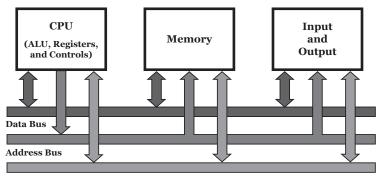
   Extended Temperature Range



#### Acceso directo a memoria (DMA)

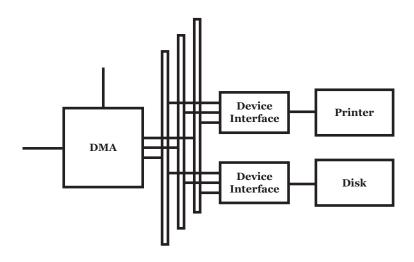


# High level I/O

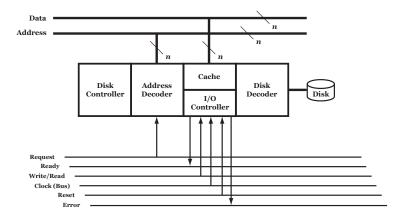


**Control Bus** 

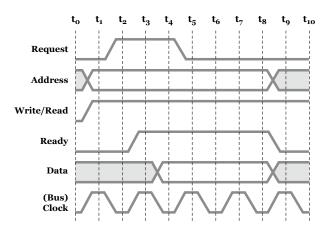
# DMA con buses separados de dirs, datos y control



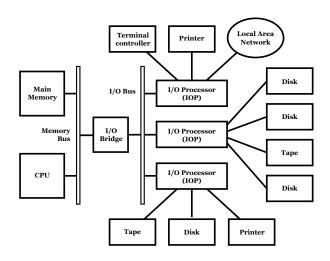
#### Ejemplo de controlador de disco conectado el bus I/O



# Diagrama de tiempos de un bus



# Configuración Channel I/O



#### Controlador DMA de Intel



#### 8237A HIGH PERFORMANCE PROGRAMMABLE DMA CONTROLLER (8237A-5)

- Enable/Disable Control of Individual DMA Requests
- Four Independent DMA Channels
- Independent Autoinitialization of All Channels
- Memory-to-Memory Transfers
- Memory Block Initialization
- Address Increment or Decrement
- High Performance: Transfers up to 1.6M Bytes/Second with 5 MHz 8237A-5

- Directly Expandable to Any Number of Channels
- End of Process Input for Terminating Transfers
- Software DMA Requests
- Independent Polarity Control for DREQ and DACK Signals
- Available in EXPRESS
   Standard Temperature Range
- Available in 40-Lead Cerdip and Plastic Packages

#### Controlador DMA de Intel

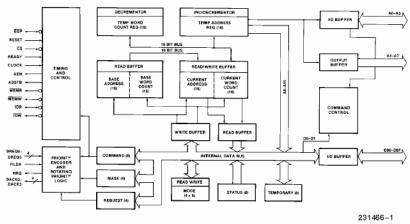


Figure 1. Block Diagram

#### Conclusiones

Método I/O	Complejidad hardware	Complejidad software	Velocidad
Polling	+	+++	+
Interrupciones	++	++	++
DMA	+++	+	+++