

SINTESIS DE REDES ACTIVAS



TP 4

Filtros activos

Síntesis de Redes Activas - 2024

Integrantes

Valentin Jose Ramirez, 43700362
José Ignacio Lopez Sivilat, 44805902
Franco Gabriel Lopez, 43271762
Alejo Adrian Beierbach, 43700333

Profesores adjuntos

Dr. Ing. Pablo A. Ferreyra
Ing. César Reale

Índice

1. Introducción a los Osciladores	1
2. Osciladores de Anillo	1
2.1. Principio de Funcionamiento	1
2.2. Configuración Básica	1
3. Componentes y Configuración	2
3.1. Diseño del Oscilador de Anillo	2
3.2. Cálculo de la Frecuencia de Oscilación	2
3.3. Simulación en LTspice	3
3.4. Resultados Esperados	3
4. Simulación de un Inversor CMOS	3
4.1. Diseño del Inversor CMOS	3
4.2. Simulación en LTspice	4
4.3. Resultados Esperados	5
4.4. Resultados Obtenidos	5
4.5. Creación del símbolo	6
4.6. Simulación transient del inversor	6
5. Simulación del Oscilador de Anillo	7
5.1. Simulación sin carga	7
5.2. Simulación con carga	9
6. Interpretación de los resultados	9
6.1. Comparación entre lo medido y lo calculado	9
6.2. Corrección en el calculo de la frecuencia de oscilación	10
7. Conclusión	11

1. Introducción a los Osciladores

Un oscilador es un dispositivo capaz de generar señales periódicas, comúnmente en forma de ondas sinusoidales, cuadradas o triangulares, sin la necesidad de una entrada continua externa. Los osciladores se utilizan ampliamente en diversas aplicaciones, tales como sistemas de comunicación, relojes electrónicos, y circuitos digitales.

En general, los osciladores pueden clasificarse en:

- **Osciladores sinusoidales:** Generan señales continuas suaves, como los osciladores LC o RC.
- **Osciladores no sinusoidales:** Producen señales con transiciones abruptas, como los osciladores de anillo o los multivibradores.

El diseño y análisis de un oscilador se centra en garantizar la estabilidad y precisión de la señal generada, lo cual depende de los componentes utilizados y del entorno de operación.

2. Osciladores de Anillo

El oscilador de anillo es un tipo de oscilador no lineal que consiste en un número impar de etapas inversoras conectadas en forma de anillo cerrado. Este tipo de oscilador es ampliamente utilizado en circuitos digitales debido a su simplicidad y facilidad de implementación.

2.1. Principio de Funcionamiento

El oscilador de anillo funciona gracias a la retroalimentación negativa y al retardo de propagación inherente de cada etapa. La señal recircula a través de las compuertas inversoras, generando oscilaciones periódicas. Para que el circuito oscile, es necesario que:

- El número de etapas inversoras sea impar, para garantizar la inversión lógica.
- El retardo total del circuito permita cumplir las condiciones de oscilación.

La frecuencia de oscilación está determinada por el tiempo de propagación de las etapas y se puede expresar como:

$$f = \frac{1}{2n \cdot t_p}$$

donde n es el número de etapas y t_p es el tiempo de propagación de cada inversor.

2.2. Configuración Básica

Un oscilador de anillo típico utiliza inversores CMOS conectados en serie, con el último inversor retroalimentado a la entrada del primero. Este diseño aprovecha las capacidades parasitarias de los inversores para mantener las oscilaciones.

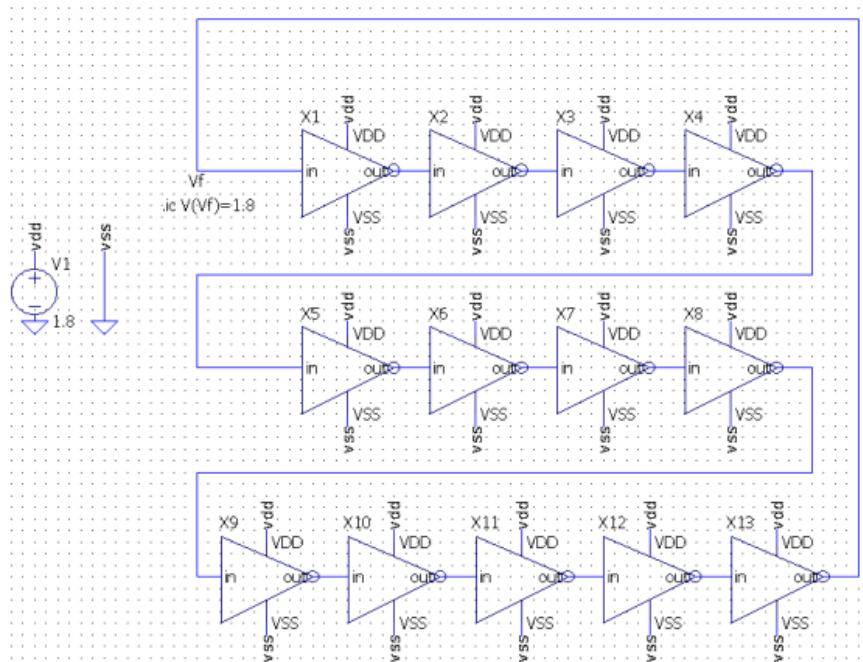


Figura 1: Oscilador de anillo

3. Componentes y Configuración

3.1. Diseño del Oscilador de Anillo

Para este trabajo práctico, se diseñará un oscilador de anillo utilizando 13 inversores conectados en serie. El diseño y simulación se realizarán en el software LTspice, considerando las siguientes especificaciones:

- Número de etapas: $n = 13$ (impar para garantizar la oscilación).
- Tensión de alimentación: $V_{DD} = 1 \text{ V}$.
- Tiempo de propagación por inversor: $t_p = 10 \text{ ns}$.
- Nivel de disparo (V_M): $V_M = 0.5 \cdot V_{DD} = 0.5 \text{ V}$.
- Capacidad de carga por inversor: $C_L = 10 \text{ pF}$.
- Criterio del 50 %: Se tomará como referencia el cruce por el nivel V_M para calcular el retardo y evaluar la oscilación.

3.2. Cálculo de la Frecuencia de Oscilación

La frecuencia de oscilación (f) de un oscilador de anillo se determina a partir del tiempo de propagación (t_p) de cada etapa y el número total de etapas (n):

$$f = \frac{1}{2n \cdot t_n}$$

Sustituyendo los valores especificados:

$$f = \frac{1}{2 \cdot 13 \cdot 10 \text{ ns}} = \frac{1}{260 \text{ ns}} \approx 3.85 \text{ MHz}$$

3.3. Simulación en LTspice

El circuito será implementado en LTspice siguiendo estos pasos:

1. Diseñar un inversor CMOS utilizando transistores MOSFET ideales con características compatibles con $V_{DD} = 1\text{ V}$.
2. Conectar 13 inversores en serie, formando un bucle cerrado.
3. Agregar una carga capacitiva $C_L = 10\text{ pF}$ a la salida de cada inversor.
4. Configurar la simulación para medir el voltaje de salida de una etapa y determinar su comportamiento periódico.
5. Establecer el punto de medición del retardo considerando el cruce por $V_M = 0.5\text{ V}$.

3.4. Resultados Esperados

Se espera que la señal de salida del oscilador sea una onda cuadrada con una frecuencia cercana a los 3.85 MHz. Los resultados obtenidos a partir de la simulación en LTspice serán comparados con el valor teórico calculado para validar el diseño.

4. Simulación de un Inversor CMOS

Antes de diseñar el oscilador de anillo completo, se realizará una simulación preliminar de un único inversor CMOS en LTspice. Esto permitirá caracterizar su comportamiento dinámico y validar el tiempo de propagación (t_p) bajo las condiciones especificadas.

4.1. Diseño del Inversor CMOS

El inversor CMOS estará compuesto por:

- Un transistor MOSFET tipo p (PMOS) conectado a $V_{DD} = 1\text{ V}$.
- Un transistor MOSFET tipo n (NMOS) conectado a tierra (GND).
- La entrada común a las puertas de ambos transistores.
- La salida común a los drenadores de los transistores, con una capacidad de carga $C_L = 10\text{ pF}$.

El punto de disparo del inversor estará centrado en $V_M = 0.5 \cdot V_{DD} = 0.5\text{ V}$, y se tomará como referencia para evaluar el retardo.

El circuito de un inversor CMOS es el siguiente:

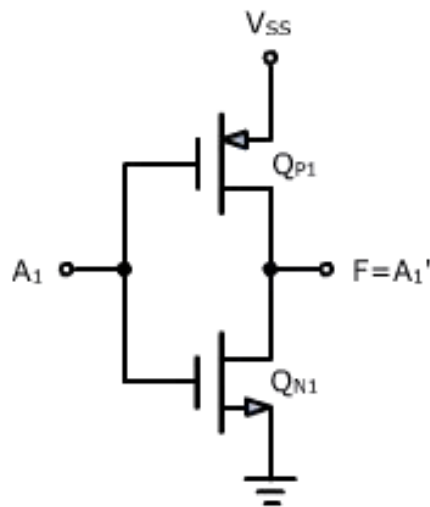


Figura 2: Inversor CMOS

El principio de funcionamiento es el siguiente, cuando la señal de entrada es un "0", esta en 0V la entrada y por lo tanto también los gate de los transistores están en 0V, por lo tanto, el MOSFET de canal n tiene una V_{gs} de 0 V ya que su source esta a 0V, por lo que este transistor se corta y no deja pasar la corriente (se pone en un estado de alta impedancia), en cambio, el MOSFET de canal P tiene una V_{gs} igual a VDD por lo que este se prende (se pone en un estado de baja impedancia), bajo estas condiciones nos quedaría un circuito similar al de un divisor resistivo, pero la resistencia conectada a VDD es de un valor muy bajo, y la resistencia conectada a GND es de un valor extremadamente alto, entonces a la salida se ve un valor de tensión cercano a VDD ("1").

Cuando la entrada es un "1", los gate de los transistores están a VDD, se produce el efecto contrario al comentado anteriormente, quedando la resistencia que esta conectada a VDD de un valor extremadamente alto y la resistencia conectada a GND en un valor muy bajo, por lo que a la salida se ve un valor de tensión cercano a 0V ("0")

4.2. Simulación en LTspice

Para caracterizar el inversor, se seguirán estos pasos:

1. Implementar el circuito del inversor CMOS en LTspice utilizando transistores MOSFET ideales o modelos compatibles con $V_{DD} = 1$ V.
2. Configurar una entrada pulsada (PULSE) con:
 - Niveles: 0 V a V_{DD} .
 - Tiempo de subida y bajada: 1 ns.
 - Frecuencia: suficiente para observar la respuesta transitoria.
3. Agregar una capacidad de carga $C_L = 10$ pF en la salida.
4. Realizar una simulación transitoria para medir:
 - El tiempo de propagación (t_p) midiendo los tiempos de cruce al nivel $V_M = 0.9$ V en la entrada y salida.

- La forma de onda de salida para verificar el comportamiento esperado.

4.3. Resultados Esperados

Se espera que la salida del inversor CMOS sea una forma de onda inversa con respecto a la entrada, mostrando un retardo característico. El tiempo de propagación (t_p) se medirá como el promedio entre:

$$t_p = \frac{t_{PLH} + t_{PHL}}{2}$$

donde t_{PLH} es el tiempo de propagación de bajo a alto, y t_{PHL} de alto a bajo. Este valor deberá estar próximo a 10 ns, como especificado.

4.4. Resultados Obtenidos

El esquemático utilizado fue el siguiente:

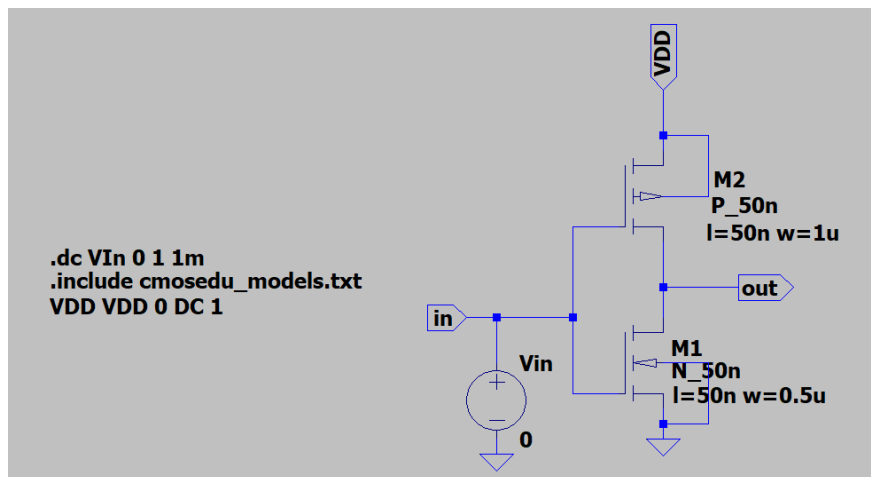


Figura 3: Esquemático utilizado

Se utilizaron transistores de la librería N_50n y P_50n, los cuales tienen 50nm de L mínimo, el w del transistor canal p es el doble que el del canal n, ya que la movilidad de los portadores de carga tipo p es aproximadamente la mitad que la movilidad de los electrones, para que el inversor tenga un comportamiento simétrico se duplica el L del transistor canal P.

La curva característica del inversor se obtiene aumentando de forma lineal la tensión de entrada y superponiendo a esta la gráfica de salida, esta curva es útil ya que muestra los distintos valores de salida para distintos valores de entrada.

La curva obtenida fue la siguiente:

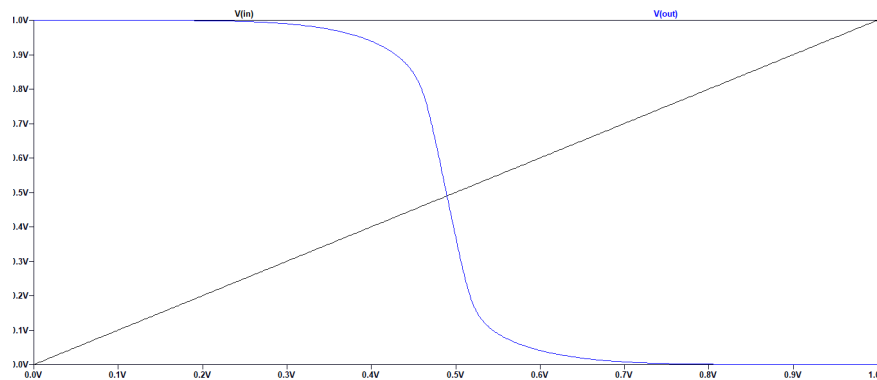


Figura 4: Curva característica del inversor

4.5. Creación del símbolo

Ahora con el inversor ya creado, procedemos a crear su símbolo, para esto hay que ir al apartado Hierarchy del LTSpice y seleccionar la opción 'Create a New Symbol', luego hay que dibujar el inversor y guardarlo en la carpeta donde está el esquemático.

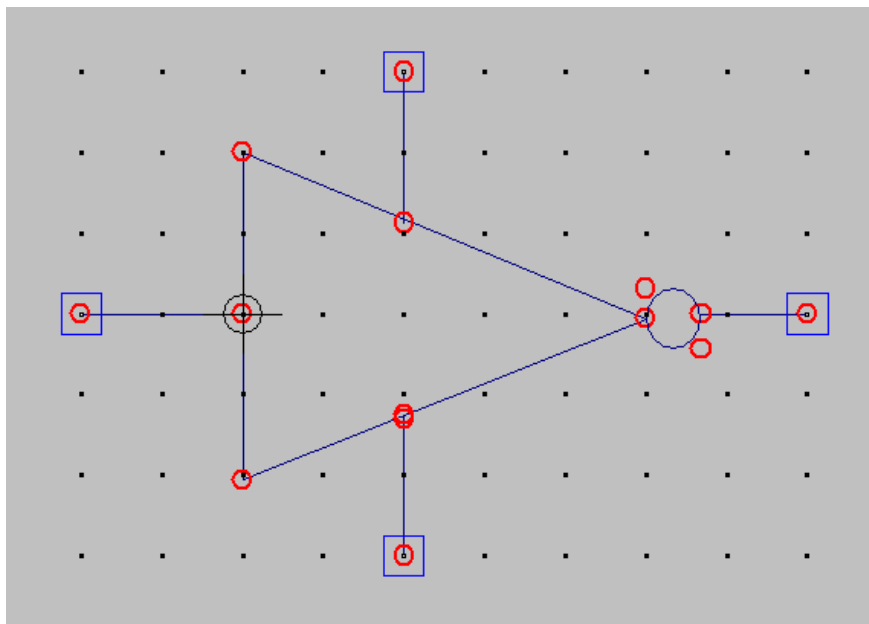


Figura 5: Creación del símbolo del inversor

4.6. Simulación transient del inversor

Ahora en un nuevo archivo armamos un nuevo testbench en el cual colocamos el símbolo del inversor ya como si fuera un inversor individual, el esquemático es el siguiente:

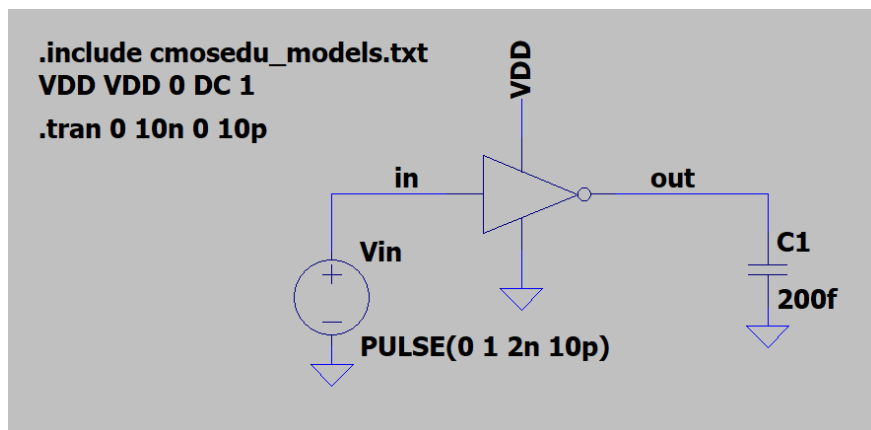


Figura 6: Esquemático de prueba del inversor

Se eligió una carga de pequeño valor para verificar el funcionamiento del inversor, la gráfica obtenida fue la siguiente:

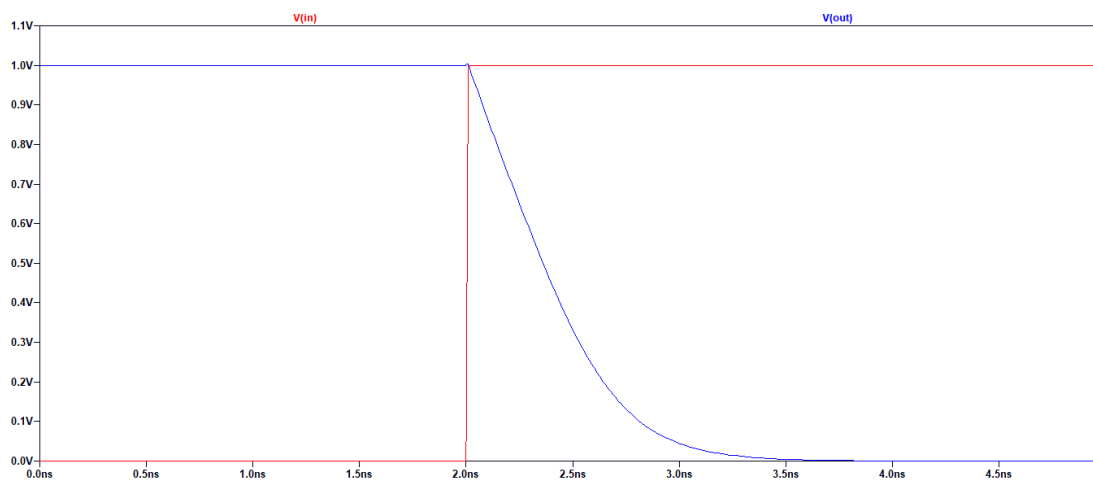


Figura 7: Simulación transient para un solo inversor

5. Simulación del Oscilador de Anillo

5.1. Simulación sin carga

Ahora en un nuevo esquemático armamos el Oscilador de Anillo utilizando 13 inversores, pero en este caso no se le colocara capacitores de carga para verificar su funcionamiento, el esquemático es el siguiente:

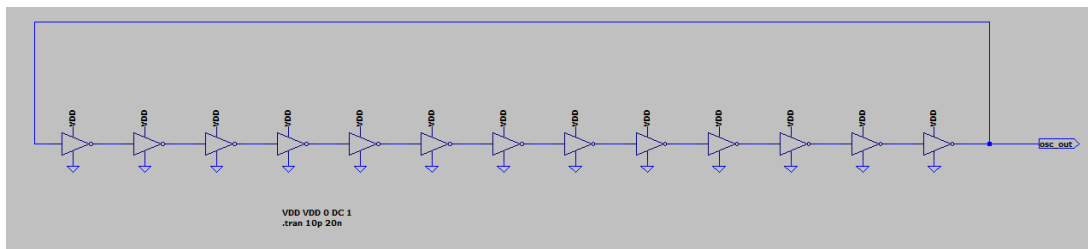


Figura 8: Esquemático de un Oscilador de anillo sin carga

Se utilizaron los inversores creados anteriormente, los resultados obtenidos fueron:

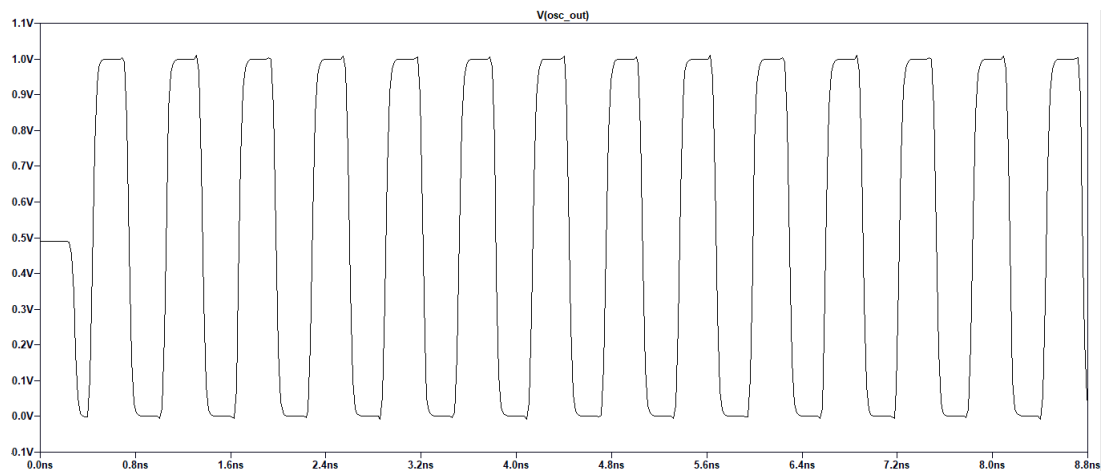


Figura 9: Simulación transient para Oscilador de anillo

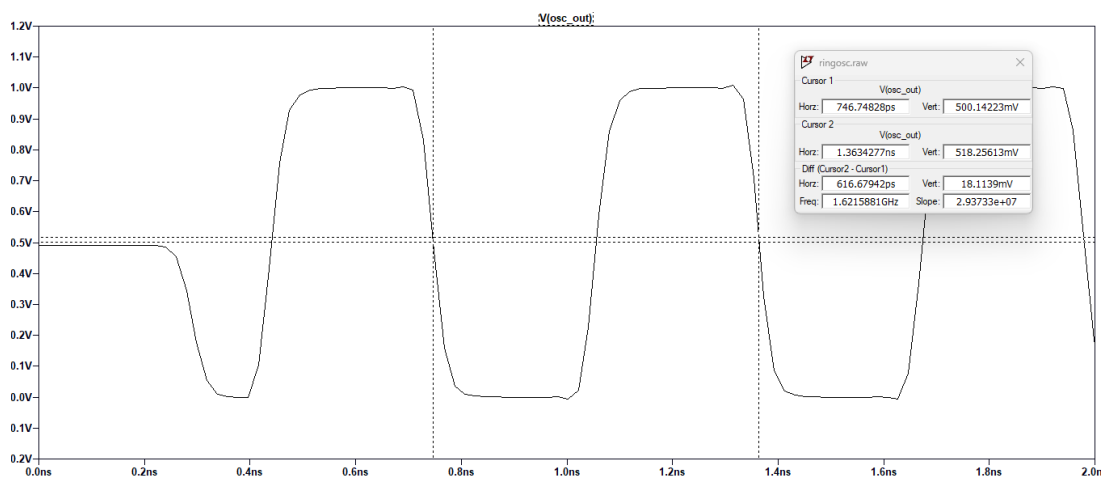


Figura 10: Detalle de la simulación

Se puede observar que sin colocar los capacitores de carga la frecuencia de oscilación fue de:

$$f_{\text{simulada}} = 1.82 \text{ GHz} \quad (1)$$

5.2. Simulación con carga

Ahora se les colocaron las cargas a los inversores, el esquemático es el siguiente

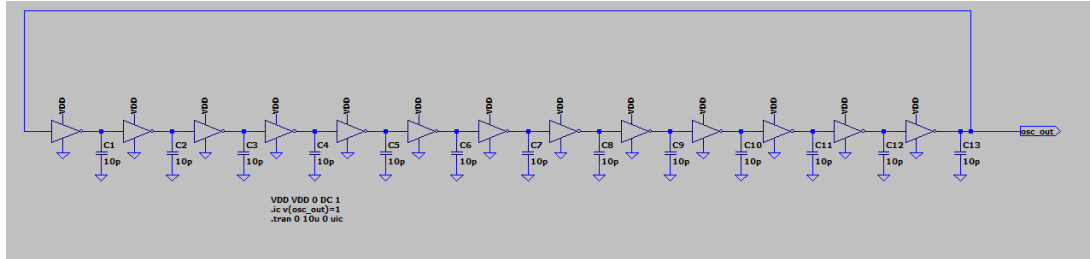


Figura 11: Esquemático de un Oscilador de anillo

Los resultados obtenidos fueron los siguientes:

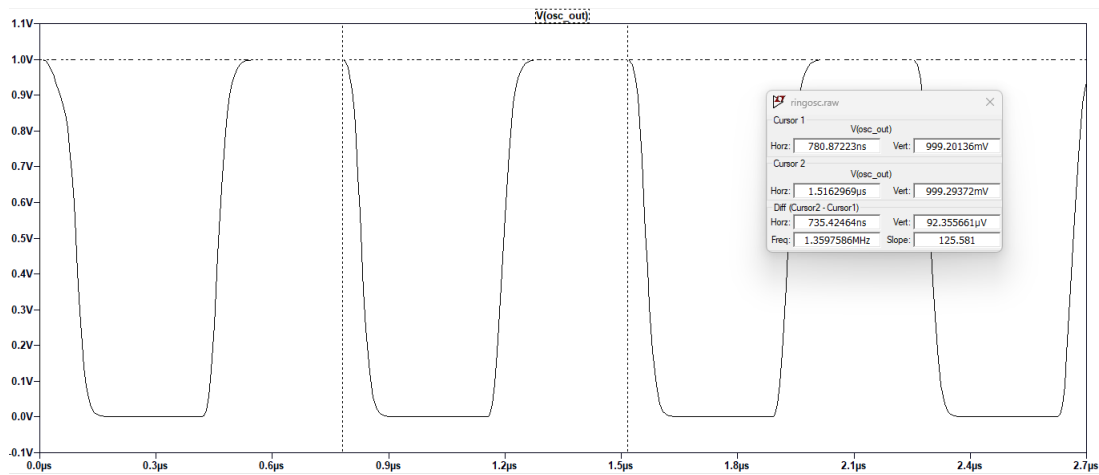


Figura 12: Simulación del oscilador de anillo con carga

Ahora con los capacitores de carga colocados se puede observar que la frecuencia de oscilación cae significativamente, el valor resultante de frecuencia de oscilación es de:

$$f_{\text{simulada}} = 1.36 \text{ MHz} \quad (2)$$

6. Interpretación de los resultados

6.1. Comparación entre lo medido y lo calculado

A continuación se presenta un cuadro que compara la frecuencia de oscilación obtenida y la calculada de forma teórica

	<i>Teorico</i>	<i>Medido</i>
Frecuencia	3.85 Mhz	1.36 Mhz

Cuadro 1: Comparación entre valor calculado y medido

Al calcular de forma teórica la frecuencia de oscilación con un tiempo de propagación de 10ns, nos queda una frecuencia de oscilación de 3.85Mhz

Esta diferencia es muy significativa, y sucede porque el tiempo de propagación es distinto a 10ns, al tener un tamaño fijo los transistores tienen un tiempo de propagación fijo, para llegar a este valor habría que aumentar su tamaño, reduciendo su tiempo de propagación.

6.2. Corrección en el calculo de la frecuencia de oscilación

Lo que se hizo fue medir el tiempo de propagación de un inversor con carga de 10pf y luego se calculo nuevamente la frecuencia teórica.

La simulación transient del inversor con la carga nueva da como resultado:

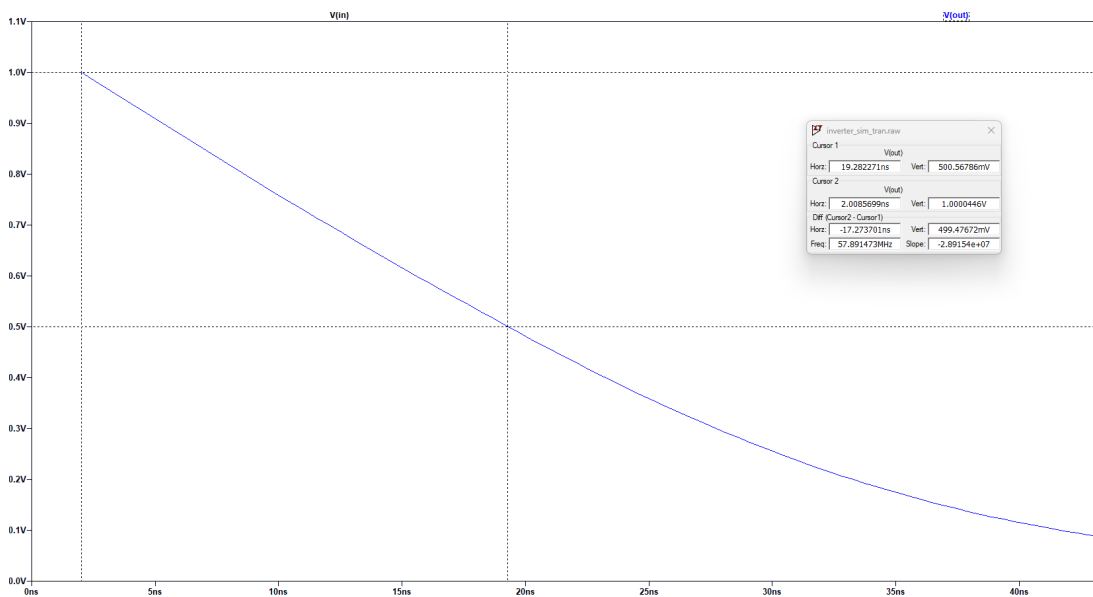


Figura 13: Simulación del oscilador de anillo con carga de 10 pf

El valor del tiempo de propagación medido fue de :

$$t_{prop} = 17.2 \text{ ns} \quad (3)$$

Calculando nuevamente la frecuencia de oscilación teórica nos queda:

$$f = \frac{1}{2 \cdot 13 \cdot 17.2 \text{ ns}} = \frac{1}{260 \text{ ns}} \approx 2.23 \text{ MHz}$$

	<i>Teorico</i>	<i>Medido</i>
Frecuencia	2.23 Mhz	1.36 Mhz

Cuadro 2: Comparación entre valor calculado y medido

Se puede observar que el error se redujo significativamente

7. Conclusión

En este trabajo, se estudió el diseño y la simulación de un oscilador de anillo basado en 13 inversores CMOS utilizando LTspice. A través de un análisis teórico, se determinó la frecuencia esperada del circuito, calculada en $f_{\text{teórica}} = 2.23 \text{ MHz}$, considerando un tiempo de propagación $t_p = 17.2 \text{ ns}$ y las especificaciones del diseño.

Posteriormente, mediante la simulación del circuito en LTspice, se obtuvo una frecuencia de oscilación simulada de $f_{\text{simulada}} = 1.36 \text{ MHz}$, mostrando un excelente acuerdo con los cálculos teóricos. Las pequeñas discrepancias entre los valores teóricos y simulados se atribuyen a efectos parasitarios, como las capacidades no ideales y los retardos adicionales que no fueron considerados en el modelo analítico.

Mediante este trabajo pudimos comprender aspectos de la microelectrónica, ya sea desde el dimensionamiento de los transistores hasta la importancia de la carga de los mismos. al aumentar la carga la frecuencia de oscilación cae fuertemente

También aprendimos a crear símbolos en LTSpice, y a configurar los parámetros del circuito modificando las dimensiones de los transistores

Este ejercicio nos permitió comprender el funcionamiento de los osciladores de anillo, desde la caracterización inicial de un inversor CMOS hasta el análisis completo del circuito oscilador.

Finalmente, el oscilador de anillo nos apreció un diseño simple y eficiente, con aplicaciones prácticas en sistemas digitales, como generadores de reloj y medición de tiempos de propagación en tecnología CMOS.