

Progetto di modulo DDR5 UDIMM 2R×8 (PC5-5600)

Un modulo DDR5 UDIMM a doppio rango (2R×8, non-ECC) utilizza 288 pin conformi agli standard JEDEC (tensione VDD/VDDQ = 1,1 V nominale ¹) e fornisce due **sub-canali indipendenti a 32 bit** (canale A e B, totale 64 bit dati) ². Ciascun rango contiene 8 chip di DRAM x8, per un totale di 16 chip su moduli 32 GB (es. 16×16 Gb = 256 Gb = 32 GB ³). Di seguito i componenti e le caratteristiche principali:

1. Organizzazione e componenti del modulo

- **Chip DRAM DDR5:** 8 dispositivi per rango, organizzazione x8. Ad esempio, un modulo 32 GB 2Rx8 può impiegare **16 chip DDR5-16 Gb x8** (die A o M di Hynix, Micron, Samsung, ecc.) ³. Ogni chip include un resistore di calibrazione ZQ esterno da $\sim 240\Omega$ ⁴. Le tensioni di alimentazione principali sono $VDD=VDDQ\approx 1,1\text{ V}$ e $VPP\approx 1,8\text{ V}$, generate dal PMIC a bordo ¹ ⁵.
- **PMIC (Power Management IC):** su DDR5 il regolatore di potenza è on-board. JEDEC definisce lo **std. PMIC5100**, un IC di fabbricazione Renesas (es. **P8911**), in package FCQFN 3x4 mm ⁶. Il PMIC riceve $VIN_BULK = 5\text{ V}$ dal connettore e genera VDD , $VDDQ$ (1.1 V), VPP ($\approx 1.8\text{ V}$) e due LDO integrati (1.8 V e 1.0 V) per alimentare, ad esempio, l'SPD hub ¹ ⁷. Il PMIC gestisce la sequenza di power-up/down, offre monitoraggio via bus laterale (I₃C/I²C) e segnala il "power good" (PWR_GOOD) a host ⁶ ⁸.
- **SPD Hub (EEPROM con hub I₃C):** i moduli DDR5 includono un "hub SPD" con EEPROM da 1024 byte (16×64 B) conforme a JEDEC JESD400-5 ⁹. Esempio: **Renesas SPD5118** (hub SPD5) opera a 1.8 V con uscita LDO 1.0 V e supporta bus I₃C (compatibile I²C) fino a 12.5 MHz ⁹ ¹⁰. L'SPD memorizza dati JEDEC standard (primi 640 B) e dati utente, oltre a includere un sensore di temperatura integrato opzionale ⁹.
- **Capacitori e terminazioni:** ogni DRAM ha condensatori di decoupling sulle alimentazioni (tipicamente $0.1\mu\text{F} + 0.01\mu\text{F}$ accanto ai pin VDD/VDDQ di ciascun chip) e condensatori bulk ($\sim 10\mu\text{F}$) vicino al PMIC e al connettore. Il bus di indirizzi/comando/clock è routato in topologia *fly-by*, con terminazione passiva (VTT) al fondo del bus ¹¹. I segnali di address/comando e di clock presentano terminazioni resistive dedicate all'estremità del percorso, per ridurre riflessioni. Su HSA/HSCL/HSDA (I₃C) e PWR_GOOD servono pull-up sulle linee dati e PWR_GOOD (open-drain) come specificato ¹² ¹³. Il pin PWR_EN permette di abilitare il PMIC via hardware (tipicamente tirato su a 3.3 V o 5 V) ¹⁴.

Tabella 1 – Componenti principali di un DDR5 UDIMM

Componente	Esempio (parte)	Funzione
Chip DRAM DDR5 x8	Hynix H5CG48MEBDX (16 Gb)	Celle di memoria, 8 chip per rango (2R×8 = 16 chip) ³ . Alimentazione $VDD/VDDQ=1.1\text{ V}$, $VPP=1.8\text{ V}$. $ZQ=240\Omega/\pm 1\%$ per ogni chip ⁴ .

Componente	Esempio (parte)	Funzione
PMIC (DC-DC/ LDO)	Renesas P8911 (JEDEC PMIC5100)	Converte 5 V VIN_BULK in VDD, VDDQ, VPP, LDO 1.8V/1.0V. Gestione power sequencing, monitoraggio via I3C, 10W output 6 7 .
Hub SPD / EEPROM	Renesas SPD5118	EEPROM 1 kB I3C (o I ² C) con 16×64B, SPD standard e sensore T integrato 9 10 . Isola il bus modulo interno dall'host.
Resistenze di calibrazione (ZQ)	-	240 Ω/±1% ciascuna, per impostare I/O impedance dei DRAM 4 .
Condensatori decoupling bulk e HF	-	Esempio: 2×10 µF (bulk) su VIN_BULK; 0.1/0.01 µF vicino a VDD, VDDQ di ogni DRAM e al PMIC; decoupling LDO (1.8V,1.0V).
Terminazioni/ terminatori	-	Resistenze di terminazione VTT sui segnali CA/clock in topologia fly-by (capacitive-divider interne o array di terminatori) 11 . Resistenze pull-up su PWR_GOOD e bus I3C come richiesto 13 12 .

2. Layout del PCB (dimensioni e norme JEDEC)

- Il modulo DDR5 UDIMM è **288-pin, dimensioni 133,35×31,25 mm** (tolleranze ±0,15 mm) [15](#). È conforme a JESD-260B e JEDEC DDR5 unbuffered DIMM standard. Il PCB è generalmente a 6-8 layer (tipicamente FR4, stackup controllato per impedenza), con ampio piano di massa VSS [11](#) [16](#).
- **Topologia bus:** indirizzi/controllo/clock seguono schema *fly-by*: il segnale passa da un chip all'altro e termina all'estremità con resistenza a VTT [11](#). I segnali differenziali di clock (CK0_t/CK0_c e CK1_t/CK1_c) alimentano due sub-canali (uno per ogni metà del bus dati). La coerenza temporale richiede accoppiamenti attentamente bilanciati: ogni gruppo di segnali (CK, command, address, DQS, DQ) ha regole di routing specifiche e *length matching* (ex. differenze minime tra DQ e relativo DQS) [11](#).
- **Distribuzione dei chip:** in un modulo dual-rank 2Rx8 i chip DRAM sono disposti su entrambi i lati del PCB (solitamente 8 per lato). L'addendum del datasheet (MPN-specific) definisce esattamente le posizioni ("Primary side", "Secondary side"). Per esempio, Micron mostra in addendum che in un UDIMM 16 GB SR tutti i chip sono su un solo lato [17](#), mentre moduli 2R ne utilizzano entrambi. Anche il PMIC e l'SPD hub sono tipicamente posizionati sul lato principale, vicini al connettore.
- **Regole di layout:** decoupling vicino alle pin di alimentazione (ad. es. condensatori posizionati subito accanto a VDD, VDDQ dei chip e al VIN_BULK). Plane di massa ininterrotto sotto tutti i segnali ad alta frequenza. Controllo di impedenza per DQ/DQS (es. 45 Ω) e per CMD/CA/CK (es. 50–60 Ω) [11](#). Non esistono gerber o progetti pubblici completi disponibili: si fa riferimento agli standard JEDEC (es. JESD260 per dimensioni meccaniche, JESD79-5 per DRAM) e ai datasheet dei produttori (che forniscono linee guida di layout e addendum specifici).

3. Segnali e tensioni

- **Segnali dati:** 64 bit *parallel* DQ (DQ0–DQ63 divisi in *canale A* e *canale B*, ciascuno 32 bit) più eventuali bit CB (ECC) o PARITY. I rispettivi strobo (DQS_t/DQS_c) sono 10 coppie per canale (una per byte) ¹⁸. DDR5 introduce anche segnali di *loopback* per il training: LBDQ0–LBDQ3 e LBDQS0–LBDQS3 (4 coppie) che rinviano parte dei dati al controller in lettura di livellamento bilanciamento ⁹ ¹⁹.
- **Segnali di clock e address/command:** sono ripartiti su due sub-canali da 32 bit. Tipicamente CK0_/_CK1_ (true/complement) per ogni canale. CA[12:0]_A/B (indirizzo e comandi), CS0_n/CS1_n per rank (due chip-select per ogni sub-canale), e segnali CKE, ODT, RAS, CAS, WE, parity (PAR_A/ PAR_B) come in DDR4, ma raddoppiati per i due sub-canali. Il pin MIR di ciascun chip determina lo *address mirroring* (collegato a VSS o VDDQ) ²⁰.
- **Bus laterale (sideband):** DDR5 usa MIPI I3C Basic (compatibile I²C) sul bus sideband ("Host Sideband Bus", HSB). Ci sono i pin HSCL (clock) e HSDA (data) condivisi per tutti i dispositivi lato modulo, e fino a tre pin HSA, HSB, HSC usati come address fisici del device sul bus ⁹ ¹². Tipicamente sull'UDIMM ci sono HSCL, HSDA, HSA (3-bit address) e anche 3 pin HSB e HSC per indirizzare più dispositivi I3C. SPD hub, PMIC e sensori si vedono su questo bus. HSCL e HSDA vanno con pull-up interni/esterni tipici I2C/I3C.
- **Reset e controllo:** RESET_n attivo basso resetta tutti i DRAM. PWR_EN è un input che abilita le uscite del PMIC: se tenuto basso, il PMIC disabilita i regolatori (le LDO restano su) ¹⁴. PWR_GOOD è un segnale Open-Drain dal PMIC che viene tirato basso in caso di guasto tensione e rilasciato in HIGH quando VIN_BULK 5V e le tensioni regolate sono *good* ¹³.
- **Tensioni operative:** VIN_BULK = 5V dal sistema ¹. Il PMIC converte il 5V in: **VDD/VDDQ = 1,1V** (min 1,067 – max 1,166V), e **VPP = 1,8V** (min 1,746 – max 1,908V) ¹ ²¹. I pin VDD, VDDQ possono tollerare fino a ~1,5V max ⁵. Il PMIC fornisce inoltre un LDO 1,8V e uno 1,0V (usati tipicamente per alimentare l'SPD hub e altri chip a basso voltaggio) ¹ ⁷. Tutti i segnali I/O (DQ, CA, CK, ecc.) sono a 1.1 V ¹.

Tabella 2 – Segnali chiave di un DDR5 UDIMM

Segnale	Funzione	Note / Valori tipici
CK0_t/c, CK1_t/c	Clock differenziale (2 coppie)	Due clock differentiali, uno per sub-canale.
DQ0–DQ63	Linee dati (64 bit totale)	Parallel bus dati, due canali da 32 bit ² .
DQS0–DQS9_t/c (A,B)	Data Strobes (20 coppie)	Strobo differenziali associati ai byte, uno per 8 bit data.
LBDQS0–3_t/c; LBDQ0–3	Loopback strobes/dati (4 coppie)	Per training dati (DDR5 only) ⁹ ¹⁹ .
CA[12:0]_A/B, RAS, CAS, WE, CS0/1_n_A/B, CKE, ODT	Address/Command, Chip Select, Control	Indirizzi e comandi (13+), 2 CS per sub-canale. Topologia fly-by ¹¹ .

Segnale	Funzione	Note / Valori tipici
PAR_A/B	Parity bit ECC (solo x72)	Parity per canale (8 bit) se modulo ECC.
RESET_n	Reset asincrono attivo basso	Reset globale dei DRAM.
HSCL, HSDA, HSA (HsbA-C)	I3C Basic sideband bus	Bus di controllo di modulo: clock, data e indirizzi hardware (3 bit) ¹² .
PWR_EN	Abilita PMIC	High→PMIC on; Low→PMIC off ¹⁴ .
PWR_GOOD	Power-good open-drain	Segnale dal PMIC verso l'host per indicare ok power ¹³ .
VIN_BULK (5V)	Ingresso principale 5V	Alimenta il PMIC (5V fornito dal sistema) ¹ .
VDD, VDDQ	Alimentazione core e I/O DRAM (1.1V)	Uscite PMIC verso DRAM.
VPP	Tensione pump dei DRAM (~1.8V)	Uscita PMIC. Deve essere sempre \geq VDD+300mV ⁵ .

4. Standard e riferimenti

- **JEDEC:** lo standard JESD260B (288-pin unbuffered DIMM) definisce le dimensioni meccaniche del modulo ¹⁵. JESD79-5 (o successivo) descrive le specifiche elettriche delle DRAM DDR5. La sezione *PMIC* del datasheet (es. JESD301-2) dettaglia il comportamento del PMIC DDR5 ⁶.
- **Datasheet del modulo:** i produttori (Micron, Hynix, Samsung, ecc.) pubblicano datasheet "UDIMM Core" e relativi *addendum* specifici per ciascun modulo. Ad esempio, il datasheet Micron riporta i valori elettrici, pinout completo e un diagramma blocchi del modulo ²² ²³. Gli addendum MPN-specific indicano il posizionamento dei chip e componenti (es. il layout di 1 rank o 2 rank) ¹⁷ ¹⁵.
- **Linee guida PCB:** risorse come guide di Intel, AMD, o blog tecnici Altium/JESD (ESD/E3/E4) forniscono consigli di routing high-speed per DDR5 (matching, sequenze di instradamento, impedenza). In particolare, DDR5 richiede un preciso allineamento dei segnali DQ/DQS e un'attenta suddivisione in subconvoluzioni per indirizzi e dati.
- **File di progetto e Gerber:** non esistono gerber pubblici completi di moduli DDR5 (sono proprietà dei produttori). Alcuni esempi open-source riguardano solo schede di test/interposizione (es. un "interposer" GitHub ¹⁶). Per lo sviluppo da zero si fa riferimento a blueprint standard (JESD) e a revisione dei componenti.

In sintesi, un modulo DDR5 PC5-5600 UDIMM 2R×8 integra 16 chip DRAM x8 (due ranghi), un PMIC DDR5 (JEDEC PMIC5100) per la potenza, un hub SPD I3C (per l'EEPROM 1 KB) e circuiteria passiva (resistenze di calibrazione ZQ, terminazioni, condensatori di disaccoppiamento). Il PCB segue le regole JEDEC (fly-by topology, voltaggi 5V→1.1V/1.8V, bus MIPI I3C) ¹ ⁶. Le specifiche dettagliate si trovano nelle norme JEDEC e nei datasheet addendum dei produttori (Micron, SK Hynix, Samsung, Renesas, ecc.) citati sopra.

Fonti: Specifiche JEDEC e datasheet Micron/Hynix/ADI. In particolare, *Micron DDR5 UDIMM Core* ²² ²³, *Micron UDIMM Addendum* (parametri modulo) ¹⁷, *Renesas SPD5118/P8911* ⁶ ¹⁰ ⁷, *ADATA DDR5 U-DIMM datasheet* (pinout, SPD) ¹⁸ ⁹ e informazioni JEDEC sul PMIC ⁶. Altri dettagli di layout derivano da guide PCB DDR5 (Altium, Intel) e documentazione JEDEC.

¹ ² ⁶ ⁸ ⁹ ¹¹ ¹⁵ ²⁰ ²² ²³ **DDR5 SDRAM UDIMM Core**

<https://gzhls.at/blob/ldb/f/a/8/7/01a8d2e592a701b7b7658543a3bc564a3c76.pdf>

³ **computing_DDR5(M-die)based_UDIMMs(Rev.1.0)_0429.pdf**

<https://gzhls.at/blob/ldb/b/e/5/8/5bc212f7c92604fd3737505ee4c96014733c.pdf>

⁴ ¹⁸ ¹⁹ **positivoempresas.com.br**

<https://www.positivoempresas.com.br/wp-content/uploads/2024/12/Mem%C3%B3ria-ADATA-16GB-DDR5-DIMM-Desktop.pdf>

⁵ ¹² ¹³ ¹⁴ ²¹ **cdn.iceshop.nl**

https://cdn.iceshop.nl/objects/mmo_97484524_1719500576_4794_27393.pdf

⁷ **P8911 - DDR5 Client PMIC for UDIMMs and SODIMMs | Renesas**

https://www.renesas.com/en/products/p8911?srsltid=AfmBOopSy9LJaxX3GyhB_Cd_wPPt2XASgau5yURgfvn4225AXoRicCZK

¹⁰ **SPD5118 - SPD HUB for DDR5 Memory Modules | Renesas**

https://www.renesas.com/en/products/spd5118?srsltid=AfmBOop7JDvcpw0y3j_j61INVKwTfqRNK3-O5mwxjVTvrAHI_egb1Tlf

¹⁶ **GitHub - refault-artifacts/fault-injection-interposer: Hardware design files of the fault injection interposer used in REFault: A Fault Injection Platform for Rowhammer Research on DDR5 Memory.**

<https://github.com/refault-artifacts/fault-injection-interposer>

¹⁷ **DDR5 SDRAM UDIMM Addendum**

https://www.mouser.it/datasheet/2/671/mtc8c1084s1uc_srx8_udimm_diereva-3193802.pdf?srsltid=AfmBOoqK3SZIXgGLdvjLxwFOrvnWpznHHsijCsD8_BbDjFa0B30oH6Bb